

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 4 区分
 【発行日】平成 17 年 7 月 21 日 (2005.7.21)

【公開番号】特開 2001-268893 (P2001-268893A)
 【公開日】平成 13 年 9 月 28 日 (2001.9.28)
 【出願番号】特願 2000-80410 (P2000-80410)
 【国際特許分類第 7 版】

H 0 2 M 3/07
 H 0 3 K 5/02
 H 0 3 K 19/0185

【F I】

H 0 2 M 3/07
 H 0 3 K 5/02 C
 H 0 3 K 19/00 1 0 1 E

【手続補正書】

【提出日】平成 16 年 11 月 26 日 (2004.11.26)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

電源電位または接地電位が印加される入力端子と、
 昇圧した正または負の電位を出力する出力端子と、
 位相が異なる第 1 , 第 2 のクロック信号が入力される第 1 , 第 2 のクロック入力端子と

、

リセット信号が入力されるリセット信号入力端子とを有し、

上記第 1 , 第 2 のクロック信号に応答して、上記入力端子から上記出力端子に電荷を転送し、電荷の転送後に上記リセット信号によりリセット用トランジスタをオンさせ、電荷が残存するトランジスタのゲートノードをリセットする昇圧ユニットを備え、

上記リセット信号のリセット用トランジスタをオンさせる電位を、上記出力端子から出力される昇圧された正または負の電位に基づいて生成する

ことを特徴とする昇圧回路。

【請求項 2】

初段の入力端子に電源電位または接地電位が印加され、各々の出力端子が順次次段の入力端子にそれぞれ接続された複数の昇圧ユニットと、

上記昇圧ユニットの最終段の出力電位で制御され、最終段より前の段の昇圧ユニットの出力電位を転送する出力回路部とを具備し、

上記各昇圧ユニットはそれぞれ、位相が異なる第 1 , 第 2 のクロック信号が入力される第 1 , 第 2 のクロック入力端子と、リセット信号が入力されるリセット信号入力端子とを有し、上記第 1 , 第 2 のクロック信号に応答して、上記入力端子から上記出力端子に電荷を転送し、電荷の転送後に上記リセット信号によりリセット用トランジスタをオンさせ、電荷が残存するトランジスタのゲートノードをリセットするようにしてなり、

上記リセット信号のリセット用トランジスタをオンさせる電位を、上記出力回路部から出力される昇圧された正または負の電位に基づいて生成する

ことを特徴とする昇圧回路。

【請求項 3】

初段の入力端子に電源電位または接地電位が印加され、各々の出力端子が順次次段の入力端子にそれぞれ接続された複数の昇圧ユニットと、

上記昇圧ユニットの最終段の出力電位で制御され、最終段より前の段の昇圧ユニットの出力電位を転送する出力回路部と、

上記出力回路部から出力される正または負の昇圧電位を電源の一方に用いて、上記正または負の昇圧電位と接地電位間の振幅のリセット信号を生成し、上記各昇圧ユニットに供給することにより、各昇圧ユニットにおける電荷が残存するトランジスタのゲートノードをリセットするリセットパルス発生器と、

上記リセットパルス発生器における上記正または負の昇圧電位が印加されるノードを、上記電荷が残存するトランジスタのゲートノードのリセット後にディスチャージするディスチャージ回路と

を具備することを特徴とする昇圧回路。

【請求項 4】

前記昇圧ユニットは、電流通路の一端が前記入力端子に接続され、電流通路の他端が前記出力端子に接続された第 1 MOS トランジスタと、電流通路の一端が前記入力端子に接続され、電流通路の他端が上記第 1 MOS トランジスタのゲートに接続され、ゲートが出力端子に接続された第 2 MOS トランジスタと、電流通路の一端が上記第 1 MOS トランジスタのゲートに接続され、電流通路の他端に電源電圧または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第 3 MOS トランジスタと、電流通路の一端が上記第 2 MOS トランジスタのゲートに接続され、電流通路の他端に電源電圧または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第 4 MOS トランジスタと、一方の電極が前記出力端子に接続され、他方の電極に第 1 のクロック信号が供給される第 1 のキャパシタと、一方の電極が前記第 1 MOS トランジスタのゲートに接続され、他方の電極に第 2 のクロック信号が供給される第 2 のキャパシタとを備えることを特徴とする請求項 1 乃至 3 いずれか 1 つの項に記載の昇圧回路。

【請求項 5】

一方の電極が前記第 1 のキャパシタの他方の電極に接続され、他方の電極に前記第 1 のクロック信号が供給される第 3 のキャパシタと、電流通路の一端が前記第 1 のキャパシタの他方の電極に接続され、電流通路の他端に電源電位または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第 5 MOS トランジスタと、一方の電極が前記第 2 のキャパシタの他方の電極に接続され、他方の電極に前記第 2 のクロック信号が供給される第 4 のキャパシタと、電流通路の一端が前記第 2 のキャパシタの他方の電極に接続され、電流通路の他端に電源電位または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第 6 MOS トランジスタとを更に具備することを特徴とする請求項 4 に記載の昇圧回路。

【請求項 6】

一方の電極が前記リセット信号発生器における上記正または負の昇圧電位が印加されるノードに接続され、他方の電極に接地電位または電源電圧が印加される第 5 のキャパシタを更に具備することを特徴とする請求項 3 に記載の昇圧回路。

【請求項 7】

前記リセットパルス発生器は、正電圧と接地電位間の電圧で動作し、リセット信号のハイレベルを前記正電位にシフトするハイレベルシフタと、上記正電圧と前記出力回路部から出力される負の昇圧電位間の電圧で動作し、上記ハイレベルシフタの出力のロウレベルを上記負の昇圧電位にレベルシフトするロウレベルシフタと、上記正電圧と前記出力回路部から出力される負の昇圧電位間の電圧で動作する奇数段のインバータ回路と、偶数段目のインバータ回路の出力信号と奇数段目のインバータ回路の出力信号が供給され、前記各昇圧ユニットに前記リセット信号を供給する論理回路とを備え、

前記ディスチャージ回路は、正電圧と接地電位間の電圧で動作し、ディスチャージイネーブル信号のハイレベルを前記正電位にシフトするハイレベルシフタと、上記正電圧と前記出力回路部から出力される負の昇圧電位間の電圧で動作し、上記ハイレベルシフタの出

力のロウレベルを上記負の昇圧電位にレベルシフトするロウレベルシフタと、上記正電圧と前記出力回路部から出力される負の昇圧電位間の電圧で動作する偶数段のインバータ回路と、電流通路の一端が上記リセットパルス発生器における負の昇圧電位が印加される電源線に接続され、電流通路の他端が接地点に接続され、ゲートに前記偶数段目のインバータ回路の出力信号が供給される第7 MOS トランジスタとを備える

ことを特徴とする請求項3に記載の昇圧回路。

【請求項8】

前記リセットパルス発生器は、前記出力回路部から出力される正の昇圧電圧と接地電位間の電圧で動作し、リセット信号のハイレベルを前記昇圧電圧にシフトするハイレベルシフタと、上記正の昇圧電圧と上記接地電位間の電圧で動作し、前記各昇圧ユニットに前記リセット信号を供給する偶数段のインバータ回路とを備え、

前記ディスチャージ回路は、昇圧電圧と接地電位間の電圧で動作し、ディスチャージインネブル信号のハイレベルを前記昇圧電圧にシフトするハイレベルシフタと、上記昇圧電圧と接地電位間の電圧で動作する偶数段のインバータ回路と、電流通路の一端が上記リセットパルス発生器における正の昇圧電位が印加される電源線に接続され、電流通路の他端が電源に接続され、ゲートに上記偶数段目のインバータ回路の出力信号が供給される第7 MOS トランジスタとを備える

ことを特徴とする請求項3に記載の昇圧回路。

【請求項9】

位相の異なるクロック信号に応答して、順次電荷を転送して昇圧を行う昇圧回路と、

前記昇圧回路の出力電圧に基づいて動作する回路とを具備し、

前記昇圧回路は、初段の入力端子に電源電位または接地電位が印加され、各々の出力端子が順次次段の入力端子にそれぞれ接続された複数の昇圧ユニットと、前記昇圧ユニットの最終段の出力電位で制御され、最終段より前の段の昇圧ユニットの出力電位を転送する出力回路部とを備え、

前記各昇圧ユニットはそれぞれ、位相が異なる第1、第2のクロック信号が入力される第1、第2のクロック入力端子と、リセット信号が入力されるリセット信号入力端子とを有し、前記第1、第2のクロック信号に応答して、前記入力端子から前記出力端子に電荷を転送し、電荷の転送後に前記リセット信号によりリセット用トランジスタをオンさせ、電荷が残存するトランジスタのゲートノードをリセットするようにしてなり、

前記リセット信号のリセット用トランジスタをオンさせる電位を、前記出力回路部から出力される昇圧された正または負の電位に基づいて生成する

ことを特徴とする電圧発生回路。

【請求項10】

前記各昇圧ユニットはそれぞれ、電流通路の一端が前記入力端子に接続され、電流通路の他端が前記出力端子に接続された第1 MOS トランジスタと、電流通路の一端が前記入力端子に接続され、電流通路の他端が前記第1 MOS トランジスタのゲートに接続され、ゲートが出力端子に接続された第2 MOS トランジスタと、電流通路の一端が前記第1 MOS トランジスタのゲートに接続され、電流通路の他端に電源電圧または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第3 MOS トランジスタと、電流通路の一端が前記第2 MOS トランジスタのゲートに接続され、電流通路の他端に電源電圧または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第4 MOS トランジスタと、一方の電極が前記出力端子に接続され、他方の電極に第1のクロック信号が供給される第1のキャパシタと、一方の電極が前記第1 MOS トランジスタのゲートに接続され、他方の電極に第2のクロック信号が供給される第2のキャパシタとを備えることを特徴とする請求項9に記載の電圧発生回路。

【請求項11】

一方の電極が前記第1のキャパシタの他方の電極に接続され、他方の電極に前記第1のクロック信号が供給される第3のキャパシタと、電流通路の一端が前記第1のキャパシタの他方の電極に接続され、電流通路の他端に電源電位または接地電位が印加され、ゲート

に前記リセット信号が供給されるリセット用の第5 MOSトランジスタと、一方の電極が前記第2のキャパシタの他方の電極に接続され、他方の電極に前記第2のクロック信号が供給される第4のキャパシタと、電流通路の一端が前記第2のキャパシタの他方の電極に接続され、電流通路の他端に電源電位または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第6 MOSトランジスタとを更に具備することを特徴とする請求項10に記載の電圧発生回路。

【請求項12】

位相の異なるクロック信号に応答して、順次電荷を転送して昇圧を行う昇圧回路と、前記昇圧回路の出力電圧に基づいて動作する回路とを具備し、

前記昇圧回路は、初段の入力端子に電源電位または接地電位が印加され、各々の出力端子が順次次段の入力端子にそれぞれ接続された複数の昇圧ユニットと、前記昇圧ユニットの最終段の出力電位で制御され、最終段より前の段の昇圧ユニットの出力電位を転送する出力回路部と、前記出力回路部から出力される正または負の昇圧電位を電源の一方に用いて、前記正または負の昇圧電位と接地電位間の振幅のリセット信号を生成し、前記各昇圧ユニットに供給することにより、各昇圧ユニットにおける電荷が残存するトランジスタのゲートノードをリセットするリセットパルス発生器と、前記リセットパルス発生器における前記正または負の昇圧電位が印加されるノードを、前記電荷が残存するトランジスタのゲートノードのリセット後にディスチャージするディスチャージ回路とを備えることを特徴とする電圧発生回路。

【請求項13】

前記各昇圧ユニットはそれぞれ、電流通路の一端が前記入力端子に接続され、電流通路の他端が前記出力端子に接続された第1 MOSトランジスタと、電流通路の一端が前記入力端子に接続され、電流通路の他端が前記第1 MOSトランジスタのゲートに接続され、ゲートが出力端子に接続された第2 MOSトランジスタと、電流通路の一端が前記第1 MOSトランジスタのゲートに接続され、電流通路の他端に電源電圧または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第3 MOSトランジスタと、電流通路の一端が前記第2 MOSトランジスタのゲートに接続され、電流通路の他端に電源電圧または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第4 MOSトランジスタと、一方の電極が前記出力端子に接続され、他方の電極に第1のクロック信号が供給される第1のキャパシタと、一方の電極が前記第1 MOSトランジスタのゲートに接続され、他方の電極に第2のクロック信号が供給される第2のキャパシタとを備えることを特徴とする請求項12に記載の電圧発生回路。

【請求項14】

一方の電極が前記第1のキャパシタの他方の電極に接続され、他方の電極に前記第1のクロック信号が供給される第3のキャパシタと、電流通路の一端が前記第1のキャパシタの他方の電極に接続され、電流通路の他端に電源電位または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第5 MOSトランジスタと、一方の電極が前記第2のキャパシタの他方の電極に接続され、他方の電極に前記第2のクロック信号が供給される第4のキャパシタと、電流通路の一端が前記第2のキャパシタの他方の電極に接続され、電流通路の他端に電源電位または接地電位が印加され、ゲートに前記リセット信号が供給されるリセット用の第6 MOSトランジスタとを更に具備することを特徴とする請求項13に記載の電圧発生回路。

【請求項15】

一方の電極が前記リセット信号発生器における前記正または負の昇圧電位が印加されるノードに接続され、他方の電極に接地電位または電源電圧が印加される第5のキャパシタを更に具備することを特徴とする請求項12に記載の電圧発生回路。

【請求項16】

前記リセットパルス発生器は、正電圧と接地電位間の電圧で動作し、リセット信号のハイレベルを前記正電位にシフトするハイレベルシフタと、前記正電圧と前記出力回路部から出力される負の昇圧電位間の電圧で動作し、前記ハイレベルシフタの出力のロウレベル

を前記負の昇圧電位にレベルシフトするロウレベルシフタと、前記正電圧と前記出力回路部から出力される負の昇圧電位間の電圧で動作する奇数段のインバータ回路と、偶数段目のインバータ回路の出力信号と奇数段目のインバータ回路の出力信号が供給され、前記各昇圧ユニットに前記リセット信号を供給する論理回路とを備え、

前記ディスチャージ回路は、正電圧と接地電位間の電圧で動作し、ディスチャージイネーブル信号のハイレベルを前記正電位にシフトするハイレベルシフタと、前記正電圧と前記出力回路部から出力される負の昇圧電位間の電圧で動作し、前記ハイレベルシフタの出力のロウレベルを前記負の昇圧電位にレベルシフトするロウレベルシフタと、前記正電圧と前記出力回路部から出力される負の昇圧電位間の電圧で動作する偶数段のインバータ回路と、電流通路の一端が前記リセットパルス発生器における負の昇圧電位が印加される電源線に接続され、電流通路の他端が接地点に接続され、ゲートに前記偶数段目のインバータ回路の出力信号が供給される第7 MOS トランジスタとを備えることを特徴とする請求項12に記載の電圧発生回路。

【請求項17】

前記リセットパルス発生器は、前記出力回路部から出力される正の昇圧電圧と接地電位間の電圧で動作し、リセット信号のハイレベルを前記昇圧電圧にシフトするハイレベルシフタと、前記正の昇圧電圧と前記接地電位間の電圧で動作し、前記各昇圧ユニットに前記リセット信号を供給する偶数段のインバータ回路とを備え、

前記ディスチャージ回路は、昇圧電圧と接地電位間の電圧で動作し、ディスチャージイネーブル信号のハイレベルを前記昇圧電圧にシフトするハイレベルシフタと、前記昇圧電圧と接地電位間の電圧で動作する偶数段のインバータ回路と、電流通路の一端が前記リセットパルス発生器における正の昇圧電位が印加される電源線に接続され、電流通路の他端が電源に接続され、ゲートに前記偶数段目のインバータ回路の出力信号が供給される第7 MOS トランジスタとを備えることを特徴とする請求項12に記載の電圧発生回路。