



(12) 发明专利

(10) 授权公告号 CN 102754102 B

(45) 授权公告日 2016. 02. 03

(21) 申请号 201180008804. 0

H01L 21/82(2006. 01)

(22) 申请日 2011. 11. 10

H01L 21/822(2006. 01)

H01L 27/04(2006. 01)

(30) 优先权数据

2010-274669 2010. 12. 09 JP

(56) 对比文件

US 2010/0176506 A1, 2010. 07. 15, 说明书第 1-2、17、22-23 段, 附图 2.

(85) PCT国际申请进入国家阶段日

2012. 08. 09

CN 1716598 A, 2006. 01. 04, 全文.

(86) PCT国际申请的申请数据

PCT/JP2011/006290 2011. 11. 10

CN 101821745 A, 2010. 09. 01, 全文.

(87) PCT国际申请的公布数据

W02012/077280 JA 2012. 06. 14

WO 2010/123659 A1, 2010. 10. 28, 全文.

(73) 专利权人 松下电器产业株式会社

地址 日本大阪府

审查员 董显彬

(72) 发明人 森本高志 桥本隆

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 黄剑锋

(51) Int. Cl.

G06F 17/50(2006. 01)

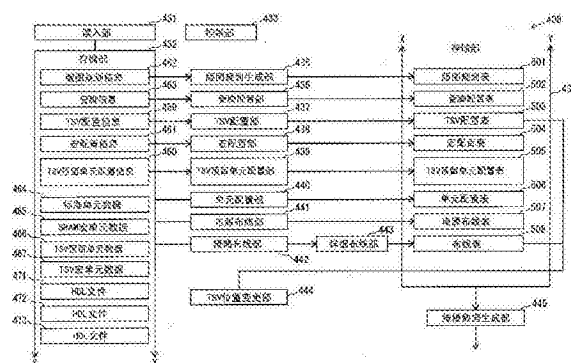
权利要求书2页 说明书38页 附图36页

(54) 发明名称

三维集成电路的设计支持装置及设计支持方法

(57) 摘要

提供一种在将多个半导体芯片层叠而成的三维集成电路的设计中,在发生了通孔的位置变更的情况下,也使得尽可能不发生其他部分的位置变更的三维集成电路的设计支持装置。设计支持装置(400)具备:TSV配置部(437),决定贯通一个半导体芯片而与其他半导体芯片连接的通孔的位置;TSV预留单元配置部(439),根据上述通孔的位置,决定作为配置上述通孔的预备的位置的预留单元的位置;以及掩模数据生成部(445),生成包括上述通孔的位置和上述预留单元的位置的布局数据。



1. 一种设计支持装置,支持将多个半导体芯片以层状排列而构成的三维集成电路的设计,其特征在于,具备:

通孔配置机构,决定贯通第1半导体芯片而与第2半导体芯片连接的通孔的配置位置;

预留单元配置机构,在第1半导体芯片中,根据上述通孔的上述配置位置,决定作为配置上述通孔的预备的配置位置的预留单元的配置位置;以及

生成机构,生成包括上述通孔的配置位置和上述预留单元的配置位置的布局数据;

在上述三维集成电路的设计中途发生上述通孔的配置位置的变更的情况下,新的通孔配置于上述预留单元的配置位置。

2. 如权利要求1所述的设计支持装置,其特征在于,

第1半导体芯片包括配置上述通孔的对象区域;

上述通孔配置机构在上述对象区域内决定通孔的配置位置;

上述预留单元配置机构在上述对象区域内决定预留单元的配置位置。

3. 如权利要求2所述的设计支持装置,其特征在于,

上述半导体芯片包括一个块,上述对象区域是上述块;

上述通孔配置机构在作为上述对象区域的上述块内决定通孔的配置位置;

上述预留单元配置机构在作为上述对象区域的上述块内决定上述预留单元的配置位置。

4. 如权利要求2所述的设计支持装置,其特征在于,

第1半导体芯片包括第1块,第2半导体芯片包括第2块,第1块具有与第2块的重复区域,上述重复区域是在该重复区域的面垂直方向上存在第2块的一部分或全部的区域,上述对象区域是上述重复区域;

上述通孔配置机构在作为上述对象区域的第1块的上述重复区域内决定通孔的配置位置;

上述预留单元配置机构在作为上述对象区域的上述重复区域内决定上述预留单元的配置位置。

5. 如权利要求2所述的设计支持装置,其特征在于,

上述预留单元配置机构在上述对象区域内随机地决定上述预留单元的配置位置。

6. 如权利要求2所述的设计支持装置,其特征在于,

上述预留单元配置机构决定预留单元的配置数,以使在上述对象区域内配置的预留单元的面积合计相对于上述对象区域的面积的比率成为指定的面积比率。

7. 如权利要求6所述的设计支持装置,其特征在于,

上述面积比率是1%以上、且5%以下。

8. 如权利要求2所述的设计支持装置,其特征在于,

上述预留单元配置机构在上述对象区域内决定与上述通孔的配置位置成对称的位置,作为上述预留单元的配置位置。

9. 如权利要求8所述的设计支持装置,其特征在于,

上述预留单元配置机构在上述对象区域内决定一根轴,并以所决定的轴为对称轴,在上述对象区域内,决定与上述通孔的配置位置成线对称的位置,作为上述预留单元的配置

位置。

10. 如权利要求 8 所述的设计支持装置,其特征在于,

上述预留单元配置机构在上述对象区域内决定一个点,并以所决定的点为对称点,在上述对象区域内,决定与上述通孔的配置位置成点对称的位置,作为上述预留单元的配置位置。

11. 如权利要求 2 所述的设计支持装置,其特征在于,

上述预留单元配置机构在上述对象区域内,决定相对于一个通孔的配置位置处于等距离的多个位置,作为多个预留单元的配置位置。

12. 如权利要求 11 所述的设计支持装置,其特征在于,

上述预留单元配置机构决定上述距离,以使在上述对象区域内配置的电路的动作速度与上述距离具有反比例的关系。

13. 如权利要求 2 所述的设计支持装置,其特征在于,

上述预留单元配置机构在上述对象区域内决定多个预留单元的配置位置,以使一个预留单元的配置位置与相邻于该预留单元的多个预留单元的配置位置之间的多个距离相等。

14. 如权利要求 2 所述的设计支持装置,其特征在于,

上述预留单元配置机构将在上述对象区域内配置的多个硅通孔分类为组,基于包含在各组中的硅通孔的配置位置,决定预留单元的配置位置。

15. 如权利要求 14 所述的设计支持装置,其特征在于,

上述预留单元配置机构对硅通孔进行分类,以使接近配置的硅通孔属于同一组。

16. 如权利要求 15 所述的设计支持装置,其特征在于,

上述预留单元配置机构在包含在一个组中的多个硅通孔的配置位置的中央,决定预留单元的配置位置。

17. 一种设计支持方法,在设计支持装置中使用,上述设计支持装置支持将多个半导体芯片以层状排列而构成的三维集成电路的设计,该设计支持方法的特征在于,包括:

通孔配置步骤,决定贯通第 1 半导体芯片而与第 2 半导体芯片连接的通孔的配置位置;

预留单元配置步骤,在第 1 半导体芯片中,根据上述通孔的上述配置位置,决定作为配置上述通孔的预备的配置位置的预留单元的配置位置;以及

生成步骤,生成包括上述通孔的配置位置和上述预留单元的配置位置的布局数据;

在上述三维集成电路的设计中途发生上述通孔的配置位置的变更的情况下,新的通孔配置于上述预留单元的配置位置。

三维集成电路的设计支持装置及设计支持方法

技术领域

[0001] 本发明涉及支持将多个半导体集成电路芯片以层状排列而构成的三维集成电路的设计的技术。

背景技术

[0002] 为了将半导体集成电路更高集成化,使用将多个半导体集成电路芯片(以下,称作半导体芯片)层叠而形成一个封装的方法。将通过这样的方法制造的集成电路称作三维集成电路。在专利文献1及专利文献2中,分别公开了设计将多个半导体芯片上下重合地构成的半导体集成电路的各半导体芯片的布局的三维集成电路设计装置。

[0003] 在三维集成电路中,被层叠的第1及第2半导体芯片之间通过将第1半导体芯片贯通而设置的称作硅通孔(Through-Silicon Via。以下,简称作TSV)的电极连接。在TSV的周围,设置不配置晶体管等的单元的配置禁止区域。此外,在第2半导体芯片中,在与设置在第1半导体芯片上的TSV的位置对置的位置上也设置配置禁止区域。这是为了使在将第1半导体芯片与第2半导体芯片贴合时发生的应力(stress)不对周边单元带来影响。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1:特开2007-250754号公报

[0007] 专利文献2:特开2008-243993号公报

[0008] 发明概要

[0009] 发明要解决的问题

[0010] 有时在三维集成电路的设计暂且结束后进行被配置的单元及布线的位置的变更。例如,在设计暂且结束后,进行DRC(Design Rule Check:设计规则检查)、LVS(Layout Versus Schematic:布局与电路对照验证)、天线规则检查等,由此验证三维集成电路的布局是否满足设计条件。如上述那样进行单元或布线的位置的变更是如在该验证中判断为不满足设计条件那样的情况。在判断为不满足设计条件的情况下,必须变更单元或布线的位置,但根据单元或布线的位置的变更,有时还变更TSV的位置。随着该TSV的位置的变更,必须变更半导体芯片的配置禁止区域的位置,所以如果这样,则发生作为新的配置禁止区域的区域中的布线或单元的位置变更。此外,在此情况下,设计的变更不仅限于第1半导体芯片。这是因为,如上所述,在第2半导体芯片中,需要在与TSV的位置对置的位置上设置配置禁止区域,随着第1半导体芯片上的TSV的位置变更,必须变更第2半导体芯片的配置禁止区域的位置。这样,随着第2半导体芯片上的配置禁止区域的位置变更,发生作为新配置禁止区域的区域中的布线或单元的位置变更。

[0011] 这样,在半导体芯片中,如果变更TSV的位置,则配置位置的变更不仅限于该TSV的位置,也波及到其他单元等的配置位置,存在配置位置的变更变得很大的问题。

发明内容

[0012] 为了解决上述问题,本发明的目的是提供在发生了 TSV 的位置变更的情况下也能够使得在其他电路部分中尽可能不发生配置位置的变更的三维集成电路的设计支持装置、设计支持方法、用于设计支持的计算机程序及记录有计算机程序的记录介质。

[0013] 用于解决问题的手段

[0014] 为了达到上述目的,本发明是一种设计支持装置,支持将多个半导体芯片以层状排列而构成的三维集成电路的设计,其特征在于,具备:通孔配置机构,决定贯通第 1 半导体芯片而与第 2 半导体芯片连接的通孔的配置位置;预留单元配置机构,在第 1 半导体芯片中,根据上述通孔的上述配置位置,决定作为上述通孔的配置的预备配置位置的预留单元的配置位置;以及生成机构,生成包括上述通孔的配置位置和上述预留单元的配置位置的布局数据。

[0015] 发明效果

[0016] 根据该结构,在三维集成电路的设计的中途发生 TSV 的配置位置的变更的情况下,能够使用作为应配置新 TSV 的位置而预先配置的预留单元的配置位置,所以起到能够使得不发生其他电路部分中的庞大的设计变更的良好的效果。

附图说明

[0017] 图 1 是三维集成电路 100 的截面概念图及构成三维集成电路 100 的各半导体芯片的平面概念图。

[0018] 图 2 是表示设计三维集成电路 100 的工序的流程图。

[0019] 图 3 是在三维集成电路 100 中表示半导体芯片 101a 的块 131 与半导体芯片 101b 的块 137 的重复区域 151 的概念图。

[0020] 图 4 是表示在构成三维集成电路 100 的半导体芯片 101a 的块 131 中随机地配置了多个预留单元的状况的平面概念图。

[0021] 图 5 是表示在构成三维集成电路 100 的半导体芯片 101a 的块 131 与半导体芯片 101b 的块 137 的重复区域 151 中随机地配置了多个预留单元的状况的平面概念图。

[0022] 图 6 是表示在构成三维集成电路 100 的半导体芯片 101a 的块 131 中等间隔地配置了多个预留单元的状况的平面概念图。

[0023] 图 7 是表示在构成三维集成电路 100 的半导体芯片 101a 的块 131 与半导体芯片 101b 的块 137 的重复区域 151 中等间隔地配置了多个预留单元的状况的平面概念图。

[0024] 图 8 是表示在构成三维集成电路 100 的半导体芯片 101a 的块 131 中,以块 131 的中心线 211 为对称轴,在与块 131 上的 TSV 的配置位置成为线对称的位置上配置了预留单元的状况的平面概念图。

[0025] 图 9 是表示在构成三维集成电路 100 的半导体芯片 101a 的块 131 与半导体芯片 101b 的块 137 的重复区域 151 中,以重复区域 151 的中心线 212 为对称轴,在与重复区域 151 上的 TSV 的配置位置成为线对称的位置上配置了预留单元的状况的平面概念图。

[0026] 图 10 是表示在构成三维集成电路 100 的半导体芯片 101a 的块 131 中,以块 131 的中心点 215 为对称点,在与块 131 上的 TSV 的配置位置成为点对称的位置上配置了预留单元的状况的平面概念图。

[0027] 图 11 是表示在构成三维集成电路 100 的半导体芯片 101a 的块 131 与半导体芯片

101b 的块 137 的重复区域 151 中,以重复区域 151 的中心点 218 为对称点,在与重复区域 151 上的 TSV 的配置位置成为点对称的位置上配置了预留单元的状况的平面概念图。

[0028] 图 12 是表示在构成三维集成电路 100 的半导体芯片 101a 的块 131 中,以块 131 的配置 TSV161 的位置为中心点,在相对于 TSV161 处于等距离的位置上配置了多个预留单元的状况的平面概念图。

[0029] 图 13 是表示在构成三维集成电路 100 的半导体芯片 101a 的块 131 与半导体芯片 101b 的块 137 的重复区域 151 中,以配置 TSV161 的位置为中心点,在相对于 TSV161 处于等距离的位置上配置了多个预留单元的状况的平面概念图。

[0030] 图 14 是表示在构成三维集成电路 100 的半导体芯片 101a 的块 131 中,块 131 的多个 TSV 分类为多个组,在各组中以配置包含在组中的多个 TSV 的位置为多边形的顶点,在作为该多边形的重心的位置上配置了预留单元的状况的平面概念图。

[0031] 图 15 是将构成三维集成电路 100 的半导体芯片的块的一部分放大的平面概念图。这里,配置有 TSV252、配置禁止区域 251 及预留单元 250。

[0032] 图 16 是将构成三维集成电路 100 的半导体芯片的块的一部分放大的平面概念图,是在图 15 所示的平面概念图中将 TSV 及配置禁止区域的配置位置移动到预留单元 250 的位置后的图。这里,配置有 TSV262、配置禁止区域 261 及预备区域 263。

[0033] 图 17 是将构成三维集成电路 100 的半导体芯片的块的一部分放大的平面概念图,在图 16 所示的平面概念图中,在作为预备区域 263 的区域中,配置有修复单元 271 ~ 275。

[0034] 图 18 是将构成三维集成电路 100 的半导体芯片的块的一部分放大的平面概念图,在图 16 所示的平面概念图中,在作为预备区域 263 的区域中,配置有导热孔 278 及配置禁止区域 277。

[0035] 图 19 是表示设计支持装置 400 的结构的框图。

[0036] 图 20 是表示配置布线部 408 的结构的框图。

[0037] 图 21 表示作为由硬件记述语言(Hardware description language)记述的一例的 HDL 文件 454。

[0038] 图 22 表示 TSV 预留单元配置信息 460 的数据构造的一例。

[0039] 图 23 表示作为网表的一例的 HDL 文件 471。

[0040] 图 24 表示版图规划表 501 的一例。

[0041] 图 25 表示管脚配置表 502 的一例。

[0042] 图 26 表示 TSV 配置表 503 的一例。

[0043] 图 27 表示 TSV 预留单元表 505 的一例。

[0044] 图 28 表示布线表 508 的一例。

[0045] 图 29 是表示设计支持装置 400 的配置布线部 408 的动作用的流程图。

[0046] 图 30 是表示 TSV 预留单元配置部 439 的动作用的流程图。

[0047] 图 31 是表示将预留单元随机地配置的情况下的动作用的流程图。

[0048] 图 32 是表示将预留单元以等间隔配置的情况下的动作用的流程图。后接图 33。

[0049] 图 33 是表示将预留单元以等间隔配置的情况下的动作用的流程图。上接图 32。

[0050] 图 34 是表示将预留单元配置在对称位置的情况下的动作用的流程图。

[0051] 图 35 是表示将预留单元相对于 TSV 等间隔地配置的情况下的动作用的流程图。

[0052] 图 36 是表示对分组后的多个 TSV 配置预留单元的情况下的动作的流程图。后接图 37。

[0053] 图 37 是表示对分组后的多个 TSV 配置预留单元的情况下的动作的流程图。上接图 36。

[0054] 图 38 是表示作为变形例的设计支持装置 400 的配置布线部 408 的动作的流程图。

[0055] 图 39 是表示作为变形例的块内的 TSV381、配置禁止区域 382 及预留单元 383、384 的配置的一例。

具体实施方式

[0056] 1. 实施方式

[0057] 对作为本发明的一实施方式的设计支持装置 400 进行说明。

[0058] 1.1 三维集成电路的构造

[0059] 这里,对使用设计支持装置 400 设计的三维集成电路的构造进行说明。

[0060] 另外,以下说明的三维集成电路的构造是使用设计支持装置 400 设计后的阶段中的构造,需要注意并不是说明现实制造出的集成电路的构造。以下的结构、形成、连接、设置等的用语不是说明现实制造出的集成电路的物理的构造的,而是在设计支持装置 400 上为了说明在逻辑性的三维空间中表现的集成电路的逻辑性的构造而使用的。

[0061] 作为使用设计支持装置 400 设计的三维集成电路的一例的三维集成电路 100 如图 1 所示,由中间层 102、3 个半导体芯片 101c、101b 及 101a、以及多个凸块 103a、103b、103c、…、103d 构成。在中间层 102 的上表面,3 个半导体芯片 101c、101b 及 101a 被依次层叠,换言之以层状排列。此外,在中间层 102 的下表面配设有多个凸块 103a、103b、103c、…、103d。三维集成电路 100 搭载在电路基板(未图示)上,半导体芯片 101a、101b 及 101c 经由中间层 102 及多个凸块 103a、103b、103c、…、103d 连接在电路基板上。

[0062] 另外,在设计支持装置 400 中,将 Z 轴设定为相对于中间层 102 的上表面垂直的方向,在中间层 102 的上表面内设定 X 轴及垂直于 X 轴的方向的 Y 轴,来定义三维空间。

[0063] 中间层 102 是用来在半导体芯片与电路基板之间变换布线的尺寸的薄型构造体。凸块 103a、103b、103c、…、103d 分别是用于中间层 102 与电路基板的连接的微小的连接管脚。

[0064] 如图 1 所示,作为一例,半导体芯片 101a 由多个块 131 ~ 135 构成,半导体芯片 101b 由多个块 136 ~ 140 构成,半导体芯片 101c 由多个块 141 ~ 144 构成。各块如在图 1 中作为一例表示那样,具有一个集中的功能。例如,块 131 是将压缩图像数据解码的解码器,块 132 是将解码的图像数据编码的编码器,块 137 是进行这些图像数据的交换的图像 IO 单元。

[0065] 半导体芯片 101a 通过贯通半导体芯片 101a 设置的 1 个以上的 TSV 而与半导体芯片 101b 连接,半导体芯片 101b 通过将半导体芯片 101b 贯通设置的 1 个以上的 TSV 与半导体芯片 101c 连接,半导体芯片 101c 通过贯通半导体芯片 101c 设置的 1 个以上的 TSV 与中间层 102 连接。

[0066] 半导体芯片 101a 依次层叠 poly-Si 或阱等的层 117、金属布线层 3 (113)、金属布线层 2 (112) 及金属布线层 1 (111) 而形成。在层 117 中形成各种单元(cell)。这里,所

谓单元,例如是 AND 门、NOR 门等的逻辑电路、外部端子、SRAM 存储器、TSV 等的电子部件。此外,在金属布线层 1 (111)、金属布线层 2 (112) 及金属布线层 3 (113) 各自中形成多个布线。

[0067] 半导体芯片 101b 也与半导体芯片 101a 同样,依次层叠 poly-Si 或阱等的层 118、金属布线层 3 (116)、金属布线层 2 (115) 及金属布线层 1 (114) 而形成。关于半导体芯片 101c 也是同样的。

[0068] 在半导体芯片 101a、101b 及 101c 各自上,与 1 个以上的 TSV 对应地设定 1 个以上的配置禁止区域。各配置禁止区域以包围对应的 TSV 的方式贯通半导体芯片而设定,以使其将对应的 TSV 包围。此外,在 TSV 的连接对方的半导体芯片中也在与 TSV 对置的位置上设定配置禁止区域。

[0069] TSV 作为一例而具有长方体形状,TSV 的半导体芯片的面方向的截面的形状作为一例是正方形。以下,所谓配置 TSV 的位置,是指作为 TSV 的截面形状的该正方形的中心位置在半导体芯片内所被配置的位置。另外,所谓正方形的中心位置,是正方形的两条对角线的交点。此外,TSV 的半导体芯片的面方向的截面的形状并不限定于正方形。例如也可以是长方形,也可以是多边形。此外,也可以是圆形或椭圆形。

[0070] 配置禁止区域也作为一例而具有长方体形状,配置禁止区域的半导体芯片的面方向的截面的形状作为一例是正方形。以下,所谓配置配置禁止区域的位置,是指作为配置禁止区域的截面形状的该正方形的中心位置在半导体芯片内所被配置的位置。另外,所谓正方形的中心位置,是正方形的两条对角线的交点。此外,TSV 的半导体芯片的面方向的截面的形状并不限定于正方形。例如也可以是长方形,也可以是多边形。此外,也可以是圆形或椭圆形。

[0071] 此外,在半导体芯片 101a、101b 及 101c 各自上设定 1 个以上的 TSV 预留单元(以下,称作预留单元)的配置位置。预留单元在需要变更 TSV 的配置位置的情况下被利用为配置变更后的 TSV 的位置。即,是配置位置变更后的 TSV 的预备的配置位置。预留单元是用来配置 TSV 的预备的区域,所以至少具有与将 TSV 及配置禁止区域相加而得到的区域同等的面积。

[0072] 在将 TSV 及配置禁止区域相加的区域作为一例是长方体形状的情况下,预留单元具有长方体形状,预留单元的半导体芯片面方向的截面的形状是正方形。将该截面的一边的长度称作预留单元的宽度。另外,以下所谓配置预留单元的位置,是指作为预留单元的截面形状的该正方形的中心位置在半导体芯片内所被配置的位置。

[0073] 如在图 1 中作为一例表示的那样,在半导体芯片 101a 上,为了将半导体芯片 101a 与半导体芯片 101b 连接,在相对于半导体芯片 101a 的下表面垂直方向上,贯通半导体芯片 101a 的层 117 而设有 TSV121。TSV121 的一端与形成于金属布线层 3 (113) 中的布线连接,TSV121 的另一端与形成于半导体芯片 101b 的金属布线层 1 (114) 中的布线连接。形成在半导体芯片 101a 上的块经由形成在金属布线层 1 (111)、金属布线层 2 (112) 及金属布线层 3 (113) (或者某 1 个金属布线层、或某两个金属布线层) 中的布线、TSV121、以及形成在金属布线层 1 (114)、金属布线层 2 (115) 及金属布线层 3 (116) (或者某 1 个金属布线层、或某两个金属布线层) 中的布线,与形成在半导体芯片 101b 上的块连接。

[0074] 此外,在半导体芯片 101a 中,如图 1 中作为一例表示的那样,在与半导体芯片 101a

的下表面垂直的方向上以包围 TSV121 的方式贯通半导体芯片 101a 的金属布线层 1(111)、金属布线层 2(112)、金属布线层 3(113)及层 117 而设定配置禁止区域 122。

[0075] 此外,在半导体芯片 101b 中,也如图 1 中作为一例表示的那样,设定配置禁止区域 123。配置禁止区域 123 在与 TSV121 的下表面对置的位置上,从 TSV121 的下表面向半导体芯片 101b 侧在垂直方向上贯通半导体芯片 101b 的金属布线层 1(114)、金属布线层 2(115)、金属布线层 3(116)及层 118 而被设定。配置禁止区域 123 的大小是将配置禁止区域 122 及 TSV121 相加的区域以上的大小。

[0076] 进而,在半导体芯片 101a 中,如图 1 中作为一例表示的那样,预留单元 124 贯通半导体芯片 101a、即贯通半导体芯片 101a 的金属布线层 1(111)、金属布线层 2(112)、金属布线层 3(113)及层 117 而被设定。关于在半导体芯片 101a 上配置预留单元 124 的位置在后面叙述。

[0077] 在图 1 中,对半导体芯片 101a 与半导体芯片 101b 的连接方法进行了图示,并在上述中进行了说明,但关于半导体芯片 101b 与半导体芯片 101c 的连接方法、以及半导体芯片 101c 与中间层 102 的连接方法也是同样的,所以省略说明。

[0078] 如以上说明,三维集成电路 100 是多个半导体芯片(也称作小片(die))堆叠并垂直地相互连线而形成的 1 个集成电路,作为单体的电子部件发挥功能。

[0079] 1.2 三维集成电路的设计工序

[0080] 这里,对三维集成电路的设计工序进行说明。

[0081] 在三维集成电路中,一个半导体芯片与其他半导体芯片经由 TSV 连接。三维集成电路的设计除了关于 TSV 的配置等的设计以外,与由 1 个半导体芯片构成的集成电路(称作二维集成电路)的设计相比没有较大的差异。在三维集成电路的设计中可以使用二维集成电路的设计方法。

[0082] 在图 2 中表示表现三维集成电路的设计工序的流程图。在图 2 中,假设三维集成电路是将半导体芯片 1 与半导体芯片 2 层叠而构成的结构来进行说明。

[0083] 首先,在功能规格设计工序中,决定作为编解码器或高画质处理的种类等商品系统而使三维集成电路具有的处理功能(工序 S101)。

[0084] 接着,在功能分割、TSV 端子的决定工序中,进行向构成三维集成电路的多个半导体芯片分别安装的功能的划分。这里,在将在功能规格设计工序 S101 中决定的功能用多个半导体芯片实现时,决定将哪个功能安装到哪个半导体芯片中、半导体芯片与半导体芯片之间的端子(TSV)数、怎样定义通信协议等的接口等的规格(工序 S102)。

[0085] 到目前为止,对于三维集成电路整体,在作为一个流程的工序群(工序 S101 ~ S102)中进行设计。从工序 S102 的下个工序起,按每个半导体芯片在一个流程中进行设计(但是,除了以下说明的工序 S105 以外)。

[0086] 在逻辑设计工序中,使用 Verilog — HDL (Hardware Description Language) 等的硬件记述语言,用能够电路映射的表现记述应在半导体芯片上实现的功能(工序 S103a、工序 S103b)。

[0087] 在接着的逻辑合成工序中,将硬件记述语言解析,电路映射到 AND 门、NOR 门等的作为逻辑电路的最小单位的标准单元(以下有时简单称作单元)(工序 S104a、工序 S104b)。

[0088] 在对电源数等需要与外部的交换的端子进行决定的 TSV 端子的物理位置的

工序中,决定半导体芯片间的数据信号用、电源用的 TSV 的位置(工序 S105)。该工序管脚对三维集成电路整体是一个工序。该工序 S105 是在二维集成电路的设计中不存在的工序。需要在进行下个工序的配置布线之前事先决定 TSV 的位置。

[0089] 接着,在配置布线工序中,进行单元的配置和单元彼此的布线。这里,以满足电路的动作频率的方式进行单元的配置、布线处理(工序 S106a、工序 S106b)。假如在该阶段中电路的频率不像设计规格那样呈现等的情况下,也有时回到逻辑设计工序 S103a、S103b 而进行修正。此外,有时也会回到 TSV 端子的物理位置的确定工序 S 105。在配置布线工序中,首先读入作为逻辑合成工序的处理结果的网表、设计规格制约等的文件。接着,决定半导体芯片的布局的版图规划(floor plan)。接着,配置外部端子、SRAM 存储器等的宏单元。进而,以使全部的电路的路径满足设计规格的定时制约的方式配置单元,来进行电源布线。然后,依次进行将单元彼此布线的概略布线、详细布线处理。另外,从芯片来看,TSV 是端子的一种,但与通常的端子不同,作为宏单元设置。此外,为了将半导体芯片彼此直接贴合,需要在各个半导体芯片中将彼此的 TSV 的位置对准。

[0090] 在配置布线工序中,需要满足单元间的定时制约及布线资源制约而设计。在不满足这些制约中 1 个的情况下,有可能不能作为半导体芯片正常地动作,所以需要修正。但是,实际上仅通过变更端子位置等而重新进行单元配置以后的处理就能够修正的情况也较多。

[0091] 在布局验证工序中,进行 DRC (Design Rule Check)、LVS (Layout Versus Schematic)、天线规则检查等掩模布局的验证、最终确认。如果验证的结果有不良状况,则回到需要的工序。

[0092] 经由这些设计工序,最终生成表示三维集成电路的掩模布局的掩模数据 400a、400b。

[0093] 在上述中,设三维集成电路为将半导体芯片 1 与半导体芯片 2 层叠而构成的结构而进行了说明,但在进行将比 3 个多的数量的半导体芯片层叠而成的三维集成电路的设计的情况下,也经过与上述同样的工序。在此情况下,功能规格设计工序、功能划分、TSV 端子的确定工序分别对于三维集成电路整体在作为一个工序流程的工序群中进行设计。在其后的工序中,除了上述的 TSV 端子的物理位置的确定工序以外,按每个半导体芯片在一个流程中进行设计。在 TSV 端子的物理位置的确定工序中,对于三维集成电路整体,在作为一个工序流程的工序群中进行设计。

[0094] 1.3 预留单元的配置

[0095] 在构成三维集成电路的多个半导体芯片的各自上,如上述那样设定 1 个以上的预留单元的配置位置。预留单元在需要变更 TSV 的配置位置的情况下被利用为配置变更后的 TSV 的位置。即,是配置位置被变更后的 TSV 的预备的配置位置。

[0096] 这里,对在各半导体芯片上怎样配置预留单元进行说明。

[0097] (1) 配置预留单元的对象区域

[0098] 作为一例,预留单元配置在图 1 所示的多个块 131 ~ 135、136 ~ 140、141 ~ 144 中的、配置 TSV 的块内。这里,将作为预留单元的配置的对象区域称作对象区域。在此情况下,对象区域是配置 TSV 的块整体。另一方面,在不配置 TSV 的块中不配置预留单元。

[0099] 如图 3 中作为一例表示的那样,假设在半导体芯片 101a 的块 131 上贯通块 131 而

配置有 TSV161 ~ 163, TSV161 ~ 163 与半导体芯片 101b 的块 137 连接。这里,如果从三维集成电路 100 的上表面沿着 Y 轴方向透视三维集成电路 100 而观察,则半导体芯片 101a 的块 131 和半导体芯片 101b 的块 137 在一部分区域 151 中重叠。即,在使半导体芯片 101a 的块 131 所具有的一部分区域 151 的下表面与半导体芯片 101b 的块 137 的一部分区域的上表面接触的状态下,块 131 和块 137 以层状排列。此外,也可以是,在使半导体芯片 101a 的块 131 所具有的一部分区域 151 的下表面与半导体芯片 101b 的块 137 的全部区域的上表面接触的状态下,块 131 和块 137 以层状排列。

[0100] 另外,也可以是,在半导体芯片 101a 的下表面与半导体芯片 101b 的上表面之间设置 1 个以上的凸块,半导体芯片 101a 与半导体芯片 101b 经由这些凸块连接。关于半导体芯片 101b 的下表面与半导体芯片 101c 的上表面之间也是同样的。此外,半导体芯片 101a 的下表面与半导体芯片 101b 的上表面也可以通过粘接剂粘接。关于半导体芯片 101b 的下表面与半导体芯片 101c 的上表面之间也是同样的。

[0101] 半导体芯片 101a 的块 131 具有与半导体芯片 101b 的块 137 的重复区域。重复区域是在该重复区域的面的垂直方向上存在块 137 的块的一部分或全部的区域。根据图 3 所示的例子,区域 151 是在该区域的面的垂直方向上存在块 137 的块的一部分或全部的区域,所以是重复区域。

[0102] TSV161 ~ 163 将块 131 与块 137 连接,所以 TSV161 ~ 163 配置在重复区域 151 内。因而,用于 TSV161 ~ 163 的预留单元配置在重复区域 151 内即可。

[0103] 这样,预留单元也可以配置在配置 TSV 的块与该 TSV 的连接目的地的块重叠的重复区域中。在此情况下,将重复区域作为对象区域。

[0104] (2) 配置在对象区域内的预留单元的数量决定方法

[0105] 配置在对象区域内的预留单元的数量如以下这样决定。另外,通过以下所示的决定方法决定的预留单元的数量可以在后述的各种预留单元的配置方法中使用。

[0106] 作为第一方法,可以通过由使用者指定预留单元数来决定。

[0107] 作为第二方法,可以将预留单元数通过百分比规则决定。所谓百分比规则,是指以满足

[0108]
$$\left[\frac{\text{所配置的全部的预留单元的面积的合计值}}{\text{对象区域的总面积}} \right] = \text{预先指定的预留单元的面积比率}$$

[0109] 的方式决定预留单元的数量。换言之,使用在对象区域内配置的全部预留单元占用的面积的合计值相对于对象区域的总面积的面积比率(百分比),决定预留单元的数量。在此情况下,预留单元的数量通过下式计算。这里,面积比率由使用者指定。另外,该面积比率也可以不由使用者指定而总是固定值。

[0110]
$$\text{预留单元的数量} = \left[\frac{\text{对象区域的总面积} \times \text{指定的面积比率(百分比)}}{\text{1 个预留单元的面积}} \times 100 \right]$$

[0111] 这里, $[x]$ 表示将 x 的小数点以下舍去的运算的结果。

[0112] 另外,指定的面积比率优选的是 10% 以内,更优选的是 1% 以上且 5% 以下。这是因为,如果面积比率变大,则在块内较多地残留将来不被使用的浪费的区域的可能性变高。

[0113] 作为第三方法,可以依存于在对象区域中配置的 TSV 的数量而决定预留单元的数量。例如,通过以下所示的式子,将对在对象区域中配置的 TSV 的数量乘以倍数而得到的数

量决定为预留单元的数量,在对象区域整体中配置所决定的预留单元数的预留单元。这里,倍数作为一例是 2 ~ 4 倍。

[0114] 预留单元的数量 = TSV 的数量 × 倍数

[0115] 另外,这里,不是与在对象区域中配置的各 TSV 对应地配置 2 ~ 4 倍的数量预留单元,而是依存于在对象区域中配置的全部的 TSV 的数量决定预留单元的数量,将所决定的数量的预留单元配置到对象区域中。根据该方法,由于对各 TSV 总是配置 2 ~ 4 倍的数量预留单元作为预备,所以在发生了 TSV 的位置的变更的情况下能够灵活地对应。这里,倍数也可以由使用者指定。此外,倍数也可以总是固定值。

[0116] 作为第四方法,可以依存于在对象区域中配置的 TSV 的位置及数量来决定预留单元的数量。例如,也可以是,将在对象区域中配置的全部的 TSV 以使接近配置的 TSV 属于相同的组的方式分类而划分为多个组,将组的数量的 2 ~ 4 倍的数量作为在对象区域中配置的预留单元的数量。此外,也可以按每个组设定依存于在组中包含的 TSV 的数量的倍数来计算预留单元的数量。这里,倍数也可以由使用者指定。此外,倍数也可以总是固定值。此外,在此情况下,也可以在接近于各组的位置上配置按每个组设定的数量的预留单元。

[0117] 另外,有时不需要预先设定预留单元数的决定方法。例如是,如后所述采用在与 TSV 的配置位置成对称的位置上配置预留单元的方法的情况。在此情况下,对应于 1 个 TSV 而配置 1 个预留单元。即,配置与 TSV 的数量相同数量的预留单元,所以不需要预先设定预留单元数的决定方法。

[0118] (3) 预留单元的配置方法

[0119] 这里,作为预留单元的配置方法,说明预留单元的随机的配置、预留单元的等间隔的配置、使用者的指定位置上的预留单元的配置、向与 TSV 的配置位置成对称的位置的配置、距 TSV 为等距离的位置上的预留单元的配置、以及按 TSV 所属的组的预留单元的配置。

[0120] (a) 冲突的排除

[0121] 在想要配置各个预留单元的情况下(这里,将这些预留单元称作配置对象预留单元),在存在已经决定了配置的其他单元(这里,称作已决定单元)的情况下,需要考虑使得在同一半导体芯片上,配置对象预留单元的配置位置与已决定单元的配置位置不冲突,即使得配置对象预留单元的配置位置与已决定单元的配置位置不被重复地设定。此外,上述已决定单元还包括在该半导体芯片的贴合目的地的半导体芯片上配置的 TSV。即,在将第 1 半导体芯片与第 2 半导体芯片贴合的情况下,还需要考虑使得第 1 半导体芯片上的配置对象预留单元与已经配置在第 2 半导体芯片上的 TSV 不被重复地设定。

[0122] 因此,如果通过如下所述的预留单元的配置方法一旦暂且决定配置对象预留单元的配置位置,则判断配置对象预留单元的配置位置与已决定单元的配置位置是否重复,在判断为重复的情况下,使该配置对象预留单元的位置移动。移动的距离例如是预留单元的宽度量。在使配置对象预留单元的配置位置移动预留单元的宽度量之后,再次判断冲突,在冲突的情况下,再使配置对象预留单元的位置移动。重复进行移动及冲突判断直到不再有冲突。这样,在判断为不再有冲突时,将该位置决定为预留单元的配置位置。

[0123] 在上述中,例如按 X 轴正方向、X 轴负方向、Y 轴正方向、Y 轴负方向的顺序反复进行预留单元的配置位置的移动,每当移动时进行冲突判断。在即使这样也还发生冲突的情况下,将移动距离设为预留单元的宽度的 2 倍、3 倍、...,反复进行预留单元的配置位置的移

动,每当移动时进行冲突判断。

[0124] (b) 预留单元的随机的配置

[0125] (向对象区域内的配置)

[0126] 预留单元可以在配置 TSV 的对象区域内配置在随机决定的位置上。

[0127] 在最初的设计一旦完成后,多个 TSV 中的某一个的配置位置被变更的情况下,在最初的设计阶段中难以预测 TSV 被变更到对象区域内的哪里的位置,所以通过将多个预留单元随机地配置到对象区域内,能够从随机配置的预留单元之中选择适当的变更目的地的 TSV 的配置位置的可能性变高。

[0128] (向块内的配置的例子)

[0129] 预留单元也可以在配置 TSV 的块内配置到随机决定的位置上。

[0130] 如在图 4 中作为一例表示的那样,假设在块 131 中贯通块 131 而配置有 TSV161 ~ 163。在此情况下,对象区域是块 131,预留单元 171 ~ 179 随机地配置在作为对象区域的块 131 内。

[0131] (向重复区域内的预留单元的配置的例子)

[0132] 此外,预留单元也可以在配置 TSV 的块与该 TSV 的连接目的地的块的重复区域内配置在随机决定的位置上。

[0133] 如在图 5 中作为一例表示的那样,假设在半导体芯片 101a 的块 131 中贯通块 131 而配置有 TSV161 ~ 163、TSV161 ~ 163 与半导体芯片 101b 的块 137 连接。半导体芯片 101a 的块 131 和半导体芯片 101b 的块 137 具有重复区域 151。

[0134] 在此情况下,对象区域是重复区域 151,预留单元 181 ~ 190 随机地配置在作为对象区域的重复区域 151 内。

[0135] (c) 预留单元的等间隔的配置

[0136] (向对象区域内的配置)

[0137] 预留单元也可以在配置 TSV 的对象区域内配置在等间隔地决定的位置上。换言之,在对象区域内配置多个预留单元的情况下,在该对象区域内决定多个预留单元的配置位置,以使第 1 预留单元的配置位置与相邻于该预留单元的第 2 预留单元的配置位置之间的距离等于第 1 预留单元的配置位置与相邻于第 1 预留单元的第 3 预留单元的配置位置之间的距离。多个预留单元以矩阵状配置。

[0138] 在对象区域内,与对象区域的一边平行地、且彼此离开距离 L 地描绘多个行线,并且与同一边垂直地、且彼此离开距离 L 地描绘多个列线。接着,在行线与列线的各交点的位置上配置预留单元。

[0139] 这里,例如与上述一边最近的位置的行线描绘在从该一边离开距离 L/2 的位置上。此外,与正交于该一边的另一边最近的位置的列线描绘在从该另一边离开距离 L/2 的位置上。另外,它们各自的位置并不限于离开距离 L/2 的位置。例如,也可以配置到由使用者指定的位置上。此外,也可以配置到预先设定的固定位置上。

[0140] 这里,也可以将作为配置预留单元的间隔的距离 L 如以下这样决定。

[0141] 在对象区域中,如以下这样计算对一个预留单元分配的单位面积。

[0142] 单位面积 = [对象区域的总面积 / 预留单元的数量]

[0143] 接着,如以下这样计算作为配置预留单元的间隔的距离 L。

[0144] 距离 $L = [\text{平方根}(\text{单位面积})]$

[0145] 通过这样配置预留单元,能够大致将指定的数量的预留单元以等距离配置在对象区域上。

[0146] 在最初的设计一旦完成后,在多个 TSV 中的某一个的配置位置被变更的情况下,在最初的设计阶段中难以预测 TSV 被变更到对象区域内的哪里的位置,所以通过将多个预留单元等间隔地配置在对象区域内,能够从等间隔地配置的预留单元中选择适当的变更目的地的 TSV 的配置位置的可能性变高。

[0147] (块内的配置的例子)

[0148] 预留单元也可以在配置 TSV 的块内配置在以等间隔决定的位置上。

[0149] 如在图 6 中作为一例表示的那样,假设在块 131 中,贯通块 131 而配置有 TSV161 ~ 163。在此情况下,对象区域是块 131,预留单元 191、192、...、193 等间隔地配置在作为对象区域的块 131 内。

[0150] 即,与块 131 的一边平行地以彼此离开距离 L 的方式描绘多个行线,与该一边垂直地以彼此离开距离 L 的方式描绘多个列线。接着,在行线与列线的各交点的位置上配置预留单元。

[0151] (向重复区域内的预留单元的配置的例子)

[0152] 此外,预留单元也可以在配置 TSV 的块与该 TSV 的连接目的地的块的重复区域内配置在等间隔地决定的位置上。

[0153] 如图 7 中作为一例表示的那样,假设在半导体芯片 101a 的块 131 中,贯通块 131 而配置有 TSV161 ~ 163,TSV161 ~ 163 与半导体芯片 101b 的块 137 连接。半导体芯片 101a 的块 131 和半导体芯片 101b 的块 137 具有重复区域 151。

[0154] 在此情况下,对象区域是重复区域 151,预留单元 194、195、...、196 以等间隔配置在作为对象区域的重复区域 151 内。

[0155] (d) 向对称位置的配置

[0156] (向对象区域内的基于线对称的配置)

[0157] 预留单元也可以在配置 TSV 的对象区域内,配置在以对象区域的中心线为对称轴、与 TSV 的配置位置成线对称的位置上。

[0158] 在对象区域内,设定与对象区域的 Y 轴方向的两边平行、且通过该两边的中间点的中心线。另外,在对象区域内,也可以设定与对象区域的 X 轴方向的两边平行、且通过该两边的中间点的中心线。

[0159] 接着,在对象区域内选择 1 个 TSV,求出以对象区域内的中心线为对称轴、与所选择的 TSV 的位置成线对称的位置,将预留单元配置在该位置上。接着,管脚对其他 TSV 也同样配置预留单元。

[0160] 在最初的设计一旦完成后,在多个 TSV 中的某一个的配置位置被变更的情况下,在最初的设计阶段难以预测 TSV 被变更到对象区域内的哪里的位置,所以通过在与 TSV 成线对称的位置上配置预留单元,能够从这些预留单元中选择适当的变更目的地的 TSV 的配置位置的可能性变高。

[0161] (向块内的基于线对称的配置的例子)

[0162] 预留单元也可以在配置 TSV 的块内,配置在以块的中心线为对称轴、与 TSV 的配置

位置成线对称的位置上。

[0163] 如在图 8 中作为一例表示的那样,假设在块 131 中,贯通块 131 而配置有 TSV161 ~ 163。在此情况下,对象区域是块 131,预留单元 201、202、203 被配置在作为对象区域的块 131 内。

[0164] 在块 131 中,设定与块 131 的 Y 轴方向的两边 131a 及 131b 平行、且通过 131a 与 131b 的中间点的中心线 211。

[0165] 接着,选择 TSV161,求出以中心线 211 为对称轴、与 TSV161 的位置成线对称的位置,在该位置上配置预留单元 201。接着,管脚对 TSV162 及 163 也同样配置预留单元 202 及 203。

[0166] (向重复区域内的基于线对称的配置的例子)

[0167] 此外,预留单元也可以在配置 TSV 的块与该 TSV 的连接目的地的块的重复区域内,配置在以重复区域的中心线为对称轴、与 TSV 的配置位置成线对称的位置上。

[0168] 如在图 9 中作为一例表示的那样,假设在半导体芯片 101a 的块 131 中,贯通块 131 而配置有 TSV161 ~ 163,TSV161 ~ 163 与半导体芯片 101b 的块 137 连接。半导体芯片 101a 的块 131 和半导体芯片 101b 的块 137 具有重复区域 151。

[0169] 在此情况下,对象区域是重复区域 151,预留单元 204、205、206 配置在作为对象区域的重复区域 151 内。

[0170] 在重复区域 151 中,设定与重复区域 151 的 Y 轴方向的两边 131b 及 131c 平行、且通过 131b 和 131c 的中间点的中心线 212。

[0171] 接着,选择 TSV161,求出以中心线 212 为对称轴、与 TSV161 的位置成线对称的位置,在该位置上配置预留单元 204。接着,这对 TSV162 及 163 也同样配置预留单元 205 及 206。

[0172] (向对象区域内的基于点对称的配置)

[0173] 预留单元也可以在配置 TSV 的对象区域内,配置在以对象区域的中心点为对称点、与 TSV 的配置位置成点对称的位置上。

[0174] 在对象区域中设定中心点。中心点 215 是对象区域的两条对角线的交点。

[0175] 接着,在对象区域中选择 1 个 TSV,求出以中心点为对称点、与所选择的 TSV 的位置成点对称的位置,在该位置上配置预留单元。接着,关于其他 TSV 也同样配置预留单元。

[0176] 在最初的设计一旦完成后,在多个 TSV 中的某一个的配置位置被变更的情况下,在最初的设计阶段难以预测 TSV 被变更到对象区域内的哪里的位置,所以通过在与 TSV 成点对称的位置上配置预留单元,能够从这些预留单元中选择适当的变更目的地的 TSV 的配置位置的可能性变高。

[0177] (向块内的基于点对称的配置的例子)

[0178] 预留单元也可以在配置 TSV 的块内,配置在以块的中心点为对称点、与 TSV 的配置位置成点对称的位置上。

[0179] 如在图 10 中作为一例表示的那样,假设在块 131 中贯通块 131 而配置有 TSV161 ~ 163。在此情况下,对象区域是块 131,预留单元 221、222、223 配置在作为对象区域的块 131 内。

[0180] 在块 131 中,设定中心点 215。中心点 215 是块 131 的两条对角线 213 及 214 的交

点。

[0181] 接着,选择 TSV161,求出以中心点 215 为对称点、与 TSV161 的位置成点对称的位置,在该位置上配置预留单元 223。接着,关于 TSV162 及 163 也同样分别配置预留单元 222 及 221。

[0182] (向重复区域内的基于点对称的配置的例子)

[0183] 此外,预留单元也可以在配置 TSV 的块与该 TSV 的连接目的地的块的重复区域内,配置在以重复区域的中心点为对称点、与 TSV 的配置位置成点对称的位置上。

[0184] 如在图 11 中作为一例表示的那样,假设在半导体芯片 101a 的块 131 中,贯通块 131 而配置有 TSV161 ~ 163, TSV161 ~ 163 与半导体芯片 101b 的块 137 连接。半导体芯片 101a 的块 131 和半导体芯片 101b 的块 137 具有重复区域 151。

[0185] 在此情况下,对象区域是重复区域 151,预留单元 224、225、226 被配置在作为对象区域的重复区域 151 内。

[0186] 在重复区域 151 中,设定中心点 218。中心点 218 是重复区域 151 的两条对角线 216 及 217 的交点。

[0187] 接着,选择 TSV161,求出以中心点 218 为对称点、与 TSV161 的位置成点对称的位置,在该位置上配置预留单元 226。接着,关于 TSV162 及 163 也同样分别配置预留单元 225 及 224。

[0188] (e) 相对于 TSV 为等距离的位置上的预留单元的配置

[0189] (向对象区域内的配置)

[0190] 也可以在配置 TSV 的对象区域内,在相对于配置 1 个 TSV 的位置处于等距离的多个位置上分配配置多个预留单元。

[0191] 首先,计算在对象区域内配置的 TSV 的数量,接着,通过下式,计算作为管脚对 1 个 TSV 配置的预留单元的数量配置数 N。

[0192] 配置数 $N = \lceil \text{预留单元的数量} / \text{TSV 数} \rceil$

[0193] 接着,作为使用者的指定值而取得 TSV 的配置位置与预留单元的配置位置的距离 M。另外,距离 M 的决定方法并不限于于此。例如,也可以通过下式计算。

[0194] 距离 $M = \lceil \text{常数} / \text{形成在块内的电路的动作速度} \rceil$

[0195] 该计算式利用在距离 M 与形成在块内的电路的动作速度之间存在反比例的关系的性质。这里,常数是通过经验决定的值。

[0196] 在对象区域中,对于各 TSV,配置通过配置数 N 计算出的数量的预留单元。N 个预留单元的配置如以下这样进行。

[0197] 确定 1 个 TSV,以所确定的 TSV 的配置位置为中心点,以使从中心点到顶点的距离等于距离 M 的方式描绘正 N 多边形。此时,例如如果最初设定为正 N 多边形的 1 个顶点的位置的 Y 坐标与所确定的 TSV 的配置位置的 Y 坐标相等,则能够唯一地确定正 N 多边形的其他顶点。接着,在正 N 多边形的 N 个顶点的位置上分别配置 N 个预留单元。

[0198] 另外,配置预留单元的方法并不限于于此。也可以以 TSV 的配置位置为中心点,描绘 N 多边形,而不是正 N 多边形,且在其顶点上配置预留单元。此外,也可以以 TSV 的配置位置为中心点,描绘半径是距离 M 的圆,在描绘的圆的圆周上随机地配置 N 个预留单元。

[0199] 此外,判断这样设定的预留单元的位置是对象区域的内侧还是外侧,当为外侧的

情况下,使该预留单元的位置相内侧移动预留单元的宽度的量。接着,进行同样的判断,如果还是存在于外侧,则进一步使其向内侧移动预留单元的宽度的量。这样,重复判断和移动,直到该预留单元被配置到对象区域的内侧。

[0200] 关于应配置在对象区域中的其他 TSV,也同样配置预留单元。

[0201] 这样,如果对全部的 TSV 配置 N 个预留单元,则配置在对象区域中的预留单元的数量合计有时超过当初预定的预留单元的数量。在此情况下,也可以当作配置了与当初预定的预留单元的数量大致相等的数量的预留单元而保持原样。此外,在此情况下,也可以将预留单元的配置取消超过当初的预留单元的数量。

[0202] 通过这样配置预留单元,在最初的设计一旦完成后在某一个 TSV 的配置位置被变更的情况下,在最初的设计阶段难以预测 TSV 被变更到对象区域内的哪里的位置,所以通过在距 TSV 处于等距离的位置上配置多个预留单元,能够从这些预留单元中选择适当的变更目的地的 TSV 的配置位置的可能性变高。

[0203] (向块内的配置的例子)

[0204] 如在图 12 中作为一例表示的那样,假设在块 131 中贯通块 131 而配置有 1 个 TSV161。在此情况下,对象区域是块 131。在作为对象区域的块 131 内,预留单元 231、232、233、234 以配置 TSV161 的位置为中心点,配置在从中心点到顶点的距离是 M 的正方形的顶点的位置上。

[0205] (向重复区域内的配置的例子)

[0206] 预留单元也可以配置在配置 TSV 的块与该 TSV 的连接目的地的块的重复区域内。

[0207] 如在图 13 中作为一例表示的那样,假设在半导体芯片 101a 的块 131 中,贯通块 131 而配置有 1 个 TSV161,TSV161 与半导体芯片 101b 的块 137 连接。半导体芯片 101a 的块 131 和半导体芯片 101b 的块 137 具有重复区域 151。

[0208] 在此情况下,对象区域是重复区域 151。在作为对象区域的重复区域 151 内,预留单元 235、236、237、238 以配置 TSV161 的位置为中心点,配置在从中心点到顶点的距离是 M 的正方形的顶点的位置上。

[0209] (f) 按各 TSV 组的预留单元的配置

[0210] (向对象区域内的配置)

[0211] 预留单元如以下说明的那样,也可以在配置 TSV 的对象区域内,管脚对构成 1 个组的多个 TSV 配置。换言之,将配置在对象区域内的多个 TSV 分类为组,基于在各组中包含的 TSV 的配置位置,决定预留单元的配置位置。此时,以接近配置的 TSV 属于同一组的方式分类 TSV。此外,在一个组所包含的多个 TSV 的配置位置的中央,决定预留单元的配置位置。

[0212] 首先,将配置在对象区域内的多个 TSV 分类为 1 个或多个组。向组的分类如以下这样进行。

[0213] 将分组的距离 G 作为使用者的指定值而取得。

[0214] 选择还没有分类为组的 1 个 TSV,分类到第 1 组。接着,选择配置在与配置所选择的 TSV 的位置的距离为 G 以内的全部的 TSV,将这些 TSV 分类到第 1 组。

[0215] 接着,选择还没有分类为组的 1 个 TSV,分类到第 2 组。接着,选择配置在与配置所选择的 TSV 的位置的距离为 G 以内的全部的 TSV,将这些 TSV 分类到第 2 组。

[0216] 以下,同样,将剩余的全部的 TSV 分类到某一个组。

[0217] 另外,将配置在对象区域内的全部的 TSV 分类为组的方法并不限于上述。例如,也可以在对象区域内选择任意的一点,选择配置在与该点的距离为 G 以内的全部的 TSV,将所选择的这些 TSV 作为 1 个组。接着,选择另一点,同样生成 1 个组。以下同样,将剩余的全部的 TSV 分类到某一个组。

[0218] 这样,将配置在对象区域内的全部的 TSV 分类为 1 个或多个组。

[0219] 接着,对各组求出包含在该组中的全部的 TSV 的位置,基于这些全部的 TSV 的位置,对该组求出 1 个位置,在所求出的位置上配置预留单元。

[0220] 作为一例,也可以虚拟地描绘以求出的全部的 TSV 的位置为顶点的多边形,设定该多边形内的一点的位置,在该位置上配置预留单元。此时,也可以作为上述一点的位置而求出该多边形的重心的位置,在该重心的位置上配置预留单元。此外,也可以任意地选择将多边形的顶点连结的两条对角线,求出这两条对角线的交点,在该交点的位置上配置预留单元。此外,也可以以从上述一点到全部的顶点的距离的合计为最小的方式设定多边形内的一点。

[0221] 这样,对配置在较近的位置而构成 1 个组的多个 TSV 配置 1 个预留单元,从而在最初的设计一旦完成后在某一个 TSV 的配置位置被变更的情况下,在最初的设计阶段中难以预测 TSV 被变更到对象区域内的哪里的位置,所以通过对配置在较近的位置上的多个 TSV 配置 1 个预留单元,在关于这些多个 TSV 发生了配置位置的变更的情况下,能够选择上述预留单元作为变更目的地的 TSV 的配置位置。

[0222] (向块内的配置的例子)

[0223] 如在图 14 中作为一例表示的那样,假设在块 131 中贯通块 131 而配置有 TSV281 ~ 297。在此情况下,对象区域是块 131。

[0224] 如该图所示,TSV281 被分类为组 311,TSV282 ~ 284 被分类为组 312,TSV285 ~ 286 被分类为组 313,TSV287 ~ 289 被分类为组 314,TSV290 ~ 293 被分类为组 315,TSV294 ~ 297 被分类为组 316。

[0225] 管脚对组 311,配置有预留单元 301。组 311 仅包括 1 个 TSV281,所以描绘以包含在组中的全部的 TSV 的位置为顶点的多边形的方法不能采用。此外,管脚对在组中包含两个 TSV 的情况也是同样的(参照图 14 的组 313)。在这样的情况下,例如,管脚对组 311,只要在与 TSV281 的位置的距离为 G 以内的位置上配置预留单元就可以。此外,管脚对组 313,只要在相对于两个 TSV285 及 286 处于等距离的位置上配置预留单元就可以。

[0226] 管脚对组 312、313、314、315、316 分别配置有预留单元 302、303、304、305、306。

[0227] 管脚对组 312,预留单元 302 的位置存在于以 TSV282、283、284 的位置为顶点的多边形的内部中。管脚对组 313、314、315、316 也同样,预留单元配置在以多个 TSV 的位置为顶点的多边形的内部中。

[0228] (向重复区域内的配置)

[0229] 与向块内的配置的例子同样,预留单元也可以配置在配置 TSV 的块与该 TSV 的连接目的地的块的重复区域内。

[0230] 1. 4TSV 的配置的变更前和变更后的例子

[0231] 在图 15 中表示将使用设计支持装置 400 设计的三维集成电路的半导体芯片的块的一部分放大表示的平面概念图。

[0232] 如该图所示,在该块中,配置有 TSV252、配置禁止区域 251、预留单元 250、标准单元 253、布线 254、255 及其他单元、布线。另外,TSV252、配置禁止区域 251、预留单元 250 被配置为宏单元。

[0233] TSV252 经由布线 255 及 254 而与标准单元 253 连接。其他单元通过通孔(via)或纵横配置的布线连接。

[0234] 这里,预留单元 250 是具有将 TSV252 和配置禁止区域 251 相加的大小的单元。配置该预留单元 250 的三维的区域整体是禁止单元的配置及布线的禁止区域(blockage,禁区),作为预留 TSV 的设置区域的功能单元使用。如果配置 TSV,则影响到晶体管层,所以设置该禁区,以使得不仅是布线、单元也不能放置。通过在配置布线全部结束后配置该预留单元 250,在 TSV 的位置变更的情况下,不需要进行用来重新确保 TSV 设置用的面积的单元的移动,能够使用预留单元 250 的区域作为 TSV 及配置禁止区域。

[0235] 作为需要 TSV 的位置的移動的理由,可以考虑例如在图 15 中,从相当于一个逻辑的最后级的单元到 TSV252 的定时制约较严格、并且逻辑最后级的单元因与其他单元的制约而需要移动的情况等。在此情况下,需要使 TSV 的位置向最后级的单元的方向(图 15 的上方向)移动。

[0236] 作为另一例,可以考虑因在贴合目的地的半导体芯片中发生布线的混杂而想要将 TSV 的位置移动到布线密度较低的部分的情形。在此情况下,由于在第 1 半导体芯片和该第 1 半导体芯片的贴合目的地的第 2 半导体芯片中需要对准 TSV 的位置,所以即使在第 1 半导体芯片中满足定时制约,也需要 TSV 的移动。

[0237] 接着,在图 16 中表示将 TSV252 的配置位置变更后的平面概念图。如该图所示,在将 TSV 的配置位置变更后,在该块中,在配置有预留单元 250 的位置上配置 TSV262 及配置禁止区域 261,代替布线 254 及 255 而将标准单元 253 与 TSV262 经由布线 264 及 265 连接。此外,配置有 TSV252 及配置禁止区域 251 的区域被替换为预备的区域 263。

[0238] 如图 16 所示,通过将预留单元替换为 TSV 及配置禁止区域,来移动 TSV。这样,仅通过 TSV 及配置禁止区域的替换和布线的修正就能够进行 TSV 的移动。

[0239] 在 TSV 的移动完成、全部的掩模布局设计的工序结束后,即在 TSV 的位置全部确定时,原来配置有 TSV 及配置禁止区域的区域成为预备的区域。为了有效利用该预备的区域,也可以在该预备的区域中配置修复单元或导热孔。另外,也可以不是这样的替换,而将预备的区域作为空闲区域而原样放置。

[0240] 此外,在作为 TSV 的移动目的地而没有使用预留单元的情况下,也可以在该预留单元中配置修复单元或导热孔。此外,也可以不使用该预留单元而原样放置。

[0241] 在图 17 中,在图 16 的预备的区域 263 中配置有修复单元 271 ~ 276。修复单元是预备的单元,用于对逻辑设计的不良状况的 ECO (Engineering Change Order :工程变更命令)修正。修复单元例如是 AND 单元或 INV 单元。在由于掩模布局后的不良状况的发现而需要逻辑修正的情况下,选择具有所需逻辑的空闲单元并对它们进行布线,从而能够实现修正逻辑。由于需要的标准单元作为空闲单元已经存在于晶体管层以下的掩模布局中,所以能够将修正部位仅限于布线层。因此,具有能够缩短掩模布局修正期间、削减修正掩模的成本的优点。

[0242] 此外,在图 18 中,在图 16 的预备的区域 263 中,在导热孔 278 及导热孔 278 的周

围配置有配置禁止区域 277。导热孔是用来将半导体芯片与半导体芯片连接、在半导体芯片与半导体芯片之间传导热的通孔。在导热孔中使用铜等的金属。在导热孔中使用的铜等的金属由于热传导率比硅高,所以在半导体芯片与半导体芯片之间容易传热。特别是,在三维集成电路那样的具有芯片层叠构造的设备中,由于热容易充满在内部中,所以设置导热孔等的热对策变得重要。

[0243] 1.5 设计支持装置 400 的构造

[0244] 设计支持装置 400 如图 19 所示,包括逻辑合成用库存储部 401、源文件存储部 402、逻辑合成部 403、制约存储部 404、网表存储部 405、配置布线制约存储部 406、配置布线用库存储部 407、配置布线部 408、布局数据存储部 409、布局数据验证部 410、验证用数据存储部 411、掩模输出部 412 及编辑器 413。

[0245] 设计支持装置 400 具体而言是由微处理器、ROM、RAM、硬盘单元、显示器单元、键盘、鼠标等构成的计算机系统。在上述 RAM 或上述硬盘单元中存储有控制用的计算机程序。通过上述微处理器按照上述计算机程序动作,设计支持装置 400 的逻辑合成部 403、配置布线部 408、布局数据验证部 410、掩模输出部 412 及编辑器 413 实现其功能。此外,逻辑合成用库存储部 401、源文件存储部 402、制约存储部 404、网表存储部 405、配置布线制约存储部 406、配置布线用库存储部 407、布局数据存储部 409 及验证用数据存储部 411 作为一例由硬盘单元构成。

[0246] 逻辑合成用库存储部 401 如图 19 所示,存储有标准单元数据 451、SRAM 宏单元数据 452、TSV 宏单元数据 453、…。它们分别是表示标准单元、SRAM 宏单元、TSV 宏单元、…的形状及这些单元的延迟值等的的数据。另外,将外部端子及 SRAM 存储器等称作宏单元。TSV 也又是宏单元。

[0247] 源文件存储部 402 如图 19 所示,存储有使用 HDL 记述的 HDL 文件 454、455、456、…。HDL 文件对应于一个块等,定义该块(模块)等。在图 21 中表示 HDL 文件 454 的一例。HDL 文件 454 如该图所示,包括定义模块名及端子(端口)的模块定义 454a、输入输出信号的声明 454b、下层模块的调用 454c、记述在电路中使用的逻辑的 assign 语句 454d 等而构成。HDL 文件 454、455、456、…是由使用者使用编辑器 413 进行制作、追加、变更、删除等而生成的。

[0248] 制约存储部 404 如图 19 所示,存储有表示电路的动作定时的制约的定时制约 457、表示配置在电路中的区的制约的区制约 458、…。定时制约 457、区制约 458…是由使用者使用编辑器 413 进行制作、追加、变更、删除等而生成的。

[0249] 逻辑合成部 403 将硬件记述语言解析,电路映射到 AND 门、NOR 门等的作为逻辑电路的最小单位的标准单元。具体而言,将在电路中使用的逻辑替换为 AND 门及 NOR 门等的基本的门的组合。逻辑合成部 403 使用存储在逻辑合成用库存储部 401 中的标准单元数据 451、SRAM 宏单元数据 452、TSV 宏单元数据 453、…、存储在源文件存储部 402 中的 HDL 文件 454、455、456、…、存储在制约存储部 404 中的定时制约 457、区制约 458、…进行逻辑合成,作为网表而生成 HDL 文件 471、472、473、…,将 HDL 文件 471、472、473、…向网表存储部 405 写入。

[0250] 网表存储部 405 如图 19 所示,作为网表而存储有 HDL 文件 471、472、473、…。HDL 文件 471、472、473、…由逻辑合成部 403 生成。在图 23 中表示 HDL 文件 471 的一例。HDL 文件 471 如该图所示,包括定义模块名及端子(端口)的模块定义 471a、输入输出信号的声

明 471b、下层模块的调用 471c、下层模块的调用 471d 等而构成。下层模块的调用 471d 例如用于将 A+B 的逻辑替换为 AND 门或 NOR 门等的基本的门的组合。

[0251] 配置布线制约存储部 406 如图 19 所示,存储有 TSV 配置信息 459、TSV 预留单元配置信息 460、宏配置信息 461、版图规划信息 462、管脚(pin)信息 463。TSV 配置信息 459 定义在半导体芯片中配置 TSV 的位置。关于 TSV 预留单元配置信息 460 在后面叙述。宏配置信息 461 定义在半导体芯片中配置宏单元的位置。版图规划信息 462 定义半导体芯片的大小及配置在半导体芯片中的块的配置位置。管脚信息 463 定义配置在各块中的管脚(端子)的位置等。这里,TSV 配置信息 459、TSV 预留单元配置信息 460、宏配置信息 461、版图规划信息 462、管脚信息 463 是由使用者使用编辑器 413 进行制作、追加、变更、删除等而生成的。

[0252] 配置布线用库存储部 407 如图 19 所示,存储有标准单元数据 464、SRAM 宏单元数据 465、TSV 预留单元数据 466、TSV 宏单元数据 467、…。标准单元数据 464、SRAM 宏单元数据 465、TSV 预留单元数据 466、TSV 宏单元数据 467、…表示标准单元、SRAM 宏单元、TSV 预留单元、TSV 宏单元、…的形状。

[0253] 配置布线部 408 决定宏单元、TSV 单元、管脚、布线等的配置。关于配置布线部 408 在后面叙述。

[0254] 布局数据存储部 409 如图 19 所示,存储有掩模数据 481、482、483、…。掩模数据 481、482、483、…分别对应于多个半导体芯片。掩模数据包括多个掩模布局数据。多个掩模布局数据分别对应于构成半导体芯片的多个层。各掩模布局数据是表示配置在半导体芯片中的单元及布线的、与该掩模布局数据对应的层中的各个部分的形状的数据。

[0255] 验证用数据存储部 411 存储有设计规则 491、定时信息 492、…。设计规则 491 定义布线层间的距离、宽度等。例如,金属布线层 1 中的布线的宽度定义为不能细于 100nm 等。定时信息 492 定义配置在半导体芯片中的各单元的动作定时。

[0256] 布局数据验证部 410 基于设计规则 491、定时信息 492、…,验证存储在布局数据存储部 409 中的掩模数据 481、482、483、…。

[0257] 掩模输出部 412 将存储在布局数据存储部 409 中的掩模数据 481、482、483、…输出。

[0258] 编辑器 413 通过使用者的操作,对存储在源文件存储部 402 中的 HDL 文件 454、455、456、…、存储在制约存储部 404 中的定时制约 457、区制约 458、…、存储在配置布线制约存储部 406 中的 TSV 配置信息 459、TSV 预留单元配置信息 460、宏配置信息 461、版图规划信息 462、管脚信息 463,进行生成、追加、修正、删除等的编辑。

[0259] 1.6 配置布线部 408 的构造

[0260] 配置布线部 408 如以下所示,按每个半导体芯片、并且按每个块决定单元及布线等的配置,按每个半导体芯片、并且按半导体芯片的每个层生成并输出掩模数据。

[0261] 配置布线部 408 如图 20 所示,包括读入部 431、存储部 432、控制部 433、版图规划生成部 435、管脚配置部 436、TSV 配置部 437、宏配置部 438、TSV 预留单元配置部 439、单元配置部 440、电源布线部 441、概略布线部 442、详细布线部 443、TSV 位置变更部 444 及掩模数据生成部 445。

[0262] 读入部 431 从网表存储部 405 读出 HDL 文件 471、472、473、…,从配置布线制约存储部 406 读出 TSV 配置信息 459、TSV 预留单元配置信息 460、宏配置信息 461、版图规划

信息 462、管脚信息 463,从配置布线用库存储部 407 读出标准单元数据 464、SRAM 宏单元数据 465、TSV 预留单元数据 466、TSV 宏单元数据 467、...,将所读出的 HDL 文件 471、472、473、...、TSV 配置信息 459、TSV 预留单元配置信息 460、宏配置信息 461、版图规划信息 462、管脚信息 463、标准单元数据 464、SRAM 宏单元数据 465、TSV 预留单元数据 466、TSV 宏单元数据 467、...向存储部 432 写入。

[0263] 版图规划生成部 435 使用版图规划信息 462 生成版图规划表 501,将所生成的版图规划表 501 向存储部 432 写入。在图 24 中表示版图规划表 501 的一例。如该图所示,版图规划表 501 包括定义半导体芯片的大小的数据 501a、表示配置在半导体芯片中的多个块的配置位置的数据群 501b。

[0264] 管脚配置部 436 使用管脚信息 463 生成管脚配置表 502,将所生成的管脚配置表 502 向存储部 432 写入。在图 25 中表示管脚配置表 502 的一例。如该图所示,管脚配置表 502 包括管脚配置数据 502a、502b、...。管脚配置数据 502a、502b、...分别对应于配置在块上的多个管脚(端子)。管脚配置数据 502a 表示表现管脚的管脚名称、配置管脚的层、管脚的尺寸、配置管脚的位置等。另外,在该图所示的例子中,“— 100”表示管脚的尺寸和被配置的层被自动决定。此外,“left”表示沿着块的左侧的边配置管脚,其后面的数字“1”表示配置该管脚的顺序。

[0265] TSV 配置部 437 使用 TSV 配置信息 459 生成 TSV 配置表 503,将所生成的 TSV 配置表 503 向存储部 432 写入。在图 26 中表示 TSV 配置表 503 的一例。如该图所示,TSV 配置表 503 包括 TSV 配置数据 503a、...。TSV 配置数据 503a、...分别对应于配置在块内的多个 TSV。TSV 配置数据 503a 表示对应的 TSV 的实例名、配置该 TSV 的块内的配置位置、以及配置的朝向。这里,TSV 配置数据 503a 的末尾的“N”作为一例而意味着朝北,表示在块内将 TSV 向指定的方向配置。

[0266] 宏配置部 438 使用宏配置信息 461 生成宏配置表 504,将所生成的宏配置表 504 向存储部 432 写入。

[0267] TSV 预留单元配置部 439 使用 TSV 预留单元配置信息 460 生成 TSV 预留单元配置表 505,将所生成的 TSV 预留单元配置表 505 向存储部 432 写入。关于 TSV 预留单元配置部 439 在后面叙述。在图 27 中表示 TSV 预留单元配置表 505 的一例。如该图所示,TSV 预留单元配置表 505 包括 TSV 预留单元配置数据 505a、...。TSV 预留单元配置数据 505a、...分别对应于配置在块内的多个预留单元。TSV 预留单元配置数据 505a 表示对应的预留单元的实例名、配置该预留单元的块内的配置位置、以及配置的朝向。另外,TSV 预留单元配置数据 505a 的数据构造与 TSV 配置数据 503a 的数据构造相同。

[0268] 单元配置部 440 使用标准单元数据 464、HDL 文件 471、472、473、...生成单元配置表 506,将所生成的单元配置表 506 向存储部 432 写入。

[0269] 电源布线部 441 生成电源布线表 507,向存储部 432 写入。概略布线部 442 进行概略的布线,详细布线部 443 基于概略的布线生成布线表 508,向存储部 432 写入。在图 28 中表示布线表 508 的一例。如该图所示,布线表 508 包括布线数据 508a、...。布线数据 508a、...分别与半导体芯片上的多个布线对应。布线数据 508a 包括层号、宽度、(起点及终点)。层号表示配置该布线的层。宽度表示该布线的宽度。(起点及终点)表示该布线的开始位置及结束位置。起点及终点分别用 X 坐标及 Y 坐标表示。

[0270] 此外,直到不再有配置的变更为止,TSV 位置变更部 444 变更 TSV 的位置,电源布线部 441 重新生成电源布线表 507,概略布线部 442 重新进行概略的布线,详细布线部 443 重新生成布线表 508。

[0271] 此外,掩模数据生成部 445 使用写入在存储部 432 中的版图规划表 501、管脚配置表 502、TSV 配置表 503、宏配置表 504、TSV 预留单元配置表 505、单元配置表 506、电源布线表 507、布线表 508,生成用来生成光掩模的布局数据即掩模数据,将所生成的掩模数据输出。

[0272] 1. 7TSV 预留单元配置信息 460 的数据构造

[0273] TSV 预留单元配置信息 460 如图 22 所示,包括对象区域的指定方法 460a、预留单元数的决定方法 460b、预留单元的配置位置的決定方法 460c 及向 TSV 的依存方法 460d。

[0274] (对象区域的指定方法 460a)

[0275] 对象区域的指定方法 460a 表示对象区域是块还是对象区域是重复区域。具体而言,作为一例,指定方法 460a 是“0”或“1”,指定方法 460a “0”表示对象区域是块,指定方法 460a “1”表示对象区域是重复区域。

[0276] (预留单元数的决定方法 460b)

[0277] 预留单元数的决定方法 460b 表示如何决定配置在块内或重复区域内的全部的预留单元的数量。决定方法 460b 取“0”、“1”、“2”、“3”及“4”中的某个值。

[0278] 决定方法 460b “0”表示没有预先设定预留单元数的决定方法。例如是对应于 1 个 TSV 而配置 1 个预留单元的情况等。

[0279] 决定方法 460b “1”是使用在上述中说明的第一方法的情况,表示预留单元数由使用者的指定来决定。在此情况下,决定方法 460b 带有使用者的指定数。

[0280] 决定方法 460b “2”是使用在上述中说明的第二方法的情况,表示预留单元数通过百分比规则来设定。在此情况下,决定方法 460b 带有预先指定的预留单元的面积比率。

[0281] 决定方法 460b “3”是使用在上述中说明的第三方法的情况,表示依存于配置在对象区域中的 TSV 的数量来决定预留单元的数量。在此情况下,决定方法 460b 带有预先指定的倍数。

[0282] 决定方法 460b “4”是使用在上述中说明的第四方法的情况,表示依存于配置在对象区域中的 TSV 的位置及数量来决定预留单元的数量。在此情况下,决定方法 460b 带有预先指定的倍数。

[0283] (预留单元的配置位置的決定方法 460c)

[0284] 预留单元的配置位置的決定方法 460c 表示如何在块内或重复区域内配置预留单元。决定方法 460c 取“0”、“1”、“2”及“3”中的某个值。

[0285] 在决定方法 460c 是“1”的情况下,表示在块内或重复区域内随机地配置预留单元。在决定方法 460c 是“2”的情况下,表示在块内或重复区域内等间隔地配置预留单元。在决定方法 460c 是“3”的情况下,表示在块内或重复区域内将预留单元配置在由使用者指定的位置上。在此情况下,TSV 预留单元配置信息 460 包括由使用者指定的预留单元的配置位置。在决定方法 460c 是“0”的情况下,表示其他的情况。例如,是如依存于 TSV 的配置的情况。

[0286] (向 TSV 的依存方法 460d)

[0287] 向 TSV 的依存方法 460d 表示在决定预留单元的配置位置的情况下是否依存于 TSV,此外,表示在依存于 TSV 而决定预留单元的配置位置的情况下如何依存于 TSV。依存方法 460d 取“0”、“1”、“2”及“3”中的某个值。

[0288] 在依存方法 460d 是“0”的情况下,表示在决定预留单元的配置位置的情况下不依存于 TSV。

[0289] 另一方面,在依存方法 460d 是“0”以外的情况下,表示在决定预留单元的配置位置的情况下依存于 TSV。这里,在依存方法 460d 是“1”的情况下,表示在决定预留单元的配置位置的情况下,以与 TSV 的配置位置成对称的方式配置预留单元。在此情况下,依存方法 460d 带有表示是以对象区域的中心点为对称点对称地配置、还是以对称区域的中心轴为对称轴对称地配置的中心信息。中心信息表示使用对称区域的中心点、关于对称区域纵向的中心轴、或者关于对称区域横向的中心轴的哪一个。此外,在依存方法 460d 是“2”的情况下,表示在决定预留单元的配置位置的情况下将预留单元配置在距 TSV 为等距离的位置上。进而,在依存方法 460d 是“3”的情况下,表示在决定预留单元的配置位置的情况下将 TSV 分类为组,并对各组配置预留单元。在此情况下,依存方法 460d 带有分组的距离 G。

[0290] 1.8TSV 预留单元配置部 439

[0291] TSV 预留单元配置部 439 包括配置控制部 439a、随机配置部 439b、等间隔配置部 439c、指定配置部 439d、对称配置部 439e、等距离配置部 439f 及组配置部 439g (关于它们没有图示)。

[0292] (配置控制部 439a)

[0293] 配置控制部 439a 从 TSV 预留单元配置信息 460 中读出对象区域的指定方法 460a、预留单元数的决定方法 460b、预留单元的配置位置的决定方法 460c 及向 TSV 的依存方法 460d。

[0294] 此外,配置控制部 439a 从存储在存储部 432 中的 TSV 配置表 503 中读出全部的 TSV 配置数据,计算所读出的 TSV 配置数据的数量,由此计算 TSV 的数量,判断计算出的 TSV 的数量是否是“0”。在计算出的 TSV 的数量是“0”的情况下,由于不存在配置于对象区域中的 TSV,所以配置控制部 439a 不进行预留单元的配置而结束处理。

[0295] 在计算出的 TSV 的数量不是“0”的情况下,配置控制部 439a 判断对象区域的指定方法 460a 是“0”及“1”的哪一个。在对象区域的指定方法 460a 是“0”的情况下,将对象区域设为块。此外,在对象区域的指定方法 460a 是“1”的情况下,计算作为配置 TSV 的块与这些 TSV 被连接的目的地块的块的重叠部分的重复区域的位置,将对象区域设为由计算出的位置表示的重复区域。

[0296] 接着,配置控制部 439a 判断预留单元数的决定方法 460b 是“0”、“1”、“2”、“3”及“4”中的哪一个。

[0297] 在决定方法 460b 是“0”的情况下,配置控制部 439a 什么都不做。

[0298] 在决定方法 460b 是“1”的情况下,配置控制部 439a 将要配置的预留单元数设为由使用者指定的指定数。

[0299] 在决定方法 460b 是“2”的情况下,配置控制部 439a 计算对象区域的总面积,计算 1 个预留单元的面积,通过下式计算要配置的预留单元的数量。

[0300] 要配置的预留单元的数量 = [对象区域的总面积 × 指定的面积比率(百分比) / 1

个预留单元的面积 $\times 100$]

[0301] 在决定方法 460b 是“3”的情况下,配置控制部 439a 通过下式计算配置的预留单元的数量。

[0302] 要配置的预留单元的数量 = TSV 的数量 $\times$ 指定的倍数

[0303] 在决定方法 460b 是“4”的情况下,配置控制部 439a 通过下式计算要配置的预留单元的数量。

[0304] 要配置的预留单元的数量 = TSV 的数量 $\times$ 指定的倍数

[0305] 接着,配置控制部 439a 判断预留单元的配置位置的決定方法 460c 是“0”、“1”、“2”及“3”中的哪一个,在決定方法 460c 是“1”的情况下,通过随机配置部 439b 将预留单元随机地配置在块内或重复区域内。在決定方法 460c 是“2”的情况下,通过等间隔配置部 439c 将预留单元以等间隔配置在块内或重复区域内。在決定方法 460c 是“3”的情况下,通过指定配置部 439d 在块内或重复区域内将预留单元配置在被指定的位置上。

[0306] 在決定方法 460c 是“0”的情况下,配置控制部 439a 判断向 TSV 的依存方法 460d 是“1”、“2”及“3”中的哪一个,在依存方法 460d 是“1”的情况下,在由对称配置部 439e 決定预留单元的配置位置时,以与 TSV 的配置位置成对称的方式配置预留单元。此外,在依存方法 460d 是“2”的情况下,在決定预留单元的配置位置时,由等距离配置部 439f 将预留单元配置在距 TSV 为等距离的位置上。进而,在依存方法 460d 是“3”的情况下,在決定预留单元的配置位置时,由组配置部 439g 将 TSV 分类为组,并对各组配置预留单元。

[0307] 这样,结束 TSV 预留单元配置部 439 的处理。

[0308] (随机配置部 439b)

[0309] 随机配置部 439b 首先判断预留单元数的決定方法 460b 是“0”还是其他的值。在判断为预留单元数的決定方法 460b 是“0”的情况下结束处理。

[0310] 在判断为预留单元数的決定方法 460b 是其他的值的情况下,随机配置部 439b 将以下的(a)~(d)重复与由配置控制部 439a 決定的预留单元数的量。

[0311] (a)生成比 0 大、且比 1 小的随机数,所生成的随机数乘以对象区域的横宽,作为坐标值 X。

[0312] 坐标值 $X = \text{对象区域的横宽} \times \text{随机数}$

[0313] (b)生成比 0 大、且比 1 小的随机数,所生成的随机数乘以对象区域的纵宽,作为坐标值 Y。

[0314] 坐标值 $Y = \text{对象区域的纵宽} \times \text{随机数}$

[0315] (c)将坐标(X,Y)临时设定为预留单元的位置。这里,坐标(X,Y)表示预留单元的截面的中心点存在于半导体芯片上的位置。判断由坐标(X,Y)決定的预留单元是否与已经決定的其他单元重复。在重复的情况下,回到(a),重复处理。这样,如上述那样排除冲突。

[0316] (d)在不重复的情况下,将坐标(X,Y)作为预留单元的配置位置,向 TSV 预留单元配置表 505 写入。

[0317] 随机配置部 439b 如此配置所決定的预留单元数量的预留单元。

[0318] (等间隔配置部 439c)

[0319] 等间隔配置部 439c 首先判断预留单元数的決定方法 460b 是“0”还是其他值。在判断为预留单元数的決定方法 460b 是“0”的情况下结束处理。

[0320] 在判断为预留单元数的决定方法 460b 是其他值的情况下,等间隔配置部 439c 通过下式计算单位面积。

[0321] 单位面积 = [对象区域的总面积 / 预留单元的数量]

[0322] 接着,等间隔配置部 439c 通过下式计算距离 L。

[0323] 距离 $L = [\sqrt{\text{平方根(单位面积)}}]$

[0324] 接着,等间隔配置部 439c 设定配置最初的预留单元的初始位置(X_0, Y_0)。这里,假设 $(X_0, Y_0) = (L/2, L/2)$ 。

[0325] 接着,等间隔配置部 439c 计算满足

[0326] $X_0 + m \times L < (\text{对象区域的横宽})$

[0327] 的最大的整数 m。此外,等间隔配置部 439c 计算满足

[0328] $Y_0 + n \times L < (\text{对象区域的纵宽})$ 的最大的整数 n。

[0329] 接着,在 Y 轴方向上,对于变量 $j = 0, 1, 2, \dots, n$ 重复以下的(a)。

[0330] (a) 在 X 轴方向上,对于变量 $i = 0, 1, 2, \dots, m$, 重复以下的 $(a-1) \sim (a-4)$ 。

[0331] (a-1) 计算 $(X, Y) = (X_0 + i \times L, Y_0 + j \times L)$ 。

[0332] (a-2) 将坐标(X,Y)临时设定为预留单元的位置。这里,坐标(X,Y)表示预留单元的截面的中心点存在于半导体芯片上的位置。判断由坐标(X,Y)决定的预留单元是否与已经决定的其他单元重复。在重复的情况下将预留单元的位置偏移,直到不再有重复。

[0333] (a-3) 在没有重复的情况下,将坐标(X,Y)作为预留单元的配置位置向 TSV 预留单元配置表 505 写入。

[0334] (a-4) 判断是否向 TSV 预留单元配置表 505 写入了预留单元数的量,在已写入的情况下,结束由等间隔配置部 439c 进行的处理。

[0335] 等间隔配置部 439c 如此配置所决定的预留单元数的预留单元。

[0336] (指定配置部 439d)

[0337] 指定配置部 439d 从存储在存储部 432 中的 TSV 预留单元配置信息 460 读出由使用者指定的预留单元的配置位置,将所读出的配置位置作为预留单元的配置位置向 TSV 预留单元配置表 505 写入。

[0338] (对称配置部 439e)

[0339] 对称配置部 439e 将以下的(a)~(e)重复与在对象区域中配置的 TSV 的数量相当的量。

[0340] (a) 从 TSV 配置表 503 读出 1 个 TSV 配置数据。

[0341] (b) 取得中心信息,使用所取得的中心信息判断是线对称还是点对称。

[0342] (c)

[0343] (c-1) 是点对称的情况下,计算对象区域的中心点(或重心),以计算出的中心点为对称点,计算关于由所读出的 TSV 配置数据决定的 TSV 的配置位置成对称的位置(X,Y)。另外,对称点并不限于中心点。也可以选择对象区域内的任意的点作为对称点。此外,也可以选择由使用者预先指定的对象区域内的点作为对称点。此外,也可以选择从对象区域内随机选择的点作为对称点。

[0344] (c-2) 是线对称的情况下,计算对象区域的中心线(中心轴),以计算出的中心线为对称轴,计算关于由所读出的 TSV 配置数据决定的 TSV 的配置位置成对称的位置(X,Y)。

另外,对称线并不限于中心线。也可以选择对象区域内的任意的线(轴)作为对称线。此外,也可以选择由使用者预先指定的对象区域内的线(轴)作为对称线。此外,也可以选择从对象区域内随机选择的线(轴)作为对称线。此外,也可以选择对象区域的对角线(对角轴)作为对称线。

[0345] (d)将坐标(X,Y)临时设定为预留单元的位置。这里,坐标(X,Y)表示预留单元的截面的中心点存在于半导体芯片上的位置。判断由坐标(X,Y)决定的预留单元是否与已经决定的其他单元重复。在重复的情况下将预留单元的位置偏移,直到不再有重复。

[0346] (e)在没有重复的情况下,将坐标(X,Y)作为预留单元的配置位置,向 TSV 预留单元配置表 505 写入。

[0347] 对称配置部 439e 如此配置所决定的预留单元数的预留单元。

[0348] (等距离配置部 439f)

[0349] 等距离配置部 439f 从存储在存储部 432 中的 TSV 配置表 503 读出全部的 TSV 配置数据,计算所读出的 TSV 配置数据的数量,由此计算 TSV 的数量。

[0350] 接着,等距离配置部 439f 判断预留单元数的决定方法 460b 是“0”还是其他值。在判断为预留单元数的决定方法 460b 是“0”的情况下结束处理。

[0351] 在判断为预留单元数的决定方法 460b 是“0”以外的情况下,等距离配置部 439f 通过下式计算配置数 N。

[0352] 配置数 $N = \lceil \text{预留单元的数量} / \text{TSV 数} \rceil$

[0353] 配置数 N 表示针对 1 个 TSV 配置的预留单元的数量。

[0354] 接着,等距离配置部 439f 将以下的(a)~(e)重复与配置在对象区域中的 TSV 的数量相当的量。

[0355] (a)从存储在存储部 432 中的 TSV 配置表 503 读出 1 个 TSV 配置数据。

[0356] (b)取得距离 M。例如,作为使用者的指定值而取得距离 M。此外,如上述那样,可以通过距离 $M = \lceil \text{常数} / \text{形成在块内的电路的动作速度} \rceil$ 来计算距离 M。

[0357] (c)以由读出的 TSV 配置数据表示的 TSV 的配置位置为中心点,计算以从中心点离开距离 M 的 N 个位置为顶点的正 N 多边形的 N 个顶点的坐标(X,Y)。

[0358] (d)将 N 个坐标(X,Y)临时设定为预留单元的位置。这里,N 个坐标(X,Y)分别表示 N 个预留单元各自的截面的中心点存在于半导体芯片上的位置。判断分别由坐标(X,Y)决定的预留单元是否与已经决定的其他单元重复。在重复的情况下,将预留单元的位置偏移,直到不再有重复。

[0359] (e)在没有重复的情况下,将各坐标(X,Y)作为预留单元的配置位置,向 TSV 预留单元配置表 505 写入。

[0360] 等距离配置部 439f 如此配置所决定的预留单元数的预留单元。

[0361] (组配置部 439g)

[0362] 组配置部 439g 如以下所示,将配置在对象区域中的 1 个或多个 TSV 分类为组,以使相对于 1 个 TSV 存在于距离 G 的范围内的 TSV 属于一个组。

[0363] (a)取得分组的距离 G。

[0364] (b)将变量 i 设定为“1”的值。

[0365] (c)从 TSV 配置表 503 读出与还没有分类为组的 TSV 对应的 1 个 TSV 配置数据,将

由读出的 TSV 配置数据表示的 TSV Ti 分类到第 i 组,将 TSVTi 与第 i 组建立对应而存储。

[0366] (d) 关于 TSV 配置表 503 内的 TSV 配置数据中的、与没有分类为组的 TSV 对应的 TSV 配置数据,将相对于 Ti 存在于距离 G 以内的全部的 TSV 分类到第 i 组,与组 i 建立对应而存储。

[0367] (e) 判断是否全部的 TSV 都被分类到某一个组。

[0368] (f) 在没有被分类的情况下,对变量 i 加 1,重复上述(a)~(e)。

[0369] (g) 在已被分类的情况下,对全部的组重复以下的(h)~(j)。

[0370] (h) 计算包含在 1 个组中的全部的 TSV 的中央的位置。作为中央的位置的一例,假想地描绘以全部的 TSV 的配置位置为顶点的多边形,计算作为该多边形的重心的位置(X, Y)。另外,中央的位置并不限定于多边形的重心。例如,也可以计算多边形内的任意的一点的位置作为 TSV 的中央的位置。

[0371] (i) 将坐标(X, Y)临时设定为预留单元的位置。这里,坐标(X, Y)表示预留单元的截面的中心点存在于半导体芯片上的位置。判断由坐标(X, Y)决定的预留单元是否与已经决定的其他单元重复。在重复的情况下,将预留单元的位置偏移,直到不再有重复。

[0372] (j) 在没有重复的情况下,将坐标(X, Y)作为预留单元的配置位置,向 TSV 预留单元配置表 505 写入。

[0373] 组配置部 439g 如此配置所决定的预留单元数的预留单元。

[0374] 1.9 设计支持装置 400 的动作

[0375] (1) 设计支持装置 400 的配置布线部 408 的动作

[0376] 对于设计支持装置 400 的配置布线部 408 的动作,使用图 29 所示的流程图进行说明。

[0377] 在该图中,在步骤 S111~S120 中,先生成掩模布局,然后,在步骤 S121~S124 中,进行 TSV 的位置变更,再次将掩模布局修正。

[0378] 配置布线部 408 通过控制部 433 的控制,按每个半导体芯片重复以下的 S110~S126 (步骤 S109~S127)。

[0379] 此外,配置布线部 408 通过控制部 433 的控制,按每个块重复以下的 S111~S124 (步骤 S110~S125)。

[0380] 读入部 431 读入网表等(步骤 S111),版图规划生成部 435 生成版图规划表 501(步骤 S112),管脚配置部 436 生成管脚配置表 502 (步骤 S113), TSV 配置部 437 生成 TSV 配置表 503 (步骤 S114),宏配置部 438 生成宏配置表 504 (步骤 S115), TSV 预留单元配置部 439 生成 TSV 预留单元配置表 505 (步骤 S116),单元配置部 440 生成单元配置表 506 (步骤 S117),电源布线部 441 生成电源布线表 507 (步骤 S118),概略布线部 442 进行概略的布线(步骤 S119),详细布线部 443 生成布线表 508 (步骤 S120)。

[0381] 接着,直到不再有变更部位为止, TSV 位置变更部 444 将 TSV 的位置变更,(步骤 S121),电源布线部 441 重新生成电源布线表 507 (步骤 S122),概略布线部 442 重新进行概略的布线(步骤 S123),详细布线部 443 重新生成布线表 508 (步骤 S124)。

[0382] 掩模数据生成部 445 生成掩模数据并输出(步骤 S126)。

[0383] 另外,在表示配置布线部 408 的动作的图 29 的流程图中,步骤 S111~S113 与二维集成电路设计的设计方法相同。TSV 的配置的步骤 S114 是将 TSV 作为宏单元配置的用于

三维集成电路的设计工序。在所配置的 TSV 的宏单元中只要仅有端子信息(端口信息)就可以,在该阶段中宏单元的构造也可以是黑盒子(black box)。此外,在 TSV 的周围,必须同时设置根据设计制约而禁止标准单元及晶体管的配置的配置禁止区域 103。TSV 以外的宏单元的配置的步骤 S115 在 TSV 宏单元的设置后进行。

[0384] 此外,在进行单元配置的步骤 S117 之前,有设置预留单元的步骤 S116。

[0385] 如果预留单元的设置步骤 S116 结束,则接着与二维集成电路设计的情况同样,进行考虑到定时制约的(Timing — Driven)标准单元的配置(步骤 S117)、各种布线(步骤 S118 ~ S120)。

[0386] 如果以上说明的配置布线工序完成,则进行是否全部的电路路径满足定时制约的验证。在使用 TSV 的三维集成电路的情况下,存在与贴合目的地的半导体芯片的连接关系。因此,即使单方的半导体芯片满足定时制约,如果另一方的半导体芯片不满足该制约,则作为三维集成电路整体也不正常地动作。因为这样的理由,变更 TSV 的位置,直到在配置布线设计的阶段中满足所贴合的两者的定时制约。

[0387] (2) TSV 预留单元配置部 439 的配置控制部 439a 的动作

[0388] 使用图 30 所示的流程图说明 TSV 预留单元配置部 439 的配置控制部 439a 的动作。

[0389] 配置控制部 439a 从存储在存储部 432 中的 TSV 配置表 503 读出全部的 TSV 配置数据,计算所读出的 TSV 配置数据的数量,由此计算 TSV 的数量(步骤 S131)。在计算出的 TSV 的数量是“0”的情况下(步骤 S132),由于不存在配置在对象区域中的 TSV,所以配置控制部 439a 不进行预留单元的配置而结束处理。

[0390] 在计算出的 TSV 的数量不是“0”的情况下(步骤 S132),配置控制部 439a 判断对象区域的指定方法 460a 是“0”及“1”中的哪一个(步骤 S133)。在对象区域的指定方法 460a 是“0”的情况下(步骤 S133),将对象区域设为块(步骤 S136)。此外,在对象区域的指定方法 460a 是“1”的情况下(步骤 S133),计算配置 TSV 的块与这些 TSV 被连接的目的地的块的重叠部分(步骤 S134),将对象区域设为计算出的重叠部分(步骤 S135)。

[0391] 接着,配置控制部 439a 判断预留单元的决定方法 460b 是“0”、“1”、“2”、“3”及“4”中的哪一个(步骤 S137)。

[0392] 在决定方法 460b 是“0”的情况下(步骤 S137),配置控制部 439a 什么都不做。

[0393] 在决定方法 460b 是“1”的情况下(步骤 S137),配置控制部 439a 将要配置的预留单元数设为由使用者指定的指定数(步骤 S140)。

[0394] 在决定方法 460b 是“2”的情况下(步骤 S137),配置控制部 439a 计算对象区域的总面积,计算预留单元的面积(步骤 S138),计算要配置的预留单元的数量 = [对象区域的总面积 × 指定的面积比率(百分比) / 1 个预留单元的面积 × 100] (步骤 S139)。

[0395] 在决定方法 460b 是“3”的情况下、或者决定方法 460b 是“4”的情况下,配置控制部 439a 通过对应的方法计算预留单元的数量。

[0396] 接着,配置控制部 439a 判断预留单元的配置位置的决定方法 460c 是“0”、“1”、“2”及“3”中的哪一个(步骤 S141),在决定方法 460c 是“1”的情况下(步骤 S141),通过随机配置部 439b 将预留单元随机地配置在块内或重复区域内(步骤 S142)。在决定方法 460c 是“2”的情况下(步骤 S141),通过等间隔配置部 439c 将预留单元以等间隔配置在块内或重复区域内(步骤 S143)。在决定方法 460c 是“3”的情况下(步骤 S141),通过指定配置部 439d

在块内或重复区域内将预留单元配置在指定的位置上(步骤 S144)。

[0397] 在决定方法 460c 是“0”的情况下(步骤 S141),配置控制部 439a 判断向 TSV 的依存方法 460d 是“1”、“2”及“3”中的哪一个(步骤 S145),在依存方法 460d 是“1”的情况下(步骤 S145),在决定预留单元的配置位置时,由对称配置部 439e 以与 TSV 的配置位置成对称的方式配置预留单元(步骤 S146)。此外,在依存方法 460d 是“2”的情况下(步骤 S145),在决定预留单元的配置位置时,由等距离配置部 439f 将预留单元配置在相对于 TSV 为等距离的位置上(步骤 S147)。进而,在依存方法 460d 是“3”的情况下(步骤 S145),在决定预留单元的配置位置时,由组配置部 439g 将 TSV 分类为组,并对各组配置预留单元(步骤 S148)。

[0398] 这样,结束 TSV 预留单元配置部 439 的处理。

[0399] (3) TSV 预留单元配置部 439 的随机配置部 439b 的动作

[0400] 使用图 31 所示的流程图说明 TSV 预留单元配置部 439 的随机配置部 439b 的动作。这里说明的动作是图 30 的步骤 S142 的详细情况。

[0401] 随机配置部 439b 判断预留单元数的决定方法 460b 是“0”还是其他的值(步骤 S161)。在判断为预留单元数的决定方法 460b 是“0”的情况下,结束处理。

[0402] 在判断为预留单元数的决定方法 460b 是其他的值的情况下(步骤 S161),随机配置部 439b 将以下的步骤 S163 ~ S168 重复由配置控制部 439a 决定的预留单元数的量(步骤 S162 ~ S169)。

[0403] 生成比 0 大、且比 1 小的随机数(步骤 S163),所生成的随机数乘以对象区域的横宽,作为坐标值 X (步骤 S164)。接着,生成比 0 大、且比 1 小的随机数(步骤 S165),所生成的随机数乘以对象区域的纵宽,作为坐标值 Y (步骤 S166)。接着,判断由坐标(X, Y)决定的预留单元是否与已经决定的其他单元重复(步骤 S167)。在重复的情况下(步骤 S167),回到步骤 S163 而重复处理。在不重复的情况下(步骤 S167),将坐标(X, Y)作为预留单元的配置位置,向 TSV 预留单元配置表 505 写入(步骤 S168)。

[0404] 随机配置部 439b 如此配置所决定的预留单元数的预留单元。

[0405] (4) TSV 预留单元配置部 439 的等间隔配置部 439c 的动作

[0406] 使用图 32 ~ 图 33 所示的流程图说明 TSV 预留单元配置部 439 的等间隔配置部 439c 的动作。这里说明的动作是图 30 的步骤 S143 的详细情况。

[0407] 等间隔配置部 439c 首先判断预留单元数的决定方法 460b 是“0”还是其他的值(步骤 S181)。在判断为预留单元数的决定方法 460b 是“0”的情况下(步骤 S181),结束处理。

[0408] 在判断为预留单元数的决定方法 460b 是其他的值的情况下(步骤 S181),等间隔配置部 439c 计算单位面积 = [对象区域的总面积 / 预留单元的数量] (步骤 S182),接着,计算距离 $L = \lceil \sqrt{\text{单位面积}} \rceil$ (步骤 S183),设为配置最初的预留单元的初始位置 $(X_0, Y_0) = (L/2, L/2)$ (步骤 S184)。

[0409] 接着,等间隔配置部 439c 计算满足 $X_0 + m \times L < (\text{对象区域的横宽})$ 的最大的整数 m (步骤 S185),计算满足 $Y_0 + n \times L < (\text{对象区域的纵宽})$ 的最大的整数 n (步骤 S186)。

[0410] 接着,等间隔配置部 439c 在 Y 轴方向上,对于变量 $j = 0, 1, 2, \dots, n$,重复步骤 S188 ~ S194 (步骤 S187 ~ S195)。

[0411] 此外,等间隔配置部 439c 在 X 轴方向上,对于变量 $i = 0, 1, 2, \dots, m$,重复步骤 S189 ~ S193 (步骤 S188 ~ S194)。

[0412] 等间隔配置部 439c 计算 $(X, Y) = (X0 + i \times L, Y0 + j \times L)$ (步骤 S189)。接着,判断由坐标 (X, Y) 决定的预留单元是否与已经决定的其他单元重复(步骤 S190)。在重复的情况下(步骤 S190),将预留单元的位置偏移,直到不再有重复(步骤 S191)。

[0413] 在没有重复的情况下(步骤 S190),将坐标 (X, Y) 作为预留单元的配置位置,向 TSV 预留单元配置表 505 写入(步骤 S192)。判断是否向 TSV 预留单元配置表 505 写入了预留单元数的量(步骤 S193),在已写入的情况下(步骤 S193),结束由等间隔配置部 439c 进行的处理。在没有写入的情况下(步骤 S193),重复处理。

[0414] 等间隔配置部 439c 如此配置所决定的预留单元数的预留单元。

[0415] (5) TSV 预留单元配置部 439 的对称配置部 439e 的动作

[0416] 使用图 34 所示的流程图说明 TSV 预留单元配置部 439 的对称配置部 439e 的动作。这里说明的动作是图 30 的步骤 S146 的详细情况。

[0417] 对称配置部 439e 将步骤 S202 ~ S210 重复与在对象区域中配置的 TSV 的数量相当的量(步骤 S201 ~ S211)。

[0418] 从 TSV 配置表 503 读出 1 个 TSV 配置数据(步骤 S202),取得中心信息,使用所取得的中心信息判断是线对称还是点对称(步骤 S203)。在是点对称的情况下(步骤 S203),计算对象区域的中心点(步骤 S204),以计算出的中心点为对称点,计算关于由读出的 TSV 配置数据决定的 TSV 的配置位置成对称的位置 (X, Y) (步骤 S205)。在是线对称的情况下(步骤 S203),计算对象区域的中心线(步骤 S206),以计算出的中心线为对称轴,计算关于由读出的 TSV 配置数据决定的 TSV 的配置位置成对称的位置 (X, Y) (步骤 S207)。接着,判断由坐标 (X, Y) 决定的预留单元是否与已经决定的其他单元重复(步骤 S208)。在重复的情况下(步骤 S208),将预留单元的位置偏移,直到不再有重复(步骤 S209)。

[0419] 在没有重复的情况下(步骤 S208),将坐标 (X, Y) 作为预留单元的配置位置,向 TSV 预留单元配置表 505 写入(步骤 S210)。

[0420] 对称配置部 439e 如此配置所决定的预留单元数的预留单元。

[0421] (6) TSV 预留单元配置部 439 的等距离配置部 439f 的动作

[0422] 使用图 35 所示的流程图说明 TSV 预留单元配置部 439 的等距离配置部 439f 的动作。这里说明的动作是图 30 的步骤 S147 的详细情况。

[0423] 等距离配置部 439f 从存储在存储部 432 中的 TSV 配置表 503 读出全部的 TSV 配置数据,并计算所读出的 TSV 配置数据的数量,由此计算 TSV 的数量(步骤 S231)。

[0424] 接着,等距离配置部 439f 判断预留单元数的决定方法 460b 是“0”还是其他的值(步骤 S232)。在判断为预留单元数的决定方法 460b 是“0”的情况下(步骤 S232),结束处理。

[0425] 在判断为预留单元数的决定方法 460b 是“0”以外的情况下(步骤 S232),等距离配置部 439f 计算配置数 $N = \lceil \text{预留单元的数量} / \text{TSV 数量} \rceil$ (步骤 S233)。

[0426] 接着,等距离配置部 439f 将步骤 S235 ~ S240 重复与在对象区域中配置的 TSV 数量相当的量(步骤 S234 ~ S241)。

[0427] 从存储在存储部 432 中的 TSV 配置表 503 读出 1 个 TSV 配置数据(步骤 S235),取得距离 M (步骤 S236),将由读出的 TSV 配置数据表示的 TSV 的配置位置作为中心点,计算以从中心点离开距离 M 的 N 个位置为顶点的正 N 多边形的 N 个顶点的坐标 (X, Y) (步骤

S237)。接着,判断分别由坐标(X,Y)决定的预留单元是否与已经决定的其他单元重复(步骤S238)。在重复的情况下(步骤S238),将重复的预留单元的位置偏移,直到不再有重复(步骤S239)。

[0428] 在没有重复的情况下(步骤S238),将各坐标(X,Y)作为预留单元的配置位置,向TSV预留单元配置表505写入(步骤S240)。

[0429] 等距离配置部439f如此配置所决定的预留单元数的预留单元。

[0430] (7)TSV预留单元配置部439的组配置部439g的动作

[0431] 使用图36~图37所示的流程图说明TSV预留单元配置部439的组配置部439g的动作。这里说明的动作是图30的步骤S148的详细情况。

[0432] 组配置部439g取得分组的距离G(步骤S261),将变量i设定为“1”的值(步骤S262)。

[0433] 接着,组配置部439g从TSV配置表503中读出与还没有被分类为组的TSV对应的1个TSV配置数据(步骤S263),将由读出的TSV配置数据表示的TSV T_i 分类为第i组,将TSV T_i 与第i组建立对应而存储(步骤S264),对于TSV配置表503内的TSV配置数据中的、与没有被分类为组的TSV对应的TSV配置数据,将相对于 T_i 存在于距离G以内的全部的TSV分类到第i组,与组i建立对应而存储(步骤S265)。

[0434] 组配置部439g判断是否全部的TSV都被分类到某个组(步骤S266)。在没有被分类的情况下(步骤S266),对变量i加1(步骤S267),接着,返回步骤S263,重复处理。

[0435] 在已被分类的情况下(步骤S266),对全部的组重复步骤S269~S272(步骤S268~S273)。

[0436] 组配置部439g计算包含在1个组中的全部的TSV的中央的位置,作为一例,假想地描绘以全部的TSV的配置位置为顶点的多边形,计算作为该多边形的重心的位置(X,Y)(步骤S269),判断由坐标(X,Y)决定的预留单元是否与已经决定的其他单元重复(步骤S270)。在重复的情况下(步骤S270),将预留单元的位置偏移,直到不再有重复(步骤S271)。

[0437] 在没有重复的情况下(步骤S270),将坐标(X,Y)作为预留单元的配置位置,向TSV预留单元配置表505写入(步骤S272)。

[0438] 组配置部439g如此配置所决定的预留单元数的预留单元。

[0439] 1.10 总结

[0440] 如以上说明,根据设计支持装置400,在需要TSV的位置修正的情况下,也能够通过进行选择处于想要移动的位置上的预留单元并将所选择的预留单元与TSV及配置禁止区域替换的处理、以及用于将它们连接的布线的修正,来移动TSV。此时,不发生预留单元和TSV以外的单元的移动。

[0441] 如果不预先配置预留单元,则在进行配置布线的全部工序后、即在图29所示的步骤S111~S120完成后,如果想要变更TSV位置,则需要在TSV位置的变更后重新进行图29所示的宏单元的配置的步骤S115到详细布线的步骤S120为止的工序的全部。这是因为,TSV在周边需要如配置禁止区域那样的较大的区域,为了确保该区域而必须使周边的标准单元或宏单元移动。因此,在不预先配置预留单元的情况下,需要重新进行从宏单元的配置的步骤S115到详细布线的步骤S120的工序的全部,导致修正所需要的时间变长。

[0442] 2. 其他变形例

[0443] 另外,基于上述实施方式说明了本发明,但本发明当然并不限于上述实施方式。以下这样的情况也包含在本发明中。

[0444] (1) 设计支持装置 400 的配置布线部 408 的变形的变形例

[0445] 使用图 38 所示的流程图说明设计支持装置 400 的配置布线部 408 的变形的变形例。

[0446] 在图 38 中,与图 29 相比,TSV 预留单元配置表 505 的生成、和单元配置表 506 的生成的顺序被替换。

[0447] 即,在图 38 中,单元配置部 440 生成单元配置表 506(步骤 S116a),然后,TSV 预留单元配置部 439 生成 TSV 预留单元配置表 505(步骤 S117a)。

[0448] 这样,在图 29 所示的流程图和图 38 所示的流程图中,从网表读入的步骤 S111 到宏单元的配置的步骤 S115 的顺序是相同的。在步骤 S115 后,在该变形例中,先进行单元配置的步骤 S116a,在步骤 S116a 后进行预留单元的配置的步骤 S117a。

[0449] 在该变形例的情况下,在配置标准单元后,将预留单元设置到不存在标准单元的空闲区域中。这样,由于在配置标准单元后配置预留单元,所以预留单元不会成为阻碍标准单元与标准单元之间的定时制约的原因。

[0450] 关于步骤 S118 以后的配置布线处理及 TSV 位置的变更处理,与实施方式是相同的。

[0451] 此外,在该变形例的情况下,在全部的掩模布局设计的工序结束后、即在 TSV 的位置全部确定时,原本配置有 TSV 及配置禁止区域的区域成为预备的区域。为了有效地利用该预备的区域,与实施方式同样,可以在该预备的区域中配置修复单元或导热孔,或者也可以设为空闲区域。此外,在作为 TSV 的移动目的地而没有使用预留单元的情况下,也可以在该预留单元上配置修复单元或导热孔。此外,也可以不使用该预留单元而原样搁置。

[0452] (2) 块内的 TSV 和预留单元的配置的变形例

[0453] 如图 39 所示,也可以是,在块 385 内配置 TSV381、在 TSV381 的周围配置配置禁止区域 382 后,在从配置禁止区域 382 离开距离 L 的位置上配置预留单元 383,进而在从预留单元 383 离开距离 L 的位置上配置预留单元 384。

[0454] (3) 在上述实施方式中,设计支持装置 400 对于由对象区域的指定方法 460a 指定的块或重复区域配置预留单元。但是,并不限于此。设计支持装置 400 也可以不具有对象区域的指定方法 460a,而仅在配置 TSV 的块上配置预留单元。此外,也可以仅在重复区域中配置预留单元。

[0455] (4) 在上述实施方式中,设计支持装置 400 通过由预留单元数的决定方法 460b 指定的方法决定预留单元数。但是并不限于此。设计支持装置 400 也可以不具有预留单元数的决定方法 460b,而仅使用上述说明的决定方法中的 1 个来决定预留单元数。

[0456] (5) 在上述实施方式中,设计支持装置 400 通过由预留单元的配置位置的决定方法 460c 指定的方法配置预留单元。但是并不限于此。设计支持装置 400 也可以不具有预留单元的配置位置的决定方法 460c,而仅使用上述说明的配置方法中的 1 个来决定预留单元的配置位置。此外,也可以组合使用上述说明的配置方法中的两个以上来决定预留单元的配置位置。

[0457] (6)在上述实施方式中,设计支持装置 400 通过由向 TSV 的依存方法 460d 指定的方法配置预留单元。但是并不限于此。设计支持装置 400 也可以不具有向 TSV 的依存方法 460d,而仅使用上述说明的依存于 TSV 的配置方法中的 1 个来配置预留单元。此外,也可以组合使用上述说明的依存于 TSV 的配置方法中的两个以上来配置预留单元。

[0458] (7)在上述实施方式中,三维集成电路将包括第 1 及第 2 半导体芯片的多个半导体芯片以层状排列而构成,被设置成第 1 半导体芯片与第 2 半导体芯片接触。设计支持装置 400 在第 1 半导体芯片上决定贯通第 1 半导体芯片而与第 2 半导体芯片连接的通孔的配置位置,根据上述通孔的上述配置位置,在第 1 半导体芯片上决定作为配置上述通孔的预备的配置位置的预留单元的配置位置。但是,并不限于该结构。也可以如以下这样构成。

[0459] 三维集成电路将包括第 1、第 2 及第 3 半导体芯片的多个半导体芯片以层状排列而构成,被设置成第 1 半导体芯片与第 2 半导体芯片接触,并且被设置成第 2 半导体芯片与第 3 半导体芯片接触。设计支持装置 400 具备:通孔配置机构,在第 1 及第 2 半导体芯片上决定贯通第 1 及第 2 半导体芯片与第 3 半导体芯片连接的通孔的配置位置;以及预留单元配置机构,根据上述通孔的上述配置位置,在第 1 及第 2 半导体芯片上决定作为配置上述通孔的预备的配置位置的预留单元的配置位置。在此情况下,也可以采用在实施方式中说明的各个预留单元的配置方法。

[0460] 此外,也可以是,设计支持装置 400 具备:通孔配置机构,在 3 个以上的半导体芯片上,决定贯通上述 3 个以上的半导体芯片而与下个半导体芯片连接的通孔的配置位置;以及预留单元配置机构,根据上述通孔的上述配置位置,在上述 3 个以上的半导体芯片上决定作为配置上述通孔的预备的配置位置的预留单元的配置位置。在此情况下,也可以采用在实施方式中说明的各个预留单元的配置方法。

[0461] 此外,也可以是,设计支持装置 400 具备:通孔配置机构,在由多个半导体芯片构成的芯片群上,决定贯通上述芯片群而与下个半导体芯片连接的通孔的配置位置;以及预留单元配置机构,根据上述通孔的上述配置位置,在上述芯片群上决定作为配置上述通孔的预备的配置位置的预留单元的配置位置。在此情况下,也可以采用在实施方式中说明的各个预留单元的配置方法。

[0462] (8)在上述实施方式中,设为基于单元的设计方法进行了说明,但也可以作为将全部的工序自动化的掩模布局设计程序实现。

[0463] (9)也可以如以下这样构成。

[0464] 三维集成电路将包括第 1 及第 2 半导体芯片的多个半导体芯片以层状排列而构成。设计支持装置具备:通孔配置机构,决定贯通第 1 半导体芯片而与第 2 半导体芯片连接的通孔的配置位置;以及预留单元配置机构,在第 1 半导体芯片上,根据上述通孔的上述配置位置,决定作为配置上述通孔的预备的配置位置的预留单元的配置位置。

[0465] 这里,也可以是,第 1 半导体芯片包括配置上述通孔的对象区域、和不配置上述通孔的非对象区域,上述通孔配置机构在上述对象区域内决定通孔的配置位置,上述预留单元配置机构在上述对象区域内决定预留单元的配置位置,在上述非对象区域内抑制或禁止预留单元的配置。

[0466] 这里,也可以是,第 1 半导体芯片包括配置上述通孔的对象区域、和不配置上述通孔的非对象区域,上述通孔配置机构在上述对象区域内决定通孔的配置位置,上述预留单

元配置机构判断第 1 半导体芯片的一部分区域是上述对象区域还是非对象区域,在是对象区域的情况下,在该区域内决定预留单元的配置位置,在是非对象区域的情况下,在该区域内抑制或禁止预留单元的配置。

[0467] 这里,也可以是,第 1 半导体芯片包括配置上述通孔的区域、和不配置上述通孔的区域,上述通孔配置机构在配置上述通孔的上述区域内决定通孔的配置位置,上述预留单元配置机构判断在第 1 半导体芯片的一部分区域中是否配置通孔,在判断为配置通孔的情况下,在该区域内决定预留单元的配置位置,在判断为不配置通孔的情况下,在该区域内抑制或禁止预留单元的配置。

[0468] (10)也可以如以下这样构成。

[0469] 三维集成电路将包括第 1 及第 2 半导体芯片的多个半导体芯片以层状排列而构成。第 1 半导体芯片由多个块构成。设计支持装置具备:通孔配置机构,决定贯通第 1 半导体芯片而与第 2 半导体芯片连接的通孔的配置位置;以及预留单元配置机构,在第 1 半导体芯片中,根据上述通孔的上述配置位置,决定作为配置上述通孔的预备的配置位置的预留单元的配置位置。上述预留单元配置机构也可以在第 1 半导体芯片中按每个块切换预留单元的配置方法。即,上述预留单元配置机构也可以在第 1 半导体芯片中按每个块从多个预留单元的配置方法中选择一个配置方法,并使用所选择的配置方法。这里,多个预留单元的配置方法如在实施方式中说明那样,是预留单元的随机的配置、预留单元的等间隔的配置、使用者的指定位置处的预留单元的配置、向与 TSV 的配置位置对称的位置的配置、相对于 TSV 为等距离的位置处的预留单元的配置、以及按 TSV 所属的组的预留单元的配置。

[0470] (11)也可以如以下这样构成。

[0471] 支持将多个半导体芯片以层状排列而构成的三维集成电路的设计的计算机系统具备:存储器,存储有由多个计算机命令组合而构成的计算机程序;以及处理器,从存储在上述存储器中的上述计算机程序,将计算机命令一个个读出并解读,根据该解读结果进行动作。上述计算机程序包括:通孔配置程序,决定贯通第 1 半导体芯片而与第 2 半导体芯片连接的通孔的配置位置;预留单元配置程序,在第 1 半导体芯片中,根据上述通孔的上述配置位置,决定作为配置上述通孔的预备的配置位置的预留单元的配置位置;以及生成程序,生成包括上述通孔的配置位置和上述预留单元的配置位置的布局数据。在此情况下,也可以采用在实施方式中说明的各个预留单元的配置方法。

[0472] 此外,也可以如以下这样构成。

[0473] 支持将多个半导体芯片以层状排列而构成的三维集成电路的设计的设计支持装置具备:通孔配置机构,决定贯通第 1 半导体芯片而与第 2 半导体芯片连接的通孔的配置位置;预留单元配置机构,在第 1 半导体芯片中,根据上述通孔的上述配置位置,决定作为配置上述通孔的预备的配置位置的预留单元的配置位置;单元布线配置机构,在第 1 半导体芯片中决定其他单元及布线的配置位置;以及生成结构,生成包括上述通孔的配置位置、上述预留单元的配置位置和其他单元及布线的配置位置的布局数据。

[0474] 此外,也可以如以下这样构成。

[0475] 一种设计支持方法,在支持将多个半导体芯片以层状排列而构成的三维集成电路的设计、并且具备通孔配置机构、预留单元配置机构及生成机构的设计支持装置中使用,包括:通孔配置步骤,由上述通孔配置机构决定贯通第 1 半导体芯片而与第 2 半导体芯片连接

的通孔的配置位置；预留单元配置步骤，由上述预留单元配置机构在第 1 半导体芯片中，根据上述通孔的上述配置位置，决定作为配置上述通孔的预备的配置位置的预留单元的配置位置；以及生成步骤，由上述生成机构生成包括上述通孔的配置位置和上述预留单元的配置位置的布局数据。

[0476] 此外，也可以如以下这样构成。

[0477] 一种设计支持用的计算机程序，在支持将多个半导体芯片以层状排列而构成的三维集成电路的设计、并且具备通孔配置机构、预留单元配置机构及生成机构的设计支持装置中使用，其特征在于，使作为计算机的设计支持装置执行如下步骤：通孔配置步骤，由上述通孔配置机构决定贯通第 1 半导体芯片而与第 2 半导体芯片连接的通孔的配置位置；预留单元配置步骤，由上述预留单元配置机构在第 1 半导体芯片中，根据上述通孔的上述配置位置，决定作为配置上述通孔的预备的配置位置的预留单元的配置位置；以及生成步骤，由上述生成机构生成包括上述通孔的配置位置和上述预留单元的配置位置的布局数据。

[0478] 此外，也可以如以下这样构成。

[0479] 一种计算机可读的记录介质，记录有在支持将多个半导体芯片以层状排列而构成的三维集成电路的设计、并且具备通孔配置机构、预留单元配置机构及生成机构的设计支持装置中使用的设计支持用的计算机程序，其特征在于，记录有使作为计算机的设计支持装置执行如下步骤的计算机程序，即：通孔配置步骤，由上述通孔配置机构决定贯通第 1 半导体芯片而与第 2 半导体芯片连接的通孔的配置位置；预留单元配置步骤，由上述预留单元配置机构在第 1 半导体芯片中，根据上述通孔的上述配置位置，决定作为配置上述通孔的预备的配置位置的预留单元的配置位置；以及生成步骤，由上述生成机构生成包括上述通孔的配置位置和上述预留单元的配置位置的布局数据。

[0480] (12) 也可以如以下这样构成。

[0481] 本发明的一技术方案，一种设计支持装置，支持将多个半导体芯片以层状排列而构成的三维集成电路的设计，其特征在于，具备：通孔配置机构，决定贯通第 1 半导体芯片而与第 2 半导体芯片连接的通孔的配置位置；预留单元配置结构，在第 1 半导体芯片中，根据上述通孔的上述配置位置，决定作为配置上述通孔的预备的配置位置的预留单元的配置位置；以及生成机构，生成包括上述通孔的配置位置和上述预留单元的配置位置的布局数据。

[0482] 根据该结构，在三维集成电路的设计的中途发生 TSV 的配置位置的变更的情况下，可以使用作为应新配置 TSV 的位置而预先配置的预留单元的配置位置，所以起到能够使得不发生其他的电路部分中的庞大的设计变更的良好效果。

[0483] 这里，也可以是，第 1 半导体芯片包括配置上述通孔的对象区域；上述通孔配置机构在上述对象区域内决定通孔的配置位置；上述预留单元配置机构在上述对象区域内决定预留单元的配置位置。

[0484] 根据该结构，由于在与配置通孔的对象区域相同的区域内配置预留单元，所以配置预留单元的位置被作为应新配置 TSV 的位置使用的可能性变高。

[0485] 这里，也可以是，上述半导体芯片包括一个块，上述对象区域是上述块；上述通孔配置机构在作为上述对象区域的上述块内决定通孔的配置位置；上述预留单元配置机构在作为上述对象区域的上述块内决定上述预留单元的配置位置。

[0486] 根据该结构,由于在与配置通孔的块相同的块内配置预留单元,所以配置预留单元的位置被作为应新配置 TSV 的位置使用的可能性变高。

[0487] 这里,也可以是,第 1 半导体芯片包括第 1 块,第 2 半导体芯片包括第 2 块,第 1 块具有与第 2 块的重复区域,上述重复区域是在该重复区域的面的垂直方向上存在第 2 块的一部分或全部的区域,上述对象区域是上述重复区域;上述通孔配置机构作为上述对象区域而在第 1 块的上述重复区域内决定通孔的配置位置;上述预留单元配置机构作为上述对象区域而在上述重复区域内决定上述预留单元的配置位置。

[0488] 根据该结构,由于在与配置通孔的重复区域相同的重复区域内配置预留单元,所以配置预留单元的位置被作为应新配置 TSV 的位置使用的可能性变高。

[0489] 这里,也可以是,上述预留单元配置机构在上述对象区域内随机地决定上述预留单元的配置位置。

[0490] 根据该结构,由于在配置通孔的对象区域内随机地配置预留单元,所以配置有预留单元的位置被作为应新配置 TSV 的位置使用的可能性变高。

[0491] 这里,也可以是,上述预留单元配置机构决定预留单元的配置数,以使在上述对象区域内配置的预留单元的面积的合计相对于上述对象区域的面积的比率成为指定的面积比率。

[0492] 根据该结构,由于在配置通孔的对象区域内配置满足指定的面积比率的数量的预留单元,所以配置有预留单元的位置被作为应新配置 TSV 的位置使用的可能性变高。

[0493] 这里,也可以是,上述面积比率是 1% 以上、且 5% 以下。

[0494] 这里,也可以是,上述预留单元配置机构在上述对象区域内将相对于上述通孔的配置位置成对称的位置决定为上述预留单元的配置位置。

[0495] 根据该结构,配置有预留单元的位置被作为应新配置 TSV 的位置使用的可能性变高。

[0496] 这里,也可以是,上述预留单元配置机构在上述对象区域内决定一根轴,以所决定的轴为对称轴,在上述对象区域内决定相对于上述通孔的配置位置成线对称的位置,作为上述预留单元的配置位置。

[0497] 这里,也可以是,上述预留单元配置机构在上述对象区域内决定一个点,以所决定的点为对称点,在上述对象区域内决定相对于上述通孔的配置位置成点对称的位置,作为上述预留单元的配置位置。

[0498] 这里,也可以是,上述预留单元配置机构在上述对象区域内,决定相对于一个通孔的配置位置处于等距离的多个位置,作为多个预留单元的配置位置。

[0499] 根据该结构,由于在相对于一个通孔处于等距离的多个位置上配置多个预留单元,所以配置有预留单元的位置被作为应新配置 TSV 的位置使用的可能性变高。

[0500] 这里,也可以是,上述预留单元配置机构决定上述距离,以在上述对象区域内配置的电路的动作速度与上述距离具有反比例的关系。

[0501] 这里,也可以是,上述预留单元配置机构在上述对象区域内决定多个预留单元的配置位置,以使一个预留单元的配置位置与相邻于该预留单元的多个预留单元的配置位置之间的多个距离相等。

[0502] 根据该结构,由于将多个预留单元隔开一定间隔配置,所以配置有预留单元的位

置被作为应新配置 TSV 的位置使用的可能性变高。

[0503] 这里,也可以是,上述预留单元配置机构将配置在上述对象区域内的多个 TSV 分类为组,基于包含在各组中的 TSV 的配置位置决定预留单元的配置位置。

[0504] 根据该结构,由于基于包含在各组中的 TSV 的配置位置来配置预留单元,所以配置有预留单元的位置被作为应新配置 TSV 的位置使用的可能性变高。

[0505] 这里,也可以是,上述预留单元配置机构对 TSV 进行分类,以使接近配置的 TSV 属于同一组。

[0506] 这里,也可以是,上述预留单元配置机构在包含在一个组中的多个 TSV 的配置位置的中央决定预留单元的配置位置。

[0507] 此外,本发明的一技术方案,一种设计支持方法,在支持将多个半导体芯片以层状排列而构成的三维集成电路的设计的设计支持装置中使用,包括:通孔配置步骤,决定贯通第 1 半导体芯片而与第 2 半导体芯片连接的通孔的配置位置;预留单元配置步骤,在第 1 半导体芯片中,根据上述通孔的上述配置位置,决定作为配置上述通孔的预备的配置位置的预留单元的配置位置;以及生成步骤,生成包括上述通孔的配置位置和上述预留单元的配置位置的布局数据。

[0508] 根据该方法,在三维集成电路的设计的中途发生 TSV 的配置位置的变更的情况下,可以使用作为应新配置 TSV 的位置而预先配置的预留单元的配置位置,所以起到能够使得不发生其他的电路部分中的庞大的设计变更的良好效果。

[0509] 此外,本发明的一技术方案,一种设计支持用的计算机程序,在支持将多个半导体芯片以层状排列而构成的三维集成电路的设计的设计支持装置中使用,其特征在于,使作为计算机的设计支持装置执行如下步骤:通孔配置步骤,决定贯通第 1 半导体芯片而与第 2 半导体芯片连接的通孔的配置位置;预留单元配置步骤,在第 1 半导体芯片中,根据上述通孔的上述配置位置,决定作为配置上述通孔的预备的配置位置的预留单元的配置位置;以及生成步骤,生成包括上述通孔的配置位置和上述预留单元的配置位置的布局数据。

[0510] 根据该计算机程序,在三维集成电路的设计的中途发生 TSV 的配置位置的变更的情况下,可以使用作为应新配置 TSV 的位置而预先配置的预留单元的配置位置,所以起到能够使得不发生其他的电路部分中的庞大的设计变更的良好效果。

[0511] 此外,本发明的一技术方案,一种计算机可读的记录介质,记录有在支持将多个半导体芯片以层状排列而构成的三维集成电路的设计的设计支持装置中使用的设计支持用的计算机程序,记录有使作为计算机的设计支持装置执行如下步骤的计算机程序,即:通孔配置步骤,决定贯通第 1 半导体芯片而与第 2 半导体芯片连接的通孔的配置位置;预留单元配置步骤,在第 1 半导体芯片中,根据上述通孔的上述配置位置,决定作为配置上述通孔的预备的配置位置的预留单元的配置位置;以及生成步骤,生成包括上述通孔的配置位置和上述预留单元的配置位置的布局数据。

[0512] 根据记录在该记录介质中的计算机程序,在三维集成电路的设计的中途发生 TSV 的配置位置的变更的情况下,可以使用作为应新配置 TSV 的位置而预先配置的预留单元的配置位置,所以起到能够使得不发生其他的电路部分中的庞大的设计变更的良好效果。

[0513] (13) 本发明是一种三维集成电路的掩模布局设计方法,其特征在于,在单元库中具有硅通孔用的预留单元,在标准单元的配置处理前配置上述预留单元,在上述预留单元

以外的标准单元的配置处理后变更硅通孔的位置的情况下,将上述预留单元除去,配置上述硅通孔来代替,由此将修正范围仅设为布线层。

[0514] 此外,本发明是一种三维集成电路的掩模布局设计程序和记录有该程序的记录介质,其特征在于,在单元库中具有硅通孔用的预留单元,在标准单元的配置处理前配置上述预留单元,在上述预留单元以外的标准单元的配置处理后变更硅通孔的位置的情况下,将上述预留单元除去,配置上述硅通孔来代替,由此将修正范围仅设为布线层。

[0515] 这里,也可以是,在上述预留单元中硅通孔的位置确定后,关于未被使用的上述预留单元,替换为逻辑修正用的修复单元。

[0516] 这里,也可以是,在上述预留单元中硅通孔的位置确定后,关于未被使用的上述预留单元,替换为散热用的导热孔。

[0517] 此外,本发明是一种三维集成电路的掩模布局设计方法,其特征在于,在单元库中具有硅通孔用的预留单元,在标准单元的配置后的空闲区域上配置上述预留单元,在上述预留单元以外的标准单元的配置处理后变更硅通孔的位置的情况下,将上述预留单元除去,配置上述硅通孔来代替,由此将修正范围仅设为布线层。

[0518] 此外,本发明是一种三维集成电路的掩模布局设计程序和记录有该程序的记录介质,其特征在于,在单元库中具有硅通孔用的预留单元,在标准单元的配置后的空闲区域中配置上述预留单元,在上述预留单元以外的标准单元的配置处理后变更硅通孔的位置的情况下,将上述预留单元除去,配置上述硅通孔来代替,由此将修正范围仅设为布线层。

[0519] 这里,也可以是,在上述预留单元中硅通孔的位置确定后,关于未被使用的上述预留单元,替换为逻辑修正用的修复单元。

[0520] 这里,也可以是,在上述预留单元中硅通孔的位置确定后,关于未被使用的上述预留单元,替换为散热用的导热孔。

[0521] (14) 上述的各装置具体而言是由微处理器、ROM、RAM、硬盘单元、显示器单元、键盘、鼠标等构成的计算机系统。在上述 RAM 或上述硬盘单元中存储有计算机程序。这里,计算机程序是为了达到规定的功能而将多个表示对计算机的指令的命令代码组合而构成的。通过上述微处理器按照上述计算机程序动作,各装置达到其功能。即,上述微处理器将包含在上述计算机程序中的各命令 1 个个读出,将所读出的命令解读,按照解读结果动作。

[0522] 另外,各装置并不限于包括微处理器、ROM、RAM、硬盘单元、显示器单元、键盘、鼠标等的全部的计算机系统,也可以是由它们的一部分构成的计算机系统。

[0523] 此外,通过由微处理器按照存储在 RAM 或硬盘单元中的计算机程序中包含的命令进行动作,该计算机程序和微处理器宛如构成一个硬件电路,能够看作该硬件电路动作。

[0524] (15) 构成上述各装置的构成要素的一部分或全部可以由 1 个系统 LSI (Large Scale Integration:大规模集成电路) 构成。系统 LSI 是将多个构成部集成在 1 个芯片上而制造的超多功能 LSI,具体而言是包括微处理器、ROM、RAM 等而构成的计算机系统。在上述 RAM 中存储有计算机程序。通过由上述微处理器按照上述计算机程序进行动作,系统 LSI 达到其功能。

[0525] 此外,构成上述各装置的构成要素的各部既可以单独地形成 1 个芯片,也可以包括一部分或全部形成 1 个芯片。此外,这里设为 LSI,但根据集成度的差异,也有称作 IC、系统 LSI、超级 LSI、超大规模 LSI 的情况。

[0526] 此外,集成电路化的方法并不限于 LSI,也可以由专用电路或通用处理器实现。也可以利用在 LSI 制造后能够编程的 FPGA (Field Programmable Gate Array) 或能够重构 LSI 内部的电路单元的连接及设定的可重构处理器。

[0527] 进而,如果因半导体技术的进步或派生的其他技术而出现代替 LSI 的集成电路化的技术,则当然也可以使用该技术进行功能块的集成化。有可能是生物技术的应用等。

[0528] (16) 构成上述各装置的构成要素的一部分或全部可以由相对于各装置能够拆装的 IC 卡或单体的模块构成。上述 IC 卡或上述模块是由微处理器、ROM、RAM、等构成的计算机系统。上述 IC 卡或上述模块也可以包括上述超多功能 LSI。通过由微处理器按照计算机程序动作,上述 IC 卡或上述模块达到其功能。该 IC 卡或该模块也可以具有防篡改性。

[0529] (17) 本发明也可以是上述所示的方法。此外,也可以是通过计算机实现这些方法的计算机程序,也可以是由上述计算机程序构成的数字信号。

[0530] 此外,本发明也可以是将上述计算机程序或上述数字信号记录到计算机可读的记录介质、例如软盘、硬盘、CD-ROM、MO、DVD、DVD-ROM、DVD-RAM、BD(Blu-ray Disc)、半导体存储器等中的产品。此外,也可以是记录在这些记录介质中的上述计算机程序或上述数字信号。

[0531] 此外,本发明也可以是将上述计算机程序或上述数字信号经由电气通信线路、无线或有线通信线路、以因特网为代表的网络、数据广播等传送的系统。

[0532] 此外,本发明也可以是具备微处理器和存储器的计算机系统,上述存储器存储有上述计算机程序,上述微处理器按照上述计算机程序动作。

[0533] 此外,也可以通过将上述程序或上述数字信号记录到上述记录介质中并移送、或者通过将上述程序或上述数字信号经由上述网络等移送,由独立的其他计算机系统实施。

[0534] (18) 也可以将上述实施方式及上述变形例分别组合。

[0535] 工业实用性

[0536] 有关本发明的三维集成电路的设计支持装置及设计支持方法在三维集成电路的设计的中途发生 TSV 的配置位置的变更的情况下,能够使用作为新的 TSV 的配置位置而预先配置的预留单元的配置位置,所以能够使得不会发生其他的电路部分中的庞大的设计变更,作为支持将多个半导体集成电路芯片层叠而构成的三维集成电路的设计的技术具有实用性。

[0537] 符号说明

[0538] 400 设计支持装置

[0539] 401 逻辑合成用库存储部

[0540] 402 源文件存储部

[0541] 403 逻辑合成部

[0542] 404 制约存储部

[0543] 405 网表存储部

[0544] 406 配置布线制约存储部

[0545] 407 配置布线用库存储部

[0546] 408 配置布线部

[0547] 409 布局数据存储部

- [0548] 410 布局数据验证部
- [0549] 411 验证用数据存储部
- [0550] 412 掩模输出部
- [0551] 413 编辑器
- [0552] 431 读入部
- [0553] 432 存储部
- [0554] 433 控制部
- [0555] 435 版图规划生成部
- [0556] 436 管脚配置部
- [0557] 437 TSV 配置部
- [0558] 438 宏配置部
- [0559] 439 TSV 预留单元配置部
- [0560] 440 单元配置部
- [0561] 441 电源布线部
- [0562] 442 概略布线部
- [0563] 443 详细布线部
- [0564] 444 TSV 位置变更部
- [0565] 445 掩模数据生成部

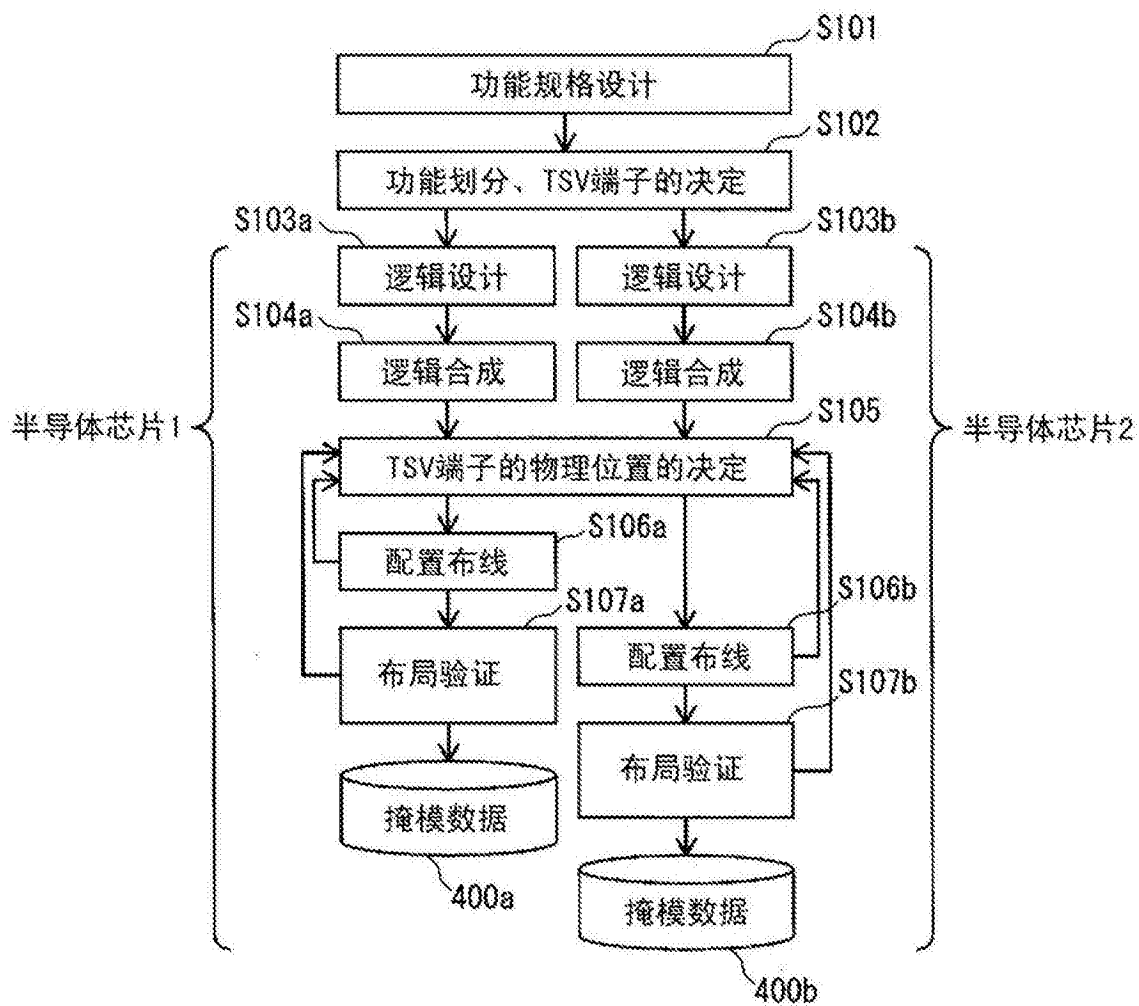


图 2

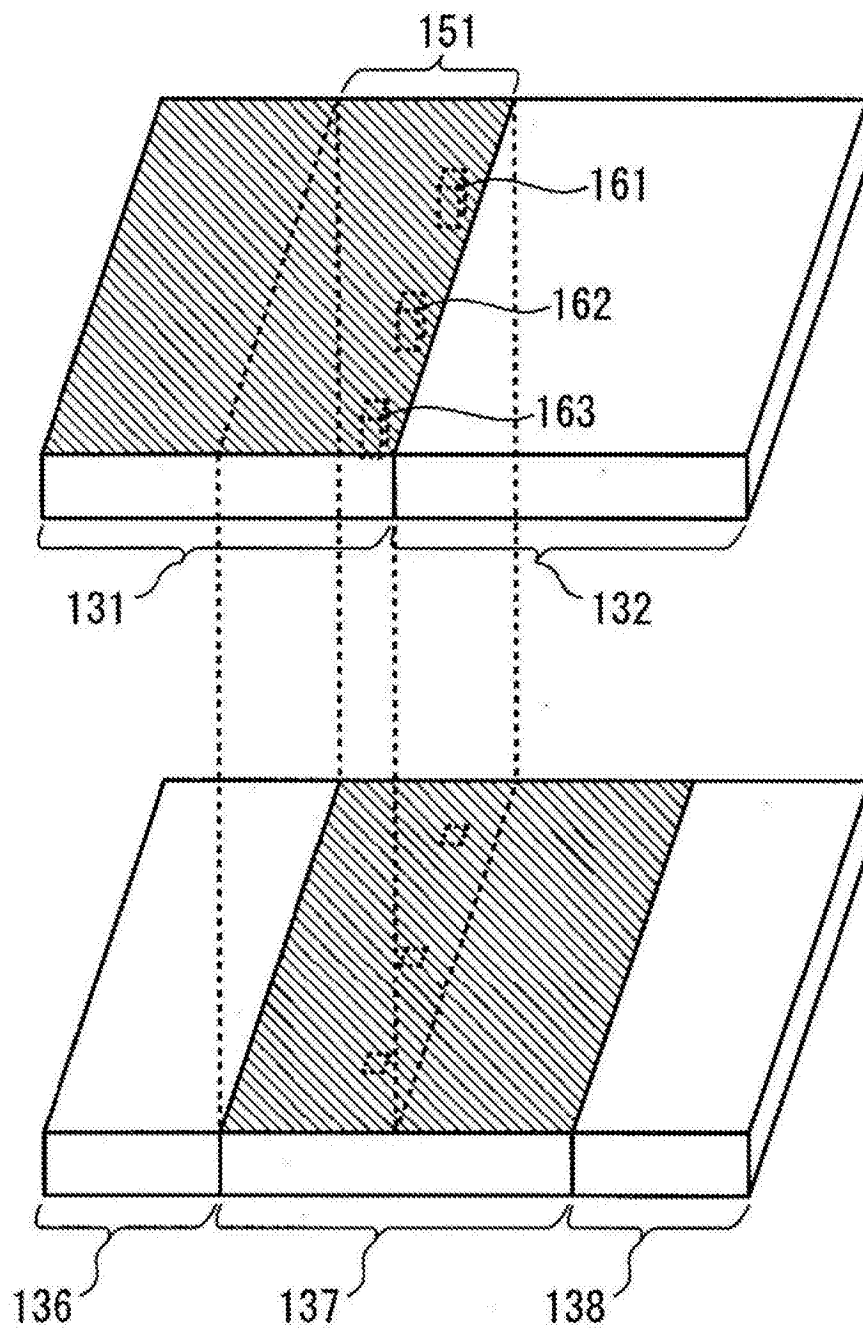


图 3

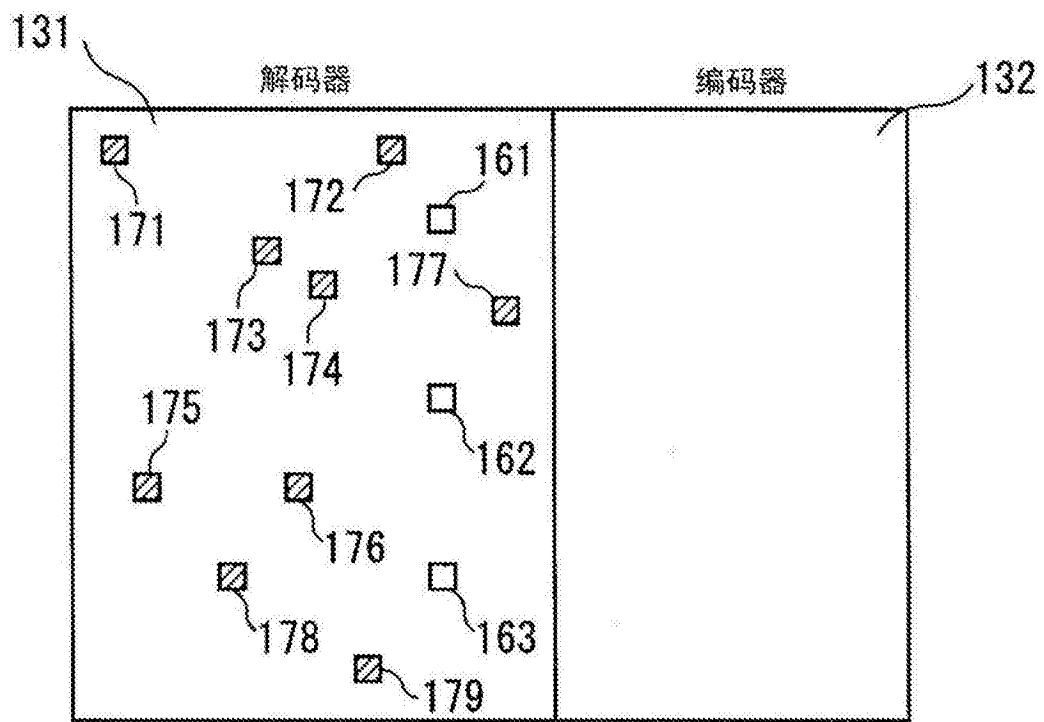


图 4

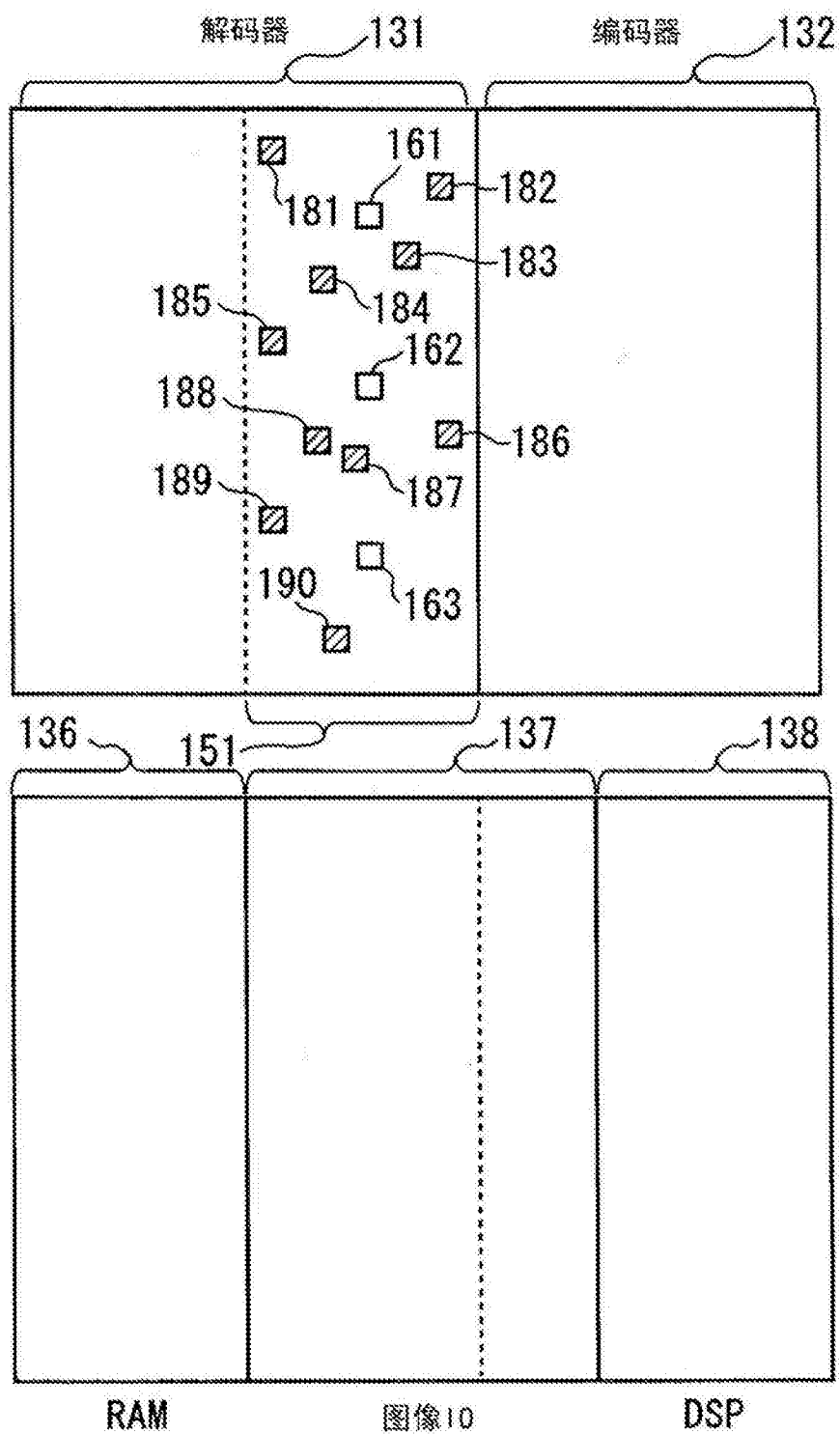


图 5

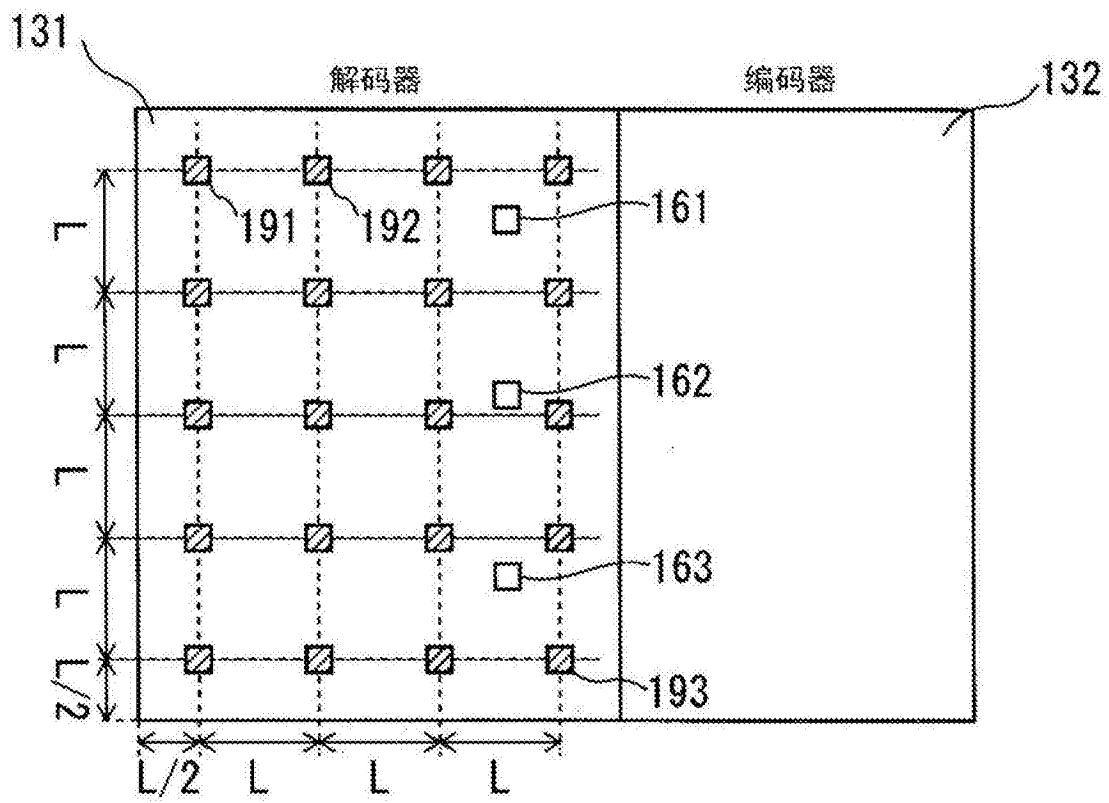


图 6

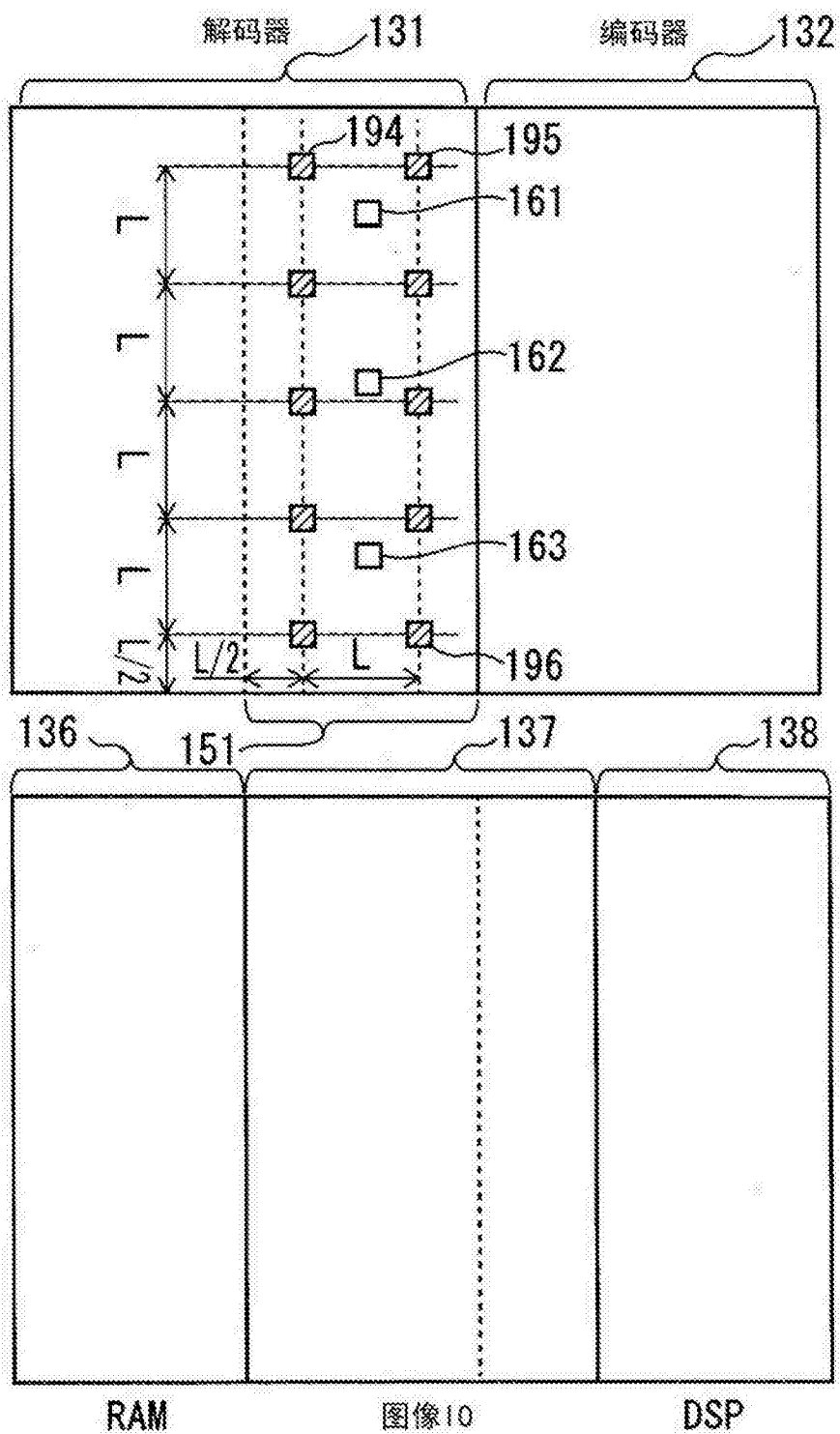


图 7

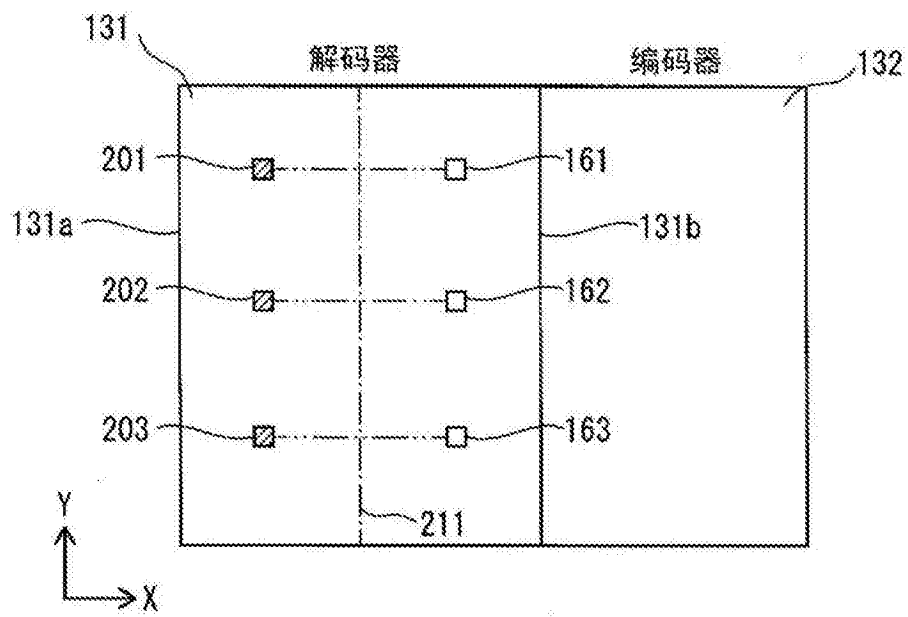


图 8

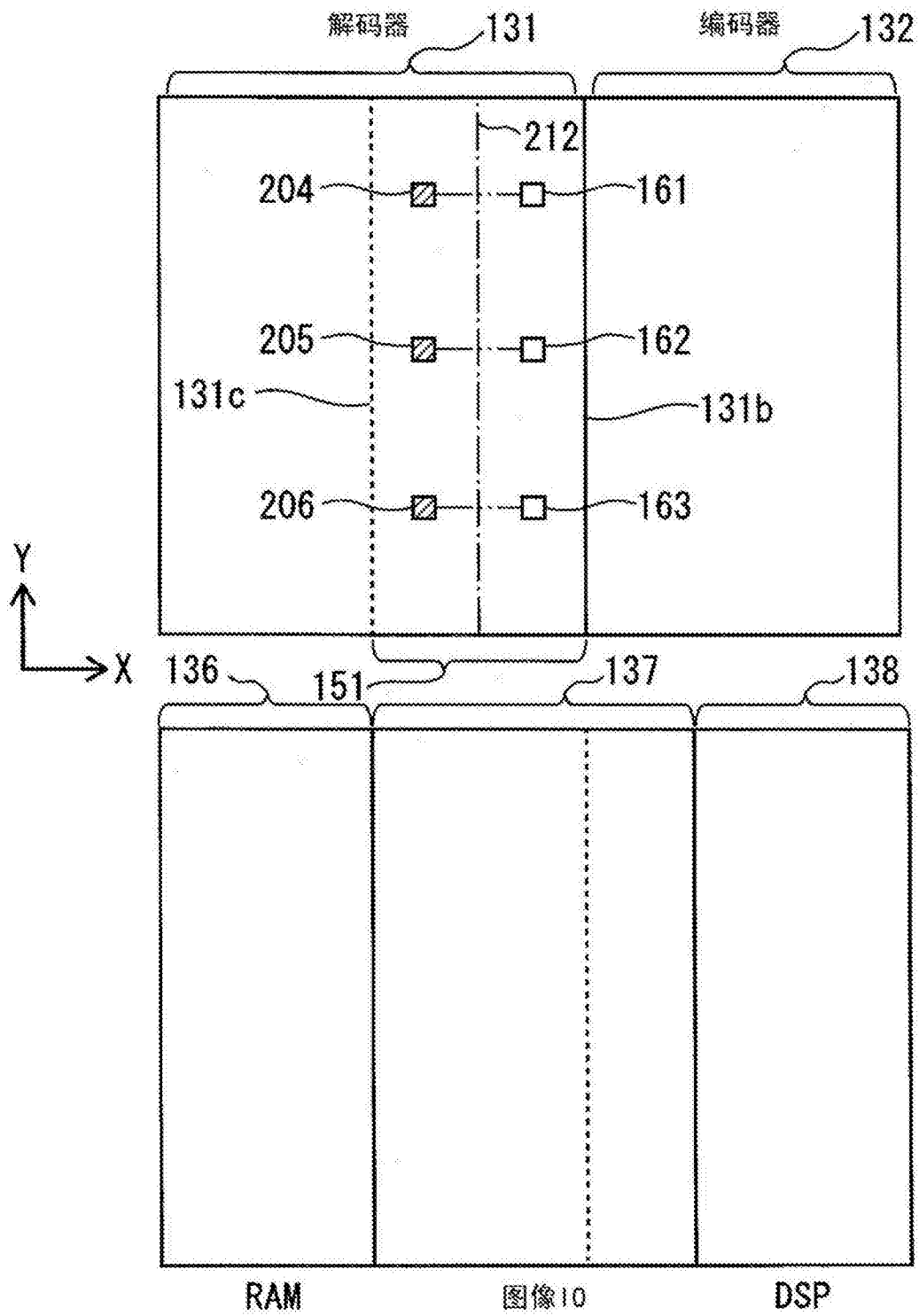


图 9

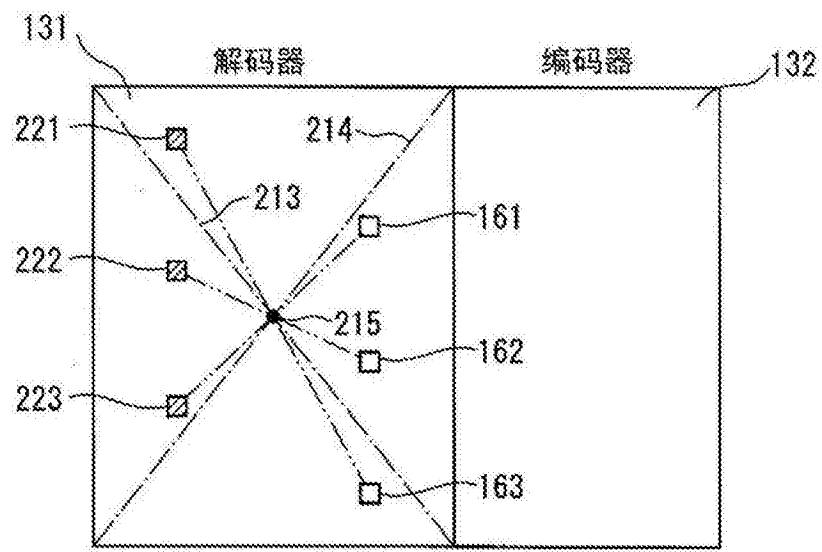


图 10

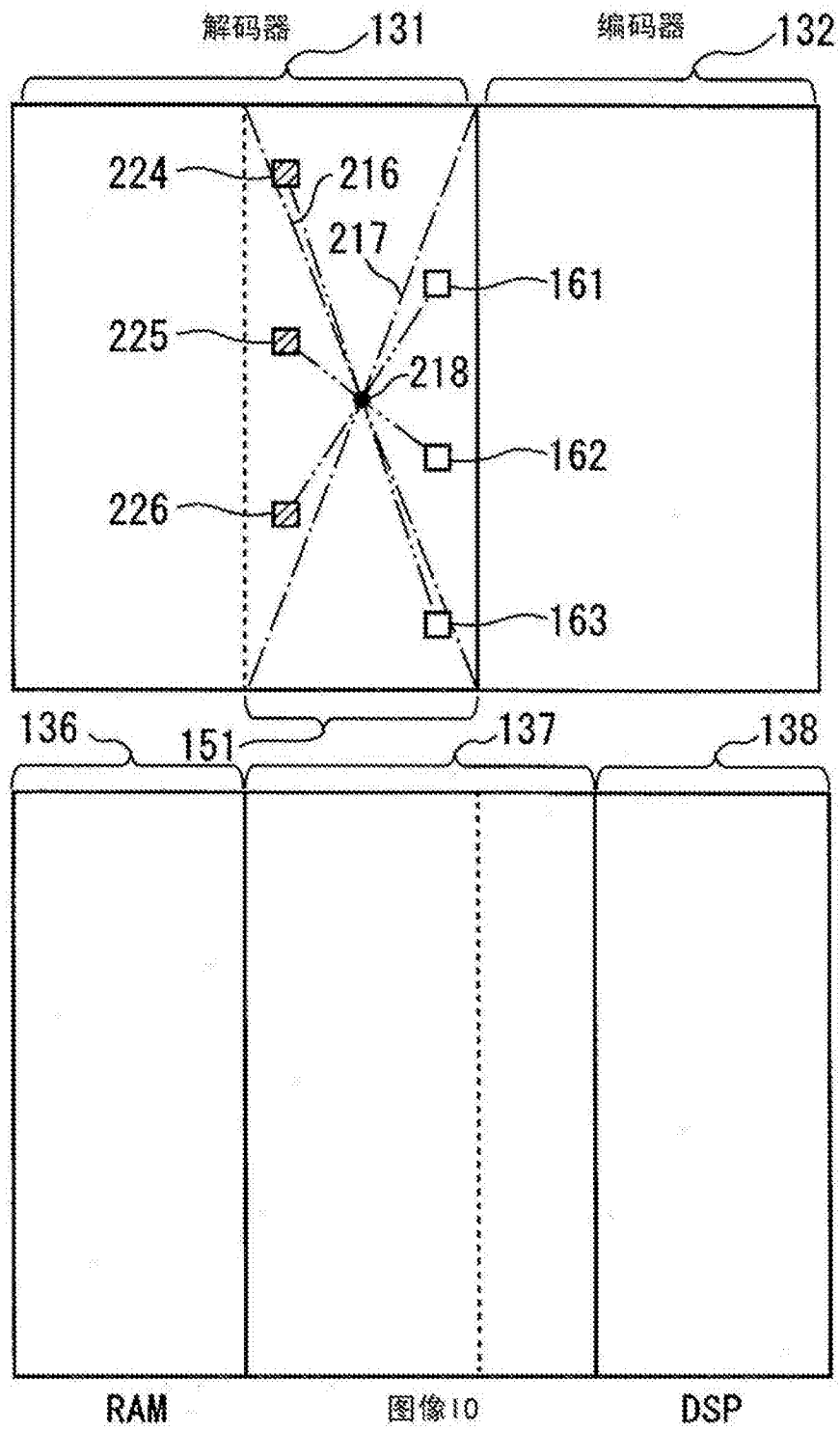


图 11

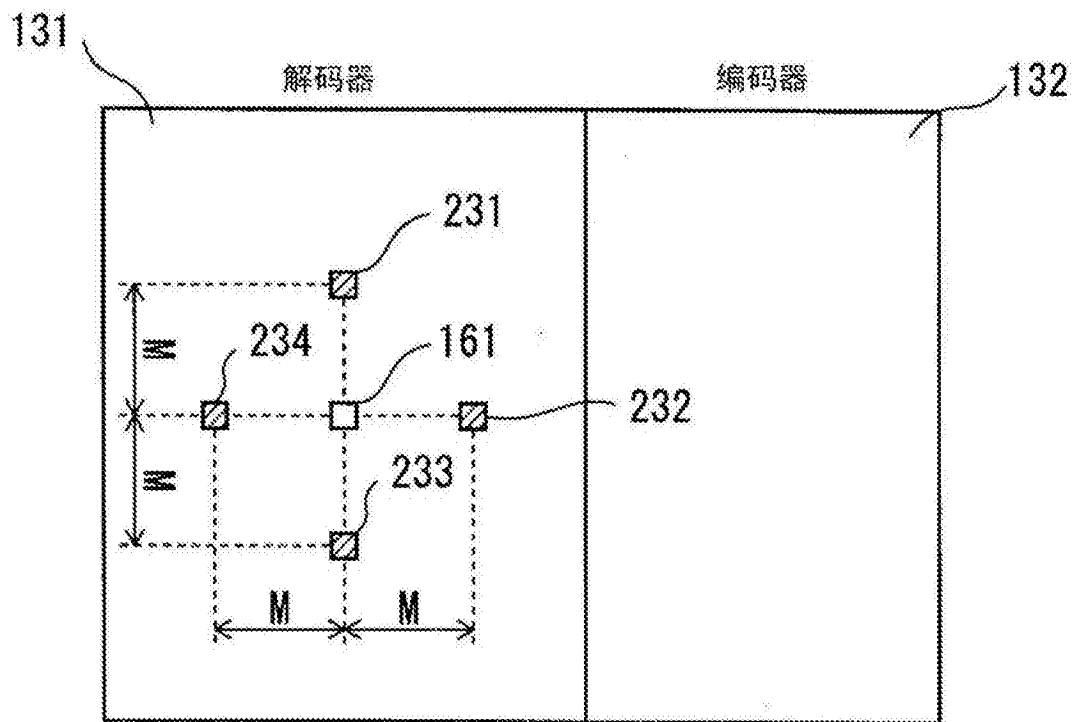


图 12

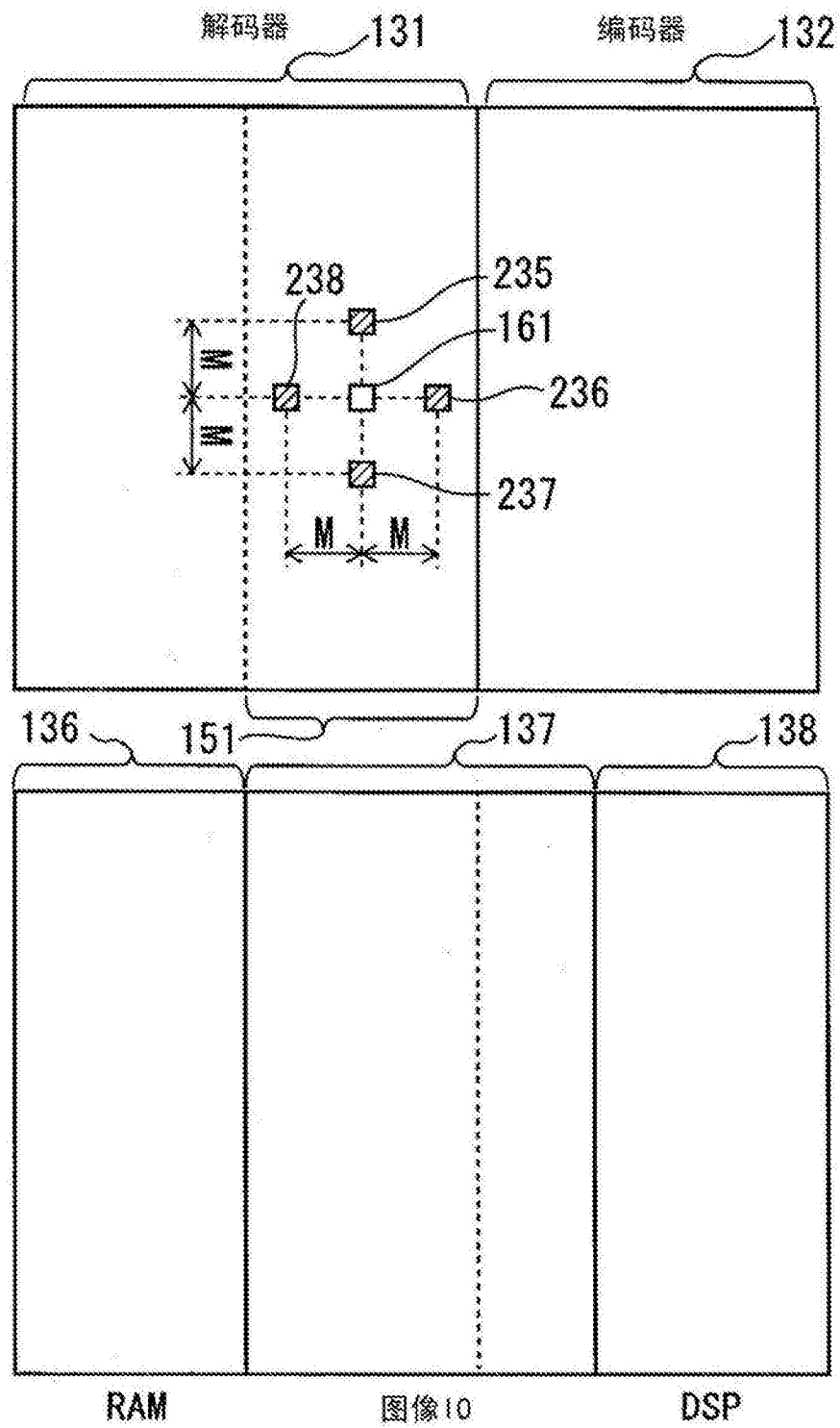


图 13

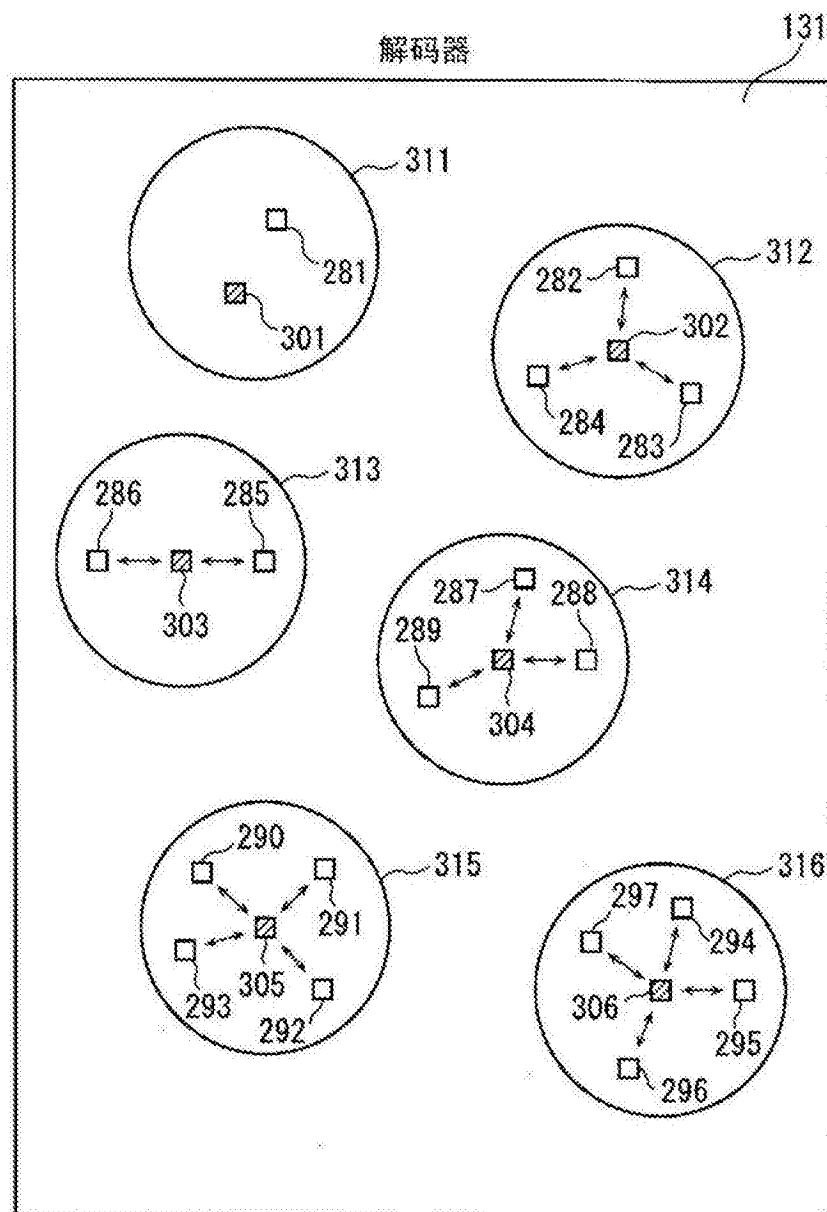


图 14

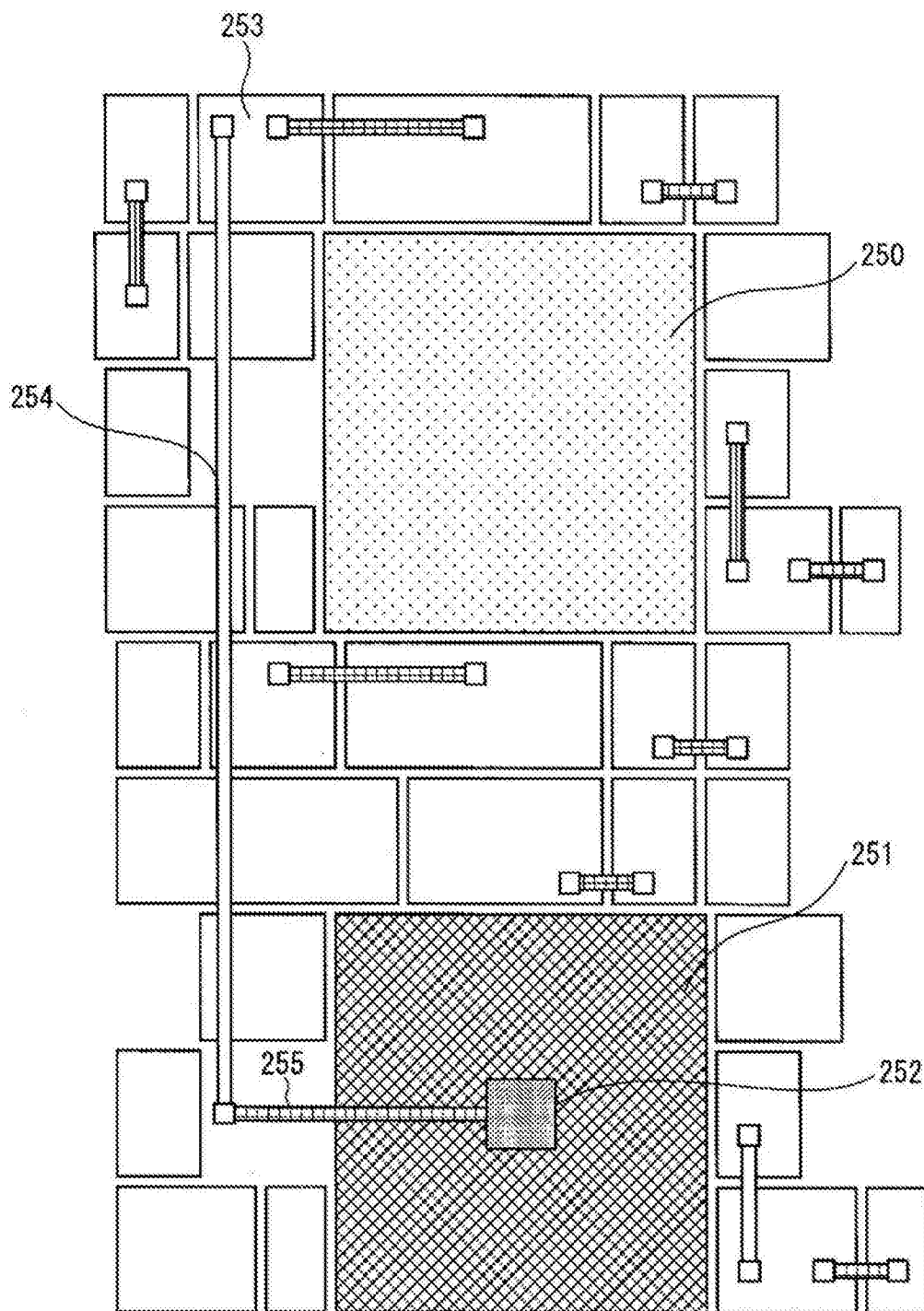


图 15

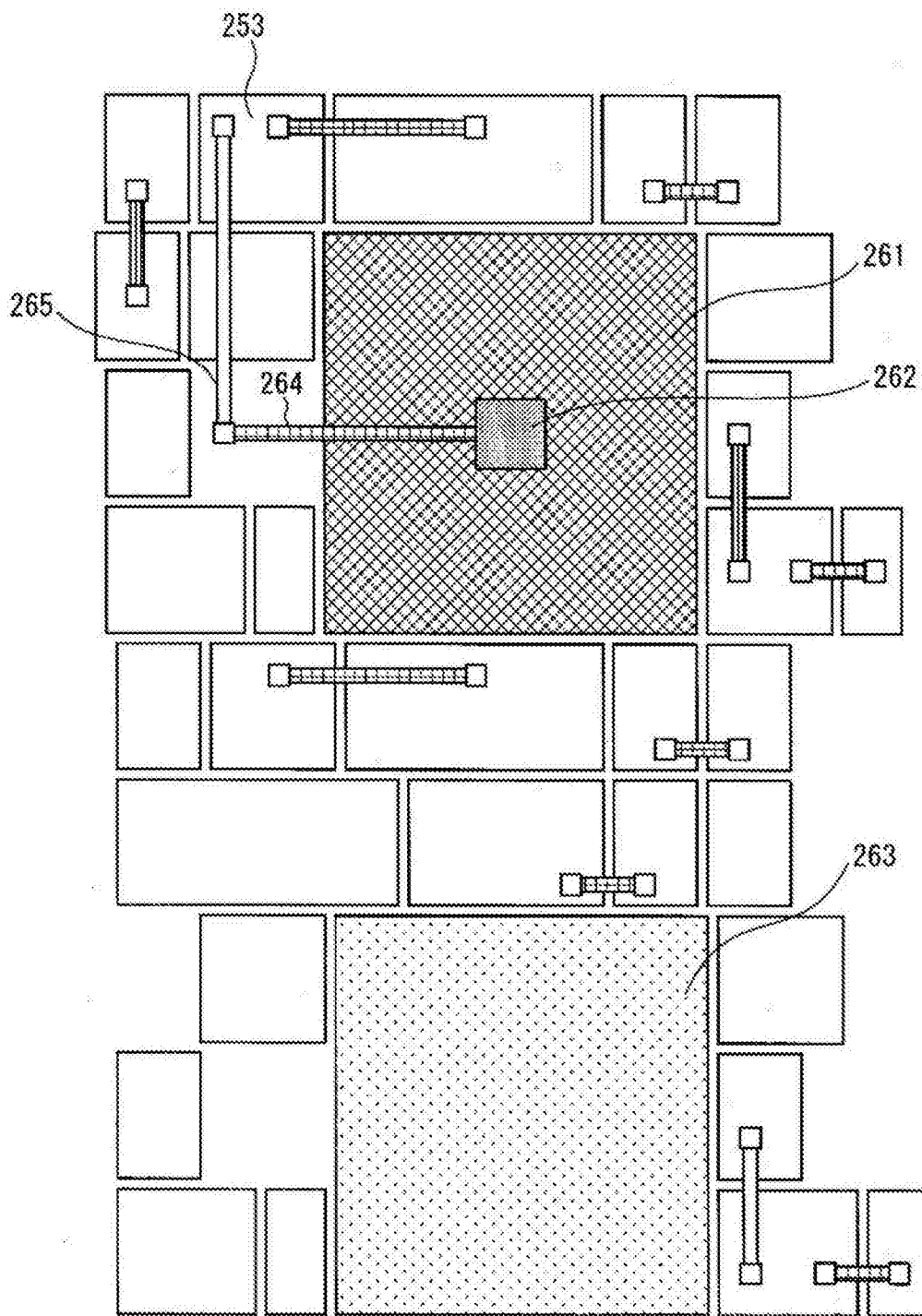


图 16

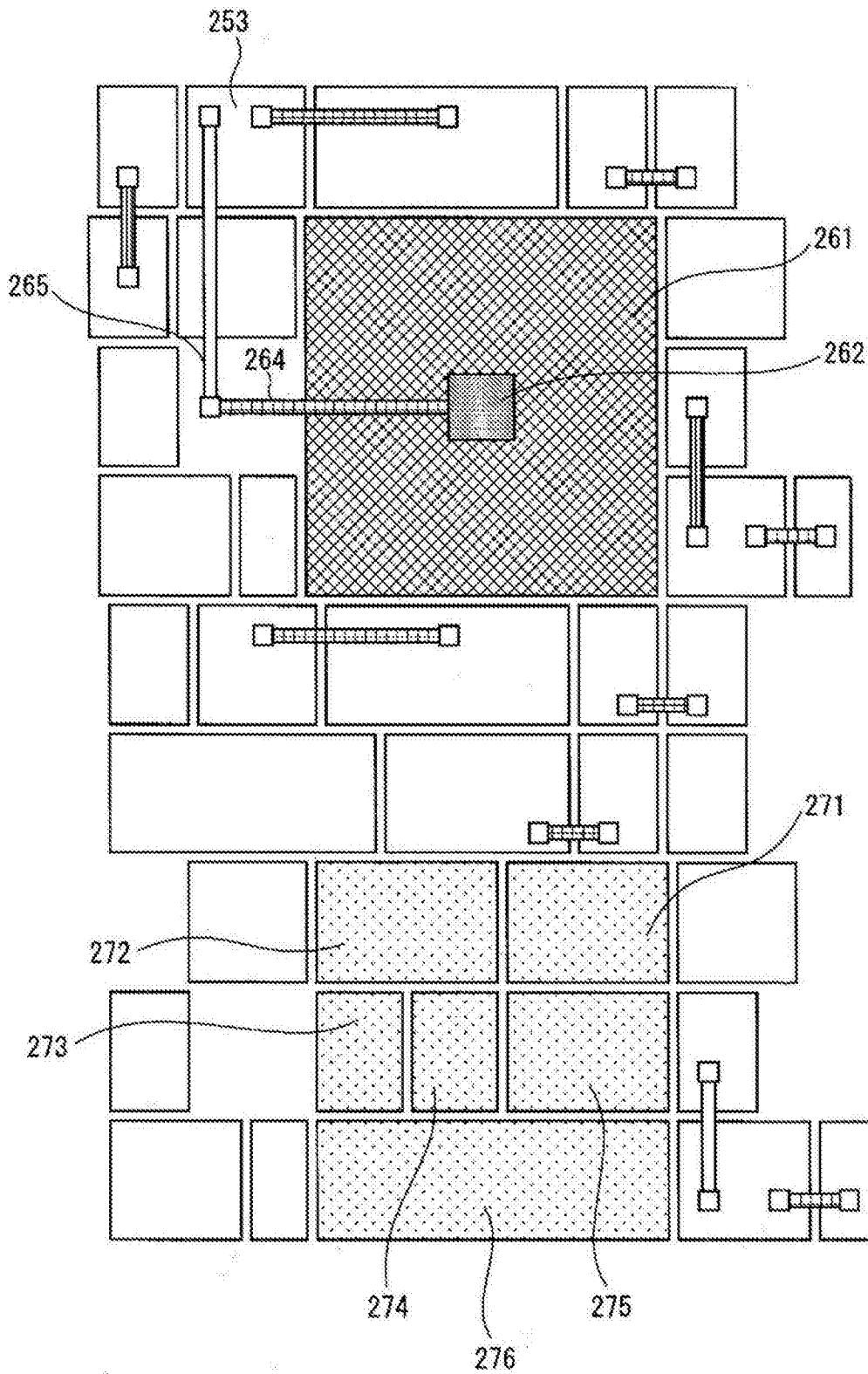


图 17

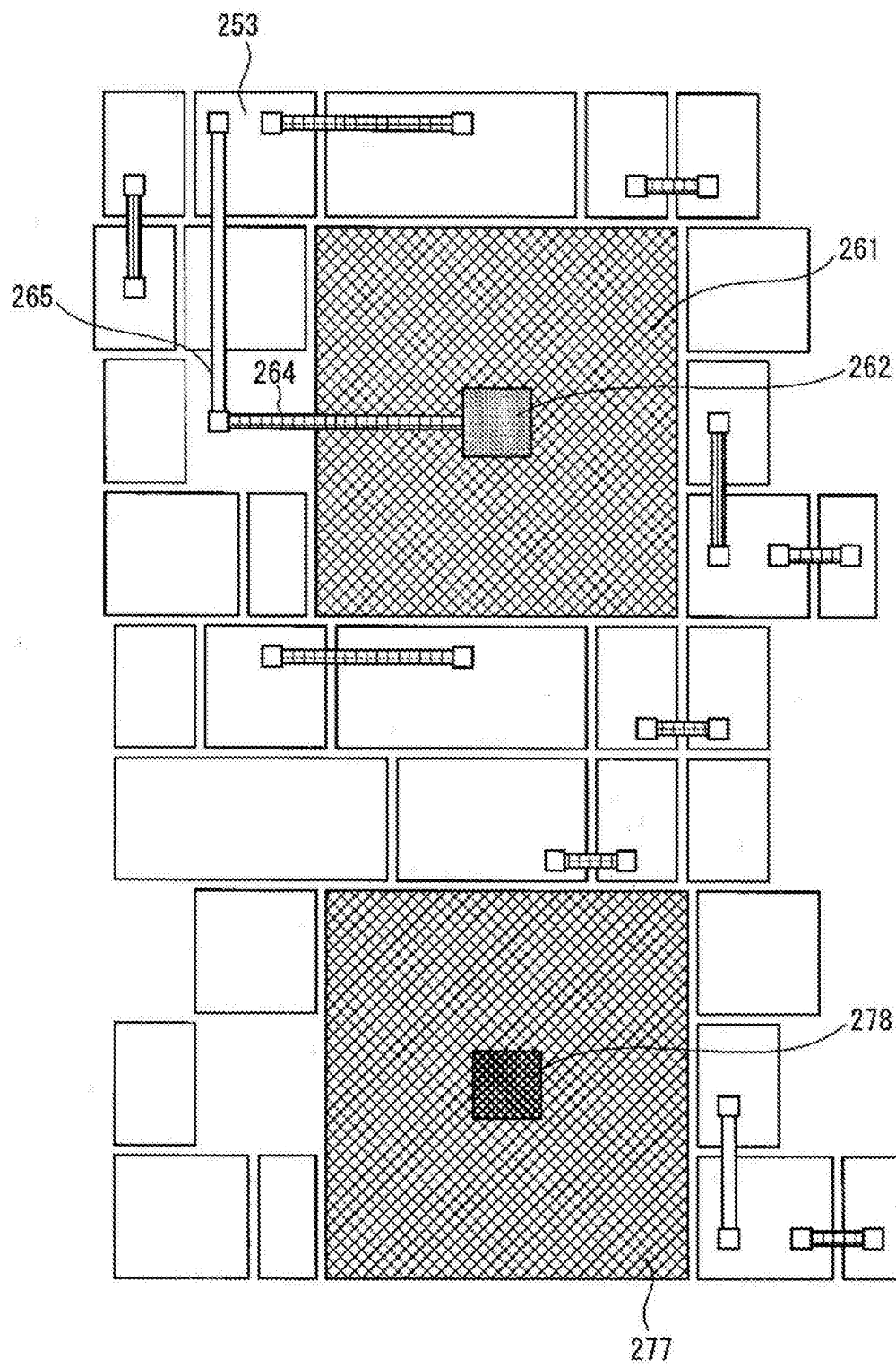


图 18

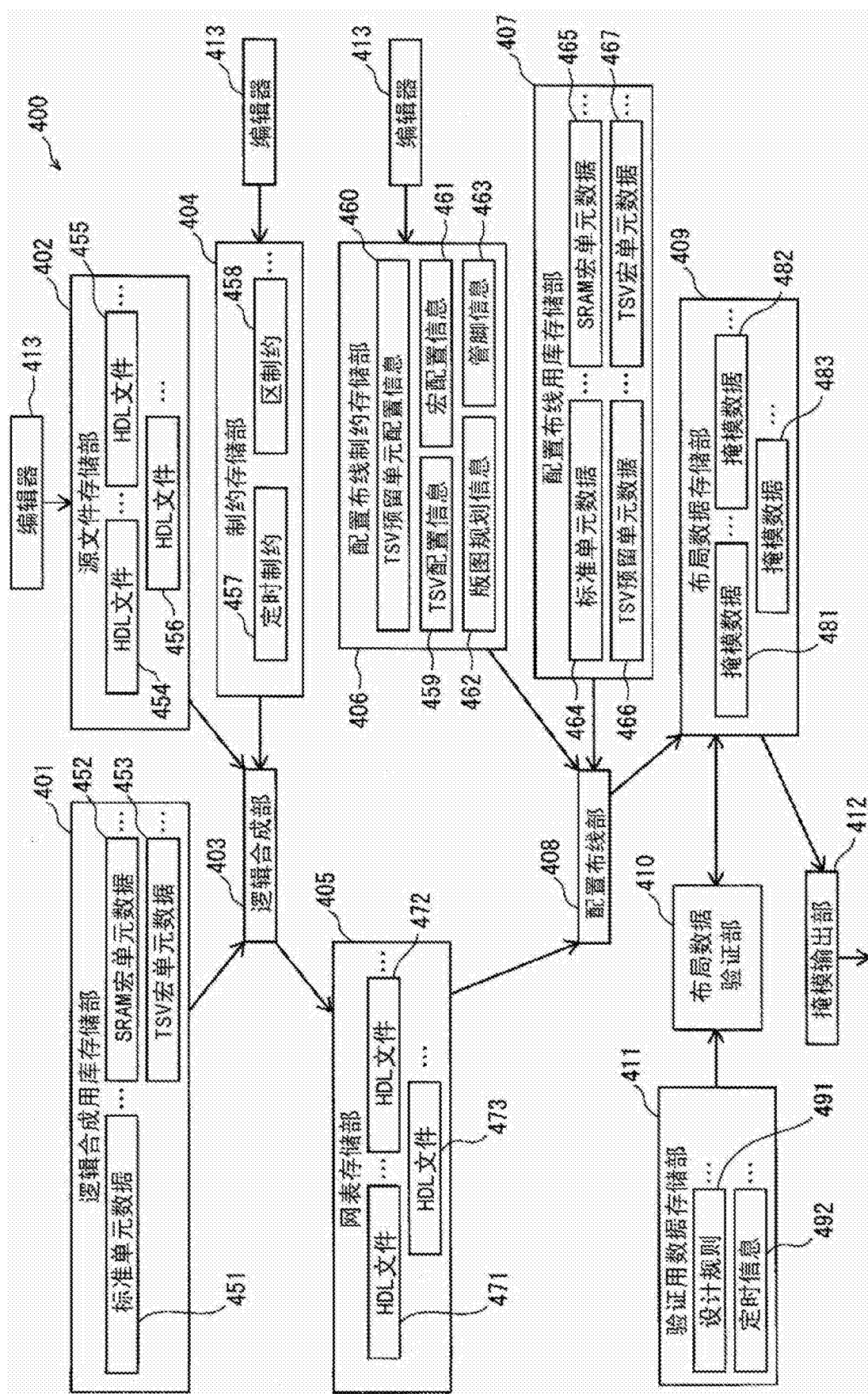


图 19

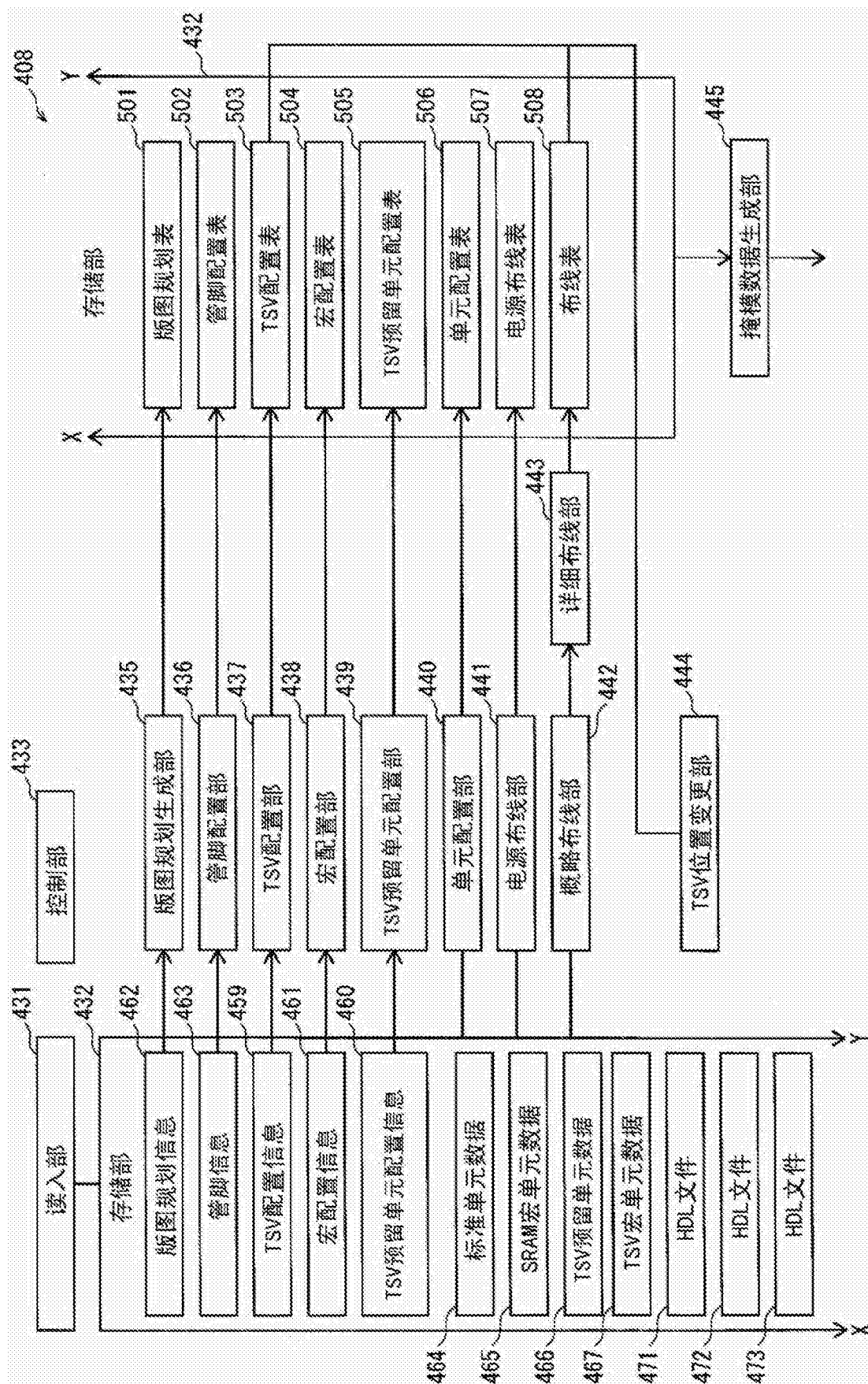


图 20

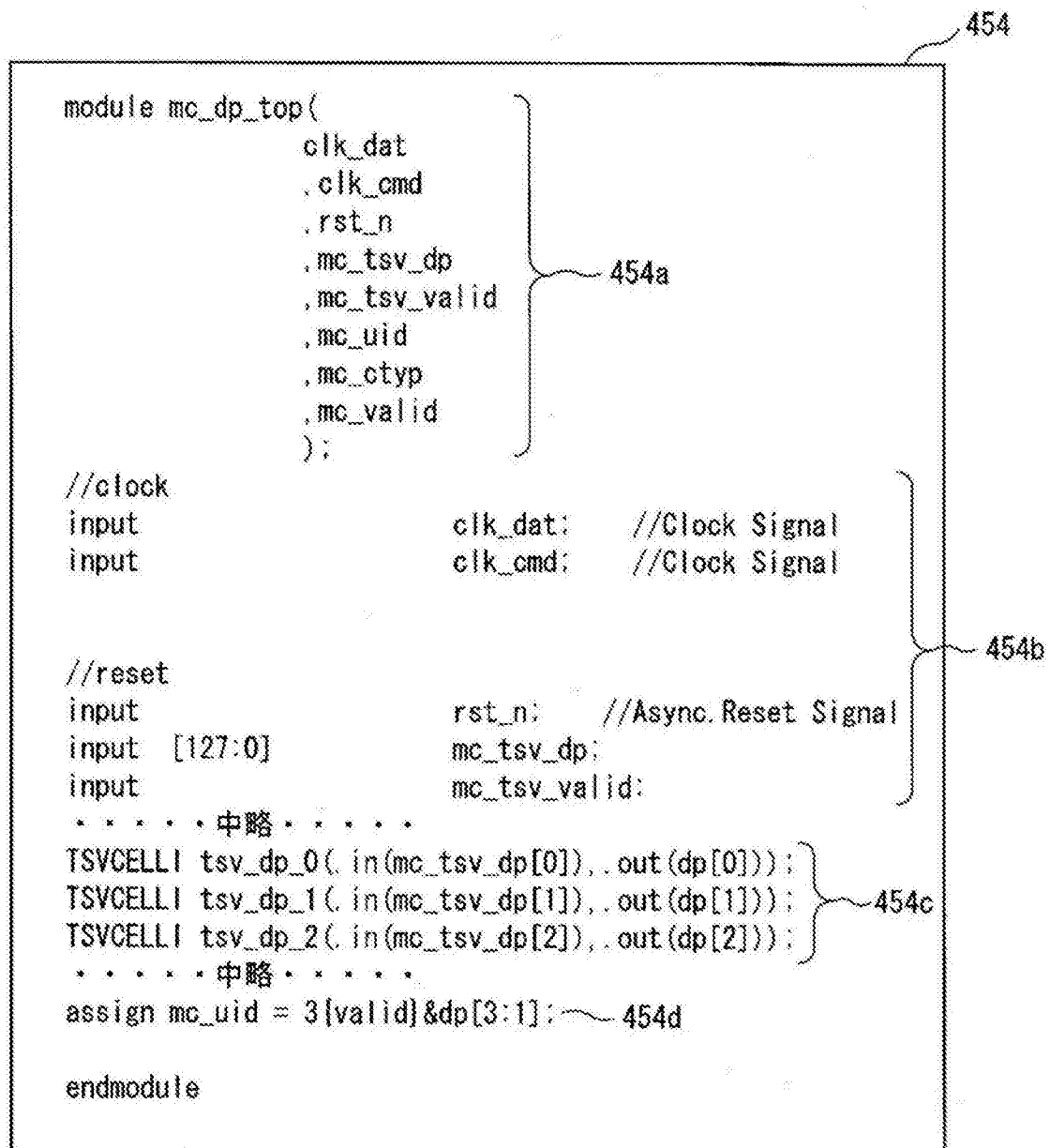


图 21

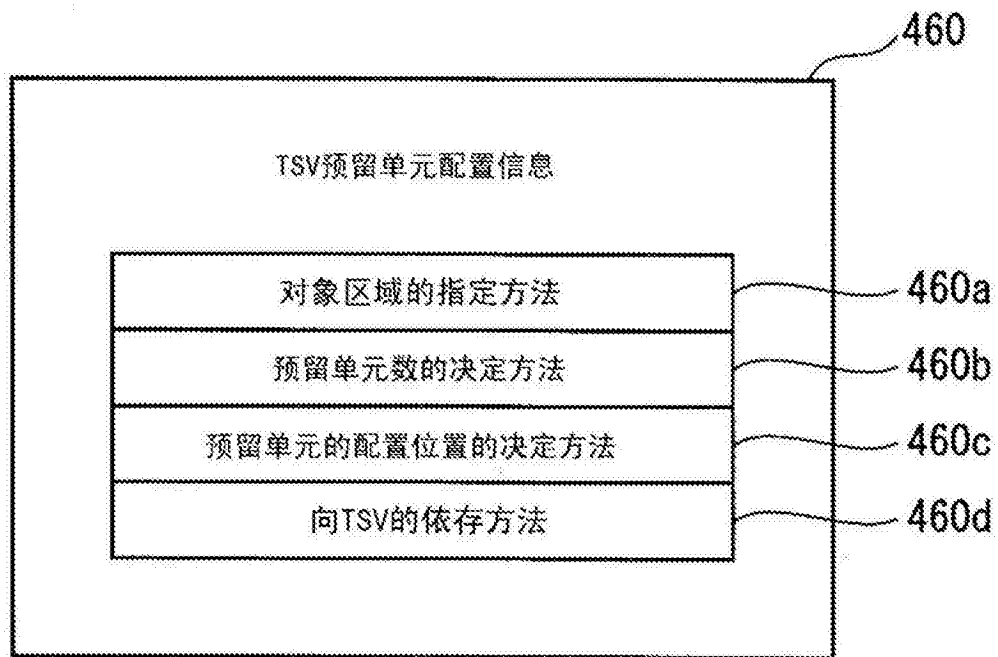


图 22

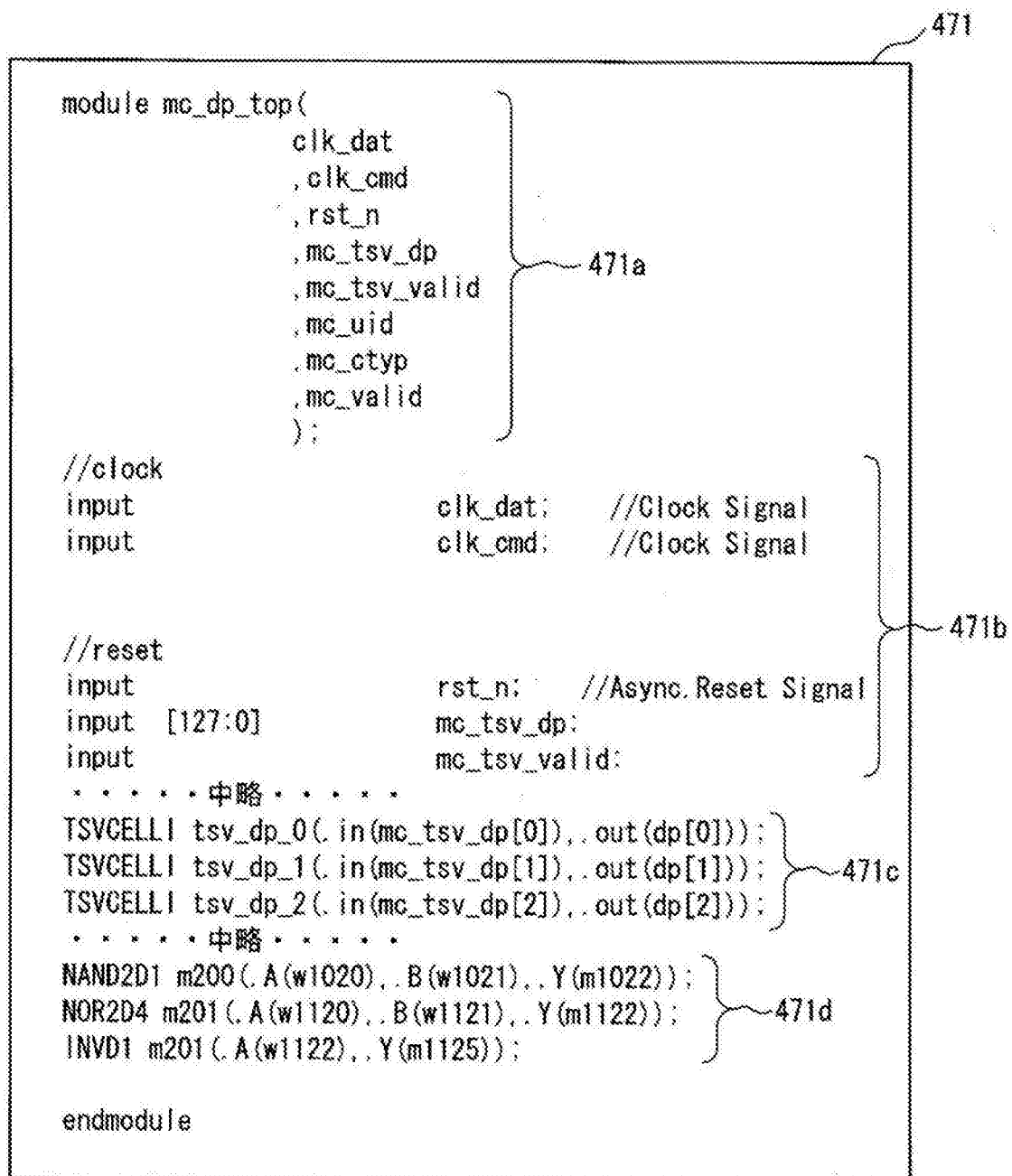


图 23

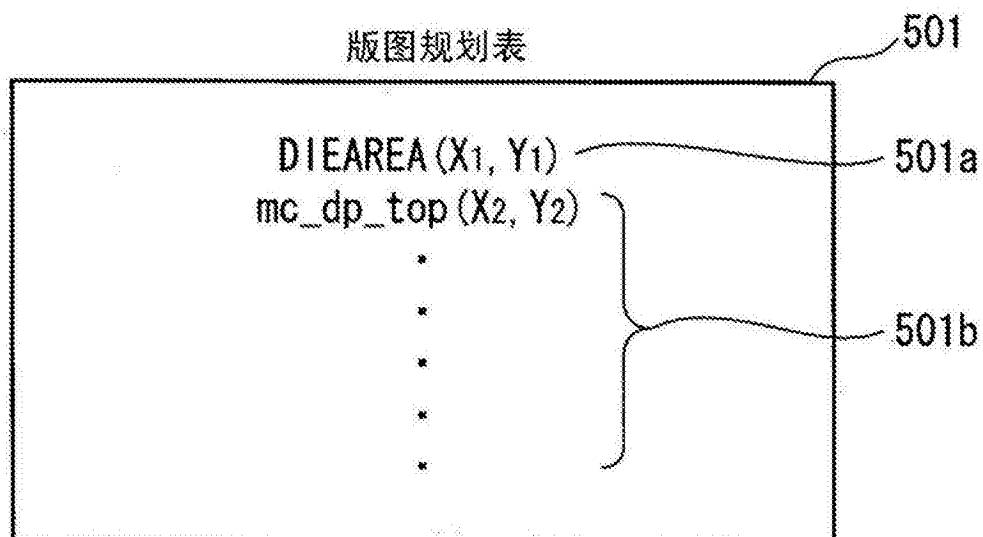


图 24

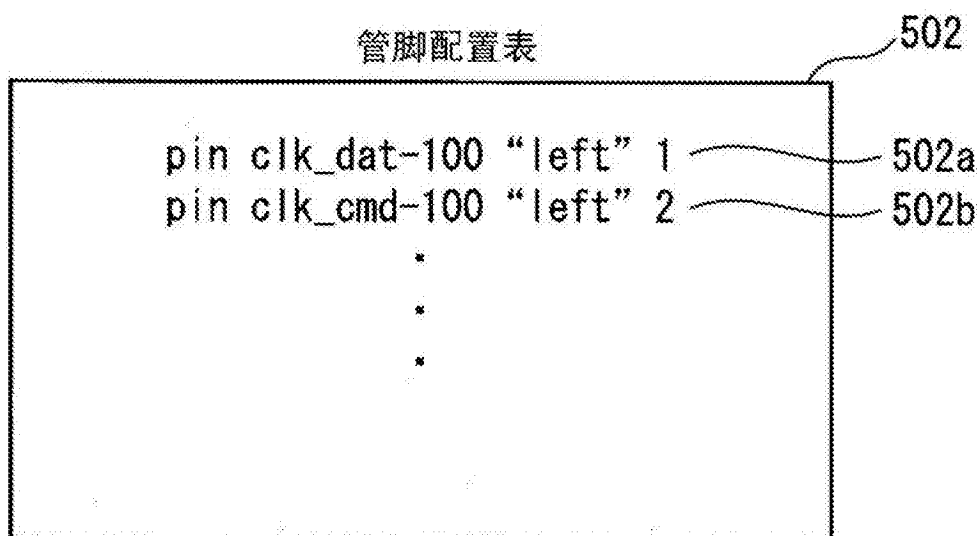


图 25

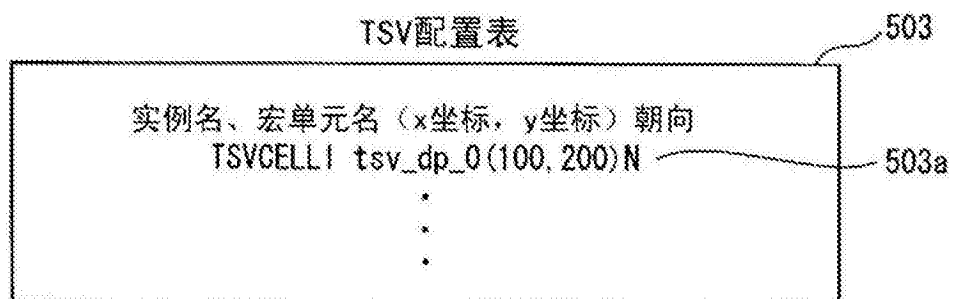


图 26

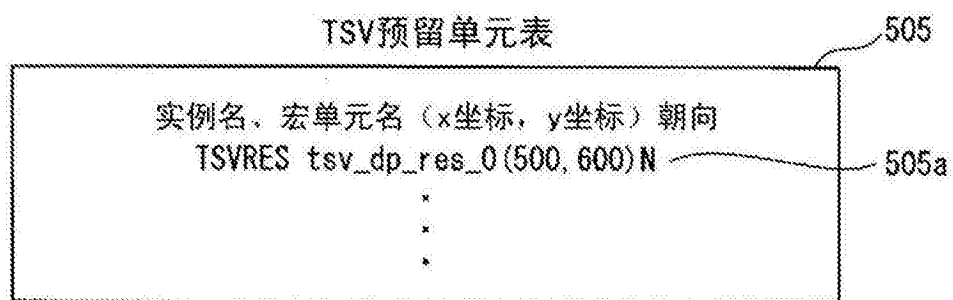


图 27

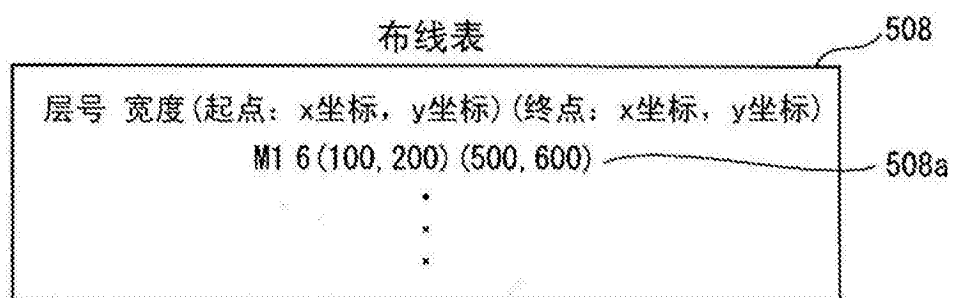


图 28

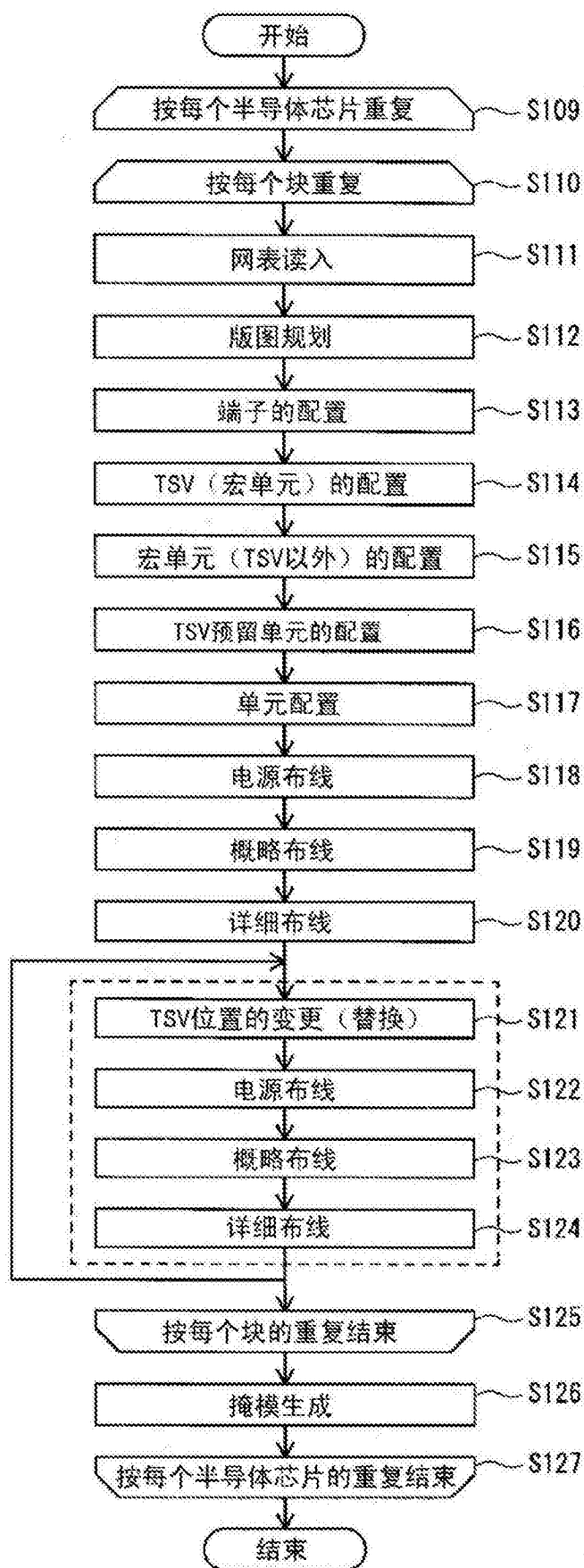


图 29

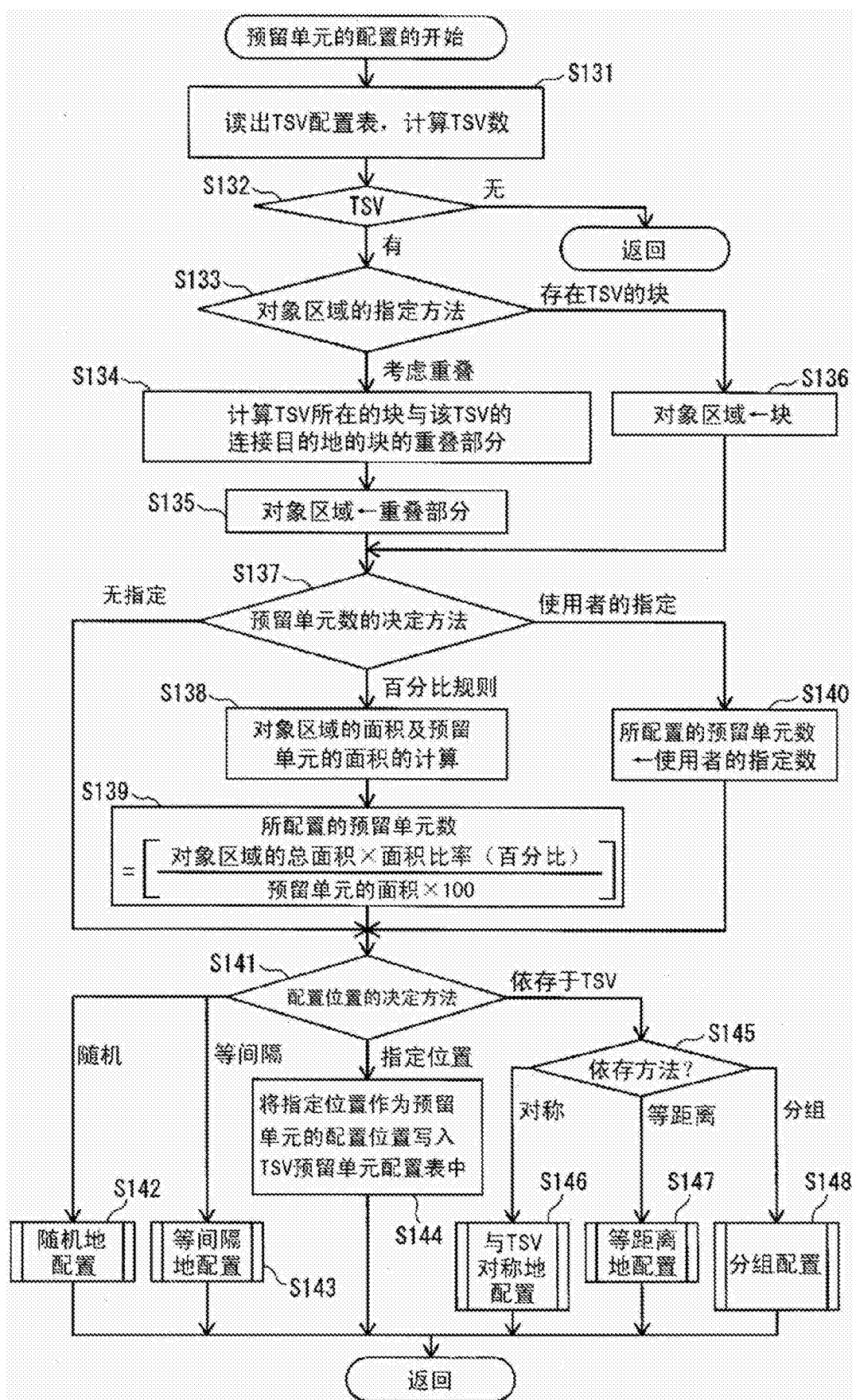


图 30

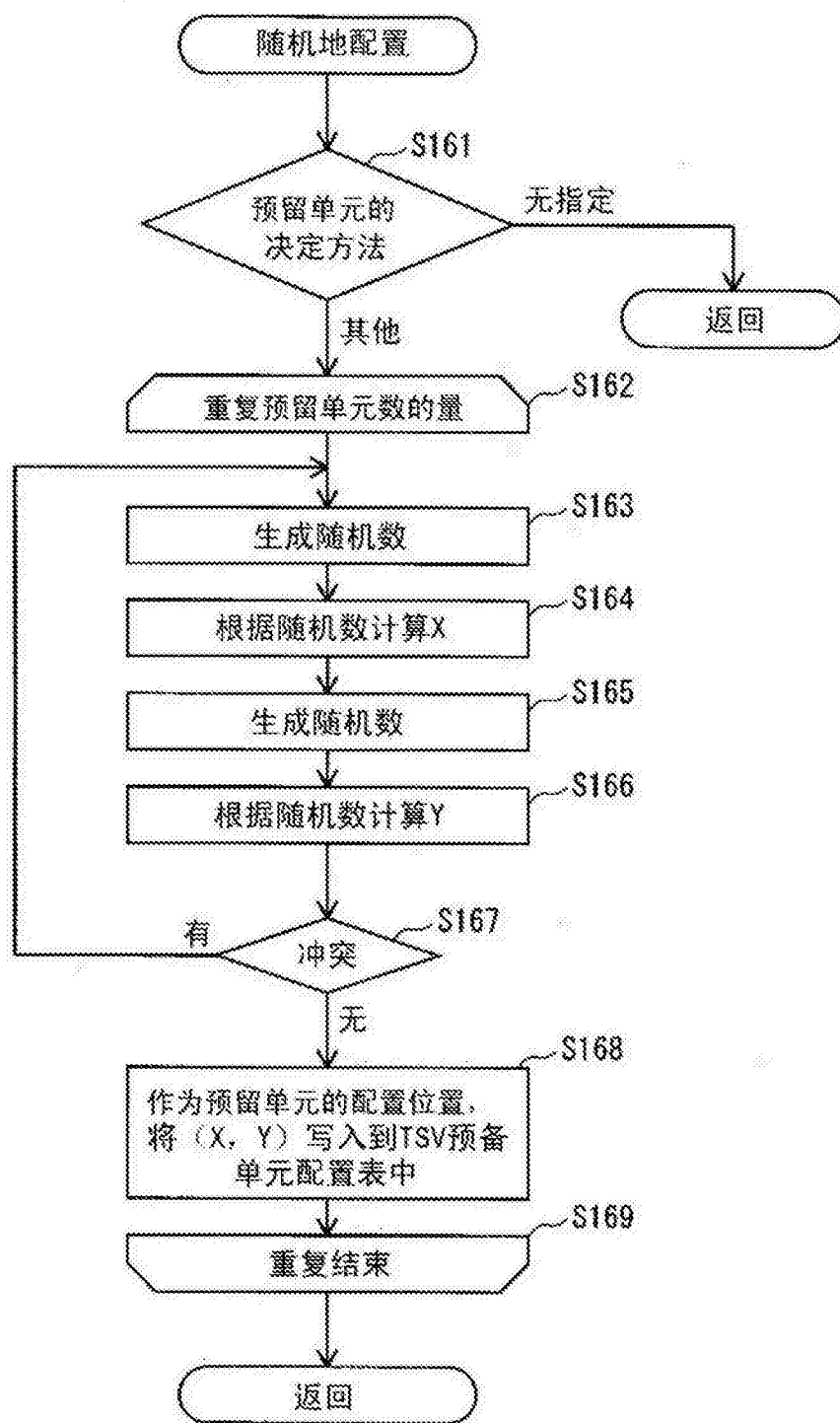


图 31

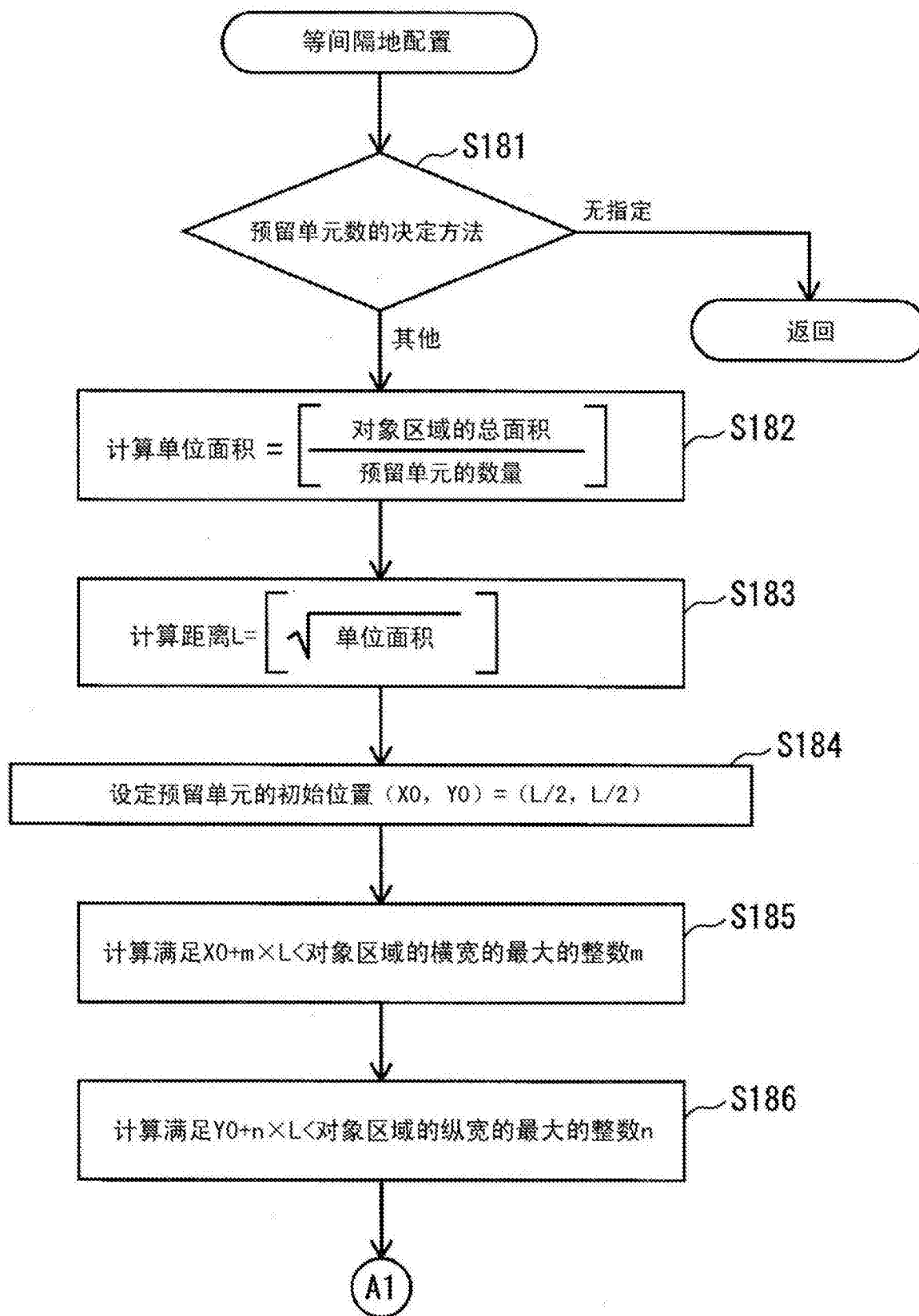


图 32

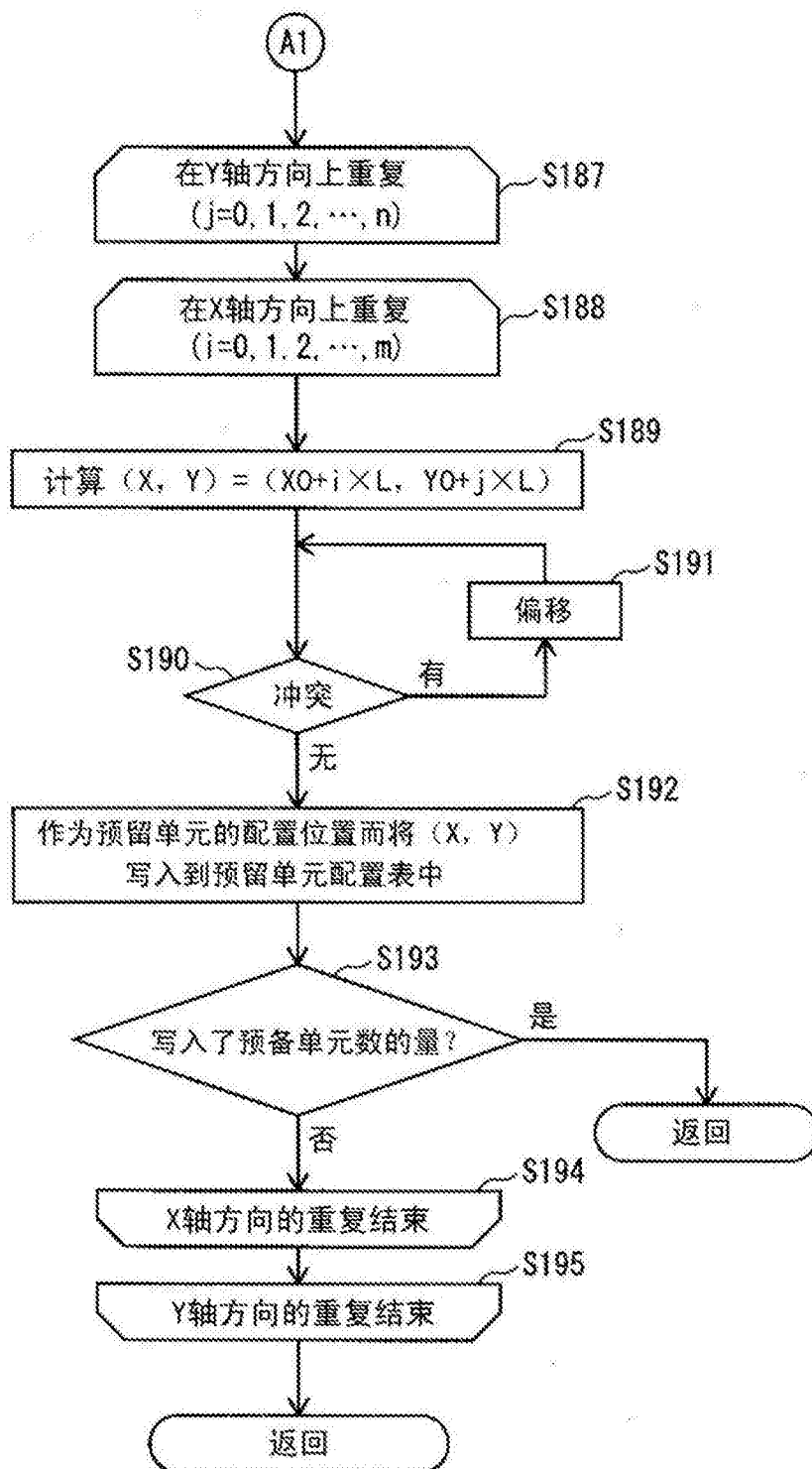


图 33

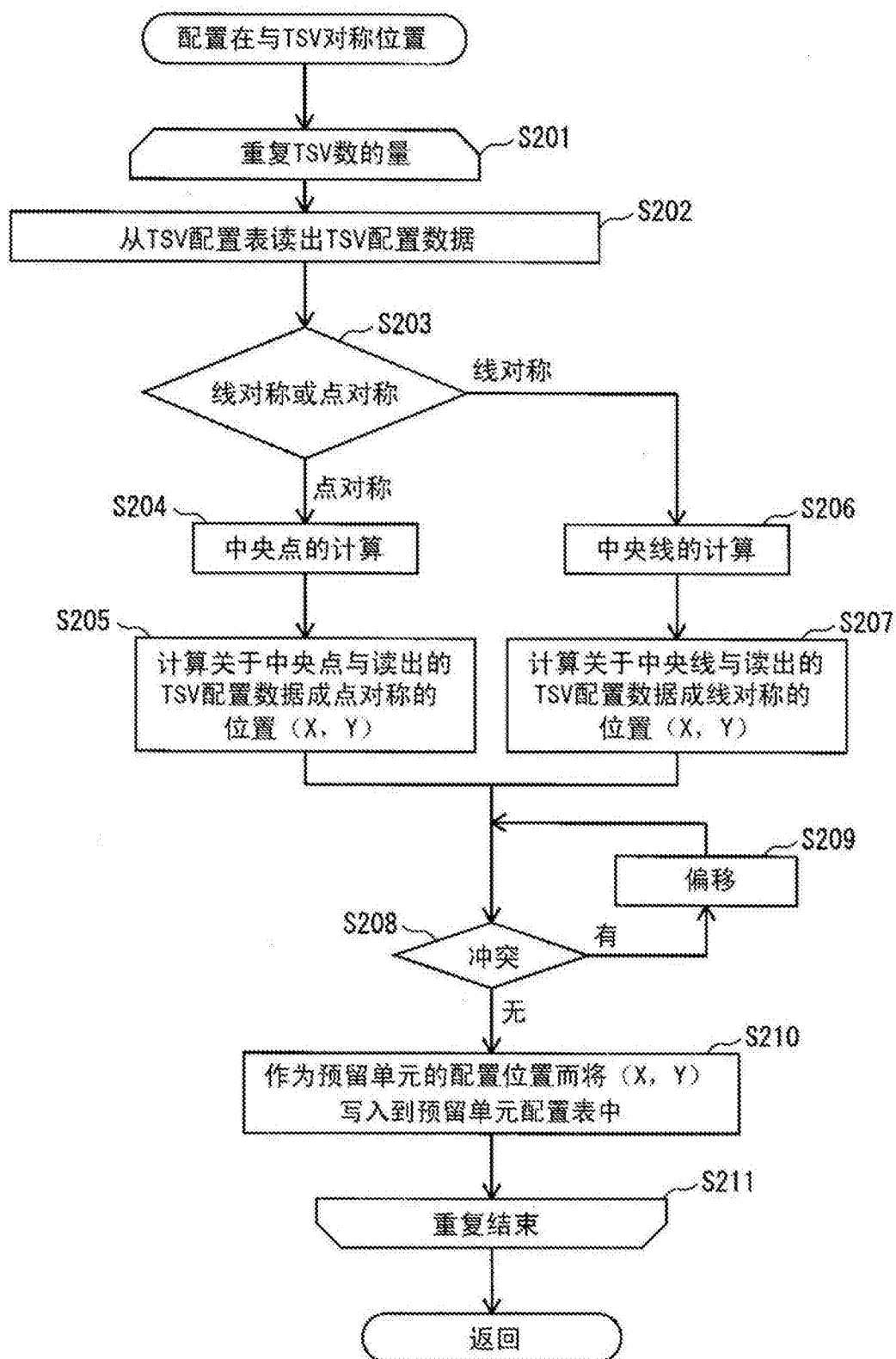


图 34

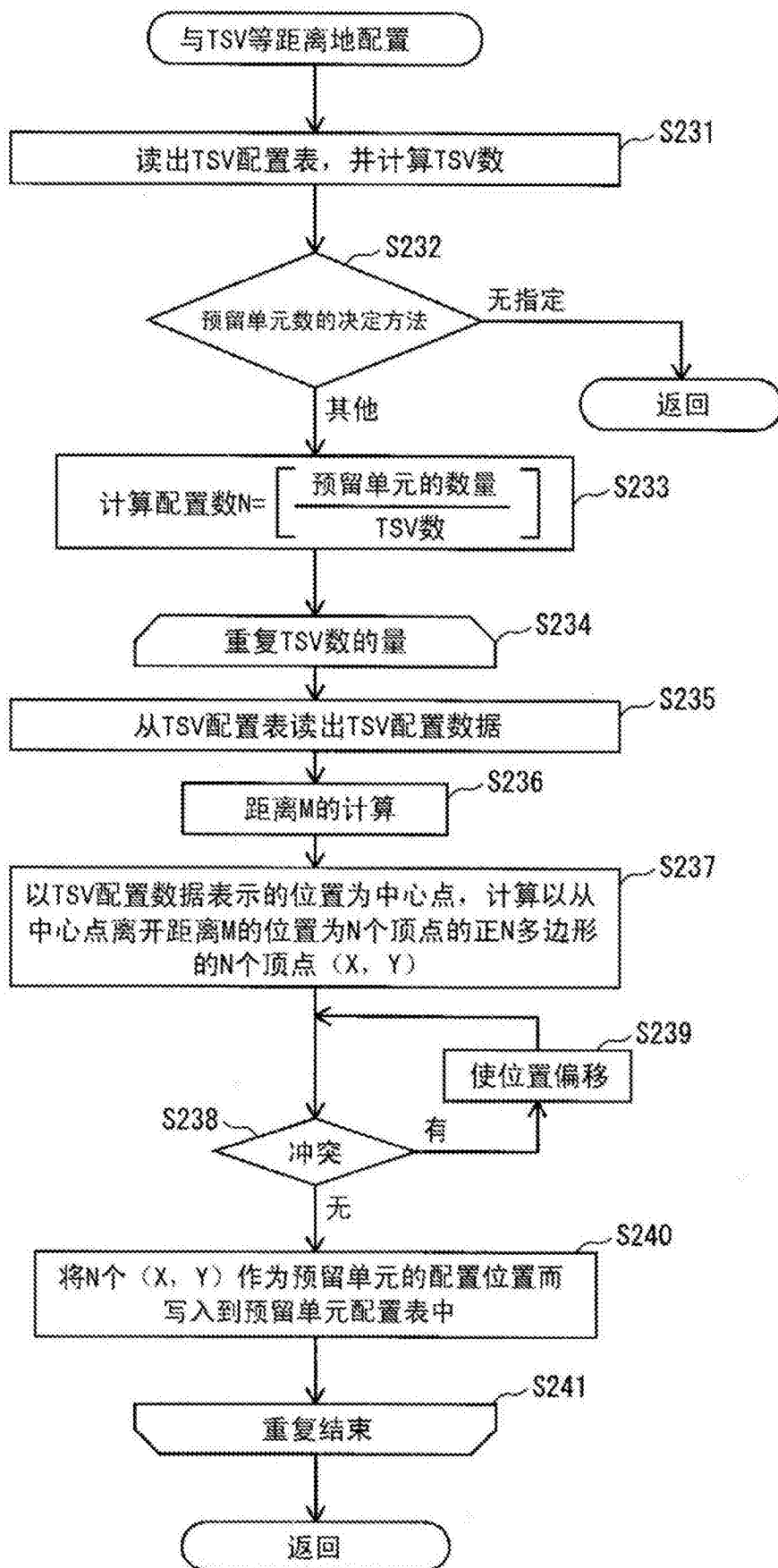


图 35

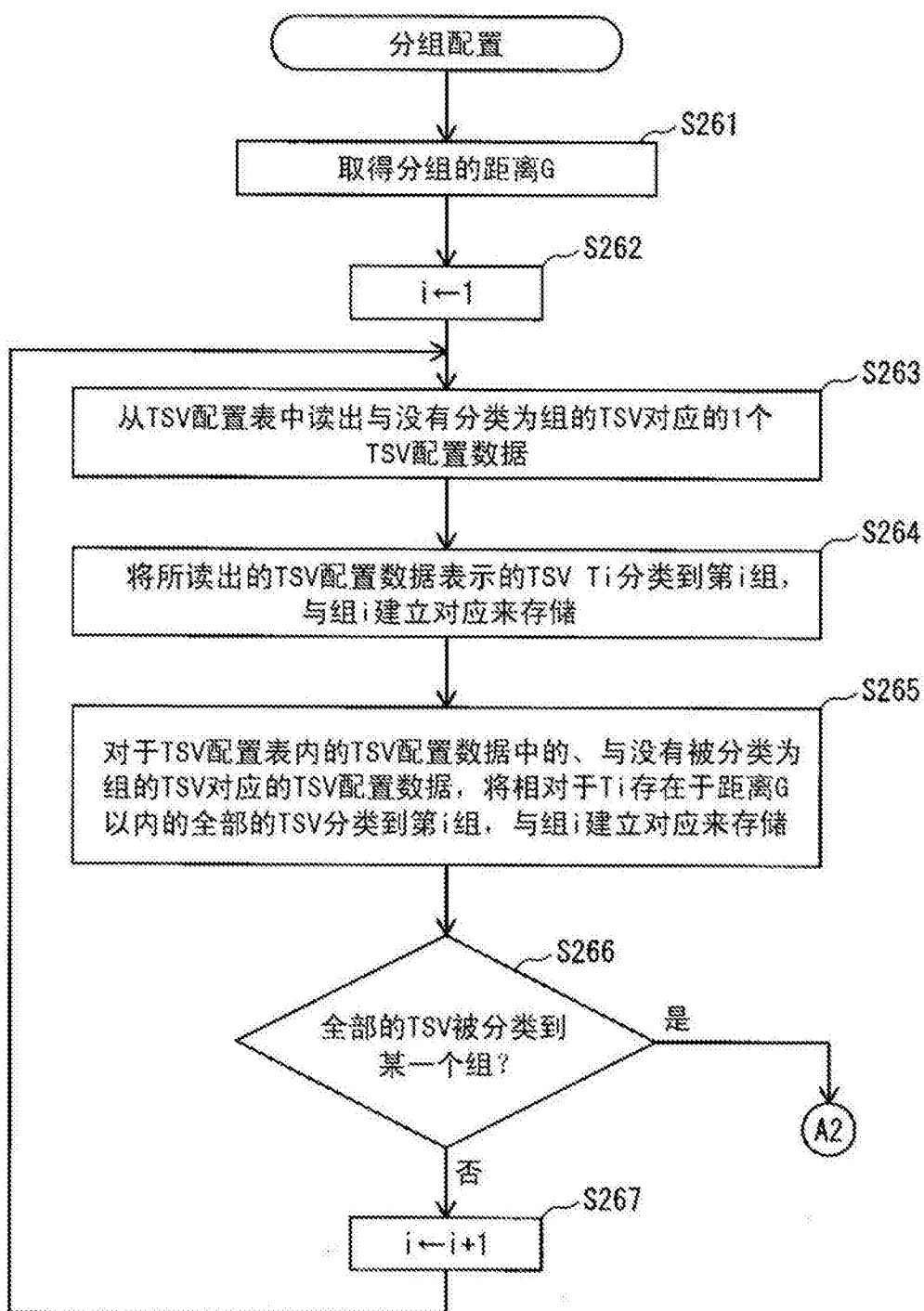


图 36

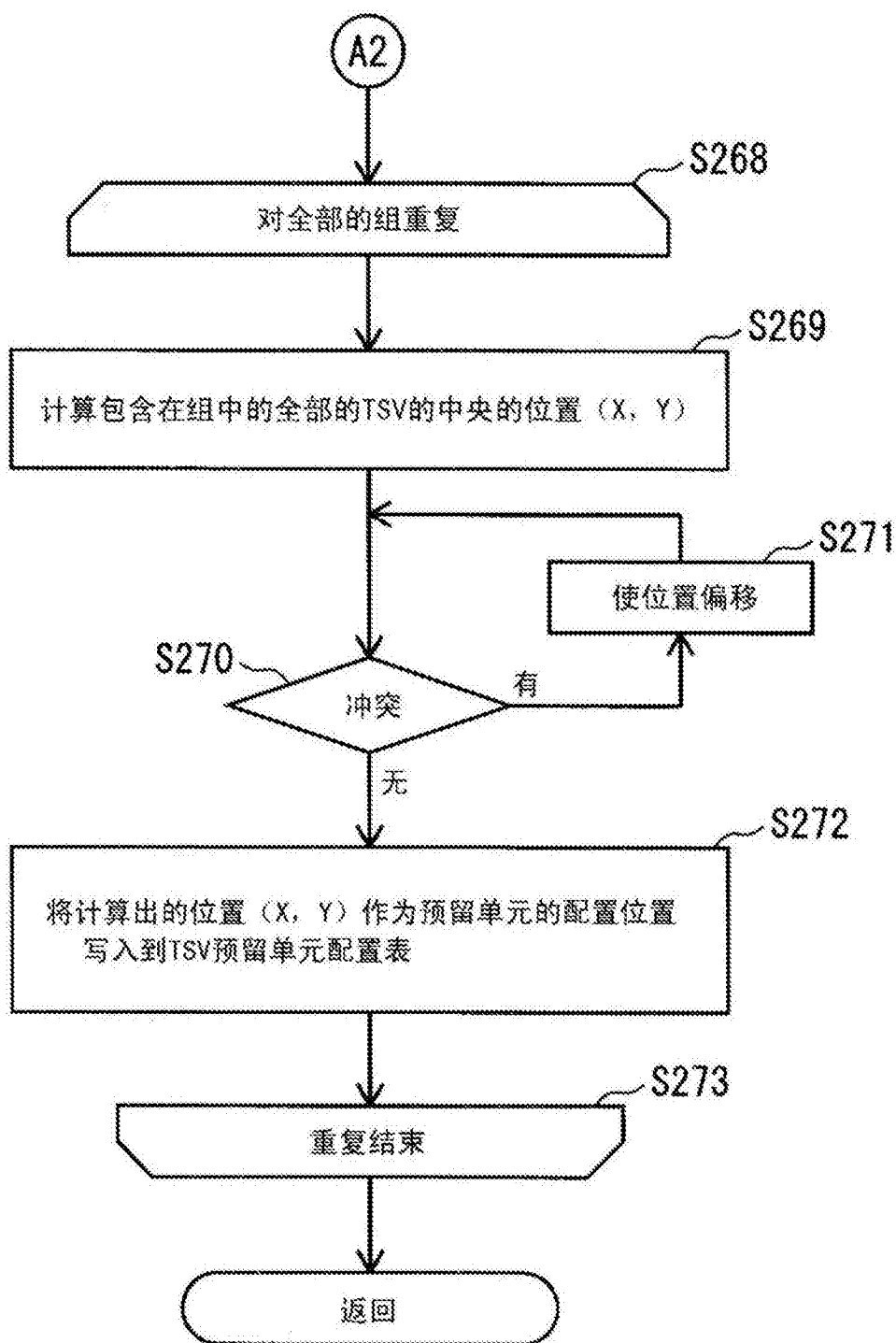


图 37

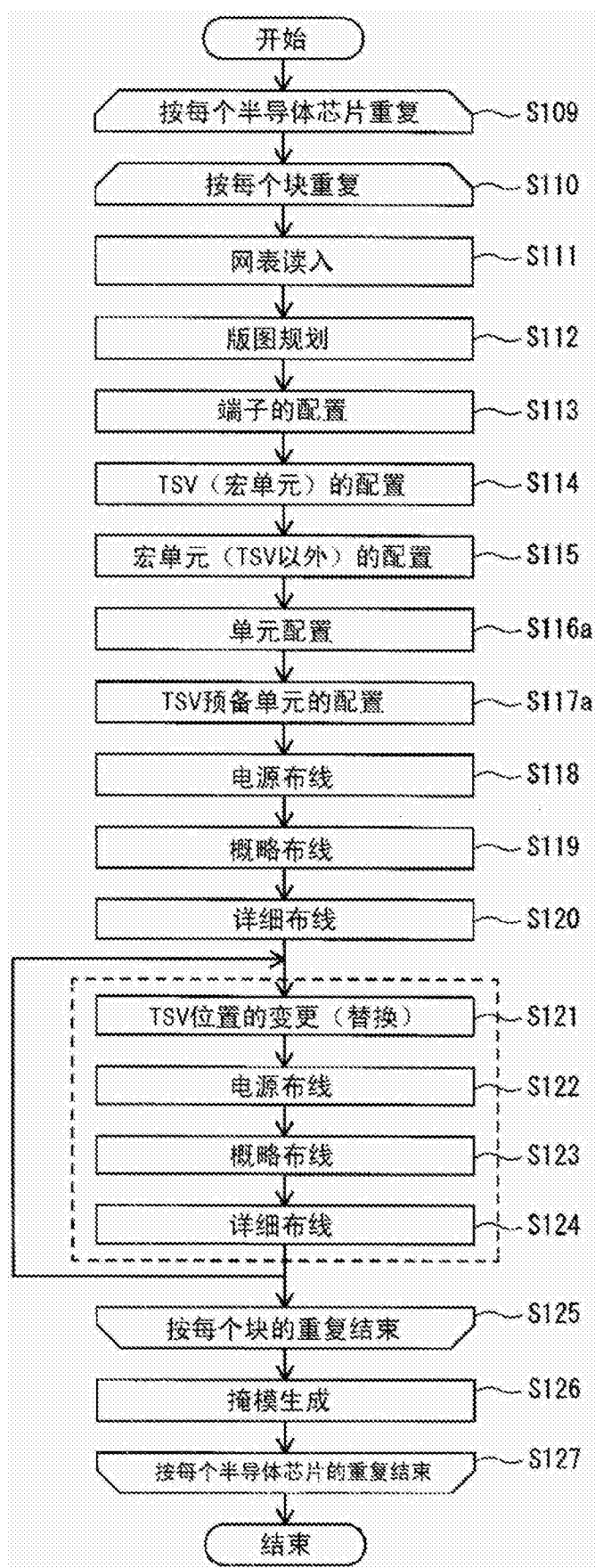


图 38

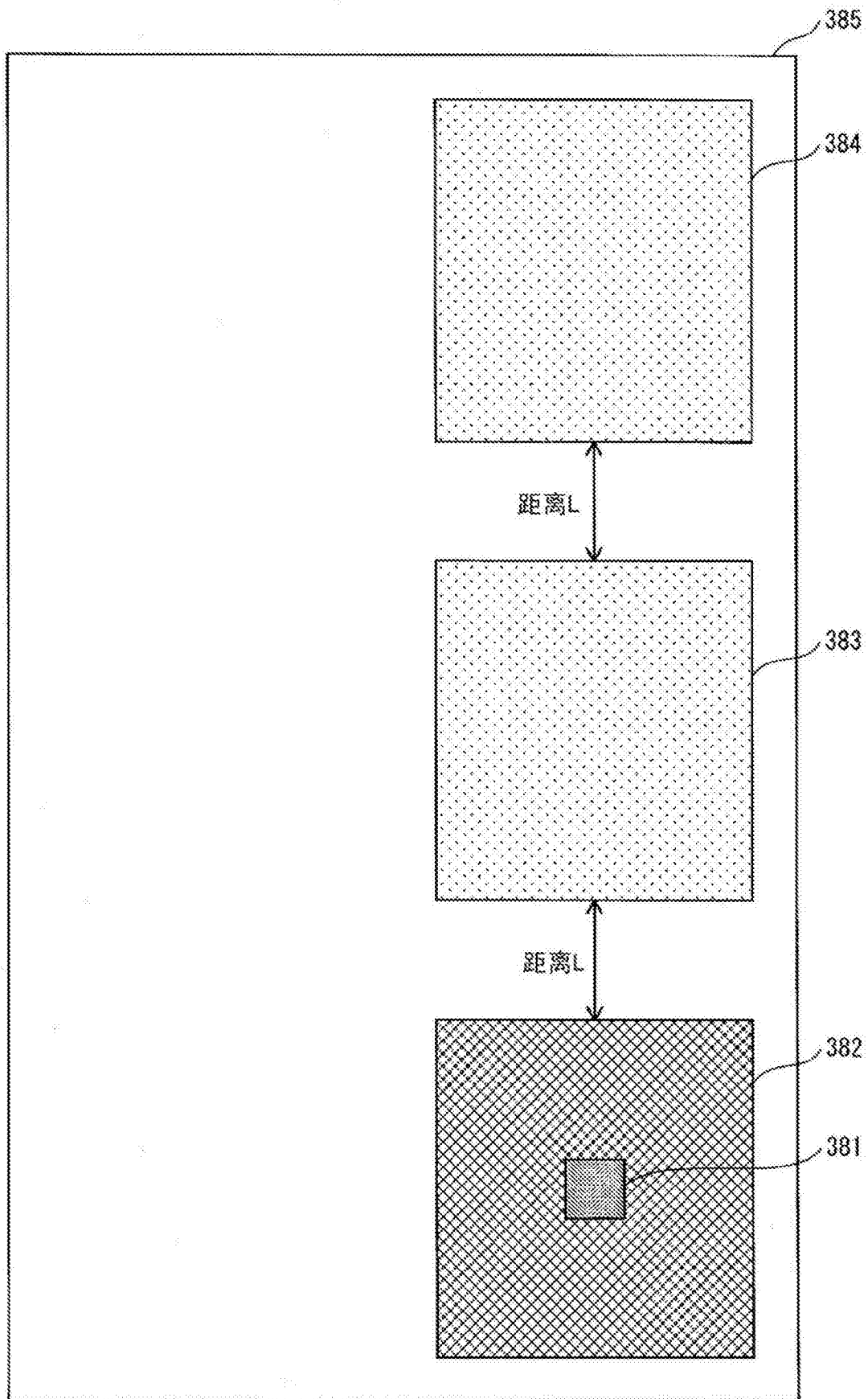


图 39