(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H03H 9/46

(11) 공개번호 특1998-024285
(43) 공개일자 1998년07월06일

(21) 출원번호 특1997-045572
(22) 출원일자 1997년09월02일
(30) 우선권주장 96-260298 1996년09월09일 일본(JP)
(71) 출원인 소니 가부시끼가이샤 이데이 노브유끼
일본국 도꾜도 시나가와구 기다시나가와 6쪼메 7방 35고
(72) 발명자 사꼬다 가즈유끼
일본국 도꾜도 시나가와구 기다시나가와 6쪼메 7방 35고 소니가부시끼가이샤내
스즈끼 미쯔히로
일본국 도꾜도 시나가와구 기다시나가와 6쪼메 7방 35고 소니가부시끼가이샤내
(74) 대리인 신관호

심사청구 : 없음

(54) 필터장치

요약

본 발명에 의한 필터장치에서, 기준클럭발생수단은 소정의 주파수를 갖는 기준클럭신호를 발생시키고, 데이터신호생성수단은 기준클럭신호와 비동기하는 데이터신호를 생성하고, 트리거신호발생수단은 기준신호 1클럭의 간격을 초과하는 불일치가 기준클럭신호와 데이터신호간에 발생할 때 트리거신호를 발생시키고, 디지털회로수단은 기준클럭신호에 의거하여 데이터신호를 재표본화하고 기준신호의 1클럭간격에 대해 재표본화하는 표본화주기를 증가시키거나 감소시키므로써 재표본화의 배율을 변화시킨다. 기준신호와 데이터신호간의 일시적인 불일치가 검출된 타이밍의 경우에만 재표본화의 배율을 변화시키므로써, 기준신호와 데이터신호의 주파수가 서로 비동기함으로 인한 일시적인 불일치를 정정할 수 있고 송신신호의 스팩트럼왜곡의 발생을 방지할 수 있고, 또한, 어떤 곤란없이 송신신호의 생성을 위해, 데이터신호와 비동기하고 다른 시스템에 공급될 기준신호를 사용할 수 있다.

대표도

도3

명세서

도면의 간단한 설명

도 1은 종래의 송신필터 및 그 주변의 구성을 나타내는 블록도이다.

도 2a 내지 2c는 송신필터에 의한 신호의 처리의 설명에 사용된 개략도이다.

도 3은 제 1실시예에 의한 송신필터 및 그 주변의 구성을 나타내는 블록도이다.

도 4는 제 2실시예에 의한 송신필터의 내부구성을 나타내는 블록도이다.

도 5a 내지 5d는 주소분할에 의해 지시된 주소값의 상태천이의 설명에 사용된 개략도이다.

도 6은 제어신호가 카운터로부터 주어지지 않는 경우에 각 주소분할에 의해 발생된 주소값에 따라 변화하는 탭값의 설명에 사용된 타임차트이다.

도 7a 내지 7d는 주소분할에 의해 지시된 주소값의 상태천이의 설명에 사용된 개략도이다.

도 8은 각 주소분할의 제어순서를 설명하는 플로우차트이다.

도 9는 제어신호가 카운터로부터 주어지지 않는 경우에 각 주소분할에 의해 발생된 주소값에 따라 변화하는 탭값의 설명에 사용된 타임차트이다.

* 도면의 주요부분에 대한 부호설명

1,11. 발진기 2,3,13,15. 주파수분할기
4,14,20. 송신필터 5,16. 송신기호생성부
6,17.재표본화기 7,18.디지털필터

8,19. D/A변환기 12.클럭주파수변환기

21A～21D. 주소지정부 22A～22D. 곱셈기

23. 가산기 24. 카운터

25A～25D. 롬(ROM) 26A～26D. 이동레지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 필터 장치 및 무선통신단말장치에 관한 것으로 특히, 이용주파수대역이 한정되는 그런 통신매체를 통해 통신이 행해지는 무선통신시스템에서 사용되는 필터장치 및 무선통신단말장치에 적용될 수 있다.

지금까지는, 이와같은 종류의 무선통신단말장치에서, 전송될 데이터신호(이하, 기저대신호라 함)는 디지털신호로서 생성된다. 무선통신단말장치는 상기 생성된 기저대신호를 필터장치를 사용하므로써 소정의 주파수대역내에 머무는 아날로그 신호로 변환한다. 다음으로, 반송파는 아날로그신호로 변환된 기저대신호에 변조되고 이 변조된 신호는 전송된다.

도 1은 무선통신단말장치내에 설치된 필터장치의 회로구성을 전반적으로 나타내고, 발진기(1)에서 생성된 클럭신호(S1)는 주파수분할기(2)로 보내진다. 주파수분할기(2)는 클럭신호(S1)의 주파수를 정수분의 1로 낮추어서 기준클럭신호(S2)를 생성시키고, 그리고나서 이것을 주파수분할기(3)로 공급하고 또한 송신필터(4)로 공급한다. 주파수분할기(3)는 기준클럭신호(S2)를 정수분의 1로 더 낮추어서, 기준클럭신호(S3)를 생성시키고, 그리고나서, 이것을 송신기호생성부(5)로 공급한다. 이 무선통신단말기는 CDMA-PCS로 방향지어진 단말기로서 사용되고, ANSI규격의 J-STD-008은 송신기호생성부(5)에서 생성된 기저대신호의 주파수가 1.2288MHz가 되어야한다고 규정한다. 따라서, 발진기(1)에서 생성된 클럭신호(S1)가 19.6608MHz가 되어야하고, 주파수분할기(2)에서 생성된 기준클럭신호(S2)는 4.9152MHz가 되어야하고, 주파수분할기(3)에서 생성된 기준클럭신호(S3)는 1.2288MHz가 되어야한다.

송신기호생성부(5)는 주어진 기준 클럭신호(S3)에 따라, 기저대신호(S4)를 생성시킨다. 송신기호생성부(5)는 기준클럭신호(S3)와 같은 주파수를 갖는 기저대신호(S4)를 송신필터(4)로 보낸다.

송신필터(4)는 재표본화기(Re-sampler)(6)와 디지털아날로그변환기(이하, D/A변환기라 함)(8)를 포함하여 구성되고, 주파수분할기(2)로부터 주어진 기준클럭신호(S2)에 따라 작동한다. 송신필터(4)는 송신기호생성부(5)로부터 주어진 기저대신호(S4)를 재표본화기(6)에 입력한다. 재표본화기(6)는 기저대신호(S4)의 오버샘플링처리를 기준클럭신호(S2)의 주파수로 행한다. 따라서 재표본화기(6)는 기준클럭신호(S2)에 의거하여 기저대신호(S4)의 정수배인 주파수로 오버샘플링처리를 행한다. 재표본화기(6)는 상기 오버샘플링처리를 통해 얻어진 펄스신호(S5)를 디지털필터(7)로 송출한다. 디지털필터(7)는 소정의 주파수특성에 따라, 펄스신호(S5)를 재양자화한다. 디지털필터(7)는 상기 양자화에 의해 얻어진 양자화 신호(S6)를 D/A변환기(8)로 송출한다. D/A변환기(8)는 양자화 신호(S6)를 아날로그신호로 변환하여 이 신호의 소정의 주파수대역만을 아날로그 저역통과필터(도시되지 않음)로 추출하여 추력한다.

다시말해, 도 2a에 도시된 것처럼, 송신기호생성부(5)에서 생성된 기저대신호(S4)는 1.2288MHz의 임펄스스트링(Impulse string)이고, 이것을 주파수축에서 볼 때, 1.2288MHz폭의 대역이 각 1.2288MHz에 대해 반복적으로 나타난다.

도 2b에 도시된 것처럼, 재표본화기(6)는 각 기저대신호(S4)를 1.2288MHz의 4배인 4.9152MHz로 오버샘플링하여 기저대신호(S4)의 1대역폭을 4.9152MHz폭으로 넓힌다. 이 4.9152MHz의 1대역은 1.2288MHz의 오리지널정보를 4배만큼 포함한다. 구체적으로 말하면, 상기 오버샘플링은 기저대신호(S4)의 임펄스스트링사이에 세 개의 0의 정보(도면에서, 각 임펄스 사이에 점찍힌 부분)를 보간하므로써 수행된다.

도 2c에 도시된 것처럼, 상기와 같이 오버샘플링에 의해 얻어진 펄스신호(S5)의 대역은 디지털필터(7)에 의해 좁혀진다. 이런식으로 대역폭을 좁히므로써 얻어진 양자화신호(S6)를 보내므로써, 도면에 나타난 엔벌로프(Envelope)를 형성하는 신호를 발생시킬수 있다. 이와같이 발생된 신호를 아날로그 저역통과 필터를 통해 출력하므로써, 무선통신단말장치는 이 신호의 소정의 주파수대역만을 추출하여 출력한다.

이런식으로 송신필터(4)로 오버샘플링처리를 행하므로써, 무선통신단말장치는 기저대신호(S4)의 주파수대역들 사이의 각 간격을 넓힐 수 있고, 따라서 아날로그 저역통과 필터로 쉽게 소정의 주파수대역을 추출할 수 있다. 다시말해, 무선통신단말장치는 기저대신호(S4)를 오버샘플링처리에 노출시키므로써 아날로그 저역통과필터에 필요한 특성들을 경감하여 부하를 감소시키는데 적합하다.

반면, 상기한 ANSI규격의 J-STD-008은 송신/수신에 사용되는 부호분할다중접속(CDMA) 채널의 설정간격이 50kHz가 되어야한다고 규정한다. 따라서, 상기 규격에 따른 무선통신단말장치에서, 50kHz의 정수배의 클럭신호가 생성되고, 이것을 송신/수신된 신호의 주파수조절을 수행하기 위해 RF모듈내에 장치된 주파수분할기로 공급하고, PLL합성기가 작동되어, 이에의해 50kHz분할방식으로 튜닝이 행해진다.

다시말해, 상기로부터, ANSI규격의 J-STD 008에 의거한 무선통신단말장치에서, 기저대신호(S4)를 생성시키기 위한 클럭신호와 채널튜닝을 행하기 위한 클럭신호 각각을 생성시키기 위한 발진기를 분리하여 장치하는 것이 요구된다. 여기에서, 상기 두 신호의 공배수의 주파수를 갖는 클럭신호를 발생시키는 발진기를 제공하는 것이 제안될 수도 있지만, 그러나, 상기 주파수가 매우 높아지므로 실제 조건과 일치하

지 않는다.

그런데, 상기 구성의 무선통신단말장치에서, 상기한 바와같이, 기저대신호(S4)를 생성시키기 위한 발진기(1)와 채널의 튜닝을 위한 발진기가 모두 필요하다. 이에따라, 클럭신호는 고정밀도를 요구하므로, 온도보상형전압제어수정발진기(VCTCXO)라고 하는 발진기가 무선통신단말장치에 사용되는 클럭신호를 생성시키기 위한 발진기로서 보통 사용된다.

그런데, 분리발진기가 이런식으로 제공되는 경우에, 각 발진기의 위치가 장치에서 설정되어서 다른 구성요소의 설치를 위한 설치영역이 감소되는 문제가 있어서, 상기 구성이 복잡하게되고 장치의 최소화에 방해될 수 있다. 상기 문제를 회피하기 위해, 두종류의 주파수의 클럭신호를 하나의 발진기로부터 각각 생성하는 방법이 필요하다.

예를들어, 발진기에서 생성된 접촉되지 않은 클럭신호가 채널튜닝용 클럭신호로서 사용된다. 반면, 발진기에 의해 생성된 클럭신호의 주파수변환은 기저대신호를 발생시키기 위한 클럭신호를 생성하기 위해 수행된다. 이런식으로, 두 개의 다른 주파수를 갖는 클럭신호가 하나의 발진기에 의해 생성된 클럭신호로부터 얻어질 수 있다.

그런데, 상기 주파수변환에 의해 얻어진 기저대신호생성을 위한 클럭신호는 발진기에 의해 생성된 발진신호가 아니므로 지터(Jitter)성분을 포함한다. 상기 클럭신호는 디지털신호의 기저대신호의 생성시에 큰 문제를 일으키지 않는다. 그러나, 상기 클럭신호에 따라 생성된 기저대신호가 디지털아날로그변환되어 아날로그신호의 송신신호를 생성하기 위한 송신필터에 입력되는 경우에, 출력된 송신신호에 스펙트럼 왜곡이 발생하는 문제가 있다.

발명이 이루고자하는 기술적 과제

상기의 관점에서, 본 발명의 목적은 지터(Jitter)성분으로 인한 송신신호의 스펙트럼왜곡을 정정할 수 있고 구성을 간소화할 수 있는 송신필터 및 무선통신단말장치를 제공하는 것이다.

발명의 구성 및 작용

본 발명의 상기 목적 및 다른 목적은 본 발명에 의한 필터장치를 제공하므로써 성취되었는데, 상기 필터장치에서 기준클럭발생수단은 소정의 주파수를 갖는 기준클럭신호를 발생시키고, 데이터신호생성수단은 상기 기준클럭신호와 비동기하는 데이터신호를 생성하고, 트리거신호생성수단은 기준신호의 1 클럭 간격을 초과하는 불일치가 기준클럭신호와 데이터신호사이에 발생할 때 트리거신호를 발생시키고, 디지털회로수단은 기준클럭신호에 따라 데이터신호를 재표본화하고 상기 기준신호의 1클럭간격에 대한 재표본화의 표본화주기를 증가시키거나 감소시키므로써 재표본화의 배율을 변화시킨다.

상기 기준신호와 데이터신호사이에 일시적인 왜곡이 검출된 상기 타이밍의 경우에만 재표본화의 배율을 변화시키므로써, 기준신호의 주파수와 데이터신호의 주파수가 서로 비동기한다는 점에 기인한 일시적인 왜곡을 정정할 수 있고 송신신호의 스펙트럼 왜곡의 발생을 방지할 수 있고, 어떤 곤란없이 송신신호를 생성하기 위해 다른 시스템으로 공급된 데이터신호와 비동기하는 기준신호를 사용할 수 있다.

본 발명의 본질, 원리 및 유용성은 첨부도면과 관련하여 쓰여진 다음의 상세한 설명으로부터 더 명확해질 것이고 비슷한 부분은 비슷한 참고번호 또는 문자로 표시된다.

본 발명의 바람직한 실시예가 첨부도면을 참고로 설명될 것이다.

도 3은 무선통신단말장치내에 장치된 필터장치의 회로구성을 전체적으로 나타내는데, 여기에서 발진기(11)에서 발생된 클럭신호(S11)는 클럭주파수변환기(12)와 주파수분할기(13) 각각으로 공급된다. 19.8MHz인 클럭신호(S11)의 주파수는 송신기호생성부(16)에서 생성된 기저대신호(S15)의 1.2288MHz의 정수배가 아니다.

발진기(11)로부터 공급된 클럭신호(S11)에 의거하여, 주파수분할기(13)는 클럭신호(S11)의 주파수를 정수분의 1로 낮추므로써 생성된 기준클럭신호(S12)를 발생시킨다. 구체적으로, 클럭신호(S11)의 주파수는 4로 분할되어서, 4.95MHz의 주파수의 기준클럭신호(S12)를 발생시킨다. 주파수분할기(13)는 클럭신호(S11)와 기준클럭신호(S12)를 송신필터(14)에 공급한다. 송신필터(14)에서, 클럭신호(S11)는 재표본화기(17)와 디지털필터(18)로 공급되고, 기준클럭신호(S12)는 D/A변환기(19)로 공급된다.

반면, 클럭주파수변환기(12)는 각 소정의 주기동안 클럭신호(S11) 중에서 1펄스파를 발췌하여, 타이밍주파수가 변화된 클럭신호(S11)인 클럭신호(S13)를 발생시킨다. 구체적으로, 4125/29의 각 간격동안 클럭신호(S11) 중에서 1펄스파를 발췌하므로써, 기저대신호(S15)의 주파수 1.2288MHz의 정수배인 19.6608MHz의 기준클럭신호(S13)가 모방적으로 발생된다. 즉, 펄스파가 발췌되는 간격은 클럭신호(S11)의 주파수와 기저대신호(S15)의 주파수사이의 차이값과 클럭신호(S11)의 주파수의 비로부터 얻어진다. 즉,

$$\frac{f_H}{f_H - f_{out}}$$

여기서, f_{in}은 발진기(11)에 의해 발생된 클럭신호(S11)의 주파수이고, f_{out}는 기저대신호(S15)의 주파수이다. 상기 간격에 따라 클럭신호(S11)중에서 펄스파를 발췌하므로써, 클럭주파수변환기(12)는 f_{out} 의 주파수의 출력을 얻을 수 있다.

그런데, 클럭주파수변환기(12)의 출력인 클럭신호(S13)는 분할기(15)에 의해 분할된다. 따라서, 실제로, 펄스파가 발췌될 간격이 클럭신호(S11)의 주파수와 기저대신호(S15)의 주파수의 N배 사이의 차이와

클럭신호(S11)의 주파수의 비로부터 얻어진다. 즉,

$$\frac{f_H}{f_H-(Nf_{out})}$$

여기서, N은 주파수분할기(15)의 주파수분할율이다. 클럭신호(S11)의 주파수(f_{in})는 19.8MHz이므로, 기저대신호(S15)의 주파수는 1.2288MHz이고, 주파수분할기(15)의 주파수분할율(N)은 후술될 것처럼 16이고, 수학식 2로부터 알 수 있듯이, 기저대신호(S15)의 주파수 1.2288MHz의 출력은, 상기한 4125/29의 간격으로 펄스파를 발췌하여서 상기 펄스파가 발췌된 상기 신호를 주파수분할기(15)로 분할하므로써 얻어질 수 있다.

클럭 주파수 변환기(12)는 19.6608MHz의 상기 생성된 기준클럭신호(S13)를 주파수분할기(S15)로 송출한다. 주파수분할기(15)는 기준클럭신호(S13)의 주파수분할을 16의 주파수분할율에 의해 행하여서, 1.2288MHz의 기준클럭신호(S14)를 발생시키고, 다음으로 이것을 송신기호생성부(16)로 공급한다. 기준클럭신호(S14)에 따라, 송신기호생성부(16)는 동일한 주파수의 기저대신호(S15)를 발생시키고, 다음으로 이것을 송신필터(14)로 송출한다.

반면, 클럭주파수변환기(12)는 클럭신호(S11)중에서 펄스파를 발췌하는 타이밍에 트리거신호(S16)를 발생시키고, 이것을 송신필터(14)로 송출한다. 송신필터(14)는 트리거신호(S16)를 재표본화기(17)로 공급한다.

재표본화기(17)는 클럭신호(S11)에 따라, 기저대신호(S15)의 오버샘플링을 행한다. 오버샘플링의 배율은 기본적으로 16이다. 이 경우에, 기저대신호(S15)는 1.2288MHz이고 클럭신호(S11)는 19.8MHz이므로, 클럭신호(S11)와 기저대신호(S15)는 서로 동기화하지 않는다. 따라서, 재표본화기(17)의 재표본화의 페이스와 기저대신호(S15)의 입력페이스는 서로 엇갈리게 된다. 재표본화기(17)는 트리거신호(S16)를 사용하므로써 이 엇갈림을 정정한다.

트리거신호(S16)는 클럭주파수변환기(12)로부터 재표본화기(17)로 공급된다. 이 트리거신호(S16)는 19.8MHz의 클럭신호(S11)에서 펄스파를 발췌할 때에 발생되고, 따라서 트리거신호(S16)는 클럭신호(S11)와 19.6608MHz의 기준클럭신호(S13)사이에 엇갈림을 정정하기 위한 타이밍을 나타낸다.
재표본화기(17)는 1클럭을 트리거신호(S16)에 의해 나타내진 타이밍에 오버샘플링의 간격으로 삽입하고, 상기 타이밍의 경우에만 16이 아니라 17의 배율로 오버샘플링하고, 이에의해 상기 엇갈림을 정정한다.
재표본화기(17)는 기저대신호(S15)의 상기 오버샘플링에 의해 얻어진 19.8MHz의 펄스신호(S17)를 디지털필터(18)로 송출한다.

디지털필터(18)는 클럭신호(S11)에 의거하여 작동하고, 19.8MHz의 펄스신호(S17)의 주파수 대역폭을 감소시켜서, 4.95MHz의 양자화 신호(S18)를 발생시킨다. 구체적으로, 필터(18)는 하나에, 펄스신호(S17)의 4펄스파의 비율로 신호(S18)를 발생시킨다. 디지털필터(18)는 이런식으로 얻어진 양자화 신호(S18)를 D/A변환기(19)로 송출한다.

4.95MHz의 기준클럭신호에 의거하여 작동하는 D/A변환기(19)는 디지털신호인 양자화된 신호(S18)를 아날로그신호로 변환하여 이것을 출력한다. 이런식으로 아날로그로 변환된 신호는 그리고나서 아날로그저역통과필터(도시되지 않음)로 입력되고, 이의 원하는 주파수성분만이 추출된다.

발진기(11)에 의해 발생된 클럭신호(S11)의 주파수가 상기 구성에서 19.8MHz로 설정되는 이유가 설명될 것이다. 먼저, 클럭신호(S11)에 요구되는 4조건이 설명된다.

첫번째로, 무선통신단말장치에 사용되는 발진기는 일반적으로 전압제어수정발진기이고, 특히 10 여 MHz 내지 20 여 MHz의 주파수가 얻기 쉽다. 따라서, 클럭신호를 10 여 MHz 내지 20 여 MHz로 설정하는 것이 바람직하다. 두 번째로, 무선통신단말장치에서, 1.2288MHz의 기저대신호는 송신측 또는 수신측에서 8 또는 4의 배율로 오버샘플링되고, 따라서 적어도 1.2288MHz의 8배의 주파수인 클럭신호가 필요하다. 세 번째로, ANSI규격의 J-STD-008이 부호분할다중접속(CDMA)채널의 채널간격이 50kHz가 되어야한다고 규정하므로, 주파수가 50kHz의 정수배인 신호가 튜닝을 위한 클럭신호로서 필요하다. 네 번째로, ANSI규격의 J-STD-008이 아날로그 통신시스템을 취급할 수 있어야한다고 고려된다. 아날로그 통신시스템의 전형적인 형태인 고급 이동전화시스템(AMPS)에서, 채널간격은 30kHz이다. 따라서, 튜닝을 위한 클럭신호의 주파수가 정수×30kHz가 되는 것이 바람직하다.

그런데, 상기 조건을 전부 만족시키기는 어려우므로, 어떤 조건이 배제되어야한다. 여기에서, 제 2조건, 즉 주파수가 1.2288MHz의 8배가 되어야 하는 조건이 필요조건에서 배제된다. 그러나, 상기 구성 및 방법에 의해, 기저대신호(S15)의 주파수의 정수배에 가까운 주파수의 클럭신호(S11)를 사용하여, 기저대신호(S15)의 주파수의 정수배인 주파수의 기준클럭신호(S13)가 모방적으로 발생될 수 있으므로, 이것이 큰 문제를 일으키지 않는다.

즉, 제 2조건에 의한 기저대신호(S15)의 주파수의 정수배이며 제 1조건을 만족시킬 수 있는 주파수는 19.6608MHz의 주파수의 신호가 되나, 이 주파수는 제 3조건을 만족시킬 수 없다. 따라서, 19.8MHz의 주파수가 19.6608MHz에 가깝고 제 3 및 제 4조건을 만족시키므로, 19.8MHz 주파수의 신호가 발진기(11)에서 발생된 클럭신호(S11)로서 적합하다고 알려져 있다.

무선통신단말장치는 발진기(11)에 의해 상기 조건을 만족시키는 19.8MHz의 클럭신호를 발생시키고, 이것을 채널(도시되지 않음)의 튜닝을 위해 사용하고, 그리고나서 클럭 주파수 변환기(12)로, 수학식 2로부터 얻어진 각 간격에서의 클럭신호로부터의 펄스파를 취하여서, 19.6608MHz 주파수의 기준클럭신호(S13)가 모방적으로 발생될 수 있고, 1.2288MHz의 기저대신호(S15)가 이 기준클럭신호(S13)로부터 발생될 수 있다.

이런식으로, 무선통신단말장치는 발진기에 의해 발생된 클럭신호(S11)에 따라 기준클럭신호(S13)를 모방적으로 발생시키는데 적합하고, 따라서 단일 발진기(11)에 의해 발생된 클럭신호(S11)로부터, 상기 무선

통신단말장치는 다른 주파수의 기준클럭신호(S13)를 얻을 수 있어서, 전체 구조가 간단하게 될 수 있다. 일반적으로 발진기(11)로서 사용된 온도보상형전압제어수정발진기(VCTCXO)가 비싸므로, 무선통신단말장치 전체가 어떤 곤란없이 단일 발진기(11)에 의해 발생된 클럭신호(S11)만으로 구동되는데 적합하다. 따라서, 장치의 비용이 감소될 수 있다.

또한, 기준클럭신호(S13)에 의거하여 발생된 기저대신호(S15)는 재표본화기(17)에 의해 오버샘플링된다. 구체적으로, 재표본화기(17)는 오버샘플링처리를 행하고, 기저대신호(S15)의 16배의 주파수인 19.6608MHz를 작동주파수로서 가상적으로 처리하여서, 기저대신호(S15)는 16의 배율로 오버샘플링처리된다. 그러나, 재표본화기(17)는 실제로 19.8MHz의 클럭신호(S11)에 따라 구동되고, 따라서 기저대신호(S15)의 입력이 오버샘플링처리에 대해 지연되는 타이밍이 발생한다. 상기 지연이 발생한 상태에서 오버샘플링처리가 수행되는 경우에, 스펙트럼왜곡이 상기 얻어진 펄스신호(S17)에서 발생한다.

이런 이유로, 트리거신호(S16)는 클럭 주파수 변환기(12)로부터 재표본화기(17)로 공급되고, 표본화의 배율은 트리거신호(S16)에 의해 지시된 타이밍에 따라 변화된다. 클럭주파수변환기(12)는 1클럭에 해당하는 펄스파의 부분만을 각 소정의 간격동안 클럭신호(S11)로부터 제거하므로써 기준클럭신호(S13)를 모방적으로 발생시키고, 재표본화기(17)의 제거의 타이밍을 지시하는 트리거신호(S16)를 재표본화기(17)로 공급한다. 재표본화기(17)는 기본적으로 16의 배율로 오버샘플링처리를 수행하고 상기 트리거신호(S16)가 입력된 타이밍의 경우에만 17의 배율로 오버샘플링처리를 행한다.

즉, 1클럭에 해당하는 펄스파의 부분을 클럭주파수변환기(12)에 의해 제거함으로 인해, 재표본화기(17)의 샘플링주파수와 기저대신호(S15)가 서로 동기하지 않는다는 사실에 비추어, 1클럭에 해당하는 크기만큼 표본화의 배율을 증가시키고 트리거신호(S16)에 의해 지시된 타이밍의 경우에 17의 배율로 오버샘플링을 수행하므로써, 상기 지연에 의한 타이밍 불일치가 정정될 수 있다.

이런식으로, 무선통신단말장치는 트리거신호(S16)에 따라 재표본화기(17)의 표본화배율을 변화시키므로, 표본화주파수에 대해 기저대신호(S15)의 타이밍의 엇갈림이 정정될 수 있고, 펄스신호(S17)에서 발생한 스펙트럼왜곡이 최소화될 수 있다. 이에따라, 상기 정정처리가 수행되었더라도, 펄스신호(S17)의 에너지(즉, 스펙트럼)에는 약간의 왜곡이 발생하지만, 에너지가 16/17로 약간만 감소되므로, 이것은 큰 문제가 되지 않는다.

상기 구성에 의하면, 1클럭에 해당하는 펄스파의 부분을 발진기(11)에 의해 소정의 간격으로 생성된 클럭신호(S11)로부터 클럭주파수변환기(12)에 의해 제거하므로써, 다른 주파수의 기준클럭신호(S13)가 얻어질 수 있는 반면, 펄스파 제거시에 클럭주파수변환기(12)에 의해 발생된 트리거신호(S16)에 따라 표본화의 배율을 변화시키므로써, 재표본화기(17)를 구동하기 위한 클럭신호(S11)와 기저대신호(S15)사이의 동기적 불일치가 정정될 수 있고, 펄스신호(S17)에서 발생된 스펙트럼왜곡이 최소화될 수 있다. 기저대 신호(S15)와 동기하지 않는 클럭신호(S11)의 사용에 의해 오버샘플링처리가 어떤 곤란없이 이런식으로 수행될 수 있으므로, 무선통신단말장치가 간단한 구조로 실현될 수 있다.

도 4에서, (20)은 무선통신단말장치에서 송신필터의 내부구조를 전체적으로 나타내고, 이것은 디지털필터와 재표본화기가 일체된 상기 회로구조를 갖는다.

19.8MHz의 클럭신호(S11)(도 3)의 주파수분할을 수행하므로써 얻어진 4.95MHz의 기준클럭신호(S20)는 송신필터(20)로 공급되고, 이 기준클럭신호(S20)는 주소지정부(21A 내지 21D)와 곱셈기(22A 내지 22D)와 가산기(23)에 입력된다. 그리고, 또한 기준클럭신호(S20)는 D/A변환기(19)로 공급된다.

송신필터(20)는 클럭주파수변환기(12)(도 3)로부터 주어진 트리거신호(S16)를 카운터(24)와 주소지정부(21A)에 입력한다. 여기에서, 트리거신호(S16)가 주소지정부(21A)에 입력된 경우에, 주소지정부(21A 내지 21D)는 주소지정부(21A 내지 21B)로부터의 트리거신호(S16)를 차례로, (21B)로부터 (21C)로, 그리고나서 (21C)로부터 (21D)로 송출한다. 반면, 카운터(24)는 트리거신호(S16)의 입력의 수를 세어서, 4입력에 한 번 제어신호(S21)를 주소지정부(21A 내지 21D)로 보낸다.

기준클럭신호(S20)가 입력될 때마다, 각 주소지정부(21A 내지 21D)는 각 롬(ROM)에 기억된 데이터를 읽기 위한 주소를 연산하고 그리고나서 얻어진 주소값을 해당 롬(25A 내지 25D)으로 송출한다. 제어신호(S21)가 카운터(24)로부터 공급된 경우에, 각 주소지정부(21A 내지 21D)는 미리 설정된 소정의 값의 주소값을 선택하고, 이것을 해당 롬(25A 내지 25D)에 송출한다.

각 롬(25A 내지 25D)은, 16배율로 기저대신호(S15)의 오버샘플링을 수행하기 위한 후술될 탭값을, 각 주소값에 대해 데이터로서, 기억하고 있고, 각 주소지정부(21A 내지 21D)에 의해 지정된 주소값에 따라 이 탭값을 발생시킨다. 구체적으로, 롬(25A)은 주소값 0 내지 16에 각각 0 내지 16번째 탭값을 기억하고 있고, 롬(25B)은 주소값 0 내지 16에 각각 16번째 내지 32번째 탭값을 기억하고 있고, 롬(25C)은 주소값 0 내지 16에 각각 32번째 내지 48번째 탭값을 기억하고 있고, 롬(25D)은 주소값 0 내지 16에 각각 48번째 내지 64번째 탭값을 기억하고 있다. 이것은, 디지털필터로서 작동할 때 탭의 수가 65인 경우에 대한 설정이고, 트리거신호(S16)는 클럭신호(S11)에 대해 65펄스 이하의 간격내에서는 발생되지 않을 것이다.

도 5a 내지 도 5d는, 디지털필터의 탭의 수가 65이고 트리거신호가 65이하의 간격내에서 발생되지 않을 경우에, 주소지정부(21A 내지 21D)에 의해 출력된 값에 따라 롬(25A 내지 25D)으로부터 각각 출력된 값의 상태천이도이다.

도 5a에 도시된 바와같이, 예를들어 주소지정부(21A)에서, 주소값이 지정되어 롬(25A)으로부터 읽혀진 탭값이 시퀀스 3, 7, 11, 15가 반복되는 상태가 되고, 트리거신호(S16)가 입력되면, 주소값이 천이되어 탭값은 2, 6, 10, 14의 반복상태가 된다. 반면, 도 5b에 도시된 바와같이, 예를들어 주소지정부(21B)에서, 주소값이 지정되어 롬(25B)으로부터 읽혀진 탭값이 시퀀스 19, 23, 27, 31를 반복하는 상태가 되고, 트리거신호(S16)가 입력되면, 주소값은 천이되어 탭값은 18, 22, 26, 30을 반복하는 상태가 된다. 반면, 도 5c에 도시된 바와같이, 예를들어, 주소지정부(21C)에서, 주소값이 지정되어 롬(25C)으로부터 읽혀진 탭값은 시퀀스 35, 39, 43, 47를 반복하는 상태가되고, 트리거신호(S16)가 입력되면, 주소값은

천이되어 34, 38, 42, 46을 반복하는 상태가 된다. 반면, 도 5d에 도시된 것처럼, 예를들어, 주소지정부(21D)에서, 주소값은 지정되어 롬(25D)으로부터 읽혀진 탭값은 시퀀스 51, 55, 59, 63을 반복하는 상태가 되고, 트리거신호(S16)가 입력되면, 주소값은 천이되어 탭값은 50, 54, 58, 62를 반복하는 상태가 된다.

즉, 주소지정부(21A 내지 21D)에서, 새롭게 지정된 주소값은 기준클럭신호(S20)에 의해 지시된 각 타이밍에서 다음식으로부터 연산된다.

$$addr\text{-}@w = (addr\text{-}old+4) \mod 16 + N$$

$$\text{여기에서, } \begin{cases} 21A\text{에서 } N=0 \\ 21B\text{에서 } N=16 \\ 21C\text{에서 } N=32 \\ 21D\text{에서 } N=48 \end{cases}$$

여기에서, 새롭게 지정된 주소값은 addr-new로서 표시되고, 이전 타이밍에서 지정된 주소는 addr-old로서 표시된다. 이것은 다음에 지정된 주소가 연산되어 이것이 이전 주소값으로부터 네번째로 점프함을 의미한다. 4개의 주소값마다 각 롬(25A 내지 25D)에 기억된 16배 오버샘플링을 위한 탭값을 읽으므로써, 송신필터(20)는 19.8MHz 주파수로 16배 오버샘플링에 의해 얻어진 기저대신호(S15)를 주파수 4.95MHz로 상기와 같이 송출한다.

트리거신호(S16)가 입력되고 플래그(Flag)가 설정된 경우에, 새로운 천이상태로 변화하기 위한 주소값은, 기저대신호(S15)와 기준클럭신호(S20)의 타이밍의 불일치를 정정하기 위해, 기준클럭신호(S20)에 의해 지시된 각 타이밍에서 다음식으로부터 연산된다.

$$addr\text{-}@w = (addr\text{-}old+4-1) \mod 16+N$$
$$= (addr\text{-}old+3) \mod 16+N$$

$$\text{여기에서, } \begin{cases} 21A\text{에서 } N=0 \\ 21B\text{에서 } N=16 \\ 21C\text{에서 } N=32 \\ 21D\text{에서 } N=64 \end{cases}$$

이후에, 주소지정부(21A)는 다시 수학식 3에 따라 주소값을 계속해서 연산한다.

도 6에 도시된 바와같이, 주소값의 상기 지정에 의거하여 각 롬(25A 내지 25D)으로부터 읽어진 탭값은 소정의 반복 시퀀스에 따라 변화한다. 트리거신호(S16)가 여기에서 입력됨으로 인해 플래그가 설정된 경우에, 주소값이 가장 앞쪽 주소값으로 복귀될 때, 예를들어 탭값이 15에서 3으로 이동될 때, 탭값을 시퀀스 3, 7, 11, 15 의 반복상태내에서 변화시키는 주소값 천이는 새로운 천이상태로 이동하고 시퀀스 2, 6, 10, 14의 반복상태로 된다. 마찬가지로, 트리거신호(S16)가 입력되므로 인해 플래그가 설정된 경우에, 19, 23, 27, 31의 반복상태는 18, 22, 26, 30의 천이상태로 이동하는 한편, 35, 39, 43, 47의 반복상태는 34, 38, 42, 46의 천이상태로 이동하고, 한편, 51, 55, 59, 63의 반복상태는 50, 54, 58, 62의 반복상태로 이동한다.

트리거신호(S16)가 예를들어, 65(즉, 필터의 탭의 수)펄스이하의 간격으로 발생되는 경우에, 2 이상의 탭값은 겹쳐지는 방식으로 각 롬(25A 내지 25D)에 기억될 수 있다. 주소지정부(21C 및 21D)에 대해서, 트리거신호(S16)가 33펄스이상의 간격으로 발생될 수 있는 경우에(즉, 32펄스 이하의 간격으로는 발생되지 않고, 35펄스 이하의 간격으로 발생될 수 있는 경우에), 도 7a 내지 7d에 나타난 바와같이, 이들이 새롭게 이동된 천이상태는 트리거신호(S16)가 입력된 경우와 트리거신호(S21)가 입력된 경우간에 다르다.

도 7c에 나타난 바와같이, 주소지정부(21C)가 상기의 주소값을 발생시켜 롬(25C)으로부터 읽어진 탭값이 33, 37, 41, 45의 반복상태가 되게할 때, 트리거신호(S16)의 입력에 따른 플래그가 설정된 경우에, 주소지정부(21C)는 탭값이 32, 36, 40, 44의 반복상태내에서 변화하는 주소값의 천이상태로 이동한다. 그리고나서, 제어신호(S21)신호가 입력되고 48번째 탭값이 발생되고나면, 주소지정부(21C)는 탭값이 36, 40, 44, 48의 반복상태내에서 변화하는 주소값의 천이상태로 이동한다.

그런데, 이 경우에 트리거신호(S16)는 48펄스 이하의 간격으로 발생될 수 있고, 그리고 트리거신호(S16)가 계속해서 48펄스 이하의 간격으로 입력되는 경우에는 상기 주소지정부(21C)가 상기 주소값을 발생시켜 롬(25C)으로부터 읽어진 탭값이 33, 37, 41, 45의 반복상태가 되면 제어신호(S21)는 주소지정부(21C)로 입력된다. 이 경우에 49번째 탭값이 발생되고 나면, 주소지정부(21C)는 탭값을 37, 41, 45, 49의 반복상태내에서 변화하도록 하는 주소값의 천이상태로 이동한다. 이후에, 트리거신호(S16)가 입력되므로, 주소지정부(21C)는 탭값을 36, 40, 44, 48의 반복상태내에서 변화하도록 하는 주소값의 천이상태로 이동한다.

마찬가지로, 주소지정부(21D)가 롬(25D)으로부터 읽어진 탭값을, 도 7d에 나타난 바와같이, 50, 54, 58, 62의 반복상태가 되도록하는 주소값을 발생시킬 때, 트리거신호(S16)가 주소지정부(21D)에 입력되는 경우와 제어신호(S21)가 주소지정부(21D)에 입력되는 경우가 있다. 제어신호(S21)가 입력되는 경우는 여기에서 트리거신호(S16)가 연속적으로 48펄스 이하의 간격으로 입력된 경우이다. 트리거신호(S16)

가 입력된 경우에, 주소지정부(21D)는 탭값을 49, 53, 57, 61의 반복상태 내에서 변화하도록 하는 주소값의 천이상태로 이동하는 반면, 제어신호(S21)가 입력된 경우에, 주소지정부(21D)는 66번째 탭값을 발생시키고 그리고나서 탭값을 54, 58, 62, 66의 반복상태내에서 변화하도록 하는 주소값의 천이상태로 이동한다.

게다가, 또한 트리거신호(S16)가 입력되고 이에의해 주소지정부(21D)가 탭값을 49, 53, 57, 61의 반복상태 내에서 변화하도록 하는 주소값의 천이상태로 이동할 경우에는, 트리거신호(S16)가 입력되는 경우와 제어신호(S21)가 입력되는 경우가 있다. 제어신호(S21)가 입력되는 경우는 여기에서 트리거신호(S16)가 64펄스 이하의 간격으로 계속해서 입력된 경우이다. 트리거신호(S16)가 입력된 경우에는, 주소지정부(21D)는 탭값을 48, 52, 56, 60의 반복상태 내에서 변화하도록 하는 주소값의 천이상태로 이동하는 반면, 제어신호(S21)가 입력된 경우에는 주소지정부(21D)는 65번째 탭값을 발생시키고 그리고나서 이 탭값을 53, 57, 61, 65의 반복상태내에서 변화하도록 하는 주소값의 천이상태로 이동한다.

이런식으로, 탭값은 트리거신호(S16)의 간격에 따라 각 롬(25A 내지 25D)에 계속 기억되고, 각 주소지정부(21A 및 21D)는 주소값의 천이에 따라 탭값을 해당 롬(25A 내지 25D)으로부터 읽어서 이들을 곱셈기(22A 및 22D)로 각각 송출한다.

한편, 송신필터(20)는 송신기호발생부(16)(도 3)로부터 공급된 기저대신호(S15)를 입력버퍼(도시되지 않음)를 사용하여 일정시간동안 지연하고나서, 이 기저대신호(S15)를 이동레지스터(26A)에 입력한다. 구체적으로 말하면, 기저대신호(S15)는 데이터가 기호의 단위로 분할되는 경우의 1신호크기만큼 지연된다. 이동레지스터(26A)는 상기와 같이 입력된 기저대신호(S15)를 기호의 단위로 기억하고, 이 기호단위데이터를 곱셈기(22A)로 공급한다. 게다가, 다음 기호단위 데이터가 입력되면, 이동레지스터(26A)는 이전에 기억된 기호단위 데이터를 다음 단계, 즉 이동레지스터(26B)로 이동시킨다. 이동레지스터(26B)는 이동에 의해 이동레지스터(26A)로부터 입력된 기호단위 데이터를 기억하고, 바로 이 기호단위 데이터를 곱셈기(22B)에 공급한다. 게다가, 다음데이터가 이동되고 이동레지스터(26A)로부터 입력될 때, 이동레지스터(26B)는 이전에 기억된 기호단위 데이터를 다음단계 즉, 이동레지스터(26C)로 이동시킨다. 이동레지스터(26C)는 이동레지스터(26B)로부터 이동되어 입력된 기호단위데이터를 기억하고, 바로 이 기호단위 데이터를 곱셈기(22C)에 공급한다. 또한, 다음 기호단위 데이터가 이동레지스터(26B)로부터 이동되어 입력될 때, 이동레지스터(26C)는 이전에 기억된 기호단위 데이터를 다음단계 즉, 이동레지스터(26D)로 이동시킨다. 이동레지스터(26D)는 이동레지스터(26C)로부터 이동되어 입력된 기호단위 데이터를 기억하고, 바로 이 기호단위 데이터를 곱셈기(22D)에 송출한다.

또한, 다음 기호단위 데이터가 이동레지스터(26C)로부터 이동되어 입력될 때, 이동레지스터(26D)는 이전에 기억된 기호단위 데이터를 소거하여 새로운 기호단위 데이터를 기억한다.

각 곱셈기(22A 내지 22D)는 이동레지스터(26A 내지 26D)로부터, 해당 롬(25A 내지 25D)으로부터 주어진 지시된 탭값에 의해, 기준클럭신호(S20)에 의해 지시된 각 타이밍에,상기와 같이 송출된 기저대신호의 각 기호단위 데이터를 곱하고, 그리고나서 이 얻어진 값을 가산기(23)에 송출한다. 가산기(23)는 기준클럭신호(S20)에 의해 지시된 각 타이밍에 이 값들을 가산하고, 이 얻어진 양자화신호(S18)를 D/A변환기(19)에 공급한다. 기준클럭신호(S20)에 따라 작동하는 D/A변환기(19)는 상기 디지털신호인 양자화신호(S18)를 아날로그 신호로 변환하고, 그리고나서 이것을 출력한다. 이에따라, 이런식으로 아날로그로 변환된 신호는 그 다음으로 아날로그 저역통과필터(도시되지 않음)에 입력되어서, 이것의 원하는 주파수성분만이 취해진다.

여기에서, 각 주소지정부(21A 내지 21D)는 탭값을 읽기 위한 주소값을 후술될 제어순서로 연산하고, 그 다음으로 여기에서 얻어진 주소값을 각각 해당 롬(25A 내지 25D)에 송출한다.

도 8에 도시된 바와같이, 각 주소지정부(21A 내지 21D)는 스텝(SP1)에서 순서를 시작하고, 그 다음으로 먼저 각각 해당 롬(25A 내지 25D)으로 송출된 주소값의 초기값을 스텝(SP2)에서 설정한다. 다음으로, 스텝(SP3)에서, 각 주소지정부(21A 내지 21D)는 주소값의 반복상태를 세는 카운트값(C0)을 0으로 설정한다. 다음으로, 스텝(SP4)에서, 각 주소지정부(21A 내지 21D)는 기준클럭신호(S20)에 의거한 클럭입력을 검출해야한다. 만약 검출되지 않으면, 입력될 때까지 대기상태가 유지된다. 검출되면, 다음 스텝으로 진행한다. 다음으로, 스텝(SP5)에서, 클럭의 입력이 검출된 각 주소지정부(21A 내지 21D)는 설정된 주소값을 해당 롬에 송출하여, 이것이 상기 주소값에 해당하는 탭값을 읽도록 한다.

이런식으로 상기 주소값을 송출한 각 주소지정부(21A 내지 21D)는 스텝(SP6)에서 다음 지정을 위해 새로운 주소값을 연산한다. 새롭게 지정된 주소값은 4를 마지막에 지정된 주소값에 가산하므로써 연산된다. 스텝(SP7)에서, 각 주소지정부(21A 내지 21D)는 1을 카운터값(C0)에 가산한다. 스텝(SP8)에서, 만약 이런식으로 카운트된 카운터값(C0)이 4이면, 즉, 만약 스텝(SP4 내지 SP7)이 4번 반복되면, 각 주소지정부(21A 내지 21D)는 다음 스텝으로 진행한다. 만약 카운트값(C0)이 4가 아니면, 주소지정부(21A 내지 21D)는 스텝(SP4)으로 복귀하여, 현재의 주소천이 상태를 반복한다.

만약 스텝(SP8)에서 스텝(SP4 내지 SP7)이 4번 반복된 것으로 판정되면, 각 주소지정부(21A 내지 21D)는 스텝(SP9)으로 진행하고, 제어신호(S21)가 카운터(24)로부터 입력되었는지를 판단한다. 각 주소지정부(21A 내지 21D)에서, 플래그는 제어신호(S21)가 입력될 때 설정되어서, 만약 제어신호(S21)가 어떤 타이밍에 입력되면, 그 후에 제어신호(S21)는 검출될 수 있다. 여기에서, 만약 제어신호(S21)가 입력되었음을 지시하는 플래그가 온(On)이면, 스텝(SP15)으로 진행하고, 아니면, 스텝(SP10)으로 진행한다.

제어신호(S21)가 입력되지 않은 경우에, 스텝(SP10)에서, 각 주소지정부(21A 내지 21D)는 트리거신호(S16)가 클럭주파수 변환기(12)(도 3)로부터 입력되었는지를 판단한다. 각 주소지정부(21A 내지 21D)에서, 플래그는 트리거신호(S16)가 입력될 때, 설정되고, 따라서, 만약 트리거신호(S16)가 어떤 타이밍에 입력되면, 그 후에 트리거신호(S16)는 검출될 수 있다. 여기에서, 만약 트리거신호(S16)가 입력되었음을 지시하는 플래그가 온이면, 스텝(SP12)으로 진행하고, 아니면, 스텝(SP11)으로 진행한다.

제어신호(S21) 또는 트리거신호(S16)가, 주소값의 천이상태(SP4 내지 SP8)가 이런식으로 4번 반복된 상기 시점에서 입력되지 않았으면, 각 주소지정부(21A 내지 21D)는 스텝(SP11)에서, 현재 주소값에서 16을 감산하고 이에의해 새로운 주소값을 연산한다. 예를들어, 주소값이 현재상태에 19인 경우에, 현재주소값인 mod16으로부터 16을 감산하므로써, 3이 새로운 주소값으로서 얻어진다. 제어신호(S21)또는 트리거신호(S16)가 입력되지 않은 경우에, 주소의 천이는 3, 7, 11, 15에서 15에서 3까지 복귀하는 반복상태(SP3 내지 SP11)로 행해지고, 스텝(SP3)으로 복귀한다.

한편, 제어신호(S21)는 입력되지 않고 트리거신호(S16)가 입력된 경우에, 각 주소지정부(21A 내지 21D)는 주소값으로부터 1을 감산하고 이에의해 새로운 주소값을 연산한다. 이 후에, 스텝(SP13)에서, 각 주소지정부(21A 내지 21D)는 트리거신호(S16)에 의거하여 설정된 플래그를 소거하고, 이 트리거신호(S16)를 스텝(SP14)에서 다음단계로 송출한다. 즉, 트리거신호(S16)는 먼저 주소지정부(21A)에 입력되고, 스텝(SP13)에서 플래그를 소거한 후에, 다음단계 즉, 주소지정부(21B)에 입력된다. 마찬가지로, 트리거신호(S16)는 스텝(SP13)에서 각각 플래그가 소거된 후에, 주소지정부(21B)로부터 주소지정부(21C)에 입력되고, 주소지정부(21C)로부터 주소지정부(21D)에 입력된다.

각 주소지정부(21A 내지 21D)가 트리거신호(S16)를 다음단계로 송출한 후에, 주소지정부는 스텝(SP11)으로 진행하여, 새로운 주소값을 연산한다. 이 때에, 각 주소값은 1만큼 감소되므로, 새로운 반복상태로의 이동이 행해진다(도 5).

반면, 제어신호(S21)가 입력된 경우에, 각 주소지정부(21A 내지 21D)는 스텝(SP15)으로 진행하고, 기준클럭신호(S20)에 따른 클럭입력이 검출되었는지를 판단한다. 만약 클럭이 검출되지 않았으면, 입력될 때까지 대기상태가 유지되고, 검출되었으면 다음단계로 진행한다. 그리고나서 클럭입력을 검출한 각 주소지정부(21A 내지 21D)는 현재상태에서 얻어진 주소값을 해당 롬(25A 내지 25D)으로 송출한다. 다음으로, 각 주소지정부(21A 내지 21D)는 스텝(SP17)에서, 제어신호(S21)의 입력에 따라 설정된 플래그를 소거한다. 플래그를 소거한 후에, 스텝(SP18)에서, 각 주소지정부(21A 내지 21D)는 4를 상기 주소값에 가산한다. 이 후에, 각 주소지정부(21A 내지 21D)는 스텝(SP10)으로 진행하여서 트리거신호(S16)의 검출을 수행한다. 트리거신호(S16)가 검출되면, 스텝(SP12)으로 진행하고, 검출되지 않으면, 스텝(SP11)으로 진행한다.

도 9에 도시된 바와같이, 각 주소지정부(21A 내지 21D)에서, 특정조건의 경우에 즉, 트리거신호(S16)가 입력된 경우와 제어신호(S21)가 트리거신호(S16)의 입력을 4번 카운트한 카운터(24)로부터 입력된 경우에, 주소값의 천이상태는 소정의 반복상태에서 다른 반복상태로 변화한다.

제어신호(S21)가 입력된 사실에 근거하여 설정되는 플래그가 설정된 경우에, 주소지정부(21A)가 16번째 탭값을 지정하기 위한 주소값을 송출한 후에, 예를들어 주소지정부(21A)는, 탭값이 0, 4, 8, 12의 반복상태내에서 변화하는 주소값의 천이상태를 새로운 천이상태 즉, 3, 7, 11, 15의 반복상태로 변화시킨다. 마찬가지로, 제어신호(S21)의 입력에 의거한 플래그가 설정된 경우에, 주소지정부(21B)가 32번째 탭값을 지정하기 위한 주소값을 송출한 후에, 주소지정부(21B)는 탭값이 16, 20, 24, 28의 반복상태내에서 변화하는 주소값의 천이상태를 새로운 천이상태 즉, 20, 24, 28, 32의 반복상태로 변화시킨다. 반면, 주소지정부(21C)는, 주소지정부(21C)가 48번째 탭값을 지정하기 위한 주소값을 송출한 후에, 탭값이 32, 36, 40, 44의 반복상태내에서 변화되는 주소값의 천이상태를 새로운 천이상태 즉, 36, 40, 44, 48의 반복상태로 변화시킨다. 게다가, 주소지정부(21D)는, 주소지정부(21D)가 64번째 탭값을 지정하기 위한 주소값을 송출한 후에, 탭값이 48, 52, 56, 60의 반복상태 내에서 변화하는 주소값의 천이상태를 새로운 천이상태 즉, 52, 56, 60, 64의 반복상태로 변화시킨다.

상기 구성에서, 송신필터(20)는 송신필터(14)(도 3)의 경우처럼 19.8MHz로 구동되는 것이 아니라, 그의 1/4인 4,95MHz로 구동되도록 맞추어져 있다. 따라서, 송신필터(20)는 탭값을 읽기 위해 지정된 주소값을 4번째로 뛰어넘는 방식(Skip-to-fourth)으로 발생시킨다. 즉, 롬(25A 내지 25D)에 기억된 탭값 자체는 16배 오버샘플링을 위한 탭값이기 때문에, 이들을, 상기 4번째로 뛰어넘는 방식으로 발생된 주소값을 사용하여 읽으므로써, 오리지널표본화주파수의 1/4인 4.95MHz 갖는 기저대신호(S15)의 16배 오버샘플링을 행할 수 있다.

게다가, 트리거신호(S16)에 의해 지시된 기저대신호(S15)와 기준클럭신호(S20)간의 불일치에 대한 정보는 또한, 상기 트리거신호(S16)의 4수신당 한 번 카운터로부터 발생된 트리거신호(S16) 및 제어신호(S21)에 의해 주소지정에 반영된다. 이에 대응하여, 각 주소지정부(21A 내지 21D)는 상기 타이밍의 엇갈림을 정정하기 위해 주소값을 이동시킨다.

즉, 송신필터(20)는, 4.95MHz의 기준클럭신호(S20)의 타이밍에 시작 주소값으로부터 4번째로 뛰어넘는 방식으로, 탭값을 읽기 위해 지정된 주소값을 연산하고, 트리거신호(S16) 또는 제어신호(S21)가 입력될 때, 상기 시작주소값을 이동하므로써 상기 주소를 지정하여 표본화배율을 다양화하고, 따라서 기저대신호(S15)와 기준클럭신호(S20)의 타이밍의 불일치를 정정할 수 있고, 기준클럭신호(S20)의 타이밍으로 기저대신호(S15)를 정규화할 수 있다. 이에의해, 송신필터(20)는 재표본화기(17)와 디지털필터(18)가 일체되는 간단한 구성으로 형성될 수 있고, 송신필터(14)(도 3)에 비해 저속클럭으로 구동될 수 있다. 게다가, 기저대신호(S15)를 기준클럭신호(S20)의 타이밍으로 정규화할 수 있고 오버샘플링처리와 필터처리를 행할 수 있다.

게다가, 송신필터(S20)는 입력버퍼(도시되지 않음)에 기저대신호(S15)를 일시적으로 기억하고 그리고나서 그것을 이동레지스터(26A 내지 26D)에 입력하는데 이용된다. 즉, 트리거신호(S16)가 항상 이상적인 타이밍에 입력되지는 않으므로(도 9), 기저대신호(S15)의 입력은 상기와 같이 입력버퍼를 사용하므로써 소정의 타임만큼 지연되고, 따라서 주소지정부(21A 내지 21D)로부터 송출된 주소값에 따른, 롬(25A 내지 25D)을 향한, 주소지정이 확실하게 행해질 수 있다.

상기 구성에 의하면, 기저대신호(S15)의 16배 오버샘플링을 위해 롬(25A 내지 25D)에 기억된 탭값을 읽기 위해 지정된 주소값은 주소지정부(21A 내지 21D)에 의해 연산되어 4번째로 건너뛰고,

트리거신호(S16)가 입력되거나 제어신호(S21)가 트리거신호(S16)의 4입력당 한 번 카운터(24)에 의해 송출되는 특정한 경우에, 주소값의 천이가 행해지고, 표본화의 배율이 변화되어서, 기저대신호(S15)와 기준클럭신호(S20)의 타이밍의 불일치는 정정될 수 있고 기저대신호(S15)는 기준클럭신호(S20)의 타이밍으로 정규화될 수 있어서, 따라서 재표본화기(17)와 디지털필터(18)(도 3)가 일체되는 구성이 가능하고, 4.95MHz의 기준클럭신호(S20)의 타이밍으로, 19.8MHz의 클럭신호(S11)가 사용된 경우와 비슷한 16배 오버샘플링이 가능하고, 기준클럭신호(S20)와 기저대신호(S15)간의 동기적 불일치를 정정할 수 있다. 이런식으로, 간단한 구조를 갖고 저속클럭으로 구동될 수 있는 송신필터(20)를 실현할 수 있고, 이 송신필터(20)는 기저대신호(S15)에서 비동기 주파수로 인해 발생된 스펙트럼왜곡이 최소화될 수 있다.

상기 제 1실시예에서, 기준신호생성수단인 발진기(11)에 의해 생성된 19.8MHz의 클럭신호(S11)가 주파수변환수단인 클럭주파수변환기(12)에 의해 19.6608MHz의 기준클럭신호(S13)로 변환되고 주파수분할기(15)에 의해 16의 배율로 주파수분할되어서 기저대신호(S15)와 동기하는 1. 2288MHz의 기준클럭신호(S14)가 생성되는 경우를 설명하였다. 그런데, 본 발명이 이 경우에 제한된다는 의미는 아니다. 예를들어, 상기 과정은 또한 발진기에 의해 생성된 19.8MHz의 클럭신호가 주파수분할되어서 주파수가 낮아지고 그리고나서 이것이 기저대신호와 동기하는 주파수로 변환하는 것도 가능하다.

게다가, 상기 제 1실시예에서, 19.8MHz의 클럭신호(S11)가 정규화수단인 재표본화기(17)와 디지털필터(18)에 공급되는 경우의 설명을 하였다. 그러나, 본 발명이 이 경우에만 한정된다는 의미는 아니다. 예를들어 상기 과정은 또한 오버샘플링이 16의 배율이 아니라 4의 배율로 행해져서 4.95MHz의 클럭신호가 공급되는 것도 가능하다.

게다가, 상기 제 1실시예에서, 19.8MHz의 클럭신호(S11)가 클럭주파수변환기(12)에 의해 주파수19.6608MHz의 기준클럭신호(S13)로 변환되고, 1.2288MHz의 주파수의 기저대신호(S15)가 송신기호발생수단인 송신기호발생부(5)에서 생성되는 경우의 설명을 하였다. 그러나, 본 발명은 이 경우에만 적용되는 것은 아니고, 클럭신호가 생성되어서, 이것이 19.8MHz와 다른 주파수를 갖고 기저대신호가 생성되어서 1.2288MHz와 다른 주파수를 갖는 경우에도 적용할 수 있다. 이 경우에, 원하는 기준클럭신호는, 또한 클럭신호의 주파수를 변화시키므로써, 또 클럭주파수변환기로 클럭신호로부터 펄스파를 제거하기 위한 간격을 변화하므로써, 얻어질 수 있고, 원하는 주파수의 기저대신호는 상기와 같이 얻어진 기준클럭신호로부터 생성될 수 있다.

또한, 상기 제 2실시예에서는, 클럭주파수변환기(도 3)로부터 공급된 트리거신호(S16)가, 클럭신호의 주파수(S11)를 그의 1/4로 분할하여 낮추므로써 생성된 기준클럭신호(S20)와 기저대신호(S15)의 타이밍의 불일치를 검출하기 위한 검출수단으로서 사용된 경우의 설명을 하였다. 그러나, 본 발명이 이 경우에 한정된다는 의미는 아니다. 고정밀 클럭이 예를들어 통신단말장치와 같은 방식으로 수신된 신호로부터 얻어질 수 있는 경우에, 기준클럭신호(S20)와 기저대신호(S15)의 타이밍의 불일치를 지시하는 트리거신호가 상기 수신된 신호로부터 얻어진 클럭신호에 의거하여 생성될 수 있다. 즉, 트리거신호는 타이밍의 불일치를 통지하기 위해 트리거신호를 생성시킬 수 있는 또다른 구성의 도움으로 공급될 수 있다.

또한, 상기 제 2실시예에서는, 탭의 수가 64 또는 65인 디지털필터기 재표본화기와 통합된 구조를 갖는 송신필터(20)의 경우의 설명을 했다. 그러나, 본 발명은 이에만 적용되는 것은 아니고, 탭의 수가 63인 디지털필터가 재표본화기와 통합되는 구성을 갖는 송신필터에도 적용될 수 있다. 즉, 탭의 수 자체에 의해 한정되는 것은 아니다.

발명의 효과

상기한 바와같이, 본 발명은 소정 주파수의 기준신호와 상기 기준신호와 동기하지 않는 데이터신호의 각각의 타이밍을 검출하고, 소정의 간격을 초과하는 일시적인 불일치가 상기 기준신호와 데이터신호의 타이밍간에 검출된 경우에 제어 신호를 발생시키는 검출수단과, 상기 기준신호에 따라 데이터신호를 재표본화하고 상기 재표본화의 배율을 소정의 배율로 변화시켜 제어신호가 입력된 타이밍의 경우에만 상기 데이터신호를 상기 기준신호의 타이밍으로 정규화하는 정규화수단을 제공한다. 즉, 기준신호와 데이터신호간의 일시적인 불일치가 검출된 타이밍에만 재표본화의 배율을 변화시키므로써, 기준신호의 주파수와 데이터신호의 주파수가 서로 동기하지 않음으로 인한 일시적인 불일치를 정정할 수 있고 송신신호의 스펙트럼왜곡의 발생을 방지할 수 있고, 다른 시스템에 공급된, 기준신호와 동기하지 않는 기준신호를 어떤 곤란없이 송신신호의 생성을 위해 사용할 수 있다. 이런 식으로, 지터성분으로 인한 신호의 스펙트럼왜곡을 정정할 수 있고 구성을 간소화할 수 있다.

본 발명의 바람직한 실시예와 관련하여 설명하였지만, 이 분야에 기술을 가진자에게 다양한 변화와 변경이 부가 청구항에서 상기 변화와 변경을 포함하여 본 발명의 진정한 사상과 범위내에 있도록 되어야함은 물론이다.

(57) 청구의 범위

청구항 1

필터장치에 있어서,

소정의 주파수를 갖는 기준클럭신호를 발생시키는 기준클럭발생수단과,

상기 기준클럭신호와 비동기하는 데이터신호를 생성하는 데이터신호생성수단과,

상기 기준신호의 1클럭간격을 초과하는 불일치가 기준클럭신호와 상기 데이터신호간에 발생할 때 트리거신호를 생성하는 트리거신호생성수단과,

상기 기준클럭신호에 따라 상기 데이터신호를 재표본화하고 상기 기준신호의 1클럭간격에 대한 재표본화의 표본화주기를 증가시키거나 또는 감소시키므로써 상기 재표본화의 배율을 변화시키는 디지털회로수단

과,

를 포함하여 구성되는 것을 특징으로 하는 필터장치.

청구항 2

제 1항에 있어서,

상기 트리거신호생성수단은 소정의 일시적 간격의 타이밍에 클럭펄스를 상기 기준신호로부터 제거하여서, 상기 데이터신호를 생성하는데 사용된 클럭신호를 생성하고, 상기 타이밍에 트리거신호를 발생시키는 것을 특징으로 하는 필터장치.

청구항 3

제 1항에 있어서,

상기 디지털회로수단은 상기 재표본화된 표본화값을 상기 기준클럭주파수의 정수분의 1의 주파수를 갖는 클럭신호에 따라 디지털필터처리하는 것을 특징으로 하는 필터장치.

청구항 4

제 1항에 있어서,

상기 디지털회로수단은,

각 기호에 대해 상기 데이터신호를 기억하기 위한 다수의 기억부를 갖고, 상기 데이터신호의 각 기호를 입력하는 타이밍에 상기 기억부의 상기 기호를 연속적으로 송신하기 위한 이동레지스터와,

상기 데이터신호를 디지털필터처리하기 위한 탭값을 기억하고 있고, 주소값의 지정에 응답하여 상기 탭값을 읽기 위한 다수의 기억수단과,

상기 트리거신호가 공급될 때, 상기 기억수단의 소정의 초기의 주소값을 1만큼 증가시키거나 감소시키므로써 변화시키고, 상기 변화된 초기주소값으로부터 고정 정수값만큼 증가하는 주소값을 상기 각 기억수단으로 공급하기 위한 주소지정수단과,

상기 이동레지스터로부터 읽어진 상기 데이터신호와 상기 기억수단으로부터 읽어진 탭값을 각각 곱하기 위한 다수의 곱셈기와,

상기 곱셈기의 곱해진 결과를 가산하고 상기 가산된 결과를 출력하기 위한 가산기와,

를 포함하여 구성된 것을 특징으로 하는 필터장치.

청구항 5

제 4항에 있어서,

상기 주소지정수단은, 상기 트리거신호가 공급되지 않을 때, 소정의 타임에 상기 초기의 주소값으로부터 상기 소정의 정수값만큼 주소값을 증가시키는 작동을 행한 후에, 상기 주소값을 초기주소값으로 복귀하도록 하는 것을 특징으로 하는 필터장치.

청구항 6

제 4항에 있어서,

상기 주소지정수단은 상기 주소값을 상기 각 기억수단에 공급하기 위한 다수의 카운터수단을 갖고, 상기 다수의 카운터수단은 접속되어 상기 트리거신호가, 상기 데이터신호의 각 기호가 입력되는 타이밍에 다음상태로 전송되는 것을 특징으로 하는 필터장치.

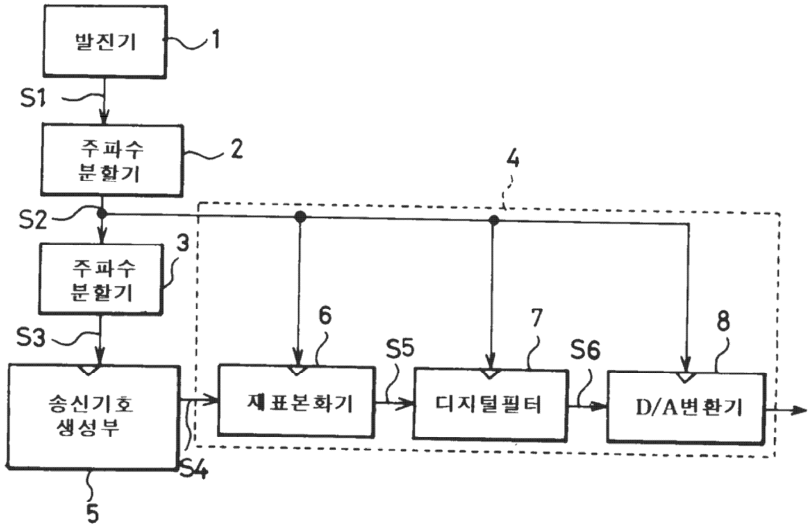
청구항 7

제 4항에 있어서,

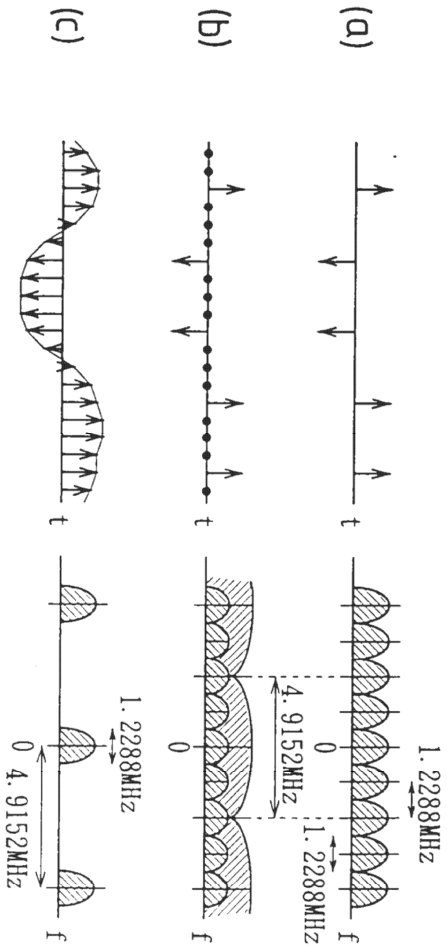
상기 트리거신호가 소정의 타임에 생성될 때, 상기 기억수단의 최종 주소위치의 탭값이 읽혀지고, 그 다음으로 상기 소정의 초기주소값의 탭값이 읽혀지는 것을 특징으로 하는 필터장치.

도면

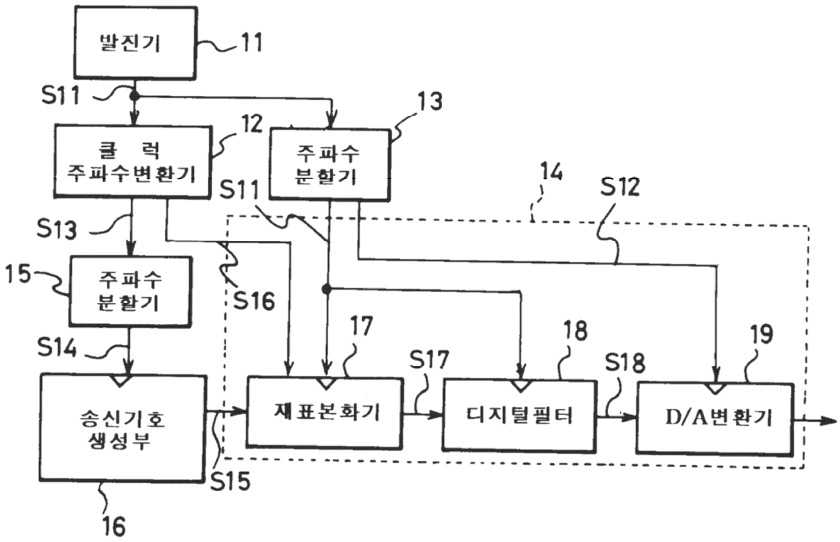
도면1


발진기
1
S1
주파수 분할기
2
4
S2
주파수 분할기
3
6
7
8
S3
S5
S6
송신기호 생성부
재표본화기
디지털필터
D/A변환기
S4
5

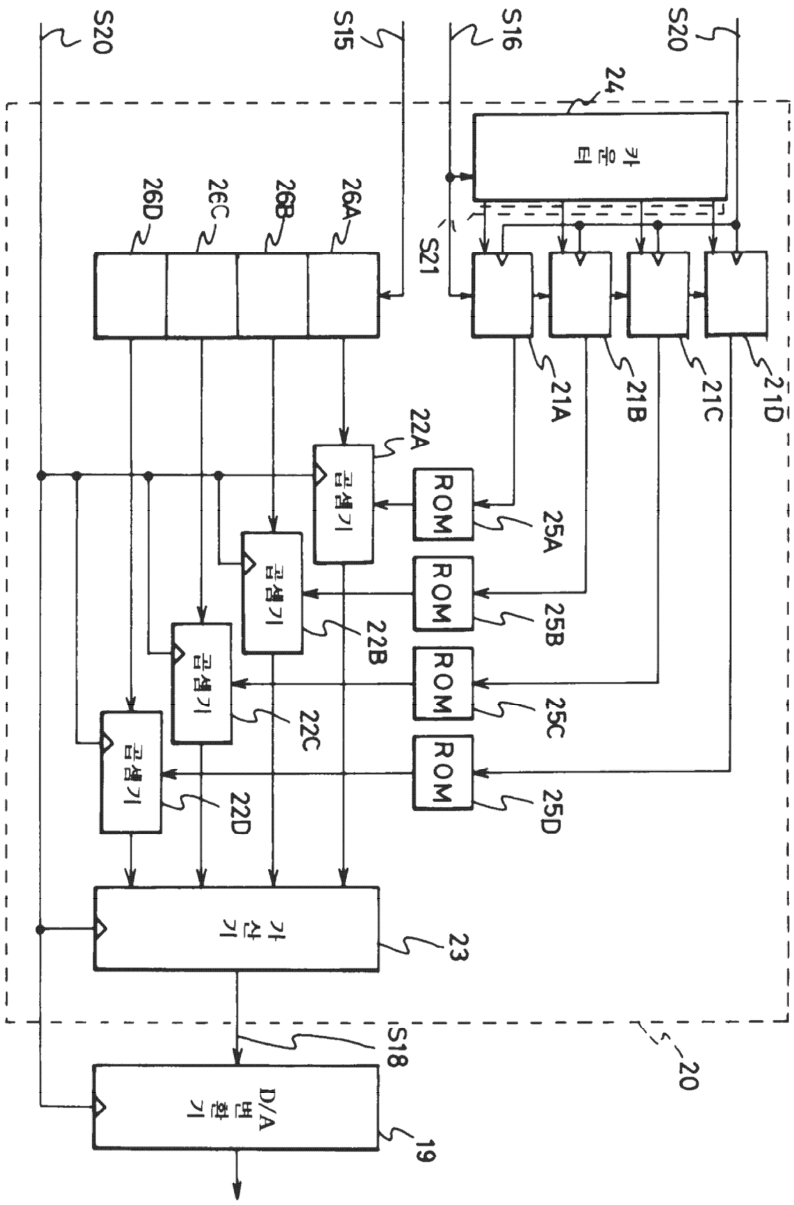
도면2


(c)
(b)
(a)
t
f
0
4.9152MHz
1.2288MHz
4.9152MHz
1.2288MHz
1.2288MHz

도면3

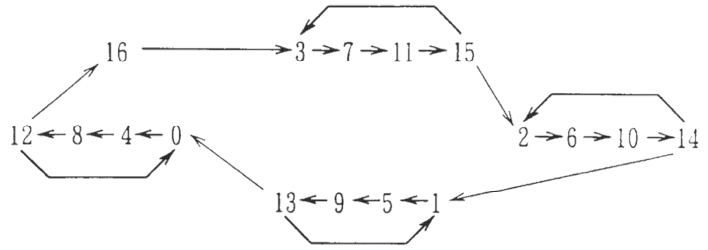

발진기
11
S11
12
13
클 럭
주파수변환기
주파수
분할기
14
S12
S11
S13
15
주파수
분할기
S16
17
18
19
S14
S17
S18
송신기호
생성부
재표본화기
디지털필터
D/A변환기
S15
16

도면4

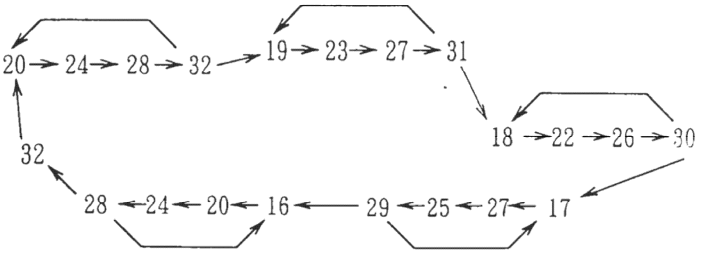

S20
S15
S16
S20
24
카운터
26D
26C
26B
26A
S21
21A
21B
21C
21D
22A
곱셈기
ROM
25A
22B
25B
22C
25C
22D
25D
가산기
23
S18
D/A 변환기
19
20

도면5

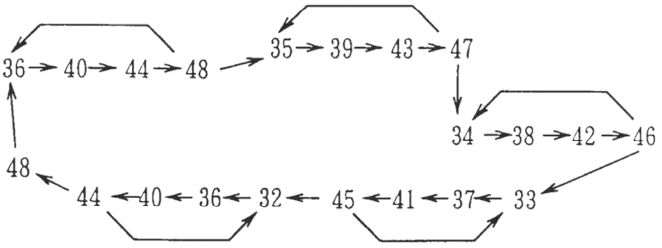
(a)


16
3
7
11
15
12
8
4
0
2
6
10
14
13
9
5
1

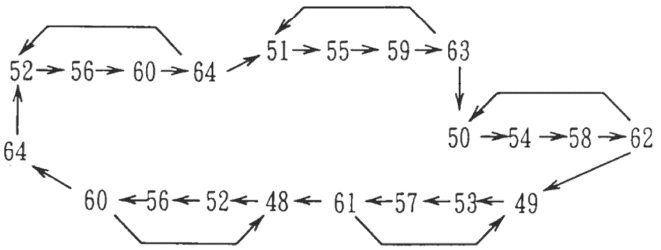
(b)


20
24
28
32
19
23
27
31
18
22
26
30
32
28
24
20
16
29
25
27
17

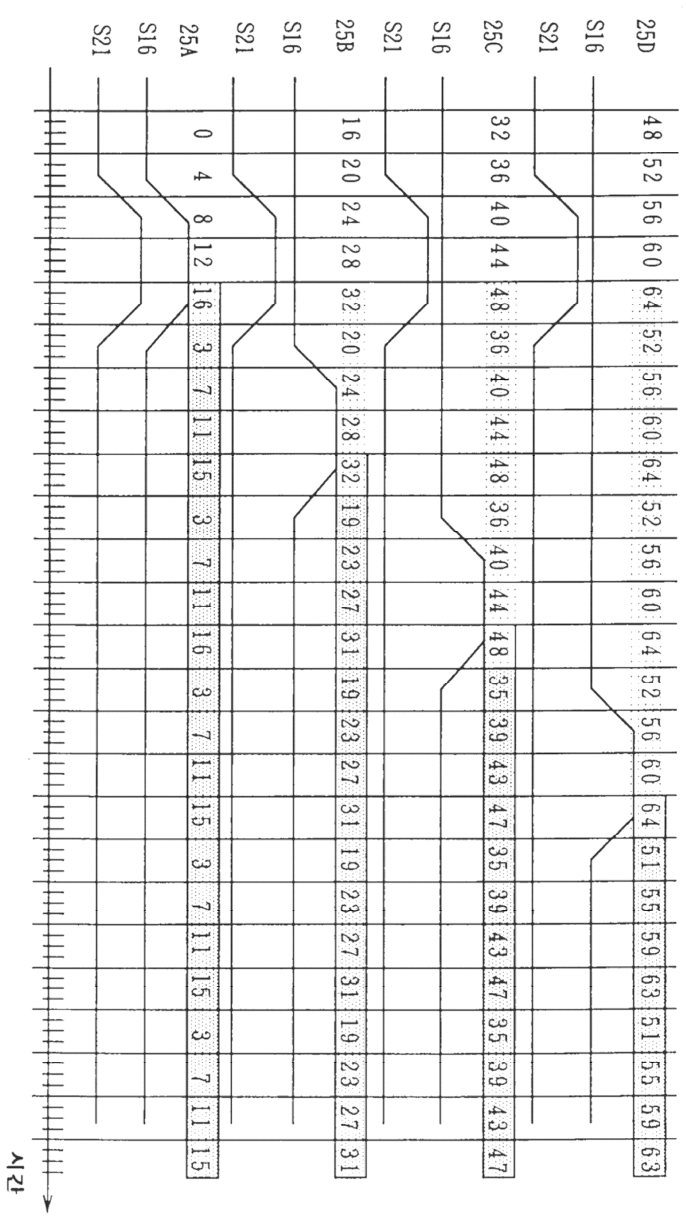
(c)


36
40
44
48
35
39
43
47
34
38
42
46
48
44
40
36
32
45
41
37
33

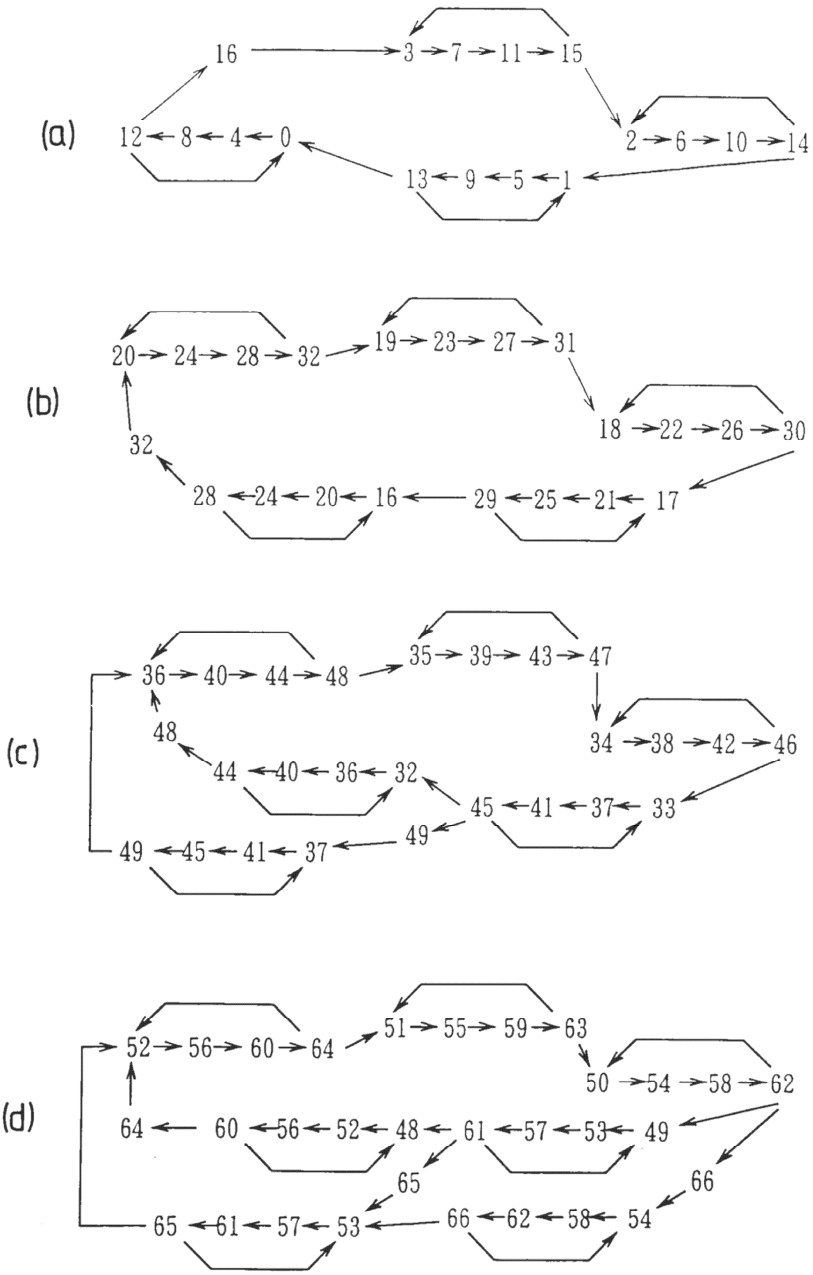
(d)


52
56
60
64
51
55
59
63
50
54
58
62
64
60
56
52
48
61
57
53
49

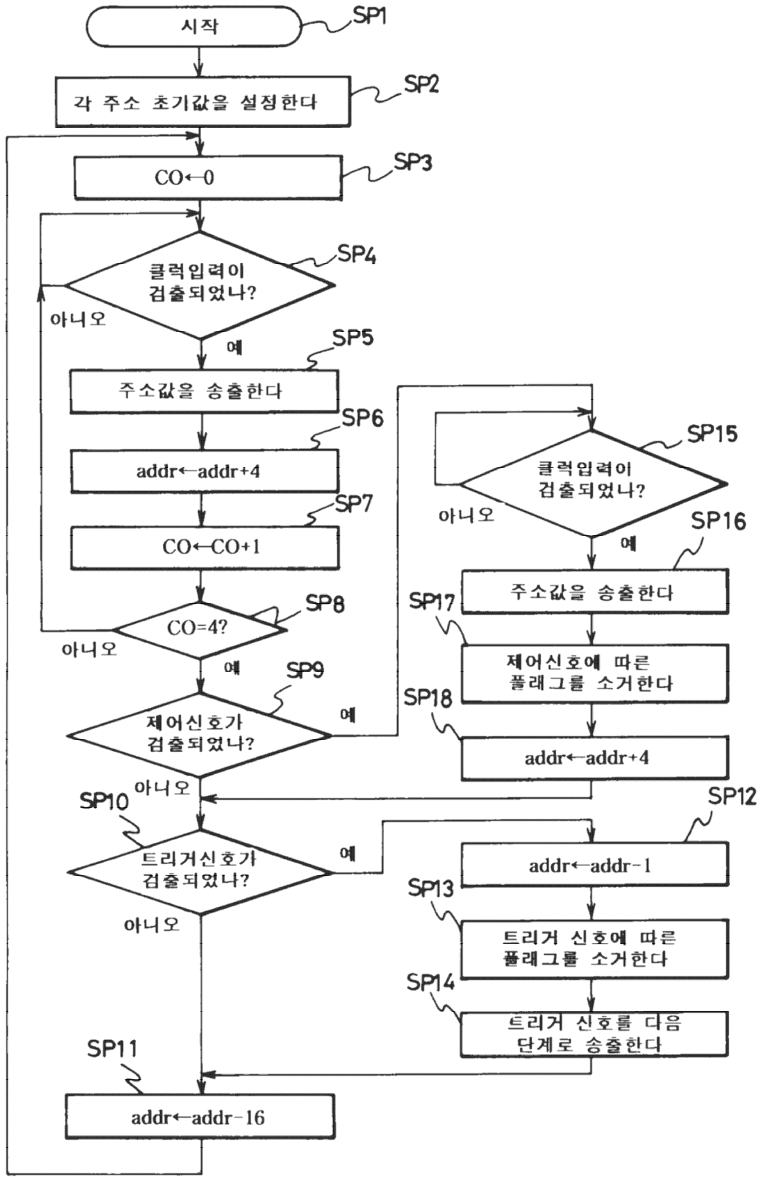
도면6



도면7


(a)
16 3 7 11 15
12 8 4 0
2 6 10 14
13 9 5 1
(b)
20 24 28 32 19 23 27 31
18 22 26 30
32
28 24 20 16 29 25 21 17
(c)
36 40 44 48 35 39 43 47
34 38 42 46
48
44 40 36 32 45 41 37 33
49 45 41 37 49
(d)
52 56 60 64 51 55 59 63
50 54 58 62
64 60 56 52 48 61 57 53 49
65 66
65 61 57 53 66 62 58 54

도면8


시작
SP1
각 주소 초기값을 설정한다
SP2
CO←0
SP3
클럭입력이 검출되었나?
SP4
아니오
예
주소값을 송출한다
SP5
addr←addr+4
SP6
CO←CO+1
SP7
CO=4?
SP8
아니오
예
제어신호가 검출되었나?
SP9
예
아니오
트리거신호가 검출되었나?
SP10
예
아니오
addr←addr-16
SP11
클럭입력이 검출되었나?
SP15
아니오
예
주소값을 송출한다
SP16
제어신호에 따른 플래그를 소거한다
SP17
addr←addr+4
SP18
addr←addr-1
SP12
트리거 신호에 따른 플래그를 소거한다
SP13
트리거 신호를 다음 단계로 송출한다
SP14

도면9

