



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년05월22일
(11) 등록번호 10-1147352
(24) 등록일자 2012년05월11일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) G09G 3/30 (2006.01)
(21) 출원번호 10-2011-7023992(분할)
(22) 출원일자(국제) 2005년09월13일
심사청구일자 2011년10월12일
(85) 번역문제출일자 2011년10월12일
(65) 공개번호 10-2011-0129463
(43) 공개일자 2011년12월01일
(62) 원출원 특허 10-2007-7006223
원출원일자(국제) 2005년09월13일
심사청구일자 2010년07월14일
(86) 국제출원번호 PCT/US2005/032745
(87) 국제공개번호 WO 2006/033919
국제공개일자 2006년03월30일
(30) 우선권주장
10/945,484 2004년09월20일 미국(US)
(56) 선행기술조사문헌
JP2002333862 A*
JP2003007720 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
글로벌 오엘이디 테크놀로지 엘엘씨
미국 버지니아 20171 헌던 스위트 330 13873 파
크 센터 로드
(72) 발명자
원터즈 더스틴 리
미국 뉴욕주 14580 웨스트 베인브릿지 레인 63
(74) 대리인
김용인, 박영복

전체 청구항 수 : 총 7 항

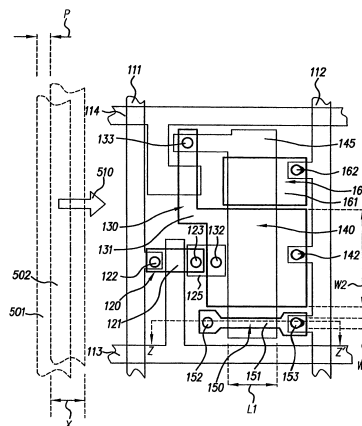
심사관 : 김주승

(54) 발명의 명칭 전류방식 능동 매트릭스 OLED 장치 제조 방법 및 능동 매트릭스 회로에 의해 구동되는 화소들을 가진 능동 매트릭스 OLED 장치

(57) 요약

전류방식 능동 매트릭스 OLED 장치는, 능동 매트릭스 회로에 의해 구동되는 화소들을 가진 능동 매트릭스 OLED 장치에 있어서, 각각의 화소는, a) 유기발광 다이오드와, b) 대응하는 화소 내의 방출 휘도를 조정하는 제 1 전류로서의 데이터 신호를 수신하기 위한 게이트 및 채널 영역을 갖는 제 1 트랜지스터와, c) 상기 제 1 전류에 응답하여 상기 유기발광 다이오드를 통과하는 제 2 전류를 조절하기 위해 각각 게이트 및 채널 영역을 갖는 제 2 트랜지스터 및 제 3 트랜지스터를 포함하되, 상기 제 1 트랜지스터의 채널 영역 일부는 상기 제 2 트랜지스터의 채널 영역과 상기 제 3 트랜지스터의 채널 영역 사이에 배치됨을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

능동 매트릭스 회로에 의해 구동되는 화소들을 가진 능동 매트릭스 OLED 장치에 있어서,

각각의 화소는,

- a) 유기발광 다이오드와,
- b) 대응하는 화소 내의 방출 휘도를 조정하는 제 1 전류로서의 데이터 신호를 수신하기 위한 게이트 및 채널 영역을 갖는 제 1 및 제 2 트랜지스터와,
- c) 상기 제 1 전류에 응답하여 상기 유기발광 다이오드를 통과하는 제 2 전류를 조절하기 위해 게이트 및 채널 영역을 가지는 제 3 트랜지스터를 포함하되, 상기 제 3 트랜지스터의 채널 영역 일부는 상기 제 1 트랜지스터의 채널 영역과 상기 제 2 트랜지스터의 채널 영역 사이에 배치되는,

능동 매트릭스 OLED 장치.

청구항 9

제 8 항에 있어서,

상기 제 1, 제 2 및 제 3 트랜지스터의 채널 영역들은 레이저 펄스에 의해 어닐링되고, 상기 레이저 펄스에 의해 어닐링되는 제 1, 제 2 및 제 3 트랜지스터의 채널 영역은 상기 제 1, 제 2 및 제 3 트랜지스터의 채널 영역들의 50 %보다 큰 면적을 갖는

능동 매트릭스 OLED 장치.

청구항 10

제 8 항에 있어서,

상기 제 1, 제 2 및 제 3 트랜지스터의 채널 영역들은 레이저 펄스에 의해 어닐링되고, 상기 레이저 펄스에 의해 어닐링되는 제 1, 제 2 및 제 3 트랜지스터의 채널 영역은 상기 제 1, 제 2 및 제 3 트랜지스터의 채널 영

역들의 100 %와 동일한 면적을 갖는

능동 매트릭스 OLED 장치.

청구항 11

제 8 항에 있어서,

상기 제 1 전류의 크기와 상기 제 2 전류의 크기는 사전결정된 비율 관계를 갖는

능동 매트릭스 OLED 장치.

청구항 12

제 8 항에 있어서,

상기 제 1 전류는 상기 제 2 전류보다 큰

능동 매트릭스 OLED 장치.

청구항 13

제 8 항에 있어서,

상기 제 3 트랜지스터의 게이트는 상기 제 1 트랜지스터의 게이트 및 상기 제 2 트랜지스터의 게이트에 전기적으로 접속되는

능동 매트릭스 OLED 장치.

청구항 14

제 8 항에 있어서,

상기 제 1 트랜지스터의 채널 영역, 상기 제 2 트랜지스터의 채널 영역 및 상기 제 3 트랜지스터의 채널 영역은 레이저로 어닐링된 반도체 층에 의해 제공되는

능동 매트릭스 OLED 장치.

명세서

기술 분야

[0001] 본 발명은 유기 전계발광(electroluminescent) 장치에 관한 것이다. 보다 구체적으로, 본 발명은 유기 전계 발광 장치용 전류방식 능동 매트릭스 화소 회로에 관한 것이다.

배경 기술

[0002] 가장 단순한 형태의 유기 전계발광(EL) 장치는 정공(hole) 주입을 위한 양극과 전자주입을 위한 음극, 그리고 이 두 전극 사이에 삽입되어 빛의 방출을 초래하는 전하 재결합을 지원하기 위한 유기 매체로 구성된다. 이러한 장치들은 또한 유기발광 다이오드(organic light emitting diode) 또는 OLED로 보통 지칭된다. 기본적인 유기 EL 소자는 미국특허 제4,356,429호에 기술되어 있다. 예를 들어 텔레비전, 컴퓨터 모니터, 휴대폰 디스플레이 또는 디지털 카메라 디스플레이와 같은 유용한 화소화(pixelate)된 OLED 장치를 구성하기 위해서는 각각의 유기 EL 소자가 매트릭스 형태의 화소로서 배열될 수 있다. 이러한 화소들이 같은 색상을 방출하도록 제조하여 단색표시 장치를 생산하거나 다양한 색상을 방출하도록 제조하여 적, 녹, 청(RGB) 장치를 생산할 수도 있다.

[0003] 가장 단순한 화소화된 OLED 장치는 수동 매트릭스 구조에서 구동된다. 수동 매트릭스에서 유기 EL 물질은 두 세트의 직교하는 전극(행과 열) 사이에 삽입된다. 수동 매트릭스 구동 유기 EL 장치의 한 예는 미국특허 제 5,276,380호에 기술되어 있다. 그러나 화소화된 장치를 생산하기 위한 이러한 접근 방법은 몇 가지 단점을 가지고 있다. 첫째는 주어진 시간에 단지 하나의 행(또는 열)만이 발광될 수 있다는 것이다. 따라서 주어진 비디오 프레임(video frame)에 대해 원하는 평균 휘도를 얻기 위해서는, 원하는 평균 휘도에 전체 행의 수를 곱한 것과 같은 순간휘도(instantaneous brightness)로 발광되어야 한다. 이는 화소들이 프레임 전체에

걸쳐 지속적으로 발광 가능한 상황에 비하여 전압이 더 높고 장기적 신뢰성이 감소하는 결과를 초래한다. 두 번째는 높은 저항을 유발하는 길고 좁은 형태의 전극과 높은 순간 전류가 조합하여 장치에 걸쳐 현저한 전압 강하를 초래한다는 것이다. 이러한 표시장치에 걸친 전압 변화는 휘도의 균일성에 좋지 않은 영향을 끼친다. 이러한 두 가지 효과는 표시장치의 크기 및 행과 열의 수가 증가할수록 더 악화되며, 이로 인해 수동 매트릭스의 설계는 상대적으로 작고 해상도가 낮은 표시장치로 제한된다.

[0004] 이러한 문제점들을 해결하고 더 좋은 성능의 장치를 생산하기 위해 최근의 OLED 장치 설계는 일반적으로 능동 매트릭스(active matrix, AM) 회로로 구동된다. 능동 매트릭스 구조에서는 각각의 화소가 트랜지스터, 커패시터 및 신호 배선과 같은 여러 개의 회로소자에 의해 구동된다. 이러한 회로는 여러 행의 화소들이 동시에 발광상태를 유지하는 것을 가능하게 하며, 이에 따라 각 화소에 필요한 최대 휘도를 감소시킨다.

[0005] 미국특허 제5,550,066호, 제6,281,634호 및 제6,456,013호에 기술된 것과 같은 초기의 능동 매트릭스 장치들은 전압 구동 방식의 화소 회로를 사용하였다. 전압구동 방식의 능동 매트릭스 회로는 전압 데이터 신호를 사용하여 화소들의 휘도 레벨을 제어한다. 전압 신호는 각 화소 내에서 하나 이상의 구동 트랜지스터에 의해 전류로 변환된다. 구동 트랜지스터는 그 소스(source) 단자와 드레인(drain) 단자가 유기EL 소자와 전원접합부(또는 전원배선) 사이에 전기적으로 접속되고, 게이트(gate) 단자에 인가되는 전압에 대응하여 유기EL 소자를 통해 흐르는 전류를 조절하는 트랜지스터이다.

[0006] 이러한 OLED 장치들은 일반적으로 대형 기판에 대량으로 생산되며, 하나의 기판에 여러 개의 패널이 동시에 제조된다. 일반적인 기판은 유리로 만들어진다. 따라서 트랜지스터는 실리콘과 같은 반도체 물질의 박막 층으로 형성된다. 실리콘 박막으로 제조된 트랜지스터는 보통 박막 트랜지스터(thin film transistor, TFT)로 알려져 있다. 이 실리콘은 일반적으로 비정질 막의 형태로 증착된다. 실리콘의 이동률(mobility)을 향상시키기 위하여 실리콘을 어닐링(annealing)하여 다결정 실리콘을 형성할 수 있으며 이는 또한 폴리실리콘(polysilicon)으로 알려져 있다. 어닐링을 수행하기 위해 사용되는 하나의 공통된 공정은 실리콘 층에 레이저를 조사시키는 것이다. 이러한 레이저 어닐링 공정 중 하나는 엑시머 레이저 어닐링(ELA)으로 알려져 있다. 레이저 어닐링 처리된 박막 트랜지스터를 포함하는 OLED 장치의 한 예는 미국특허 제6,548,867호에 기술되어 있다.

[0007] 그러나 트랜지스터가 박막으로 제조될 경우에는 트랜지스터 물성의 변화량이 크다. OLED 장치에서 유기 EL 소자의 휘도는 유기 EL 소자를 통해 흐르는 전류밀도에 의해 제어된다. 이동률과 임계 전압과 같은 화소 트랜지스터 특성의 변화는 유기 EL 소자를 통해 흐르는 전류에 직접적으로 영향을 줄 수 있고, 이어서 화소 휘도에 영향을 미친다. OLED 장치에 걸친 변화는 장치의 휘도 또는 색조의 불균일성을 초래할 수 있다.

[0008] 다양한 트랜지스터 제조공정이 적용되는 OLED 장치로부터 더욱 균일한 휘도를 얻기 위해 전류구동방식 능동 매트릭스 화소 회로라고 하는 새로운 설계가 도입되었다. 전류구동방식 능동 매트릭스 회로는 전류 데이터 신호를 사용하여 화소들의 휘도 레벨을 제어한다. 전압방식 능동 매트릭스 회로에서 사용되는 전압신호와 달리, 전류방식 능동 매트릭스 화소 회로에서의 데이터 신호는 전류 신호의 형태를 갖는다.

[0009] 전류방식 능동 매트릭스 화소 회로의 사례는 미국특허 제6,501,466호, 제6,535,185호, 제6,753,654호 및 미국특허출원 공개 번호 2004/0144978 A2에 개시된 전류미러 방식 화소 회로이다. 전류미러 방식 화소들은 전류 데이터 소스를 사용하여 각 화소의 제 1 트랜지스터(또는 변환 트랜지스터)를 통하여 제 1 전류를 통과시킨다. 제 1 트랜지스터의 게이트 단자는 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 이때 제 2 트랜지스터의 소스 또는 드레인 단자는 유기 EL 소자에 전기적으로 접속되며 구동 트랜지스터로 작동한다. 이와 같은 유기 EL 소자로의 전기적 접속은 미국특허 제6,501,466호와 제6,535,185호에 나타난 바와 같이 직접적일 수 있으며, 또는 미국특허출원 공개 번호 2004/0144978 A2에 나타난 바와 같이 다른 트랜지스터를 통해 간접적일 수도 있다. 제 1 트랜지스터를 통하여 공급되는 전류는 접속된 게이트 단자의 성질에 의해 이후 제 2 트랜지스터로 미러링되며, 이로 인해 제 2 전류가 설정된다. 이 제 2 전류는 제 1 전류와 같거나 제 1 전류의 일정 비율로 정해질 수 있다.

[0010] 이러한 전류미러 설계를 사용함으로써, 구동 트랜지스터의 임계 전압과 이동률 같은 특성들의 화소별 변동량에 대해 정밀한 제어를 유지해야 할 필요성이 감소된다. 이는 박막 트랜지스터 제조 기술의 활용과 큰 면적을 갖는 장치의 제조를 용이하게 한다. 그러나 한 화소 내에서 구동 트랜지스터와 구동 트랜지스터의 게이트 단자에 접속된 게이트 단자를 가진 트랜지스터 간에 존재하는 특성 차이는 여전히 휘도 출력을 균일하지 않게 만든다. OLED 장치의 이러한 휘도의 변동성을 감소시키기 위해서는 각 화소 내의 상기 두 개의 트랜지스터간 변동성이 감소하여야 한다. 따라서 변동성이 감소된 개선된 화소 설계가 요구된다.

발명의 내용

해결하려는 과제

[0011] 본 발명은 상기와 같은 종래의 문제점을 해결하기 위한 것으로, 화소 휘도의 균일성이 향상된 전류방식 능동 매트릭스 OLED 장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

[0012] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 전류방식 능동 매트릭스 OLED 장치는,
 [0013] 능동 매트릭스 회로에 의해 구동되는 화소들을 가진 능동 매트릭스 OLED 장치에 있어서,
 [0014] 각각의 화소는,
 [0015] a) 유기발광 다이오드와,
 [0016] b) 대응하는 화소 내의 방출 휘도를 조정하는 제 1 전류로서의 데이터 신호를 수신하기 위한 게이트 및 채널 영역을 갖는 제 1 트랜지스터와,
 [0017] c) 상기 제 1 전류에 응답하여 상기 유기발광 다이오드를 통과하는 제 2 전류를 조절하기 위해 각각 게이트 및 채널 영역을 갖는 제 2 트랜지스터 및 제 3 트랜지스터를 포함하되, 상기 제 1 트랜지스터의 채널 영역 일부는 상기 제 2 트랜지스터의 채널 영역과 상기 제 3 트랜지스터의 채널 영역 사이에 배치됨에 그 특징이 있다.

[0018] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 전류방식 능동 매트릭스 OLED 장치는,
 [0019] 능동 매트릭스 회로에 의해 구동되는 화소들을 가진 능동 매트릭스 OLED 장치에 있어서,
 [0020] 각각의 화소는,
 [0021] a) 유기발광 다이오드와,
 [0022] b) 대응하는 화소 내의 방출 휘도를 조정하는 제 1 전류로서의 데이터 신호를 수신하기 위한 게이트 및 채널 영역을 갖는 제 1 및 제 2 트랜지스터와,
 [0023] c) 상기 제 1 전류에 응답하여 상기 유기발광 다이오드를 통과하는 제 2 전류를 조절하기 위해 게이트 및 채널 영역을 가지는 제 3 트랜지스터를 포함하되, 상기 제 3 트랜지스터의 채널 영역 일부는 상기 제 1 트랜지스터의 채널 영역과 상기 제 2 트랜지스터의 채널 영역 사이에 배치됨에 또 다른 특징이 있다.

발명의 효과

[0024] 상기와 같은 특징을 갖는 본 발명에 따른 전류방식 능동 매트릭스 OLED 장치에 있어서는 다음과 같은 효과가 있다.

[0025] 즉, 변환 트랜지스터와 구동 트랜지스터의 두 채널 영역이 같은 레이지 펄스 또는 연속되는 펄스에 의해 결정 화되도록 배치되므로, 변환 트랜지스터와 구동 트랜지스터 간의 변동성이 감소되고, 더불어 전류방식 능동 매트릭스 OLED 장치의 화소 휘도 균일성이 향상된다.

도면의 간단한 설명

[0026] 도 1은 종래의 전류방식 능동 매트릭스 OLED 장치에 대한 구동 배열을 도시한 개략적 회로도,
 도 2는 본 발명의 제 1 배치 실시예에 따른 화소의 회로 배치도,
 도 3은 본 발명의 도 2의 Z-Z' 선을 따라 OLED 장치를 자른 단면도,
 도 4는 본 발명의 제 2 배치 실시예에 따른 화소의 개략적 회로도,
 도 5는 본 발명의 제 2 배치 실시예에 따른 화소의 회로 배치도,
 도 6은 본 발명의 제 3 배치 실시예에 따른 화소의 개략적 회로도,
 도 7은 본 발명의 제 3 배치 실시예에 따른 화소의 회로 배치도.

발명을 실시하기 위한 구체적인 내용

- [0027] 도 1은 OLED 장치를 구동하기 위한 종래의 전류방식 능동 매트릭스 회로를 나타낸다. 특히 이 도면은 능동 매트릭스 전류미터 방식 회로를 도시한 것이다. 미국특허 제6,501,466호를 참조하십시오. 회로는 화소(10)와 같은 화소들이 행과 열로 배열되는 매트릭스로 정렬되어 있다. 각 화소는 장치의 한 영역이며 빛을 생성하기 위해 독립적으로 자극될 수 있다. 이러한 화소들은 모두 같은 색상의 빛을 생성하여 단색 표시장치를 형성하거나 다른 색상의 빛을 생성하여 적, 녹, 청 (RGB) 장치와 같은 다색 표시장치를 형성할 수 있다. 각각의 열은 전류소스(170)와 같은 전류소스에 접속되는 데이터 배선(111)과 같은 데이터 배선을 포함한다. 이 전류소스는 화소들과 같은 기판 위에 제조되거나, 외부에 제조되어 데이터 배선(111)에 접속될 수 있다. 각각의 열은 또한 전력 배선(112)과 같은 전력 배선을 포함한다. 다른 방식으로는, 이웃하는 화소 열은 하나의 전력 배선을 공유하도록 배열될 수 있다. 또 다른 방식의 배열에서는 이러한 전력 배선이 데이터 배선에 수직으로 뻗어나가도록 배열되거나 열 방향으로 배열될 수 있다. 각각의 행은 스캔 배선(113)과 같은 제 1 스캔 배선과 스캔 배선(114)과 같은 제 2 스캔 배선을 포함한다. 나아가 각각의 화소는 4개의 트랜지스터, 하나의 커패시터 및 하나의 유기발광 다이오드를 포함한다. 예를 들어 화소(10)는 선택 트랜지스터(120), 스위치 트랜지스터(130), 변환 트랜지스터(140), 구동 트랜지스터(150), 저장 커패시터(160) 및 유기발광 다이오드(230)를 포함한다.
- [0028] 선택 트랜지스터(120)는 그 게이트 단자가 제 1 스캔 배선(113)에 전기적으로 접속되며, 소스 또는 드레인 단자가 데이터 배선(111)에 전기적으로 접속된다. 선택 트랜지스터의 기능은, 선택 트랜지스터가 제 1 스캔 배선 상의 적절한 전압에 의해 턴-온 상태가 되었을 때, 전류 신호의 형태로 공급되는 데이터가 데이터 배선에서 다른 회로 요소로 전달되도록 허가하는 것이다. 그렇게 함으로써 구동 트랜지스터를 통과하는 전류의 흐름이 조정되고, 이어서 유기발광 다이오드를 통과하는 전류의 흐름이 조정되며, 이로 인해 화소의 휘도가 조정된다. 선택 트랜지스터는 또한 입력 트랜지스터로 지칭될 수 있다.
- [0029] 도시된 바와 같이 스위치 트랜지스터(130)는 게이트 단자가 제 2 스캔 배선(114)에 전기적으로 접속되며, 제 2 단자가 선택 트랜지스터(120)에, 제 3 단자가 저장 커패시터(160), 구동 트랜지스터(150)의 게이트 단자 및 변환 트랜지스터(140)의 게이트 단자에 접속된다. 스위치 트랜지스터의 목적은 데이터 신호가 화소에 기록되고 있을 때 저장 커패시터 뿐 아니라 구동 및 변환 트랜지스터의 게이트 단자로 하여금 원하는 휘도까지 충전하도록 허가하는 것이다. 이는 스위치 트랜지스터를 턴-온시키기 위해 제 2 스캔 배선을 통해 스위치 트랜지스터의 게이트 단자에 적절한 전압을 인가함으로써 달성된다. 데이터 신호가 기록된 후 스위치 트랜지스터는 제 2 스캔 배선에 적절한 전압을 인가함으로써 턴-오프 상태가 되어, 변환 및 구동 트랜지스터의 게이트 단자와 저장 커패시터에 저장된 전압을 격리시킨다. 스위치 트랜지스터는 또한 소거 트랜지스터로 지칭될 수 있다.
- [0030] 변환 트랜지스터(140)는 그 게이트 단자가 스위치 트랜지스터(130)의 소스 또는 드레인 단자뿐만 아니라 저장 커패시터(160)와 구동 트랜지스터(150)의 게이트 단자에 전기적으로 접속된다. 변환 트랜지스터의 제 2 단자는 전력 배선(112)에 전기적으로 접속되며, 제 3 단자는 선택 트랜지스터(120)와 스위치 트랜지스터(130)의 소스 또는 드레인 단자에 전기적으로 접속된다. 변환 트랜지스터의 목적은, 변환 트랜지스터의 게이트를 구동 트랜지스터의 게이트에 전기적으로 접속시킴으로써, 데이터 배선에 의해 공급되는 전류를 통과시키고, 그 전류를 구동 트랜지스터로 미러링 시키는 것이다. 변환 트랜지스터와 구동 트랜지스터의 특징이 동일하다면, 미러링된 전류는 데이터 라인에 의해 공급되는 전류와 거의 동일할 것이다. 여기서 특징이란 트랜지스터의 채널 길이, 채널 폭 및 게이트 절연물의 두께를 포함한다. 그러나 구동 트랜지스터를 통과하는 전류가 동일하지 않다면 그 대신에 데이터 배선 전류에 대해 소정의 비율관계를 갖는 것이 바람직하다. 예를 들어 저장 커패시터나 기생용량과 같은 다른 충전용량이 신속히 충전되어 화소가 원하는 휘도 레벨에 도달하기 위한 소요시간이 감소되도록, 데이터 배선에 의해 더 높은 전류가 공급되는 것이 바람직하다. 이는 채널 길이, 채널 폭 및 게이트 절연물 두께의 비율과 같이 변환 및 구동 트랜지스터의 특징들 중에서 하나 이상의 비율을 조정함으로써 달성된다. 예를 들어 변환 트랜지스터의 게이트 폭이 구동 트랜지스터의 게이트 폭의 10배 만큼 크게 제조되고, 반면 다른 특징들은 동일하게 제조된다면, 원하는 화소 휘도를 얻기 위해 유기발광 다이오드가 필요로 하는 것보다 대략 10배 정도 큰 전류가 화소 데이터를 기록하기 위해 사용될 수 있다. 휘도 레벨이 원하는 레벨로 조정되고 선택 트랜지스터와 스위치 트랜지스터가 턴-오프 상태가 된 후에는, 트랜지스터를 통과하는 전류의 흐름이 정지하며 더 이상 전류미터 기능을 작동하지 않는다. 그러나 구동 트랜지스터의 게이트 단자의 전압이 저장 커패시터에 저장되고 스위치 트랜지스터에 의해 격리되기 때문에, 화소는 필요한 전류를 공급해 주는 구동 트랜지스터와 함께 원하는 휘도로 발광을 지속한다. 이는 화소가 다음 영상 프레임 동

안 다시 조정될 때까지 지속된다.

- [0031] 구동 트랜지스터(150)는 그 게이트 단자가 스위치 트랜지스터(130)의 소스 또는 드레인 단자뿐만 아니라 저장 커패시터(160)와 변환 트랜지스터(140)의 게이트 단자에도 전기적으로 접속된다. 도시된 바와 같이 구동 트랜지스터는 제 2 단자가 전력 배선(112)에, 제 3 단자가 유기발광 다이오드(230)에 전기적으로 접속된다. 구동 트랜지스터의 목적은 데이터 배선으로부터의 데이터 신호에 응답하여 유기발광 다이오드를 통해 흐르는 전류를 조절하는 것이다. 이러한 경우에 조절된 전류 흐름은 전술한 바와 같이 변환 트랜지스터에 의해 변환되어 데이터 배선에 의해 공급되는 전류의 소정의 비율에 이를 수 있다. 구동 트랜지스터는 또한 전원 트랜지스터로 지칭될 수 있다.
- [0032] 화소(10)와 같은 각각의 화소는 유기발광 다이오드(230)와 같은 유기발광 다이오드를 포함한다. 이러한 다이오드는 제 1 전극과 제 2 전극 사이에 배치된 유기발광 층으로 이루어진다. 제 1 전극은 구동 트랜지스터(150)에 접속된다. 제 2 전극(250)은 모든 화소에 공통인 것이 바람직하다. 하나 이상의 유기발광 층은 각각의 화소마다 개별적으로 패터닝되거나 모든 화소들에 공통으로 될 수도 있다.
- [0033] 제 1 스캔 배선(113)과 제 2 스캔 배선(114)은 각각 선택 트랜지스터(120)와 스위치 트랜지스터(130)를 턴-온시키기 위해 사용되며, 장치 프레임의 기록 기간(write period) 동안 화소로 하여금 데이터 배선(111)으로부터의 데이터 신호에 응답하여 휘도를 조정하도록 허가한다. 휘도 레벨이 안정된 후에는 제 1 스캔 배선과 제 2 스캔 배선은 그 해당하는 화소 행에 대해 선택 트랜지스터와 스위치 트랜지스터를 턴-오프 상태로 만들도록 세팅된다. 이후 데이터 배선 신호는 다음 행에 대해 원하는 레벨로 조정되고, 이에 따라 다음 행의 제 1 스캔 배선과 제 2 스캔 배선이 활성화된다. 이러한 과정은 각 화소 행에 대해 반복된다. 이러한 구조에서 선택 트랜지스터는 NMOS 타입 트랜지스터이며, 변환 트랜지스터, 구동 트랜지스터 및 스위치 트랜지스터는 PMOS 타입 트랜지스터가 된다. 그러나 본 발명은 이러한 경우로 한정되지 않으며 트랜지스터의 타입은 통상의 기술을 가진 자에 의해 재구성될 수 있다. 다른 방식의 설계에서는, 특히 선택 트랜지스터와 스위치 트랜지스터가 모두 NMOS 타입이거나 PMOS 타입으로 제조되는 경우에는 하나의 스캔 배선이 제 1 스캔 배선과 제 2 스캔 배선의 기능을 둘 다 수행할 수도 있다. 그러한 설계는 미국특허 제6,535,185호에 도시되어 있다.
- [0034] 도 2는 본 발명의 제 1 배치 실시예에 있어서, 하나의 화소에 대한 전류방식 능동 매트릭스 회로 배치 개략도를 나타낸다. 도 2에는 선택 트랜지스터(120), 스위치 트랜지스터(130), 변환 트랜지스터(140), 구동 트랜지스터(150), 저장 커패시터(160), 데이터 배선(111), 전력 배선(112), 제 1 스캔 배선(113) 및 제 2 스캔 배선(114)과 같은 다양한 회로 소자의 구성과 배열이 도시되어 있다. 제 1 전극과 제 2 전극을 포함하는 유기발광 다이오드는 도 2에 도시되어 있지 않다.
- [0035] 선택 트랜지스터(120), 스위치 트랜지스터(130), 변환 트랜지스터(140) 및 구동 트랜지스터(150)와 같은 트랜지스터는 반도체 층으로부터 형성된다. 이러한 반도체 층은 실리콘이 바람직하지만, 비정질, 결정질 또는 다결정체일 수도 있다. 대신 비정질 막의 경우에 모든 트랜지스터는 NMOS 타입으로 제조되어야 하는데, 비정질 막에서의 정공 이동도가 매우 낮아서 PMOS 트랜지스터를 만들기에는 덜 실용적이기 때문이다. 다결정체 또는 결정질 반도체와 같은 바람직한 경우에는 도 1에 도시된 바와 같이 NMOS 와 PMOS 트랜지스터가 모두 사용될 수 있다. 반도체 층은 하나 이상의 서브 층(sublayer)으로 형성될 수 있으며, 각 층은 도핑 되거나 도핑 되지 않을 수도 있다. 반도체 층은 반도체 영역(121), 반도체 영역(131) 및 반도체 영역(151)과 같은 영역들로 패터닝될 수 있다. 이러한 영역들은 포토레지스트를 포토리소그래픽(photolithographic) 패터닝한 후 용액이나 플라즈마에서 에칭하는 등의 알려진 기법을 사용하여 패터닝된다. 이러한 영역 또는 영역의 일부분은, 영역들로 패터닝되기 전 또는 후에, N 타입이나 P 타입으로 선택적으로 추가 도핑될 수 있다. 이는 이온주입법(ion implantation)과 같이 도핑 기술에서 알려진 기법을 사용하여 달성될 수 있다.
- [0036] 반도체 층을 형성하는 하나의 방법은 반도체 층을 비정질 상태로 증착하고 레이저로 어닐링함으로써 반도체 층을 결정화하는 과정을 포함한다. 이러한 결정화 레이저 공정은, 레이저 펄스를 생성하는 레이저 소스를 제공하고 레이저 소스를 기판에 대해 스텝 방식으로 이동시킴으로써 달성될 수 있다. 이러한 결정화 공정에 유용하게 사용되는 다양한 다른 종류의 레이저 소스가 알려져 있다. 일반적인 레이저 소스는 XeCl 레이저와 같은 레이저 및 레이저를 형태가 있는 빔으로 포커싱하기 위한 렌즈와 같은 광학소자 세트를 포함한다. 이러한 스텝방식 레이저 어닐링 공정은 미국특허 제 6,548,867호에 기술되어 있다. 레이저 펄스는 펄스폭이 X 이고 스텝 이동이 P의 간격으로 일어나는 직사각형 형태로 형성된다. 두 개의 연속되는 펄스가 레이저 펄스(501) 및 레이저 펄스(502)로 도2에 도시되어 있다. 레이저 펄스(501) 및 레이저 펄스(502)는 레이저 스캔 방향(510)으로 움직이는 일련의 펄스 중에서 나온 두 개의 예이다. 레이저 펄스(501) 및 레이저 펄스(502)에 선

행하고 후행하는 많은 펄스들(도시 생략)이 기관 위 화소들의 반도체 영역을 결정화시키기 위해 사용된다. 레이저 펄스는 펄스의 전체 길이가 보이지 않듯이, 하나의 화소보다 긴 것이 바람직하다. 레이저 펄스의 스텝은 중첩되도록 하여 반도체 층의 어닐링되는 부분이 레이저의 여러 개의 펄스를 받도록 하는 것이 바람직하다. 이에 따라 피치는 레이저 펄스의 폭보다 작은 것이 바람직하다. 레이저가 펄스를 방출하고 기관을 가로질러 이동함에 따라 일정한 레이저 에너지를 유지하는 것이 바람직하지만, 다소간의 변동이 여전히 발생할 수 있다. 그러한 변동은 박막 트랜지스터의 특성에 영향을 줄 것이다. 레이저 에너지의 변동은 또한 하나의 펄스 내에서 펄스의 길이를 따라 발생할 수 있다.

[0037] 선택 트랜지스터(120)는 반도체 영역(121)으로부터 형성된다. 선택 트랜지스터(120)의 게이트는 제 1 스캔 배선(113)의 일부를 반도체 영역(121) 일부의 상부로 연장함으로써 형성된다. 제 1 스캔 배선(113)과 제 2 스캔 배선(114)은 제 1 도전 층 내에 형성되고 패터닝된다. 제 1 도전 층과 반도체 층 사이에 절연 층(도시 생략)이 배치되어 트랜지스터의 게이트 유전체를 형성한다. 제 1 스캔 배선(113)을 연장하여 형성된 게이트의 어느 한쪽 면에 있는 반도체 영역(121)을 도핑함으로써 선택 트랜지스터(120)의 소스와 드레인 영역이 형성될 수 있다.

[0038] 데이터 배선(111)과 전력 배선(112)은 알려진 기법을 사용하여 제 2 도전 층으로부터 형성되고 패터닝된다. 제 2 도전 층과 제 1 도전 층 사이에 다른 절연 층(도시 생략)이 배치된다. 이는 제 1 도전 층과 제 2 도전 층 내에 형성된 배선들이 전기적 접촉 없이 교차할 수 있도록 하며, 이로 인해 화소 매트릭스의 행과 열의 형성을 가능하게 한다. 선택 트랜지스터(120)는 반도체 영역(121)과 데이터 배선(111) 사이의 절연 층 내에 비아(via)(122)를 형성함으로써 데이터 배선(111)에 접속된다. 이 비아는 포토리소그래픽 패터닝 및 에칭과 같은 알려진 기법을 사용하여 형성된다.

[0039] 스위치 트랜지스터(130)는 반도체 영역(131)으로부터 형성된다. 스위치 트랜지스터(130)의 게이트는 도시된 바와 같이 제 2 스캔 배선(114)의 일부를 반도체 영역(131) 일부의 상부로 연장함으로써 형성된다. 소스와 드레인 영역은 이 게이트의 어느 한쪽 면에 있는 반도체 영역(131)의 일부를 도핑 함으로써 형성될 수 있다. 스위치 트랜지스터(130)와 선택 트랜지스터(120) 간의 접속은 도전체 브릿지(125)를 사용하여 형성되며, 도전체 브릿지(125)는 비아(123)를 통해 반도체 영역(121)에 접속되고 비아(132)를 통하여 반도체 영역(131)에 접속된다. 도전체 브릿지는 예를 들어 제 2 도전 층 내에 형성될 수 있다. 트랜지스터가 NMOS와 PMOS로 다른 타입이기 때문에 도전체 브릿지를 형성하는 것이 바람직하지만, 본 발명을 성공적으로 구현하기 위하여 항상 필요한 것은 아니다. 변환 트랜지스터(140) 또한 반도체 영역(131)의 일부로부터 형성된다는 사실로 인해 변환 트랜지스터에도 접속이 형성된다. 다른 방법으로는, 이러한 접속을 형성하고 변환 트랜지스터(130)가 그 자신의 반도체 영역 안으로 분리될 수 있도록 다른 도전체 브릿지가 사용될 수도 있다. 스위치 트랜지스터(130)는 비아(133)를 통해 게이트 도전체(145)에 전기적으로 접속된다. 게이트 도전체(145)는 변환 트랜지스터(140) 및 구동 트랜지스터(150)의 게이트 전극 뿐 아니라 저장 커패시터(160)의 한쪽 면을 형성한다. 이러한 방식으로 저장 커패시터(160)와 변환 트랜지스터(140) 및 구동 트랜지스터(150)의 게이트 사이에 전기적 접속이 이루어진다. 게이트 도전체(145)는 선택 트랜지스터(120) 및 스위치 트랜지스터(130)의 게이트와 같은 층에 구성되는 것이 바람직하다. 즉, 예를 들어 게이트 도전체(145)는 제1 도전 층 내에 형성되는 것이 바람직하다.

[0040] 저장 커패시터(160)는 도시된 바와 같이 반도체 영역(161)과 게이트 도전체(145) 사이에 형성되는 것이 바람직하다. 즉, 저장 커패시터는 제 1 도전 층 및 반도체 층으로부터 형성되며, 상기 두 층 사이에는 유전 층(도시 생략)이 배치되어 있다. 이러한 구조에서, 반도체 영역(161)은 비아(162)를 통해 전력 배선(112)에 전기적으로 접속된다. 다른 방법으로서, 저장 커패시터는 제 1 도전 층 및 제 2 도전 층과 같은 다른 층으로부터 형성될 수도 있다. 이러한 다른 방식의 구조에서, 커패시터의 한쪽 면은 전력 배선의 일부를 연장함으로써 형성될 수 있으며, 이로 인해 전력 배선에 전기적 접촉을 제공하고 비아를 형성할 필요성을 피할 수 있다.

[0041] 전술한 바와 같이 변환 트랜지스터(140)는 반도체 영역(131)으로부터 형성되며, 그 게이트는 게이트 도전체(145)로부터 형성된다. 소스와 드레인 영역은 게이트 도전체(145)의 어느 한쪽 면 위의 반도체 영역(131)의 일부를 도핑 함으로써 형성될 수 있다. 도시된 바와 같이 변환 트랜지스터(140)와 전력 배선(112) 사이에 비아(142)를 통한 전기적 접속이 만들어진다.

[0042] 구동 트랜지스터(150)는 반도체 영역(151)으로부터 형성되며, 그 게이트는 게이트 도전체(145)로부터 형성된다. 소스와 드레인 영역은 게이트 도전체(145)의 어느 한쪽 면 위의 반도체 영역(151)의 일부를 도핑 함으로써 형성될 수 있다. 도시된 바와 같이 구동 트랜지스터(150)와 전력 배선(112) 사이에 비아(153)를 통한 전

기적 접촉이 만들어진다. 구동 트랜지스터(150)는 또한 비아(152)를 통해 유기발광 다이오드의 제 1 전극(도시 생략)에 전기적으로 접속된다. 유기발광 다이오드의 제 1 전극(도시 생략)은 제 2 도전 층 상부에 배치된 제 3 도전 층으로부터 형성되는 것이 바람직하다. 제 3 도전 층과 제 2 도전 층은 유전 층(도시 생략)에 의해 분리된다. 비아(152)는 이 유전 층에 형성된 구멍으로 이를 통해 전기적 접촉이 가능하게 된다.

각각의 트랜지스터는 그 게이트 단자 하부에 채널 영역이 형성되며, 이는 트랜지스터의 소스와 드레인을 연결시킨다. 이 채널 영역은 길이와 폭을 가진다. 전류는 소스 단자와 게이트 단자에 인가되는 전압 차에 대응하여 채널을 통해 흐른다. 전류는 대략 채널 폭의 증가에 비례하여 증가하고, 채널 길이의 증가에 비례하여 감소한다. 트랜지스터가 포화상태에서 동작하고 있을 때, 이 전류는 대략 수학식 1을 따르며, 각 기호의 의미는 아래와 같다.

수학식 1

$$I_{sd} = \frac{1}{2} \times \mu \times \frac{W}{L} \times C_{Gate} \times (V_{GS} - V_{TH})^2$$

I_{sd} : 소스와 드레인 단자 사이에 흐르는 전류

μ : 전자 또는 정공과 같은 캐리어의 이동도

W : 채널 폭

L : 채널 길이

C_{Gate} : 채널 영역 상부 게이트의 단위면적 당 충전용량

V_{GS} : 게이트 단자와 소스 단자 사이의 전압 차

V_{TH} : 트랜지스터의 임계 전압

유기발광 다이오드를 통해 흐르는 전류는 구동 트랜지스터(150)에 의해 조절된다. 구동 트랜지스터(150)는 $L1$ 로 표시된 채널 길이를 가지며, $W1$ 로 표시된 채널 폭을 가진다. 마찬가지로, 변환 트랜지스터(140)는 $W2$ 로 표시된 채널 폭을 가지며, 구동 트랜지스터(150)와 같은 채널 길이 $L1$ 를 가지는 것으로 도시되어 있다. 구동 트랜지스터(150)와 변환 트랜지스터(140)를 통과하는 전류의 흐름은 동일하거나 또는 특정 비율이 되도록 설계될 수 있다.

전류들 간에 일정 비율을 얻기 위해서는 변환 트랜지스터와 구동 트랜지스터간에 하나 이상의 변수 값이 다를 필요가 있으며, 이는 수식 1에 의해 전류의 흐름을 결정하는 채널 길이 또는 채널 폭과 같은 변수이다. 도 2에 도시된 바와 같이, 변환 트랜지스터와 구동 트랜지스터의 채널 길이는 같게 제조되는 반면, 채널 폭은 다르게 제조될 수 있다. 이러한 구조에서는 이동도, 임계 전압 및 채널 영역 상부 게이트의 단위면적당 충전용량과 같은 다른 변수들은 같게 제조되는 것이 바람직하다. 따라서 이 두 트랜지스터의 반도체 영역 물성의 변동성을 최소화시키는 것이 중요하다.

변환 트랜지스터(140)와 구동 트랜지스터(150)의 채널 영역 내부의 반도체 영역 간의 변동성을 감소시키기 위해서는, 레이저를 사용하여 반도체 층을 어닐링할 때 이 두 영역이 같은 레이저 펄스 또는 연속되는 펄스에 의해 결정화되어야 한다. 그리하여 변환 트랜지스터(140)와 구동 트랜지스터(150)의 채널 영역은 레이저 펄스에 대하여 두 영역이 모두 한 펄스의 길이 안에 위치하고 동일한 연속되는 펄스에 의해 동시에 어닐링되도록 배치된다. 또한 도면에서 스캔 방향(510)으로 표시된 것처럼, 변환 트랜지스터(140)와 구동 트랜지스터(150)의 채널 영역은 연속되는 펄스가 채널 영역을 가로지르도록 배치된다. 연속되는 펄스는 두 개의 채널 영역에 거의 동시에 도달하며, 거의 동시에 두 개의 채널 영역의 어닐링이 종료된다. 이는 예를 들면 도시된 바와 같이 채널 영역의 길이 또는 폭 중 하나가 레이저 펄스에 수직하도록 채널 영역을 배치하고 채널 영역이 서로 간에 적절히 정렬되도록 함으로써 달성될 수 있다. 변환 트랜지스터(140)와 구동 트랜지스터(150)의 채널 영역이 이처럼 정렬된 상태를 달성하기 위해서는, 변환 트랜지스터(140)와 구동 트랜지스터(150)의 길이 또는 폭 중 하나가 동일하게 제조되는 것이 바람직하다. 도 2의 예에 도시된 바와 같이, 변환 트랜지스터(140)와 구동 트랜지스터(150)의 채널 영역의 채널 길이는 동일하게 제조되며, 반면 이 영역의 채널 폭은 다르게 제조된다. 채널 영역의 100 %가 정확히 동일한 연속되는 펄스에 의해 어닐링되는 것이 바람직하지만,

각 채널 영역의 적어도 일부분, 바람직하게는 50 % 이상이 동시에 같은 펄스에 의해 어닐링되도록 채널 영역을 배치함으로써 여전히 어느 정도의 이득을 달성할 수 있다. 더욱이 레이저 펄스 길이에 따른 레이저 펄스 에너지의 변동성에 대한 민감도를 감소시키기 위해서는, 도시된 바와 같이 구동 트랜지스터(150)와 변환 트랜지스터(140)를 서로 가까이 배치함으로써 구동 트랜지스터(150)와 변환 트랜지스터(140)의 채널 영역 간의 간격을 감소시키는 것이 바람직하다.

[0055] 도 3은 도 2의 장치를 Z-Z' 선에 따라 자른 단면도이다. 이 단면도는 구동 트랜지스터(150)의 단면을 도시한다. 구동 트랜지스터(150)는 기판(200) 위에 형성된다. 많은 물질들이 기판(200)으로 사용될 수 있는데, 예를 들면 유리, 플라스틱, 세라믹 및 금속 포일(foil) 등이 있다. 기판은 추가적인 하나 이상의 장벽층(barrier layer)(도시 생략)으로 덮일 수 있다. 만약 기판이 전도성이 있다면, 유전 층(도시 생략)으로 더 코팅될 수 있다. 만약 장치가 화소에 의해 생성되는 빛이 기판을 통해 보이도록 작동하게끔 의도된 것이라면 기판은 투명해야 한다. 이러한 구조는 하부방출장치(bottom emitting device)로 알려져 있다. 이러한 경우에 유리 또는 투명한 플라스틱 같은 기판 재료가 바람직하다. 만약 장치가 화소에 의해 생성되는 빛이 기판에 반대되는 방향으로 보이도록 작동하게끔 의도된 것이라면, 불투명한 기판이 사용될 수 있다. 이러한 구조는 상부방출장치(top emitting device)로 알려져 있다. 도 3에 도시된 예는 상부방출장치이다. 그러나 본 발명은 이 경우로 한정되지 않는다.

[0056] 기판(200)의 상부에 제 1 반도체 층이 제공되며, 이로부터 반도체 영역(151)이 형성된다. 반도체 영역(151) 상부에는 포토리소그래픽 및 에칭과 같은 방법에 의해 제 1 유전 층(212)이 형성된다. 이러한 유전 층은 이산화규소, 질화규소 또는 이들의 조합인 것이 바람직하다. 또한 여러 개의 유전 물질의 서브레이어로부터 형성될 수도 있다. 제 1 유전 층(212) 상부에는 제 1 도전 층이 제공되며, 이로부터 게이트 도전체(145)와 제 1 스캔 배선(113)이 포토리소그래픽 및 에칭과 같은 방법에 의해 형성된다. 이 도전 층은 예를 들면 기술분야에서 알려진 바와 같이 크롬 같은 금속일 수 있다. 게이트 도전체(145)와 제 1 스캔 배선(113)의 상부에는 제 2 유전 층(213)이 형성된다. 이 유전 층은 예를 들면 이산화규소 또는 질화규소, 또는 이들의 조합일 수 있다. 제 2 유전 층(213)의 상부에는 제 2 도전 층이 제공되며, 이로부터 전력 배선(112)이 포토리소그래픽 및 에칭과 같은 방법에 의해 형성된다. 이 도전 층은 예를 들면 기술분야에서 알려진 바와 같이 알루미늄 합금 같은 금속일 수 있다. 전력 배선(112)은 유전 층 내에 뚫린 비아를 통하여 반도체 층(151)과 전기적 접촉을 이룬다. 제 2 도전 층 상부에는 제 3 유전 층(241)이 형성된다.

[0057] 제 3 유전 층 상부에는 제 1 전극(260)이 형성된다. 제 1 전극(260)은 상부방출장치를 위해서는 반사가 잘되는 것이 바람직하다. 그리하여 제 1 전극은 알루미늄(Al) 또는 은(Ag)과 같은 금속 층일 수 있다. 다른 방법으로 제 1 전극은 Ag 또는 Al 같은 반사 층 상부에 투명한 인듐주석 산화물(ITO) 같은 여러 개의 서브레이어로 구성될 수 있다. 다른 방법으로 제 1 전극은 흡수성일 수 있다. 장치가 상부방출 장치이기 때문에 빛이 기판(200)의 반대되는 방향으로 장치를 빠져나가며, 제 1 전극(260)이 구동 트랜지스터(150)와 같은 회로소자 상부에 형성될 수 있다. 이러한 구조는 기판의 이용가능한 표면적을 최대로 효과적으로 활용하는 것이다. 이와 달리 만약 하부방출장치가 형성된다면, 제 1 전극은 투명해야 하고 ITO 같은 물질로 구성될 수 있다. 또한 이러한 경우에 제 1 전극은, 불투명하여 기판 쪽으로 향하는 빛의 방출을 막는 다른 회로소자의 상부가 아닌 영역에 형성되어야 한다.

[0058] 제 1 전극(260)의 상부에는 제 1 전극의 가장자리를 덮어주기 위하여 미국특허 제6,246,179호에 기술된 바와 같이 화소간 유전 층(220)이 사용되는 것이 바람직하며, 이는 이 영역에 단락이나 강한 전기장의 발생을 막기 위해서이다. 화소간 유전 층(220)의 사용이 바람직하긴 하지만, 본 발명을 성공적으로 구현하기 위해 반드시 필요한 것은 아니다.

[0059] 각각의 화소들은 나아가 유기 EL 매체(240)를 포함하며, 이로부터 유기발광 다이오드가 형성된다. 본 발명을 성공적으로 실시할 수 있는 유기 EL 매체 층(240)의 구조는 상당히 많다. 화소들 사이에 유기EL 매체를 패터닝할 필요성을 피하기 위해서는 모든 화소들에 의해 사용되는 파장의 빛을 방출하는 광대역 또는 백색광 소스가 바람직하다. 이러한 경우, 다색표시장치에 있어서 백색 또는 광대역 방출로부터 원하는 빛의 색상을 생성하기 위해 빛의 경로에 있는 화소에 컬러필터(도시 생략)가 제공될 수 있다. 광대역 또는 백색광을 방출하는 유기EL 매체 층의 몇 가지 사례들이 예를 들어 미국특허 제6,696,177호에 기술되어 있다. 그러나 본 발명은 또한 특정 화소마다 달라지는 색상을 방출하기 위하여 각각의 화소가 각각의 화소마다 따로따로 패터닝된 하나 이상의 유기EL 매체 층을 가지며 동작하도록 제조될 수 있다. 유기EL 매체(240)는 정공 주입 층(hole injecting layer)(241), 정공 주입 층 상부에 배치되는 정공 운반 층(hole transporting layer)(242), 정공 운반 층 상부에 배치되는 발광 층(243) 및 발광 층 상부에 배치되는 전자 운반 층(245)으로 구성된다. 더 적

거나 더 많은 층수를 가지는 유기EL 매체(240)의 다른 구성 또한 본 발명을 성공적으로 실시하기 위해 사용될 수 있다. 이러한 유기EL 매체 층은 일반적으로 유기물질로 이루어져 있으며, 이는 기술분야에서 알려진 바와 같이 작은 분자 물질 또는 고분자 물질이다. 이러한 유기 EL 매체는, 예를 들어, 진공 챔버 내에서의 열 증착, 도너(donor) 기관으로부터의 레이저 트랜스퍼 또는 잉크젯 인쇄기기를 사용하여 용체로부터 증착 등의 기술분야에서 알려진 여러 가지 방법으로 증착될 수 있다.

[0060] 유기EL 매체(240)의 상부에는 제 2 전극(250)이 형성된다. 상부방출장치에 있어서 이 전극은 고도로 투명한 필요가 있다. 그리하여 인듐주석산화물(ITO)과 같이 도전성이면서 투명한 물질이 제 2 전극(250)으로 바람직하다. 그러나 장치가 하부방출장치인 다른 실시 예에 있어서는, 알루미늄(Al) 또는 마그네슘실버(MgAg)와 같은 반사성 물질들이 사용될 수 있다.

[0061] 제 1 전극(260)과 제 2 전극(250) 사이의 전류에 의해 자극되면, 유기EL 매체(240)는 발광(270)을 일으킨다. 도 3에 도시된 바와 같이 발광(270)된 빛은 기관(200)에 반대되는 방향으로 장치를 빠져나가며, 이로 인해 상부방출장치로서 동작한다.

[0062] 도 4는 OLED 장치를 구동하기 위한 전류방식 능동 매트릭스 회로를 도시한 개략도이다. 특히 본 개략도는 본 발명의 제 2 배치 실시 예에 의한 능동 매트릭스, 전류미러 방식 회로를 도시한 것이다. 이 제 2 배치 실시 예에서 회로는 행과 열로 배열된 화소 매트릭스로 다시 정렬될 수 있다. 도 4에는 하나의 화소의 회로 부분이 도시되어 있으나, 이 설계는 상기 제 1 배치 실시 예에 기술된 바와 같이 수많은 행과 열로 확장될 수 있다. 각각의 화소는 독립적으로 자극되어 빛을 생성할 수 있는 장치의 한 영역이다. 각각의 열은 전류소스(170)와 같은 전류소스에 접속된 데이터 배선(111)과 같은 데이터 배선을 포함한다. 이 전류소스는 화소들과 같은 기관 내에 제조되거나 외부에 제조되어 데이터 배선(111)에 접속될 수 있다. 각각의 열은 또한 전력 배선(112)과 같은 전력 배선을 포함한다. 다른 방법으로는, 이웃하는 화소 열이 하나의 전력 배선을 공유하도록 배열될 수 있다. 그러나 다른 방식으로는 이러한 전력 배선들이 데이터 배선에 수직하거나 행과 같은 방향으로 뻗어나가도록 배열될 수도 있다. 각각의 행은 배선(113)과 같은 제 1 스캔 배선과 배선(114)과 같은 제 2 스캔 배선을 포함한다. 각각의 화소는 나아가 다섯 개의 트랜지스터, 하나의 커패시터 및 하나의 유기 발광 다이오드를 포함한다. 예를 들어 도시된 화소는 선택 트랜지스터(120), 스위치 트랜지스터(130), 제 1 변환 트랜지스터(140a), 제 2 변환 트랜지스터(140b), 구동 트랜지스터(150), 저장 커패시터(160) 및 유기 발광 다이오드(230)를 포함한다.

[0063] 선택 트랜지스터(120)는 그 게이트 단자에서 제 1 스캔 배선(113)에 전기적으로 접속되며 소스 또는 드레인 단자 중 하나에서 데이터 배선(111)에 전기적으로 접속된다. 선택 트랜지스터의 기능은, 제 1 스캔 배선 상의 적절한 전압에 의해 선택 트랜지스터가 턴-온 상태가 되었을 때, 전류신호의 형태로 공급되는 데이터가 데이터 배선에서 다른 회로소자로 전달되도록 허가하는 것이다. 그렇게 함으로써, 구동 트랜지스터를 통과하는 전류의 흐름 및 이에 따른 유기 발광 다이오드를 통과하는 전류의 흐름이 조정되고, 이로 인해 화소의 휘도가 조정된다. 선택 트랜지스터는 또한 입력 트랜지스터로 지칭될 수 있다.

[0064] 스위치 트랜지스터(130)는 도시된 바와 같이 그 게이트 단자에서 제 2 스캔 배선(114)에, 제 2 단자에서 선택 트랜지스터(120)에, 제 3 단자에서 저장 커패시터(160), 구동 트랜지스터(150)의 게이트 단자, 제 1 변환 트랜지스터(140a)의 게이트 단자 및 제 2 변환 트랜지스터(140b)의 게이트 단자에 전기적으로 접속된다. 스위치 트랜지스터의 목적은, 데이터 신호가 화소에 기록되고 있는 동안, 저장 커패시터 뿐 아니라 구동 트랜지스터 및 변환 트랜지스터의 게이트 단자로 하여금 원하는 휘도까지 충전되도록 하는 것이다. 이는 스위치 트랜지스터를 턴-온 상태로 만드는 제 2 스캔 배선을 통해 스위치 트랜지스터의 게이트 단자에 적절한 전압을 인가함으로써 달성될 수 있다. 데이터 신호가 기록된 후에는 제 2 스캔 배선에 적절한 전압을 인가함으로써 스위치 트랜지스터가 턴-오프 상태가 되며, 이로 인해 저장 커패시터와 변환 및 구동 트랜지스터의 게이트 단자에 저장된 전압이 격리된다. 스위치 트랜지스터는 소거 트랜지스터로 지칭될 수 있다.

[0065] 제 1 배치 실시 예의 변환 트랜지스터는 제 2 배치 실시 예에서 제 1 변환 트랜지스터(140a)와 제 2 변환 트랜지스터(140b)로 대체되었다. 제 1 변환 트랜지스터(140a)와 제 2 변환 트랜지스터(140b)는 전기적으로 접속된 이들의 소스 단자 및 전기적으로 접속된 이들의 드레인 단자에 의해 병렬로 연결된다. 제 1 변환 트랜지스터(140a)와 제 2 변환 트랜지스터(140b)의 게이트 단자 또한 전기적으로 접속된다. 그리하여 제 2 배치 실시 예의 제 1 변환 트랜지스터(140a) 및 제 2 변환 트랜지스터(140b)는 함께 제 1 배치 실시 예에서의 변환 트랜지스터의 기능을 수행한다.

[0066] 도시된 바와 같이, 제 1 변환 트랜지스터(140a)와 제 2 변환 트랜지스터(140b)는 그 게이트 단자에서 스위치

트랜지스터(130)의 소스 또는 드레인 단자 뿐 아니라 구동 트랜지스터(150)의 게이트 단자와 저장 커패시터(160)에 전기적으로 접속된다. 도시된 바와 같이 제 1 변환 트랜지스터(140a)와 제 2 변환 트랜지스터(140b)는 또한 전력 배선(112), 선택 트랜지스터(120) 및 스위치 트랜지스터(130)에 전기적으로 접속된다. 변환 트랜지스터의 목적은, 변환 트랜지스터의 게이트를 구동 트랜지스터의 게이트에 전기적으로 접속함으로써 데이터 배선에 의해 공급된 전류를 통과시키고 이 전류를 구동 트랜지스터로 미러링 하는 것이다.

[0067] 제 1 배치 실시 예와 같이, 변환 트랜지스터를 통과하는 전류의 흐름은 구동 트랜지스터를 통과하여 흐르는 전류와 같거나 구동 트랜지스터를 통하여 흐르는 전류의 일정 비율을 갖도록 만들 수 있다. 그러나 구동 트랜지스터를 통과하는 전류는 동일하지 않고, 대신에 데이터 배선 전류의 일정 비율을 가지는 것이 바람직하다. 예를 들어 커패시터 및 기생용량 같은 다른 충전용량이 신속히 충전되어 이로 인해 화소의 원하는 휘도 레벨을 안정화하는 데 필요한 시간이 단축되도록 데이터 배선에 의해 높은 전류가 공급되는 것이 바람직하다. 이는 변환 및 구동 트랜지스터의 채널 길이, 채널 폭 및 게이트 절연물 두께의 비율 같은 하나 이상의 특징들 간의 비율을 조정함으로써 달성된다. 이러한 목적에 있어서, 만약 두 개의 변환 트랜지스터가 채널 폭, 채널 길이 및 다른 특징 면에서 동일하다면, 서로 병렬로 연결된 두 개의 트랜지스터가 있기 때문에 각 변환 트랜지스터는 두 개의 변환 트랜지스터를 통과하는 총 전류흐름의 대략 반 정도를 운반할 것이다. 다른 방식으로는 두 개의 변환 트랜지스터의 채널 폭과 같은 특징들이 다르게 제조되어 총 전류가 두 개의 변환 트랜지스터 사이에 동일하지 않게 배분될 수 있다. 따라서 변환 트랜지스터와 구동 트랜지스터 간 전류흐름의 적정 비율을 확립하는 데 있어서 이 두 개의 트랜지스터는 같이 고려되어야 한다. 예를 들어 만일 제 1 변환 트랜지스터의 게이트 폭과 제 2 변환 트랜지스터의 게이트 폭이 모두 구동 트랜지스터의 게이트 폭의 5배만큼 크게 제조되고, 반면에 다른 특징들은 모두 동일하게 제조된다면, 원하는 화소 휘도를 얻기 위해 유기발광 다이오드에 필요한 것보다 대략 10배 정도 더 큰 전류가 화소 데이터를 기록하기 위해 사용된다. 휘도 레벨이 원하는 레벨로 조정되고 선택 트랜지스터와 스위치 트랜지스터가 턴-오프 상태가 된 후에는, 트랜지스터를 통과하는 전류의 흐름이 정지하며 더 이상 전류미러 기능은 동작하지 않는다. 그러나 구동 트랜지스터의 게이트 단자에서의 전압이 저장 커패시터에 저장되고 스위치 트랜지스터에 의해 격리되기 때문에, 화소는 필요한 전류를 공급해 주는 구동 트랜지스터와 함께 원하는 휘도로 발광을 지속한다. 이는 화소가 다음 영상 프레임 동안 다시 조정될 때까지 지속된다.

[0068] 구동 트랜지스터(150)는 그 게이트 단자에서 스위치 트랜지스터(130)의 소스 또는 드레인 단자 뿐 아니라 저장 커패시터(160) 및 제 1 변환 트랜지스터(140a)와 제 2 변환 트랜지스터(140b)의 게이트 단자에 전기적으로 접속된다. 구동 트랜지스터는 도시된 바와 같이 제 2 단자에서 전력 배선(112)에, 제 3 단자에서 유기발광 다이오드(230)에 전기적으로 접속된다. 구동 트랜지스터의 목적은 데이터 배선으로부터의 데이터 신호에 대응하여 유기발광 다이오드를 통과하는 전류 흐름을 조절하는 것이다. 이러한 경우에 조절된 전류 흐름은 전술한 바와 같이 변환 트랜지스터에 의해 변환되어 데이터 배선에 의해 공급되는 전류의 소정의 비율에 이를 수 있다. 구동 트랜지스터는 또한 전원 트랜지스터로 지칭될 수 있다.

[0069] 각각의 화소는 다이오드(230)와 같은 유기발광 다이오드를 포함한다. 이러한 다이오드는 제 1 전극과 제 2 전극 사이에 배치된 유기발광 층으로 이루어진다. 제 1 전극은 구동 트랜지스터(150)에 접속된다. 제 2 전극(250)은 모든 화소에 공통인 것이 바람직하다. 하나 이상의 유기발광 층은 각각의 화소마다 개별적으로 패터닝되거나 모든 화소들에 공통으로 될 수도 있다.

[0070] 제 1 스캔 배선(113)과 제 2 스캔 배선(114)은 각각 선택 트랜지스터(120)와 스위치 트랜지스터(130)를 턴-온시키기 위해 사용되며, 장치 프레임의 기록 기간 동안 화소로 하여금 데이터 배선(111)으로부터의 데이터 신호에 응답하여 휘도를 조정하도록 허가한다. 휘도 레벨이 안정된 후에는 제 1 스캔 배선과 제 2 스캔 배선은 그 해당하는 화소 행에 대해 선택 트랜지스터와 스위치 트랜지스터를 턴-오프시키도록 세팅된다. 이후 데이터 배선 신호는 다음 행에 대해 원하는 레벨로 조정되고, 이에 따라 다음 행의 제 1 스캔 배선과 제 2 스캔 배선이 활성화된다. 이러한 과정은 각 화소 행에 대해 반복된다. 이러한 구조에서 선택 트랜지스터는 NMOS 타입 트랜지스터로 구현되며, 변환 트랜지스터, 구동 트랜지스터 및 스위치 트랜지스터는 PMOS 타입 트랜지스터로 구현된다. 그러나 본 발명은 이러한 경우로 한정되지 않으며 이러한 트랜지스터 방식은 통상의 기술을 가진 자에 의해 재구성될 수 있다. 다른 방식의 설계에서는, 특히 선택 트랜지스터와 스위치 트랜지스터가 모두 NMOS 타입이거나 PMOS 타입으로 제조되는 경우에 하나의 스캔 배선이 제 1 스캔 배선과 제 2 스캔 배선의 기능을 둘 다 수행할 수도 있다.

[0071] 도 5는 본 발명의 제 2 배치 실시 예에 의한 하나의 화소의 예시적인 회로 배치도이다. 도 5에는 선택 트랜지스터(120), 스위치 트랜지스터(130), 제 1 변환 트랜지스터(140a), 제 2 변환 트랜지스터(140b), 구동 트랜

지스터(150), 저장 커패시터(160), 데이터 배선(111), 전력 배선(112), 제 1 스캔 배선(113) 및 제 2 스캔 배선(114)과 같은 다양한 회로 소자의 구성과 배열이 도시되어 있다. 제 1 전극과 제 2 전극을 포함하는 유기 발광 다이오드는 도 5에 도시되어 있지 않다.

[0072] 도 5에 도시된 바와 같이 구동 트랜지스터(150)는 게이트 도전체(145) 하부에 위치한 채널 영역이 폭 W1과 길이 L1을 갖도록 구성된다. 제 1 변환 트랜지스터(140a)는 게이트 도전체(145) 하부에 위치한 채널 영역이 폭 W3과 길이 L1을 갖도록 구성된다. 제 2 변환 트랜지스터(140b)는 게이트 도전체(145) 하부에 위치한 채널 영역이 폭 W4와 길이 L1을 갖도록 구성된다.

[0073] 제 2 배치 실시 예에 따르면, 제 1 변환 트랜지스터(140a)의 채널 영역과 제 2 변환 트랜지스터(140b)의 채널 영역은 그 사이에 배치된 구동 트랜지스터(150)의 채널 영역과 이격되어 있다. 이러한 배치를 달성하기 위해 변환 트랜지스터가 두 개의 다른 반도체 영역으로부터 형성될 수 있다. 예를 들어 제 1 변환 트랜지스터(140a)는 반도체 영역(131a)으로부터 형성되고, 제 2 변환 트랜지스터(140b)는 반도체 영역(141b)으로부터 형성된다. 제 1 변환 트랜지스터(140a), 제 2 변환 트랜지스터(140b), 선택 트랜지스터(120) 및 스위치 트랜지스터(130) 간에는 도전체 브릿지(125a)에 의해 전기적 접속이 이루어진다. 도전체 브릿지(125a)는 비아(143a)와 비아(143b)를 통해 각각 반도체 영역(131a)과 반도체 영역(141b)에 전기적으로 접속된다. 제 1 변환 트랜지스터(140a)와 전력 배선(112)은 비아(142a)를 통하여 전기적 접속이 이루어진다. 제 2 변환 트랜지스터(140b)와 전력 배선(112)은 비아(142b)를 통하여 전기적 접속이 이루어진다. 게이트 도전체(145)는 제 1 변환 트랜지스터(140a), 제 2 변환 트랜지스터(140b) 및 구동 트랜지스터(150)에 대해 게이트 전극 역할을 한다.

[0074] 본 발명의 제 2 배치 실시 예에 따르면, 제 1 변환 트랜지스터(140a)의 채널 영역과 제 2 변환 트랜지스터(140b)의 채널 영역 사이에 구동 트랜지스터(150)의 채널 영역을 배치함으로써, 회로가 반도체 층 및 반도체 층과 게이트 사이의 절연 층과 같은 층들의 물리적 특성의 국지적 변동에 대해 더욱 내성을 갖게 된다. 예를 들어 게이트 절연층 두께 및 결정립 크기 등과 같은 물리적 특성들은, 예를 들어 임계 전압과 캐리어 이동도와 같은 트랜지스터의 전기적 특성에 직접적으로 영향을 미친다. 즉, 제 1 변환 트랜지스터(140a)의 채널 영역과 제 2 변환 트랜지스터(140b)의 채널 영역 사이에 구동 트랜지스터(150)의 채널 영역을 배치함으로써, 구동 트랜지스터(150)의 특성이 제 1 변환 트랜지스터(140a)의 특성과 제 2 변환 트랜지스터(140b)의 특성의 중간 값에 접근한다. 상술한 바와 같이 제 1 변환 트랜지스터(140a)와 제 2 변환 트랜지스터(140b)가 서로 병렬로 전기적으로 접속되어 있고 이들의 게이트 또한 전기적으로 접속되어 있기 때문에, 데이터 신호가 화소 행에 기록될 때 변환 트랜지스터로부터 흐르는 전류의 총량 또는 그 비율이 구동 트랜지스터(150)로 미러링될 것이다. 제 2 배치 실시 예에 따라, 제 1 변환 트랜지스터(140a)와 제 2 변환 트랜지스터(140b)의 특성의 대략 중간 값을 가지도록 구동 트랜지스터(150)를 구성함으로써 그러한 특성의 변동성에 대한 전반적 내성이 향상된다.

[0075] 반도체 층이 전술한 바와 같이 레이저를 사용하는 어닐링에 의해 결정화되는 경우에는 본 발명의 제 2 배치 실시 예를 실시함으로써 내성이 향상될 수 있다. 그러나 본 발명의 제 2 배치 실시 예는 이러한 경우로 한정되지 않는다. 반도체 층이 레이저를 사용하는 어닐링에 의해 결정화되는 경우에는 레이저 펄스의 변동성에 대한 회로의 내성을 향상시키는 것이 바람직하며, 이는 결과적으로 반도체 층의 특성에 영향을 미친다. 레이저 펄스(501) 및 레이저 펄스(502) 등과 같은 레이저 펄스 에너지의 변동성에 대한 회로의 민감도를 감소시키기 위해서는, 도시된 바와 같이 제 1 변환 트랜지스터(140a)의 채널 영역, 구동 트랜지스터(150)의 채널 영역 및 제 2 변환 트랜지스터(140b)의 채널 영역이 레이저 펄스에 평행하도록 배치하는 것이 바람직하다. 구동 트랜지스터(150)의 채널 영역을 제 1 변환 트랜지스터(140a)의 채널 영역과 제 2 변환 트랜지스터(140b)의 채널 영역 사이에 이처럼 평행 배열로 배치함으로써, 구동 트랜지스터(150)의 채널 영역에 제 1 변환 트랜지스터(140a)의 채널 영역과 제 2 변환 트랜지스터(140b)의 채널 영역에 의해 수신되는 레이저 에너지의 대략 평균값을 제공하게 되며, 이로 인해 펄스의 길이 방향에 따른 레이저 에너지 변동성에 대해 내성이 향상된다.

[0076] 제 1 변환 트랜지스터(140a), 제 2 변환 트랜지스터(140b) 및 구동 트랜지스터(150)의 채널 내부의 반도체 영역들 간의 변동성을 더욱 감소시키기 위해서는, 레이저를 사용하여 반도체 영역을 어닐링할 때 이 영역들이 동일한 펄스 또는 연속되는 펄스에 의하여 결정화되어야 한다. 그리하여 제 1 변환 트랜지스터(140a), 제 2 변환 트랜지스터(140b) 및 구동 트랜지스터(150)의 채널 영역은 레이저 펄스에 대하여 모든 영역이 한 펄스의 길이 안에 위치하고 동일한 연속되는 펄스에 의해 동시에 어닐링되도록 배치된다. 또한 스캔 방향(510)으로 표시된 바와 같이, 제 1 변환 트랜지스터(140a), 제 2 변환 트랜지스터(140b) 및 구동 트랜지스터(150)의 채널 영역은 연속되는 펄스가 채널 영역을 가로질러 가면서 모든 채널 영역에 거의 동시에 도달하여 거의 동시

에 모든 채널 영역의 어닐링이 종료될 수 있도록 배치된다. 이는 예를 들면 도시된 바와 같이 채널 영역의 길이 또는 폭 중 하나가 레이저 펄스에 수직하도록 채널 영역을 배치하고 채널 영역이 서로 간에 적절히 정렬되도록 함으로써 달성될 수 있다. 제 1 변환 트랜지스터(140a), 제 2 변환 트랜지스터(140b) 및 구동 트랜지스터(150)의 채널 영역이 이처럼 정렬된 상태를 달성하기 위해서는, 제 1 변환 트랜지스터(140a), 제 2 변환 트랜지스터(140b) 및 구동 트랜지스터(150)의 길이 또는 폭 중 하나가 동일하게 제조되는 것이 바람직하다. 도 5의 예에 도시된 바와 같이, 제 1 변환 트랜지스터(140a), 제 2 변환 트랜지스터(140b) 및 구동 트랜지스터(150)의 채널 영역의 채널 폭은 다르게 제조된 반면, 이 영역의 채널 길이는 동일하게 제조된다. 채널 영역들이 정확히 동일한 연속되는 펄스에 의해 어닐링되는 것이 바람직하지만, 각 채널 영역의 적어도 일부분, 바람직하게는 50 % 이상이 동시에 같은 펄스에 의해 어닐링되도록 채널 영역을 배치함으로써 여전히 어느 정도의 이득을 달성할 수 있다.

[0077] 도 6은 OLED 장치를 구동하기 위한 다른 전류방식 능동 매트릭스 회로를 도시한 것이다. 특히 이 도면은 본 발명의 제 3 배치 실시 예에 있어서 능동 매트릭스, 전류미러 타입 회로를 도시한 것이다. 이러한 제 3 배치 실시 예에서, 회로는 행과 열의 형태로 배열된 화소 매트릭스로 다시 정렬될 수 있다. 도 6에는, 하나의 화소의 회로 부분이 도시되어 있으나, 이 설계는 상기 제 1 배치 실시 예에서 기술한 바와 같이 수많은 행과 열로 확장될 수 있다. 각각의 화소는 독립적으로 자극되어 빛을 생성할 수 있는 장치의 한 영역이다. 각각의 열은 전류소스(170)와 같은 전류소스에 접속된 데이터 배선(111)과 같은 데이터 배선을 포함한다. 이 전류소스는 화소들과 같은 기관 내에 제조되거나 외부에 제조되어 데이터 배선(111)에 접속될 수 있다. 각각의 열은 또한 전력 배선(112)과 같은 전력 배선을 포함한다. 다른 방법으로는, 이웃하는 화소 열이 하나의 전력 배선을 공유하도록 배열될 수 있다. 그러나 또 다른 방식의 배열에서는 이러한 전력 배선들이 데이터 배선에 수직하거나 행과 같은 방향으로 뻗어나가도록 배열될 수도 있다. 각각의 행은 배선(113)과 같은 제 1 스캔 배선과 배선(114)과 같은 제 2 스캔 배선을 포함한다. 각각의 화소는 나아가 다섯 개의 트랜지스터, 하나의 커패시터 및 하나의 유기발광 다이오드를 포함한다. 예를 들어 도시된 화소는 선택 트랜지스터(120), 스위치 트랜지스터(130), 변환 트랜지스터(140), 제 1 구동 트랜지스터(150a), 제 2 구동 트랜지스터(150b), 저장 커패시터(160) 및 유기발광 다이오드(230)를 포함한다.

[0078] 선택 트랜지스터(120)는 그 게이트 단자에서 제 1 스캔 배선(113)에 전기적으로 접속되며, 소스 단자 또는 드레인 단자에서 데이터 배선(111)에 전기적으로 접속된다. 선택 트랜지스터의 기능은, 선택 트랜지스터가 제 1 스캔 배선 상의 적절한 전압에 의해 턴-온 되었을 때, 전류 신호의 형태로 공급되는 데이터가 데이터 배선에서 다른 회로 요소로 전달되도록 허가하는 것이다. 그렇게 함으로써 구동 트랜지스터를 통과하는 전류의 흐름이 조정되고, 따라서 유기발광 다이오드를 통과하는 전류의 흐름이 조정되며, 이로 인해 화소의 휘도가 조정된다. 선택 트랜지스터는 또한 입력 트랜지스터로 지칭될 수 있다.

[0079] 도시된 바와 같이 스위치 트랜지스터(130)는 게이트 단자에서 제 2 스캔 배선(114)에 전기적으로 접속되며, 제 2 단자에서 선택 트랜지스터(120)에, 제 3 단자에서 저장 커패시터(160), 제 1 구동 트랜지스터의 게이트 단자(150a), 제 2 구동 트랜지스터의 게이트 단자(150b) 및 변환 트랜지스터(140)의 게이트 단자에 접속된다. 스위치 트랜지스터의 목적은 데이터 신호가 화소에 기록되고 있을 때 저장 커패시터 뿐 아니라 구동 및 변환 트랜지스터의 게이트 단자로 하여금 원하는 휘도까지 충전하도록 허가하는 것이다. 이는 스위치 트랜지스터를 턴-온시키는 제 2 스캔 배선을 통해 스위치 트랜지스터의 게이트 단자에 적절한 전압을 인가함으로써 달성된다. 데이터 신호가 기록된 후 스위치 트랜지스터는 제 2 스캔 배선에 적절한 전압을 인가함으로써 턴-오프되며, 그 결과 저장 커패시터와 변환 및 구동 트랜지스터의 게이트 단자에 저장된 전압을 격리한다. 스위치 트랜지스터는 또한 소거 트랜지스터로 지칭될 수 있다.

[0080] 제 1 배치 실시 예의 구동 트랜지스터는 제 3 배치 실시 예에서 제 1 구동 트랜지스터(150a)와 제 2 구동 트랜지스터(150b)로 대체되었다. 제 1 구동 트랜지스터(150a)와 제 2 구동 트랜지스터(150b)는 전기적으로 접속된 이들의 소스 단자 및 전기적으로 접속된 이들의 드레인 단자에 의해 병렬로 접속된다. 제 1 구동 트랜지스터(150a)와 제 2 구동 트랜지스터(150b)의 게이트 단자들 또한 전기적으로 접속된다. 그리하여 제 3 배치 실시 예에 있어서, 제 1 구동 트랜지스터(150a)와 제 2 구동 트랜지스터(150b)는 함께 제 1 배치 실시 예의 구동 트랜지스터의 기능을 수행한다.

[0081] 제 1 구동 트랜지스터(150a)와 제 2 구동 트랜지스터(150b)는 그 게이트 단자에서 스위치 트랜지스터(130)의 소스 또는 드레인 단자 뿐 아니라 저장 커패시터(160)와 변환 트랜지스터(140)의 게이트 단자에 전기적으로 접속된다. 도시된 바와 같이 제 1 구동 트랜지스터(150a)와 제 2 구동 트랜지스터(150b)는 제 2 단자에서 전력 배선(112)에, 제 3 단자에서 유기발광 다이오드(230)에 전기적으로 접속된다. 구동 트랜지스터의 목적은

데이터 배선으로부터의 데이터 신호에 응답하여 유기발광 다이오드를 통해 흐르는 전류를 조절하는 것이다. 이러한 경우에, 조절된 전류 흐름은 하기에 기술된 바와 같이 변환 트랜지스터에 의해 변환되어 데이터 배선에 의해 공급되는 전류의 소정의 비율에 이를 수 있다. 구동 트랜지스터는 또한 전원 트랜지스터로 지칭될 수 있다.

[0082] 변환 트랜지스터(140)는 그 게이트 단자에서 스위치 트랜지스터(130)의 소스 또는 드레인 단자뿐만 아니라 저장 커패시터(160), 제 1 구동 트랜지스터의 게이트 단자(150a) 및 제 2 구동 트랜지스터(150b)의 게이트 단자에 전기적으로 접속된다. 도시된 바와 같이 변환 트랜지스터의 제 2 단자는 전력 배선(112)에 전기적으로 접속되며, 제 3 단자는 선택 트랜지스터(120)와 스위치 트랜지스터(130)의 소스 또는 드레인 단자에 전기적으로 접속된다. 변환 트랜지스터의 목적은, 변환 트랜지스터의 게이트를 구동 트랜지스터의 게이트에 전기적으로 접속시킴으로써, 데이터 배선에 의해 공급되는 전류를 통과시키고, 그 전류를 구동 트랜지스터로 미러링시키는 것이다.

[0083] 제 1 배치 실시 예에서와 같이, 변환 트랜지스터를 통해 흐르는 전류는 구동 트랜지스터를 통과하는 전류 흐름과 같을 수 있거나 구동 트랜지스터를 통과하는 총 전류 흐름에 대해 일정 비율로 맞추어질 수 있다. 그러나 구동 트랜지스터를 통과하는 전류는 동일하지 않고, 대신에 데이터 배선 전류에 대해 일정 비율인 것이 바람직하다. 예를 들어 저장 커패시터 및 기생용량과 같은 다른 충전용량이 신속히 충전되어 화소가 원하는 휘도 레벨에 도달하기 위한 소요시간이 감소되도록, 데이터 배선에 의해 더 높은 전류가 공급되는 것이 바람직하다. 이는 변환 및 구동 트랜지스터의 채널 길이, 채널 폭 및 게이트 절연물 두께 비율 같은 하나 이상의 특징들 간의 비율을 조정함으로써 달성된다. 이러한 목적에 있어서, 만약 두 개의 구동 트랜지스터가 채널 폭, 채널 길이 및 다른 특징 면에서 동일하다면, 서로 병렬로 접속된 두 개의 구동 트랜지스터가 있기 때문에 각각의 구동 트랜지스터는 두 개의 구동 트랜지스터를 통과하는 총 전류 흐름의 대략 반 정도를 운반할 것이다. 다른 방법으로서, 두 개의 구동 트랜지스터의 채널 폭 같은 특징들이 다르게 제조되어 총 전류가 두 개의 구동 트랜지스터 사이에 동일하지 않게 배분될 수 있다. 따라서 변환 트랜지스터와 구동 트랜지스터 간 전류 흐름의 적정 비율을 확립하는 데 있어서 이 두 개의 구동 트랜지스터가 같이 고려되어야 한다. 예를 들어 만일 제 1 구동 트랜지스터의 게이트 폭과 제 2 구동 트랜지스터의 게이트 폭이 모두 변환 트랜지스터의 게이트 폭의 20배만큼 작게 제조되고, 반면 다른 특징들은 모두 동일하게 제조된다면, 원하는 화소 휘도를 얻기 위해 유기발광 다이오드에 필요한 것보다 대략 10배 정도 더 큰 전류가 화소 데이터를 기록하기 위해 사용된다. 휘도 레벨이 원하는 레벨로 조정되고 선택 트랜지스터와 스위치 트랜지스터가 턴-오프된 후에는, 변환 트랜지스터를 통과하는 전류의 흐름이 정지하며 더 이상 전류미러 기능을 수행하지 않는다. 그러나 구동 트랜지스터의 게이트 단자 전압이 저장 커패시터에 저장되고 스위치 트랜지스터에 의해 격리되기 때문에, 화소는 필요한 전류를 공급해 주는 구동 트랜지스터와 함께 원하는 휘도로 발광을 지속한다. 이는 화소가 다음 영상 프레임 동안 다시 조정될 때까지 지속된다.

[0084] 각각의 화소는 다이오드(230)와 같은 유기발광 다이오드를 포함한다. 이러한 다이오드는 제 1 전극과 제 2 전극 사이에 배치된 유기발광 층으로 이루어진다. 제 1 전극은 제 1 구동 트랜지스터(150a) 및 제 2 구동 트랜지스터(150b)에 접속된다. 제 2 전극(250)은 모든 화소에 공통인 것이 바람직하다. 하나 이상의 유기발광 층은 각각의 화소마다 개별적으로 패터닝되거나 모든 화소들에 공통으로 될 수도 있다.

[0085] 제 1 스캔 배선(113)과 제 2 스캔 배선(114)은 각각 선택 트랜지스터(120)와 스위치 트랜지스터(130)를 턴-온시키기 위해 사용되며, 장치 프레임의 기록 기간 동안 화소로 하여금 데이터 배선(111)으로부터의 데이터 신호에 응답하여 휘도를 조정하도록 허가한다. 휘도 레벨이 안정된 후에는 제 1 스캔 배선과 제 2 스캔 배선은 그 해당하는 화소 행에 대해 선택 트랜지스터와 스위치 트랜지스터를 턴-오프시키도록 세팅된다. 이후 데이터 배선 신호는 다음 행에 대해 원하는 레벨로 조정되고, 이에 따라 다음 행의 제 1 스캔 배선과 제 2 스캔 배선이 활성화된다. 이러한 과정은 각 화소 행에 대해 반복된다. 이러한 구조에서 선택 트랜지스터는 NMOS 타입 트랜지스터로 구현되며, 변환 트랜지스터, 구동 트랜지스터 및 스위치 트랜지스터는 PMOS 타입 트랜지스터로 구현된다. 그러나 본 발명은 이러한 경우로 한정되지 않으며 트랜지스터 타입은 통상의 기술을 가진 자에 의해 재구성될 수 있다. 다른 방식의 설계에서는, 특히 선택 트랜지스터와 스위치 트랜지스터가 모두 NMOS 타입이거나 PMOS 타입으로 제조되는 경우에는 하나의 스캔 배선이 제 1 스캔 배선과 제 2 스캔 배선의 기능을 모두 수행할 수도 있다.

[0086] 도 7은 본 발명의 제 3 배치 실시 예에 있어서, 하나의 화소의 예시적인 회로 배치도이다. 도 7에는 선택 트랜지스터(120), 스위치 트랜지스터(130), 변환 트랜지스터(140), 제 1 구동 트랜지스터(150a), 제 2 구동 트랜지스터(150b), 저장 커패시터(160), 데이터 배선(111), 전력 배선(112), 제 1 스캔 배선(113) 및 제 2 스캔

배선(114)과 같은 다양한 회로 소자의 구성과 배열이 도시되어 있다. 제 1 전극과 제 2 전극을 포함하는 유기발광 다이오드는 도 7에 도시되어 있지 않다.

[0087] 도 7에 도시된 바와 같이 변환 트랜지스터(140)는 게이트 도전체(145) 하부에 위치한 채널 영역이 폭 W2와 길이 L1을 갖도록 구성된다. 제 1 구동 트랜지스터(150a)는 게이트 도전체(145) 하부에 위치한 채널 영역이 폭 W5와 길이 L1을 갖도록 구성된다. 제 2 구동 트랜지스터(150b)는 게이트 도전체(145) 하부에 위치한 채널 영역이 폭 W6과 길이 L1을 갖도록 구성된다.

[0088] 제 3 배치 실시 예에 따르면, 제 1 구동 트랜지스터(150a)의 채널 영역과 제 2 구동 트랜지스터(150b)의 채널 영역은 그 사이에 배치된 변환 트랜지스터(140)의 채널 영역과 이격되어 있다. 이러한 배치를 달성하기 위해 구동 트랜지스터가 두 개의 다른 반도체 영역으로부터 형성될 수 있다. 예를 들어 제 1 구동 트랜지스터(150a)는 반도체 영역(151a)으로부터 형성되고, 제 2 구동 트랜지스터(150b)는 반도체 영역(151b)으로부터 형성된다. 제 1 구동 트랜지스터(150a)와 전력 배선(112)은 비아(153a)를 통해 전기적으로 접속된다. 제 2 구동 트랜지스터(150b)와 전원배선(112)은 비아(153b)를 통해 전기적으로 접속된다. 제 1 구동 트랜지스터(150a)와 유기발광 다이오드(도시 생략)의 제 1 전극 사이에는 비아(152a)를 통한 전기적 접속이 이루어진다. 제 2 구동 트랜지스터(150b)와 유기발광 다이오드(도시 생략)의 제 1 전극 사이에는 비아(152b)를 통한 전기적 접속이 이루어진다. 게이트 도전체(145)는 제 1 구동 트랜지스터(150a), 제 2 구동 트랜지스터(150b) 및 변환 트랜지스터(140)에 대해 게이트 전극으로 작용한다.

[0089] 본 발명의 제 3 배치 실시 예에 따라, 제 1 구동 트랜지스터(150a)의 채널 영역과 제 2 구동 트랜지스터(150b)의 채널 영역 사이에 변환 트랜지스터(140)의 채널 영역을 배치함으로써, 회로가 반도체 층 및 반도체 층과 게이트 간 절연 층과 같은 층들의 물리적 특성의 국지적 변동에 대해 더욱 내성을 갖게 된다. 예를 들어 게이트 절연물 두께 및 결정립 크기 등과 같은 물리적 특성들은, 예를 들어 임계 전압과 캐리어 이동도와 같은 트랜지스터의 전기적 특성에 직접적으로 영향을 미친다. 즉, 제 1 구동 트랜지스터(150a)의 채널 영역과 제 2 구동 트랜지스터(150b)의 채널 영역 사이에 변환 트랜지스터(140)의 채널 영역을 배치함으로써, 변환 트랜지스터(140)의 특성은 제 1 구동 트랜지스터(150a)의 특성과 제 2 구동 트랜지스터(150b)의 특성의 중간 값에 접근한다. 전술한 바와 같이 제 1 구동 트랜지스터(150a)와 제 2 구동 트랜지스터(150b)가 서로 병렬로 전기적으로 연결되어 있고 이들의 게이트 또한 전기적으로 접속되어 있기 때문에, 데이터 신호가 화소 행에 기록될 때, 변환 트랜지스터로부터 오는 전류흐름 또는 그 비율이 두 개의 구동 트랜지스터로 미러링되고 둘 사이에 배분될 것이다. 제 3 배치 실시 예에 있어서, 제 1 구동 트랜지스터(150a)와 제 2 구동 트랜지스터(150b)의 특성의 대략 중간 값을 가지도록 변환 트랜지스터(140)를 구성함으로써 그러한 특성의 변동성에 대한 전반적 내성이 향상된다.

[0090] 반도체 층이 상술한 바와 같이 레이저를 사용하는 어닐링에 의해 결정화되는 경우에는 본 발명의 제 3 배치 실시 예를 실시함으로써 내성이 향상될 수 있다. 그러나 본 발명의 제 3 배치 실시 예는 이러한 경우로 한정되지 않는다. 반도체 층이 레이저를 사용하는 어닐링에 의해 결정화되는 경우에는 레이저 펄스의 변동성에 대한 회로의 내성을 향상시키는 것이 바람직하며, 이는 결과적으로 반도체 층의 특성에 영향을 미친다. 레이저 펄스(501) 및 레이저 펄스(502) 등과 같은 레이저 펄스 에너지의 변동성에 대한 회로의 민감도를 감소시키기 위해서는, 도시된 바와 같이 제 1 구동 트랜지스터(150a)의 채널 영역, 변환 트랜지스터(140)의 채널 영역 및 제 2 구동 트랜지스터(150b)의 채널 영역이 레이저 펄스에 평행하게 배치되는 것이 바람직하다. 변환 트랜지스터(140)의 채널 영역을 제 1 구동 트랜지스터(150a)의 채널 영역과 제 2 구동 트랜지스터(150b)의 채널 영역 사이에 이처럼 평행 배열로 배치함으로써, 변환 트랜지스터(140)의 채널 영역에 제 1 구동 트랜지스터(150a)의 채널 영역과 제 2 구동 트랜지스터(150b)의 채널 영역에 수신되는 레이저 에너지의 대략 평균값을 제공하게 되며, 그에 따라 펄스의 길이 방향에 따른 레이저 에너지 변동성에 대해 내성이 향상된다.

[0091] 레이저를 사용하여 반도체 영역을 어닐링할 때, 제 1 구동 트랜지스터(150a), 제 2 구동 트랜지스터(150b) 및 변환 트랜지스터(140)의 채널 영역 내부의 반도체 영역들 간의 변동성을 더욱 감소시키기 위하여 이 영역들은 동일한 펄스 또는 연속되는 펄스에 의하여 결정화되어야 한다. 그리하여 제 1 구동 트랜지스터(150a), 제 2 구동 트랜지스터(150b) 및 변환 트랜지스터(140)의 채널 영역은 레이저 펄스에 대하여 모든 영역이 한 펄스의 길이 안에 위치하고 동일한 연속되는 펄스에 의해 동시에 어닐링되도록 배치된다. 또한 스캔 방향(510)으로 표시된 바와 같이, 변환 트랜지스터(140), 제 1 구동 트랜지스터(150a) 및 제 2 구동 트랜지스터(150b)의 채널 영역은, 연속되는 펄스가 채널 영역을 가로질러 가면서 모든 채널 영역에 거의 동시에 도달하여 거의 동시에 모든 채널 영역의 어닐링이 종료될 수 있도록 배치된다. 이는 예를 들면 도시된 바와 같이 채널 영역의 길이 또는 폭 중 하나가 레이저 펄스에 수직하도록 채널 영역을 배치하고 채널 영역이 서로 간에 적절히 정렬

되도록 함으로써 달성될 수 있다. 제 1 구동 트랜지스터(150a), 제 2 구동 트랜지스터(150b) 및 변환 트랜지스터(140)의 채널 영역이 이러한 정렬된 상태를 달성하기 위해서는, 제 1 구동 트랜지스터(150a), 제 2 구동 트랜지스터(150b) 및 변환 트랜지스터(140)의 길이 또는 폭 중 하나가 동일하게 제조되는 것이 바람직하다. 도 7의 예에 도시된 바와 같이, 제 1 구동 트랜지스터(150a), 제 2 구동 트랜지스터(150b) 및 변환 트랜지스터(140)의 채널 영역의 채널 폭은 다르게 제조된 반면, 이 영역의 채널 길이는 동일하게 제조된다. 채널 영역들이 정확히 동일한 연속되는 펄스에 의해 어닐링되는 것이 바람직하지만, 각 채널 영역의 적어도 일부분, 바람직하게는 50 % 이상이 동시에 같은 펄스에 의해 어닐링되도록 채널 영역을 배치함으로써 여전히 어느 정도의 이득을 달성할 수 있다.

[0092]

제 2 배치 실시 예는 두 개의 변환 트랜지스터 사이에 배치된 구동 트랜지스터로 기술되었다. 이러한 개념은 통상의 기술을 가진 자에 의해 최소 두 개의 변환 트랜지스터 사이에 배치된 최소 한 개의 구동 트랜지스터에 이어 둘 또는 그 이상의 변환 트랜지스터로 확장될 수 있다. 그러한 실시 예는 본 발명의 범위 내에 있는 것으로 간주한다. 제 3 배치 실시 예는 두 개의 구동 트랜지스터 사이에 배치된 변환 트랜지스터로 기술되었다. 이러한 개념은 통상의 기술을 가진 자에 의해 최소 두 개의 구동 트랜지스터 사이에 배치된 최소 한 개의 변환 트랜지스터에 이어 둘 또는 그 이상의 구동 트랜지스터로 확장될 수 있다. 그러한 실시 예도 본 발명의 범위 내에 있는 것으로 간주한다. 둘 또는 그 이상의 구동 트랜지스터 및 둘 또는 그 이상의 변환 트랜지스터의 실시예의 조합 또한 통상의 기술을 가진 자에 의해 달성이 가능하며, 그러한 조합 역시 본 발명의 범위 내에 있는 것으로 간주한다. 상기에 언급된 어떠한 구조라도 트랜지스터 특성의 변동성에 대한 내성을 강화시킬 여지가 있을 것이다.

부호의 설명

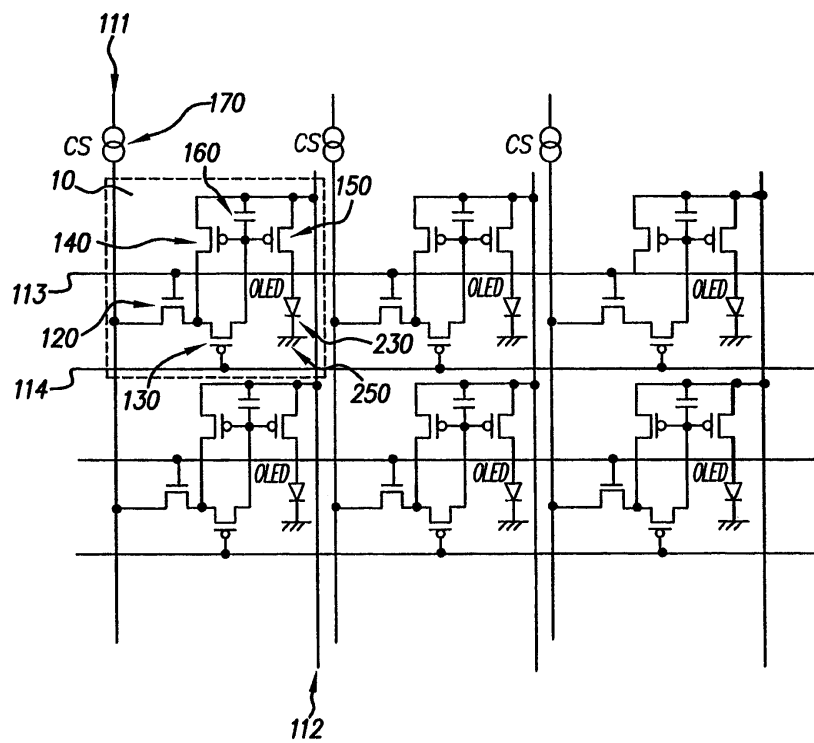
[0093]

10: 화소	111: 데이터 배선
112: 전력 배선	113: 제 1 스캔 배선
114: 제 2 스캔 배선	120: 선택 트랜지스터
121: 반도체 영역	122: 비아
123: 비아	125: 도전체 브릿지
125a: 도전체 브릿지	130: 스위치 트랜지스터
131: 반도체 영역	131a: 반도체 영역
132: 비아	133: 비아
140: 변환 트랜지스터	140a: 제 1 변환 트랜지스터
140b: 제 2 변환 트랜지스터	141b: 반도체 영역
142: 비아	142a: 비아
142b: 비아	143a: 비아
143b: 비아	145: 게이트 도전체
150: 구동 트랜지스터	150a: 제 1 구동 트랜지스터
150b: 제 2 구동 트랜지스터	151: 반도체 영역
151a: 반도체 영역	151b: 반도체 영역
152: 비아	152a: 비아
152b: 비아	153: 비아
153a: 비아	153b: 비아
160: 저장 커패시터	161: 반도체 영역
162: 비아	170: 전류 소스
200: 기판	212: 제 1 유전 층

- | | |
|----------------|----------------|
| 213: 제 2 유전 층 | 214: 제 3 유전 층 |
| 230: 유기발광 다이오드 | 240: 유기 EL 매체 |
| 241: 정공 주입 층 | 242: 정공 운반 층 |
| 243: 발광 층 | 245: 전자 운반 층 |
| 250: 제 2 전극 | 260: 제 1 전극 |
| 270: 발광 | 501: 레이저 펄스 |
| 502: 레이저 펄스 | 510: 레이저 스캔 방향 |

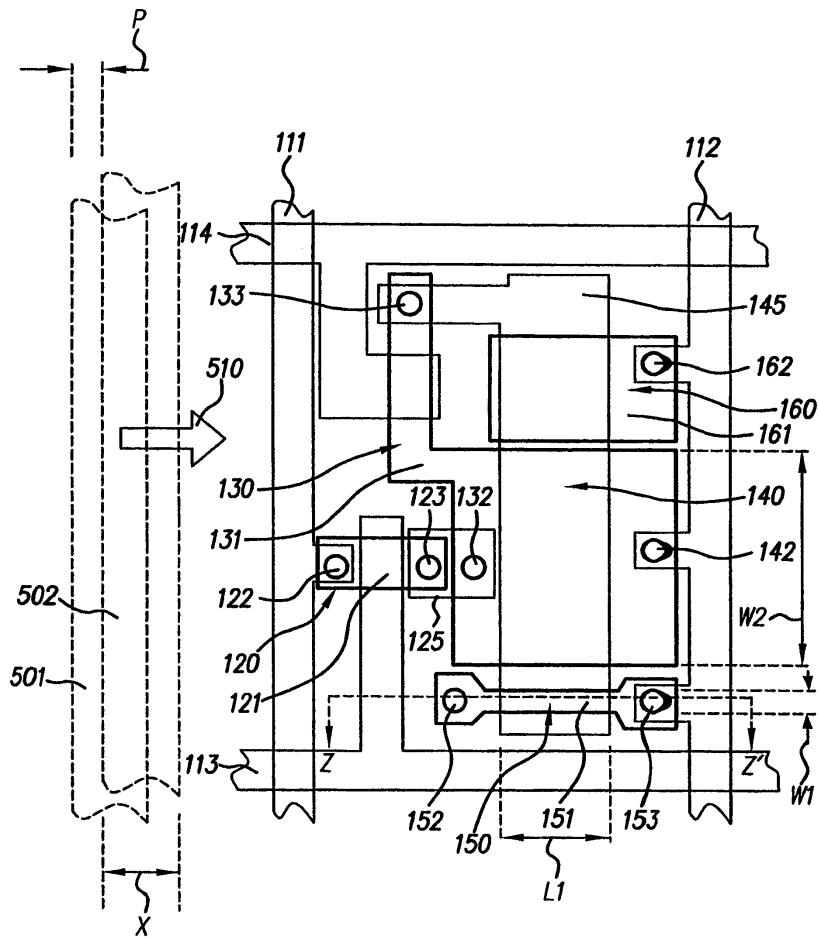
도면

도면1

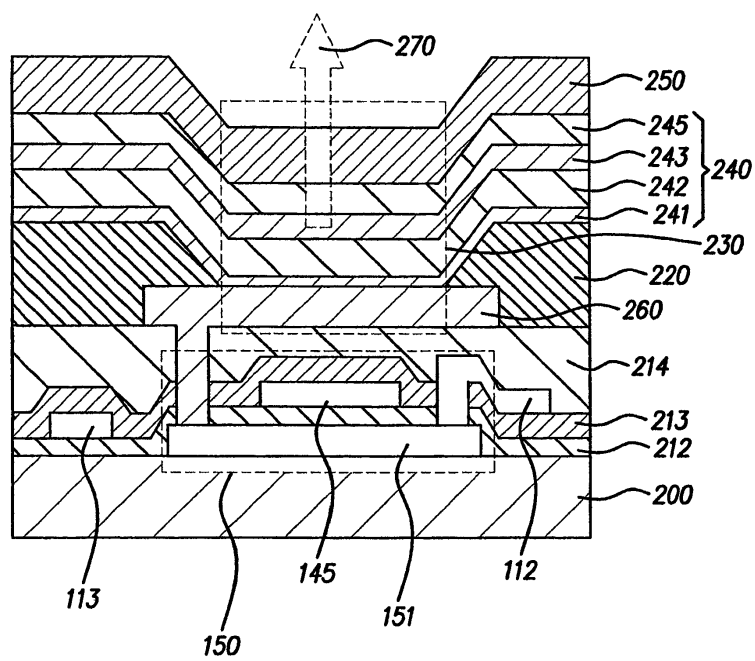


(종래기술)

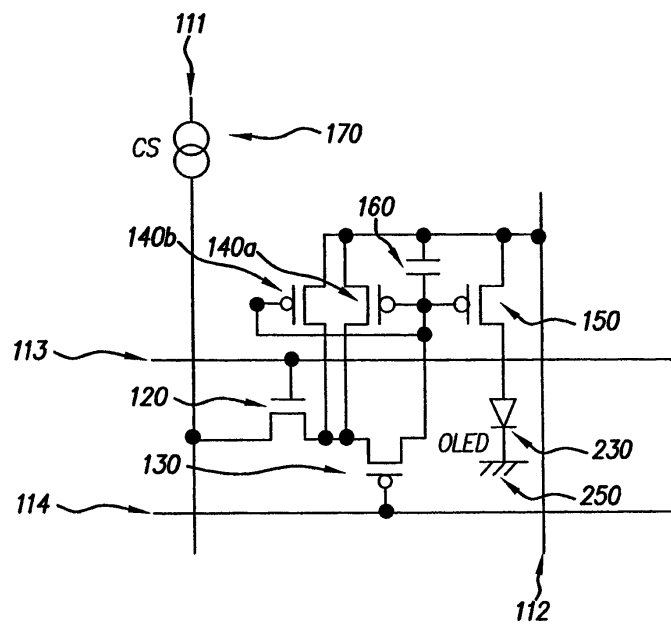
도면2



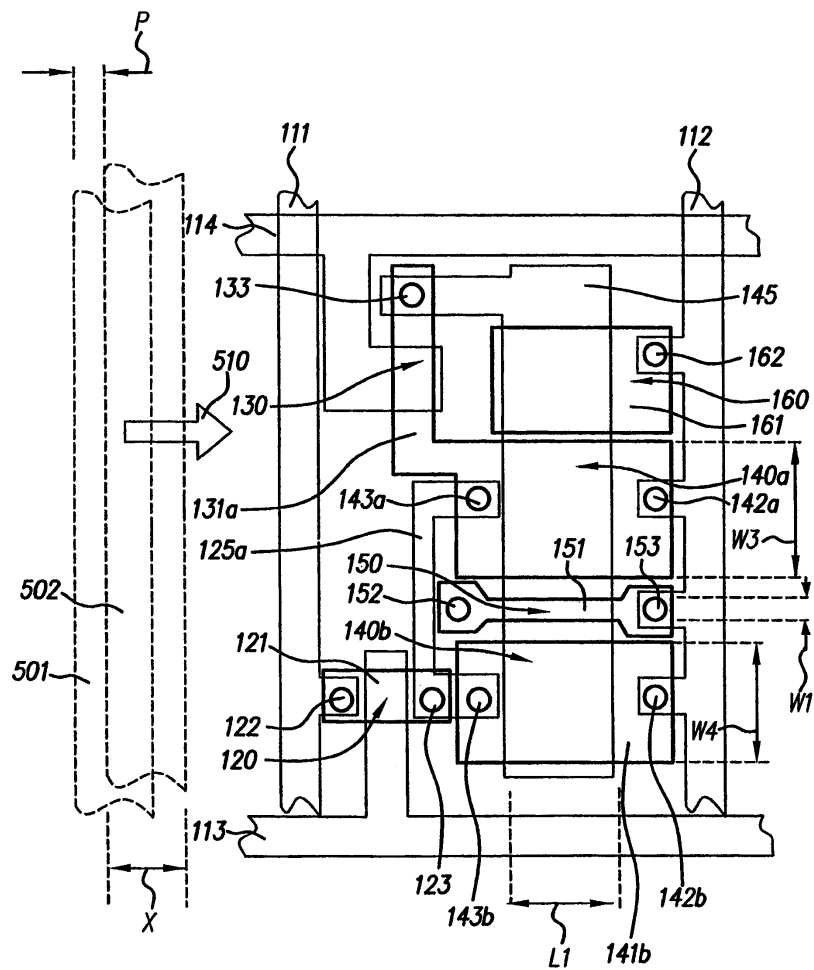
도면3



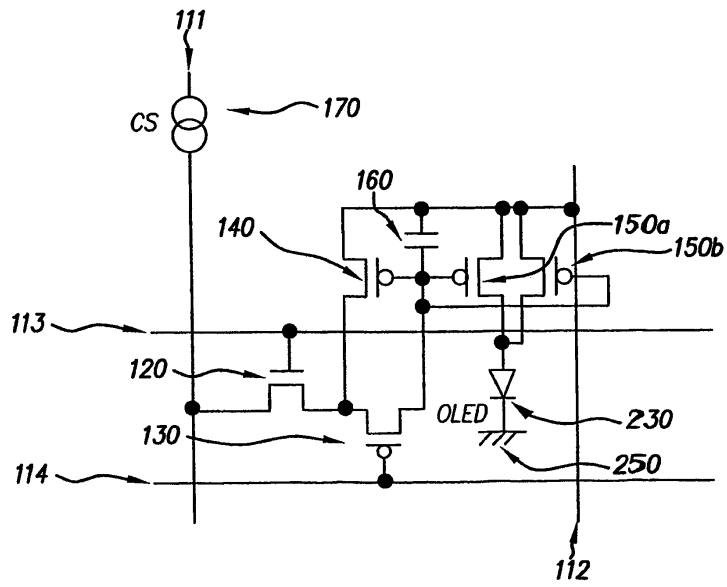
도면4



도면5



도면6



도면7

