

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4964774号
(P4964774)

(45) 発行日 平成24年7月4日 (2012.7.4)

(24) 登録日 平成24年4月6日 (2012.4.6)

(51) Int. Cl.

F I

G06T 1/20 (2006.01)
H04N 7/26 (2006.01)
G06F 15/17 (2006.01)

G06T 1/20 B
H04N 7/13 Z
G06F 15/17 620H

請求項の数 12 (全 13 頁)

(21) 出願番号 特願2007-527262 (P2007-527262)
(86) (22) 出願日 平成17年4月29日 (2005.4.29)
(65) 公表番号 特表2007-538334 (P2007-538334A)
(43) 公表日 平成19年12月27日 (2007.12.27)
(86) 国際出願番号 PCT/US2005/015130
(87) 国際公開番号 W02005/116853
(87) 国際公開日 平成17年12月8日 (2005.12.8)
審査請求日 平成18年11月17日 (2006.11.17)
(31) 優先権主張番号 10/850,095
(32) 優先日 平成16年5月20日 (2004.5.20)
(33) 優先権主張国 米国 (US)

(73) 特許権者 593096712
インテル コーポレーション
アメリカ合衆国 95052 カリフォル
ニア州 サンタ クララ ミッション カ
レッジ ブールバード 2200
(74) 代理人 100070150
弁理士 伊東 忠彦
(74) 代理人 100091214
弁理士 大貫 進介
(74) 代理人 100107766
弁理士 伊東 忠重
(72) 発明者 リッピンコット, ルイス
アメリカ合衆国 94024 カリフォル
ニア州 ロス アルトス アンダーソン
ドライブ 720

最終頁に続く

(54) 【発明の名称】 ビデオ処理のための階層的プロセッサ構造

(57) 【特許請求の範囲】

【請求項 1】

ビデオ情報をデコードするシステムであって、
ビデオ情報のフレーム、ビデオ情報の前記フレームを記述する種別情報およびビデオ情
報の前記フレームをデコードするための諸命令を保存するメモリと、
複数のプロセッサであって、各プロセッサがビデオ情報のフレームをデコードするた
めのある諸命令を記憶するための命令メモリを含み、各プロセッサが前記命令メモリに保存
された前記諸命令を実行して前記ビデオ情報のフレームをデコードするよう構成されてい
る、複数のプロセッサと、
前記ビデオ情報の特定のフレームを処理するのに必要とされる前記諸命令のサブセット
を、前記特定のフレームを記述する前記種別情報から決定し、前記諸命令の前記サブセッ
トを前記複数のプロセッサのうちの少なくとも一つのプロセッサの命令メモリに、そのプ
ロセッサによる実行のために保存させる制御プロセッサ、
とを有することを特徴とするシステム。

【請求項 2】

前記複数のプロセッサの各プロセッサの前記命令メモリが第一のサイズであり、
前記制御プロセッサが前記第一のサイズの少なくとも10倍である第二のサイズの命令メ
モリを含むことを特徴とする、請求項 1 記載のシステム。

【請求項 3】

前記メモリ、前記複数のプロセッサおよび前記制御プロセッサに接続された、ビデオ情

報のフレーム、前記種別情報および前記諸命令の転送を調整する直接メモリアクセス・デバイスをさらに有することを特徴とする、請求項1記載のシステム。

【請求項4】

前記種別情報が、前記ビデオ情報のフレーム種別を示す第一の情報または前記ビデオ情報の走査種別を示す第二の情報を含む、請求項1記載のシステム。

【請求項5】

ビデオ情報をデコードする方法であって、

前記ビデオ情報を分類する種別情報から、実行されるべきデコード・タスクを第一のプロセッサによって判別し、

前記デコード・タスクを実行するための諸命令を第二のプロセッサ内の命令メモリに保存し、

前記第二のプロセッサによって、前記命令メモリ中の前記諸命令を実行してビデオ情報のあるフレームをデコードする、
ことを含むことを特徴とする方法。

【請求項6】

前記種別情報が少なくとも前記ビデオ情報のフレーム種別を含むことを特徴とする、請求項5記載の方法。

【請求項7】

前記種別情報が少なくとも前記ビデオ情報の表示モードを含むことを特徴とする、請求項5記載の方法。

【請求項8】

前記第一のプロセッサによって前記保存ののちに、実行されるべき別のデコード・タスクを前記種別情報から判別し、

前記別のデコード・タスクを実行するための第二の諸命令を第三のプロセッサ内の命令メモリ中に保存する、
ことをさらに含むことを特徴とする、請求項5記載の方法。

【請求項9】

前記第三のプロセッサによって、前記命令メモリ中の前記第二の諸命令を実行してビデオ情報の別のフレームをデコードする、
ことをさらに含むことを特徴とする、請求項8記載の方法。

【請求項10】

ビデオ情報をデコードする装置であって、

複数の第一のプロセッサであって、その命令メモリに提供されたビデオ・デコード・プログラムを実行することによりビデオ・データのフレームをデコードする、複数の第一のプロセッサと、

ビデオ・データの前記フレームを記述するフレーム種別情報に基づいて前記第一のプロセッサに提供するための適切なビデオ・デコード・プログラムを決定する第二のプロセッサと、

前記第一のプロセッサおよび前記第二のプロセッサに接続された、ビデオ・データの前記フレームおよび前記適切なビデオ・デコード・プログラムを前記第一のプロセッサに提供し、前記フレーム種別情報を前記第二のプロセッサに提供するメモリアクセス装置、
とを有することを特徴とする装置。

【請求項11】

前記第一のプロセッサが少なくとも8個の相異なるプロセッサを含むことを特徴とする、請求項10記載の装置。

【請求項12】

一つの第一のプロセッサが第一の命令メモリを含み、

前記第二のプロセッサが、前記第一の命令メモリの少なくとも10倍の大きさの第二の命令メモリを含み、
ことを特徴とする、請求項10記載の装置。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

特許請求される発明の実装は概略的には情報処理に、より詳細には受信したビデオ情報の処理に関しうる。

【背景技術】

【0002】

ある種の処理タスクには、複雑なアルゴリズムおよび著しい量の処理データの両方が関わってることがありうる。ビデオ情報のデコードおよび／またはエンコードはそのような処理タスクの一つでありうる。たとえば、ビデオ情報の種々のインターレース方式、フレーム種別、順序などは、はいってくるビデオのストリームを扱うプロセッサに対してアルゴリズム上の複雑さを呈しうる。いくぶん高いフレームレートおよび／またはフレームあたりのピクセル数も著しい量の処理データ（たとえば計算負荷）を呈しうる。

【0003】

そのような処理タスクを扱う一つの方法は、論理的に複雑なタスクを扱うことができ、それでいて著しい量のデータを扱うのに十分高速／高性能であるプロセッサを使用することでありうる。しかしながら、そのようなアプローチは比較的速いクロック周波数で動作する比較的大きくて複雑なプロセッサを必要としうる。比較的速いクロック周波数で動作する大きくて複雑なプロセッサは、比較的高い電力量を費消しうる。

【0004】

本明細書に組み込まれてその部分をなす付属の図面は、本発明の原理と整合する一つまたは複数の実施形態を示し、本文と一緒にそのような実施形態を説明するものである。図面は必ずしもスケール通りではなく、むしろ本発明の原理を図解することに重点が置かれている。

【発明を実施するための最良の形態】

【0005】

以下の詳細な記述は付属の図面を参照する。同じまたは同様な要素を指すために異なる図面において同じ参照符号が使われることがある。以下の記述では、限定ではなく説明の目的で、特許請求される発明のさまざまな側面の完全な理解を提供するために、特定の構造、アーキテクチャ、インターフェース、技法などといった個別的な詳細が記載されるが、本開示の恩恵を得た当業者には、特許請求される本発明のさまざまな側面はこうした個別的な詳細からは外れる他の例において実施されることもできることは明らかであろう。場合によっては、よく知られた装置、回路および方法の記述は、本発明の記載を不必要な詳細によって埋没させないよう省略される。

【0006】

図1は例としてのシステム100を示している。システム100の例としての実施形態はパーソナルビデオレコーダー（PVR）またはデジタル多用途ディスクレコーダー（DVD-R）であるが、特許請求される発明はこれに関して限定されない。たとえば、システム100は汎用コンピュータ、携帯機器、消費者電子装置またはその他の電気システム内に具現されてもよい。システム100は単一の装置内に具現されてもよいが、実施形態によってはシステム100のある種の構成要素はシステム100のその他の構成要素からはリモートおよび／または物理的に離れていてもよい。さらに、システム100は離散的な諸構成要素を含むものとして例示されるが、これらの構成要素はハードウェア、ソフトウェア／ファームウェアまたはそれらの組み合わせにおいて実装されてもよい。ハードウェアで実装されるとき、システム100のいくつかの構成要素がある種のチップまたは装置において組み合わされてもよい。

【0007】

システム100はデータソース110、メモリ120、データプロセッサ130、データ目的地170を含みうる。ソース110はデータをメモリ120に送りうる。メモリ120内のデータはデータプロセッサ130によって処理されうる。処理されたデータは目

的地 170 に送られうる。説明の目的上、送られ、作用されるデータはメディアデータ（たとえばビデオ情報）を含むことがあるが、特許請求される発明はこれに関して限定されない。データプロセッサ 130 はここにおける記載と整合する、メディア情報以外のその他の種類のデータを処理してもよい。

【0008】

ソース 110 はシステム 100 の残りにメディア情報を提供する装置を含みうる。ソース 110 によって提供されるメディア情報は、MPEG-1, MPEG-2, MPEG-4, H.264, ウィンドウズ（登録商標）・メディア・ビデオ・バージョン 9（WMV9）および先進ビデオシステム（AVS: Advanced Video System）のフォーマットといったフォーマットでエンコードされたビデオ情報を含みうる。特許請求される発明はここで具体的に言及されるフォーマットに限定されない。むしろ、現在知られている、あるいはのちに開発されるいかなるメディアフォーマットでもここに開示される方式に従って使用されうる。

10

【0009】

実施形態によっては、ソース 110 は、ビデオ情報（たとえば高精細度（HD: high definition）MPEG-2 情報）のストリームまたはチャンネルをメディア情報の他のストリームまたはチャンネルから分離させるためのチューナーを含みうる。いくつかの実施形態では、ソース 110 は記憶媒体からメディア情報を読むための読み取り器を含みうる。たとえば、そのような読み取り器は、DVD、ハードディスク、半導体記憶装置またはその他の記憶媒体からビデオ情報を抽出するための光学式、磁気式および／または電気式読み取り器を含みうる。

20

【0010】

実施形態によっては、ソース 110 は、メディア情報を通信リンク（図示せず）から受信するための受信機回路を含みうる。ソース 110 中のそのような受信機は、有線、光または無線の伝送媒体から情報を受信するよう構成されうる。ソース 110 中の受信機は、所望の情報を他の受信情報から分離させるためのチューナーその他の装置と一緒に作用してもよいし、そうでなくてもよい。

【0011】

メモリ 120 はソース 110 からメディア情報を受け取って該メディア情報を保存しうる。データプロセッサ 130 から命令されればメモリ 120 が処理されたメディアデータを目的地 170 に提供することもできるし、および／または目的地 170 がデータプロセッサ 130 によってトリガーされたときにそのような処理されたメディアデータを読み取ることもできる。メモリ 120 は、データの高速な転送および保存を容易にするためにランダムアクセスメモリ（RAM）を含みうる。そのような RAM は、システム 100 の設計パラメータに従って、同期式、非同期式、倍速データレート（DDR: double data rate）などでありうる。

30

【0012】

メディアデータを保存することに加えて、メモリ 120 はデータプロセッサ 130 および／またはその構成要素による使用のための命令を保存しうる。そのような命令はタスク特異的であり、要求されたときにデータプロセッサ 130 に提供されうる。メモリ 120 は、データプロセッサ 130 によってロードされたときにデータプロセッサ 130 がソース 110 から受け取ったデータ（たとえばメディアまたはビデオデータ）に対して多様な処理タスクを実行できるようにするそのような命令の一つまたは複数のセットを含みうる。

40

【0013】

データプロセッサ 130 は、制御プロセッサ 140、いくつかの低レベルプロセッサ 150-1、150-2...150-n（まとめて「低レベルプロセッサ 150」）および直接メモリアクセス（DMA: direct memory access）160 を含みうる。実施形態によっては、要素 130~160 のすべては同じチップまたはパッケージ内に位置されうる。しかし、実施形態によっては、低レベルプロセッサ 150 および DMA 160 は一つのチップまたはパッケージ内でありうる一方、制御プロセッサ 140 は別個のチップまたはパッケ

50

ージに位置されうる。その他の組み合わせおよび実装も可能である。

【0014】

制御プロセッサ140は、比較的複雑な処理動作を制御および／または調整するために十分な命令メモリを含みうる。そのような複雑な動作（たとえばビデオ情報のデコード）を扱う際には、制御プロセッサはそのタスクのためにどのリソースが必要とされるかを判定し（たとえばデコード・アルゴリズムのようなアルゴリズムを構文解析することによって）、リソースをそのタスクに割り当てる（たとえば、低レベルプロセッサ150を適切に構成設定することによって）ことを両方行いうる。この後者、割り当て機能においては、制御プロセッサ140は、タスク特異的な命令を、メモリ120から低レベルプロセッサ150にロードするよう構成されうる。

10

【0015】

いくつかの処理動作は「データ駆動」（たとえば、ソース110からのデータによって定義される）でありうる。そこで制御プロセッサ140はどの種類の処理が実行されるべきかを決定するために指標データを調べる。制御プロセッサ140は次いで、指標データに続くソース110からのデータを処理するために、メモリ120からの適切な命令を用いて低レベルプロセッサ150を構成設定しうる。制御プロセッサ140はまた、低レベルプロセッサ150のあるものを、並列式にあるデータを処理するため、および／またはあるタスクを実行するために割り当てうる。制御プロセッサ140は低レベルプロセッサ150を、新たに受け取られた指標データに基づいて必要に応じて構成設定しなおしうる。この制御方式については、のちにさらに詳細に述べる。

20

【0016】

論理的に複雑なタスクおよび比較的多量のデータに関わるタスクを処理するために、制御プロセッサ140は論理的な複雑さを扱うことができ、当該量のデータを扱うために望むなら「オンザフライで」低レベルプロセッサ150を構成設定することができる。これらの機能を達成するため、制御プロセッサ140はその命令メモリにおいて、低レベルプロセッサ150の約10倍以上の数の命令（たとえば、少なくとも10倍）のための余地を有しうる。ある実施形態では、制御プロセッサ140は約32キロバイト（KB）の命令RAMを有しうる。ただし、特許請求される発明はこれに関して限定されない。

【0017】

低レベルプロセッサ150は制御プロセッサ140より少量の命令メモリ（たとえば1/10未満）をもついくつかのプロセッサを含みうる。ある実施形態では、低レベルプロセッサ150はそれぞれ約1.5キロバイト（KB）の命令RAMを有しうるが、特許請求される発明はこれに関して限定されない。命令メモリの容量がより小さいため、低レベルプロセッサ150のそれぞれは、比較的小さなコードサイズに対応するタスクを実行しうる。低レベルプロセッサ150はまたたとえば、キャッシュ（caches）、深いパイプライン（deep pipelines）、分岐予測（branch prediction）、投機的実行（speculative execution）などのうちの一つまたは複数を欠いていてもよい。しかし、低レベルプロセッサ150の比較的小さなメモリおよび比較的単純な構造は、より複雑なプロセッサに比して電力および大きさの節約につながりうる。実施形態によっては、諸低レベルプロセッサ150は構造および性能において均質でもよいが、実施形態によっては諸低レベルプロセッサ150は構造および／または性能において不均質であってもよい。

30

40

【0018】

説明の簡単のため図1には明示的に示していないが、低レベルプロセッサ150はいくつかの実施形態では相互接続されていてもよい。たとえば、行列型の構成では、低レベルプロセッサ150の一つが低レベルプロセッサ150のうちの一つ、二つ、三つまたはそれ以上の他のものに接続されていることができる。いくつかの実施形態では、低レベルプロセッサ150の数は一桁（たとえば4つまたは8つ）であってもよいが、他の実施形態では2桁の数（たとえば16、20、32、40など）の低レベルプロセッサ150があってもよい。また、低レベルプロセッサ150は処理タスクを実行するものとして記述されることになるが、実施形態によっては低レベルプロセッサ150のそれぞれは一つまたは複数の

50

低レベルプロセッサ 150 と共同してサブタスクを実行してもよい。低レベルプロセッサ 150 については、その他の構造上および処理フローの変形も可能であり、かつ考えられている。

【0019】

いずれにせよ、低レベルプロセッサ 150 はメモリ 120 からの命令および制御プロセッサ 140 からの指揮に基づいてそれらの命令を使って処理するデータを受け取りうる。受け取った命令に依存して、低レベルプロセッサ 150 のそれぞれは、プロセッサの間で可能な異なる処理タスクについての特定目的のプロセッサとなるよう構成されうる。低レベルプロセッサ 150 は、それぞれのデータを可能性としては並列で、取得し、処理するよう構成されうる。さらに、低レベルプロセッサ 150 のどの一つも、現在のタスクが完了するたびに構成設定しなおされ（たとえば異なる命令を受け取り）うる。しかし、制御プロセッサ 140 は、低レベルプロセッサ 150 のいくつかが実行される必要のあるタスクのためにすでに構成設定されている場合にはそれらを再使用してもよい（すなわち、構成設定しなおさない）。制御プロセッサ 140 による低レベルプロセッサ 150 の構成設定のため、データプロセッサ 130 は階層的プロセッサ（hierarchical processor）と称されうる。

【0020】

DMA 160 はメモリ 120 からのデータの読み取りおよび／またはメモリ 120 へのデータの書き込みを行いうる。そうすることにおいて、DMA 160 は、制御プロセッサ 140 がソース 110 から指標データを読むのを容易にしうる。DMA 160 はまた、命令データおよび処理すべきデータを低レベルプロセッサ 150 に提供しうる。DMA 160 はまた、低レベルプロセッサ 150 の間のデータの流れを制御しうる。DMA 160 はメモリ 120 と単一の接続でつながれているように図示されているが、それは単に DMA 160 とメモリ 120 との間の双方向のデータ転送を示すのみであって、特許請求される発明を限定するものではないことを理解しておくべきである。実際上は、DMA 160 とメモリ 120 との間には、図 1 には明示的に示されていないものの、一つまたは複数の追加的な（たとえば制御）接続が存在しうる。この例示的な原則は、図 1 に示されているその他の接続にもあてはまる。

【0021】

データ目的地 170 は、処理されたデータ（たとえば、デコードされたメディアまたはビデオ情報）を保存または出力するよう構成されうる。実施形態によっては、目的地 170 は、別のシステムまたはシステム 100 の別の構成要素（図示せず）にデータプロセッサ 130 によって処理されたデータへのアクセスを提供するための出力インターフェースを含みうる。そのような物理的な出力インターフェースは光学式、電気式、無線式などでありえ、データの伝送および／またはアクセスのための一つまたは複数の現存またはのちに開発されるインターフェース仕様に従うものでありうる。

【0022】

実施形態によっては、目的地 170 は処理されたデータを保存するための記憶装置を含みうる。たとえば、目的地 170 は情報を保存するためのハードディスクまたはフラッシュメモリを含みうる。実施形態によっては、目的地 170 は、処理された情報を持ち運び可能な記憶媒体に転送するための書き込み可能な光学式ドライブ（たとえば DVD-RW など）を含みうる。後刻、再生または他の何らかの目的のために、目的地 170 内の保存情報に表示プロセッサ（図示せず）がアクセスしてもよい。

【0023】

目的地 170 についていくつかの例示的な実施形態を議論してきたが、特許請求される発明は明示的に言及されたものに限定されるべきではなく、メモリ 120 からの処理された情報を伝送または保存することのできるいかなる装置またはインターフェースをも包含すべきである。デコードされたビデオ情報は、実施形態によっては、それが受け取られたストリームに再挿入されてもよい（たとえば別のチャンネルへの戻し変調（back modulation）によって）。

【0024】

図2は、データに対する作用のプロセス200を示すフローチャートである。プロセス200は説明の便宜上システム100に関して述べられるかもしれないが、特許請求される発明はこれに関して限定されない。処理は制御プロセッサ140がメモリ120から指標データを読み取り、該指標データに基づいて実行すべき一つまたは複数のタスクを判別することで開始されうる（動作210）。制御プロセッサ140は、その命令メモリ内に常駐している命令（たとえばアルゴリズムをなす命令）を使ってそのような判別を行う。のちにより詳細に述べる一つの例では、制御プロセッサ140はビデオデータのためのデコード・アルゴリズムを実行しうる。そして使用される指標データはたとえば、ビデオデータのある特定のフレームがどのような種類のエンコードを有しているかでありうる。

10

【0025】

処理は続き、制御プロセッサ140は、前記一つまたは複数のタスクを実行するための命令が低レベルプロセッサ150のうちの一つまたは複数のロードされるよう手配しうる（動作220）。実施形態によっては、制御プロセッサ140はDMA160に、メモリ120内の適切な命令（たとえば単数または複数のマイクロコード・プログラム）にアクセスしてそれらを低レベルプロセッサ150に渡すよう命令しうる。実施形態によっては、制御プロセッサ140は低レベルプロセッサ150に、メモリ120から命令をDMA160を介して入手するよう命令しうる。指標データが処理されるべき他のデータに先行する限り、制御プロセッサ140は比較的低い遅延（delay）または潜在時間（latency）で命令を低レベルプロセッサ150にロードしうる。

20

【0026】

命令を受け取った低レベルプロセッサ150は該命令を実行して、制御プロセッサ140によって決定された前記一つまたは複数のタスクを実行しうる（動作230）。そのような命令実行は、命令をロードした後まもなく、おそらくは小規模な構成設定（たとえばメモリ120中のどこでデータを取得すべきか）が低レベルプロセッサ150に対してなされたのち開始されうる。動作230またはそれ以前の動作の一部として、制御プロセッサ140または低レベルプロセッサ150はDMA160を、処理タスクの間、低レベルプロセッサ150にデータを届け、低レベルプロセッサ150からデータを受け付けるようプログラムしうる。一つの計算タスクは単一の低レベルプロセッサ150が実行しうるが、実施形態によっては一つのタスクを実行するために二つ以上の低レベルプロセッサ150が協働しうる。また、実施形態によっては、低レベルプロセッサ150はそれぞれのタスクまたはそのようなタスクの部分を実行してもよい。

30

【0027】

低レベルプロセッサ150はそれぞれの処理タスクのためにメモリ120との間でDMA160を介して適宜データを転送しうる（動作240）。そのような処理が完了したとき、処理されたデータは、バッファリングおよび／または目的地170への転送のために、メモリ120に転送されうる。

【0028】

動作210～240は逐次の計算タスクのために適宜反復されうる。上記のように、制御プロセッサ140は動作210および220を実行および／または調整することができ、低レベルプロセッサ150は動作230および240を実行および／または調整することができる。動作210～240の反復は、指標データがメモリ120によって受け取られるのがいつかに依存しうる。たとえば、指標データの次のデータ片（たとえば、次のタスクまたはタスクのセットを示すもの）が低レベルプロセッサ150がデータを処理し終わるまで受け取られないとすると、制御プロセッサ140は動作210を動作240のあとまで反復しないこともありうる。このことは図2で実線矢印によって示されている。

40

【0029】

しかし、指標データの次のデータ片が低レベルプロセッサ150がデータを処理し終わるより前に受け取られるとすると、制御プロセッサ140は動作210を動作220のあ

50

とに反復しうる。このことは図2で破線矢印によって示されている。そのような筋書きでは、新たな指標データが利用可能であれば、制御プロセッサ140は低レベルプロセッサ150のいくつかへの命令のロードを終わらせ、低レベルプロセッサ150が動作230および240を実行している間に動作210および220においてタスクを判別して命令をロードしうる。ここでの記載と整合する、制御プロセッサ140と低レベルプロセッサ150との間のその他の処理の流れも可能である。

【実施例】

【0030】

システム100およびプロセス200の理解を助ける具体的な例をこれから呈示する。以下に述べるようにシステム100およびプロセス200はビデオ情報をデコードするの
10
になじみやすいが、特許請求される発明はそれに限定されるべきではない。さらに、システム100およびプロセス200は、ビデオ・デコードだろうとその他の種類だろうと以下で議論するよりもずっと複雑なアルゴリズムにもなじみやすい。

【0031】

図3は、例としてのビデオ処理アルゴリズム300を示している。アルゴリズム300は、ビデオ情報のフレームをデコードするための、当該フレームがイントラコードされた(I)画像か予測された(P)画像か双方向予測された(B)画像かに依存し、かつそのI、PまたはB画像のビデオ情報がインターレースされているか順次走査されているかに依存して、機能A~Gのうちの一つまたは複数を実行しうる。このフレーム種別 〔タイプ〕 (type of frame) (たとえばBフレーム) およびビデオモード (mode of video) (た
20
たとえばインターレース) の情報は指標データの一例でありうる。それは、当該フレームのビデオデータの残りに対してどのような処理タスクが実行されるべきかを指示するものだからである。

【0032】

例示のため、インターレースされたBフレームの受信を想定すると、アルゴリズム300はそのようなビデオ情報のフレームをデコードするために機能DおよびGが実行されるべきであると判定する。図3における矢印は、どの機能を実行すべきかの判定を行うためにとるべき論理的なステップを図解している。機能DおよびGは、ビデオデータのインターレースされたBフレームをデコードするのに必要な相異なる計算タスクを表しうる。もちろ
30
ん、そのようなビデオ情報のフレームをデコードするために必要とされるタスクが2つより多く、あるいは少なくともよい。例示した2つというのは純粹に例示および説明の目的のためである。

【0033】

図4は、システム100がアルゴリズム300をどのように実装しうるかを示しているが、異なる実装を示すためにアルゴリズム400と表示されている。比較のため、ここでも処理されるべきビデオ情報はインターレースされたBフレームであると想定することにする。図のように、制御プロセッサ140はアルゴリズム400のさまざまな論理部分を逐次経て、インターレースされた種別Bのデータフレームについてどのようなタスクが実行されるべきかを判別することができる(動作210)。

【0034】

制御プロセッサ140は次いでプログラム2を低レベルプロセッサ150の一つまたは複数にロードし(動作220)、それが実行されるようにしうる。プログラム2の複雑さに基づいて、制御プロセッサ140は対応する命令を低レベルプロセッサ150のうちの単一のものまたは低レベルプロセッサ150のうちの複数のものにロードしうる。プログラム2を複数の低レベルプロセッサ150にわたって分散させるかどうかは制御プロセッサ140が決定してもよいし、あるいはそのようなことはあらかじめ決定されていて、たとえばプログラム2がメモリ120に保存される仕方に反映されているのでもよい。ひとたび制御プロセッサ140がプログラム2をロードしたら、制御プロセッサ140は、指標データ(たとえばフレーム種別および/またはモード)がビデオデータの別のフレームについて利用可能であれば、動作210および220を再び実行しうる。
40
50

【0035】

低レベルプロセッサ150は次いで機能DおよびG、プログラム2の第一および第二の部分を実行しうる（動作230／240）。実施形態によっては、一つの低レベルプロセッサ（たとえば150-1）が機能DおよびGの両方を実行しうる。実施形態によっては、ある低レベルプロセッサ（たとえば150-1）が機能Dを実行し、ある低レベルプロセッサ（たとえば150-2）が機能Gを実行するのもよい。実施形態によっては、二つ以上の低レベルプロセッサ150が協働して機能DおよびGのうちの少なくとも一つ、たとえば機能Gを実行してもよい。ここでの記載と整合するその他の実装も可能である。

【0036】

図5は、プログラム0～5がメモリ120内にどのように保存されうるかを示している。構造500は、メモリ120内の連結リスト、配列などのようなデータ構造を含みうる。プログラム0～5は構造500内のあるアドレスに常駐しうるものであり、そのアドレスは概念的に構造中の行によって図示されている。いくつかの実施形態では、プログラム（たとえばプログラム2）の同じバージョンが、低レベルプロセッサ150のいずれによっても実行される。

【0037】

構造500内の列を定義する点線はプログラム（たとえばプログラム2）が、低レベルプロセッサ150のうちの異なるものについては異なる扱いがされる可能性を表している。実施形態によっては、たとえば、プログラム（たとえばプログラム2）は、異なる低レベルプロセッサ（たとえば150-1ないし150-3）について、実行すべきいくつかの部分（たとえば図5では3つ；ただし、これは特許請求される発明を限定するべきではない）に分割されうる。たとえば、プログラム2の第一の部分は機能Dを実行する命令などであり、プログラム2の第二の（およびありうる第三の）部分は機能Gを実行する命令などである。実施形態によっては、低レベルプロセッサ150のうちの異なるものは、アドレス指定、データ転送などを支援するためにプログラム（たとえばプログラム2またはその一部分）の微妙に異なったバージョンをロードしうる。

【0038】

ここに記載される計算集約的なタスクからの高度に複雑なタスクの分割は、システム100が、アルゴリズムの論理的な複雑さを扱える、可能性としてはより低パフォーマンス（たとえばより低電力）制御プロセッサ140と、アルゴリズムの計算負荷を扱うための多数のそれほど複雑でない（たとえばより小型でより低電力）低レベルプロセッサ150とを含むことを許容する。そのような方式を使うことで、システム100は、同じ計算動作（たとえばビデオデコード）のために、そうでない場合に可能であるであろうよりも消費する電力が少なくなりうる。高パフォーマンスおよび低電力使用の両方がシステム100によって得られる。ビデオの圧縮解除においてはたとえば指標データ（たとえばどのような処理タスクがやってくるかについての詳細な情報）が他のデータに先立って伝送されるからである。そのような指標データを使って、制御プロセッサ140はデータプロセッサ130の残りを、ちょうどそのやってくるタスクを実行するよう、オンザフライでカスタマイズする、および／または構成設定しなおすことができるのである。

【0039】

本発明の原理と整合する一つまたは複数の実施形態の以上の記述は例示および説明を提供するが、網羅的であることも、開示される厳密な形に本発明の範囲を限定することも意図されてはいない。修正および変形が上記の教示に照らして可能であり、あるいは本発明のさまざまな実施形態の実践から獲得されうる。

【0040】

たとえば、ここに記載される階層的処理方式はビデオデータに限定されない。むしろ、低レベルプロセッサ150またはオンザフライでプログラム可能な別のプロセッサもしくは論理を構成設定するために指標データ（たとえば将来の処理タスクを示すデータ）が利用可能であるいかなるデータにも適用されうる。また、単一の装置として示されたものの、実施形態によってはメモリ120は複数の装置を含みうる。たとえば、処理すべきデー

10

20

30

40

50

タは比較的大きなRAMに保存される一方、低レベルプロセッサ150のための命令はより小さなRAM、専用の読み出し専用メモリ（ROM）または他の何らかの別個の記憶装置に保存されることができる。

【0041】

さらに、制御プロセッサ140がアルゴリズム的な複雑さを扱い、低レベルプロセッサ150がデータ処理を扱ったが、複雑さと処理ニーズのそのような厳格な分離は常に行われるわけではない。たとえば、制御プロセッサ140がいくつかの事例でデータを処理することもあるし、低レベルプロセッサ150がいくつかの事例で限られた論理的構文解析および／または判断を扱うこともある。しかし、そのようなハイブリッド方式でもやはり、低レベルプロセッサ150が実際的にできるだけ多くのデータを処理し、制御プロセッサ140が実際的にできるだけ多くのアルゴリズム的な複雑さを扱うことが望ましいことでありうる。また、ビデオ情報のデコードが一つの実施形態として記載されてきたが、他の実施形態では他の機能も可能である。たとえばシステム100は、メディア情報をエンコードするため、メディア情報をレンダリングするため、物理現象をモデル化するため、またはその他、大量のデータの処理に関わりうる比較的複雑な数値動作を実行するために構成されてもよい。

10

【0042】

さらに、図2における諸動作は図示した順序で実装される必要はないし、諸動作のすべては必ずしも実行される必要はない。また、他の動作に依存しないような動作は他の動作と並列的に実行されてもよい。さらに、この図における動作の少なくともいくつかは、機械可読媒体において具現される命令または命令のグループとして具現されてもよい。

20

【0043】

本願の記載において使用されるいかなる要素、動作または命令も、明示的にそう述べられていない限り、本発明にとって決定的または本質的であるとして解釈されるべきではない。また、ここでの用法では、単数形の表現は一つまたは複数の項目を含むことが意図されている。一つの項目だけが意図されている場合には、「一つの」の用語または同様の言辭が使用される。特許請求される発明の上記の実施形態には、本発明の精神および原理から実質的に外れることなく変形および修正がなしうる。そのような修正および変形のすべてはこの開示の範囲内においてここに含められ、付属の請求項によって保護されることが意図されている。

30

【図面の簡単な説明】

【0044】

【図1】例としてのシステムを示す図である。

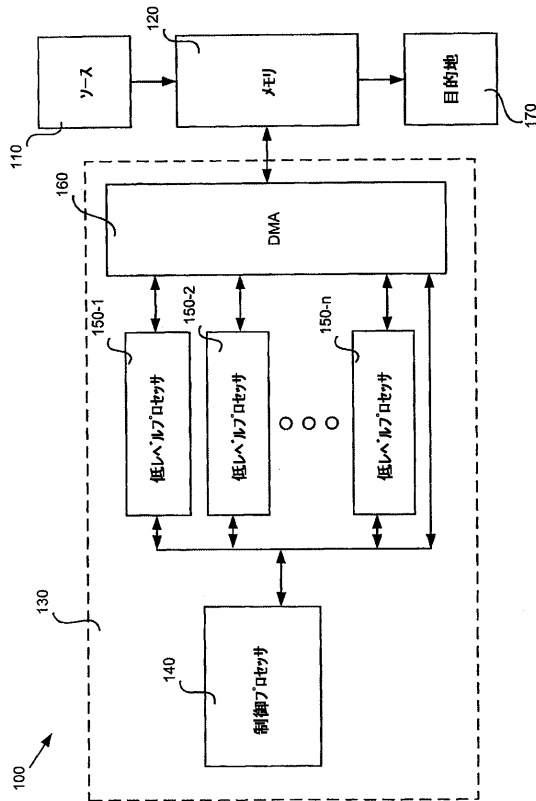
【図2】データに対して作用するプロセスを示すフローチャートである。

【図3】例としてのビデオ処理アルゴリズムを示す図である。

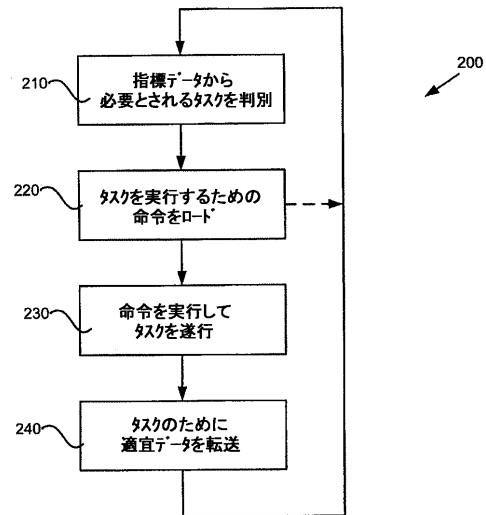
【図4】図1のシステムが図3のアルゴリズムをどのように具現化しうるかを示す図である。

【図5】図4におけるさまざまなプログラムがどのようにメモリに保存されうるかを示す図である。

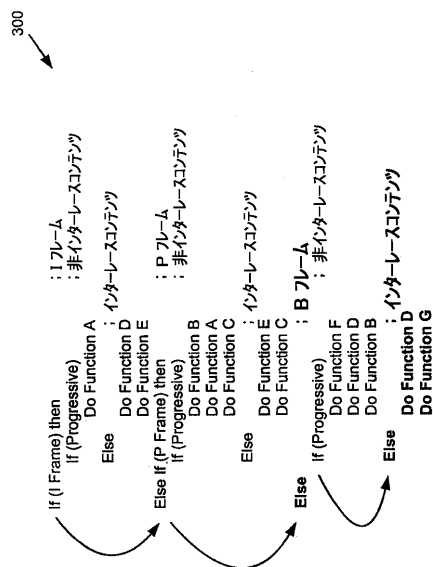
【図 1】



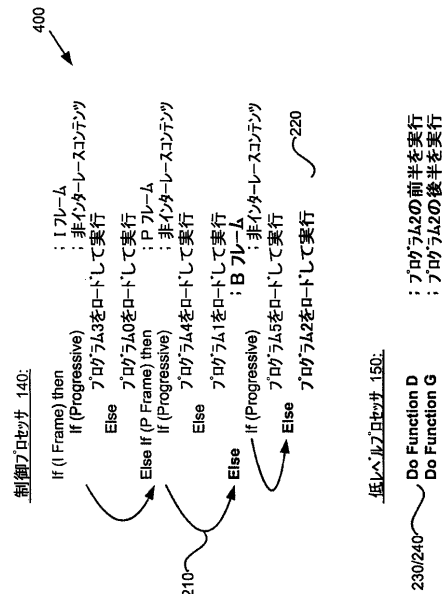
【図 2】



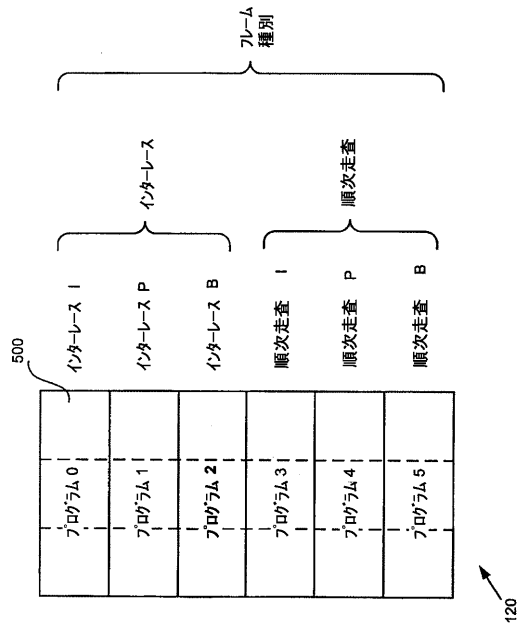
【図 3】



【図 4】



【図 5】



フロントページの続き

審査官 三坂 敏夫

- (56)参考文献 特開平10-091594 (JP, A)
特表平03-501556 (JP, A)
特開平10-028245 (JP, A)
特開平09-130697 (JP, A)
特開平07-105158 (JP, A)
欧州特許第00806867 (EP, B1)
欧州特許出願公開第00766462 (EP, A1)
特開2002-032218 (JP, A)
特開平07-221996 (JP, A)
特開2001-312480 (JP, A)
特開平08-044678 (JP, A)
藤原 洋／安田 浩, 「ポイント図解式ブロードバンド+モバイル標準MPEG教科書」, 日本,
株式会社アスキー, 2003年 2月11日, 初版, 40頁~52頁

(58)調査した分野(Int.Cl., DB名)

G06T 1/20

G06F 15/17

H04N 7/26