



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2013년12월24일  
 (11) 등록번호 10-1344347  
 (24) 등록일자 2013년12월17일

(51) 국제특허분류(Int. Cl.)  
*G11C 16/34* (2006.01) *G11C 16/12* (2006.01)  
 (21) 출원번호 10-2008-0004957  
 (22) 출원일자 2008년01월16일  
 심사청구일자 2012년12월17일  
 (65) 공개번호 10-2009-0079037  
 (43) 공개일자 2009년07월21일  
 (56) 선행기술조사문헌  
 KR1020060107689 A  
 KR1020060086362 A  
 KR1020060115996 A  
 KR1020070034328 A

(73) 특허권자  
**삼성전자주식회사**  
 경기도 수원시 영통구 삼성로 129 (매탄동)  
 (72) 발명자  
**박기태**  
 경기 성남시 분당구 분당동 셋별마을삼부아파트 410동 304호  
**이영택**  
 서울특별시 송파구 송이로 88, 대림아파트 5동 510호 (가락동)  
 (74) 대리인  
**오세준, 권혁수, 송윤호**

전체 청구항 수 : 총 10 항

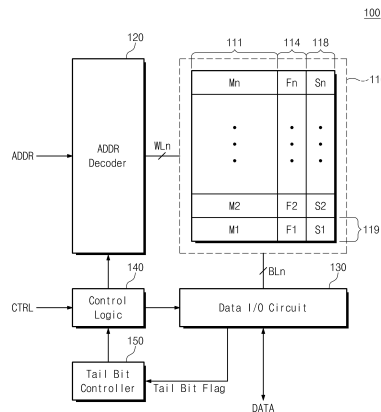
심사관 : 한선경

(54) 발명의 명칭 **프로그램 시작 전압을 조절하는 불휘발성 메모리 장치, 그것의 프로그램 방법, 그리고 그것을 포함하는 메모리시스템**

**(57) 요약**

본 발명에 따른 불휘발성 메모리 장치는 테일 비트 메모리 셀들의 정보를 나타내는 테일 비트 플래그 정보를 저장하는 메모리 셀 어레이 및 프로그램 시작 전압을 제어하기 위한 테일 비트 제어기를 포함하고, 상기 테일 비트 제어기는 상기 테일 비트 플래그 정보에 응답하여, 노멀 메모리 셀들의 프로그램 시작 전압 및 상기 테일 비트 메모리 셀들의 프로그램 시작 전압을 독립적으로 조절하는 것을 특징으로 한다. 본 발명에 따르면, 테일 비트 메모리 셀로 인한 동작 오류가 방지되며, 프로그램 시간이 단축된다.

**대표도 - 도4**



**특허청구의 범위**

**청구항 1**

테일 비트 메모리 셀들의 정보를 나타내는 테일 비트 플래그 정보를 저장하는 메모리 셀 어레이; 그리고 프로그램 시작 전압을 제어하기 위한 테일 비트 제어기를 포함하고,

상기 테일 비트 제어기는 상기 테일 비트 플래그 정보에 응답하여, 노멀 메모리 셀들의 프로그램 시작 전압 및 상기 테일 비트 메모리 셀들의 프로그램 시작 전압을 독립적으로 조절하는 불휘발성 메모리 장치.

**청구항 2**

제 1 항에 있어서,

상기 테일 비트 제어기는 상기 노멀 셀들의 프로그램 시작 전압 및 상기 테일 비트 메모리 셀들의 프로그램 시작 전압을 상이하게 설정하는 불휘발성 메모리 장치.

**청구항 3**

삭제

**청구항 4**

제 2 항에 있어서,

상기 테일 비트 제어기는 상기 테일 비트 플래그 정보에 응답하여, 상기 노멀 셀들로 형성된 페이지의 프로그램 시작 전압의 레벨을 테일 비트 메모리 셀을 포함하는 페이지의 프로그램 시작 전압의 레벨보다 높게 설정하는 불휘발성 메모리 장치.

**청구항 5**

제 4 항에 있어서,

상기 메모리 셀 어레이의 복수의 메모리 블록들 각각은 상기 테일 비트 플래그 정보를 저장하기 위한 별도의 저장 영역을 포함하고,

상기 테일 비트 플래그 정보는 대응하는 메모리 블록 내부의 페이지들 중 상기 테일 비트 메모리 셀을 포함하는 페이지들의 위치를 나타내는 것을 특징으로 하는 불휘발성 메모리 장치.

**청구항 6**

제 4 항에 있어서,

상기 메모리 셀 어레이의 복수의 페이지들 각각은 상기 테일 비트 플래그 정보를 저장하기 위한 저장 영역을 포함하고,

상기 테일 비트 플래그 정보는 대응하는 페이지에 상기 테일 비트 메모리 셀이 존재하는지의 여부를 나타내는 것을 특징으로 하는 불휘발성 메모리 장치.

**청구항 7**

삭제

**청구항 8**

불휘발성 메모리 장치의 프로그램 방법에 있어서,

메모리 셀 어레이로부터 테일 비트 메모리 셀들을 나타내는 테일 비트 플래그 정보를 읽는 단계;

상기 테일 비트 플래그 정보에 응답하여, 테일 비트 메모리 셀이 포함된 페이지의 프로그램 시작 전압 및 노멀 메모리 셀들로 형성된 페이지의 프로그램 시작 전압을 조절하는 단계; 그리고

프로그램 전압을 단계적으로 증가시키며 프로그램 동작을 수행하는 단계를 포함하는 프로그램 방법.

**청구항 9**

제 8 항에 있어서,

상기 프로그램 시작 전압을 조절하는 단계는 상기 테일 비트 메모리 셀이 포함된 페이지의 프로그램 시작 전압 및 상기 노멀 메모리 셀들로 형성된 페이지의 프로그램 시작 전압을 상이하게 설정하되,

상기 프로그램 시작 전압을 조절하는 단계는 상기 노멀 메모리 셀들로 형성된 페이지의 프로그램 시작 전압의 레벨을 상기 테일 비트 메모리 셀이 포함된 페이지의 프로그램 시작 전압의 레벨보다 높게 설정하는 것을 특징으로 하는 프로그램 방법.

**청구항 10**

삭제

**청구항 11**

제 8 항에 있어서,

상기 프로그램 동작을 수행하는 단계는 상기 노멀 메모리 셀들로 형성된 페이지 및 상기 테일 비트 메모리 셀이 포함된 페이지 각각에 인가되는 프로그램 펄스의 개수를 조절하는 것을 특징으로 하는 프로그램 방법.

**청구항 12**

제 11 항에 있어서,

상기 노멀 메모리 셀들로 형성된 페이지에 인가되는 프로그램 펄스의 개수는 상기 테일 비트 메모리 셀이 포함된 페이지에 인가되는 프로그램 펄스의 개수보다 적은 것을 특징으로 하는 프로그램 방법.

**청구항 13**

메모리 시스템에 있어서:

불휘발성 메모리 장치; 및

상기 불휘발성 메모리 장치를 제어하기 위한 메모리 컨트롤러를 포함하되,

상기 불휘발성 메모리 장치는

테일 비트 메모리 셀들의 정보를 나타내는 테일 비트 플래그 정보를 저장하는 메모리 셀 어레이; 그리고

프로그램 시작 전압을 제어하기 위한 테일 비트 제어기를 포함하고,

상기 테일 비트 제어기는 상기 테일 비트 플래그 정보에 응답하여, 노멀 메모리 셀들의 프로그램 시작 전압 및 상기 테일 비트 메모리 셀들의 프로그램 시작 전압을 독립적으로 조절하는 것을 특징으로 하는 메모리 시스템.

**청구항 14**

삭제

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로, 더 상세하게는 프로그램 시작 전압을 조절하는 불휘발성 메모리 장치 및 그것의 프로그램 방법에 관한 것이다.

**배경기술**

[0002] 반도체 메모리 장치(semiconductor memory device)는 데이터를 저장해 두고 필요할 때 꺼내어 읽어볼 수 있는

기억장치이다. 반도체 메모리 장치는 크게 램(Random Access Memory; RAM)과 롬(Read Only Memory; ROM)으로 나눌 수 있다. 램(RAM)은 전원이 끊어지면 저장된 데이터가 소멸하는 휘발성 메모리 장치(volatile memory device)이다. 롬(ROM)은 전원이 끊어지더라도 저장된 데이터가 소멸하지 않는 불휘발성 메모리(nonvolatile memory device)이다. 램(RAM)은 DRAM(Dynamic RAM), SRAM(Static RAM) 등을 포함한다. 롬(ROM)은 PROM(Programmable ROM), EPROM(Erasable PROM), EEPROM(Electrically EPROM), 플래시 메모리 장치(flash memory device) 등을 포함한다. 플래시 메모리 장치는 크게 노어(NOR) 타입과 낸드(NAND) 타입으로 구분된다. 낸드 플래시 메모리 장치는 노아 플래시 메모리 장치에 비해 집적도가 매우 높다.

[0003] 낸드 플래시 메모리 장치와 같은 불휘발성 메모리 장치는 메모리 셀 트랜지스터에 데이터를 저장한다. 메모리 셀 트랜지스터는 전하 트랩(charge trap) 또는 플로팅 게이트(floating gate)와 같은 전하 저장층을 포함한다. 메모리 셀 트랜지스터의 컨트롤 게이트(control gate)에 미리 설정된 레벨의 프로그램 전압이 인가되면, 전하 저장층에 전하들이 축적(accumulate) 또는 포획(trap)된다. 축적 또는 포획된 전하들은 메모리 셀 트랜지스터의 문턱 전압(threshold voltage)을 변화시킨다. 이와 같은 방법으로, 메모리 셀 트랜지스터는 데이터를 저장한다.

[0004] 공정상의 오차 등으로 인해, 메모리 셀 트랜지스터들의 특성은 각각 다를 수 있다. 즉, 노멀(normal) 메모리 셀 트랜지스터들에 비해 프로그램되는 속도가 빠른 메모리 셀 트랜지스터들이 있을 수 있다. 노멀 메모리 셀 트랜지스터들에 비해 프로그램 되는 속도가 빠른 메모리 셀 트랜지스터를 테일 비트(tail bit) 메모리 셀 트랜지스터라고 부른다. 동일한 문턱 전압을 인가한 경우, 테일 비트 메모리 셀 트랜지스터들은 노멀 메모리 셀 트랜지스터들보다 높은 문턱 전압을 갖는다. 즉, 테일 비트 메모리 셀 트랜지스터들은 항상 오프(off) 상태인 오프 셀로 작용하여, 불휘발성 메모리 장치의 동작 오류를 유발할 수 있다. 불휘발성 메모리 장치의 오류를 방지하기 위해, 프로그램 전압은 테일 비트 메모리 셀 트랜지스터들을 고려하여 설정되어야 한다.

## 발명의 내용

### 해결 하고자하는 과제

[0005] 본 발명의 목적은 테일 비트(tail bit)로 인한 불휘발성 메모리 장치의 동작 오류를 방지하며, 프로그램 시간을 단축할 수 있는 불휘발성 메모리 장치를 제공하는 데에 있다.

### 과제 해결수단

[0006] 본 발명에 따른 불휘발성 메모리 장치는 테일 비트 메모리 셀들의 정보를 나타내는 테일 비트 플래그 정보를 저장하는 메모리 셀 어레이; 그리고 프로그램 시작 전압을 제어하기 위한 테일 비트 제어기를 포함하고, 상기 테일 비트 제어기는 상기 테일 비트 플래그 정보에 응답하여, 노멀 메모리 셀들의 프로그램 시작 전압 및 상기 테일 비트 메모리 셀들의 프로그램 시작 전압을 독립적으로 조절하는 것을 특징으로 한다.

[0007] 실시 예로서, 상기 테일 비트 제어기는 상기 노멀 셀들의 프로그램 시작 전압 및 상기 테일 비트 메모리 셀들의 프로그램 시작 전압을 상이하게 설정한다. 상기 노멀 메모리 셀들의 프로그램 시작 전압의 레벨은 상기 테일 비트 메모리 셀들의 프로그램 시작 전압의 레벨보다 높다.

[0008] 실시 예로서, 상기 테일 비트 제어기는 상기 테일 비트 플래그 정보에 응답하여, 상기 노멀 셀들로 형성된 페이지의 프로그램 시작 전압의 레벨을 테일 비트 메모리 셀을 포함하는 페이지의 프로그램 시작 전압의 레벨보다 높게 설정한다. 상기 메모리 셀 어레이의 복수의 메모리 블록들 각각은 상기 테일 비트 플래그 정보를 저장하기 위한 별도의 저장 영역을 포함하고, 상기 테일 비트 플래그 정보는 대응하는 메모리 블록 내부의 페이지들 중 상기 테일 비트 메모리 셀을 포함하는 페이지들의 위치를 나타내는 것을 특징으로 한다.

[0009] 실시 예로서, 상기 메모리 셀 어레이의 복수의 페이지들 각각은 상기 테일 비트 플래그 정보를 저장하기 위한 저장 영역을 포함하고, 상기 테일 비트 플래그 정보는 대응하는 페이지에 상기 테일 비트 메모리 셀이 존재하는지의 여부를 나타내는 것을 특징으로 한다. 상기 테일 비트 플래그 정보를 저장하기 위한 저장 영역은 사용자에 의해 데이터가 기입 및 독출될 수 있는 저장 영역과 상이한 저장 영역인 것을 특징으로 한다.

[0010] 본 발명에 따른 불휘발성 메모리 장치의 프로그램 방법은 메모리 셀 어레이로부터 테일 비트 메모리 셀들을 나타내는 테일 비트 플래그 정보를 읽는 단계; 상기 테일 비트 플래그 정보에 응답하여, 테일 비트 메모리 셀이 포함된 페이지의 프로그램 시작 전압 및 노멀 메모리 셀들로 형성된 페이지의 프로그램 시작 전압을 조절하는 단계; 그리고 프로그램 전압을 단계적으로 증가시키며 프로그램 동작을 수행하는 단계를 포함한다.

- [0011] 실시 예로서, 상기 프로그램 시작 전압을 조절하는 단계는 상기 테일 비트 메모리 셀이 포함된 페이지의 프로그램 시작 전압 및 상기 노멀 메모리 셀들로 형성된 페이지의 프로그램 시작 전압을 상이하게 설정하는 것을 특징으로 한다. 상기 프로그램 시작 전압을 조절하는 단계는 상기 노멀 메모리 셀들로 형성된 페이지의 프로그램 시작 전압의 레벨을 상기 테일 비트 메모리 셀이 포함된 페이지의 프로그램 시작 전압의 레벨보다 높게 설정하는 것을 특징으로 한다.
- [0012] 실시 예로서, 상기 프로그램 동작을 수행하는 단계는 상기 노멀 메모리 셀들로 형성된 페이지 및 상기 테일 비트 메모리 셀이 포함된 페이지 각각에 인가되는 프로그램 펄스의 개수를 조절하는 것을 특징으로 한다. 상기 노멀 메모리 셀들로 형성된 페이지에 인가되는 프로그램 펄스의 개수는 상기 테일 비트 메모리 셀이 포함된 페이지에 인가되는 프로그램 펄스의 개수보다 적은 것을 특징으로 한다.
- [0013] 본 발명에 따른 메모리 시스템은 불휘발성 메모리 장치; 및 상기 불휘발성 메모리 장치를 제어하기 위한 메모리 컨트롤러를 포함하되, 상기 불휘발성 메모리 장치는 테일 비트 메모리 셀들의 정보를 나타내는 테일 비트 플래그 정보를 저장하는 메모리 셀 어레이; 그리고 프로그램 시작 전압을 제어하기 위한 테일 비트 제어기를 포함하고, 상기 테일 비트 제어기는 상기 테일 비트 플래그 정보에 응답하여, 노멀 메모리 셀들의 프로그램 시작 전압 및 상기 테일 비트 메모리 셀들의 프로그램 시작 전압을 독립적으로 조절하는 것을 특징으로 한다.
- [0014] 실시 예로서, 상기 불휘발성 메모리 장치 및 상기 메모리 컨트롤러는 메모리 카드를 구성한다.

**효 과**

- [0015] 본 발명에 따르면, 노멀 셀들로 형성된 페이지의 프로그램 시작 전압은 테일 비트를 포함하는 페이지의 프로그램 시작 전압보다 높게 설정된다. 따라서, 노멀 셀들로 형성된 페이지의 프로그램 시간이 단축된다.

**발명의 실시를 위한 구체적인 내용**

- [0016] 본 발명에 따른 불휘발성 메모리 장치는 테일 비트 플래그 정보에 응답하여, 프로그램 시작 전압을 조절한다. 노멀 메모리 셀들로 형성된 페이지의 프로그램 시작 전압은 테일 비트 메모리 셀을 포함하는 페이지의 프로그램 시작 전압보다 높게 설정된다. 따라서, 테일 비트로 인한 불휘발성 메모리 장치의 동작 오류가 방지되고, 프로그램 시간이 단축된다.
- [0017] 이하에서, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명하기로 한다.
- [0018] 도 1은 불휘발성 메모리 셀들의 문턱 전압의 산포를 보여주는 다이어그램이다. 도 1을 참조하면, 가로 축은 불휘발성 메모리 셀의 문턱 전압(threshold voltage)을 나타내며, 단위는 볼트(volt)이다. 세로 축은 불휘발성 메모리 셀들의 개수를 나타낸다.
- [0019] 복수의 제 1 곡선들(C1) 각각은 하나의 페이지의 불휘발성 메모리 셀들의 문턱 전압 산포를 나타낸다. 복수의 제 2 곡선들(C2) 각각은 하나의 블록 내의 불휘발성 메모리 셀들의 문턱 전압 산포를 나타낸다. 제 3 곡선(C3)은 하나의 칩(chip) 내의 불휘발성 메모리 셀들의 문턱 전압 산포를 나타낸다. 도 1에서, 페이지의 메모리 셀들의 문턱 전압 산포를 나타내는 제 1 곡선들(C1)은 제 1 전압 구간(Vw1) 상에 형성된다.
- [0020] 메모리 블록은 복수의 페이지들로 형성된다. 따라서, 메모리 블록의 메모리 셀들의 문턱 전압 산포는 페이지의 메모리 셀들의 문턱 전압 산포의 전압 구간과 동일한 전압 구간 상에 형성될 것이다. 제 2 곡선들(C2)을 참조하면, 메모리 블록의 메모리 셀들의 문턱 전압 산포는 페이지의 메모리 셀들의 문턱 전압 산포와 마찬가지로 제 1 전압 구간(Vw1) 상에 형성된다.
- [0021] 메모리 칩은 복수의 메모리 블록들로 형성된다. 따라서, 메모리 칩의 메모리 셀들의 문턱 전압 산포는 메모리 블록의 메모리 셀들의 문턱 전압 산포의 전압 구간과 동일한 전압 구간 상에 형성될 것이다. 그런데, 제 3 곡선(C3)을 참조하면, 메모리 칩의 문턱 전압 산포는 제 1 전압 구간(Vw1) 보다 높은 전압 레벨을 갖는 제 2 전압 구간(Vw2) 상에도 형성된다. 이는 프로그램되는 속도가 빠른 테일 비트(tail bit) 메모리 셀들 때문이다. 통계적으로, 메모리 블록 하나당 하나의 테일 비트 메모리 셀이 존재한다. 따라서, 페이지 및 메모리 블록의 메모리 셀들의 문턱 전압 산포를 나타내는 제 1 및 제 2 곡선들(C1, C2)에서, 테일 비트 메모리 셀들의 존재 여부는 나타나지 않을 수 있다.
- [0022] 공정 상의 오류로 인해, 불휘발성 메모리 장치는 테일 비트 메모리 셀들을 포함할 수 있다. 테일 비트 메모리

셀들은 노멀 메모리 셀들보다 프로그램 되는 속도가 빠른 메모리 셀들이다. 제 3 곡선(C3)을 참조하면, 메모리 셀들에 프로그램 전압이 인가되었을 때, 제 2 전압 구간(Vw2) 상의 메모리 셀들은 제 1 전압 구간(Vw1) 상의 메모리 셀들의 문턱 전압보다 높은 문턱 전압을 갖는다. 즉, 제 2 전압 구간(Vw2) 상의 메모리 셀들은 제 1 전압 구간(Vw1) 상의 메모리 셀들보다 빠르게 프로그램 된다. 테일 비트 메모리 셀들은 제 2 전압 구간(Vw2) 상의 메모리 셀들과 같이, 제 1 전압 구간(Vw1) 상의 노멀 메모리 셀들보다 프로그램되는 속도가 빠른 메모리 셀들이다.

[0023] 공정상의 오류로 인한 테일 비트 메모리 셀들은 한국 공개 특허 제 2005-0015889호에 "문턱전압 산포가 개선된 비휘발성 메모리 소자의 제조방법"이라는 제목으로 게시되어 있으며, 본 발명의 레퍼런스로 포함된다.

[0024] 도 2는 테일 비트 메모리 셀들을 고려한 프로그램 방법을 설명하기 위한 다이어그램이다. 도 2를 참조하면, 가로 축은 불휘발성 메모리 셀들의 문턱 전압 산포를 나타내며, 단위는 볼트(volt)이다. 세로 축은 불휘발성 메모리 셀들의 개수를 나타낸다. 제 3 곡선(C3)은 도 1에 도시된바와 같이 메모리 칩의 메모리 셀들의 문턱 전압 산포를 나타낸다. 제 4 곡선(C4)은 프로그램이 완료된 메모리 셀들의 문턱 전압 산포를 나타낸다. 프로그램이 완료된 메모리 셀들의 문턱 전압은 제 1 전압 및 제 2 전압(V1, V2) 사이의 제 3 전압 구간(Vw3) 상에 형성된다.

[0025] 프로그램 시작 전압은 프로그램되는 속도가 빠른 메모리 셀들에 따라 결정된다. 도 2 에서, 프로그램되는 속도가 빠른 메모리 셀들은 제 2 전압 구간(Vw2) 상의 테일 비트 메모리 셀들(A)이다. 프로그램 시작 전압이 인가된 후, 테일 비트 메모리 셀들(B)의 문턱 전압 레벨이 제 1 전압(V1) 레벨보다 높아지지 않도록 프로그램 시작 전압이 설정될 수 있다. 예시적으로, 테일 비트 메모리 셀들(B)의 문턱 전압 레벨이 제 1 전압(V1) 레벨과 같아지도록 프로그램 시작 전압이 설정될 수 있다. 이후에, 프로그램 전압을 단계적으로 상승시키며 프로그램 동작이 수행된다.

[0026] 메모리 셀들에 인가되는 프로그램 펄스들의 개수는 프로그램되는 속도가 느린 메모리 셀들에 따라 결정된다. 도 2에서, 프로그램되는 속도가 느린 메모리 셀들은 제 1 전압 구간(Vw1) 상의 메모리 셀들(B)이다. 메모리 셀들(B)의 문턱 전압이 제 3 전압 구간(Vw3)에 도달할 때 까지, 전압 레벨이 단계적으로 상승되는 프로그램 펄스가 메모리 셀들에 인가된다. 즉, 메모리 칩의 모든 메모리 셀들의 문턱 전압이 제 3 전압 구간(Vw3)에 도달할 때까지 프로그램 펄스가 메모리 셀들에 인가된다.

[0027] 프로그램 완료를 위해, 메모리 셀들에 인가되는 프로그램 펄스의 개수는 수학적 식 1로 정의된다.

**수학적 식 1**

[0028] 프로그램 펄스의 개수 =  $1 + Vw1/\Delta V + Vw2/\Delta V$

[0029] 여기에서,  $\Delta V$ 는 n 번째 프로그램 펄스의 전압 레벨 및 n-1 번째 프로그램 펄스의 전압 레벨의 차이이다.

[0030] 수학적 식 1을 참조하면, 메모리 셀에 인가되는 프로그램 펄스의 개수는 프로그램 시작 전압 레벨을 갖는 펄스의 개수(1 개), 테일 비트 메모리 셀들의 문턱 전압이 제 3 전압 구간(Vw3)에 도달하기 위한 펄스의 개수( $Vw2/\Delta V$ ), 그리고 메모리 셀들(B)의 문턱 전압이 제 3 전압 구간(Vw3)에 도달하기 위한 펄스의 개수( $Vw1/\Delta V$ )의 합이다.

[0031] 도 3은 노멀 메모리 셀들의 프로그램 방법을 설명하기 위한 다이어그램이다. 도 3을 참조하면, 도 3의 가로 축 및 세로 축은 도 2와 동일하며, 제 3 곡선(C3)에서 테일 비트 메모리 셀들이 제외된 문턱 전압 산포 곡선(C3')이 도시되어 있다. 제 1 전압 구간(Vw1) 상의 문턱 전압을 갖는 노멀 메모리 셀들 중에서 빠르게 프로그램 되는 메모리 셀들은 메모리 셀들(C)이다. 즉, 테일 비트 메모리 셀들이 고려되지 않는 경우, 메모리 셀들(C)의 문턱 전압 레벨이 제 1 전압(V1) 레벨보다 높아지지 않도록 프로그램 시작 전압이 설정될 수 있다. 예시적으로, 메모리 셀들(C)의 문턱 전압 레벨이 제 1 전압(V1) 레벨과 같아지도록 프로그램 시작 전압이 설정될 수 있다. 이때, 프로그램 완료를 위해 노멀 메모리 셀에 인가되는 프로그램 펄스들의 개수는 수학적 식 2로 정의된다.

**수학적 식 2**

[0032] 프로그램 펄스의 개수 =  $1 + Vw1/\Delta V$

[0033] 수학적 식 2를 참조하면, 프로그램 펄스의 개수는 프로그램 시작 전압 레벨을 갖는 펄스의 개수(1 개) 및 메모리

셀들(B)의 문턱 전압이 제 3 전압 구간(Vw3)에 도달하기 위한 펄스의 개수(Vw1/△V)의 합으로 나타난다.

- [0034] 수학식 1 및 2를 참조하면, 테일 비트 메모리 셀들로 인해 Vw2/△V 개의 프로그램 펄스가 추가적으로 요구된다. 그런데, 통계적으로, 메모리 블록 하나당 하나의 테일 비트 메모리 셀이 존재한다. 즉, 적은 수의 테일 비트 메모리 셀들을 위해 Vw2/△V 개의 프로그램 펄스를 추가적으로 인가하는 것은 비효율적이다. 테일 비트 메모리 셀들의 존재 여부에 따라, 프로그램 시작 전압을 조절하면, 프로그램 완료를 위해 요구되는 프로그램 펄스의 개수가 감소될 수 있을 것이다.
- [0035] 도 4는 본 발명에 따른 불휘발성 메모리 장치(100)를 보여주는 블록도이다. 설명의 편의를 위하여, 본 발명에 따른 불휘발성 메모리 장치는 낸드 플래시 메모리 장치인 것으로 가정한다. 그러나, 본 발명에 따른 불휘발성 메모리 장치는 낸드 플래시 메모리 장치에 한정되지 않는다.
- [0036] 도 3을 참조하면, 본 발명에 따른 낸드 플래시 메모리 장치(100)는 메모리 셀 어레이(110), 어드레스 디코더(120), 데이터 입출력 회로(130), 제어 로직(140), 그리고 테일 비트 제어기(150)를 포함한다.
- [0037] 메모리 셀 어레이(110)는 워드 라인들(WLn)을 통해 어드레스 디코더(120)에 연결되고, 비트 라인들(BLn)을 통해 데이터 입출력 회로(130)에 연결된다. 어드레스 디코더(120)에 의해 선택된 메모리 셀의 데이터는 데이터 입출력 회로(130)에 전달된다.
- [0038] 메모리 셀 어레이(110)는 복수의 메모리 블록들을 포함한다. 설명의 편의를 위하여, 메모리 셀 어레이(110)에 하나의 메모리 블록이 도시되어 있다. 메모리 블록은 복수의 페이지들(119)을 포함한다. 각각의 페이지(119)는 메인 필드(111), 플래그 필드(114), 그리고 스페어 필드(118)를 포함한다. 메인 필드(111)는 사용자에 의해 데이터가 기입되거나 독출되는 영역이다. 플래그 필드(114)는 메모리 셀 어레이(110)의 기입 또는 독출 동작을 위한 플래그 정보들을 저장하기 위한 영역일 수 있다. 예를 들면, 플래그 필드(114)는 멀티 레벨 프로그램을 위한 플래그 신호를 포함할 수 있다. 스페어 필드(115)는 블록의 상태 또는 오류 정정 코드(ECC, error correction code) 정보 등을 저장하기 위한 영역일 수 있다.
- [0039] 본 발명에 따른 플래시 메모리 장치(100)의 메모리 셀 어레이(110)는 테일 비트 플래그 정보를 저장하기 위한 저장 영역을 포함한다. 테일 비트 플래그 정보는 메모리 셀 어레이(110)의 테일 비트 메모리 셀들을 나타내는 정보이다. 예를 들면, 테일 비트 플래그 정보는 미리 설정된 메모리 블록 내의 복수의 페이지들 중 테일 비트 메모리 셀을 포함하는 페이지들의 위치를 나타낼 수 있다. 예시적으로, 테일 비트 플래그 정보는 테일 비트 메모리 셀을 포함하는 페이지들의 어드레스일 수 있다. 이때, 테일 비트 플래그 정보는 대응하는 메모리 블록에 저장될 수 있다.
- [0040] 다른 예로써, 테일 비트 플래그 정보는 미리 설정된 페이지(119)가 테일 비트 메모리 셀을 포함하는지의 여부를 나타낼 수 있다. 이때, 테일 비트 플래그 정보는 대응하는 페이지(119)에 저장될 수 있다. 테일 비트 플래그 정보는 페이지(119)의 메인 필드(111) 이외의 저장 영역에 저장될 수 있다. 예를 들면, 테일 비트 플래그 정보는 페이지(119)의 플래그 필드(114) 또는 스페어 필드(118)에 저장될 수 있다.
- [0041] 어드레스 디코더(120)는 메모리 셀 어레이(110) 및 제어 로직(140)에 연결된다. 어드레스 디코더(120)는 외부로부터 어드레스(ADDR)를 전달받고, 제어 로직(140)의 제어에 응답하여 메모리 셀 어레이(110)의 행 및 열을 선택한다. 어드레스 디코더(120)는 행 디코더(row decoder) 및 열 선택기(column selector)와 같은 당업자에게 잘 알려진 장치를 포함할 수 있다.
- [0042] 데이터 입출력 회로(130)는 메모리 셀 어레이(110), 제어 로직(140), 그리고 테일 비트 제어기(150)에 연결된다. 데이터 입출력 회로(130)는 제어 로직(140)의 제어에 응답하여, 메모리 셀 어레이(110)의 메모리 셀들 중 어드레스 디코더(120)에 의해 선택된 메모리 셀에 대해 읽기 또는 쓰기 동작을 수행한다. 메모리 셀 어레이(110)로부터 테일 비트 플래그 정보가 읽히면, 입출력 회로(130)는 테일 비트 플래그 정보를 테일 비트 제어기(150)에 전달한다. 입출력 회로(130)는 외부와 데이터를 교환한다.
- [0043] 제어 로직(140)은 어드레스 디코더(120), 데이터 입출력 회로(130), 그리고 테일 비트 제어기(150)에 연결된다. 제어 로직(140)은 외부로부터 전달되는 제어 신호(CTRL)에 응답하여, 낸드 플래시 메모리 장치(100)의 동작 전반을 제어한다. 메모리 셀 어레이(110)에 데이터를 기입하는 경우, 제어 로직(140)은 대응하는 페이지의 테일 비트 플래그 정보를 읽도록 어드레스 디코더(120) 및 데이터 입출력 회로(130)를 제어한다. 제어 로직(140)은 테일 비트 제어기(150)의 제어에 응답하여, 프로그램 동작을 수행한다.
- [0044] 테일 비트 제어기(150)는 데이터 입출력 회로(130) 및 제어 로직(150)에 연결된다. 테일 비트 제어기(150)는

데이터 입출력 회로(130)로부터 테일 비트 플래그 정보를 전달받는다. 테일 비트 제어기(150)는 테일 비트 플래그 정보에 응답하여, 프로그램 시작 전압을 조절한다. 예를 들면, 테일 비트 제어기(150)는 노멀 메모리 셀들로 형성된 페이지의 프로그램 시작 전압을 테일 비트 메모리 셀을 포함하는 페이지의 프로그램 시작 전압보다 높게 설정할 수 있다. 테일 비트 제어기(150)에 의해 결정된 프로그램 시작 전압 레벨은 제어 로직(140)에 전달된다.

- [0045] 도 5는 도 4의 페이지(119)의 구성을 보여주는 다이어그램이다. 도 4 및 5를 참조하면, 본 발명에 따른 낸드 플래시 메모리 장치(100)의 페이지(119)는 메인 필드(111), 플래그 필드(114), 그리고 스페어 필드(118)를 포함할 수 있다. 메인 필드(111)는 사용자에 의해 데이터가 기입 및 독출되는 영역이다. 플래그 필드(114)는 낸드 플래시 메모리 장치(100)의 기입 또는 독출 동작을 위한 플래그 정보들을 저장하기 위한 영역일 수 있다.
- [0046] 플래그 필드(114)는 최상위 비트 플래그 정보(112) 및 테일 비트 플래그 정보(113)를 저장할 수 있다. 최상위 비트 플래그 정보(112)는 메모리 셀 어레이(110)의 메모리 셀들이 멀티 레벨로 프로그램되는 경우에 이용된다. 최상위 비트 플래그 정보(112)는 대응하는 페이지의 메모리 셀들의 최하위 비트가 프로그램 되었는지의 여부를 나타낼 수 있다. 테일 비트 플래그 정보(113)는 대응하는 페이지가 테일 비트 메모리 셀을 포함하는지의 여부를 나타낼 수 있다. 다른 예로써, 테일 비트 플래그 정보(113)는 대응하는 메모리 블록에서 테일 비트 메모리 셀들을 포함하는 페이지들을 나타낼 수 있다. 이때, 테일 비트 메모리 정보는 대응하는 메모리 블록의 복수의 페이지들 중 하나에 저장될 수 있다.
- [0047] 스페어 필드(118)는 대응하는 메모리 블록의 상태 또는 오류 정정 코드 정보를 저장하기 위한 영역일 수 있다. 스페어 필드(118)는 대응하는 메모리 블록이 손상된 메모리 블록인지를 나타내는 블록 상태 정보를 저장할 수 있다. 스페어 필드(118)는 메인 필드(111)에 저장되는 데이터들의 오류 정정 코드 정보를 저장할 수 있다.
- [0048] 도 6은 도 4의 페이지(119)의 다른 구성을 보여주는 블록도이다. 도 6에서 사용되는 참조 번호들 중 도 5에서 사용된 참조 번호들과 동일한 참조 번호들은 동일한 구성 요소들을 나타낸다. 도 6을 참조하면, 본 발명에 따른 페이지(119)는 메인 필드(111), 플래그 필드(114'), 그리고 스페어 필드(118')를 포함할 수 있다. 도 6에서, 테일 비트 플래그 정보는 스페어 필드(118')에 저장될 수 있다.
- [0049] 도 5 및 6에서, 테일 비트 플래그 정보는 플래그 필드(114) 또는 스페어 필드(118')에 저장되는 것으로 도시되었다. 그러나, 본 발명에 따른 테일 비트 플래그 정보는 플래그 필드(114) 또는 스페어 필드(118')에 포함되는 것으로 한정되지 않음은 이 분야의 숙련된 기술을 가진 자들에게 이해될 것이다. 본 발명에 따른 테일 비트 플래그 정보는 페이지(119)의 메인 필드(111) 이외의 영역에 저장된다.
- [0050] 도 7 및 8은 도 4의 불휘발성 메모리 장치의 프로그램 동작을 설명하기 위한 다이어그램이다. 가로 축은 시간을 나타내며, 세로 축은 메모리 셀들에 인가되는 프로그램 전압을 나타낸다.
- [0051] 도 3, 4, 그리고 7을 참조하면, 테일 비트 제어기(150)는 메모리 어레이(110)로부터 읽어진 테일 비트 플래그 정보에 응답하여 프로그램 시작 전압을 조절한다. 프로그램될 페이지가 노멀 셀들로 형성된 페이지인 경우(예를 들면, 대응하는 페이지의 테일 비트 플래그 정보가 로직 로우인 경우), 테일 비트 제어기(150)는 제 1 전압 구간(Vw1)의 메모리 셀들(C)의 문턱 전압 레벨이 제 1 전압(V1) 레벨보다 높아지지 않도록 프로그램 시작 전압을 조절한다. 예시적으로, 메모리 셀들(C)의 문턱 전압 레벨이 제 1 전압(V1) 레벨과 같아지도록 프로그램 시작 전압이 설정될 수 있다. 그리고, 테일 비트 제어기(150)에 의해 설정된 프로그램 시작 전압 레벨을 갖는 프로그램 펄스(P0)가 대응하는 페이지의 메모리 셀들에 인가된다.
- [0052] 이후에, 프로그램 전압(Vpgm)을 단계적으로 상승시키며 프로그램 동작이 수행된다. 프로그램 동작은 제 1 전압 구간(Vw1) 상의 메모리 셀들(B)의 문턱 전압이 제 3 전압 구간(Vw3)에 도달할 때 까지 반복된다. 수학식 2를 참조하면, 프로그램 전압(Vpgm)이 단계적으로 상승되는 전압 레벨이  $\Delta V$ 인 경우, 메모리 셀들에 인가되는 프로그램 펄스들의 개수는  $1 + Vw1/\Delta V$  이다. 예를 들어,  $Vw1/\Delta V$  가 m(단, m은 양의 정수)인 경우, 메모리 셀들에 인가되는 프로그램 펄스의 개수는  $1 + m$  개 이다.
- [0053] 도 2, 4, 그리고 8을 참조하면, 테일 비트 제어기(150)는 메모리 셀 어레이(110)로부터 읽어진 테일 비트 플래그 정보에 응답하여 프로그램 시작 전압을 조절한다. 대응하는 페이지가 테일 비트 메모리 셀을 포함하는 경우(예를 들면, 테일 비트 플래그 정보가 로직 하이인 경우), 테일 비트 제어기(150)는 제 2 전압 구간(Vw2) 상의 메모리 셀들(A)의 문턱 전압 레벨이 제 1 전압(V1)보다 높아지지 않도록 프로그램 시작 전압을 설정한다. 예시적으로, 메모리 셀들(A)의 문턱 전압 레벨이 제 1 전압(V1) 레벨과 같아지도록 프로그램 시작 전압이 설정될 수 있다. 그리고, 프로그램 시작 전압 레벨을 갖는 프로그램 펄스(P0)가 대응하는 페이지의 메모리 셀들에



인가된다.

- [0054] 이후에, 프로그램 전압(Vp<sub>gm</sub>)을 단계적으로 상승시키며 프로그램 동작이 수행된다. 프로그램 동작은 제 1 전압 구간(V<sub>w1</sub>) 상의 메모리 셀들(B)이 제 3 전압 구간(V<sub>w3</sub>)에 도달할 때까지 반복된다. 수학식 1을 참조하면, 메모리 셀들에 인가되는 프로그램 펄스들의 개수는  $1 + V_{w2}/\Delta V + V_{w1}/\Delta V$  이다. 예를 들어,  $V_{w2}/\Delta V$  가 k(단, k는 양의 정수)인 경우, 메모리 셀들에 인가되는 프로그램 펄스들의 개수는  $1 + m + k$  개 이다.
- [0055] 요약하면, 프로그램 동작 시에, 테일 비트 제어기(150)는 테일 비트 플래그 정보에 응답하여, 노멀 메모리 셀들로 형성된 페이지의 프로그램 시작 전압 및 테일 비트 메모리 셀을 포함하는 페이지의 프로그램 시작 전압을 상이하게 설정한다. 노멀 메모리 셀들로 형성된 페이지의 프로그램 시작 전압은 테일 비트 메모리 셀을 포함하는 페이지의 프로그램 시작 전압보다 높게 설정된다. 이때, 노멀 메모리 셀들로 형성된 페이지에  $1 + m$  개의 프로그램 펄스들이 인가되고, 테일 비트 메모리 셀을 포함하는 페이지에  $1 + m + k$  개의 프로그램 펄스들이 인가된다. 따라서, 테일 비트 메모리 셀들로 인한 불휘발성 메모리 장치(100)의 동작 오류가 방지되고, 모든 페이지들에  $1 + m + k$  개의 프로그램 펄스들을 인가하는 종래의 방식에 비해 프로그램 동작에 요구되는 시간이 단축된다.
- [0056] 도 9는 도 4의 불휘발성 메모리 장치가 프로그램 동작을 수행하는 과정을 보여주는 순서도이다. 도 4 및 9를 참조하면, S110 단계에서, 프로그램 전압(Vp<sub>gm</sub>)은 제 1 프로그램 시작 전압(VS1)으로 설정된다. 제 1 프로그램 시작 전압(VS1)은 노멀 메모리 셀들로 형성된 페이지의 프로그램 시작 전압일 수 있다. 도 4의 불휘발성 메모리 장치(100)에서, 프로그램 시작 전압이 기본적으로 제 1 프로그램 시작 전압(VS1)으로 설정되어 있는 경우, S110 단계는 생략될 수 있다.
- [0057] S120 단계에서, 외부로부터 미리 설정된 워드 라인(WL<sub>n</sub>)을 선택하는 어드레스(ADDR)가 전달된다. 어드레스(ADDR)가 전달되면, S130 단계에서, 제어 로직(140)의 제어에 응답하여, 대응하는 페이지의 테일 비트 플래그 신호가 읽혀진다. 테일 비트 플래그 정보가 블록 단위로 저장되어 있는 경우, 테일 비트 플래그 정보가 저장되어 있는 저장 영역으로부터 대응하는 페이지의 테일 비트 플래그 정보가 읽혀진다. 테일 비트 플래그 정보가 페이지 단위로 저장되어 있는 경우, 대응하는 페이지의 저장 영역으로부터 테일 비트 플래그 정보가 읽혀진다.
- [0058] S140 단계에서, 테일 비트 플래그 정보가 로직 하이인지 판별된다. 테일 비트 플래그 정보가 로직 하이인 경우, 즉 대응하는 페이지가 테일 비트 메모리 셀을 포함하는 경우, S150 단계가 수행된다. 테일 비트 플래그 정보가 로직 로우인 경우, 즉 대응하는 페이지가 노멀 메모리 셀들로 형성된 경우, S160 단계가 수행된다.
- [0059] S150 단계에서, 프로그램 전압(Vp<sub>gm</sub>)은 제 2 프로그램 시작 전압(VS2)으로 설정된다. 제 2 프로그램 시작 전압(VS2)은 테일 비트 메모리 셀들을 포함하는 페이지의 프로그램 시작 전압일 수 있다. 즉, 제 1 프로그램 시작 전압(VS1)의 레벨은 제 2 프로그램 시작 전압(VS2)의 레벨보다 높다. 이후에, S160 단계가 수행된다.
- [0060] S160 단계에서, 제 1 또는 제 2 프로그램 시작 전압(VS1, VS2) 레벨을 갖는 프로그램 펄스(P0)가 대응하는 페이지의 메모리 셀들에 인가된다. S170 단계에서, 프로그램 전압이 인가된 메모리 셀들의 검증 동작이 수행된다. S180 단계에서, 메모리 셀들의 프로그램이 완료된 경우, 프로그램 동작은 종료된다. 메모리 셀들의 프로그램 동작이 완료되지 않은 경우, S190 단계가 수행된다. S190 단계에서, 프로그램 전압(Vp<sub>gm</sub>) 레벨은  $\Delta V$  만큼 상승한다.
- [0061] 이후에, 메모리 셀들의 프로그램이 완료될 때 까지 S160~S190 단계가 반복적으로 수행된다. 도 7 및 8에 도시된 바와 같이, 노멀 메모리 셀들로 형성된 페이지에  $1 + m$  개의 프로그램 펄스들이 인가되고, 테일 비트 메모리 셀들을 포함하는 페이지에  $1 + m + k$  개의 프로그램 펄스들이 인가된다.
- [0062] 상술한 실시 예에서, 제 1 프로그램 시작 전압은 노멀 메모리 셀들로 형성된 페이지의 프로그램 시작 전압인 것으로 설명되었다. 그러나, 제 1 프로그램 시작 전압은 테일 비트 메모리 셀을 포함하는 페이지의 프로그램 시작 전압일 수 있다. 이때, 제 2 프로그램 시작 전압은 노멀 메모리 셀들로 형성된 페이지의 프로그램 전압일 수 있다. 그리고, 제 1 프로그램 시작 전압 레벨은 제 2 프로그램 시작 전압 레벨보다 낮다.
- [0063] 상술한 실시 예에서, 테일 비트 플래그 정보가 로직 하이이면, 대응하는 페이지는 테일 비트 메모리 셀을 포함하는 것으로 설명되었다. 그러나, 테일 비트 플래그 정보가 로직 하이인 경우, 대응하는 페이지는 노멀 메모리 셀들로 형성된 페이지일 수 있음은 이 분야에 숙련된 자들에게 이해될 것이다.
- [0064] 도 10은 본 발명에 따른 불휘발성 메모리 장치(310)를 구비하는 메모리 카드를 예시적으로 보여주는 블록도이

다. 도 10을 참조하면, 고용량의 데이터 저장 능력을 지원하기 위한 메모리 카드(300)는 본 발명에 따른 불휘발성 메모리 장치(310)를 장착한다. 본 발명에 따른 메모리 카드(300)는 호스트(Host)와 불휘발성 메모리 장치(310) 간의 제반 데이터 교환을 제어하는 메모리 컨트롤러(320)를 포함한다.

[0065] SRAM(321)은 프로세싱 유닛(322)의 동작 메모리로서 사용된다. 호스트 인터페이스(323)는 메모리 카드(300)와 접속되는 호스트의 데이터 교환 프로토콜을 구비한다. 오류 정정 블록(324)은 본 발명에 따른 불휘발성 메모리 장치(310)로부터 독출된 데이터에 포함되어 있는 에러를 검출 및 정정한다. 메모리 인터페이스(325)는 본 발명의 불휘발성 메모리 장치(310)와 인터페이싱 한다. 프로세싱 유닛(322)은 메모리 컨트롤러(320)의 데이터 교환을 위한 제반 제어 동작을 수행한다. 도면에 도시되지 않았지만, 본 발명에 따른 메모리 카드(300)는 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM(미도시) 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 이해될 것이다.

[0066] 도 11은 본 발명에 따른 불휘발성 메모리 장치(411)를 포함하는 메모리 시스템을 보여주는 블록도이다. 도 11을 참조하면, 메모리 시스템(400)은 불휘발성 메모리 시스템(410), 전원(420), 중앙처리장치(430), 램(440), 유저 인터페이스(450), 그리고 시스템 버스(460)를 포함한다

[0067] 불휘발성 메모리 시스템(410)은 메모리 컨트롤러(412) 및 불휘발성 메모리 장치(411)를 포함한다. 불휘발성 메모리 시스템(410)은 시스템 버스(460)를 통해, 전원(420), 중앙처리장치(430), 램(440), 그리고 유저 인터페이스(450)에 전기적으로 연결된다. 유저 인터페이스(450)를 통해서 제공되거나, 중앙처리장치(430)에 의해서 처리된 데이터는 메모리 컨트롤러(412)를 통해 불휘발성 메모리 장치(411)에 저장된다.

[0068] 불휘발성 메모리 시스템(410)이 반도체 디스크 장치(SSD)로 장착되는 경우, 시스템(400)의 부팅 속도가 획기적으로 빨라질 수 있다. 도면에 도시되지 않았지만, 본 발명에 따른 시스템은 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor) 등을 더 포함할 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 이해될 것이다.

[0069] 상술한 실시 예에서, 본 발명에 따른 불휘발성 메모리 장치는 낸드 플래시 메모리 장치의 예를 들어 설명되었다. 그러나, 본 발명에 따른 불휘발성 메모리 장치는 낸드 플래시 메모리 장치에 한정되지 않는다.

[0070] 상술한 실시 예에서, 본 발명에 따른 테일 비트 플래그 정보는 페이지의 플래그 필드 또는 스페어 필드에 저장되는 것으로 설명되었다. 그러나, 본 발명에 따른 테일 비트 플래그 정보의 저장 영역은 플래그 필드 또는 스페어 필드로 한정되지 않는다. 본 발명에 따른 테일 비트 플래그 필드 정보의 저장 영역은 사용자에게 의해 데이터가 기입 및 독출될 수 있는 메인 필드 이외의 저장 영역이다.

[0071] 상술한 바와 같이, 본 발명에 따른 불휘발성 메모리 장치는 프로그램될 페이지가 테일 비트 메모리 셀을 포함하는지의 여부에 따라 프로그램 시작 전압을 조절한다. 본 발명에 따르면, 테일 비트 메모리 셀들로 인한 불휘발성 메모리 장치의 동작 오류가 방지되며, 프로그램 동작에 요구되는 시간이 단축된다.

[0072] 본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위와 기술적 사상에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 자명하다. 그러므로 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

**도면의 간단한 설명**

[0073] 도 1은 불휘발성 메모리 셀들의 문턱 전압의 산포를 보여주는 다이어그램이다.

[0074] 도 2는 테일 비트 메모리 셀들을 고려한 프로그램 방법을 설명하기 위한 다이어그램이다.

[0075] 도 3은 노멀 메모리 셀들의 프로그램 방법을 설명하기 위한 다이어그램이다.

[0076] 도 4는 본 발명에 따른 불휘발성 메모리 장치를 보여주는 블록도이다.

[0077] 도 5는 도 4의 페이지의 구성을 보여주는 다이어그램이다.

[0078] 도 6은 도 4의 페이지의 다른 구성을 보여주는 블록도이다.

[0079] 도 7 및 8은 도 4의 불휘발성 메모리 장치의 프로그램 동작을 설명하기 위한 다이어그램이다.

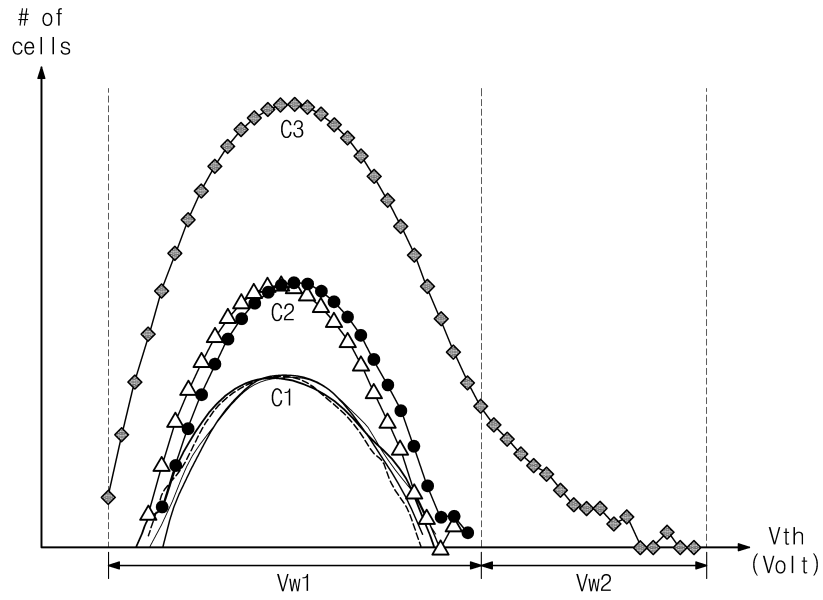
[0080] 도 9는 도 4의 불휘발성 메모리 장치가 프로그램 동작을 수행하는 과정을 보여주는 순서도이다.

[0081] 도 10은 본 발명에 따른 불휘발성 메모리 장치를 구비하는 메모리 카드를 예시적으로 보여주는 블록도이다.

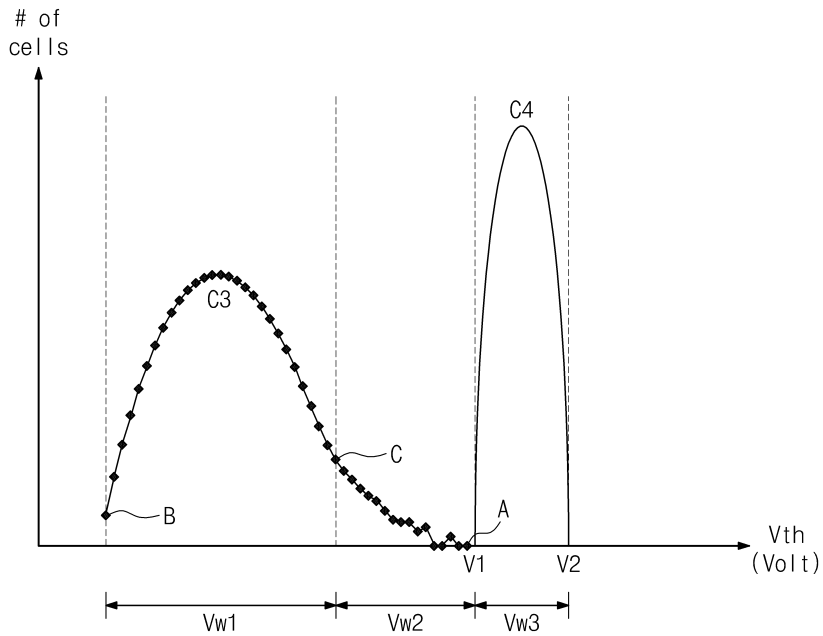
[0082] 도 11은 본 발명에 따른 불휘발성 메모리 장치를 포함하는 메모리 시스템을 보여주는 블록도이다.

도면

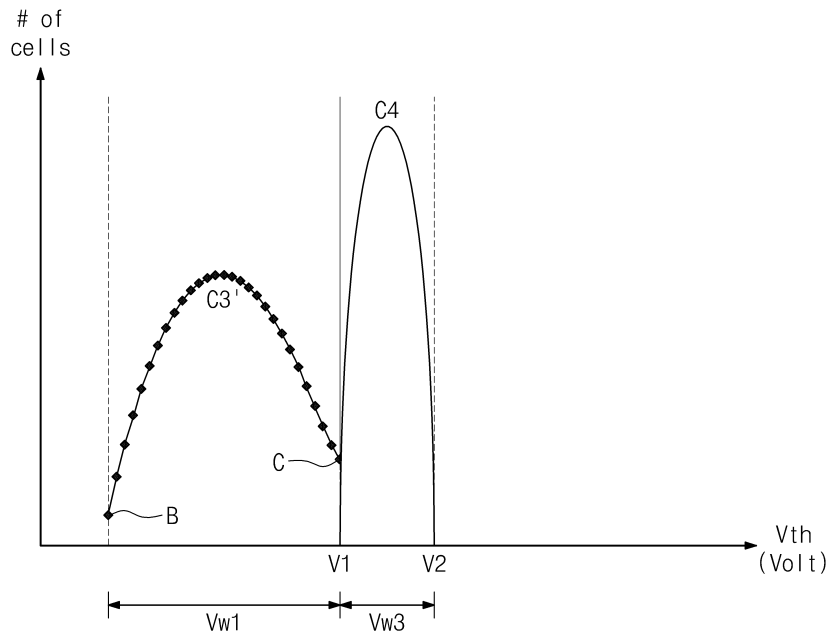
도면1



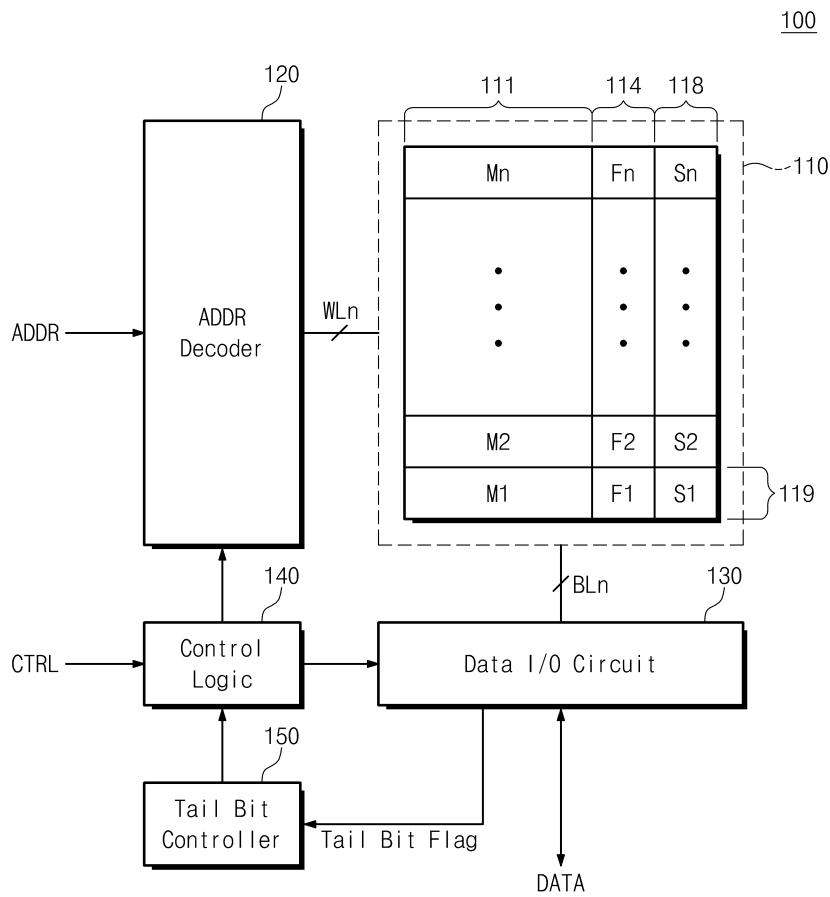
도면2



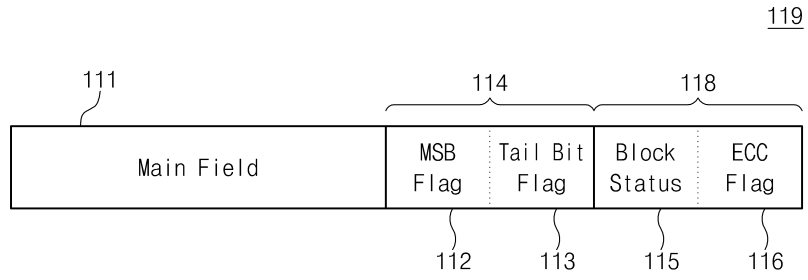
도면3



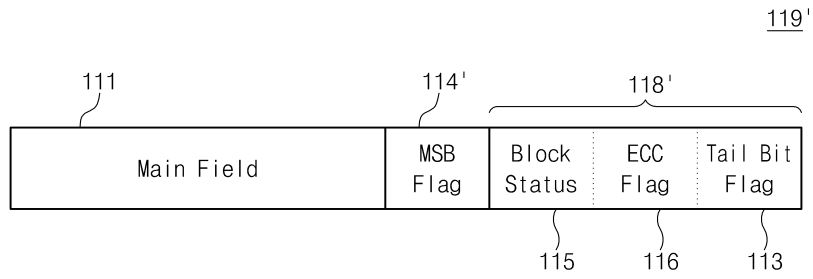
도면4



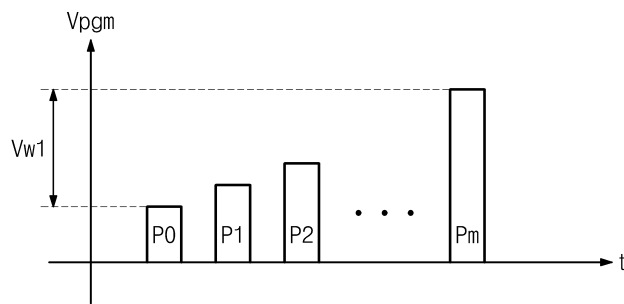
도면5



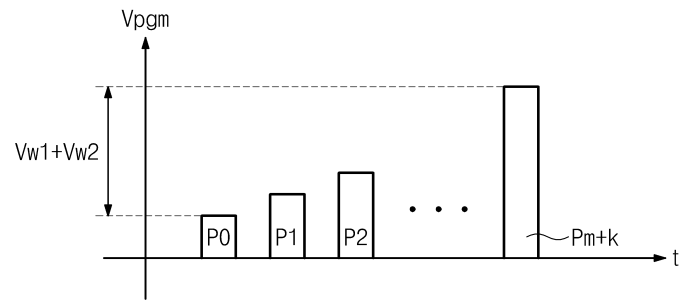
도면6



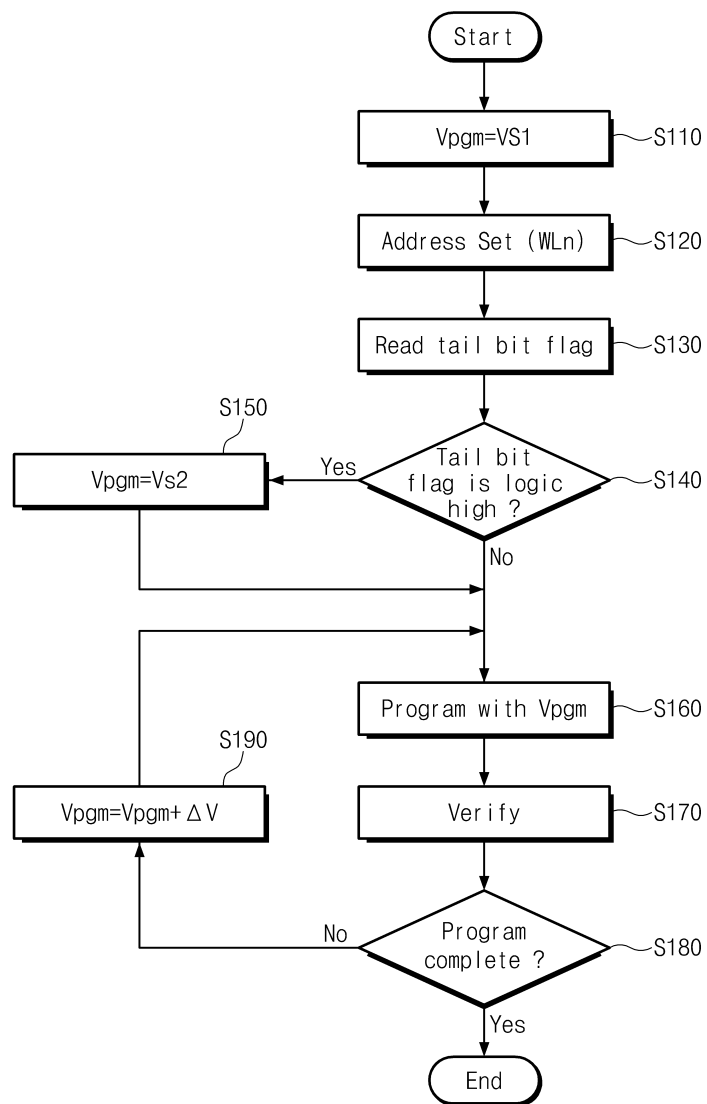
도면7



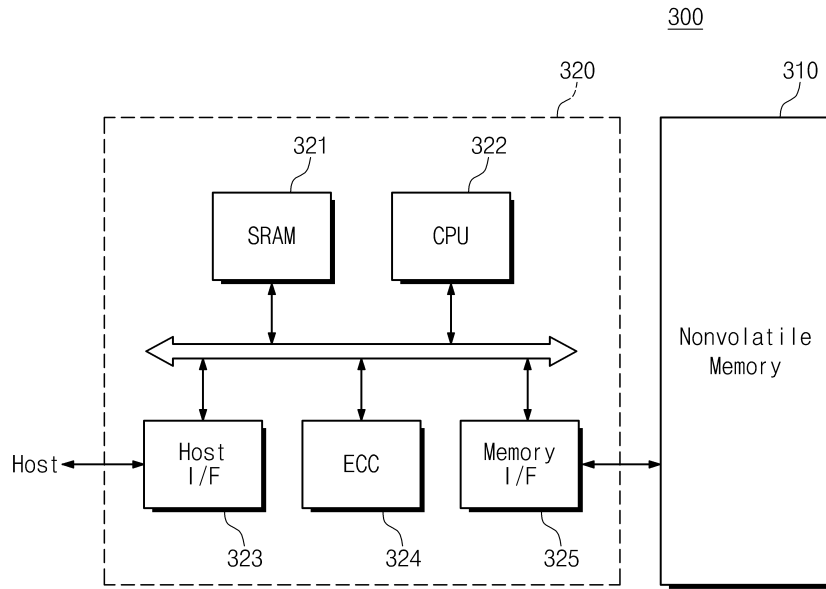
도면8



도면9



도면10



도면11

