



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0058341
(43) 공개일자 2008년06월25일

(51) Int. Cl.

H01L 21/316 (2006.01)

(21) 출원번호 10-2008-7006660

(22) 출원일자 2008년03월19일

심사청구일자 없음

번역문제출일자 2008년03월19일

(86) 국제출원번호 PCT/US2006/036916

국제출원일자 2006년09월22일

(87) 국제공개번호 WO 2007/038237

국제공개일자 2007년04월05일

(30) 우선권주장

11/162,778 2005년09월22일 미국(US)

(71) 출원인

인터내셔널 비지네스 머신즈 코포레이션

미국 10504 뉴욕주 아몬크 뉴오차드 로드

(72) 발명자

치담바라오 듀어세티

미국 코네티컷주 06883 웨스튼 올드 밀 로드 29

도쿠마치 오미

미국 뉴욕주 12590 와핑거스 폴스 윈스롭 코트 3
2이

(뒷면에 계속)

(74) 대리인
김태홍, 신정건

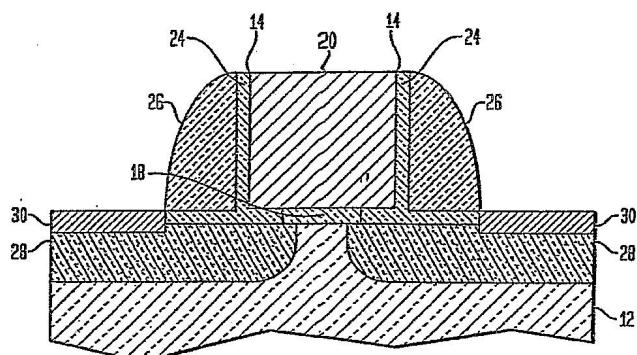
전체 청구항 수 : 총 10 항

(54) 낮은 밀러 용량 및 향상된 구동 전류를 위한 단일 게이트상의 다중 저유전율 및 고유전율 게이트 산화막

(57) 요 약

본 발명은 밀러 용량, 즉, 오버랩 용량이 줄어들고 구동 전류가 향상되는 적어도 하나의 CMOS 장치를 갖는 반도체 구조물을 제공한다. 본 발명의 구조물은 수직 에지를 갖는 적어도 하나의 오버레이된 게이트 도체; 상기 적어도 하나의 오버레이된 게이트 도체 아래에 위치하고 상기 적어도 하나의 오버레이된 게이트 도체의 수직 에지를 넘어서 확장하지 않는 제1 게이트 산화막; 및 상기 적어도 하나의 오버레이된 게이트 도체의 적어도 일부분 아래에 위치하는 제2 게이트 산화막을 포함한다. 본 발명에 따라, 제1 게이트 산화막 및 제2 게이트 산화막은 고유전율(high k) 산화물 함유 물질 및 저유전율(low k) 산화물 함유 물질로부터 선택되는데, 단, 제1 게이트 산화막이 고유전율 산화막이라면, 제2 게이트 산화막은 저유전율 산화막이고, 또는 제1 게이트 산화막이 저유전율 산화막이면, 제2 게이트 산화막은 고유전율 산화막이다.

대표도 - 도1e



(72) 발명자

글루센코프 올레그

미국 뉴욕주 12601 포킵시 아카데미 스트리트 160
아파트먼트9에이치

밸리안스키 마이클

미국 코네티컷주 06801 베델 킹스우드 드라이브 44

특허청구의 범위

청구항 1

반도체 구조물에 있어서,

각각 수직 에지를 갖는 적어도 하나의 오버레이된(overlaying) 게이트 도체를 갖는 반도체 기판;

상기 적어도 하나의 오버레이된 게이트 도체 아래에 위치하고, 상기 적어도 하나의 오버레이된 게이트 도체의 수직 에지를 넘어 확장되지 않는 제1 게이트 산화막; 및

상기 적어도 하나의 오버레이된 게이트 도체의 적어도 일부분 아래에 위치한 제2 게이트 산화막을 포함하고,

상기 제1 게이트 산화막 및 제2 게이트 산화막은 고유전율(high k) 산화물 함유 물질 및 저유전율(low k) 산화물 함유 물질로부터 선택되는데, 단, 제1 게이트 산화막이 고유전율 산화막이면, 제2 게이트 산화막은 저유전율 산화막이고, 제1 게이트 산화막이 저유전율 산화막이면, 제2 게이트 산화막은 고유전율 산화막인 것인, 반도체 구조물.

청구항 2

제1항에 있어서, 상기 반도체 기판에 소스/드레인 확산 영역을 더 포함하고, 상기 소스/드레인 확산 영역은 채널에 의해 분리되고, 소스/드레인 확산 영역과 채널의 접합의 위치는 상기 게이트 도체의 수직 에지들로부터 약 1 내지 4nm되는 곳에 위치하는 것인, 반도체 구조물.

청구항 3

제1항에 있어서, 소스 언더컷(undercut)보다 더 큰 드레인 언더컷을 더 포함하는 반도체 구조물.

청구항 4

제1항에 있어서, 상기 게이트 도체에 인접하고 실리사이드화된(silicided) 소스/드레인 영역에 인접한 스페이서(spacer)를 더 포함하는 반도체 구조물.

청구항 5

반도체 구조물을 형성하는 방법에 있어서,

적어도 하나의 오버레이된 게이트 도체, 및 상기 적어도 하나의 오버레이된 게이트 도체 아래에 위치하는 제1 게이트 산화막을 갖는 반도체 기판을 제공하는 단계로서, 적어도 하나의 오버레이된 게이트 도체 각각은 수직 에지들을 갖는 것인, 반도체 기판 제공 단계;

각각의 게이트 도체 아래에 언더컷(undercut) 영역을 제공하기 위해 상기 제1 게이트 산화막을 후퇴 처리하는(recessing) 단계, 및

적어도 상기 언더컷 영역에 제2 게이트 산화막을 형성하는 단계를 포함하고, 상기 제1 게이트 산화막 및 제2 게이트 산화막은 고유전율 산화물 함유 물질 및 저유전율 산화물 함유 물질로부터 선택되는데, 단, 제1 게이트 산화막이 고유전율 산화막이면, 제2 게이트 산화막은 저유전율 산화막이고, 또는 제1 게이트 산화막이 저유전율 산화막이면, 제2 게이트 산화막은 고유전율 산화막인 것인, 반도체 구조물 형성 방법.

청구항 6

제5항에 있어서, 상기 고유전율 산화물 함유 물질은 약 6.0 이상인 유전 상수를 갖고, 상기 저유전율 산화물 함유 물질은 6.0보다 작은 유전 상수를 갖는 것인, 반도체 구조물 형성 방법.

청구항 7

반도체 구조물을 형성하는 방법에 있어서,

반도체 기판, 상기 반도체 기판상에 희생 산화막, 상기 희생 산화막의 일부분 상에 패터닝된 희생 폴리실리콘 영역, 및 상기 희생 산화막의 다른 부분 상에 유전체 물질을 포함하는 평탄화된 구조물을 제공하는 단계;

상기 평탄화된 구조물에 개구부를 제공하고, 상기 희생 산화막의 표면 부분을 노출시키기 위해 상기 패터닝된

희생 폴리실리콘 영역을 제거하는 단계;

상기 개구부의 상기 유전체 물질의 측벽들 상에 희생 스페이서를 형성하는 단계;

상기 희생 스페이서 아래에 언더컷을 형성하기 위해, 상기 개구부로부터 상기 희생 산화막의 노출된 표면 부분을 제거하는 단계;

상기 언더컷을 채우는 제2 게이트 산화막을 형성하는 단계;

상기 반도체 기판의 노출된 표면 부분에 제1 게이트 산화막을 형성하는 단계;

상기 희생 스페이서를 제거하는 단계;

상기 개구부에 게이트 도체를 형성하는 단계; 및

적어도 상기 유전체 물질을 에칭백하는 단계

를 포함하는 반도체 구조물 형성 방법.

청구항 8

제7항에 있어서, 상기 고유전율 산화물 함유 물질은 약 6.0 이상의 유전 상수를 갖고, 상기 저유전율 함유 물질은 6.0보다 작은 유전상수를 갖는 것인, 반도체 구조물 형성 방법.

청구항 9

제7항에 있어서, 상기 제1 게이트 산화막은 고유전율 산화물 함유 물질이고, 상기 제2 게이트 산화막은 저유전율 산화물 함유 물질인 것인, 반도체 구조물 형성 방법.

청구항 10

제7항에 있어서, 상기 제1 게이트 산화막은 저유전율 산화물 함유 물질이고, 상기 제2 게이트 산화막은 고유전율 산화물 함유 물질인 것인, 반도체 구조물 형성 방법.

명세서

기술 분야

<1>

본 발명은 적어도 하나의 CMOS(complementary metal oxide semiconductor) 장치를 포함하는 반도체 구조물에 관한 것으로서, 더 상세하게는, 밀려 용량이 종래의 CMOS 장치의 밀려 용량 \times 미만으로 감소된 적어도 하나의 CMOS 장치를 포함하는 반도체 구조물에 관한 것이다. 본 발명은 또한 그와 같은 반도체 구조물을 제조하는 방법에 관한 것이다.

배경 기술

<2>

반도체 산업에서, 집적 회로(IC)의 동작 속도를 증가시킬 것을 지속적으로 요구하고 있다. 이처럼 증가하는 요구는 컴퓨터와 같은 전자 장치가 더욱더 빠른 속도로 동작해야 할 필요성에 의해 더욱 증폭되고 있다. 그리하여, 증가된 속도에 대한 수요는 반도체 장치의 지속적인 크기의 감소를 가져왔다. 특히, 전계 효과 트랜지스터(FET)의 채널 길이, 접합 깊이, 및/또는 게이트 유전체 두께가 감소되었다. 따라서, FET의 전반적인 속도를 증가시키기 위해 통상의 FET의 커포넌트들의 크기 또는 스케일을 지속적으로 감소시키고 있다. 또한, 통상의 FET의 커포넌트들의 크기, 또는 스케일을 줄이는 것은, 주어진 하나의 반도체 웨이퍼 상에 제조될 수 있는 FET의 밀도 및 개수를 증가시킨다.

<3>

그러나, 트랜지스터의 채널 길이를 줄이는 것은 긴 채널 트랜지스터에서 상대적으로 덜 중요한 "에지 효과" 뿐만 아니라, "짧은 채널" 효과도 증가시킨다. 짧은 채널 효과는, 다른 것들 중에서도, 트랜지스터가 스위치 "오프"될 때의 증가된 소스/드레인(S/D) 누설 전류를 포함한다. 트랜지스터 및 회로 성능에 영향을 줄 수 있는 에지 효과들 중 하나가 게이트 대 드레인 및 게이트 대 소스의 총용량으로 알려져 있다. 게이트 드레인 용량은, 트랜지스터의 전압 이득에 관계되는 인수(factor)만큼 용량을 증가시키는 밀려 곱 인수(Miller multiplication factor)에 기인하는 "밀려 용량"으로도 알려져 있다. 밀려 곱은 회로를 느리게 하는 게이트 대 드레인 기생 용량을 더 증가시킨다. 당업자들에게 알려진 바와 같이, 게이트 대 드레인 용량 및 게이트 대 소스 용량, 또는 밀

러 용량의 상당 부분은, 깊은 S/D 영역, 또는 만약 존재한다면, S/D 확장 영역 중 어느 하나의 전도부와 게이트 도체가 거의 항상 오버랩하기 때문에 발생하는 오버랩 용량이다.

<4> FET의 추가 소형화를 위해, 트랜지스터 구동 전류에 대한 어떠한 해로운 영향을 주지 않으면서, FET의 게이트 대 드레인 용량 및 게이트 대 소스 용량, 또는 밀려 용량을 줄일 필요가 있다. 현재, FET의 오버랩 용량을 감소시켜 회로의 향상된 스위칭 속도를 제공하는 당업계에서 이용 가능한 적당한 기술이 없다.

발명의 상세한 설명

<5> 본 발명은, 고유전율 및 저유전율 산화물 함유 유전체들의 조합을 이용하여 게이트 대 드레인 용량 및 게이트 대 소스 용량 또는 밀려 용량이 감소된 CMOS 장치를 포함하는 반도체 구조물을 제공한다. 본 명세서 전반에 사용되는 용어 "고유전율(high k)"은 두께 평균화된 유전 상수가 약 6.0 이상인, 바람직하게는 7.0보다 큰 산화물 함유 물질을 가리킨다. 용어 "저유전율(low k)"은 유전 상수가 6.0보다 작은, 바람직하게는 5.0보다 작은 산화물 함유 물질을 가리킨다. 본 명세서에서 언급되는 모든 유전 상수들은 따로 언급하지 않는 한 진공 상태일 때의 값이다.

<6> 넓은 의미에서, 본 발명의 반도체 구조는,

<7> 각각 수직 에지를 갖는 적어도 하나의 오버레이된(overlaying) 게이트 도체를 갖는 반도체 기판,

<8> 상기 적어도 하나의 오버레이된 게이트 도체 아래에 위치하고, 상기 적어도 하나의 오버레이된 게이트 도체의 수직 에지를 넘어 확장되지 않는 제1 게이트 산화막, 및

<9> 상기 적어도 하나의 오버레이된 게이트 도체의 적어도 일부분 아래에 위치한 제2 게이트 산화막을 포함하고, 상기 제1 게이트 산화막 및 제2 게이트 산화막은 고유전율 산화물 함유 물질 및 저유전율 산화물 함유 물질로부터 선택되는데, 단, 제1 게이트 산화막이 고유전율 산화막이면, 제2 게이트 산화막은 저유전율 산화막이고, 제1 게이트 산화막이 저유전율 산화막이면, 제2 게이트 산화막은 고유전율 산화막이다.

<10> 상기 구조와 더불어, 본 발명은 또한 그 구조물을 제조하기 위한 다양한 방법을 제공한다. 한 방법에서, 공정 단계는,

<11> 적어도 하나의 오버레이된 게이트 도체 및 그 적어도 하나의 오버레이된 게이트 도체 아래에 위치한 제1 게이트 산화막을 갖는 반도체 기판으로서, 그 적어도 하나의 오버레이된 게이트 도체 각각은 수직 에지들을 갖는 것인, 반도체 기판을 제공하는 단계,

<12> 각각의 게이트 도체 아래에 언더컷(undercut) 영역을 제공하기 위해 상기 제1 게이트 산화막을 후퇴 처리하는 (recessing) 단계, 및

<13> 적어도 상기 언더컷 영역에 제2 게이트 산화막을 형성하는 단계를 포함하고, 상기 제1 게이트 산화막 및 제2 게이트 산화막은 고유전율 산화물 함유 물질 및 저유전율 산화물 함유 물질로부터 선택되는데, 단, 제1 게이트 산화막이 고유전율 산화막이면, 제2 게이트 산화막은 저유전율 산화막이고, 제1 게이트 산화막이 저유전율 산화막이면, 제2 게이트 산화막은 고유전율 산화막이다.

<14> 본 명세서에서 대체 게이트 공정으로서 언급되는 본 발명의 다른 방법은,

<15> 반도체 기판, 상기 반도체 기판상의 희생(sacrificial) 산화막, 상기 희생 산화막의 일부분 상의 패터닝된 희생 폴리실리콘 영역, 및 상기 희생 산화막의 다른 부분 상의 유전체 물질을 포함하는 평탄화된 구조물을 제공하는 단계,

<16> 상기 평탄화된 구조물에 개구부(opening)를 제공하고, 희생 산화막의 표면부를 노출시키기 위해 상기 패터닝된 희생 폴리실리콘 영역을 제거하는 단계,

<17> 상기 개구부의 상기 유전체 물질의 측벽 상에 희생 스페이서(spacer)를 형성하는 단계,

<18> 상기 희생 스페이서 아래에 언더컷을 형성하기 위해 상기 개구부로부터 상기 희생 산화막의 노출된 표면부를 제거하는 단계,

<19> 상기 언더컷을 채우는 제2 게이트 산화막을 형성하는 단계,

<20> 상기 반도체 기판의 노출된 표면부 상의 상기 개구에 제1 게이트 산화막을 형성하는 단계,

- <21> 상기 회생 스페이서를 제거하는 단계,
- <22> 상기 개구에 게이트 도체를 형성하는 단계, 및
- <23> 적어도 상기 유전체 물질을 에칭 백(etching back)하는 단계를 포함한다.

실시예

- <27> CMOS 장치의 게이트 대 드레인 용량, 게이트 대 소스 용량 또는 밀러 용량(Miller capacitance)을 낮추고 구동 전류를 향상시키기 위한 구조 및 방법을 제공하는 본 발명은 본 명세서에 첨부된 도면들을 참조하여 더 상세히 설명될 것이다. 본 발명의 도면들은 예시의 목적으로 제공된 것이지 축적에 맞게 도시된 것은 아니다.
- <28> CMOS 장치의 감소한 게이트 대 드레인 용량 및 게이트 대 소스 용량 또는 밀러 용량 그리고 향상된 구동 전류가 달성된 반도체 구조물을 제조하기 위해 본 발명에 의해 계획된 제1 방법을 나타낸 도 1a-1e을 우선 참조하겠다.
- <29> 도 1a에는 본 발명의 이 실시예에서 사용된 초기 구조물(10)이 도시되어 있다. 도시된 바와 같이, 구조물(10)은 제1 게이트 산화막(18) 및 그 위에 위치한 게이트 도체(20)의 블랭킷 층(blanket layer)을 갖는 반도체 기판(12)을 포함한다. 블랭킷 층들(18 및 20)은 적어도 하나의 게이트 영역(16)(도 1b 참조)을 형성하는데 사용된다. 이 적어도 하나의 게이트 영역(16)은 도시할 목적으로 제공된 것이지 본 발명을 하나의 게이트 영역으로 제한하려는 것은 아니다. 대신, 본 발명은 기판이 복수의 게이트 영역들을 포함할 때 작동한다.
- <30> 구조물(10)의 반도체 기판(12)은, 제한을 두려는 것은 아니지만, Si, Ge, SiGe, SiC, SiGeC, Ga, GaAs, InAs, InP, 및 모든 다른 III/V족 화합물 반도체를 포함하는 임의의 반도체 물질을 포함한다. 반도체 기판(12)은 Si/SiGe, SOI(Silicon-On-Insulator), 또는 SGOI(SiGe-On-Insulator)와 같은 적층형 반도체 또는 유기 반도체도 포함할 수 있다. 본 발명의 몇몇 실시예에서, 반도체 기판(12)은 Si 함유 반도체 물질, 즉, 실리콘을 포함하는 반도체 물질로 구성되는 것이 바람직하다. 반도체 기판(12)은 도핑되거나, 도핑되지 않거나, 또는 도핑된 영역과 도핑되지 않은 영역을 포함할 수 있다.
- <31> 반도체 기판(12)은 제1 도핑(n- 또는 p-) 영역, 및 제2 도핑(n- 또는 p-) 영역을 포함한다. 명확하게 하기 위해, 도핑된 영역은 본 명세서의 도면에서 특별히 라벨링되지 않았다. 제1 도핑 영역 및 제2 도핑 영역은 동일할 수 있고, 또는 상이한 전도성 및/또는 도핑 농도를 가질 수 있다. 이 도핑 영역들은 "웰(wells)"로 알려져 있다.
- <32> 트렌치 절연 영역(Trench isolation region)(도시안됨)은 통상적으로, 당업자들에게 잘 알려진 종래 공정을 이용하여, 본 발명의 이 부분에서, 이미 반도체 기판(12)에 형성된다. 이 트렌치 절연 영역은, 통상 당업계에 잘 알려진 트렌치 절연 기술, 예를 들어, 리소그래피를 통해 기판의 표면상에 패터닝된 마스크를 형성하는 단계, 그 패터닝된 마스크의 개구부를 통해 기판에 트렌치를 에칭하는 단계, 그 트렌치를 SiO_2 또는 TEOS와 같은 트렌치 유전체로 채우는 단계, 및 기판을 평탄화하는 단계를 포함하는 기술을 이용하여 형성된다. 선택가능한 트렌치 라이너는 트렌치 유전체를 채우기 앞서 트렌치 내에 형성될 수 있고, 선택가능한 치밀화(densification) 단계가 평탄화 공정에 후속할 수 있다.
- <33> 다른 유용한 구조물(도시안됨)이 본 발명의 이 이부분에서 기판(12)에 존재할 수 있다. 이 구조물들은 트렌치 커페시터, 메모리 셀, 상이한 결정의 배향 및 회전의 에피택셜 아일랜드(epitaxial island)를 포함할 수 있다. 비록 유용하긴 하지만, 이러한 구조물들은 본 발명의 본질은 아니다.
- <34> 게이트 유전체(18)를 형성하기에 앞서, 기판(12)의 표면은 임의의 잔류층(예를 들어, 자연 산화막), 외부 파티클, 및 임의의 잔류 금속 표면 오염물을 제거하기 위해 클리닝되고, 그 클리닝된 기판 표면을 임시로 보호하도록 클리닝된다. 잔류 실리콘 산화막은 우선 플루오르화 수소산 용액으로 제거된다. 파티클 및 잔류 금속 오염물의 선호되는 제거 방법은 RCA 클린으로 알려진 산업 표준 게이트 유전체 프리클린(preclean)에 기초한다. RCA 클린은 염산 및 산화제(예, H_2O_2 , O_3)의 액상 혼합물에 후속되는, 수산화암모늄(NH_4OH) 및 과산화수소(H_2O_2) 용액 중에서의 기판(12) 처리를 포함한다. 결과적으로, 클리닝된 기판 표면은 매우 얇은 화학적 산화물 층으로 밀봉된다. 보호 화학적 산화막은 게이트 유전체 층(18)의 특성을 손상시키지 않도록 하기 위해 통상 약 10 Å 보다 얇게 만들어지고, 그 두께는 게이트 유전체 층(18)의 특성들을 이로운 방향으로 변경할 수 있도록 변경될 수 있다.
- <35> 제1 게이트 산화막(18)은 반도체 기판(12), 및 만약 존재한다면, 그리고 그것이 증착된 유전체라면, 상부에 절연 영역을 포함하는 기판의 전체 표면(10) 상에 형성된다. 제1 게이트 산화막(18)은, 예를 들어, 산화 작용과

같은 열적 성장 공정에 의해 형성될 수 있다. 다른 방법으로는, 제1 게이트 산화막(18)은, 예를 들어, 화학적 기상 증착(Chemical Vapor Deposition), 플라즈마 보조형 CVD, 원자층 증착 또는 펄스 원자층 증착(ALD 또는 ALPD), 기상 증착(evaporation), 반응성 스퍼터링, 화학 용액 증착, 또는 다른 유사한 증착 공정과 같은 증착 공정에 의해 형성될 수 있다. 제1 게이트 산화막(18)은 상기 공정들을 임의로 조합한 공정을 이용하여 형성될 수도 있다.

<36> 제1 게이트 산화막(18)은, 저유전율(low k) 또는 고유전율(high k) 산화막 중 하나인 제1 유전 상수를 갖는 산화물 함유 절연 물질로 구성된다. 본 명세서 전반에 사용되는 용어 "고유전율"은 두께 평균화된 유전 상수가 약 6.0 이상인, 바람직하게는 7.0보다 큰 산화물 함유 물질을 가리킨다. 본 명세서 전반에 사용되는 용어 "저유전율(low k)"은 유전 상수가 6.0보다 작은, 바람직하게는 5.0보다 작은 산화물 함유 물질을 가리킨다.

<37> 저유전율 산화물 함유 물질의 예로는, 예컨대, 순수 SiO_2 , 약 25 원자 퍼센트보다 작은 두께 평균화된 질소 함유량을 갖는 SiON , 및 적어도 Si, C, 및 O원자(여기에서, 탄소 함량은 약 30 원자 퍼센트보다 작다)를 포함하는 탄소 도핑된 $\text{SiO}_2:\text{C}$ 를 포함한다. 본 발명에서 매우 선호하여 사용되는 저유전율 산화물 함유 물질은 SiO_2 이다. 예시의 고유전율 게이트 산화물 함유 물질은, 예컨대, $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$, $\text{Ti}_x\text{Si}_{1-x}\text{O}_2$, $\text{La}_x\text{Si}_{1-x}\text{O}_2$, $\text{Zr}_x\text{Si}_{1-x}\text{O}_2$ 의 화합물과 같이 전이 금속 원자로 도핑된 산화 규소 화합물 또는 질산화 규소 화합물, 또는 Al_2O_3 , TiO_2 , Ta_2O_3 , HfO_2 , La_2O_3 , Y_2O_3 , 페로브스카이트(perovskite) 유형의 산화물인 SrTiO_3 또는 LaAlO_3 , 및 이들의 혼합물과 같은 절연 금속 산화물 층으로 구성된 유전체 스택이 있다. 본 발명에서 사용되는 매우 선호되는 고유전율 산화물 함유 물질은 약 0.3보다 작은 x값을 갖는 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$, $\text{Ti}_x\text{Si}_{1-x}\text{O}_2$, $\text{La}_x\text{Si}_{1-x}\text{O}_2$, 및 $\text{Zr}_x\text{Si}_{1-x}\text{O}_2$ 와 같은 낮은 함유량의 전이 원자를 갖는 전이 금속 실리케이트(silicate)이다.

<38> 제1 게이트 산화막(18)의 물리적 두께는 변할 수 있지만, 제1 게이트 산화막(18)은 통상적으로, 약 0.5 내지 10nm의 두께를 갖고, 약 0.5 내지 2nm의 두께가 더 일반적이다.

<39> 제1 게이트 산화막(18)을 형성한 후, 도 1a에 도시된 게이트 도체(20)가 되는, 폴리실리콘 또는 다른 게이트 도체 물질 또는 이들의 조합의 블랭킷 층이, 예컨대, 물리적 기상 증착, CVD, 또는 기상 증착(evaporation)과 같은 알려진 증착 공정을 이용하여 제1 게이트 산화막(18) 상에 형성된다. 게이트 도체 물질의 블랭킷 층은 도핑되거나 또는 도핑되지 않을 수 있다. 만약 도핑된다면, 인-시츄(in-situ) 도핑 증착 공정이 블랭킷 층을 형성하는데 이용될 수 있다. 다른 방법으로는, 도핑된 게이트 도체 층은 증착, 이온 주입, 및 어닐링에 의해 형성될 수도 있다. 게이트 도체 층의 도핑은 형성된 게이트의 일함수를 시프트할 것이다. 도핀트 이온의 예로는, As, P, B, Sb, Bi, In, Al, Ga, Tl 또는 이들의 혼합물이 있다. 이온 주입을 위한 통상의 주입량(dose)은 1E14 ($=1\times 10^{14}$) 내지 1E16 ($=1\times 10^{16}$) atoms/cm², 또는 더 일반적으로는 1E15 내지 5E15 atoms/cm²이다. 본 발명의 이 부분에서 증착된 게이트 도체(20)의 두께, 즉, 높이는 사용된 증착 공정에 따라 변할 수 있다. 통상적으로, 게이트 도체(20)의 수직 두께는 약 20 내지 180nm, 더 일반적으로는 약 40 내지 150nm이다.

<40> 게이트 도체(20)는 통상적으로 CMOS 구조물의 게이트로서 이용되는 임의의 도전성 물질을 포함할 수 있다. 게이트 도체(20)로서 이용될 수 있는 이러한 도전성 물질의 예들로는, 제한을 두려는 것은 아니지만, 폴리실리콘, 도전성 금속, 또는 도전성 금속 합금, 도전성 실리사이드, 도전성 질화물, 폴리실리콘 게르마늄, 및 이들로 이루어진 다층을 포함하는 이들의 조합이 있다. 몇몇 실시예에서, 복수의 게이트 도체 층들 사이에 장벽층(barrier layer)을 형성하는 것이 가능하다.

<41> 본 발명의 이 부분에서, 선택 가능한 유전체 캡(도시안됨)이 게이트 도체(20) 상부에 형성될 수 있다. 선택 가능한 유전체 캡은 통상적으로, 연속하여 형성될 소스/드레인 영역이 실리사이드화(silicided) 되기 전 또는 그 직후에 제거된다.

<42> 그 다음, 도 1b에 도시된 바와 같이 적어도 하나의 패터닝된 게이트 스택(16)을 제공하기 위해, 블랭킷 게이트 도체(20) 및 제1 게이트 산화막(18)이 리소그래피 및 에칭에 의해 패터닝된다. 복수의 패터닝된 게이트 스택이 존재할 때, 패터닝된 게이트 스택은 동일한 치수, 즉, 길이를 가질 수 있거나 또는 장치 성능을 향상시키기 위해 가변적인 치수를 가질 수 있다. 본 발명의 이 부분에서, 각각의 패터닝된 게이트 스택은 적어도 게이트 도체(20) 및 제1 게이트 산화막(18)을 포함한다. 리소그래피 단계는 게이트 도체(20)의 상부 표면에 포토레지스트를 도포하는 단계, 그 포토레지스트를 원하는 방사 패턴으로 노광하는 단계, 및 그 노광한 포토레지스트를 종래의 레지스트 현상액을 이용하여 현상시키는 단계를 포함한다. 포토레지스트의 패턴은 하나 이상의 건식 에칭 단계를 이용하여 게이트 도체(20) 및 제1 게이트 산화막(18)의 블랭킷 층으로 전사된다. 몇몇 실시예에서, 패터닝된

포토레지스트는 그 패턴이 게이트 도체(20)의 블랭킷 층으로 전사된 후에 제거될 수 있다.

<43> 도면에서, 도면 부호 14가 그 패터닝된 게이트 도체(20)의 게이트 에지 또는 수직 측벽을 나타낸다.

<44> 본 발명에서 패터닝된 게이트 스택 형성에 사용될 수 있는 적당한 건식 에칭 공정으로는, 제한을 두려는 것은 아니지만, 반응성 이온 에칭, 이온 빔 에칭, 플라즈마 에칭, 또는 레이저 제거(laser ablation)가 있다. 습식 또는 건식 에칭 공정도 패터닝된 게이트 도체(20)에 의해 보호되지 않는 제1 게이트 산화막(18)의 부분들을 제거하는데 사용될 수 있다.

<45> 다음, 도 1c에 도시된 바와 같이, 패터닝된 게이트 영역(16)을 포함하는 구조물은, 패터닝된 게이트 도체(20) 아래에 언더컷 영역(22)을 제공하기 위해, 앞서 패터닝된 제1 게이트 산화막(18)의 일부분을 선택적으로 제거하는 에칭 공정으로 처리된다. 도시된 바와 같이, 본 발명의 이 단계는 도 1b에 도시된 원래의 구조물로부터 앞서 패터닝된 제1 게이트 산화막(18)의 길이를 감소시킨다.

<46> 에칭 후, 제1 게이트 산화막(18)의 에지가, 패터닝된 게이트 도체(20)의 수직 측벽들, 예컨대, 에지들(14)과 정렬되지 않는다면, 언더컷 영역(22)은 너무 클 필요는 없다. 통상적인 언더컷 치수는 게이트 도체 에지에 대하여 약 10Å 내지 40Å이다. 언더컷 영역(22)을 형성하는데 이용된 에칭 단계는, 화학적 산화물 제거(Chemical Oxide Removal) 공정을 포함할 수 있는데, 여기서 증기, 또는 더 바람직하게는, HF 및 NH₃의 플라즈마가 식각제(etchant)로서 사용되고, 저압력 (약 6 m Torr 이하의 압력)이 사용된다. COR 공정과 더불어, 본 발명은 도 1c에 도시된 언더컷 영역(22)을 제공할 수 있는 큰 아이소트로픽 컴포넌트를 갖는 반응성 이온 에칭 공정과 같은 다른 유형의 에칭 공정을 이용하는 것을 고려할 수 있다. 다른 방법으로는, 단순 희석된 HF 계의 수성제가 제 1 게이트 산화막(18)을 천천히 에칭하는데 이용될 수 있다. 선택적으로, 제1 게이트 산화막(18)의 원하는 부분의 제거를 제어 및 용이하게 하기 위해, 경사 이온 주입이 제1 게이트 산화막(18)에 손상(damage)을 생성하는데 이용될 수 있다. Ar⁺, Xe⁺, As⁺, Ge⁺와 같은 큰 이온들이 본 목적을 위해 이용될 수도 있다. 통상의 손상 유발 주입량은 5E14cm⁻² 내지 5E15cm⁻²이다. 통상의 주입 에너지는 특정 이온의 선택에 따라 달라지지만, 20KeV를 초과해서는 안된다. 이온 주입 경사각이 언더컷의 양을 제어하는데 이용될 수 있다. 통상의 주입 경사각 범위는 약 5° 내지 45°이다. 또한, 게이트의 상이한 측면들로부터의 상이한 각으로 손상 유발 이온들을 주입함으로써 비대칭 언더컷을 쉽게 생성할 수 있다. 구체적으로, 보다 큰 언더컷은 위에서 언급한 바와 같이 밀려 곱셈 인수에 기인하여 트랜지스터의 드레인 층으로부터 취해진다. 큰 드레인(D) 언더컷(22D) 및 작은 소스(S) 언더컷(22S)을 포함하는 구조물이 도 3에 도시되어 있다.

<47> 고유전율 산화물 함유 물질 또는 저유전율 산화물 함유 물질 중 하나인 제2 게이트 산화막(24)이 도 1d에 도시된 구조물을 형성하는 전체 구조물 전반에 형성된다. 주목할 것은, 제2 게이트 산화막(24)이 이전의 에칭 단계에 의해 제공된 언더컷 영역(22)을 채운다는 것이다.

<48> 본 발명에 따라, 제2 게이트 산화막(24)은 제1 게이트 산화막(18)의 유전 상수와 상이한 유전 상수를 가져야 하지만, 그 유전 상수는 상기 고유전율 또는 저유전율 영역에 속해야 한다. 따라서, 제1 게이트 산화막(18)이 저유전율 산화물 함유 물질이라면, 제2 게이트 산화막(24)은 고유전율 산화물 함유 물질이어야 한다. 반대로, 제1 게이트 산화막(18)이 고유전율 산화물 함유 물질이라면, 제2 게이트 산화막(24)은 저유전율 산화물 함유 물질이여야 한다.

<49> 제2 게이트 산화막(24)은, 예컨대, 산화공정과 같은 열적 성장 공정에 의해 형성될 수 있다. 다른 방법으로는, 제2 게이트 산화막(24)은, 예컨대, 화학적 기상 증착(CVD), 플라즈마-보조형 CVD, 원자 충 증착(ALD), 기상 증착(evaporation), 반응성 스퍼터링, 화학 용액 증착 또는 다른 유사한 증착 공정과 같은 증착 공정에 의해 형성될 수 있다. 제2 게이트 산화막(24)은 상기 공정들 중의 임의의 조합을 이용하여 형성될 수도 있다. 제2 게이트 산화막(24)의 물리적 두께는 가변적이지만, 통상적으로는 약 0.5 내지 10 nm, 더 바람직하게는 약 0.5 내지 2nm의 두께를 갖는다. 주목할 것은, 언더컷 영역(22)을 채우는 것과 더불어, 실시예로 설명한 제2 게이트 산화막(24)은 게이트 도체(20)의 측벽(14)들 및 상부 표면을 커버한다는 것이다. 또 다른 실시예에서, 제2 게이트 산화막(24)은 게이트 도체(20)의 상부 표면상에 위치하지 않는다. 또 다른 실시예에서, 제2 게이트 산화막(24)은 게이트 도체(20)의 측벽(14)들 또는 상부 상에 위치하지 않는다.

<50> 도 1d에 도시된 구조물을 형성한 후, 전계 효과 트랜지스터의 제조를 완료하는데 CMOS 공정이 더 사용될 수 있다. 예를 들어, 스페이서 형성, 소스/드레인 영역 형성, 실리사이드 접촉부 형성, 및 다른 유사한 공정 단계들이 이용될 수 있다. 도 1e에는 스페이서(26) 형성, 소스/드레인 영역(28) 형성, 및 실리사이드 접촉부(30) 형성 후의 구조물이 도시되어 있다.

- <51> 도시한 실시예에서, 적어도 하나의 스페이서(26)는 제2 게이트 산화막(24)을 포함하는 각각의 패터닝된 게이트 스택(16)의 노출된 측벽들 상에 형성된다. 적어도 하나의 스페이서(26)는 산화물, 질화물, 질산화물, 또는 탄소 함유 실리콘 산화물, 탄소 함유 실리콘 질화물, 탄소 함유 실리콘 질산화물 및/또는 이들의 조합과 같은 절연체로 구성된다. 적어도 하나의 스페이서(26)는 중착 및 예칭에 의해 형성된다. 예칭 공정 동안, 스페이서(26)에 의해 보호되지 않는 제2 게이트 산화막(24)은 제거될 수 있다. 이 실시예는 본 발명의 도면들에 도시되어 있다.
- <52> 적어도 하나의 스페이서(26)의 너비는, 소스 및 드레인 실리사이드 접촉부(연속하여 형성될)가 게이트 스택의 에지 하부를 잡식하지 않도록 충분히 넓어야 한다. 통상적으로, 소스/드레인 실리사이드는, 적어도 하나의 스페이서가, 하부에서 측정했을 때, 약 15 내지 80nm의 너비를 가질 때 게이트 스택의 에지 하부를 잡식하지 않는다.
- <53> 스페이서 형성 후, 소스/드레인 확산 영역(28)이 기판(12) 내에 형성된다. 소스/드레인 확산 영역(28)은 이온 주입 및 어닐링(annealing) 단계를 이용하여 형성된다. 어닐링 단계는 이전의 주입 단계에 의해 주입된 도편트를 활성화한다. 또한, 이 어닐링 단계는, 소스/드레인과 게이트 도체 사이의 오버랩을 생성하기 위해 소스/드레인 도편트를 정확하게 확산시킨다. 트랜지스터의 높은 구동 전류를 얻기 위해서는 이 게이트-소스간 오버랩 및 게이트-드레인간 오버랩의 양이 중요하다. 따라서, 소스/드레인 대 채널 p-n 접합의 위치는, MOS 트랜지스터의 구동 전류를 얻기 위해 게이트 도체 에지(14)로부터 약 1 내지 4nm되는 곳에 위치한다.
- <54> 본 발명에서, "소스/드레인 확산 영역"이란, 확장 영역, 할로 영역, 및 깊은 소스/드레인 영역을 포함한다. 주목할 것은, 적어도 하나의 스페이서(26)를 형성하기 전 소스/드레인 확장 영역을 형성하는 것이 가능하다는 것이다. 얇은 소스/드레인 확장 영역이 주어진 어닐 조건에 대해 원하는 게이트 오버랩을 설정하기 위해 통상적으로 이용된다. 따라서, 소스/드레인 확장을 위한 정확한 주입 조건은 스페이서(26) 두께, 원하는 게이트 도체 오버랩, 및 어닐 조건(온도 및 시간)의 함수이다. 이 파라미터들 간의 함수 의존성은 당업자들에게 잘 알려져 있다. 또한, 그 함수는 임의의 특정 경우의 원하는 오버랩에 대해 용이하게 실험적으로 맵핑될 수 있다. 통상적으로, 이 파라미터들의 함수로서 게이트 오버랩(통상적으로, 게이트 오버랩 용량을 통해 측정된)을 얻기 위해, 확장 주입량은 약 $3E14 \text{ cm}^{-2}$ 내지 $3E15 \text{ cm}^{-2}$, 스페이서 두께는 약 1 내지 20nm, 어닐 온도는 약 900 내지 1150°C, 및 어닐 시간은 0(스파이크 어닐) 내지 약 10sec이다.
- <55> 게이트 도체 에지로부터의 소스/드레인 영역에 대한 조건은 기생 저항 및 임의의 접합 용량을 최소화하도록 선택된다. 구체적으로, 이 소스/드레인 영역들은 트랜지스터의 저항 및 접촉 저항을 줄이기 위해, (약 300Å 내지 700Å의) 깊이로 만들어지고 (약 $5E19 \text{ cm}^{-3}$ 내지 $1E21 \text{ cm}^{-3}$ 의 평균 도편트 농도로) 고농도 도핑된다. 접합 용량이 중요한 역할을 하는 특정 기술에서, 깊은 소스/드레인 접합은 접합 용량을 줄이도록 이롭게 만들어진다.
- <56> 본 발명의 한 가지 중요한 특징은, 게이트 아래의 소스/드레인 영역(28)의 팁(tip)이 게이트 유전체들(18 및 24) 사이의 경계부분(boundary)과 오버랩할 수 있어 이롭다는 것이다. 드레인 측 언더컷이 소스 측의 언더컷보다 크게 만들어지는 (상술한) 비대칭 언더컷의 경우, 소스 영역의 팁은 게이트 유전체 경계부분들(18 및 24)과 이롭게 오버랩하지만, 드레인 영역의 팁은 게이트 유전체 경계부분들(18 및 24)과 오버랩할 수도 있고, 또는 하지 않을 수도 있다.
- <57> 본 발명의 몇몇 실시예에서, 기판(12)이 실리콘을 포함하지 않을 때, 실리사이드 접촉부를 형성하기 위한 소스를 제공하기 위해, Si 함유 층이 기판(12)의 노출된 부분 상부에 형성될 수 있다. 사용될 수 있는 Si 함유 물질의 예로는, 예컨대, Si, 단결정 Si, 다결정 Si, SiGe, 및 아모퍼스 Si가 있다. 본 발명의 이러한 실시예는 도면에 도시되어 있지 않다.
- <58> 다음, 소스/드레인 확산 영역(28)은 당업계에 잘 알려진 표준 살리사이데이션(salicidation) 공정을 이용하여 실리사이드화(silicided) 된다. 이는 전체 구조물 상부의 Si와 반응할 수 있는 금속을 형성하는 단계, 그 금속 물 상부에 장벽층을 형성하는 단계, 실리사이드를 형성하기 위해 구조물을 가열하는 단계, 미반응 금속 및 장벽 층을 제거하는 단계, 필요한 경우, 제2 가열 단계를 수행하는 단계를 포함한다. 제2 가열 단계는 제1 가열 단계가 가장 낮은 저항 상(phase)의 실리사이드를 형성하지 않는 경우에 요구된다. 도 1e에서, 참조번호(30)는 실리사이드 소스/드레인 영역을 가리킨다. 주목할 것은, 게이트 도체(20)가 폴리실리콘 또는 SiGe로 구성되고, 제2 게이트 산화막(26)이 그 게이트 도체의 상부 수평면으로부터 제거되는 경우, 본 단계는 Si 함유 게이트 도체 상부에 금속 실리사이드를 형성하는데 이용될 수 있다. 후자의 실시예는 본 명세서의 도면에 구체적으로 도시되어 있지는 않다.

- <59> 본 발명의 이 부분에서, 통상의 후반부(BEOL) 공정은, 게이트 도체(20)뿐만 아니라 실리사이드화된(silicided) 소스/드레인 영역(30)과의 접촉부를 형성하는데 이용될 수 있다.
- <60> 본 발명의 상기 방법을 이용하는 것과 더불어, 본 발명은 또한 도 2a-2g에 도시된 바와 같은 대체 게이트 방법을 고려해볼 수 있다. 도 2a에 도시된 구조물(50)을 우선 제공함으로써 본 발명의 이 방법이 시작된다. 구조물(50)은 희생(sacrificial) 산화막(51) 및 그 표면상에 위치한 희생 폴리실리콘 층(52)의 블랭킷 층을 포함하는 반도체 기판(12)을 포함한다. 이 희생 폴리실리콘 층(52)은 게이트 도체(20)를 형성하는데 이용했던 것과 유사한 증착 공정을 이용하여 형성되고, 그 층(52)의 두께도 게이트 도체(20)에 관해 상술한 것과 유사하다. 희생 산화막(51)은 제1 및 제2 게이트 산화막의 두께와 동일한 두께를 갖고, 이 산화막은 상술한 게이트 산화막 형성 공정을 이용하여 형성된다.
- <61> 다음, 희생 폴리실리콘 층(52)은 리소그래피 및 에칭에 의해 패터닝된다. 패터닝된 희생 층(52)의 너비는 FET의 최대 채널 길이를 결정할 것이다.
- <62> 소스/드레인 확장 주입 및 선택 가능한 할로 주입(양자 모두 도시안됨)은 통상적으로 종래의 소스/드레인 확장 주입 및 종래의 할로 주입을 이용하여 기판(12) 내에 형성된다. 각각의 주입 영역은 동일하거나 또는 상이한 활성화 어닐링 공정을 이용하여 활성화될 수 있다. 소스/드레인 조건 및 어닐링 조건은 고성능 트랜지스터를 위한 정확한 오버랩을 주도록, 그리고 상술한 바와 같은 임의의 기생 직렬 저항을 최소화하도록 선택된다.
- <63> 그 다음, 구조물은 도 2b에 도시된 구조물을 제공하기 위해, TEOS (tetraethylorthosilicate)와 같은 유전체 물질(54)이 종래의 증착 공정에 의해 형성되고, CMP(Chemical Mechanical Polishing) 또는 그라인딩(grinding)과 같은 종래의 평탄화 공정에 의해 평탄화된다. 도시된 바와 같이, 유전체 물질(54)은 패터닝된 희생 폴리실리콘 층(52)의 상부 표면과 공면인 상부 표면을 갖는다.
- <64> 그 다음, 희생 산화막(51)의 일부분을 노출하는 개구부(56)를 제공하기 위해, 패터닝된 희생 폴리실리콘 층(52)이 구조물로부터 제거된다. 패터닝된 희생 폴리실리콘 층(52)을 제거한 후에 형성된 구조물이, 예컨대, 도 2c에 도시되어 있다. 패터닝된 희생 폴리실리콘 층(52)은 화학적 다운스트림 에칭을 이용하여 제거될 수 있고, 또는 습식 에칭 공정이 패터닝된 희생 폴리실리콘 층(52)을 제거하는데 이용될 수 있다.
- <65> 그 다음, 기판에 있는 장치의 채널/몸체 영역을 변경하기 위해 통상적으로 선택 가능한 장치 채널/몸체 추입이 수행된다. 이 선택 가능한 단계는 개구부 크기의 함수로서의 문턱 전압을 이롭게 변경하여, 짧은 채널 효과를 줄일 수 있도록 사용된다. 본 발명의 이 주입 단계는 종래의 이온 주입을 사용한다. 장치 채널/몸체의 주입 후, 주입 영역이 당업자들에게도 잘 알려진 조건들을 이용하여 어닐링된다. 주입된 도편트는 소스/드레인 설계, 더 상세하게는, 소스/드레인 게이트 오버랩의 양을 원하지 않게 변경할 수 있는 추가 활성화가 필요할 것이다. 따라서, 이런 경우, 가장 바람직한 활성화 어닐은, 많은 확산이 없이도 도편트를 활성화시키는 레이저 또는 플래시 램프 어닐과 같은 최단 어닐이다.
- <66> 도 2d에는, 희생 스페이서(58)가 개구부(56)의 유전체 물질(54)의 노출된 수직 측벽들 상에 형성된 후에 형성된 구조물이 도시되어 있다. 희생 스페이서(58)는 산화물 외의 절연 물질, 예컨대, SiN과 같은 절연 물질로 구성된다. 희생 스페이서(58)는 증착 및 에칭에 의해 형성된다. 희생 스페이서(58)의 두께는 통상 약 0.5 nm이 다.
- <67> 그 다음, 예컨대 도 2e에 도시된 구조물을 제공하기 위해, 개구부(56)의 희생 산화막(51)의 노출된 부분이 제거된다. 구체적으로, 희생 산화막(51)의 노출된 부분은, 증기, 더 바람직하게는 HF 및 NH₃의 플라즈마가 식각제로서 사용되고, (약 6 m Torr 이하의) 저압력이 사용되는 화학적 산화물 제거(COR) 에칭 공정을 이용하여 제거된다. 주목할 것은, COR 에칭은 희생 스페이서(58) 아래에 언더컷(60)을 제공하고, 이 언더컷은 기판(12)의 표면부를 노출한다는 것이다.
- <68> 그 다음, 제2 게이트 산화막(26)이 종래의 열적 성장 공정 또는 증착을 이용하여 개구부(56)의 기판(12)의 노출된 표면상에 형성된다. 제2 게이트 산화막(26)은 먼저 형성된 언더컷(60)을 채우고, 그 후, 희생 스페이서(58)에 의해 보호되지 않는 제2 게이트 산화막(26)은 선택 에칭 공정에 의해 제거된다. 선택 에칭은 제2 게이트 산화막(26)의 노출된 부분을 제거하지만, 희생 스페이서(58) 아래의 제2 게이트 산화막(26)은 남겨둔다. 이 에칭은 또한 반도체 기판(12)의 표면부를 노출한다.
- <69> 그 다음, 희생 스페이서(58)는 스페이서(58)를 선택적으로 제거하는 종래의 에칭 공정을 이용하여 제거된다. 제1 게이트 산화막(18)이 도 2f에 도시된 구조물을 제공하는 반도체 기판(12)의 노출된 부분 상부에 있는 개구부

(56) 내에 형성된다.

<70> 그 다음, 상술한 바와 같은 게이트 도체(20)가 개구부 내부 그리고 제1 게이트 산화막 및 제2 게이트 산화막(18 및 26) 상부에 형성된다. 그 후, 유전체 물질(54)이 제거되어 도 2g에 도시된 구조물이 제공된다. 유전체 물질(54)은 화학 식각제가 이용되는 에칭 백 단계를 통해 제거된다.

<71> 본 발명이, 바람직한 실시예들에 대해 구체적으로 도시되고 설명되었지만, 당업자들은 형태 및 상세한 부분에서의 앞서 언급한 변경 및 다른 변경들이 본 발명의 정신과 범위에서 벗어나지 않고 이루어질 수 있다는 것을 이해할 것이다. 따라서, 본 발명은 상술한 특정 형태 및 세부사항들에 한정되지 않고 첨부한 청구항들의 범위 내에 있도록 의도되었다.

도면의 간단한 설명

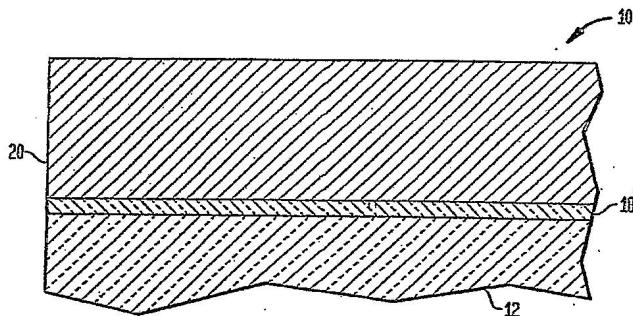
<24> 도 1a-1e는 본 발명의 일 실시예의 기본 공정 단계를 나타내는 (단면의) 묘사도이다.

<25> 도 2a-2g는 본 발명의 다른 실시예의 기본 공정 단계를 나타내는 (단면의) 묘사도이다.

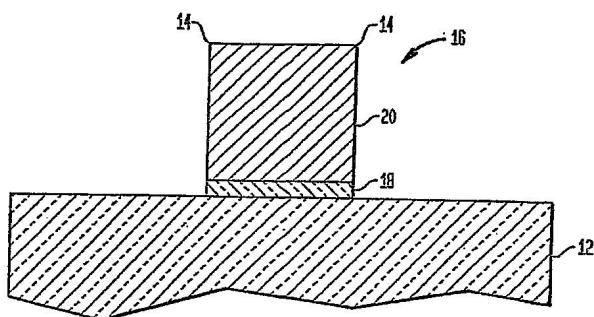
<26> 도 3은 드레인(D) 언더컷이 소스(S) 언더컷보다 큰 비대칭 언더컷 영역을 갖는 구조물을 나타내는 (단면의) 묘사도이다.

도면

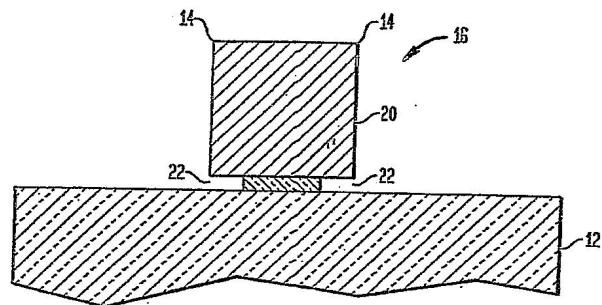
도면1a



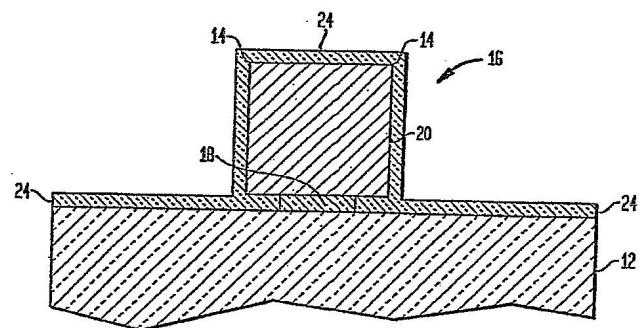
도면1b



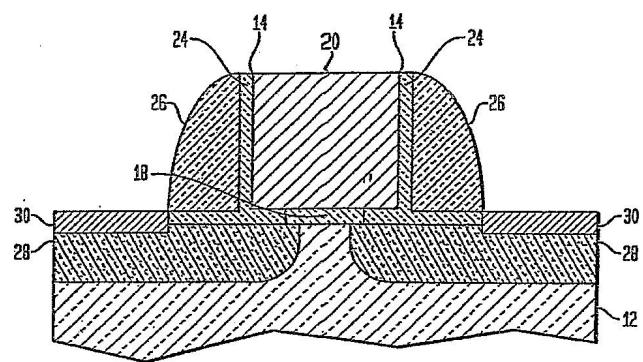
도면1c



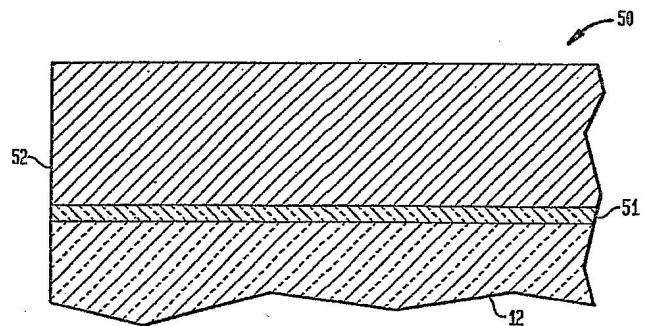
도면1d



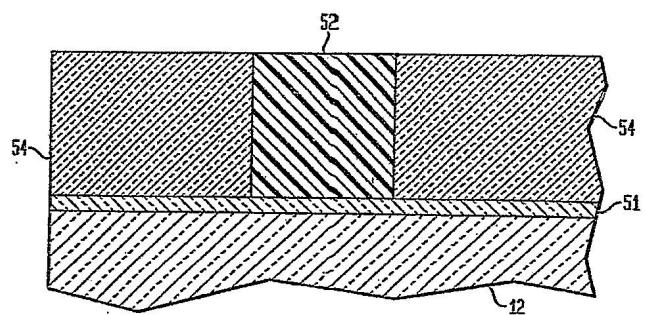
도면1e



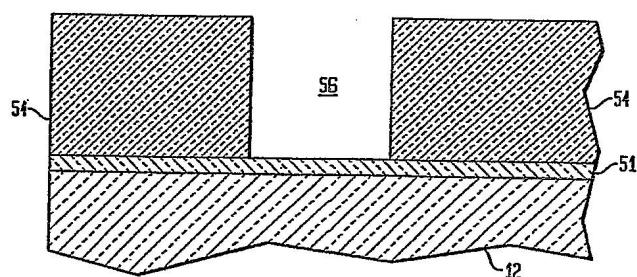
도면2a



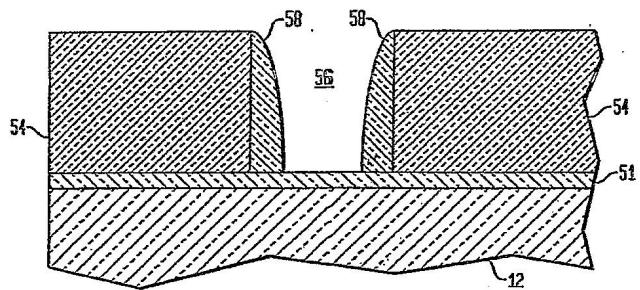
도면2b



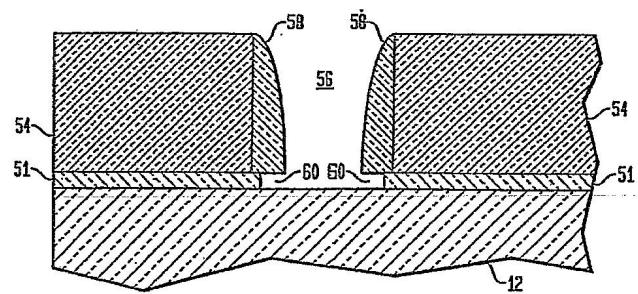
도면2c



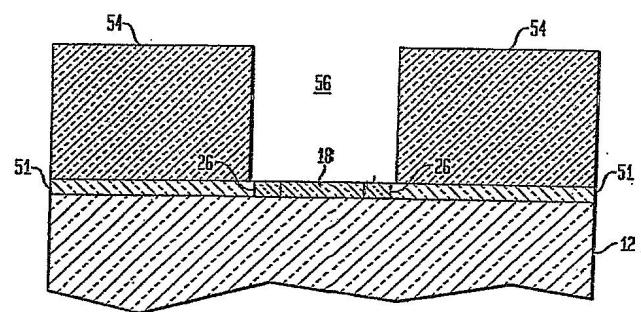
도면2d



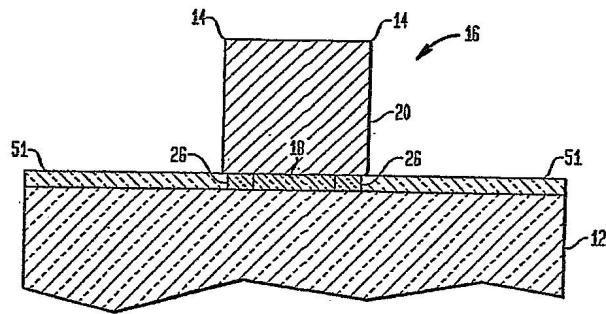
도면2e



도면2f



도면2g



도면3

