

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 81 14268

(54) Dispositif de commande électronique d'une boîte de vitesses manuelle ou automatique.

(51) Classification internationale (Int. Cl.³). B 60 K 20/02, 20/14; G 05 B 1/03.

(22) Date de dépôt..... 22 juillet 1981.

(33) (32) (31) Priorité revendiquée :

(41) Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 4 du 28-1-1983.

(71) Déposant : Société dite : AUTOMOBILES PEUGEOT et Société dite : AUTOMOBILES CITROËN. — FR.

(72) Invention de : Christian Menard et Daniel Marouby.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Henri Fabien, Peugeot SA,
18, rue des Fauvelles, 92250 La Garenne-Colombes.

Dispositif de commande électronique d'une boîte
de vitesses manuelle ou automatique -

L'invention concerne un dispositif de commande électronique d'une boîte de vitesses manuelle ou automatique comportant plusieurs rapports de marche avant et au moins un rapport de marche arrière.

5 Un dispositif selon l'invention s'applique à la commande d'une boîte de vitesses du genre dans lequel les différents états de la boîte sont obtenus par la commande d'un nombre p d'électrovannes, p étant supérieur au nombre n de rapports, autorisant le passage d'un fluide sous pression qui détermine le serrage d'organes de freinage ou de couplage en rotation d'éléments de la boîte et en particulier de trains
10 d'engrenages épicycloïdaux.

Dans ce genre de boîte de vitesses chaque état est obtenu par l'activation d'une ou plusieurs des électrovannes, les autres étant désactivées.

15 Le passage d'un premier état à un deuxième état s'effectuera donc en désactivant les électrovannes participant au premier état mais non au deuxième et en activant celles qui participent au deuxième état mais non au premier. Si l'ensemble des électrovannes qui doivent être activées pour obtenir un troisième état est uniquement composé d'électrovannes dont certaines sont activées dans le premier état et les autres dans le
20 deuxième état, il est généralement nécessaire de temporiser le serrage des organes de couplage participant à la fois au deuxième et au troisième état, ceci pour éviter un passage transitoire non désiré dans le troisième état. On y parvient, soit par une temporisation hydraulique du passage, soit par des moyens électroniques temporisant la commande des électro-
25 vannes concernées.

Un dispositif conforme à l'invention concerne l'élaboration, à partir de signaux logiques de commande d'un changement de rapport

généérés soit par une commande manuelle soit par une commande automatique, de signaux électriques de commande de l'état des électrovannes concernées par ce changement de rapport.

5 Il est du type dans lequel des moyens logiques élaborent pour chaque électrovanne un signal de commande d'état 1 ou 0 qui est appliqué au circuit de commande de l'électrovanne correspondante, pour suivant le cas l'activer ou la désactiver et comportant des moyens de temporisation électroniques.

10 L'invention a pour but des perfectionnements aux dispositifs de commande électronique du type ci-dessus en vue d'améliorer leur fiabilité de fonctionnement et les possibilités de réglage des temps de changement de rapport.

15 Selon une première caractéristique un dispositif selon l'invention comporte des moyens de décodage binaire élaborant, à partir de l'état logique des signaux de commande, la valeur 0 ou 1 de chaque bit d'une adresse appelant dans une mémoire morte un mot de p bits dont l'état 0 ou 1 de chaque bit est respectivement appliqué à une entrée d'un moyen de commande de puissance d'un des p électrovannes.

20 Chaque mot mémoire est ainsi représentatif de l'état dans lequel doit se trouver chaque électrovanne pour que l'état commandé soit réalisé quel que soit l'état précédent.

25 Selon une autre caractéristique l'entrée du circuit de commande de puissance d'au moins une électrovanne comporte un circuit logique ET dont une entrée reçoit l'état 0 ou 1 du bit affecté à la commande de cette électrovanne et une autre entrée un signal logique 1 différé par un moyen de temporisation déclenché par les moyens de décodage binaire simultanément à l'adressage du mot mémoire.

30 De cette façon le délai de temporisation de serrage est compté à partir de l'instant où l'ordre de désactivation des électrovannes participant à l'état précédent est effectivement donné.

35 Selon une forme de réalisation préférée les moyens logiques de type binaire comportent un comparateur comparant le nombre binaire N1 de n bits composé par les n signaux de commande des rapports de marche avant pris dans une séquence correspondant à l'ordre successif des n rapports et de la valeur N2 prise par un compteur décompteur à n bits incrémenté ou décrémenté sous le contrôle du comparateur jusqu'à ce que

N2 soit égal à N1, des premiers moyens logiques délivrant en fonction de N2 au moins n bits de l'adresse du mot mémoire et des deuxièmes moyens logiques délivrant, en fonction des changements de position d'un levier sélection marche avant/point mort/marche arrière et de N2 les autres bits de l'adresse mémoire.

Grâce à cette disposition le passage d'un rapport à un autre s'effectue toujours en passant par les rapports intermédiaires..

Enfin pour la sécurité du fonctionnement il est avantageux de prévoir des moyens effectuant la remise à zéro du compteur décompteur et le retour au nombre N1 de plus faible valeur lors de tout changement de position du levier de sélection marche avant/point mort/marche arrière.

D'autres caractéristiques apparaîtront à l'examen de la description d'un exemple de réalisation illustré par les dessins annexés dans lesquels :

La figure 1 est un schéma synoptique général du dispositif.

La figure 2 est une représentation détaillée des premiers moyens logiques.

La figure 3 est une représentation détaillée des deuxièmes moyens logiques.

La figure 4 est un tableau de correspondance de N2 et N3 et des bits de l'adresse du mot mémoire déterminé par les premiers moyens logiques.

La figure 5 est un tableau de correspondance des adresses et du contenu mémoire.

La figure 6 est un exemple de réalisation d'un moyen de temporisation.

Le dispositif représenté à la Fig. 1 s'applique à la commande manuelle d'une boîte de vitesses à 4 rapports de marche avant et un rapport de marche arrière. La boîte de vitesses (non représentée) comporte 6 moyens de freinage ou de couplage en rotation d'éléments de trains épicycloïdaux. Chacun de ces moyens est contrôlé par une électrovanne EV1 à EV6 commandée par un moyen de commande de puissance respectivement CEV1 à CEV6. Le levier 1 de sélection marche avant/point mort/marche arrière étant placé en position AV, la commande d'un rapport de marche avant s'effectue par une pression sur l'un des 4 boutons poussoirs P1 à P4, respectivement affectés aux rapports 1 à 4.

La pression d'un bouton-poussoir génère une impulsion de commande à partir d'une source de tension continue + 5 v.

Cette source, obtenue de façon connue à partir d'une batterie, est utilisée pour l'alimentation (non représentée) des différents circuits intégrés composant le dispositif. Les impulsions de commande sont respectivement appliquées à l'une des 4 entrées d'un circuit intégré CI.1 à bascules pré-positionnables monté en bascule D. Ce circuit peut être du type MC 14510 de la Société MOTOROLA. Selon l'impulsion de commande appliquée le circuit CI.1 bascule dans l'un des états suivants :

5 N1 = 0001 pour une impulsion générée par le bouton-poussoir P1,
 N1 = 0010 pour une impulsion générée par le bouton-poussoir P2,
 10 N1 = 0100 pour une impulsion générée par le bouton-poussoir P3,
 N1 = 1000 pour une impulsion générée par le bouton-poussoir P4.

Un comparateur CI.2 compare le nombre binaire N1 représentant l'état commandé à un nombre binaire N2 de 4 bits délivré par un compteur décompteur CI.3. Le comparateur CI.2 peut être réalisé par un circuit MC 14585 de la Société MOTOROLA. Le compteur-décompteur CI.3 peut être réalisé à partir d'un circuit MC 14510 de la même Société.

15 Lorsque N1 est différent de N2 le comparateur CI.2 met en route un oscillateur CI.4 et positionne le compteur-décompteur en mode comptage ou en mode décomptage selon que N1 est supérieur ou inférieur à N2.

20 Les oscillations de CI.4, utilisé comme horloge, sont appliquées à l'entrée comptage CP du compteur-décompteur CI.3. La valeur de N2 est donc incrémentée ou décrémentée au rythme de l'horloge selon le sens du résultat de la comparaison. Lorsque N2 est égal à N1 le comparateur arrête l'oscillateur CI.4. Tout changement de position du levier 1 entraîne la remise à 0 des sorties des circuits CI.1 et CI.2 (N1 = N2 = 0000) grâce au circuit 2 de remise à 0 qui élabore en fonction des changements d'état des lignes AV et/ ou AR une impulsion de remise à 0 appliquée aux entrées MR des circuits CI.1 et CI.2.

25 L'état de chacun des n bits du nombre binaire N2 est respectivement appliqué d'une part à l'une des n entrées de premiers moyens logiques L1 et d'autre part à l'une des entrées de deuxièmes moyens logiques L2. Les premiers moyens logiques L1 comportent un décodeur binaire CI.6 qui délivre en fonction du nombre binaire N2 un mot binaire N3 de m bits à un circuit logique L3. (avec m supérieur à n) Le décodeur binaire CI.6 est du type DCB (Décimal Codé Binaire) et peut être un MC 14028 de la Société MOTOROLA, le circuit logique L3 est détaillé en Fig.2. La correspondance entre le nombre N2 et le mot N3 apparaît dans le tableau de la figure 4 (n = 4, m = 8).

30 35

En fonction du mot N3 le circuit logique L3 délivre 4 bits A1, A2, A3 et A4 de l'adresse d'une mémoire morte C1.5. Deux autres bits A0 et A5 de l'adresse à 6 bits d'un mot mémoire sont fournis par les moyens logiques L2. La mémoire C1.5 délivre sur ses sorties Q0 à Q5 les 6 bits d'un mot mémoire. Chaque bit Q0 à Q5 est affecté au contrôle d'un moyen de commande de puissance CEV1 à CEV6 des électrovannes EV1 à EV6. Bien entendu l'adresse et les mots de la mémoire C1.5 peuvent comporter plus de 6 bits, les bits superflus étant neutralisés.

Dans le cas des électrovannes EV4, EV5 et EV6 l'état du bit de commande (respectivement Q4, Q2 et Q1) est directement appliqué au moyen de commande de puissance de l'électrovanne. Ce moyen de puissance est un amplificateur à commande logique, réalisé de façon connue, qui délivre à l'électrovanne le courant nécessaire à son activation lorsque le bit de commande qui lui est affecté est à l'état 1 et coupe ce courant lorsque le bit est à l'état 0.

Dans le cas des électrovannes EV1, EV2 et EV3 une condition supplémentaire est nécessaire. Les bits correspondants du mot mémoire, respectivement Q5, Q3 et Q0 sont appliqués à une entrée d'une porte logique ET, respectivement E1, E2 et E3, dont au moins une autre entrée reçoit un signal d'état logique 1 qui peut être différé par des moyens électroniques de temporisation Tp1 à Tp4.

Les moyens de temporisation sont déclenchés par le circuit L3 en fonction des changements d'état du mot N3 selon une logique qui va être explicitée en référence au tableau de la Fig. 5 montrant la correspondance entre l'adresse et le mot mémoire délivré, chaque mot mémoire correspond à un état de la boîte obtenu par activation d'un groupe d'électrovannes, l'activation d'une même électrovanne pouvant intervenir pour plusieurs états. Par exemple l'électrovanne EV2 (bit de commande Q3) doit être activée pour obtenir le 2ème rapport et également pour obtenir le 4ème rapport. De ce fait lors d'un passage du 2ème rapport au 3ème rapport, il est nécessaire pour éviter un passage transitoire dans la configuration du 4ème rapport de n'activer l'électrovanne EV1 (bit de commande Q5) que lorsque l'électrovanne EV2 (bit de commande Q3) est effectivement désactivée.

Cette condition est réalisée de la manière suivante :

Le moyen de commande de puissance CEV1 est contrôlé par l'état logique 0 ou 1 de la sortie de la porte E1. Une entrée de la porte E1 reçoit

le bit Q5 et l'autre entrée un signal 0 ou 1 délivré par le moyen de temporisation Tp1. Lorsque le bit Q5 passe de l'état 0 à l'état 1 pour un passage du 2ème ou 3ème rapport, la sortie du moyen de temporisation Tp1 est initialisée à 0 et passe à 1 au terme d'un délai Δt_1 et l'électrovanne EV1 est par conséquent activée.

De la même manière l'activation de l'électrovanne EV2 est temporisée par le moyen Tp2 pour le passage du 3ème ou 2ème rapport et par le moyen Tp3 pour le passage du 3ème ou 4ème rapport. Enfin l'électrovanne EV3 est temporisée par le moyen Tp4 pour le passage du 4ème ou 3ème rapport.

Les valeurs 0 ou 1 des bits A0 et A5 de l'adresse du mot mémoire sont déterminées par les moyens logiques L2 en fonction du nombre binaire N2 et de l'état 0 ou 1 de deux signaux AV et AR déterminés par la position du levier de sélection 1. Les 4 bits de N2 sont chacun appliqués à une entrée d'une porte OU constituée par les 4 diodes D1, D2, D3, et D4 et la résistance R1 (Fig. 3). Le signal de sortie de cette porte est inversé par un inverseur IN1 et appliqué à une entrée de chacune des portes ET, EO et E5.

La deuxième entrée de la porte EO reçoit le signal AV (valeur 1 en marche avant et 0 en marche arrière et au point mort) et la deuxième entrée de la porte E5 reçoit le signal AR (valeur 1 en marche arrière et 0 en marche avant et au point mort). La sortie de la porte EO donne le bit d'adresse A0, celle de la porte E5 le bit d'adresse A5. On voit que cette disposition confère aux bits A0 et A5, en fonction de l'état des moyens de commande, les valeurs du tableau de la Fig. 5.

On va maintenant décrire les moyens logiques L1 en référence à la Fig. 2. Les 8 sorties utilisées du décodeur C1.6, habituellement référencées Q1 à Q8, sont référencées S1 à S8 pour éviter les confusions avec les sorties Q de la mémoire C1.5. Les sorties S1 à S8 sont reliées aux entrées A1 à A4 de la mémoire C1.5 par les diodes D5 à D12 polarisées par les résistances R2 à R5 pour obtenir une logique conforme au tableau de la Fig.4.

L'ensemble des diodes D7 à D10 et la résistance R4 constituent une porte OU dont la sortie fournit le bit d'adresse A3 dont l'état est donc 1 si l'une au moins des sorties S3 à S6 est à l'état 1. Il en est de même pour les diodes D11 et D12 et la résistance R5, le bit d'adresse A4 est à 1 si l'une des sorties S7 ou S8 est à 1. L'état des bits d'adresse A1 et A2 correspond respectivement à celui des sorties S1 et S2.

Les moyens de temporisation Tp1 à Tp4 utilisent des circuits monostables par exemple du type LM122 de la Société National Semi Conductor

montés avec un inverseur IN2 en sortie selon la Fig.6 qui représente la temporisation Tp1 placée entre la porte NE1 et la porte E1. La durée de la temporisation est déterminée par le choix de C5, C6, R6 et R7. Lorsque l'entrée d'un moyen de temporisation est à l'état 1, sa sortie est elle-même à l'état 1. Lorsque l'entrée passe à l'état 0, la sortie passe à l'état 0 puis bascule à l'état 1 au terme du délai de temporisation Δt . Les délais de chaque temporisation peuvent être choisis de façon indépendante.

La porte E2 (Fig. 1) à trois entrées est commandée par deux moyens de temporisation, ce qui permet de disposer de deux délais différents pour la commande de l'électrovanne EV2, l'un pour le passage du 3ème au 2ème rapport, l'autre pour le passage du 3ème au 4ème rapport. L'entrée de chaque temporisation Tp1 à Tp4 est reliée à la sortie d'une porte logique NON-ET respectivement NE1 à NE4. Une première entrée de chacune de ces portes est reliée directement à une première sortie Sn du décodeur C1.6, la deuxième entrée étant reliée à une deuxième sortie Sp du décodeur par une diode (respectivement D21 à D24) et à la masse par un condensateur (respectivement C1 à C4). Les diodes D12 à D24 sont shuntées par une résistance (respectivement R21 à R24). La mise en action d'une temporisation se fait de la manière suivante. La sortie d'une porte NE1 à NE4 est à l'état 0 si ses deux entrées sont à l'état 1, et à l'état 1 dans tous les autres cas. Comme il apparaît sur le tableau de la Fig. 4 lorsqu'une sortie Sn du décodeur est à l'état 1 toutes ses autres sorties sont à l'état 0.

En dehors de la période transitoire de basculement de l'état 1 d'une sortie Sn à une autre sortie Sp, les sorties des portes NE1 à NE4 sont donc à l'état 1 et les sorties des moyens de temporisation sont elle-mêmes à l'état 1.

Lorsqu'une sortie Sp reliée à une deuxième entrée d'une porte NON-ET passe de l'état 1 à l'état 0, cette deuxième entrée est maintenue à l'état 1 par la charge du condensateur. Si la première entrée de cette porte passe à l'état 1, alors la sortie de la porte NON-ET passe à l'état 0 et la temporisation correspondante est déclenchée.

Grâce à cette disposition la temporisation est mise en action, soit lors d'une incrémentation de N2 (montée des rapports), soit lors d'une décrémentation de N2 (descente des rapports), selon que les branchements Sn des premières entrées et Sp des deuxièmes entrées de la porte NON-ET correspondent à $n > p$ ou $n < p$. On voit sur les Fig. 2 et 4 que les temporisations Tp1, Tp2, Tp3 et Tp4 correspondant respectivement aux passages 2→3, 3→2,

3→4, 4→3 sont mises en action par l'inversion de l'état 1 respectivement des sorties S2 et S3, S4 et S2, S6 et S7, S7 et S6. Il est clair à l'examen du tableau de la Fig.4 que le déclenchement d'une temporisation, et donc de l'état 0 bloquant pendant le délai de temporisation la porte ET commandant l'activation de l'électrovanne correspondante, a lieu au plus tard au moment de l'adressage du mot mémoire correspondant à l'état commandé, provoquant la désactivation des électrovannes n'intervenant pas dans ce nouvel état.

Pour mieux faire comprendre le fonctionnement du dispositif, on va maintenant décrire une séquence complète de passage du 1er au 4ème rapport. Le positionnement du levier de sélection 1 en marche avant remet à 0 la bascule C1.1 et le compteur-décompteur C1.3. On a donc N1 = N2 = 0000 et N3 = 0000 0000. Le bit d'adresse A0 est mis à 1 par les moyens logiques L2 et le bit A5 à 0. En se référant aux tableaux des Fig. 4 et 5 on voit que seul le bit Q0 du mot mémoire est à 1, l'électrovanne EV3 est seule excitée. Une pression sur le bouton-poussoir P1 établit la séquence : N1 = 0001 ; incrémentation du compteur-décompteur C1.3 d'une unité d'horloge, d'où N2 = 0001, N3 = 0000 0001, adresse = 000010, mot mémoire = 010001. L'excitation de l'électrovanne EV3 est maintenue et l'excitation de l'électrovanne EV4 provoque le passage du 1er rapport de marche avant. La temporisation Tp4 n'a pas fonctionné puisque les entrées de la porte NE4 sont branchées sur les sorties S7 et S6 du décodeur qui n'ont pas varié.

Supposons maintenant que l'on presse le bouton-poussoir P4 dont l'impulsion correspond à un ordre de passage au 4ème rapport. N2 sera alors incrémenté au rythme de l'oscillateur C1.4 jusqu'à ce qu'il atteigne la valeur de N1 soit 1000.

Après 1 cycle d'horloge N2 = 0010, N3 = 0000 0010, adresse = 000100, mot mémoire = 001101. Le passage de l'état 1 de la sortie S1 à la sortie S2 du décodeur ne commande aucune temporisation. Le 2ème rapport est obtenu par simultanément la désactivation de l'électrovanne EV4 et l'activation des électrovannes EV2 et EV5.

Après 2 cycles d'horloges on a N2 = 0011, N3 = 0000 0100, adresse = 001000, mot mémoire = 100101. La temporisation Tp1 est déclenchée par le passage de l'état 1 de la sortie S2 à la sortie S3 du décodeur. L'électrovanne EV2 est désactivée par la mise à 0 du bit Q3 et l'électrovanne EV1 est activée au terme du délai de temporisation, ce qui provoque le passage du 3ème rapport. Les incrémentations suivantes de

5 N2 jusqu'à la valeur 0110 ne provoquent pas de modification de l'adressage et donc du mot mémoire. Lorsque N2 = 0111 on obtient N3 = 01000 000, adresse = 010000, et mot mémoire = 101100. La temporisation Tp3 est déclenchée par le passage de l'état 1 de la sortie S6 à la sortie S7 du

5 décodeur. L'électrovanne EV3 est désactivée par la mise à 0 du bit Q3 et l'électrovanne EV2 est activée au terme du délai de temporisation ce qui provoque le passage du 4ème rapport.

10 Le fonctionnement serait analogue si au lieu de monter les rapports, on voulait rétrograder. Le dispositif amène ainsi quel que soit l'écart entre le rapport précédemment enclenché et le rapport commandé, le passage successif de la boîte dans les rapports intermédiaires. La fréquence d'hor-

10 loge est bien entendu choisie assez basse correspondant à un temps de cycle de 100 à 300 milli-secondes, pour assurer la compatibilité avec les temps de réaction du dispositif hydraulique à commander.

15 Dans le cas où le dispositif serait appliqué à la commande d'une boîte automatique, le nombre binaire N1 représentant l'état commandé serait élaboré de façon connue par des moyens de commande sensibles aux paramètres de fonctionnement du véhicule.

RE V E N D I C A T I O N S

1. Dispositif de commande électronique d'une boîte de vitesses manuelle ou automatique comportant n rapports de marche avant et au moins un rapport de marche arrière, du type dans lequel les différents états de la boîte sont obtenus par la commande de p électrovannes (EV1 à EV6) agissant sur des organes de freinage ou de couplage en rotation d'éléments de la boîte, la séquence de commande des électrovannes permettant d'obtenir un état donné de la boîte étant élaborée par des moyens logiques (L1, L2) à partir de signaux de commande dont l'état logique 1 ou 0 correspond pour chacun à la commande de cet état, caractérisé en ce qu'il comporte des moyens de décodage binaire (CI.1, CI.2, CI.3, CI.4, L1, L2) élaborant, à partir de l'état logique des signaux de commande, la valeur 0 ou 1 de chaque bit d'une adresse appelant dans une mémoire (CI.5) un mot de p bits dont l'état 0 ou 1 de chaque bit est respectivement appliqué à une entrée du moyen de commande de puissance (CEV1 à CEV6) d'une des p électrovannes (EV1 à EV6).

2. Dispositif selon la revendication 1 caractérisé en ce que l'entrée du moyen de commande de puissance (CEV1 à CEV3) d'au moins une électrovanne (EV1 à EV3) comporte un circuit logique ET (E1 à E3) dont une entrée reçoit l'état 0 ou 1 du bit affecté à la commande de cette électrovanne et une autre entrée un signal logique 1 différé par un moyen de temporisation (Tp1 à Tp4) déclenché par les moyens de décodage binaire (CI.1, CI.2, CI.3, CI.4, L1, L2) simultanément à l'adressage du mot mémoire.

3. Dispositif selon la revendication 1 ou la revendication 2 caractérisé en ce que les moyens de décodage binaire comportent un comparateur (CI.2) comparant le nombre binaire N1 de n bits composé par les n signaux de commande des rapports de marche avant pris dans une séquence correspondant à l'ordre successif des n rapports et de la valeur N2 prise par un compteur-décompteur (CI.3) à n bits incrémenté ou décrémenté sous le contrôle du comparateur jusqu'à ce que N2 soit égal à N1, des premiers moyens logiques (L1) délivrant en fonction de N2 au moins n bits de l'adresse du mot mémoire et des deuxièmes moyens logiques (L2) délivrant, en fonction des changements de position d'un levier de sélection (1)/marche avant/point mort/marche arrière et de N2, les autres bits de l'adresse du mot mémoire.

4. Dispositif selon la revendication 3 caractérisé en ce que les n signaux de commande des rapports de marche avant sont des impulsions commandant une bascule (Cl.1) délivrant le nombre binaire N1 dont l'état 1 de chaque bit, dans l'ordre successif des n rapports, correspond à la commande d'un rapport, les autres bits étant alors à l'état 0.

5. Dispositif selon la revendication 3 ou la revendication 4 caractérisé en ce que le compteur-décompteur (Cl.3) est incrémenté ou décrémenté au rythme d'une horloge (Cl.4) mise en route par le comparateur (Cl.2) lorsque N2 est différent de N1 et arrêtée dès que N2 est égal à N1.

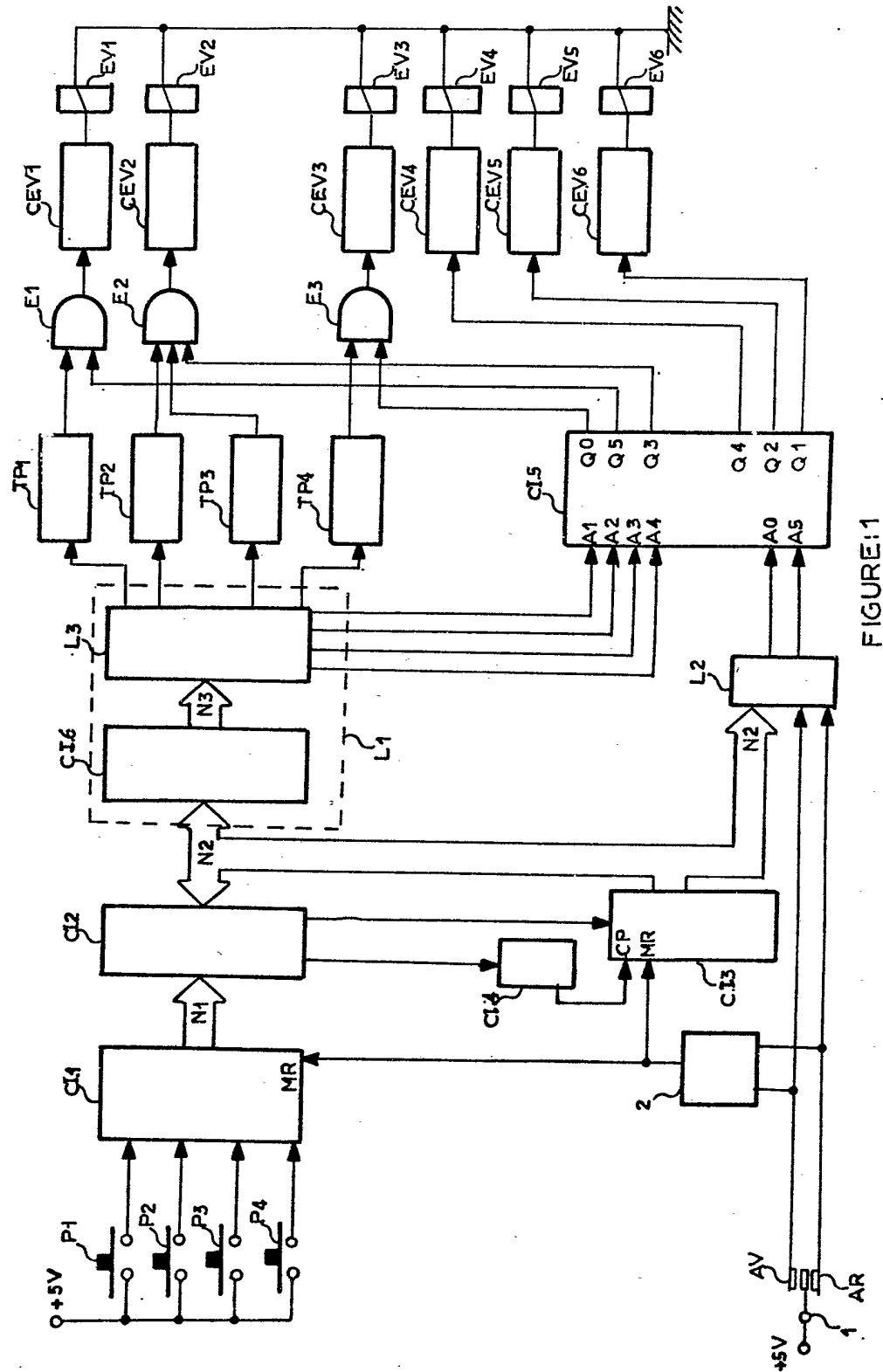
6. Dispositif selon l'une quelconque des revendications 3 à 5 caractérisé en ce qu'il comporte des moyens (2) effectuant la remise à 0 du compteur-décompteur (Cl.3) et le retour au nombre N1 de plus faible valeur lors de tout changement de position du levier de sélection (1) marche avant/point mort/marche arrière.

7. Dispositif selon l'une quelconque des revendications 3 à 6 caractérisé en ce que les premiers moyens logiques (L1) comportent un décodeur binaire (Cl.6) délivrant à partir des n bits du mot N2 un mot N3 de m bits, m étant supérieur à n, et un circuit logique (L1) combinant les m bits pour fournir simultanément au moins n bits de l'adresse de la mémoire (Cl.5) et les signaux de commande des moyens de temporisation (Tp1 à Tp4).

8. Dispositif selon la revendication 7 caractérisé en ce que le décodeur binaire (Cl.6) est du type DCB (Décimal Codé Binaire).

9. Dispositif selon la revendication 7 ou la revendication 8 caractérisé en ce que chaque moyen de temporisation (Tp1 à Tp4) est déclenché par le passage à l'état 0 de la sortie d'une porte logique NON-ET (NE1 à NE4) dont une première entrée est reliée directement à une première sortie Sn du décodeur binaire (Cl.6) et la deuxième entrée à une deuxième sortie Sp du décodeur binaire (Cl.6) par une diode (D21 à D24) et à la masse par un condensateur (C1 à C4), les diodes (D21 à D24) étant shuntées par une résistance (R21 à R24).

PL 1/4



PL 2/4

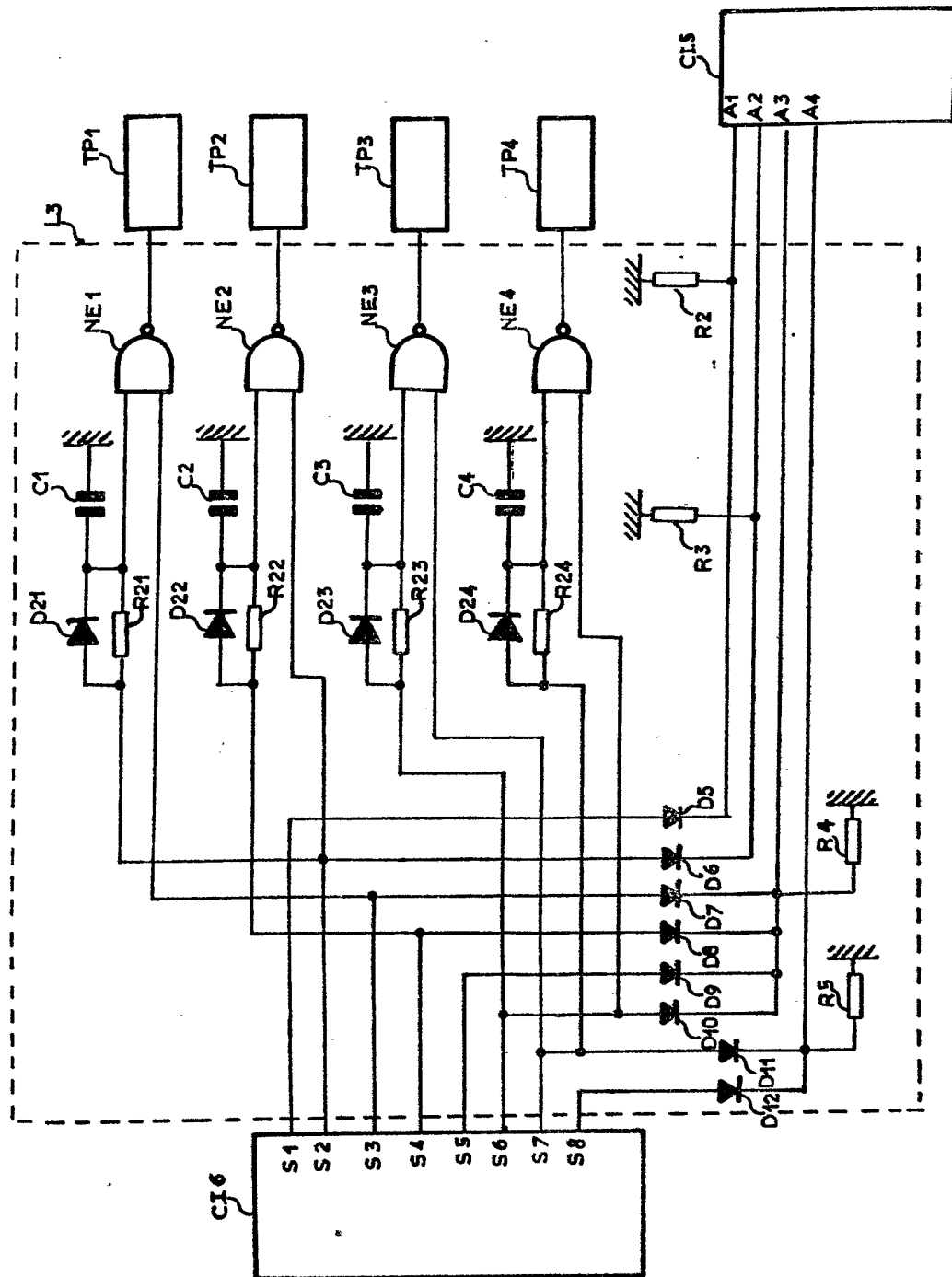


FIGURE:2

PL 3 / 4

Figure 3

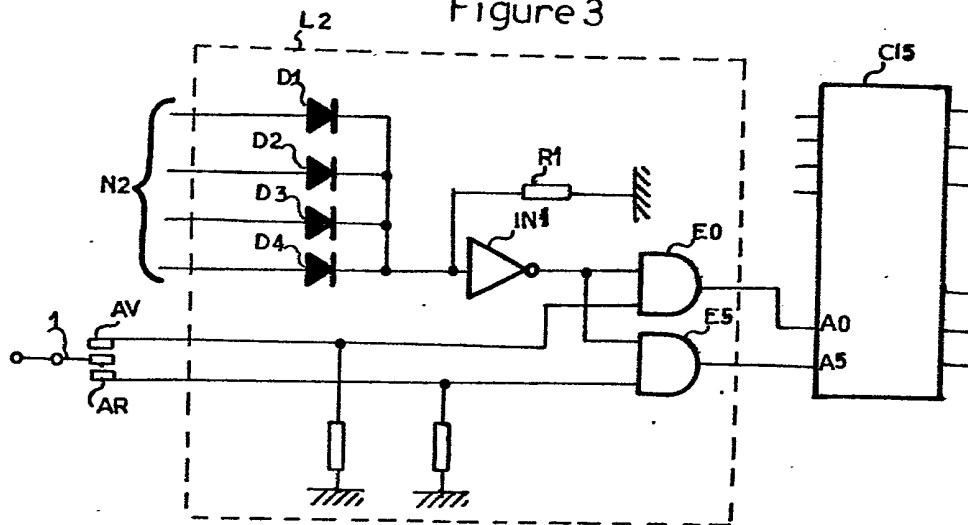


Figure 4

N2				N3								A4	A3	A2	A1
				S8	S7	S6	S5	S4	S3	S2	S1				
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	1
0	0	1	0	0	0	0	0	0	0	1	0	0	0	1	0
0	0	1	1	0	0	0	0	0	1	0	0	0	1	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	1	0	0
0	1	0	1	0	0	0	1	0	0	0	0	0	1	0	0
0	1	1	0	0	0	1	0	0	0	0	0	0	1	0	0
0	1	1	1	0	1	0	0	0	0	0	0	1	0	0	0
1	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0

Figure 5

Adresse Mémoire						Contenu Mémoire						
A5	A4	A3	A2	A1	A0	Q5	Q4	Q3	Q2	Q1	Q0	RAPPORT
0	0	0	0	0	1	0	0	0	0	0	1	Marche avant 1ere 2eme 3eme 4eme Marche arrière
0	0	0	0	1	0	0	1	0	0	0	1	
0	0	0	1	0	0	0	0	1	1	0	1	
0	0	1	0	0	0	1	0	0	1	0	1	
0	1	0	0	0	0	1	0	1	1	0	0	
1	0	0	0	0	0	0	1	0	0	1	0	Marche arrière
						1	4	2	5	6	3	Electrovanne

PL 4 / 4

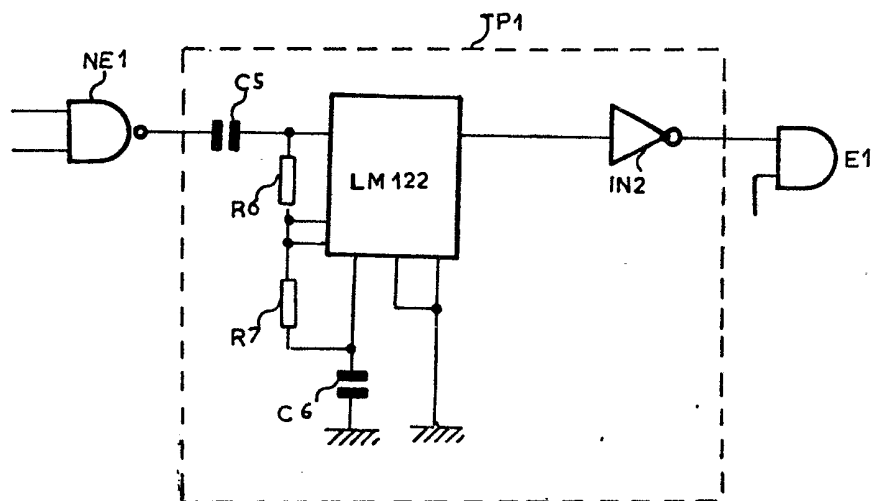


Figure:6