(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 29/786

(45) 공고일자 2002년03월08일
(11) 등록번호 10-0308750
(24) 등록일자 2001년08월31일

(21) 출원번호 10-1997-0073313
(22) 출원일자 1997년12월24일

(65) 공개번호 특1998-0064598
(43) 공개일자 1998년10월07일

(30) 우선권주장 96-343146 1996년12월24일 일본(JP)
97-338505 1997년12월09일 일본(JP)

(73) 특허권자 캐논 가부시끼가이샤
미다라이 후지오
일본 도꾜도 오오따꾸 시모마루꼬 3쪼메 30방 2고

(72) 발명자 다시로 가즈아끼
일본 도꾜도 오오따꾸 시모마루꼬 3쪼메 30방 2고캐논가부시끼가이샤 내

(74) 대리인 구영창
장수길
주성민

심사관 : 김관식

(54) 박막반도체장치및그제조방법

요약

게이트 전극과 소스/드레인 전극 사이의 오버랩 폭을 감소시키기 위해, 광전 변환 장치는 기판상에 제1 도전층을 형성하고 그로부터 제1 전극 패턴을 형성하는 단계와, 제1 전극 패턴을 덮도록 제1 절연층, 반도체층, 및 제2 절연층을 형성하는 단계와, 제2 절연층을 패터닝하는 단계와, 반도체층의 표면의 일부를 N- 또는 P-도전형으로 변환시키는 단계를 통해 형성된다.

대표도
도 8a

명세서

도면의 간단한 설명

도 1a, 1b, 1c, 및 1d는 박막 트랜지스터의 제조 단계들의 예를 설명하기 위한 개략적인 단면도.

도 2a는 광전 변환 장치의 한 화소의 구조의 예를 설명하기 위한 개략적인 평면도.

도 2b는 광전 변환 장치 내의 한 화소의 구조의 예를 설명하기 위한 개략적인 단면도.

도 3은 한 화소에 대응하는 개략적인 등가 회로도.

도 4a 및 4b는 광전 변환 소자의 구동의 예를 설명하기 위한 개략적인 에너지 대역도.

도 5는 광전 변환 장치의 개략적인 등가 회로도.

도 6a, 6b, 6c, 6d, 6e, 및 6f는 광전 변환 장치의 제조 단계들의 예를 설명하기 위한 개략적인 단면도.

도 7a, 7b, 7c, 7d, 7e, 및 7f는 박막 트랜지스터의 제조 단계들의 예를 설명하기 위한 개략적인 단면도.

도 8a는 광전 변환 장치의 한 화소의 구조의 예를 설명하기 위한 개략적인 평면도.

도 8b는 광전 변환 장치의 한 화소의 구조의 예를 설명하기 위한 개략적인 평면도.

도 9는 한 화소에 대응하는 개략적인 등가 회로도.

도 10a, 10b, 10c, 10d, 10e, 10f, 10g, 10h, 10i, 10j, 및 10k는 광전 변환 장치의 제조 단계들의 예를 설명하기 위한 개략적인 단면도.

도 11a는 광전 변환 장치의 한 화소의 구조의 예를 설명하기 위한 개략적인 평면도.

도 11b는 광전 변환 장치의 한 화소의 구조의 예를 설명하기 위한 개략적인 단면도.

도 12a, 12b, 12c, 12d, 12e, 12f, 12g, 12h, 12i, 12j, 및 12k는 광전 변환 장치의 제조 단계들의 예를 설명하기 위한 개략적인 단면도.

도 13a는 광전 변환 장치의 한 화소의 구조의 예를 설명하기 위한 개략적인 평면도.

도 13b는 광전 변환 장치의 한 화소의 구조의 예를 설명하기 위한 개략적인 단면도.

도 14a, 14b, 14c, 14d, 14e, 14f, 14g, 14h, 14i, 14j, 14k, 14l, 및 14m은 광전 변환 장치의 제조 단계들의 예를 설명하기 위한 개략적인 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

102 : 하부 전극

103 : 게이트 전극

105 : 반도체층

107 : 소스 전극

108 : 드레인 전극

111 : 접촉부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 반도체 장치 및 그 제조 방법에 관한 것이며, 구체적으로는, 고성능 및 대면적에 적합한 구조를 갖는 박막 반도체 장치 및 저 비용으로 간편하게 박막 반도체 장치를 제조할 수 있는 방법에 관한 것이다.

대면적의 박막 반도체 장치는, 그 내부에 단위 소자들이 일차원 또는 이차원적으로 배열되고, 박막 트랜지스터가 상기 장치의 구동과 정보의 판독 또는 기입을 위해 흔히 사용되는, 영상 판독 장치 또는 영상 표시 장치와 같은 장치를 포함한다.

상기 박막 트랜지스터가 먼저 설명될 것이다. 박막 트랜지스터의 구조는 일반적인 역 스태거(stagger)형으로 가정한다. 개략적인 단면도로서 도시된 도 1a-1d는 박막 트랜지스터 구조의 예와 그 제조 방법의 예를 도시하고 있다.

알루미늄 또는 크롬과 같은 재료를 사용하여, 제1 도전층(602)이 기상 증착 또는 스퍼터링에 의해 유리 기판과 같은 기판(601) 상에 증착된다(도 1a). 상기 층은 그 다음에 포토리소그래피에 의해 원하는 형태로 패터닝된다. 이것은 박막 트랜지스터의 게이트 전극(603)을 형성한다(도 1b).

그 다음에 게이트 절연층, 반도체층 등이 CVD 공정(화학적 기상 증착) 등을 사용하여 증착될 것이다. 특히, 수소첨가 비정질(hydrogenated amorphous) 실리콘 질화막이 사일렌(SiH_4) 가스, 암모니아(NH_3) 가스, 및 수소(H_2) 가스를 사용하여 게이트 절연막(604)으로서 증착된다. 다음에, 사일렌 가스 및 수소 가스를 사용하여, 진성 수소첨가 비정질 실리콘층이 진성 반도체층(605)으로서 형성된다. 더우기, 사일렌 가스, 및 수소로 희석된 포스핀(PH_3) 가스를 사용하여, N^+ 형 수소첨가 비정질 실리콘층이 불순물 반도체층(606)으로서 형성된다. 그 다음에, 제2 도전층이 알루미늄 또는 크롬과 같은 재료를 사용하여 기상 증착 또는 스퍼터링에 의해 증착된다(도 1c). 다음에, 이는 포토리소그래피에 의해 원하는 형태로 패터닝된다. 이는 박막 트랜지스터의 소스 전극 및 드레인 전극을 위한 금속층으로서 사용된다. 그 다음에 N^+ 형 수소첨가 비정질 실리콘층의 불필요한 부분이 건식 에칭으로 제거되어 소스 전극과 드레인 전극으로의 저항 접촉층을 형성함으로써, 소스 전극과 드레인 전극(608, 609)을 완성한다(도 1d).

또한, 2차원 영상 판독 장치는 상기 역 스태거형 박막 트랜지스터와 광전 변환 소자와의 조합인 박막 반도체 장치가 좋은 예이다. 도 2a는 영상 판독 장치 내의 한 화소의 개략적인 평면도이다. 도 2b는 도 2a의 2B-2B를 따른 개략적인 단면도이다.

도 2a 및 2b에서, 참조기호(801)은 기판, (802)는 광전 변환 소자의 하부 전극, (803)은 게이트 전극, (804)는 절연층, (805)는 반도체층, (806)은 저항 접촉층(ohmic contact layer), (807)은 드레인 전극, (808)은 소스 전극, 및 (809)는 절연,보호층을 표시한다. 또한, (S11)은 광전 변환 소자(예를 들어, MIS형 광센서), (T11)은 박막 트랜지스터(TFT), (SIG)는 신호 라인, (g1)은 게이트 구동 라인, (V_1)은 전원 라인을 표시한다. 도 2a에서, 복잡한 도시를 피하기 위해 절연층(804), 저항 접촉층(806), 보호층(809)는 도시되지 않았고, 반도체층(805)은 단선으로 포시되어 있다.

도시된 바와 같이, 광전 변환 소자(S11)은 하부 전극(802), 절연층(804), 반도체층(805), 및 저항 접촉층(806)이 반도체(801) 상에 언급된 순서대로 쌓인 구조를 갖는다. 저항 접촉층(806)은 광전 변환 소자(S11)의 상부 전극으로서의 기능을 갖는다. 광전 변환 소자(S11)은 각각 상부 전극과 하부 전극이 되는 저항 접촉층(806)과 하부 전극(802) 사이에 절연층(804)와 반도체층(805)를 구비함으로써, MIS형 구조를 구성한다.

박막 트랜지스터는 기판(801) 상에 게이트 전극을 구비하고, 그 상부에 순서대로 게이트 절연막이 되는 절연층(804), 및 반도체층(805)을 구비한다. 저항 접촉층(806)은 게이트 전극(803)에 대응하는 채널 영역을 형성하는 공간으로서 반도체층(805) 상에 형성되고, 이러한 저항 접촉층(806)을 통해 트랜지스터는 소스 및 드레인 전극(808, 807)으로서 예를 들어 알루미늄과 같은 금속의 도전 재료를 구비하게 된다.

하부 전극(802)는 전원 라인(V_1)으로부터, 게이트 전극(803)은 게이트 구동 라인(g1)으로부터, 드레인 전극(807)은 신호 라인(SIG)으로부터 연장하도록 각각 형성된다.

광전 변환 소자(S11)의 도면 기호(806)에서, MIS형 광센서의 존재는 N^+ 형 수소첨가 비정질 실리콘층이며 윈도우층으로서 기능한다. 상기 N^+ 형 수소첨가 비정질 실리콘층은 또한 상술한 전극층으로서 기능할뿐만 아니라 주입 방지층(차단층)으로서 기능한다.

도 3은 상기 영상 판독 장치의 한 화소의 등가 회로를 도시하고 있다. 한 화소는 신호의 전송을 위해 MIS형 광센서(S11)과 박막 트랜지스터(T11)을 구비한다. 문자 D,G는 각각 MIS형 트랜지스터의 상부 전극(상기 예에서 저항 접촉층(806))과 하부 전극(802)을 각각 표시한다. 기호 (Cgs, Cgd)는 박막 트랜지스터의 게이트 전극(803)과 소스 전극(808) 사이의 오버랩(overlap) 및 게이트 전극(803)과 드레인 전극(807)(도 1d의 d_1, d_2) 사이의 오버랩에 의해 형성된 커패시터들이다. 광에 의해 MIS형 광센서(S11) 내에 생성된 전하는 박막 트랜지스터(T11)를 통해 커패시터들(Cgs, Cgd) 내에 저장되고, 그후에 상기 전하는 도시가 생략된 판독 회로에 의해 판독된다. 이는 한 비트의 경우이지만, 실제로는, 상기 (Cgs, Cgd)가 상기 게이트 라인에 접속된 다른 박막 트랜지스터들의 커패시터들에 더해진다. 상기 방법에서, 저장 커패시터들은 (Cgs, Cgd)를 사용한다.

박막 트랜지스터와 광전 변환 소자 모두는 동일한 층 형성 공정으로 생성될 수 있고 양자 모두 하부측 상에 전극을 구비한 MIS(금속 절연체 반도체)형 구조를 갖는다.

상술한 MIS형 광센서의 구동 예가 도 4a 및 4b에 도시된 개략적인 에너지 대역도를 사용하여 다음에서 설명될 것이다.

도 4a는 리프레시(refresh) 모드에서의 동작을 도시하기 위한 광전 변환 소자의 에너지 대역도이고 도 4b는 광전 변환 모드에서의 동작을 도시하기 위한 광전 변환 소자의 에너지 대역도이다. 도 4a에서, 참조기호(1 - 5)는 각각 드레인 전극(807), 저항 접촉층(806), 반도체층(805), 절연층(804), 및 하부 전극(802)에 대응한다. 따라서, 상기 도면들은 층 두께의 방향에 따른 상태를 도시하고 있다. 리프레시 모드에서, D 전극은 G 전극에 대해 부(negative) 전위이므로, 예를 들어 반도체층(805)인, 진성(진성 또는 실질적인 진성) 수소첨가 비정질 실리콘층(3) 내에 흑색점으로 표시된 정공은 전기장에 의해 D 전극으로 유도된다. 그와 동시에, 흰색원으로 표시된 전자는 진성 수소첨가 비정질 실리콘층(3)으로 주입된다. 이 때에, 얼마간의 전자와 정공은 예를 들어 저항 접촉층(806)인 N^+ 형 수소첨가 비정질 실리콘층(2)과 진성 수소첨가 비정질 실리콘층(3) 내에서 재결합되어 소멸된다.

충분히 오랜 시간이 경과한 후에, 진성 수소첨가 비정질 실리콘층(3) 내의 정공은 진성 수소첨가 비정질 실리콘층(3)으로부터 소멸될 것이다(도 4a). 모드가 상기 상태로부터 광전 변환 모드로 전환될 때, D 전극은 G 전극에 대해 정(positive) 전위가 제공되므로, 진성 수소첨가 비정질 실리콘층(3) 내의 전자는 즉시 D 전극으로 유도된다. 그러나, N^+ 형 수소첨가 비정질 실리콘층(2)은 주입 방지층으로서 동작하므로, 정공이 D 전극으로부터 진성 수소첨가 비정질 실리콘층(3)으로 주입되는 것이 방지된다. 상기 상태에서 광이 진성 수소첨가 비정질 실리콘층(3)으로 입사될 때, 광이 흡수되어 전자-정공쌍을 생성한다. 상기 전자는 전기장에 의해 D 전극으로 유도되고 정공은 진성 수소첨가 비정질 실리콘 내에서 이동하여 예를 들어 절연층(804)인 수소첨가 비정질 실리콘 질화막(4)과의 경계면에 도달한다. 이 때, 정공의 이동은 차단되어, 정공은 진성 수소첨가 비정질 실리콘층(3) 내에 남아있을 것이다. 이 때에, 정공이 진성 수소첨가 비정질 실리콘층(3) 내에서 수소첨가 비정질 실리콘 질화층(4)과의 경계면으로 이동하는 동안 전자는 D 전극으로 이동한다. 그러므로, 전류는 소자 내에서 전기적인 중성을 유지하기 위해 G 전극으로부터 흐른다. 상기 전류는 광에 의해 생성된 전자-정공쌍에 대응하므로, 전류는 입사광에 비례한다.

도 5는 영상 판독 장치 전체의 개략적인 회로도를 도시하고 있다. 광전 변환 소자(S11 - S33), 구동을 위한 박막 트랜지스터(T11 - T33), 배선 등은 상술한 바와 같은 구조이므로, 이들은 동일한 공정에 의해 형성된 층들을 사용하여 동일한 기판 상에 형성될 수 있다. (V_S)는 판독을 위한 전원, (V_g)는 리프레시를 위한 전원을 표시한다. 각각의 전원 (V_S, V_g)는 스위치 (SWs, SWg)를 통해 광전 변화 소자(S11 - S33)의 하부 전극 G에 접속된다. 스위치(SWs)는 반전기를 통해 리프레시 제어 회로(RF)에 접속되고 스위치(SWg)는 리프레시 제어 회로(RF)에 직접 접속된다. 스위치들은 스위치 (SWg)가 리프레시 기간 동안에 온(on)되고 스위치 (SWs)가 다른 기간 동안에 온되는 방식으로 제어된다. 신호 출력은 신호 라인 (SIG)에 의해 검출 IC를 위한 집적 회로에 접속된다. 도 5에서, 9개의 화소가 3개의 블럭 내에 배열되고, 블럭 당 3개의 픽셀의 출력이 한 번에 전송되며, 검출 집적 회로는 이들을 출력하기 위해 출력으로 신호를 연속적으로 변환시킨다. 상기 예는 간편한 설명을 위해 9개 화소의 2차원 영상 입력부를 도시하고 있으나, 영상 입력부는 실제로는 고 밀도 화소 구조로 구성된다. 예를 들면, 화소 면적이 150 μm^2이고 영상 판독 장치가 40cm^2의 면적으로 가정된다면, 화소 수는 근사적으로 1,800,000이 된다.

상기 영상 판독 장치의 제조 단계의 예가 도 6a - 6f에 도시되어 있다.

1. 세정 후에, 세정된 유리 기판(801) 상에, 크롬이 스퍼터링에 의해 1000 Å의 두께로 증착된다. 포토레지스트의 패턴이 상기 크롬층 상에 원하는 형태로 형성된다. 마스크로서의 상기 포토레지스트가 에칭 처리된다. 그 후에, 포토레지스트가 벗겨지고 기판은 세정됨으로써, 각각의 화소의 박박 트랜지스터의 게이트 전극들(803), MIS형 광센서의 하부 전극들(802), 및 배선부를 형성한다(도 6a).

2. 다음에, 상기 기판 상에, 절연층(804)이 되는 수소첨가 비정질 실리콘 질화층이 사일렌(SiH_4) 가스, 암모니아(NH_3) 가스, 및 수소(H_2) 가스를 사용하여 플라즈마 강화 CVD(plasma enhanced CVD)에 의해 형성된다. 다음에, 반도체층(805)이 되는 진성 수소첨가 비정질 실리콘층이 사일렌(SiH_4) 가스, 포스핀(PH_3) 가스, 및 수소(H_2) 가스를 사용하여 플라즈마 강화 CVD에 의해 형성된다(도 6b).

3. 접촉구를 위한 포토레지스트 패턴과 아이솔레이션(isolation)이 포토리소그래피에 의해 형성되고 마스크로서의 상기 포토래지스트 패턴이 건식 에칭되어 절연층(804)(수소첨가 비정질 실리콘 질화층), 반도체층(805)(진성 수소첨가 비정질 실리콘층), 및 저항 접촉층(806)(N^+형 수소첨가 비정질 실리콘층)의 일부가 제거된다. 그 다음에, 포토레지스트가 벗겨지고 기판이 세정됨으로써, 접촉구(도시 생략)와 아이솔레이션을 형성한다(도 6c).

4. 알루미늄이 스퍼터링에 의해 1 ㎛의 두께로 증착된다. 그 후에, 포토레지스트 패턴이 알루미늄층 상에 원하는 형태로 형성된다. 마스크로서 상기 포토레지스트 패턴을 사용하여, 에칭이 수행된다. 그 다음에, 포토레지스트가 벗겨지고 기판이 세정됨으로써, 박막 트랜지스터들의 소스 전극들(808), 박막 트랜지스터들의 드레인 전극들(807), 및 배선부의 전극들을 얻는다. 이 때에, MIS형 광센서 상의 알루미늄층이 제거되고, 상기의 예에서 저항 접촉층(806)인 N^+형 수소첨가 비정질 실리콘층이 윈도우층과 상부 전극들로서 사용된다(도 6d).

5. 다음에, 포토레지스트 패턴이 상기 알루미늄 패턴 상에 원하는 형태로 형성되고, 마스크로서의 상기 패턴을 사용하여 소스 전극들(808)과 드레인 전극들(807) 사이의 부분에 대응하는 박막 트랜지스터들의 채널 영역 내의 저항 접촉층(806)의 N^+형 수소첨가 비정질 실리콘층에 대해서만 에칭이 수행된다. 그 다음에 포토레지스트가 벗겨지고 기판이 세정됨으로써, 채널들을 형성한다(도 6e).

6. 다음에, 수소첨가 비정질 실리콘 질화층이 표면 보호층(809)로서 사일렌(SiH_4) 가스, 암모니아(NH_3) 가스, 및 수소(H_2) 가스를 사용하여 플라즈마 강화 CVD에 의해 6000 Å의 두께로 형성된다.

상술한 박막 트랜지스터에서, 2 -3 ㎛인 오버랩 폭 d_1, d_2는 도 1d에 도시된 바와 같이 게이트 전극(603)과 소스 또는 드레인 전극(608, 609) 사이에 필수적이다. 이는 상술한 제조 방법에서 소스 및 드레인 전극들을 위한 포토레지스트 패턴의 형성 중에 정렬 정확도의 제한으로 인한 것이다. 즉, 정렬의 편차가 TFT의 기능을 저하시키지 않도록 리던던시(redundancy)가 정렬에 제공된다. 그러나, 오버랩 폭의 부분에서, 커패시터 (Cgs)는 게이트 전극과 소스 전극 사이에 형성되고 커패시터 (Cgd)는 게이트 전극과 드레인 전극 사이에 형성된다.

박막 트랜지스터의 커패시터 (Cgs, Cgd)는 때때로 다양한 부정적인 결과를 발생한다. 예를 들면, 커패시터들은 게이트 전압에 대한 박막 트랜지스터의 응답을 지연시킨다. 특히, 각각의 화소의 전하가 판독될 때, 전압이 각각의 게이트를 턴온(turn on)하기 위해 각각의 화소들에서의 전송을 위한 박막 트랜지스터의 게이트 전극에 연속적으로 인가됨으로써, 저장된 전하를 전달한다. 상기 시간에서의 게이트 전압에 대한 응답은 게이트 배선의 저항 R과 커패시터 (Cgs, Cgd)의 커패시턴스에 의해 정의된다. 이는 때때로 영상 판독 장치가, 예를 들어, 동 화상 겸용의 모드에서, 전체 장치를 동작시키기 위해 고속 스위칭 동작을 따르는 데 실패하는 문제점을 발생시킨다. 커패시터들은 자주 신호량에 비해 매우 큰 커패시턴스를 가지므로 저장 커패시터로서 사용될 수 없다. 그러므로, 아주 작은 출력이 판독되는 것을 필요로 하고, 매우 낮은 잡음의 IC가 판독에 필수적이게 되어, IC의 부하를 증가시키는 문제점이 발생한다. 현재 커패시터의 커패시턴스는 크므로, 커패시터를 판독 커패시터로서 사용하는 것은 부득이한 것이다. 이는 때때로 설계 마진을 좁힌다. 만약 커패시터의 커패시턴스가 저 레벨로 감소된다면, 최적 판독 커패시터가 커패시터를 사용하지 않고 단독으로 설계될 수 있다. 상기 커패시터를 IC의 판독 이전에 즉시 배치시킴으로써, IC의 부하는 감소될 수 있다.

커패시터 (Cgs, Cgd)를 구비한 상기 박막 트랜지스터들은 매트릭스 내에 배열된 1차원 또는 2차원 센서들의 구동과 판독에 사용되며, 상기 커패시터들은 신호의 판독 시에 누화 등과 동작에 부정적인 영향을 발생하는 기생 커패시턴스가 된다.

그러므로, 단일 박막 트랜지스터를 위한 소위 자가 정렬(self-aligning) 공정에 의해 오버랩 폭을 제거하려는 노력이 이루어져 왔다. 그 예가 도 7a-7f에 도시되어 자가 정렬의 제조 기술의 예를 설명하기 위한 개략적인 단계들을 보여주고 있다. 도 7a-7f를 참조로 설명될 것이다.

유리 기판(701) 상에, 먼저 제1 도전층(702)이 알루미늄 또는 크롬과 같은 재료를 사용하여 기상 증착 또는 스퍼터링에 의해 증착된다. 다음에, 포토리소그래피에 의해 원하는 형태로 패터닝된다. 이는 박막 트랜지스터의 게이트 전극(703)으로서 사용된다.

그 다음에 게이트 절연막, 반도체층 등이 CVD 공정(화학 기상 증착) 등에 의해 상기 게이트 전극 상에 증착될 것이다. 먼저 수소첨가 비정질 실리콘 질화막이 사일렌(SiH_4) 가스, 암모니아(NH_3) 가스, 및 수소(H_2) 가스를 사용하여 게이트 절연막(704)로서 증착된다. 다음에, 진성 수소첨가 비정질 실리콘층이 사일렌 가스 및 수소 가스를 사용하여 진성 반도체층(705)으로서 증착된다. 더우기, N^+형 수소첨가 비정질 실리콘층이 사일렌 가스, 및 수소 가스로 희석된 포스핀 가스를 사용하여 불순물 반도체층(706)으로서 증착된다. 자가 정렬 기술은 소스 전극과 드레인 전극의 형성 시에 포토리소그래피의 노광 방법을 향상시킴으로써 실현된다. 즉, 포토레지스트(707)은 N^+형 수소첨가 비정질 실리콘층(706) 상에 형성된다. 상기 포토레지스트는 마스크로서 원하는 형태로 형성된 게이트 전극(703)을 사용하여 기판의 배면측으로부터 백(back) 노광 처리된다. 상기 단계에 의해 포토레지스트 패턴(708)은 게이트 전극과 동일한 폭으로 형성된다. 그 후에, 상기 포토레지스트 패턴을 그대로 유지하면서, 제2 도전층(709)이 알루미늄 또는 크롬과 같은 재료를 사용하여 기상 증착 또는 스퍼터링에 의해 증착된다. 그 다음에, 포토레지스트를 벗기는 단계가 수행된다. 이는 게이트 전극 상의 포토레지스트 패턴이 리프트 오프(lift off)되게 하여, 그 후에 금속층이 소스 전극과 드레인 전극 부분에 남아있게 되어 소스 및 드레인 전극을 형성한다. 다음에, 마스크로서 소스 전극과 드레인 전극의 금속층을 사용하여, 건식 에칭이 수행되어 소스 전극과 드레인 전극에 대한 저항 접촉층을 형성하도록 N^+형 수소첨가 비정질 실리콘층의 불필요한 부분을 제거함으로써, 감소된 게이트 전극과의 오버랩 폭을 갖는 소스 전극과 드레인 전극을 완성한다.

그러나, 상기 방법은 백 노광을 사용하므로, 광차단 특성의 제2 도전층이 노광 후에 형성되어야 하고, 리프트 오프 방법은 필수적이다. 리프트 오프에 의해 소스 전극 및 드레인 전극을 형성하는 단계는 현상 단계에서 게이트 전극 상의 포토레지스트 패턴을 벗기는 것과 동시에 일어난다. 몇가지 경우에 소스 및 드레인 전극의 교차 구간은 예상과는 달리 항상 게이트 전극에 대해 자가 정렬 형태(자가 정렬 방식)로 형성되는 것은 아니다. 때때로, 감광성 레지스트가 남아있는 채로 제2 도전층을 형성하는 단계가 고온 단계(150 - 200 ℃)에 의한 포토레지스트의 저하에 의해서 발생된 현상 실패로 인해 수율의 감소를 가져오기 쉬운 문제점이 발생한다.

리프트 오프 단계를 피하기 위해, N^+ 형 수소첨가 비정질 실리콘층(706) 상에 도전 재료를 형성하고, 그 다음에 그 상부에 네거티브(negative) 포토레지스트를 형성하고, 조사된 부분은 남기면서 조사되지 않은 부분은 제거하고, 제거된 부분은 에칭하는 방식으로 제2 도전층을 형성하기 위한, 예를 들어 ITO(인듐 주석 산화물)과 같은 투명 도체를 사용하는 것도 가능하다. 네거티브 포토레지스트를 사용함으로써, 채널 부분을 제외한 포토레지스트 패턴이 게이트 전극에 대해 자가 정렬 방식으로 형성될 수 있으나, 상기 박막 트랜지스터들이 매트릭스 내에 배열된 1차원이나 2차원 영상 판독 장치를 구동하거나 또는 판독하기 위한 상기 박막 트랜지스터의 응용에서, 배선 저항은 ITO 배선에 의해 증가되어, 구동에 어려움을 발생시킬 수 있다. 그러므로, 이것은 바람직하지 않다.

박막 트랜지스터들이 다른 장치들과 조합된 응용에 있어서, 상술한 자가 정렬 공정은 상술한 개선점을 갖는다.

발명이 이루고자 하는 기술적 과제

상술한 기술의 관점에서, 본 발명의 목적은 저렴한 재료와 매우 쉬운 공정을 사용한 자가 정렬 기술을 제안하는 것이며, 박막 트랜지스터를 예로서 언급하면, 게이트 전극과 소스/드레인 전극 사이의 오버랩 폭을 최소화할 수 있으면서, 손쉽게 고품질 저비용의 박막 반도체 장치, 특히 대면적의 박막 반도체 장치를 제조하기 위한 제조 공정을 제공하는 것이다.

본 발명의 다른 목적은 고속으로 동작 가능한, 예를 들어, 동화상을 수용 가능하며, 우수한 광전 변화 특성을 가진 박막 반도체 장치와 그 제조 방법을 제공하는 것이다.

본 발명의 목적은, 기판 상에 순서대로 제1 전극, 절연층, 반도체층, 및 제2 전극을 구비한 광전 변환 소자; 및 기판 상에 제공된 절연층 상의 반도체층, 반도체층 상의 공간에 배치된 한 쌍의 저항 접촉층, 각각의 저항 접촉층들과 접촉하여 제공된 소스 및 드레인 전극, 및 상기 공간 내의 제2 절연층을 통해 제공된 게이트 전극을 구비한 박막 트랜지스터를 포함하는 박막 반도체 장치를 제공하는 것이다.

본 발명의 다른 목적은 광전 변환 소자 및 박막 트랜지스터를 구비한 박막 반도체 장치를 제조하기 위한 방법을 제공하는 것이며, 상기 방법은, 기판 상에 제1 도전층을 형성하고 상기 도전층으로부터 제1 전극 패턴을 형성하는 단계; 제1 전극 패턴을 덮도록 제1 절연층, 반도체층, 및 제2 절연층을 형성하는 단계; 제2 절연층을 패터닝하는 단계; 및 상기와 같이 패터닝된 제2 절연층에 대응하는 저항 접촉층을 형성하는 단계를 포함한다.

상기 장치에서, 제2 전극은 저항 접촉층일 수 있다.

상기 장치에서, 광전 변환 소자의 절연층과 박막 트랜지스터의 절연층은 공통 절연층일 수 있다.

더우기, 상기 장치에서, 박막 트랜지스터의 절연층은 광전 변환 소자의 절연층으로부터 연장할 수 있다.

상기 장치에서, 박막 트랜지스터의 제2 절연층의 폭은 게이트 전극의 폭보다 넓을 수 있다.

게다가, 상기 장치에서, 제2 절연층은 반도체층 상에 형성된 제2 반도체 상에 제공될 수 있다.

상기 장치에서, 반도체층은 비정질 반도체일 수 있으며 제2 반도체는 다결정 반도체일 수 있다.

더우기, 상기 장치에서, 저항 접촉층은 반도체의 도전형을 제어 가능한 불순물을 포함할 수 있다.

게다가, 상기 장치에서, 광전 변환 소자의 제2 전극은 박막 트랜지스터의 소스 및 드레인 전극 중 하나와 전기적으로 접속될 수 있고, 광전 변환 소자의 제2 전극은 박막 트랜지스터의 저항 접촉층으로부터 연장할 수 있다.

상기 방법은, 저항 접촉층의 형성 이전에, 상기와 같이 패터닝된 제2 절연층 상에 게이트 전극을 형성하는 단계를 더 포함할 수 있다.

더우기, 상기 방법은, 저항 접촉층의 형성 후에 저항 접촉층 상에 도전층을 제공하고, 이후에 상기 도전층을 패터닝하는 단계를 포함할 수 있다.

더우기, 상기 방법에서, 저항 접촉층을 형성하는 단계는 레지스트 재료가 박막 트랜지스터의 게이트 절연막에 대응하는 제2 절연막 상에 유지되어 있는 상태에서 수행될 수 있다.

상기 방법에서, 바람직하게, 반도체층이 비정질 반도체일 수 있고, 상기 방법은, 반도체층의 형성 후에, 반도체의 표면측의 최소한 일부를 다결정화하는 단계를 더 포함할 수 있다.

게다가, 상기 방법에서, 저항 접촉층을 형성하는 단계는 도전형을 다결정 반도체로 제어하기 위한 물질을 유도함으로써 수행된다.

발명의 구성 및 작용

본 발명의 실시예들이 도면을 참조로 상세히 설명될 것이다.

(실시예 1)

2차원 영상 판독 장치는 본 발명의 박막 반도체 장치로서 좋은 예가 되며 다음에서 설명될 것이다. 도 8a는 본 발명에 따른 영상 판독 장치의 한 화소의 개략적인 평면도이다. 도 8b는 도 8a의 8B-8B에 따른 단면도이다. 도 9는 상기 영상 판독 장치의 한 화소의 등가 회로를 도시하고 있다.

도 8a, 8b에서, 참조기호(101)은 유리 기판, 투명 부재, 또는 전기적으로 절연된 최소한의 표면에서의 기판을 표시하고, 참조기호(102)는 금속과 같은 전기적인 도전성 재료로 제작된 광전 변환 소자(S11)의 하부전극을 표시한다. 참조기호(104)는 실리콘 질화물 또는 실리콘 산화물로 대표되는 절연층을 표시하고, 참조기호(105)는 예를 들어 비정질 실리콘 또는 다결정 실리콘으로 대표되는 비단결정 반도체로 제작된 반도체층을 표시한다. 참조기호(106)은 반도체의 도전형을 제어할 수 있는 불순물을 포함하는 반도체로 제작된 저항층을 표시한다. 저항층(106)을 위한 반도체는 일반적으로 N^+ 형 비정질 실리콘 및 N^+ 형 다결정 실리콘으로 대표되는 비단결정 반도체로부터 선택될 수 있다. 참조기호(103)은 박막 트랜지스터(TFT)(T11)의 게이트 전극을 표시하고, 참조기호(107)은 TFT(T11)의 소스 전극을 표시하며, 참조기호(108)은 TFT(T11)의 드레인 전극을 표시한다. 금속과 같은 도전성 재료가 상기 전극들을 위해 사용될 수 있다. 참조기호(110)은 예를 들어 실리콘 질화물 또는 실리콘 산화물과 같은 절연 재료로 제작될 수 있는 TFT(T11)의 게이트 절연막을 표시한다. 참조기호(109)는 실리콘 질화물 또는 실리콘 산화물과 같은 절연 재료로 적절하게 제작될 수 있는 보호층을 표시한다. 참조기호(111)은 접촉구를 사용함으로써 게이트 라인(g1)과 게이트 전극(103)을 전기적으로 접속시키기 위한 접촉부를 표시한다.

도 8a 및 8b에 도시된 바와 같이, 광전 변환 소자(S11)은 기판(101) 상에 언급되는 순서대로 하부 전극(102), 절연층(104), 반도체층(105), 및 저항 접촉층(106)을 구비한 적층(stacked) 구조를 갖는다.

박막 트랜지스터(T11)은, 기판(101) 상에 제공된 절연층(104) 상에 반도체층(105), 반도체층(105) 상에 사이에 끼인 공간의 영역으로 구성된 저항 접촉층(106), 저항 접촉층(106)의 각각의 영역과 각각 접촉하여 제공된 소스 및 드레인 전극(108, 107), 및 상기 공간 내의 게이트 절연막을 통해 제공된 게이트 전극(103)을 구비한다.

도 8a 및 8b에 도시된 바와 같이, 한 화소는 신호의 전송을 위한 하부 MIS형(하부 금속 전극형) 광센서(S11) 및 상부 MIS형(상부 게이트 전극형) 박막 트랜지스터(T11)로 구성된다. 이러한 구조는 공통 공정들로 절연층과 반도체층을 형성하는 동안 공통 반도체들을 사용함으로써 상부 MIS형 박막 트랜지스터와 하부 MIS형 광센서의 공존을 실현한다.

도 2a, 2b, 및 도 3d에서 사용된 것과 동일한 참조기호들로 표시된 소자들은 동일한 소자를 나타낸다. 광전 변환 소자(S11)의 동작은 상술한 바와 같다.

광에 의해 하부 MIS형 광센서(S11) 내에 발생된 전하는 박막 트랜지스터(T11)를 통해 저장 커패시터(C) 내에 저장되고, 이후에 상기 전하는 도시가 생략된 판독 회로에 의해 판독된다. 영상 판독 장치의 전체 구조는 도 5에 도시된 바와 같다.

본 발명의 상세한 제조 방법의 예가 도 10a - 10k를 참조로 상세하게 설명될 것이다. 다음의 단계들(a) - (k)는 각각 도 10a - 10k에 대응한다.

(a) 세정 후의 유리 기판 상에(301), 크롬(302)이 스퍼터링에 의해 500 Å의 두께로 증착되고 알루미늄(303)이 500 Å의 두께로 증착됨으로써, 제1 도전층을 형성한다. 본 실시예에서, 제1 도전층은 크롬과 알루미늄의 2층 구조로 이루어진다. 이 때에 금속 재료의 선택은 후속의 제2 도전층의 패터닝과 후속의 제3 도전층의 패터닝 중의 에칭 선택도를 고려하여 이루어진다.

(b) 포지티브(positive) 포토레지스트가 그 상부에 도포되고 포지티브 포토레지스트가 원하는 형태로 패터닝된다. 이것을 마스크로서 사용하여, 크롬/알루미늄층이 에칭된다. 이후에 포지티브 포토레지스트가 벗겨지고 기판이 세정됨으로써, 하부 전극들(304) 및 각각의 화소들에서의 하부 MIS형 광센서들의 저장 커패시터들(도시 생략) 및 배선부의 하부 전극들(도시 생략)을 형성한다.

(c) 그 다음에, 상기 기판 상에 절연층으로서 제1 수소첨가 비정질 실리콘 질화층(305)이 사일렌(SiH_4) 가스, 암모니아(NH_3) 가스, 및 수소(H_2) 가스를 사용하여 플라즈마 강화 CVD에 의해 3000 Å의 두께로 형성된다. 다음에, 반도체층으로서 진성(또는 실질적인 진성) 수소첨가 비정질 실리콘층(306)이 사일렌(SiH_4) 가스 및 수소(H_2) 가스를 사용하여 플라즈마 강화 CVD에 의해 2000 Å의 두께로 형성된다. 또한, 게이트 절연막으로서 제2 수소첨가 비정질 실리콘 질화층(307)이 사일렌(SiH_4) 가스, 암모니아(NH_3) 가스, 및 수소(H_2) 가스를 사용하여 플라즈마 강화 CVD에 의해 3000 Å의 두께로 증착된다.

(d) 접촉구들과 아이솔레이션을 위한 포토레지스트 패턴이 포토리소그래피에 의해 형성되고 건식 에칭이 제1 수소첨가 비정질 실리콘 질화층, 진성 수소첨가 비정질 실리콘층, 및 제2 수소첨가 비정질 실리콘 질화층의 일부를 제거하기 위해 수행된다. 그 다음에, 포토레지스트가 벗겨지고 기판이 세정됨으로써, 접촉구들(도시 생략) 및 아이솔레이션의 형태를 이룬다.

(e) 그 다음에, 제2 도전층(308)이 기상 증착 또는 스퍼터링에 의해 크롬을 사용하여 증착된다. 이 때에, 접촉구들을 통해 제1 도전층과의 접촉이 이루어진다. 제2 도전층을 위한 재료는 바람직하게 다음 단계에서의 제3 도전층의 에칭 시에 선택적으로 남겨진다. 상기의 예에서, 제1 도전층과의 관계도 고려하여, 크롬이 사용되지만, 상기 재료는 제1 도전층과 제3 도전층에 대한 에칭 선택도에 주의를 기울이기만 하면 어떠한 금속으로부터도 임의적으로 선택될 수 있다.

(f) 다음에, 포지티브 포토레지스트가 도포되고 이 포토레지스트는 원하는 형태로 패터닝된다. 이것을 마스크로서 사용하여, 크롬층이 에칭되고, 포토레지스트가 벗겨진다. 그 다음에, 기판이 세정됨으로써, 박막 트랜지스터의 게이트 전극(309)을 형성한다.

(g) 제3 도전층의 상기 패턴을 마스크로서 사용하여, 제2 수소첨가 비정질 실리콘 질화막(307)의 불필요한 부분이 건식 에칭에 의해 제거된다(도면에서, 참조기호(310)은 상기의 예에서 게이트 절연막이 되는 잔존 수소첨가 비정질 실리콘 질화층을 표시한다).

(h) 마스크로서 단계 (f)와 (g)에서 생성된 게이트 전극 패턴을 사용하여, 게이트 전극 패턴을 제외한 진성 수소첨가 비정질 실리콘층의 표면(311)이 포스핀(PH_3) 가스 및 수소(H_2) 가스를 사용한 플라즈마 방전 P에 의해 N^+형으로 변환된다. 본 실시예에서, 상기 표면은 고농도(enhanced) N형인 N^+형으로 변환된다. 이는 전자들에 대한 정공의 차단 특성과 저항 접촉 특성을 향상시키기 위한 것이며 본 발명에 필수적인 것은 아니다. 이 때에, 단계 (f)에서 형성된 포토레지스트 패턴은 그대로 남겨짐으로써, 플라즈마에 대한 완벽한 차단을 이룬다. 그러나, 본 실시예에서, 크롬의 금속층이 이미 게이트 전극들로서 형성되어 플라즈마를 차단하므로, 포토레지스트는 단계 (g) 이후에 벗겨질 것이다. 수소(H_2) 가스는 플라즈마 내에 수소 레디칼(radical)을 발생시키고 이들은 표면층의 미세 결정화를 촉진시킨다. 이러한 미세 결정화된 표면은 인으로 도핑되어 효율적으로 N^+형으로 변환된다. 이러한 N^+형 표면층은 각각의 박막 트랜지스터의 소스 및 드레인 전극의 일부로 사용되고, 각각의 MIS 센서의 윈도우층과 상부 전극(정공 차단층)으로 사용된다. 즉, 본 실시예에서, 광센서는 하부 MIS형 구조로 이루어지고, 광은 금속층에 대한 대향측으로부터, 예를 들어, N^+측으로부터 입사된다. 이러한 N형 부분에서의 흡수를 고려하여, 상기 부분은 가능한 한 얇은 구조로 구성되어야 한다. 상기 윈도우층이 본 발명의 방법에 의해 형성될 때, 윈도우층은 효율적인 높은 전도도를 갖는 매우 얇은 두께, 근사적으로 100 Å으로 형성될 수 있다. 거의 완전한 자가 정렬형 전극들이 박막 트랜지스터의 전극으로서 형성된다.

(i) 그 다음에, 제3 도전층이 알루미늄을 사용한 기상 증착 또는 스퍼터링에 의해 1 ㎛의 두께로 증착된다.

(j) 다음에, 포지티브 레지스트가 도포되고 이 포토레지스트가 원하는 형태로 패터닝된다. 마스크로서 이것을 사용하여, 알루미늄층이 에칭된다. 포토레지스트가 벗겨지고 기판이 세정됨으로써, 박막 트랜지스터의 소스 전극(313)과 드레인 전극(314), 커패시터의 상부 전극(도시 생략), 및 배선(도시 생략)을 형성한다. 이 때에, 크롬이 제2 도전층으로 사용되므로, 알루미늄만이 에칭된다. 접촉구의 일부 내의 제1 도전층과 제1 도전층의 배선부 사이에서, 아이솔레이션 후의 표면에 대해 노출된 알루미늄이 상기 경우와 동시에 에칭된다. 그러나, 제1 도전층은 크롬과 알루미늄의 2층 구조로 되어 있으므로, 알루미늄이 에칭된다 해도, 크롬이 배선으로서 잔존하게 되어, 아무 영향을 받지 않는다. 상기 제1 - 제3 도전층의 구조는 본 실시예의 조합으로만 제한되지 않으며, 상기 단계들 동안에 에칭 선택도가 보장되기만 하면 다른 임의의 구조를 가질 수 있다.

(k) 다음에, 수소첨가 비정질 실리콘 질화층(315)이 사일렌(SiH_4) 가스, 암모니아(NH_3) 가스, 및 수소(H_2) 가스를 사용하여 플라즈마 강화 CVD에 의해 6000 Å의 두께로 표면 보호층으로서 형성된다.

이 때, 게이트 전극과 소스/드레인 전극 사이의 오버랩 폭 d_1, d_2가 측정된다. 이 측정 결과는 N^+형 부분이 소스와 드레인 전극의 일부를 구성하고 이들이 거의 완전한 자가 정렬 방식으로 형성되었는지를 확인한다.

본 실시예에서, 상기 공정들은 역 스태거형의 공정만큼 용이하다. 즉, 소스 전극과 드레인 전극은 리프트 오프 등의 단계없이 형성될 수 있다. 그 결과, 전극 등의 형성 이후의 단면 구성은 매우 우수하게 된다.

영상 판독 장치의 박막 트랜지스터가 광센서와 동일한 층 구조를 위한 공정의 요구로부터 역 스태거형 구조를 이룰 때, 캐리어는 진성 수소첨가 비정질 실리콘층 내에서 상승 및 하강하여야 한다. 이 경우에 상기 부분의 저항은 트랜지스터의 이동도(mobility)을 낮춘다. 그러나, 본 발명의 구조 및 제조 방법을 사용함으로써, 광센서가 하부 MIS형이 되고 박막 트랜지스터가 상부 MIS형이 되는 동일 평면 형태를 실현하는 것이 용이하게 되어, 박막 트랜지스터의 속도가 증가될 수 있다.

부가하여, 본 발명의 사용은, 단계들은 크게 다르지 않으나, 소스 전극과 드레인 전극의 매우 우수한 자가 정렬을 더 실현하며, 이로써 고성능의 영상 판독 장치를 제조할 수 있도록 한다.

더우기, 소스/드레인 전극과 게이트 전극 사이의 오버랩 폭이 감소되므로, 예를 들어, 게이트 전극들에 의해 올바른 정렬이 이루어지므로, 지금까지 마스크 정렬의 편차 등을 측정한 바에 대한 안정 마진이 본 실시예에서 매우 작아지게 될 수 있다. 이는 각각의 화소의 설계를 용이하게 한다. 박막 트랜지스터의 크기가 감소되었으므로, 만약 면적이 일정하다면, 광센서 영역은 증가될 수 있다. 이는 또한 감도의 증가에도 기여한다. 동일한 감도에서, 화소가 더 작아지게 되어, 해상도는 증가될 수 있다. (Cgs, Cds)의 기생 커패시턴스가 공정의 제한으로 인해 지금까지 판독 커패시터로서 사용되어 왔으나, 본 실시예에서는 (Cgs, Cds) 커패시터 구성 요소들 둥 대부분이 제거되어, 판독 커패시터를 자유롭게 설계하는 것을 허용하고 설계의 자유도를 증가시킨다. 본 실시예는 또한 박막 트랜지스터의 고속 스위칭을 가능하게 하고 영상 판독 장치 자체의 고속 판독을 가능하게 한다.

본 실시예가 2차원 영상 판독 장치의 예로서 설명되었지만, 본 발명은 2차원 영상 판독 장치로만 제한되는 것이 아니라 1차원 영상 판독 장치에도 적용될 수 있다.

본 실시예는 반도체 내의 전자들을 사용하는 형태이므로, N형층이 전자에 대한 정공의 차단과 저항 접촉 특성을 이루는 데 사용될 것이다. 만약 정공이 사용되었다면, P형층이 전자의 차단과 정공에 대한 저항 접촉 특성을 이루는 데 사용된다. 본 발명은 또한 상기 경우에도 적용될 수 있다.

(실시예 2)

2차원 영상 판독 장치의 예가 본 발명의 박막 반도체 장치로서 설명될 것이다. 도 11a는 본 발명에 따른 영상 판독 장치의 한 화소의 개략적인 평면도이다. 도 11b는 도 11a의 11B-11B를 따른 개략적인 단면도이다. 본 실시예는 상부 전극들의 형성 순서가 실시예 1의 영상 판독 장치의 상부 전극들의 형성 순서로부터 변화된 예이다. 영상 판독 장치의 전체 구조는 도 5에 도시된 예와 동일하다.

본 실시예의 상세한 제조 방법이 도 12a - 12k를 참조로 상세하게 설명될 것이다. 다음의 단계들 (a) - (k)는 각각 도 12a - 12k에 대응한다.

(a) 세정 후의 유리 기판 상에(501), 스퍼터링에 의해 크롬(502)이 500 Å의 두께로 증착되고 다음에 알루미늄(503)이 500 Å의 두께로 증착된다. 본 실시예는 크롬과 알루미늄의 2층 구조의 제1 도전층을 사용하였으나, 상기 제1 도전층은 다음에 설명되는 바와 같이 단일 크롬층과 알루미늄층 중 하나일 수 있다. 본 실시예는 하부 전극들의 수율을 증가시키기 위해 의도적으로 2층 구조를 채용한다. 그러나, 2층 구조는 필수 조건이 아님에 주의한다.

(b) 포지티브 포토레지스트가 그 상부에 도포되고 이 포지티브 포토레지스트가 원하는 형태로 패터닝된다. 이것을 마스크로서 사용하여, 크롬/알루미늄층이 에칭된다. 이후에 포지티브 포토레지스트가 벗겨지고 기판이 세정됨으로써, 하부 전극들(504) 및 각각의 화소들에서의 하부 MIS형 광센서들의 저장 커패시터들(도시 생략) 및 배선부의 하부 전극들(도시 생략)을 형성한다.

(c) 그 다음에, 상기 기판 상에 수소첨가 비정질 실리콘 질화층(505)이 사일렌(SiH_4) 가스, 암모니아(NH_3) 가스, 및 수소(H_2) 가스를 사용하여 플라즈마 강화 CVD에 의해 3000 Å의 두께로 형성된다. 다음에, 진성(또는 실질적인 진성) 수소첨가 비정질 실리콘층(506)이 사일렌(SiH_4) 가스 및 수소(H_2) 가스를 사용하여 플라즈마 강화 CVD에 의해 2000 Å의 두께로 형성된다. 또한, 수소첨가 비정질 실리콘 질화층(507)이 사일렌(SiH_4) 가스, 암모니아(NH_3) 가스, 및 수소(H_2) 가스를 사용하여 플라즈마 강화 CVD에 의해 3000 Å의 두께로 증착된다.

(d) 접촉구들과 아이솔레이션을 위한 포토레지스트 패턴이 포토리소그래피에 의해 형성되고 건식 에칭이 제1 수소첨가 비정질 실리콘 질화층, 진성 수소첨가 비정질 실리콘층, 및 제2 수소첨가 비정질 실리콘 질화층의 일부를 제거하기 위해 수행된다. 그 다음에, 포토레지스트가 벗겨지고 기판이 세정됨으로써, 접촉구들(도시 생략) 및 아이솔레이션의 형태를 이룬다.

(e) 다음에, 기판이 포지티브 레지스트(508)로 코팅된다.

(f) 그 다음에, 포토레지스트의 패턴(509)이 원하는 형태로 제작된다.

(g) 마스크로서 상기 패턴을 사용하여, 제2 수소첨가 비정질 실리콘 질화막의 불필요한 부분이 건식 에칭으로 제거된다. 이 때에 패턴은 게이트 절연막의 형태(510)가 된다.

(h) 마스크로서 (e), (f), 및 (g)의 단계들에서 형성된 게이트 절연막 패턴을 사용하여, 게이트 절연막 패턴을 제외한 진성 수소첨가 비정질 실리콘층이 포스핀(PH_3) 가스 및 수소(H_2) 가스를 사용하여 플라즈마 방전 P에 의해 N^+형으로 변환된다. 본 실시예에서, 상기 표면은 실시예 1에서와 동일한 이유로 고농도 N형인 N^+형으로 변환된다. 이 때에, 단계 (f)에서 형성된 포토레지스트 패턴이 남겨지게 됨으로써, 플라즈마에 대한 완전한 차단을 이룬다. 수소(H_2) 가스는 플라즈마 내에 수소 래디칼을 발생하여 이들은 표면층의 미세 결정화를 촉진시킨다. 이러한 미세 결정화된 표면은 인으로 도핑되어 N^+형으로 효율적으로 변환된다. 이러한 N^+형 표면층은 각각의 박막 트랜지스터의 소스 및 드레인 전극의 일부로 사용되고, 각각의 하부 MIS 광센서의 윈도우층과 상부 전극(정공 차단층)으로 사용된다. 즉, 본 실시예에서, 광센서는 하부 MIS형 구조로 이루어지고, 광은 금속층에 대한 대향측으로부터, 예를 들어, N^+측으로부터 입사된다. 이러한 N형 부분에서의 흡수를 고려하여, 상기 부분은 가능한한 얇은 구조로 구성되어야 한다. 상기 윈도우층이 본 발명의 방법에 의해 형성될 때, 윈도우층은 효율적인 높은 전도도를 갖는 매우 얇은 두께, 근사적으로 100 Å으로 형성될 수 있다. 거의 완전한 자가 정렬형 전극들이 박막 트랜지스터의 전극으로서 형성된다.

(i) 상기 포토레지스트가 벗겨진 후에, 제2 도전층(512)은 기상 증착 또는 스퍼터링에 의해 알루미늄을 사용하여 증착된다. 이 때에, 접촉구들을 통해 제1 전극층과의 접촉이 이루어진다.

(j) 그 후에, 포지티브 레지스트가 도포되고, 이 포토레지스트가 원하는 형태로 패터닝된다. 이것을 마스크로서 사용하여, 알루미늄층이 에칭된다. 포토레지스트가 벗겨지고 기판이 세정됨으로써, 박막 트랜지스터의 게이트 전극(514), 소스 전극(513), 및 드레인 전극(515)과, 커패시터의 상부 전극과, 배선을 형성한다.

(k) 본 실시예에서, 진성 수소첨가 비정질 실리콘층의 표면이 마스크로서 포토레지스트 패턴을 사용하여 N^+ 형으로 변환되므로, 한 세트의 금속층의 증착과 패터닝에 의해 게이트 전극, 소스 전극, 드레인 전극, 배선, 상부 전극 등을 형성하는 것이 가능해진다. 즉, 제3 도전층은 생성되지 않아야 한다. 그 결과, 포토리소그래피 단계들과 증착 단계들의 수는 실시예 1보다 줄어들게 되어, 저비용의 박막 반도체 장치가 실현될 수 있다. 본 실시예에서, 제1 도전층은 크롬과 알루미늄으로 제작되지만, 이는 단일 금속층일 수 있다. 상기의 경우에서, 제조 시의 장치 부담을 감소시키기 위해, 동일한 금속이 바람직하게 제1 도전층과 제2 도전층에 사용될 수 있다.

본 실시예에서, 게이트 전극과 소스/드레인 전극의 금속층은 한 번에 형성되므로, 게이트 전극부는 게이트 절연부의 약간 내측에 형성된다. 그러므로, 오버랩 폭 d_1, d_2는 0이하로 되어, 전극은 많은 경우에 서로 오버랩되지 않는다.

본 실시예는 역 스태거형의 공정에 가까운 용이한 공정을 실현하였다. 본 실시예에서, 소스 전극과 드레인 전극은 실시예 1에서와 같이 리프트 오프 단계없이 형성될 수 있다. 그 결과, 전극 등의 형성 후의 단면 구성이 매우 우수하게 된다.

즉, 본 실시예는 보다 간단한 구조를 가지며 실시예 1과 유사하게 우수한 특성을 갖는 고성능 반도체 장치를 제공할 수 있다.

(실시예 3)

본 실시예는 박막 트랜지스터의 최소한 일부를 위한 폴리실리콘(다결정 실리콘)과 광센서의 최소한 일부를 위한 수소첨가 비정질 실리콘을 사용한 예를 도시하고 있다.

도 13a는 본 발명에 따른 영상 판독 장치의 한 화소의 개략적인 평면도이다. 도 13b는 도 13a의 13B-13B를 따른 개략적인 단면도이다. 도시된 바와 같이, 본 예는 또한 한 화소 내에서 신호의 전송을 위해 하부 MIS형(하부 금속 전극형)의 광전 변환 소자(S11)과 상부 MIS형(상부 게이트 전극형)의 박막 트랜지스터(T11)을 구비한다.

도면에서, 참조기호(1301)은 기판, (1302)는 광전 변환 소자의 하부 전극, (1303)은 게이트 전극, (1304)는 절연층, (1305)는 반도체층, (1306)은 저항 접촉층, (1307)은 드레인 전극, (1308)은 소스 전극, (1309)는 보호층, 및 (1310)은 게이트 절연막을 표시한다. 참조기호(1311)은 다결정 반도체층을 표시한다.

본 실시예의 상세한 제조 방법이 도 14a - 14m을 참조로 상세하게 설명될 것이다. 다음의 단계 (a) - (m)은 각각 도 14a - 14m에 대응한다.

(a) 세정 후의 유리 기판 상에, 스퍼터링에 의해 크롬(1402)이 500 Å의 두께로 증착되고 그 다음에 알루미늄(1403)이 500 Å의 두께로 증착된다. 본 실시예에서, 제1 도전층은 크롬과 알루미늄의 2층 구조로 되어 있다. 이 때에 금속재료의 선택은 제2 도전층의 다음 패터닝과 제3 도전층의 다음 패터닝 중의 에칭 선택도를 고려하여 이루어진다.

(b) 포지티브 포토레지스트가 그 상부에 도포되고 이 포지티브 포토레지스트가 원하는 형태로 패터닝된다. 이것을 마스크로서 사용하여, 크롬/알루미늄층이 에칭된다. 이후에 포지티브 포토레지스트가 벗겨지고 기판이 세정됨으로써, 하부 전극들(1404) 및 각각의 화소들에서의 하부 MIS형 광센서들의 저장 커패시터들(도시 생략) 및 배선부의 하부 전극들(도시 생략)을 형성한다.

(c) 그 다음에, 상기 기판 상에 절연층으로서 제1 수소첨가 비정질 실리콘 질화층(1405)이 사일렌(SiH_4) 가스, 암모니아(NH_3) 가스, 및 수소(H_2) 가스를 사용하여 플라즈마 강화 CVD에 의해 3000 Å의 두께로 형성된다. 다음에, 반도체층으로서 진성(또는 실질적인 진성) 수소첨가 비정질 실리콘층(1406)이 사일렌(SiH_4) 가스 및 수소(H_2) 가스를 사용하여 플라즈마 강화 CVD에 의해 5000 Å의 두께로 형성된다.

(d) 그 다음에, 진성 수소첨가 비정질 실리콘층의 표면이 다결정층을 형성하기 위해 XeCl 엑시머 레이저를 사용하여 결정화된다. 본 실시예에서, 레이저 원으로부터의 광은 균질기(homogenizer)에 의해 광선 L로 변화되어 표면층의 전체 표면(1407)은 광의 주사에 의해 다결정화된다. 조사 강도는 200 mJ/cm^2이고 이 때의 다결정층의 두께는 박막 트랜지스터의 채널층으로서 기능하기에 충분한 두께인 1000 Å이다. 본 실시예에 따른 방법은, 박막 트랜지스터가 상부 게이트 구조를 이루므로, 수소첨가 비정질 실리콘층의 두께가 두껍다해도, 표면층만이 다결정화되고 이 부분이 채널들에 사용될 수 있다. 수소첨가 비정질 실리콘층의 두께는 광센서의 감도면에서 특정한 레벨 이하로 감소될 수 없으므로, 본 발명에 따른 방법이 유리하다.

본 실시예에서, 진성 수소첨가 비정질 실리콘층의 표면은 XeCl 엑시머 레이저를 사용하여 결정화되었으나, 결정화 방법은 본 발명의 단계에 적합한, 예를 들어, 더 적합한 파장과 에너지의 레이저를 사용한 임의의 결정화 방법일 수 있다.

(e) 다음에, 게이트 절연막으로서 수소첨가 비정질 실리콘 질화층(1408)이 사일렌(SiH_4) 가스, 암모니아(NH_3) 가스, 수소(H_2) 가스를 사용하여 플라즈마 강화 CVD에 의해 3000 Å의 두께로 증착된다.

(f) 접촉구들과 아이솔레이션을 위한 포토레지스트가 포토리소그래피에 의해 형성되고 건식 에칭이 제1 수소첨가 비정질 실리콘 질화층, 결정화된 표면층을 포함하는 진성 수소첨가 비정질 실리콘층, 및 제2 수소첨가 비정질 실리콘 질화층의 일부를 제거하도록 수행된다. 그 다음에, 포토레지스트가 벗겨지고 기판이 세정됨으로써, 접촉구들(도시 생략)과 아이솔레이션의 형성을 이룬다.

(g) 그 다음에, 게이트 전극이 되는 제2 도전층(1409)이 스퍼터링에 의해 크롬을 사용하여 증착된다. 이 때에, 접촉구들을 통해 제1 도전층과 제2 도전층 사이의 접촉이 이루어진다. 제2 도전층을 위한 재료는 바람직하게 다음 단계의 제3 도전층의 에칭 시에 영향을 주지 않으면서 선택적으로 남겨지는 것으로 선택된다. 본 실시예에서는, 제1 도전층과의 관계도 고려하여, 크롬이 사용되지만, 상기 재료는 제1 도전층과 제3 도전층에 대한 에칭 선택도에 주의를 기울이기만 하면 어떠한 금속으로부터도 임의적으로 선택될 수 있다. 즉, 상기 재료는 제2 도전층의 에칭 동안에 제1 도전층이 치명적인 영향을 받지 않고 제3 도전층의 에칭 동안에 치명적인 영향을 받지 않는 기준을 기초로 선택되어야 한다.

(h) 다음에, 포지티브 포토레지스트가 도포되고 포토레지스트가 원하는 형태로 패터닝된다. 이것을 마스크로서 사용하여, 크롬층이 에칭되고 그 다음에 포토레지스트가 벗겨진다. 그 다음에, 기판이 세정됨으로써, 박막 트랜지스터의 게이트 전극(1410)을 생성한다. 제1 도전층은 크롬과 알루미늄의 2층 구조로 되어 있으며, 최외측 표면은 알루미늄이다. 이는 제2 도전층의 에칭 동안의 피해로부터 제1 도전층을 보호한다.

(i) 제2 도전층의 상기 패턴을 마스크로서 사용하여, 제2 수소첨가 비정질 실리콘 질화층의 불필요한 부분이 건식 에칭에 의해 제거된다(참조기호(1411)은 본 예에서 게이트 절연막이 되는 잔존 수소첨가 비정질 실리콘 질화층을 표시). 그와 동시에, 1000 Å의 진성 수소첨가 비정질 실리콘층의 다결정화 표면으로부터 800 Å이 에칭된다. 상기 다결정화 부분은 다음 단계에서 센서부의 윈도우층이 될 것이므로, 다결정화층의 잔존막이 상기 부분에서의 광의 흡수를 억제할 목적으로 200 Å으로 설정된다.

(j) 단계 (g) 및 (h)에서 형성된 게이트 전극 패턴을 마스크로서 사용하여, 게이트 전극 패턴을 제외한 진성 수소첨가 비정질 실리콘층의 다결정화 표면(1407)이 포스핀(PH_3) 가스 및 수소(H_2) 가스를 사용하여 플라즈마 방전 P에 의해 N^+ 형으로 변환된다. 본 실시예에서, 상기 표면은 고농도 N형인 N^+ 형으로 변환된다. 이는 정공 차단 특성과 전자에 대한 저항 접촉 특성을 향상시키기 위한 것이며, 본 발명에 필수적인 것은 아니다.

이 때에, 단계 (g)에서 생성된 포토레지스트 패턴이 그대로 남겨짐으로써, 플라즈마에 대한 완벽한 차단을 이룬다. 그러나, 본 실시예에서, 크롬의 금속층이 이미 게이트 전극으로서 형성되어 플라즈마를 차단하므로, 포토레지스트는 단계 (h) 후에 벗겨질 수 있다. 수소(H_2) 가스는 플라즈마 내의 수소 래디칼을 생성하고 표면층의 미세 다결정화를 촉진시킨다. 이러한 미세 다결정화 표면은 인으로 도핑되어 효율적으로 N^+ 형으로 변환된다. 본 실시예에서, N^+ 형 변환부는 단계 (d)에서 이미 다결정화되었으므로, 이 부분은 더 효율적으로 N^+ 형으로 변환될 수 있다. 상기 N^+ 형 표면층은 각각의 박막 트랜지스터의 소스 및 드레인 전극의 일부로 사용되고, 각각의 MIS 센서의 윈도우층과 상부 전극(정공 차단층)으로 사용된다. 즉, 본 실시예에서, 광센서는 하부 MIS형 구조로 되어 있고, 광은 금속층의 대향측, 예를 들어, 상기 N^+ 측으로부터 입사된다. 상기 N^+ 형 부분에서의 흡수를 고려하여, 상기 부분은 가능한 한 얇은 구조로 구성되어야 한다.

상기 윈도우층이 본 발명의 방법에 의해 형성될 때, 윈도우층은 효율적인 높은 전도도를 갖는 매우 얇은 두께, 근사적으로 200 Å으로 형성될 수 있다. 거의 완전한 자가 정렬형 전극들이 박막 트랜지스터의 전극으로서 형성된다.

(j) 그 다음에, 제3 도전층(1412)이 알루미늄을 사용한 기상 증착 또는 스퍼터링에 의해 1 ㎛의 두께로 증착된다.

(k) 다음에, 포지티브 레지스트가 도포되고 이 포토레지스트가 원하는 형태로 패터닝된다. 이것을 마스크로서 사용하여, 알루미늄층이 에칭된다. 포토레지스트가 벗겨지고 기판이 세정됨으로써, 박막 트랜지스터의 소스 전극(313)과 드레인 전극(314), 커패시터의 상부 전극(도시 생략), 및 배선(도시 생략)을 형성한다. 이 때에, 크롬이 제2 도전층으로 사용되므로, 알루미늄만이 선택적으로 에칭된다. 접촉구의 부분 내의 제1 도전층과 제1 도전층의 배선부 사이에서, 아이솔레이션 후의 표면에 대해 노출된 알루미늄이 상기 경우와 동시에 에칭된다. 그러나, 제1 도전층은 크롬과 알루미늄의 2층 구조로 되어 있으므로, 알루미늄이 에칭된다해도, 크롬이 배선으로서 잔존하게 되어, 아무 영향을 받지 않는다. 상기 제1 - 제3 도전층의 구조는 본 실시예의 조합으로만 제한되지 않으며, 상기 단계들 동안에 에칭 선택도가 보장되기만 하면 다른 임의의 구조를 가질 수 있다.

(l) 다음에, 수소첨가 비정질 실리콘 질화층(1415)이 사일렌(SiH_4) 가스, 암모니아(NH_3) 가스, 및 수소(H_2) 가스를 사용하여 플라즈마 강화 CVD에 의해 6000 Å의 두께로 표면 보호층으로서 형성된다.

이 때, 게이트 전극과 소스/드레인 전극 사이의 오버랩 폭 d_1, d_2가 측정된다. 이 측정 결과는 N^+ 형 부분이 소스와 드레인 전극의 일부를 구성하고 이들이 거의 완전한 자가 정렬 방식으로 형성되었는지를 확인한다.

본 발명에 따른 실시예에서, 소스 및 드레인 전극은 리프트 오프 등의 단계없이 역 스태거형의 공정에 비해 용이한 공정으로 형성될 수 있다. 그 결과, 전극 등의 형성 후에 단면 구성이 매우 우수하다.

본 실시예에서, 박막 트랜지스터의 소스 및 드레인 전극의 자가 정렬에 의한 제조 단계는 실시예 2의 단계 (e) - (h)에서와 같이 마스크로서 포토레지스트를 사용하여 플라즈마에 의한 N^+ 형으로의 변환을 포함한다.

또한, 제2 절연층이 포토레지스트로 패터닝될 때, 제2 도전층을 위해 크롬과 같은 금속을 사용하여, 박막 트랜지스터의 배선부와 게이트 전극이 동시에 생성될 수 있다. 상기의 경우에, 배선 저항을 고려하여, 알루미늄/크롬의 제1 도전층과 알루미늄의 제2 도전층을 형성하는 것이 보다 우수하다. 이는 제3 도전층을 형성하는 단계와 이를 패터닝하는 단계를 제거하므로, 공정을 더 간소화하여 비용을 절감시킨다.

본 실시예는 다결정화에 의해 박막 트랜지스터의 스위칭을 포함하는 다양한 특성들을 더 강화할 수 있고, 비정질 실리콘을 사용함으로써 광전 변환 소자부의 감광 특성을 최적화할 수 있다. 이는 전술한 효과에 더하여 향상된 고속 동작 및 동영상 정보의 캡쳐링(capturing)에 대한 강화된 적응성을 실현한다.

본 실시예는 2차원 영상 판독 장치의 예로서 설명되었지만, 본 발명은 2차원 영상 판독 장치로만 제한되지 않으며 1차원 영상 판독 장치에도 응용될 수 있다.

본 실시예는 반도체 내의 전자를 사용하는 형태이므로, N^+ 형층이 정공의 차단 특성과 전자에 대한 저항 접촉 특성을 이루는 데 사용된다. 만약 정공이 사용되었다면, P형층이 전자의 차단 특성과 정공에 대한 저항 접촉 특성을 이루는 데 사용될 것이다.

즉, 박막 트랜지스터의 채널부는 본 실시예에서 결정화되므로, 정공의 이동도가 또한 급격하게 향상되어, 본 실시예는 효율적으로 정공을 사용하는 형태를 실현할 수 있다.

발명의 효과

본 발명은 저렴한 재료와 매우 쉬운 공정을 사용한 자가 정렬 기술을 제안하는 것이며, 박막 트랜지스터를 예로서 언급하면, 게이트 전극과 소스/드레인 전극 사이의 오버랩 폭을 최소화할 수 있으면서, 손쉽게 고품질 저비용의 박막 반도체 장치, 특히 넓은 면적의 박막 반도체 장치를 제조하기 위한 제조 공정을 제공하는 것이다.

(57) 청구의 범위

청구항 1.

기판 상에 순서대로 제1 전극, 절연층, 반도체층, 및 제2 전극을 구비한 광전 변환 소자; 및

반도체층, 상기 반도체층 상에 공간을 두고 배치된 한 쌍의 저항 접촉층(ohmic contact layer), 상기 각각의 저항 접촉층과 접촉하여 제공된 소스 및 드레인 전극, 및 상기 공간 내에 제2 절연층을 통해 제공된 게이트 전극을 구비한 박막 트랜지스터

를 포함하는 것을 특징으로 하는 박막 반도체 장치.

청구항 2.

기판 상에 순서대로 제1 전극, 절연층, 반도체층, 및 제2 전극을 구비한 광전 변환 소자; 및

상기 기판 상에 제공된 절연층 상의 반도체층, 상기 반도체층 상에 공간을 두고 배치된 한 쌍의 저항 접촉층, 상기 각각의 저항 접촉층과 접촉하여 제공된 소스 및 드레인 전극, 및 상기 공간 내에 제2 절연층을 통해 제공된 게이트 전극을 구비한 박막 트랜지스터

를 포함하는 것을 특징으로 하는 박막 반도체 장치.

청구항 3.

제1항에 있어서, 상기 제2 전극은 저항 접촉층을 포함하는 것을 특징으로 하는 박막 반도체 장치.

청구항 4.

제1항에 있어서, 상기 광전 변환 소자의 상기 반도체층과 상기 박막 트랜지스터의 상기 반도체층은 공통 반도체층인 것을 특징으로 하는 박막 반도체 장치.

청구항 5.

제1항에 있어서, 상기 박막 트랜지스터의 상기 반도체층은 상기 광전 변환 소자의 상기 반도체층으로부터 연장하는 것을 특징으로 하는 박막 반도체 장치.

청구항 6.

제2항에 있어서, 상기 광전 변환 소자의 상기 절연층과 상기 박막 트랜지스터의 상기 절연층은 공통 절연층인 것을 특징으로 하는 박막 반도체 장치.

청구항 7.

제2항에 있어서, 상기 박막 트랜지스터의 상기 절연층은 상기 광전 변환 소자의 상기 절연층으로부터 연장하는 것을 특징으로 하는 박막 반도체 장치.

청구항 8.

제1항에 있어서, 상기 박막 트랜지스터의 상기 제2 절연층의 폭은 상기 게이트 전극의 폭과 동일하거나 더 넓은 것을 특징으로 하는 박막 반도체 장치.

청구항 9.

제1항에 있어서, 상기 제2 절연층은 상기 반도체층 상에 형성된 제2 반도체 상에 제공된 것을 특징으로 하는 박막 반도체 장치.

청구항 10.

제9항에 있어서, 상기 제2 반도체는 다결정 반도체인 것을 특징으로 하는 박막 반도체 장치.

청구항 11.

제9항에 있어서, 상기 반도체층은 비정질 반도체이고 상기 제2 반도체는 다결정 반도체인 것을 특징으로 하는 박막 반도체 장치.

청구항 12.

제3항에 있어서, 상기 저항 접촉층은 반도체의 도전형을 제어할 수 있는 불순물을 포함하는 것을 특징으로 하는 박막 반도체 장치.

청구항 13.

제1항에 있어서, 상기 광전 변환 소자의 상기 제2 전극은 상기 박막 트랜지스터의 소스 및 드레인 전극 중 하나와 전기적으로 접속되는 것을 특징으로 하는 박막 반도체 장치.

청구항 14.

제1항에 있어서, 상기 광전 변환 소자의 상기 제2 전극은 상기 박막 트랜지스터의 상기 저항 접촉층으로부터 연장하는 것을 특징으로 하는 박막 반도체 장치.

청구항 15.

제1항에 있어서, 상기 광전 변환 소자의 제1 전극은 상기 박막 트랜지스터의 소스 및 드레인 전극 중 하나와 전기적으로 접속되는 것을 특징으로 하는 박막 반도체 장치.

청구항 16.

광전 변환 소자와 박막 트랜지스터를 구비한 박막 반도체 장치를 제조하기 위한 방법에 있어서,

기판 상에 제1 도전층을 형성하고 상기 도전층 상에 제1 전극 패턴을 형성함으로써, 상기 광전 변환 소자의 제1 전극과 배선을 형성하는 단계;

상기 제1 전극 패턴을 덮도록 순서대로 제1 절연층, 반도체층, 제2 절연층, 및 제2 도전층을 형성하는 단계;

상기 박막 트랜지스터의 게이트 전극을 형성하도록 상기 제2 도전층을 패터닝하는 단계;

상기 박막 트랜지스터의 게이트 절연막을 형성하도록 상기 제2 절연층을 패터닝하는 단계; 및

상기 패터닝된 상기 제2 도전층과 제2 절연층을 사용함으로써 저항 접촉층을 형성하는 단계

를 포함하는 것을 특징으로 하는 박막 반도체 장치 제조 방법.

청구항 17.

광전 변환 소자와 박막 트랜지스터를 구비한 박막 반도체 장치를 제조하기 위한 방법에 있어서,

기판 상에 제1 도전층을 형성하고 상기 도전층으로부터 제1 전극 패턴을 형성함으로써, 상기 광전 변환 소자의 제1 전극과 배선을 형성하는 단계;

상기 제1 전극 패턴을 덮도록 순서대로 제1 절연층, 반도체층, 제2 절연층, 및 제2 도전층을 형성하는 단계;

상기 박막 트랜지스터의 게이트 절연막을 형성하도록 상기 제2 절연층을 패터닝하는 단계; 및

상기 패터닝된 상기 제2 도전층을 사용함으로써 저항 접촉층을 형성하는 단계

를 포함하는 것을 특징으로 하는 박막 반도체 장치 제조 방법.

청구항 18.

제17항에 있어서, 상기 저항 접촉층의 형성 전에, 상기 패터닝된 제2 절연층 상에 게이트 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 박막 반도체 장치 제조 방법.

청구항 19.

제17항에 있어서, 상기 저항 접촉층의 형성 후에, 상기 저항 접촉층 상에 도전층을 제공한 후 상기 도전층을 패터닝하는 단계를 더 포함하는 것을 특징으로 하는 박막 반도체 장치 제조 방법.

청구항 20.

제18항에 있어서, 상기 저항 접촉층의 형성 후에, 상기 저항 접촉층 상에 도전층을 제공한 후 상기 도전층을 패터닝하는 단계를 더 포함하는 것을 특징으로 하는 박막 반도체 장치 제조 방법.

청구항 21.

제16항에 있어서, 상기 저항 접촉층을 형성하는 단계는 레지스트 재료가 상기 박막 트랜지스터의 상기 게이트 전극 상에 유지된 상태에서 수행되는 것을 특징으로 하는 박막 반도체 장치 제조 방법.

청구항 22.

제17항에 있어서, 상기 저항 접촉층을 형성하는 단계는 레지스트 재료가 상기 박막 트랜지스터의 게이트 절연막에 대응하는 상기 제2 절연막 상에 유지된 상태에서 수행되는 것을 특징으로 하는 박막 반도체 장치 제조 방법.

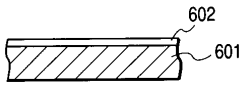
청구항 23.

제16항에 있어서, 상기 반도체층은 비정질 반도체이고, 상기 방법은 상기 반도체층의 형성 후에, 상기 반도체의 표면측의 최소한 일부를 다결정화하는 단계를 더 포함하는 것을 특징으로 하는 박막 반도체 장치 제조 방법.

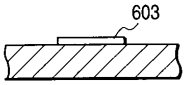
청구항 24.

제16항에 있어서, 상기 저항 접촉층을 형성하는 단계는 도전형을 제어하기 위한 물질을 다결정 반도체 안으로 유입함으로써 수행되는 것을 특징으로 하는 박막 반도체 장치 제조 방법.

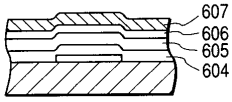
도면 1a



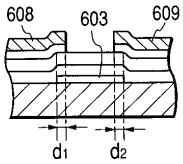
도면 1b



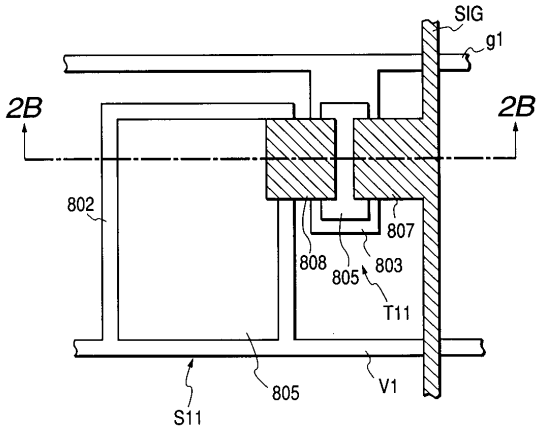
도면 1c



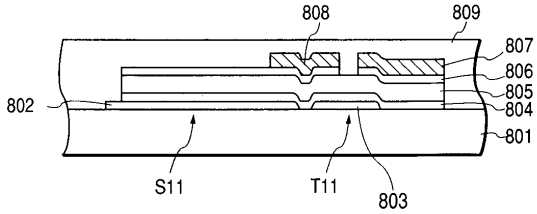
도면 1d



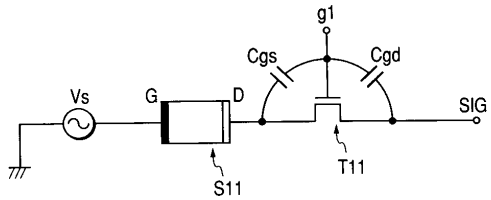
도면 2a



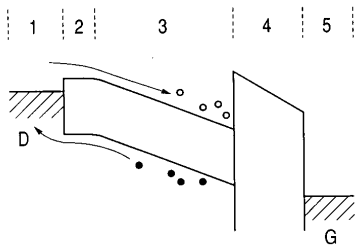
도면 2b



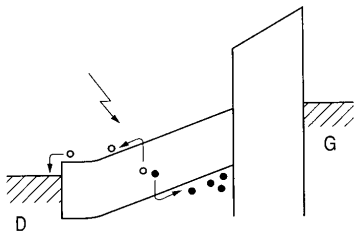
도면 3



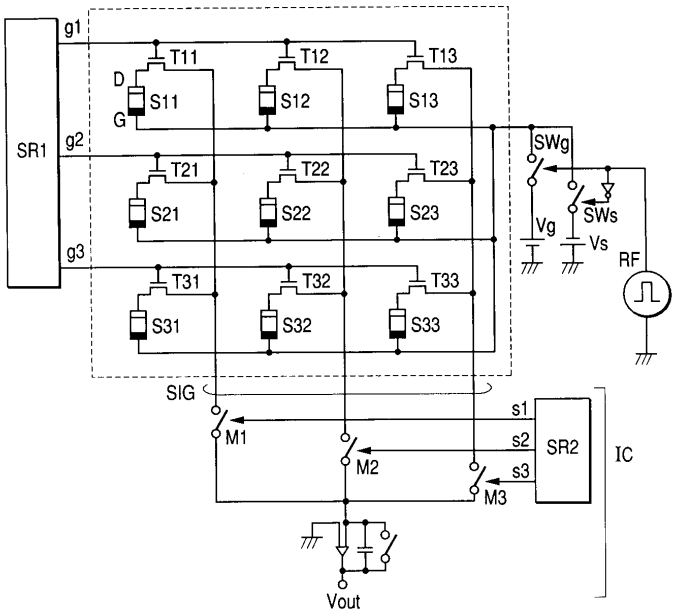
도면 4a



도면 4b



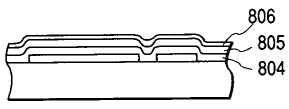
도면 5



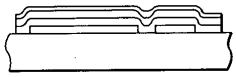
도면 6a



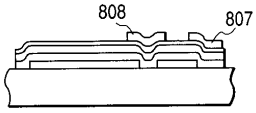
도면 6b



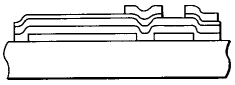
도면 6c



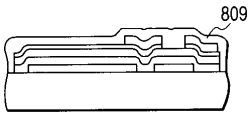
도면 6d



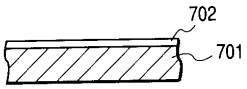
도면 6e



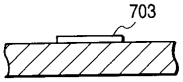
도면 6f



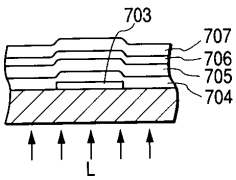
도면 7a



도면 7b

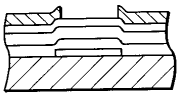


도면 7c

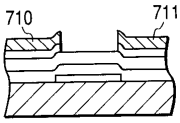


도면 7d

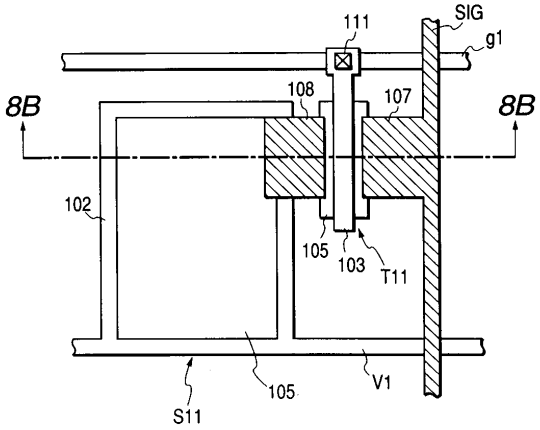
도면 7e



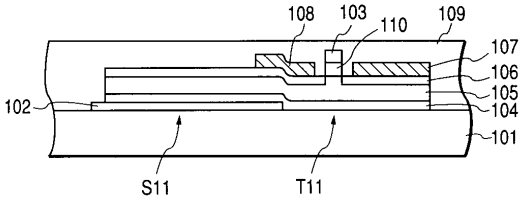
도면 7f



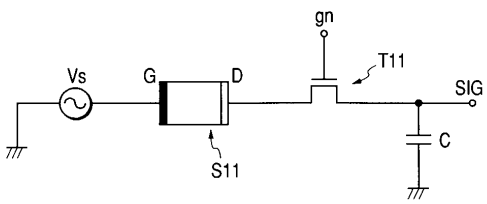
도면 8a



도면 8b



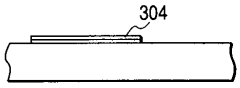
도면 9



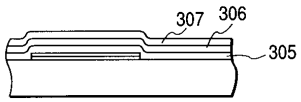
도면 10a



도면 10b



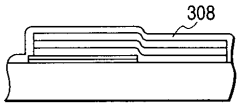
도면 10c



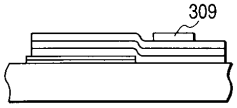
도면 10d



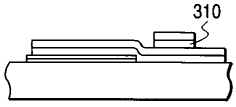
도면 10e



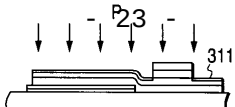
도면 10f



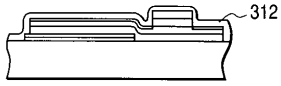
도면 10g



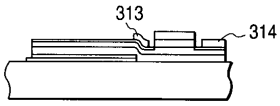
도면 10h



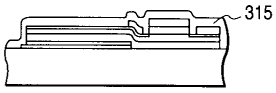
도면 10i



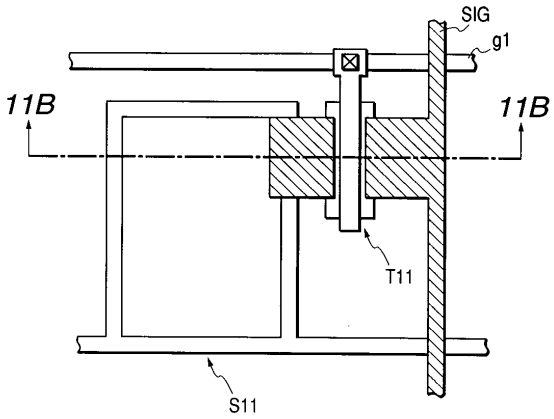
도면 10j



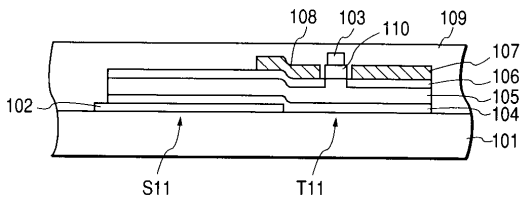
도면 10k



도면 11a



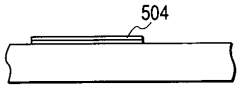
도면 11b



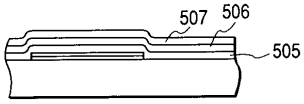
도면 12a



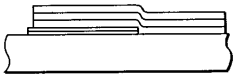
도면 12b



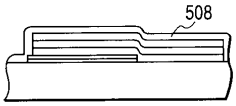
도면 12c



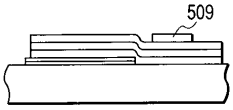
도면 12d



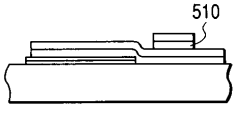
도면 12e



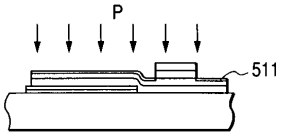
도면 12f



도면 12g

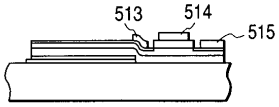


도면 12h

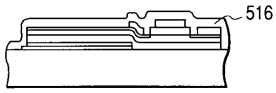


도면 12i

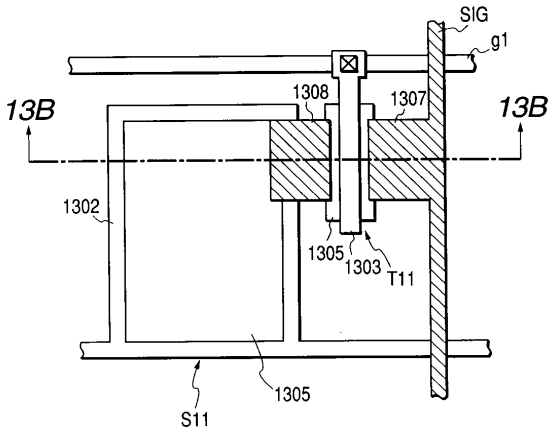
도면 12j



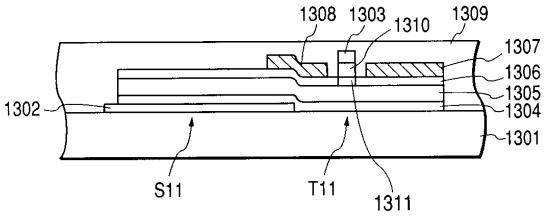
도면 12k



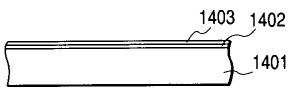
도면 13a



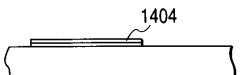
도면 13b



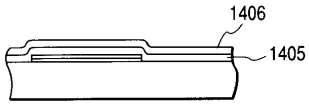
도면 14a



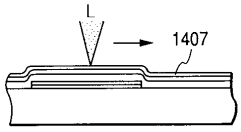
도면 14b



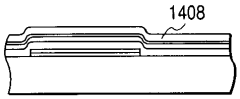
도면 14c



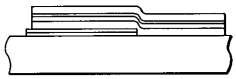
도면 14d



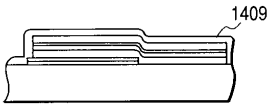
도면 14e



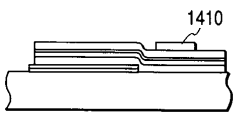
도면 14f



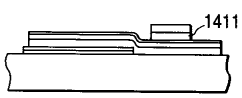
도면 14g



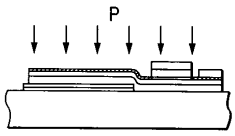
도면 14h



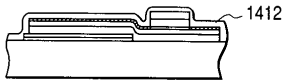
도면 14i



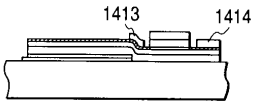
도면 14j



도면 14k



도면 14l



도면 14m

