(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3606991号
(P3606991)
(45)発行日　平成17年1月5日(2005.1.5)　(24)登録日　平成16年10月15日(2004.10.15)

(51)Int.Cl.[7]　F I
H01L 21/336　H01L 29/78　617V
H01L 21/318　H01L 21/318　C
H01L 29/786

請求項の数 1　(全 11 頁)

(21)出願番号　特願平8-58332
(22)出願日　平成8年2月20日(1996.2.20)
(65)公開番号　特開平9-232586
(43)公開日　平成9年9月5日(1997.9.5)
審査請求日　平成14年11月8日(2002.11.8)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　大堀　達也
東京都町田市森野２－１－８　サンコート町田２０３号
(72)発明者　竹井　美智子
神奈川県厚木市旭町４－１－５　古郡ハイツ１０８号
(72)発明者　張　宏勇
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　黒木　博
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
最終頁に続く

(54)【発明の名称】被膜作製方法

(57)【特許請求の範囲】
【請求項１】
Ｎチャネル型薄膜トランジスタの作製工程において、ゲイト絶縁膜を形成するに際して、処理室内の圧力を０．１～１０ｔｏｒｒに保持して結晶性珪素膜の表面を酸素プラズマに曝し、前記酸素プラズマに曝すことにより生じた不純物を前記処理室内の圧力を10^{-4}～10^{-5}ｔｏｒｒに保持することにより排出した後、前記酸素プラズマに曝された結晶性珪素膜の表面にＳｉＯＮ膜をゲイト絶縁膜として形成することを特徴とする被膜作製方法。
【発明の詳細な説明】
【０００１】
【発明が属する技術分野】
本発明は、絶縁基板上に形成される薄膜半導体を用いた絶縁ゲイト型電界効果半導体装置（一般に薄膜トランジスタまたはＴＦＴと呼ばれる）の構成、及びその作製方法に関する。
【０００２】
【従来技術】
安価なガラス基板上に薄膜トランジスタを作製してアクティブマトリクス型液晶表示装置を作製する技術がある。
【０００３】
アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数百万個もの各画素のそれぞれにＴＦＴを配置して、各画素電極に出入りする電荷をＴＦＴのスイッチング機

能により制御するものである。
【０００４】
画素部にマトリクス状に配置されたＴＦＴはその動作具合が液晶表示となって視覚的に確認できる。たとえば、ノーマリーブラックの液晶表示の場合、ＴＦＴが動作しない箇所は白色表示の際に、黒点となって表れる。
【０００５】
このように、ＴＦＴの動作不良は非常に外観を損ねるため、数百万個のＴＦＴすべてに高い信頼性が要求される。
【０００６】
ここで問題とされていることはゲート絶縁膜とその下に形成される半導体膜との間の界面での特性である。
【０００７】
これらの界面での電気的特性の悪さは、液晶表示装置における線欠陥を生じたり、ひいては表示装置における動作不良につながるためその特性の向上が求められている。
【０００８】
また結晶性珪素膜を用いたＴＦＴは、チャネル形成領域を構成する結晶性珪素膜が真性の場合、一般的にそのしきい値は０Ｖよりやや負（－）側にシフトされ、立ち上がり開始電圧が、Ｎチャネル型の場合、－２～－４Ｖぐらいになる傾向がある。その結果、ノーマリオン状態（ゲイト電圧が０Ｖであっても、ＯＮとなる状態）の傾向が著しくなる。
【０００９】
ノーマリオン状態になると、例えば、ＴＦＴをスイッチング素子として用いた場合、ゲイト電圧が０Ｖでも電流が流れてしまうため、スイッチをＯＦＦ状態にするめたには、ゲイト電圧を常に正（＋）側にバイアスにしておく必要が生じ、このＴＦＴを使用して構成された回路は、消費電流が大きくなり、またバイアス電圧印加用の回路を設ける必要が生じるなどの問題が生じてしまう。
【００１０】
この問題を解決するために、従来は、Ｎチャネル型のＴＦＴを作製する場合でも、チャネル形成領域を構成する結晶性珪素膜に対して、Ｐ型の不純物、例えば硼素をドープして、しきい値電圧を正（＋）側にシフトさせる、しきい値制御が行われている。その結果、ノーマリオフ状態（ゲイト電圧が０Ｖのとき、ＯＦＦとなる状態）のＴＦＴを作製することができる。しかし、しきい値制御を行うために、作製工程数が増加してしまい、製造コスト低下の妨げになっている。
【００１１】
【発明が解決しようとする課題】
本願発明はそれらの問題を解決し、ゲート絶縁膜とその下に形成される半導体膜との間の界面での電気的特性を向上させることを第１の目的とし、さらにしきい値電圧を正の方向へシフトさせる制御を可能とすることを第２の目的としたものである。
【００１２】
【課題を解決するための手段】
本発明は上記の課題を解決するため以下の構成とした。
絶縁膜を形成するに際して、予め被形成面を活性化した酸素に曝した後、前記被形成面上に絶縁膜を形成すること。
【００１３】
また薄膜トランジスタの作製工程において、絶縁膜を形成するに際して、半導体層を活性化した酸素に曝した後、前記半導体層上に絶縁膜を形成すること。
【００１４】
さらに薄膜トランジスタの作製工程において、絶縁膜がモノシラン、一酸化二窒素、及び酸素を原料として形成されること。
【００１５】
本発明では酸素を活性化させるため酸素を１００～３００ＳＣＣＭの流量で流し、高周波

（１３．５６ＭＨｚ）を５０～５００Ｗの出力の範囲で印加する。
またプラズマＣＶＤにかえて、ＬＰＣＶＤ法、光ＣＶＤ法、パルス波形を印加するプラズマＣＶＤ法等の気相法を用いることができる。
【００１６】
【実施例】
〔実施例１〕
本実施例は本発明がゲート絶縁膜とその下に形成される半導体膜との間の界面での電気的特性に及ぼす効果を示したものである。
【００１７】
まず、試料としてＰ型単結晶シリコンウエハー、抵抗率として２～３Ωｃｍのものを使用し、その上に$SiO_x N_y$ 膜（以下ＳｉＯＮ膜と略記する）を形成する前に酸素をプラズマ状態にして前記Ｐ型単結晶シリコンウエハーの表面を清浄にした。
【００１８】
このシリコンウエハーの表面を酸素プラズマで処理する条件につき以下に記す。まず処理室内の圧力を０．１～１０ｔｏｒｒ本実施例では０．３ｔｏｒｒに保持して、酸素を２００ＳＣＣＭの流量で流し、ＲＦパワーを１００Ｗ加えて酸素をプラズマ状態にした。このような方法によりシリコンウエハーの表面を酸素プラズマで処理した。この処理を３０秒～３分、本実施例では１分間行った。
【００１９】
その後処理室内を10^{-4}～10^{-5} ｔｏｒｒの真空度に保持して酸素プラズマ処理により生じた不純物を排出する。
本実施例ではこの操作を３回繰り返して実施した。つまり前記した不純物を排出した後、再び処理室内を０．３ｔｏｒｒに保持して、酸素を２００ＳＣＣＭの流量で流し、ＲＦパワーを１００Ｗ加えて酸素をプラズマ状態にし、１分間処理を行い、その後処理室内を10^{-4}～10^{-5} ｔｏｒｒの真空度に保持して酸素プラズマ処理により生じた不純物を排出する。そして再び酸素プラズマにより処理をして、酸素プラズマ処理により生じた不純物を排出する。
【００２０】
このように処理したシリコンウエハーの表面にＳｉＯＮ膜を１０００Åの厚さに形成した。
この時のＳｉＯＮ膜の成膜条件は次の通りである。
ＲＦパワー　２００Ｗ
ガス流量　SiH_4 ：１０ＳＣＣＭ　N_2O：２００ＳＣＣＭ
ガス圧力　０．３ｔｏｒｒ
成膜温度　３５０℃～４００℃
【００２１】
このような条件によりシリコンウエハー上にＳｉＯＮ膜を１０００Åの厚さに形成した。そしてシリコンウエハーにスパッタ法にてアルミニウム電極をウエハーに接して設け、加えてＳｉＯＮ膜上にも設けて測定用の試料を作製した。
【００２２】
そして本発明の効果を示すためＣ－Ｖ特性の測定を行った。その方法は先ず、１ＭＨｚの周波数、電圧－１０Ｖ～１０Ｖまで変化させて測定し、その後酸化珪素膜上のアルミニウム電極に－１７Ｖの電圧を加えて窒素雰囲気中、温度１５０℃にて１時間Ｂ－Ｔ処理を行った。その後再度、Ｃ－Ｖ特性の測定を１ＭＨｚの周波数、電圧－１０Ｖ～１０Ｖまで変化させて測定した。さらにこの後酸化珪素膜上のアルミニウム電極に＋１７Ｖの電圧を加えて窒素雰囲気中、温度１５０℃にて１時間Ｂ－Ｔ処理を行った。そして再度Ｃ－Ｖ特性の測定を１ＭＨｚの周波数、電圧－１０Ｖ～１０Ｖまで変化させて測定した。
【００２３】
これらの結果を図１（Ａ）に示す。
図中Ｉｎと表示したものが、ＢＴ処理をしていないもの、－ＢＴとしたものが－１７Ｖの

電圧を加えてＢ－Ｔ処理をしたもの、＋ＢＴとしたものが、＋１７Ｖの電圧を加えてＢ－Ｔ処理をしたものである。

【００２４】

比較のため本発明の酸素プラズマ処理を実施しないもののＣ－Ｖ特性の測定結果を（Ｂ）に示す。

本発明の酸素プラズマ処理を施すことにより、酸素プラズマ処理なしに比べてフラットバンド電圧が正の方向へ移動していることがわかり、ＢＴシフトも小さくなっていることがわかる。つまり界面状態が良好となっていることがわかる。

【００２５】

また本実施例で作製した試料によって得られた電界強度と電流との関係を、電界強度を横軸に電流を縦軸にとって、示したものを図２（Ａ）（Ｂ）に示した。この場合も（Ｂ）は比較のため酸素プラズマ処理を実施しないものの測定結果である。

【００２６】

酸素プラズマ処理を実施したものは実施しないものに比較してリーク電流が小さいことがわかる。

また図３に本実施例の試料につきシリコンウエハーとＳｉＯＮ膜との界面の炭素原子についてのＳＩＭＳによるデプスプロフアイルを示す。また比較として図４に酸素プラズマ処理を施さないもののデプスプロフアイルを示す。

【００２７】

この結果酸素プラズマ処理を施した場合にはシリコンウエハーとＳｉＯＮ膜との界面での炭素濃度が低くなっていることがわかる。これは酸素プラズマ処理によってＳｉＯＮ膜成膜前にシリコンウエハー表面の有機汚染物が清浄化されたためと考えられる。

【００２８】

また本実施例ではＲＦパワーを１００Ｗ加えて酸素をプラズマ状態にしたが、ＲＦパワーを２００Ｗ、及び３００Ｗとした時も本実施例と同様な効果が表れた。図７に本発明の酸素プラズマ処理を施さない場合（ＲＦパワーが０の時のもの）とＲＦパワーを１００Ｗ、２００Ｗ、３００Ｗのそれぞれの場合のフラットバンド電圧を示す。

【００２９】

いずれにおいても本発明によりシリコンウエハーとＳｉＯＮ膜との界面の特性が向上していることがわかる。

【００３０】

〔実施例２〕

本実施例は本発明をＮチャネル型薄膜トランジスタの作製に実施した例を示す。

図５に本実施例の作製工程を示す。まず、無アルカリガラス基板（例えばコーニング７０５９ガラス基板やコーニング１７３７ガラス基板）５０１上に下地膜５０２として、酸化珪素膜または酸化窒化珪素膜を成膜する。この下地膜の厚さは３０００Åとする。

【００３１】

酸化珪素膜は、酸素とシランとを用いたプラズマＣＶＤ法、またはＴＥＯＳを用いたプラズマＣＶＤ法で成膜する。また酸化窒化珪素膜は、酸素とシランとN_2　Ｏガスとを用いたプラズマＣＶＤ法、またはＴＥＯＳとN_2　Ｏガスとを用いたプラズマＣＶＤ法で成膜する。

【００３２】

次に図示しない非晶質珪素膜をプラズマＣＶＤ法または減圧熱ＣＶＤ法で成膜する。ここではプラズマＣＶＤ法を用い、５００Åの厚さに非晶質珪素膜を成膜する。

【００３３】

そして加熱処理またはレーザー光の照射またはその両者を組み合わせた方法を用いて、非晶質珪素膜を結晶化させ、結晶性珪素膜に変成する。

【００３４】

さらにこの結晶性珪素膜をパターニングすることによって、後に薄膜トランジスタの活性層となる島状にパターニングされた領域５０３を形成する。そしてさらにこの上にゲイト

絶縁膜５０４として機能するＳｉＯＮ膜を１５００Åの厚さに形成する。このゲイト絶縁膜５０４は酸化珪素膜や窒化珪素膜であっても良いが、信頼性をより高めるためにはＳｉＯＮ膜を用いるのが好ましい。

【００３５】

このＳｉＯＮ膜の作製を以下に記す。

ＳｉＯＮ膜の作製に際して、まず処理室内の圧力を０．１～１０ｔｏｒｒ本実施例では０．３ｔｏｒｒに保持して、酸素を２００ＳＣＣＭの流量で流し、ＲＦパワーを１００Ｗ加えて酸素をプラズマ状態にした。このような方法により結晶性珪素膜の表面を酸素プラズマで処理した。この処理を３０秒～３分、本実施例では１分間行った。

【００３６】

その後処理室内を10^{-4}～10^{-5}ｔｏｒｒの真空度に保持して酸素プラズマ処理により生じた不純物を排出する。

このような処理を実施例１に示したように合計３回繰り返した。

そしてこのように処理した結晶性珪素膜の表面にＳｉＯＮ膜を１５００Åの厚さに形成した。

【００３７】

この時のＳｉＯＮ膜の成膜条件は次の通りである。

ＲＦパワー　２００Ｗ

ガス流量　SiH_4：１０ＳＣＣＭ　N_2O：２００ＳＣＣＭ

ガス圧力　０．３ｔｏｒｒ

成膜温度　３５０℃～４００℃

【００３８】

このような条件によりシリコンウエハー上にＳｉＯＮ膜を１０００Åの厚さに形成した。こうして図５（Ａ）に示す状態を得る。

【００３９】

次にゲイト電極を構成するためのアルミニウム膜５０５を４０００Åの厚さにスパッタ法で成膜する。このアルミニウム膜中にスカンジウムを０．２重量％含有させてもよい。

【００４０】

このゲイト電極を構成するアルミニウム膜５０５を形成するに際して、このゲイト絶縁膜５０４であるＳｉＯＮ膜に対して温度３００℃、圧力10^{-6}ｔｏｒｒで加熱処理を行い、その後ゲイト絶縁膜５０４上にゲイト電極となるアルミニウム膜５０５をスパッタ法で形成することはゲイト電極とゲイト絶縁膜との界面特性を向上させる上では有効である。

【００４１】

そして，公知のフォトリソグラフィー工程により、レジストマスクを形成し、さらにエッチングを行う。こうしてアルミニウムであるパターン（ゲイト電極）５０７を得る。（図５（Ｃ））

【００４２】

次に図５（Ｃ）に示すようにゲイト電極５０７を陽極とした陽極酸化を行い、緻密な膜質を有する陽極酸化膜５０８を８００Åの厚さに成膜する。この陽極酸化膜５０８は、ゲイト電極の表面や側面におけるヒロックの発生を抑制するために機能する。

【００４３】

この緻密な陽極酸化膜は、その厚さが５００Å以上あれば問題ないことが判明している。この緻密な陽極酸化膜は、電解溶液として３％の酒石酸を含んだエチレングルコール溶液を用い、この溶液中において、アルミニウムパターンを陽極として、白金を陰極として行われる。この陽極酸化膜の厚さは印加する電圧によって制御することができる。

【００４４】

次に図５（Ｄ）に示す工程において、ソース及びドレイン領域を形成するための不純物イオンの注入を行う。この工程においては、ソース／ドレイン領域を形成するための条件で不純物イオンの注入を行う。ここでは、基板の全面にＰイオンの注入をプラズマドーピング法で行う。（図５（Ｄ））

【００４５】
上記不純物イオンの注入が終了したら、レーザー光の照射によるアニールをソース及びドレイン領域に対して行う。
【００４６】
この工程でソース領域５０９とチャネル形成領域５１０とドレイン領域５１１とが自己整合的に形成される。
【００４７】
この工程において、ゲイト電極５０７の上部は、不純物イオンの注入によるヒロック発生の抑制措置が施されている。また陽極酸化膜５０８の存在によるヒロック発生の抑制素子が施されている。ゲイト電極の表面におけるヒロックの発生は抑制される。
【００４８】
また、ゲイト電極５０７の側面には、陽極酸化膜５０８が形成されているので、そこでのヒロックの発生も抑制される。
【００４９】
なお、ゲイト電極５０７の側面においては、陽極酸化膜のみの抑制効果であるので、その効果が懸念される。しかし、そもそもゲイト電極側面の面積は小さいので、陽極酸化膜による抑制効果で十分である。
【００５０】
次に図５（Ｅ）に示すように層間絶縁膜５１２として酸化珪素膜または酸化窒化珪素膜を成膜する。この工程において、成膜時の加熱が行われる。
【００５１】
この工程においても不純物イオンの注入による抑制効果と陽極酸化膜の形成による抑制効果により、ゲイト電極（及びそこから延在したゲイト配線）の表面にヒロックが発生してしまうことを抑制することができる。
【００５２】
この後層間絶縁膜５１２に対してコンタクトホールの形成を行った。
そしてソース電極５１３およびドレイン電極５１４となるアルミニウム膜を形成した。
この時この層間絶縁膜に対して温度３００℃、圧力10^{-6}ｔｏｒｒで加熱処理を行いソース電極およびドレイン電極となるアルミニウム膜をスパッタ法で形成することはアルミニウム膜のステップカバレジを良くするためには有効である。
【００５３】
またゲイト電極５０７に対するコンタクトホールの形成も同時に行われる。この際、ゲイト電極の表面には２度にわたり不純物イオンが注入され、ヒロックの発生を抑制する対策を講じられているので、この工程におけるヒロックの発生を抑制することができる。
【００５４】
そして最後に３００℃～４００℃、ここでは３５０℃の水素雰囲気中での加熱処理を行い薄膜トランジスタを完成させる。この工程においても、ヒロックの発生を抑制することができる。
【００５５】
以上の如く本発明を利用してＮチャネル型薄膜トランジスタを完成させた。
この薄膜トランジスタについてしきい値電圧を測定したところ０．３Ｖの結果となった。
比較のため本発明を実施しないで作製したＮチャネル型薄膜トランジスタのしきい値電圧は－１．１Ｖであった。これより本発明を実施したことによりしきい値電圧が正方向へシフトした薄膜トランジスタが得られることがわかる。
【００５６】
また本実施例では、酸素プラズマを作りだす時のＲＦパワーを１００Ｗにしたが、このＲＦパワーを２００Ｗ、および３００Ｗとして得られた薄膜トランジスタのしきい値電圧をＲＦパワーを１００Ｗとした時のものと合わせて図６に示した。ＲＦパワー０の時が本発明を実施しないときのしきい値電圧を示している。何れのＲＦパワーにおいても本発明の効果が表れていることがわかる。

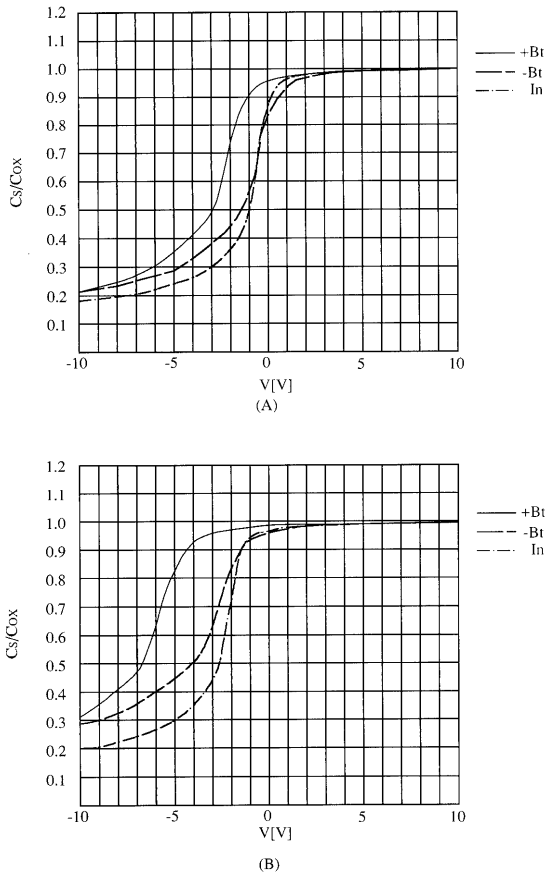
【００５７】
〔実施例３〕
本実施例はＳｉＯＮ膜を作製する際に、酸素を添加して作製した例を示す。
本実施例で得られたＳｉＯＮ膜の評価を行うため、実施例１と同様な方法によりＣ－Ｖ特性の測定および電界強度と電流との関係を測定した。
【００５８】
まず、試料としてＰ型単結晶シリコンウエハー、抵抗率として２～３Ωｃｍのものを準備し、その上にＳｉＯＮ膜を形成する。
シリコンウエハーの表面に形成するＳｉＯＮ膜は、１０００Åの厚さに形成した。
【００５９】
この時のＳｉＯＮ膜の成膜条件は次の通りである。

ＲＦパワー	２００Ｗ
ガス流量	SiH_4：１０ＳＣＣＭ　N_2O：１８０ＳＣＣＭ
	O_2：２０ＳＣＣＭ
ガス圧力	０．３ｔｏｒｒ
成膜温度	３５０℃～４００℃

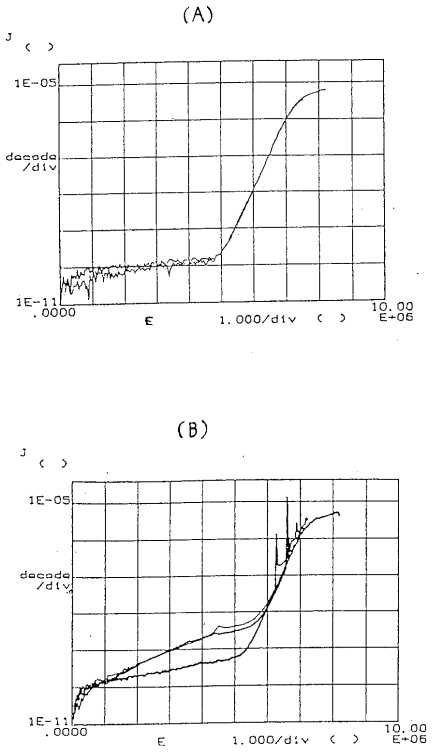
このような条件によりシリコンウエハー上にＳｉＯＮ膜を１０００Åの厚さに形成した。
【００６０】
そしてシリコンウエハーにスパッタ法にてアルミニウム電極をウエハーに接して設け、加えてＳｉＯＮ膜上にもアルミニウム電極を設けて測定用の試料を作製した。
【００６１】
そして本発明の効果を示すためＣ－Ｖ特性の測定を行った。その方法は先ず、１ＭＨｚの周波数、電圧を－１０Ｖ～１０Ｖまで変化させて測定し、その後酸化珪素膜上のアルミニウム電極に－１７Ｖの電圧を加えて窒素雰囲気中、温度１５０℃にて１時間Ｂ－Ｔ処理を行った。その後再度、Ｃ－Ｖ特性の測定を１ＭＨｚの周波数、電圧－１０Ｖ～１０Ｖまで変化させて測定した。さらにこの後酸化珪素膜上のアルミニウム電極に＋１７Ｖの電圧を加えて窒素雰囲気中、温度１５０℃にて１時間Ｂ－Ｔ処理を行った。そして再度Ｃ－Ｖ特性の測定を１ＭＨｚの周波数、電圧－１０Ｖ～１０Ｖまで変化させて測定した。
【００６２】
これらの結果を図７（Ａ）に示す。
図中Ｉｎと表示したものが、ＢＴ処理をしていないもの、－ＢＴとしたものが－１７Ｖの電圧を加えてＢ－Ｔ処理をしたもの、＋ＢＴとしたものが、＋１７Ｖの電圧を加えてＢ－Ｔ処理をしたものである。
【００６３】
比較のため本発明による酸素を添加させないで成膜したＳｉＯＮ膜に対してＣ－Ｖ特性の測定を行った場合の結果を図７（Ｂ）に示す。その場合の成膜条件は以下の通り。
ＲＦパワー　２００Ｗ
ガス流量　SiH_4：１０ＳＣＣＭ　N_2O：２００ＳＣＣＭ
ガス圧力　０．３ｔｏｒｒ
成膜温度　３５０℃～４００℃
【００６４】
本発明によに酸素を添加した場合には、酸素を添加しない場合に比べてフラットバンド電圧が正の方向へ移動していることがわかり、ＢＴシフトも小さくなっていることがわかる。
【００６５】
また本実施例で作製した試料によって得られた電界強度と電流との関係を、電界強度を横軸に電流を縦軸にとって、示したものを図８（Ａ）（Ｂ）に示した。この場合も（Ｂ）は

比較のため酸素を添加しないで成膜したＳｉＯＮ膜に対してのものの測定結果である。
【００６６】
酸素を添加して成膜したものは、実施しないものに比較してリーク電流が小さいことがわかる。
また本実施例ではSiH_4／N_2　Ｏ／O_2　を１０／１８０／２０ＳＣＣＭという条件で成膜した場合の例を示したが、SiH_4／N_2　Ｏ／O_2　を１０／１６０／４０ＳＣＣＭという条件で成膜した場合も同様な効果がみられた。
【００６７】
【本発明の効果】
絶縁膜を形成するに際して、予め被形成面を活性化した酸素に曝した後、前記被形成面上に絶縁膜を形成することにより、活性化した酸素に曝さない場合に比べてフラットバンド電圧が正の方向へ移動していることがわかり、ＢＴシフトも小さくなっており、界面状態を良好とすることが可能である。
【００６８】
薄膜トランジスタの作製工程において、絶縁膜を形成するに際して、半導体層を活性化した酸素に曝した後、前記半導体層上に絶縁膜を形成することにより、活性化した酸素に曝さない場合に比べてフラットバンド電圧が正の方向へ移動していることがわかり、ＢＴシフトも小さくなっており、界面状態を良好とすることが可能である。
【００６９】
薄膜トランジスタの作製工程において、絶縁膜がモノシラン、一酸化二窒素、及び酸素を原料として形成されることによりしきい値電圧が正方向へシフトさせることができ、しきい値電圧の制御が可能になった。
【図面の簡単な説明】
【図１】Ｃ－Ｖ特性を示す図
【図２】電界強度と電流との関係を示す図
【図３】ＳＩＭＳのデプスプロファイルを示す図
【図４】ＳＩＭＳのデプスプロファイルを示す図
【図５】薄膜トランジスタの作製工程を示す図
【図６】ＲＦパワーに対するしきい値電圧を示す図
【図７】ＲＦパワーに対するフラットバンド電圧を示す図
【図８】Ｃ－Ｖ特性を示す図
【図９】電界強度と電流との関係を示す図
【符号の説明】
５０１　ガラス基板
５０２　下地膜
５０３　活性層
５０４　ゲイト絶縁膜
５０５　アルミニウム膜
５０７　ゲイト電極
５０８　陽極酸化膜
５０９　ソース領域
５１０　チャネル形成領域
５１１　ドレイン領域
５１２　層間絶縁膜
５１３　ソース電極
５１４　ドレイン電極

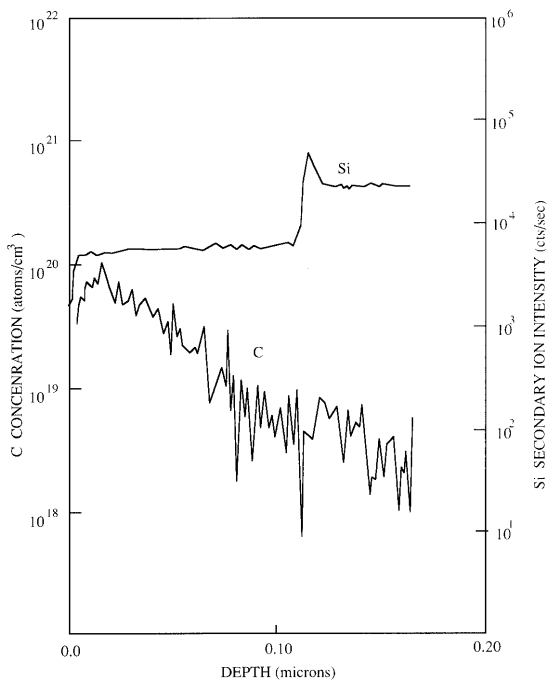
【図１】


Cs/Cox
V[V]
+Bt
-Bt
In
(A)
(B)

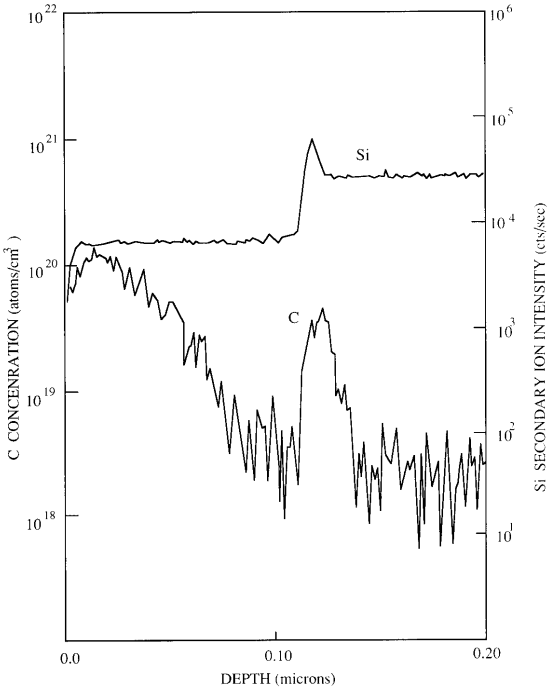
【図２】


(A)
(B)
1E-05
decade /div
1E-11
.0000
1.000/div
10.00
E+06

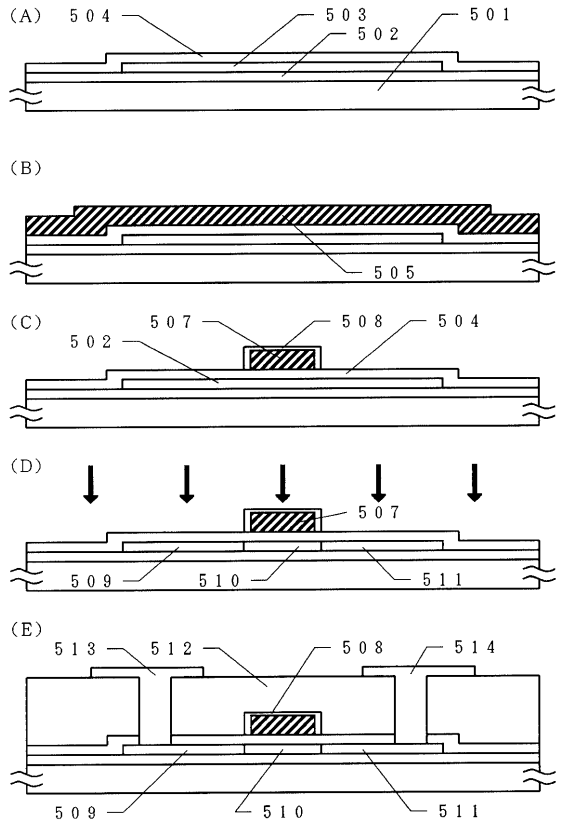
【図３】


C CONCENRATION (atoms/cm3)
Si SECONDARY ION INTENSITY (cts/sec)
Si
C
DEPTH (microns)
0.0
0.10
0.20

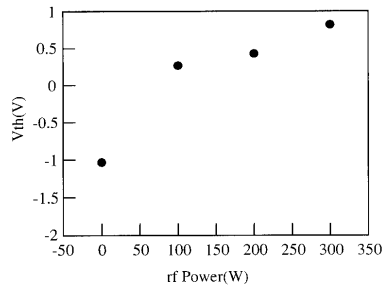
【図４】


C CONCENRATION (atoms/cm3)
Si SECONDARY ION INTENSITY (cts/sec)
Si
C
DEPTH (microns)
0.0
0.10
0.20

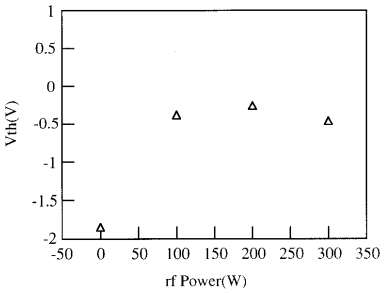
【図５】


(A)
５０４
５０３
５０２
５０１
(B)
５０５
(C)
５０７
５０８
５０４
５０２
(D)
５０７
５０９
５１０
５１１
(E)
５１３
５１２
５０８
５１４
５０９
５１０
５１１

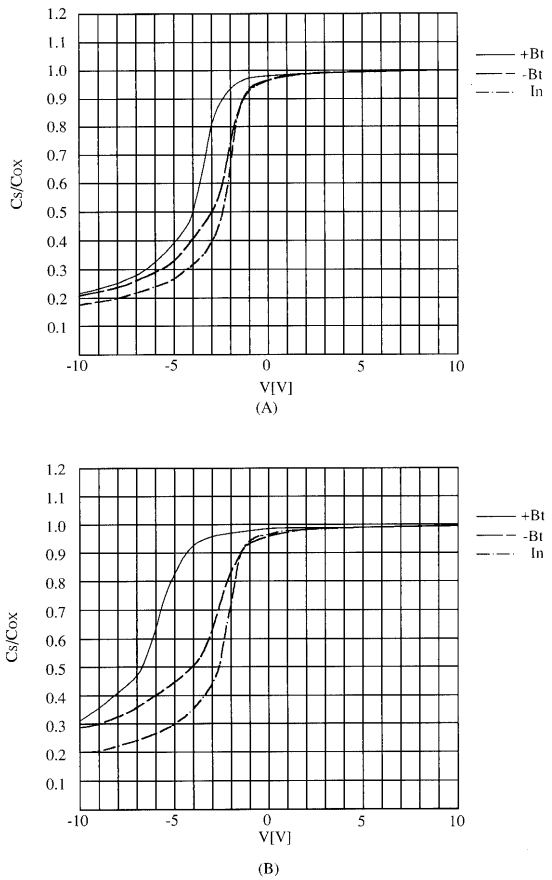
【図６】


Vth(V)
rf Power(W)

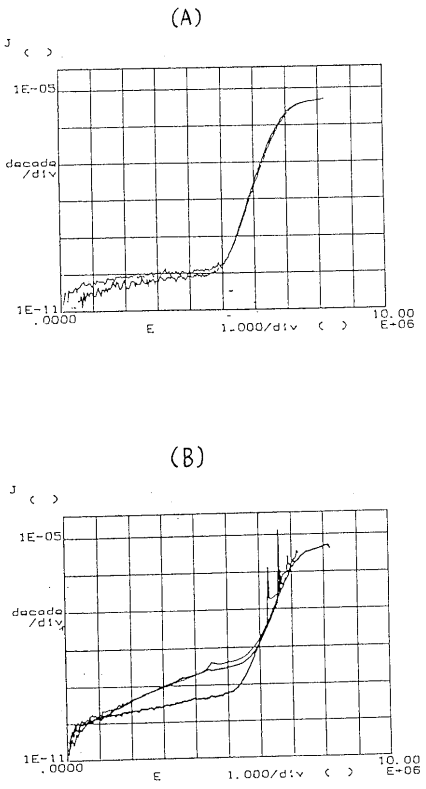
【図７】


Vth(V)
rf Power(W)

【図８】


+Bt
-Bt
In
Cs/Cox
V[V]
(A)
(B)

【図９】


(A)
(B)
1E-05
decade /div
1E-11
.0000
E
1.000/div
10.00
E-06

フロントページの続き

審査官　綿引　隆

(56)参考文献　特開平０４－０４３６４２（ＪＰ，Ａ）
特開平０６－０４５５９３（ＪＰ，Ａ）
特開平０７－０９４７５６（ＪＰ，Ａ）
特開平０５－２２６３６２（ＪＰ，Ａ）
特開平０７－２０９６７２（ＪＰ，Ａ）
特開平０８－１９５４９４（ＪＰ，Ａ）
特開平０５－２９１２２０（ＪＰ，Ａ）
特開平０４－１８１７３９（ＪＰ，Ａ）
特開平０４－００７８４３（ＪＰ，Ａ）
特開昭６３－０９０１３８（ＪＰ，Ａ）
特開昭６２－０９２３２９（ＪＰ，Ａ）
特開昭６３－０１５４６８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/316
H01L 21/318
H01L 21/336
H01L 29/786