

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6762775号
(P6762775)

(45) 発行日 令和2年9月30日 (2020.9.30)

(24) 登録日 令和2年9月11日 (2020.9.11)

(51) Int. Cl.	F I
H04N 5/232 (2006.01)	H04N 5/232 290
G06T 1/60 (2006.01)	G06T 1/60 450B
H04N 1/387 (2006.01)	H04N 1/387

請求項の数 12 (全 20 頁)

(21) 出願番号	特願2016-122050 (P2016-122050)	(73) 特許権者	000001007
(22) 出願日	平成28年6月20日 (2016.6.20)		キヤノン株式会社
(65) 公開番号	特開2017-228849 (P2017-228849A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成29年12月28日 (2017.12.28)	(74) 代理人	100076428
審査請求日	令和1年6月14日 (2019.6.14)		弁理士 大塚 康德
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 画像処理装置、撮像装置、制御方法及びプログラム

(57) 【特許請求の範囲】

【請求項1】

入力された処理対象の対象画像に対し、第1の画像処理を実行し、処理結果の第1の画像を記憶手段に書き込む第1の処理手段と、

前記記憶手段に書き込まれた前記第1の画像を読み出し、該第1の画像に対し、前記第1の画像処理と異なる第2の画像処理を実行し、処理結果である第2の画像を出力する第2の処理手段と、

前記第1の処理手段と前記第2の処理手段とを制御する制御手段と、を有し、

前記第1の画像処理は、前記対象画像を分割することで得られる複数のブロックのそれぞれに含まれる画像信号に対して実行されるものであり、

前記第2の画像処理は、前記第1の画像を分割することで得られる複数のブロックのそれぞれに含まれる画像信号に対して、当該ブロックに含まれる画像信号と当該ブロックの外の参照領域に含まれる画像信号とを読み出して実行されるものであり、

前記制御手段は、前記第2の処理手段による前記第1の画像の読み出しを、前記第1の処理手段による該第1の画像の書き込みと並行して行うよう制御し、

前記対象画像は、前記第1の画像処理を実行するためにサイズの異なる複数のブロックに分割されるものであって、

前記制御手段は、前記対象画像の前記第1の画像処理が最初に実行されるブロックとこれに隣接するブロックを分割する位置を、前記第1の画像処理が最初に実行されるブロックに、前記第1の画像の前記第2の画像処理が最初に実行されるブロックに対して読み出

10

20

される前記参照領域が含まれるように設定することを特徴とする画像処理装置。

【請求項 2】

前記制御手段は、前記第 2 の処理手段による前記第 1 の画像の画素の読み出しが、前記第 1 の処理手段による該画素の書き込みよりも前になされないよう制御することを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】

前記制御手段は、前記第 1 の画像処理が最初に実行されるブロックの大きさと前記第 2 の画像処理が最初に実行されるブロックの大きさを、少なくとも前記第 1 の画像処理の実行後の前記第 2 の処理手段による前記第 1 の画像の画素の読み出しにおいて、前記第 1 の処理手段による該画素の書き込みを待機する必要があるよう設定することを特徴とする請求項 1 に記載の画像処理装置。

10

【請求項 4】

前記制御手段は、前記第 1 の画像を複数のブロックに分割する際の各ブロックの大きさを、前記第 2 の処理手段の少なくともいずれかの処理性能に基づいて設定することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の画像処理装置。

【請求項 5】

前記処理性能は、前記第 2 の処理手段が単位時間あたりに処理可能な画素数であることを特徴とする請求項 4 に記載の画像処理装置。

【請求項 6】

20

前記制御手段は、前記第 1 の画像を分割することで得られるブロック数を、前記記憶手段からの画像の読み出しに係り使用可能な帯域幅に基づいて設定することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の画像処理装置。

【請求項 7】

前記制御手段は、前記対象画像を分割することで得られるブロック数と前記第 1 の画像を分割することで得られるブロック数を同数とすることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の画像処理装置。

【請求項 8】

前記制御手段は、前記第 1 の画像を分割することで得られるブロック数を、前記対象画像を分割することで得られるブロック数よりも多くすることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の画像処理装置。

30

【請求項 9】

前記第 2 の画像処理は、幾何変形を行う処理を含むことを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の画像処理装置。

【請求項 10】

撮像を行い、対象画像を出力する撮像手段と、
請求項 1 乃至 9 のいずれか 1 項に記載の画像処理装置と、
を有することを特徴とする撮像装置。

【請求項 11】

入力された処理対象の対象画像に対し、第 1 の画像処理を実行し、処理結果の第 1 の画像を記憶手段に書き込む第 1 の処理工程と、

40

前記記憶手段に書き込まれた前記第 1 の画像を読み出し、該第 1 の画像に対し、前記第 1 の画像処理と異なる第 2 の画像処理を実行し、処理結果の第 2 の画像を出力する第 2 の処理工程と、

前記第 1 の処理工程と前記第 2 の処理工程とを制御する制御工程と、を有し、

前記第 1 の画像処理は、前記対象画像を分割することで得られる複数のブロックのそれぞれに含まれる画像信号に対して実行されるものであり、

前記第 2 の画像処理は、前記第 1 の画像を分割することで得られる複数のブロックのそれぞれに含まれる画像信号に対して、当該ブロックに含まれる画像信号と当該ブロックの外の参照領域に含まれる画像信号とを読み出して実行されるものであり、

50

前記制御工程において、前記第2の処理工程における前記第1の画像の読み出しを、前記第1の処理工程における該第1の画像の書き込みと並行して行うよう制御され、

前記対象画像は、前記第1の画像処理を実行するためにサイズの異なる複数のブロックに分割されるものであって、

前記制御工程において、前記対象画像の前記第1の画像処理が最初に実行されるブロックとこれに隣接するブロックを分割する位置は、前記第1の画像処理が最初に実行されるブロックに、前記第1の画像の前記第2の画像処理が最初に実行されるブロックに対して読み出される前記参照領域が含まれるように設定されることを特徴とする画像処理装置の制御方法。

【請求項12】

コンピュータを、請求項1乃至9のいずれか1項に記載の画像処理装置の各手段として機能させるためのプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像処理装置、撮像装置、制御方法及びプログラムに関し、特にメモリへの書き込みと該メモリからの読み出しの工程を含む画像処理の制御技術に関する。

【背景技術】

【0002】

近年、デジタルカメラ等で用いられる撮像素子の多画素化に伴い、一般的に流通する画像も多画素化し、データ量が増加傾向にある。このような画像につき画像処理を行う場合、画像をブロック分割して、全体の処理時間を低減する手法が用いられることもある。特許文献1には、複数の工程（撮影、圧縮、転送、伸長、表示等）を有する画像処理を、分割したブロックごとに行う際に、複数のブロックについて同時実行される工程がないよう、各ブロックの処理に時間差を設けるよう制御する技術が開示されている。

【0003】

また、一連の画像処理が複数の画像処理回路により実現される場合や、中間データが別処理に利用される場合等、一連の画像処理の実行過程において、データのメモリへの書き込み及びメモリからの読み出し動作を含むこともある。このような場合、メモリへの前データ書き込みの完了を待ってからデータ読み出しを行って後続の画像処理を行うのでは、その待機時間分、処理に要する時間が増大する。これに対し特許文献2には、メモリへのデータ書き込みとデータ読み出しとを並行実行可能とし、読み出しアドレスが現在書き込みが行われている書き込みアドレスを追い越さないよう制御する技術が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-74371号公報

【特許文献2】特開2008-117135号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1及び2に記載の技術では、開始前に分割したブロック単位で一連の画像処理を実行するものであるため、好適に処理時間の低減ができない場合がある。例えば1つのブロックにつき、該ブロックの周辺画素を参照する処理が1つの工程として含まれる場合、該周辺画素を有する他のブロックの処理が完了し、少なくとも該画素がメモリに書き込まれるまで、上記1つのブロックに係る処理を待機させる必要がある。

【0006】

本発明は、上述の問題点に鑑みてなされたものであり、画像の分割を伴う一連の画像処理に要する処理時間を低減する画像処理装置、撮像装置、制御方法及びプログラムを目的とする。

10

20

30

40

50

【課題を解決するための手段】

【0007】

前述の目的を達成するために、本発明の画像処理装置は、入力された処理対象の対象画像に対し、第1の画像処理を実行し、処理結果の第1の画像を記憶手段に書き込む第1の処理手段と、記憶手段に書き込まれた第1の画像を読み出し、該第1の画像に対し、第1の画像処理と異なる第2の画像処理を実行し、処理結果である第2の画像を出力する第2の処理手段と、第1の処理手段と第2の処理手段とを制御する制御手段と、を有し、第1の画像処理は、対象画像を分割することで得られる複数のブロックのそれぞれに含まれる画像信号に対して実行されるものであり、第2の画像処理は、第1の画像を分割することで得られる複数のブロックのそれぞれに含まれる画像信号に対して、当該ブロックに含まれる画像信号と当該ブロックの外の参照領域に含まれる画像信号を読み出して実行されるものであり、制御手段は、第2の処理手段による第1の画像の読み出しを、第1の処理手段による該第1の画像の書き込みと並行して行うよう制御し、対象画像は、第1の画像処理を実行するためにサイズの異なる複数のブロックに分割されるものであって、制御手段は、対象画像の第1の画像処理が最初に実行されるブロックとこれに隣接するブロックを分割する位置を、第1の画像処理が最初に実行されるブロックに、第1の画像の第2の画像処理が最初に実行されるブロックに対して読み出される参照領域が含まれるように設定することを特徴とする。

10

【発明の効果】

【0008】

20

このような構成により本発明によれば、画像の分割を伴う一連の画像処理に要する処理時間を低減することが可能となる。

【図面の簡単な説明】

【0009】

【図1】本発明の実施形態に係るデジタルカメラ120の機能構成を例示したブロック図

【図2】本発明の実施形態に係るデータ転送部106の内部構成例を示したブロック図

【図3】データ転送部106における追い越し制御を説明するための図

【図4】本発明の実施形態に係る第1画像処理部103の内部構成例を示したブロック図

【図5】本発明の実施形態に係る第2画像処理部104の内部構成例を示したブロック図

【図6】本発明の実施形態に係る幾何変形部504の内部構成例を示したブロック図

30

【図7】周辺画素の参照が必要な画像処理の一例を説明するための図

【図8】周辺画素の参照が必要な画像処理の一例を説明するための別の図

【図9】本発明の実施形態及び変形例1に係るブロック分割態様を例示した図

【図10】本発明の実施形態に係る第2画像処理部104におけるブロックのサイズ及び数の決定方法を例示したフローチャート

【図11】本発明の実施形態に係る一連の画像処理を例示したタイミングチャート

【図12】本発明の変形例2に係るブロック分割態様を例示した図

【図13】本発明の変形例2に係る一連の画像処理を例示したタイミングチャート

【図14】本発明の実施形態のデジタルカメラ120において実行されるブロック設定処理を例示したフローチャート

40

【発明を実施するための形態】

【0010】

[実施形態]

以下、本発明の例示的な実施形態について、図面を参照して詳細に説明する。なお、以下に説明する一実施形態は、画像処理装置の一例としての、撮像により得られた画像に対して、処理中に中間データのメモリ書き込み及び該中間データの読み出しを含む画像処理を適用するデジタルカメラに、本発明を適用した例を説明する。しかし、本発明は、少なくとも2段階の画像処理の実行において、前段の画像処理の処理結果である第1の画像をメモリに書き込み、該第1の画像をメモリから読み出して後段の画像処理を実行して第2の画像を出力することが可能な任意の機器に適用可能である。

50

【0011】

《デジタルカメラ120の構成》

図1は、本発明の実施形態に係るデジタルカメラ120の機能構成を示すブロック図である。

【0012】

撮像素子100は、例えばCCDやCMOSセンサ等の光電変換素子である。撮像素子100は、デジタルカメラ120が有する不図示の撮像光学系（レンズを含む）を介して受光した被写体に係る光学像を電気信号に変換し、アナログ画像信号を出力する。

【0013】

A/D変換器101は、撮像素子100から出力されたアナログ画像信号に対してA/D変換処理を行い、デジタル画像信号に変換して出力する。

10

【0014】

撮像補正部102は、A/D変換器101から出力されたデジタル画像信号に対して、例えば画素補正、黒レベル補正、シェーディング補正、傷補正等の、撮像素子や信号レベルに応じた補正を行う。以下、撮像補正部102における補正が適用されたデジタル画像信号を、画像データまたは単に画像と言及する。本実施形態では画像データは、本実施形態では後述のデータ転送部106、メモリ制御部109を介してメモリ110に格納されるものとして説明する。しかしながら、第1画像処理部103において領域分割を行わずに画像処理が行われる場合には、画像データはメモリ110を介さずに第1画像処理部103に出力されるものであってもよい。

20

【0015】

〈第1画像処理部103〉

本発明の第1の処理手段としての第1画像処理部103は、メモリ110または不揮発性メモリ制御部111から読み出された画像（入力画像）に対し、倍率色収差補正、現像処理、面内NR（ノイズリダクション）処理、拡大縮小（リサイズ）等の画像処理を行う。第1画像処理部103における画像処理は、例えばメモリ制御部109によるメモリ110からの読み出しを制御することにより、入力画像を複数の領域（ブロック）に分離し、領域ごとに順次実行される。本実施形態のデジタルカメラ120では、例えば撮像を行って得られた画像を表示部105に表示する際に行われる一連の画像処理のうち、本発明の第1の画像処理としての前段の画像処理を、第1画像処理部103が担当するものとして説明する。第1画像処理部103は、例えば入力画像に対して前段の画像処理を適用するための画像処理回路として構成されてよく、処理結果として得られた画像（第1の画像）を順次出力する。

30

【0016】

ここで、第1画像処理部103の具体的な構成例を図4に示す。なお、図4の例では説明を簡単にするため、第1画像処理部103が倍率色収差補正及び面内NRに係る画像処理を、後述するRDDMAC201を介してメモリ110から読み出された、処理対象である第1の画像の各ブロックに実行するものとして説明する。

【0017】

倍率色収差補正部400と面内NR部404の各々は、後述のシステム制御部113により決定されたブロックの位置及びサイズの情報（ブロック情報）に基づき、処理対象のブロック画像の読み出し要求の制御を行う制御部401または制御部405を有する。また倍率色収差補正部400と面内NR部404の各々は、読み出しにより入力されたブロック画像をフィルタ処理用に保持する、SRAM等の記憶領域を有する。より詳しくは、順次読み出されて入力されるブロック画像のラインデータを蓄積する遅延ライン402または遅延ライン406を有する。倍率色収差補正部400が有するデータ処理部403、及び面内NR部404が有するデータ処理部407は、それぞれ対応する画像処理（倍率色収差補正、面内NR）を処理対象の入力画像に対して適用する。このとき、各データ処理部は、その処理内容に応じて、対応する遅延ラインに保持された複数ライン（場合によっては単独ライン）の画像データを読み出し、フィルタ処理などを行う。

40

50

【0018】

このように各処理がなされて得られた処理結果のブロック画像は、書き込み要求がWRDMAC200になされることで制御されたデータバス108に出力され、メモリ制御部109を介してメモリ110に書き込まれる。なお、図4に示した例では、倍率色収差補正部400と面内NR部404の各々の処理結果は、書き込み要求をWRDMAC200に行うことでメモリ制御部109に伝送され、メモリ110に書き込まれるものとして示されている。しかしながら、図に破線で示されるように、倍率色収差補正部400の出力が面内NR部404の入力となるよう、即ち第1画像処理部103内の複数の画像処理が完了してから、処理結果の第1の画像の書き込みがなされるよう構成されていてもよい。この場合、第1画像処理部103に係る全体の処理においてメモリアクセス頻度が低減する

10

【0019】

〈第2画像処理部104〉

本発明の第2の処理手段としての第2画像処理部104は、メモリ110から読み出された第1の画像に対し、幾何変形、巡回NR、拡大縮小等の画像処理を行う。第2画像処理部104における画像処理は、第1画像処理部103と同様、例えばメモリメモリ制御部109によるメモリ110からの読み出しを制御することにより、第1の画像を複数の領域に分離し、領域ごとに順次実行される。本実施形態のデジタルカメラ120では、上述した撮像により得られた撮像画像を表示部105に表示する際に行われる一連の画像処理のうち、本発明の第2の画像処理としての後段の画像処理を、第2画像処理部104が

20

【0020】

ここで、第2画像処理部104の具体的な構成例を図5に示す。なお、図5の例では説明を簡単にするため、第2画像処理部104が第1画像処理部103による画像処理が適用された第1の画像を処理対象として、幾何変形及び巡回NRに係る画像処理を実行するものとして説明する。

【0021】

まず幾何変形部504の詳細につき、図6～図8を参照して説明する。幾何変形部504は、例えばレンズの特性により生じた光学像の歪みを補正する処理を行う。例えば画像中心に向かって光学像が歪む歪曲収差が生じる場合、図7の撮像画像（補正前画像）700に破線で示したように、本来矩形状に結像される光学像が糸巻き型状に変形する。このような場合、該糸巻き型状の範囲の像が補正後画像701において本来の矩形状となるように、幾何変形が行われる。

30

【0022】

より詳しくは、図8に示されるように、撮像画像につき、撮像素子100の出力画素の走査方向に沿って水平軸を、走査方向に直交して垂直軸を規定する直交座標系を定義した例を考える。このとき、画素802に本来結像されるべき光学像は、歪曲収差により画像の中心800と該画素802とを結ぶ直線上の画素801に結像される。図7の例で言えば画像中心（光学中心）に向かう方向で歪曲収差が生じる場合、補正後画像701の座標（ x, y ）の画素の生成には、補正前画像700における座標（ x', y' ）の画素の情報

40

【0023】

なお、補正後座標（ x, y ）の生成において幾何変形に係り参照する補正前座標（ x'

50

、 y' ）の導出は、図8に示されるように、画像中心から補正後座標までの距離を示す像高 R と、レンズの特性及びその撮影時の状態（ズーム倍率）とに基づき行われる。より詳しくは、像高 R とレンズの特性等とから補正後座標と補正前座標との距離を示す補正量 C が得られ、補正前座標は、像高 R から補正量 C を減算した値、及び画像中心800から画素801に向かう方向と水平軸とがなす角度 θ に基づいて算出できる。このとき、得られる補正前座標は必ずしも整数値で得られるものではないため、導出結果が画素単位のものに限られないことは容易に理解されよう。

【0024】

図6に示されるように、本実施形態の幾何変形部504は、例えば単体の画像処理回路であってよく、制御部600、読み出し要求部601、矩形メモリ602、参照画素入力部603及び補間部604で構成される。ここで、制御部600は、システム制御部113により決定されたブロックの位置及びサイズの情報に基づき、該ブロックの幾何変形に用いられる領域の第1の画像の読み出し制御、及び幾何変形後の該ブロックの各画素の生成に用いる画素の特定を行う。即ち、図7及び8を用いて説明した各種の演算は制御部600により行われる。

【0025】

より詳しくは、制御部600は、第1画像処理部103による画像処理が適用されてメモリ110に格納された第1の画像をブロック分割して処理する際の、処理対象のブロックにつき読み出す領域の特定を行う。撮像光学系に起因する歪曲補正が生じている場合、第1の画像のうちの処理対象のブロックに対応する領域（対応領域）だけでなく、演算により求まる該領域外の画素を含む領域（参照領域）に係る画素が、幾何変形用にメモリ110から読み出され得る。図7の例では、補正後画像701中の正方領域703が処理対象のブロックとして設定される場合、補正前画像700において同位置に存在する対応領域を包含し、正方領域703よりも大きい矩形領域702が読み出される領域となる。制御部600は、特定した処理対象のブロックにつき読み出す領域（対応領域及び参照領域）の情報を読み出し要求部601に伝送し、読み出し要求部601は該情報に基づき処理対象のブロックの画像（矩形データ）に係る読み出し要求の制御を行う。幾何変形部504は、読み出し要求に基づきメモリ110から読み出された矩形データを格納する、例えばSRAM等の矩形メモリ602を有する。

【0026】

また制御部600は、幾何変形後の画像の、処理対象のブロックと対応する領域の画素の各々を生成するために、幾何変形に係る補間に用いられる矩形データの画素を特定し、その情報を参照画素入力部603に伝送する。参照画素入力部603は、幾何変形後の画像の各画素につき、制御部600により特定された情報に基づき、矩形メモリ602から補間に用いられる画素を読み出し、補間部604に入力する。補間部604は、入力された画素に基づき、例えばバイキュービック補間等を行い、幾何変形後の画素を生成する。

【0027】

また第2画像処理部104は、図5に示されるように表示部105への表示に際し、時間方向でのノイズ低減を行う巡回NR部500を有する。時間方向でのノイズ低減であるため、巡回NR部500の処理対象は幾何変形後の画像であり、幾何変形部504による幾何変形が適用された画像と、過去のフレームにつき表示された画像とに基づいて処理が行われる。巡回NR部500は、システム制御部113により決定されたブロックの位置及びサイズの情報に基づき、過去のフレームにつき表示された画像の該ブロックと対応する領域の画像の読み出し要求の制御を行う制御部501を有する。また巡回NR部500は、読み出しにより入力された画像、及び幾何変形部504から出力された画像のラインデータを蓄積する遅延ライン502を有する。データ処理部503は、遅延ライン502に保持された複数ラインの画像データを読み出し、巡回NRに係るフィルタ処理などを行う。

【0028】

このようにして第2画像処理部104における各処理がなされて得られた処理結果の第

10

20

30

40

50

2の画像は、書き込み要求がWRDMAC200になされることで制御されたデータバス108に出力され、メモリ制御部109を介してメモリ110に書き込まれる。なお、図5に示した例では、幾何変形部504の出力が制御部501の入力となるよう構成されている。しかしながら、幾何変形部504の処理結果は、書き込み要求をWRDMAC200に行うことでメモリ制御部109に伝送され、メモリ110に書き込まれるよう構成されていてもよい。この場合、制御部501は過去のフレームにつき表示された画像だけでなく、幾何変形部504における処理後の画像の読み出し要求も行う。

【0029】

このように、本実施形態のデジタルカメラ120では、撮像を行って得られた撮像画像を表示部105に表示する際に行われる一連の画像処理が、第1画像処理部103と第2画像処理部104により実行される。該一連の画像処理に要する処理時間を低減するために、画像をブロックに分割し、1つのブロック中の画素に係る後段の画像処理は、該画素の処理に必要となる、前段の画像処理適用後の画素がメモリ110に必要数格納され次第実行されることが好ましい。即ち、1つの撮像画像について、前段の画像処理と後段の画像処理は並行実行される。より効率的には、後段の画像処理に係る1つのブロックについて、該ブロックの処理において参照される一部の画素が、該ブロックの処理の開始後に前段の画像処理が完了してメモリ110に書き込まれ、所謂追い越し処理が可能に構成されるものであってよい。

【0030】

表示部105は、例えばLCD等の表示装置を含み、表示出力に係る制御を行う。本実施形態では表示部105は、システム制御部113の制御の下、一連の画像処理が適用されてメモリ110に格納された第2の画像を、表示装置に表示させる制御を行う。

【0031】

データ転送部106は、デジタルカメラ120における、メモリ110へのデータの書き込み、及びメモリ110に格納されたデータの読み出しを制御する。より詳しくはデータ転送部106は、撮像補正部102、第1画像処理部103、第2画像処理部104、不図示の圧縮処理や伸長処理を行う圧縮伸長部で処理を行う画像につき、データバス108を介してメモリ110との間でデータ転送を行う。

【0032】

ここで、データ転送部106の詳細構成を図2に示す。図示されるように、データ転送部106は、例えば各々1以上のDirect Memory Accessコントローラであってよい、WRDMAC200及びRDDMAC201を有する。WRDMAC200は、各部から受信した書き込み要求に基づき、データバス108の帯域占有を制御し、要求元からメモリ制御部109へのデータ転送、及び指定のアドレスへのメモリ制御部109による書き込みを実現する。RDDMAC201は、各部から受信した読み出し要求に基づき、データバス108の帯域占有を制御し、メモリ110の指定のアドレスからのデータを読み出し、及び該データの要求元へのデータ転送を実現する。

【0033】

またデータ転送部106は、第1画像処理部103による画像処理と第2画像処理部104による画像処理が並行実行される際に、後者において参照される画素の読み出しが、前者の実行後の書き込み前になされないよう制御する追い越し制御部202を有する。ここで、図3(a)に示されるように、処理対象の画像301を4つのブロックに分離して各々処理を行う場合の、追い越し制御部202による追い越し制御の動作概要について説明する。

【0034】

例えば、図3(a)のブロック1、2、3、4の順で画像処理が行われる場合を考える。ここで、画像の書き込み／読み出しアドレスは、各ブロックの左上を原点(0, 0)とし、水平及び垂直方向の2次元アドレス(x, y)と、処理対象のブロックを識別する(Xn, Yn)に基づき制御される。より詳しくは、データ転送部106では、各ブロックのこれらの情報は、所定の演算によりメモリ110における絶対アドレスに変換され、W

10

20

30

40

50

R D M A C 2 0 0 あるいは R D D M A C 2 0 1 に供給される。図示されるように、各ブロックに係るアクセス順序は、ブロックの左上画素から開始し、右方向に同水平ラインの画素にアクセスした後、次（下）の水平ラインの左端画素から同様にアクセスする方式により行われる。

【0035】

図3（a）の例では、ブロック1とブロック3の水平方向の画素数は x_1 、ブロック2とブロック4の水平方向の画素数は x_2 、ブロック1とブロック2の垂直方向の画素数は y_1 、ブロック3とブロック4の垂直方向の画素数は y_2 となっている。以下では説明を簡単にするため、 $x_1 = x_2$ とし、図3（c）に示されるように、垂直方向にブロック1、2、3、4の順で連結された態様で、対象画像の画素がメモリ110上に2次元にアドレス配置されるものとして説明する。

10

【0036】

追い越し制御が行われる場合、図3（b）に例示されるように、データ読み出しアドレスが、データ書き込みアドレスを追い駆ける態様になる。図3（b）及び（c）では、ハッチングを付して示した領域302は、先行する処理が実行されてメモリ110への書き込みが完了した画素（領域）を示す。また、クロスハッチングを付して示した領域303は、後続する処理においてメモリ110からの読み出しが完了した画素（領域）を示す。また、何も付さずに示した残りの領域は、先行する処理後の書き込みが、まだ行われていない画素（領域）を示す。このとき、W R D M A C 2 0 0 は、書き込みを行っているブロックを識別する情報（ X_{nw} , Y_{nw} ）と、書き込みを行っている画素（ x_w , y_w ）のアドレスとを、例えばアクセスするアドレスの変更の度に追い越し制御部202に伝送する。またR D D A M C 2 0 1 は、読み出しを行っているブロックを識別する情報（ X_{nr} , Y_{nr} ）読み出しを行っている画素（ x_r , y_r ）のアドレスを、例えばアクセスするアドレスの変更の度に追い越し制御部202に伝送する。

20

【0037】

アクセスするアドレスは、水平アドレスはブロック内の画素の水平位置（ x_w または x_r ）であるが、垂直アドレスは読み出し、書き込みそれぞれ

$$d y_w = y_w + y_{w o f f}$$

$$d y_r = y_r + y_{r o f f}$$

となる。即ち、図3（c）の例では、読み出しアドレスは（ x_1 , $d y_r$ ）、書き込みアドレスは（ x_2 , $d y_w$ ）となる。ここで、 $y_{w o f f}$ と $y_{r o f f}$ は、ブロック1では0であり、ブロックが変更となる度に、変更前ブロックの垂直方向の画素数が加算されるオフセット値である。

30

【0038】

ライン単位の追い越し制御を行う場合、追い越し制御部202は書き込みアドレスと読み出しアドレスの差分をライン数 α

$$\alpha = d y_w - d y_r$$

として算出し、例えば該ライン数 α が閾値を超えるか否かによりR D D M A C 2 0 1 の読み出しを制御してもよい。具体的には追い越し制御部202は、 α が閾値より小さい場合には、 α が閾値以上となるまで、R D D M A C 2 0 1 に読み出し動作を一時停止させる。なお、追い越し制御はライン単位で行われる必要はなく、同一ラインであっても、その水平アドレスの差分が閾値以上であれば読み出しを可能にする等、画素単位で行われるものであってもよいことは言うまでもない。

40

【0039】

メモリ制御部109は、システム制御部113あるいはデータ転送部106からの指示に応じて、メモリ110へのデータの書き込み、メモリ110からのデータの読み出しを行う。メモリ110は、例えばD R A M等の揮発性メモリであり、所定枚数の静止画像や所定時間分の動画像（フレーム群）、音声データ等の中間データの格納に十分な容量を備える記憶装置である。

【0040】

50

不揮発性メモリ制御部111は、システム制御部113からの指示に応じて、不揮発性メモリ112へのデータの書き込み、不揮発性メモリ112からのデータの読み出しを行う。不揮発性メモリ112は、電氣的に消去・記録可能な記憶装置であり、例えばEEPROM等が用いられる。不揮発性メモリ112には、デジタルカメラ120が有する各ブロックの動作を制御するための動作プログラムや、各ブロックの動作において必要となるパラメータ等が記憶される。

【0041】

システム制御部113は、例えばマイクロコンピュータやCPUであり、デジタルカメラ120が有する各ブロックの動作を制御する。より詳しくはシステム制御部113は、不揮発性メモリ112に格納されている動作プログラムを読み出し、メモリ110に展開して実行することにより、各ブロックの動作を制御する。各ブロックの動作制御は、システムバス107を介して行われる。

10

【0042】

操作部114は、電源ボタンやシャッタスイッチ等の、デジタルカメラ120が有するユーザインタフェースである。操作部114は、各種ユーザインタフェースになされた操作入力を検出し、対応する制御信号をシステム制御部113に伝送する。

【0043】

なお、本実施形態ではハードウェアとしてデジタルカメラ120が備える各ブロックに対応した回路やプロセッサにより処理が実現されるものとして説明する。しかしながら、本発明の実施はこれに限られるものではなく、各ブロックの処理が該各ブロックと同様の処理を行うプログラムにより実現されるものであってもよい。

20

【0044】

《ブロック設定処理》

以下、本実施形態のデジタルカメラ120において、処理対象の撮像画像につき、第1画像処理部103と第2画像処理部104の各処理に係るブロックのサイズ及び数を決定するブロック設定処理について、図14のフローチャートを用いて具体的に説明する。該フローチャートに対応する処理は、システム制御部113が、例えば不揮発性メモリ112に記憶されている対応する処理プログラムを読み出し、メモリ110に展開して実行することにより実現することができる。本サイズ決定処理は、例えば動画記録またはスルー画像表示を伴う撮影モードにおいて、撮影モードの開始時またはズーム倍率等の光学系の条件変更がなされた際や、記録画素数などの変更の際に開始されるものとして説明する。

30

【0045】

S1401で、システム制御部113は、変更された光学系の条件を示す条件情報を取得する。条件情報は、例えば撮像時に装着されているレンズの光学特性及びズーム倍率の設定を含んで構成されるものであってよく、メモリ110に格納されているものであってよい。

【0046】

S1402で、システム制御部113は、取得した条件情報に基づき、第2画像処理部104における各種画像処理の処理単位とする、ブロックの数及びサイズを決定する。本ステップにおける決定は、特に幾何変形部504のような、対象のブロックの外に存在する、条件情報に応じて変化し得る周辺画素の数も含めて画像処理において用いられる画素数を考慮して行われる。即ち、上述したように幾何変形部504のような、各ブロックの処理につき該ブロックに加えてその周辺画素の参照も行うため、1つの第1の画像について行う画像処理では、その過程において該画像の全画素数以上の画素を処理する必要がある。

40

【0047】

本実施形態の撮像素子100では、第1画像処理部103及び第2画像処理部104の処理の適用された画像をスルー画像として表示する。このため、本実施形態では、さらにスルー画像表示に係るフレームレート（表示画像の更新間隔）と第2画像処理部104の処理性能とを考慮して、第2画像処理部104におけるブロックのサイズ及び数を決定す

50

る。以下、第2画像処理部104におけるブロックのサイズ及び数の決定方法を、図10のフローチャートを用いて例示する。

【0048】

S1000で、システム制御部113は、第2画像処理部104の巡回NR部500に基づき、処理対象の第1の画像の水平画素数（対象水平画素数）が遅延ライン502で保持可能な最大の水平画素数（保持水平画素数）の整数倍であるか否かを判断する。システム制御部113は、対象水平画素数が保持水平画素数の整数倍であると判断した場合、処理をS1001に移す。またシステム制御部113は、対象水平画素数が保持水平画素数の整数倍ではない、即ち対象水平画素数が保持水平画素数で割り切れないと判断した場合、処理をS1002に移す。

10

【0049】

S1001で、システム制御部113は、第1の画像の第2画像処理部104における水平方向のブロック分割数HNを、

$$HN = \text{対象水平画素数} / \text{保持水平画素数}$$

により算出する。また一方、S1002でシステム制御部113は、水平方向のブロック分割数（水平分割数）HNを

$$HN = \text{Int}(\text{対象水平画素数} / \text{保持水平画素数}) + 1$$

により算出する。ここで、Int（）は小数点以下を切り捨てた整数値を返す関数である。

【0050】

20

S1003で、システム制御部113は、幾何変形部504において全てブロックにつき処理される参照画素も含めた画素数の総和Tを、まだ決定していない垂直方向のブロック分割数（垂直分割数）VNを用いて定義する。上述したように、第2画像処理部104が担う画像処理の一部では、処理を行うブロックについて、該ブロックの画素だけでなく、ブロック外の参照画素を演算対象として考慮する必要がある。従って、本ステップでは、処理対象の第1の画像に基づき、重複の読み出しを含む幾何変形部504への入力に基づき、以下の式により総和Tを定義する。

$$T = (\text{対象水平画素数} + (\text{ブロックで参照する周辺画素の水平画素数} \times HN)) \times (\text{対象垂直画素数} + (\text{参照する周辺画素の垂直画素数} \times VN)) \cdots (1)$$

ここで、各ブロックで参照する周辺画素の数は例えばズーム倍率等、条件情報に基づいて決定されるものであってよい。本実施形態では簡単のため、幾何変形部504におけるブロックの処理において参照される周辺画素は、ブロックの位置に依らず一定であるものとして説明するが、上述したようにブロックに対応する像高に応じて変化するものであってよい。なお、対象垂直画素数は第1の画像の垂直方向の画素数であり、VNは第2画像処理部104における垂直方向のブロック分割数である。本ステップの時点でVNはまだ値が確定していない変数であるものとする。

30

【0051】

S1004で、システム制御部113は、第2画像処理部104において第1の画像の処理に要する時間TSを、第2画像処理部104の全体に係る処理性能（1秒（単位時間）あたりに第2画像処理部104の処理可能な画素数）及び総和Tを用いて定義する。即ち、時間TSは

40

$$TS = T / \text{処理性能} \cdots (2)$$

で表すことができる。

【0052】

S1005で、システム制御部113は、スルー画像の更新頻度に係るフレームレートに基づき、1フレームのスルー画像を表示するフレーム時間MSを

$$MS = 1 / \text{フレームレート}$$

により算出する。フレーム時間MSは、1つのフレームのスルー画像の表示を開始してから、次のフレームのスルー画像の表示を開始するまでの時間を指す。

【0053】

50

S 1 0 0 6 で、システム制御部 1 1 3 は、フレーム時間 M S 内に第 2 画像処理部 1 0 4 における処理対象の画像の処理に要する時間 T S が収まる ($M S > T S$) よう、式 (1) (2) 及び M S に基づいて整数値の垂直分割数 V N を決定する。このように、S 1 0 0 0 ~ S 1 0 0 6 の処理により、第 2 画像処理部 1 0 4 における処理対象の第 1 の画像について設定するブロック数を決定することができる。

【0054】

S 1 0 0 7 で、システム制御部 1 1 3 は、S 1 0 0 1 または S 1 0 0 2 において決定された水平分割数 H N のブロックに、水平方向において第 1 の画像を均等分割できるか否かを判断する。即ち、ブロック分割は画素単位で行うため、本ステップにおいてシステム制御部 1 1 3 は、対象水平画素数が水平分割数 H N の整数倍であるか否かを判断する。システム制御部 1 1 3 は、水平方向において第 1 の画像を水平分割数 H N で均等分割できると判断した場合は処理を S 1 0 0 8 に移し、均等分割できないと判断した場合は処理を S 1 0 0 9 に移す。

10

【0055】

S 1 0 0 8 で、システム制御部 1 1 3 は、各ブロックの水平方向のサイズ H 1 を $H 1 = \text{対象水平画素数} / H N$ により算出する。また一方、S 1 0 0 9 でシステム制御部 1 1 3 は、1 つの列のブロックを除いた各ブロックの水平方向のサイズ H 1 と、残り 1 つの列のブロックの水平方向のサイズ H 2 とを、

$$H 1 = \text{Int} (\text{対象水平画素数} / H N)$$

20

$$H 2 = \text{対象水平画素数} - (H 1 \times H N)$$

により算出する。なお、例えば左端、右端等、いずれの位置に存在する列のブロックサイズを H 2 とするかは、予め定められていればよい。

【0056】

S 1 0 1 0 で、システム制御部 1 1 3 は、S 1 0 0 6 において決定された垂直分割数 V N のブロックに、垂直方向において処理対象の第 1 の画像を均等分割できるか否かを同様に判断する。システム制御部 1 1 3 は、垂直方向において第 1 の画像を垂直分割数 V N で均等分割できると判断した場合は処理を S 1 0 1 1 に移し、均等分割できないと判断した場合は処理を S 1 0 1 2 に移す。

【0057】

30

S 1 0 1 1 で、システム制御部 1 1 3 は、各ブロックの垂直方向のサイズ V 1 を $V 1 = \text{対象垂直画素数} / V N$ により算出する。また一方、S 1 0 1 2 でシステム制御部 1 1 3 は、1 つの行のブロックを除いた各ブロックの垂直方向のサイズ V 1 と、残り 1 つの行のブロックの垂直方向のサイズ V 2 とを

$$V 1 = \text{Int} (\text{対象垂直画素数} / V N)$$

$$V 2 = \text{対象垂直画素数} - (V 1 \times V N)$$

により算出する。なお、例えば上端、下端等、いずれの位置に存在する行のブロックサイズを V 2 とするかは、予め定められていればよい。

【0058】

40

このようにすることで、システム制御部 1 1 3 は、第 2 画像処理部 1 0 4 における各種画像処理の処理単位とする、ブロックの数 ($H N \times V N$) 及びサイズ (H 1、H 2、V 1、V 2) を決定することができる。なお、図 10 を用いて説明した決定方法はあくまでも例示であり、これに限られるものでないことは理解されるべきである。

【0059】

第 2 画像処理部 1 0 4 におけるブロックの数及びサイズを決定した後、システム制御部 1 1 3 は S 1 4 0 3 で、第 1 画像処理部 1 0 3 における各種画像処理の処理単位とするブロックの数及びサイズを決定する。

【0060】

上述したように、第 1 画像処理部 1 0 3 の処理と第 2 画像処理部 1 0 4 の処理とを並行

50

して実行することが、処理対象の第1の画像に係る一連の画像処理に要する時間の低減を実現する。一方で、本実施形態のように、後段の画像処理の1つのブロックに係る処理においてブロック外の周辺画素の参照も要する場合、少なくとも該ブロックの処理の開始前に、前段の画像処理の適用された周辺画素もメモリ110に格納されている必要がある。即ち、1ブロックに係る後段の画像処理が完了するまでの間に、該ブロックにつき参照される全ての周辺画素がメモリ110に格納されている必要がある。より詳しくは、これに加え、ブロックに対する後段の画像処理開始時に、処理開始画素を含む所定数の画素（例えばブロックの開始複数行の画素）に加え、これら画素位置について参照される領域の画素につき、前段の画像処理を完了させる必要がある。

【0061】

従って、例えば前段の画像処理後の第1の画像910について図9（b）のようなブロックが設定される場合、前段の画像処理においても同様のブロックを設定すると、特定ブロックの後段の画像処理は開始できない、または途中で停止しなければならない。具体的には、第1の画像910のブロック911に対する後段の画像処理に係り、水平方向にさらにn画素、垂直方向にさらにm画素分の周辺領域が参照される場合、該周辺領域はブロック912、913及び914に含まれる。つまり、ブロック911の左上から順次行を変えて後段の画像処理を行う場合、最初の行の処理時に少なくともブロック912の対応する画素がメモリ110に格納されていなければ、第2画像処理部104はブロック911に係る後段の画像処理を開始できない。また、ブロック911の全画素について後段の画像処理を完了させるためには、ブロック913に係る前段の画像処理が完了し、さらに

【0062】

故に、本実施形態のデジタルカメラ120では、後段の画像処理に係る処理時間の長期化を低減するため、システム制御部113は、第2画像処理部104について決定したブロックのサイズに基づき、第1画像処理部103に係るブロックのサイズを決定する。本実施形態では、第1画像処理部103及び第2画像処理部104の各処理において、処理対象の画像の水平方向及び垂直方向に設定されるブロックの数は同数であり、処理順と画像中のブロックの位置関係が対応付けられているものとする。このため、システム制御部113は、第2画像処理部104において対応するブロックの処理が実行される際に、該処理において参照される周辺領域の全ての画素がメモリ110に格納されるよう、第1画像処理部103に係るブロックのサイズを決定する。例えば図9（b）に示されるように、第2画像処理部104の処理対象の第1の画像910につき均等サイズの4つのブロックが設定される場合、図9（a）に一点鎖線で示されるように、異なるサイズのブロックが第1画像処理部103に係り設定される。図9（a）の例では、第1画像処理部103の処理対象の画像（対象画像）900におけるブロック901は、第2画像処理部104において対応するブロック（画像910におけるブロック911）の処理で参照される周辺画素を含むサイズに設定されている。即ち、第1画像処理部103において最初に画像処理が適用されるブロック901について、システム制御部113は、第2画像処理部104の処理に係るブロック911よりも、水平方向にn画素、垂直方向にm画素分大きいサイズを設定する。図9（a）の例では、ブロック901のサイズが決定すれば、ブロック902、903及び904のサイズは決定する。しかしながら、本発明の実施はこれに限られるものでなく、第1の画像910における対応するブロックの処理で参照される画素位置の画素を含むよう、対象画像900における各ブロックのサイズは決定されてよい。

【0063】

第1画像処理部103と第2画像処理部104の各々の処理に係るブロックの数及びサイズを決定すると、システム制御部113はS1404で、ブロック情報として決定した情報をそれぞれの画像処理部に供給する。このようにすることで、一連の画像処理のうちの後段の処理における参照を考慮して、前段及び後段の各々の画像処理に係る処理単位である領域のサイズを、これら処理が効率的に実行されるよう決定することができる。

【0064】

例えば、図9（a）及び（b）に示したように第1画像処理部103及び第2画像処理部104に係るブロックを設定する場合、図11に示すようなタイミングチャートのように、より遅延の少ないスルー画像の提供が可能となる。より詳しくは、 t_0 で第1画像処理部103がブロック901に係る処理1101を開始した後、ブロック911の開始行に係る処理で参照される、例えばj行分の画素がメモリ110に格納されるまで第2画像処理部104は処理を行わない。j行分の画素がメモリ110に格納されると、 t_1 で第2画像処理部104は、ブロック911及び参照領域に係る第1の画像の読み出し要求を開始し、ブロック911に係る処理1111を行う。また画像910について第2画像処理部104が後段の画像処理を行って得られる、例えばスルー画像である第2の画像は、画像上端から水平方向の行に含まれる画素の生成が完了すれば、表示部105への表示処理を開始することができる。図11の例では、画像910のブロック911及び912に係る処理1111及び1112を第2画像処理部104が完了した後の t_4 から第2の画像の表示を開始している。このように、本実施形態のデジタルカメラ120によれば、撮像画像に係る種々の処理を完了し、入力画像として第1画像処理部103に処理を開始させてから、時間 t （ $t_4 - t_0$ ）分の遅延で、該撮像画像に係るスルー画像の表示を実現できる。ここで遅延時間 t は、ブロック911及び912に係る処理の完了後とする必要はなく、例えば第2の画像のブロック914に対応する領域上端の行の画素を表示する際に、第2画像処理部104の該ブロックに係る処理の一部が完了するよう定められてもよい。このように1フレームに係る前段の画像処理（ t_6 まで）が完了した後は、第1画像処理部103は、次のフレームに係る前段の画像処理を t_7 から開始することができる。

【0065】

以上説明したように、本実施形態の画像処理装置によれば、画像の分割を伴う一連の画像処理に要する処理時間を低減することができる。なお、本実施形態では第2画像処理部104における第1の画像のブロックサイズを設定した後、各ブロックの処理に用いられる参照領域を考慮して、第1画像処理部103における対象画像のブロックサイズを決定する方法について説明した。しかしながら、本発明の実施はこれに限られるものではない。特に、後段の画像処理におけるブロックサイズに基づいて、前段の画像処理における少なくとも一部のブロックサイズを大きくする方式は、第1画像処理部103の性能や記憶領域の構成によっては、処理遅延を生じさせる可能性もある。従って、システム制御部113は、まず第1画像処理部103におけるブロックサイズを均等分割等に設定し、条件情報に基づいて停止や待機時間を低減するよう、第2画像処理部104におけるブロックサイズを決定するものであってもよい。あるいは、条件情報に基づいて第2画像処理部104におけるブロック分割が均等分割となるよう、第1画像処理部103におけるブロック形状やサイズを設定し、第2画像処理部104におけるブロックサイズはより小さい均等サイズに決定してもよい。いずれにせよ、このようにすることで、後段の画像処理における処理単位の領域のサイズを、前段の画像処理における処理単位の領域のサイズよりも小さくすることができる。このため、データ格納までの待機や処理の一時停止を低減する、あるいは待機や一時停止が必要のないよう処理単位の設定を行うことで、効率的な一連の画像処理の適用を実現できる。

【0066】

〔変形例1〕

第1画像処理部103における処理開始から表示部105への表示開始までの時間を短縮するとの観点では、スルー画像（第2の画像）の上端からの所定数の行分の画素の全てがメモリ110に格納されることを優先するようブロック分割されることが好ましい。上述した実施形態では第2画像処理部104における垂直方向のブロック数の決定方法を、図10に係るS1006の処理において、フレーム時間内に処理が収まるように決定したが、演算性能に余裕がある場合、該ブロック数は複数種類選択可能である。このとき、図9（c）に示す画像920のように、図9（b）の画像910よりも垂直方向のブロック数を増加させれば、第2画像処理部104におけるブロック921及び922の処理の完

了後、スルー画像の表示処理を開始できる。即ち、前段の画像処理、後段の画像処理、及び表示処理を並行して実行させる際、垂直方向のブロック分割数を多くするほど、表示までの遅延時間を低減することが可能である。

【0067】

一方で、このように垂直方向のブロック分割数を多くした場合、ブロック数に応じて、第2画像処理部104における各ブロックの処理において、他のブロックと重複して読み出しされる参照領域の画素数が増大する。即ち、第2画像処理部104の処理に係りデータ転送部106による読み出しによって占有されるデータバス108の帯域が増大する。従って、システム制御部113は、垂直方向のブロック数の決定に際しては、TS時間内に生じるデータバス108の帯域占有を概算し、該帯域占有が使用可能な帯域幅に収まるよう、制御を行うものであってよい。

10

【0068】

[変形例2]

上述した実施形態では、ブロックの分割数は前段の画像処理と後段の画像処理とで一定であるものとして説明したが、本発明の実施はこれに限られるものではない。例えば図12に示されるように、第1画像処理部103の処理に係り設定されるブロック数よりも多くのブロックが、第2画像処理部104の処理に係り設定される態様であってもよい。換言すれば、第1画像処理部103及び第2画像処理部104の双方で均等分割に基づきブロックが設定されるが、ブロックのサイズは後者の処理に係り設定される方が小さい態様であってもよい。

20

【0069】

このようにすることで、第2画像処理部104に係る任意のブロックの処理時に、該ブロックにつき参照領域として読み出す画素が先立ってメモリ110に格納され、かつ変形例1のように表示処理の開始までの時間を短縮することができる。例えば図13に示されるように、図12(a)のブロック1201及び1202に係る第1画像処理部103における処理1301及び1302の開始後t2に、図12(b)のブロック1211に係る第2画像処理部104の処理1311を開始すればよい。ここで、図13に示した態様は、追い越し制御を停止させることなく実現する態様を示しているが、本発明の実施はこれに限られない。例えばt2をt0直後としてもよいが、ブロック1216に係る第2画像処理部104の処理1316は、ブロック1204に係る第1画像処理部103の処理1304が所定数行分進行しなければ完了できない。故に、第2画像処理部104における処理は、読み出しに係る追い越し制御に伴い、一時停止し得る。

30

【0070】

[その他の実施形態]

本発明は、上述の実施形態の1以上の機能を実現するプログラムを、ネットワーク又は記憶媒体を介してシステム又は装置に供給し、そのシステム又は装置のコンピュータにおける1つ以上のプロセッサがプログラムを読み出し実行する処理でも実現可能である。また、1以上の機能を実現する回路(例えば、ASIC)によっても実現可能である。

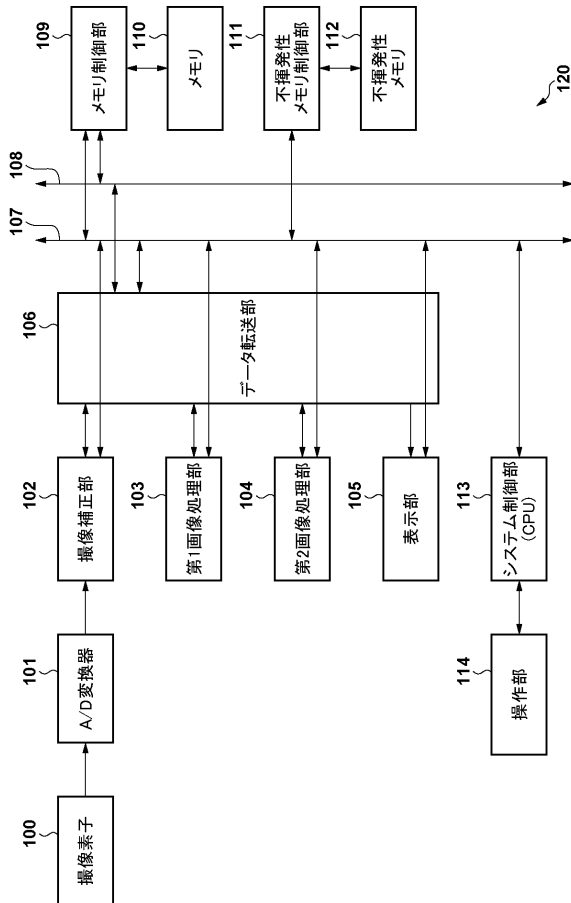
【符号の説明】

【0071】

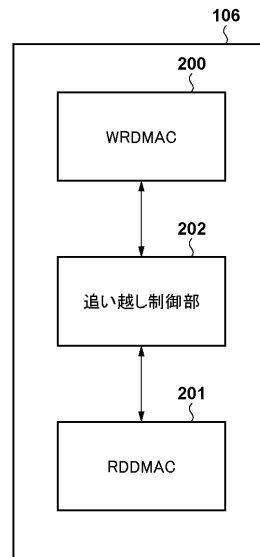
40

120：デジタルカメラ、103：第1画像処理部、104：第2画像処理部、106：データ転送部、109：メモリ制御部、110：メモリ、113：システム制御部

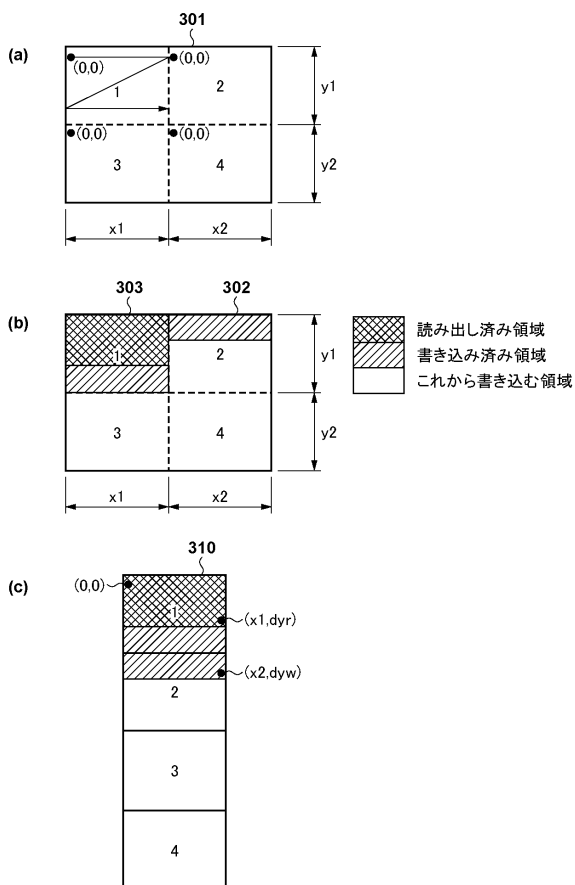
【図 1】



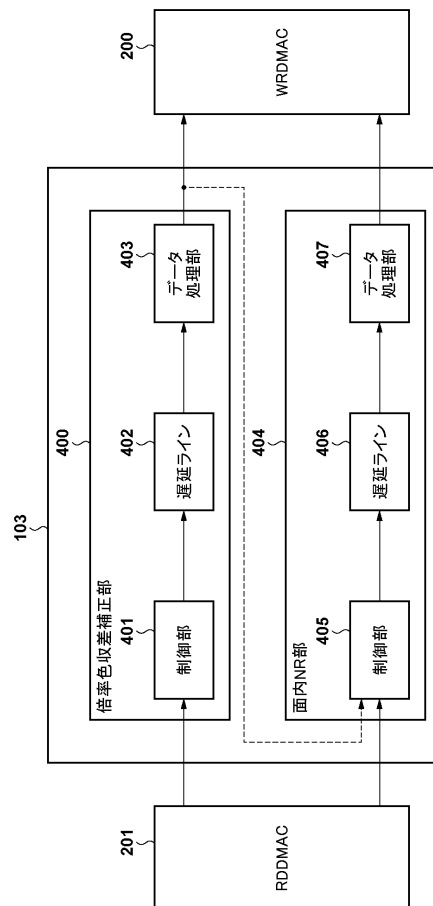
【図 2】



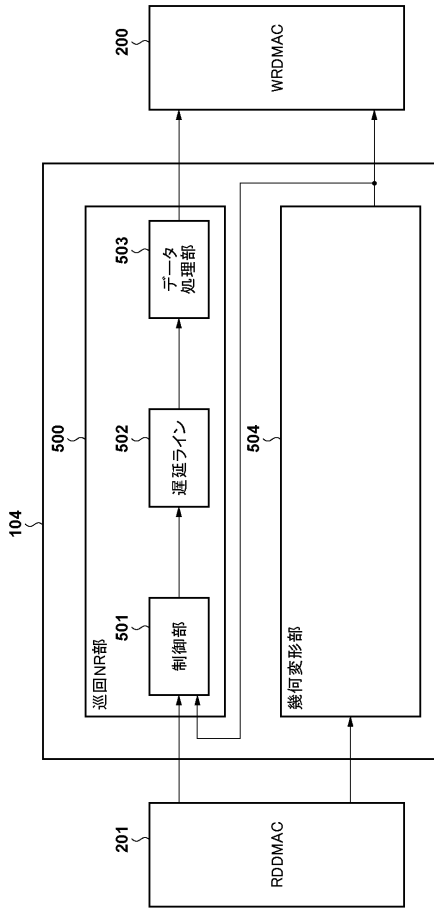
【図 3】



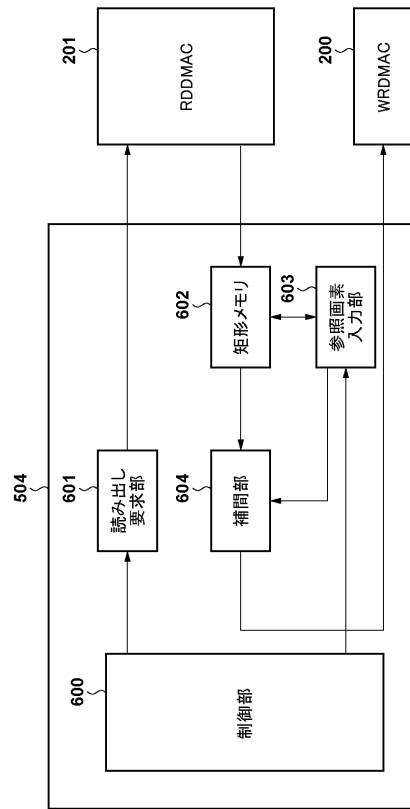
【図 4】



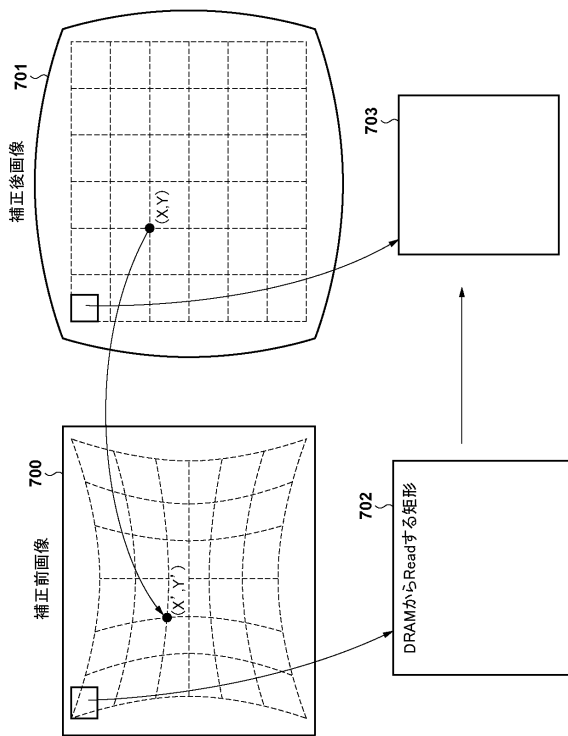
【図 5】



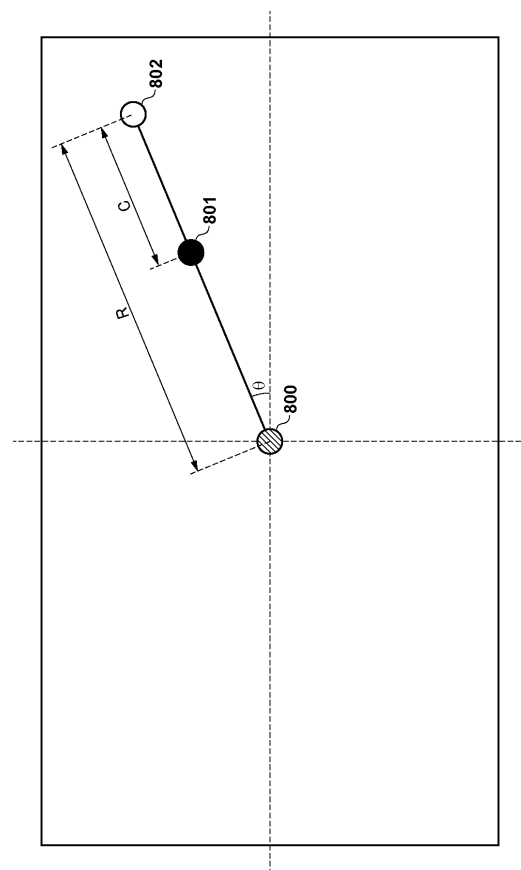
【図 6】



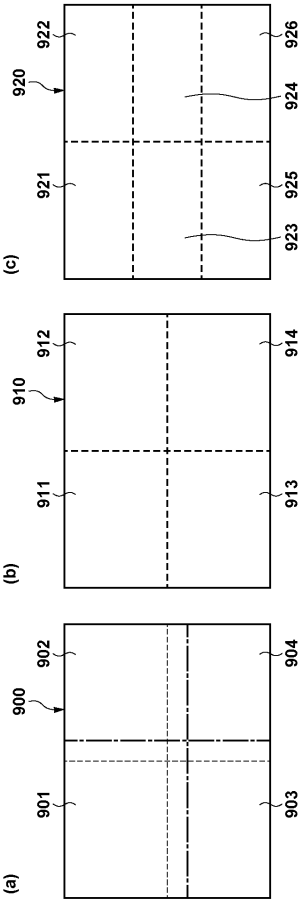
【図 7】



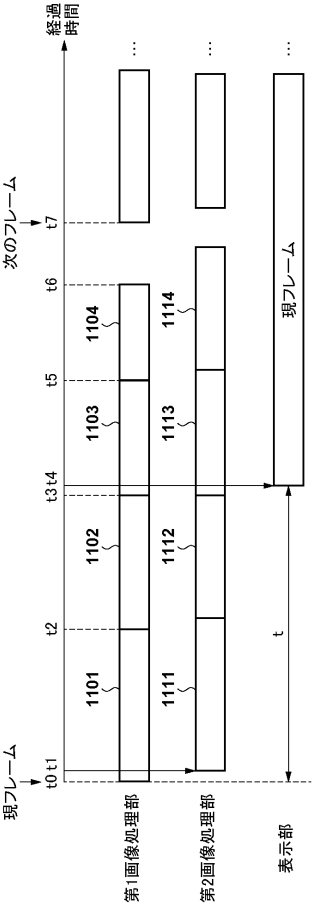
【図 8】



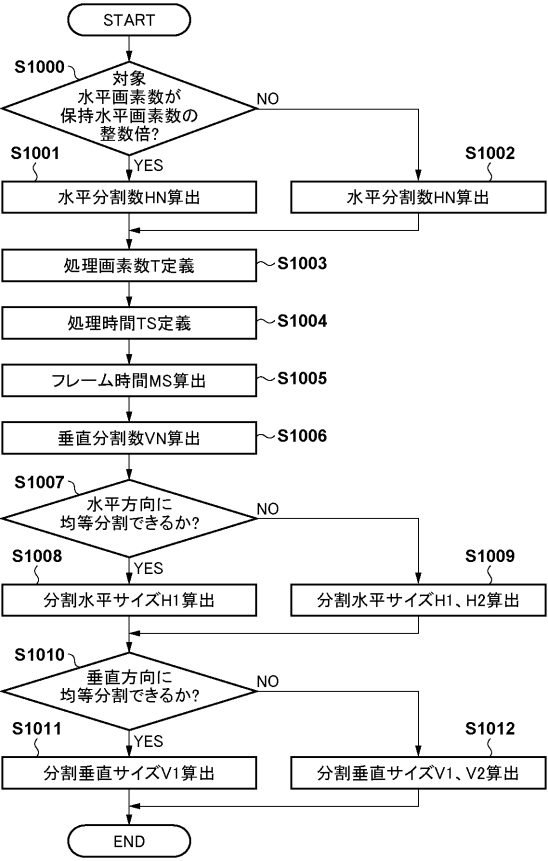
【図 9】



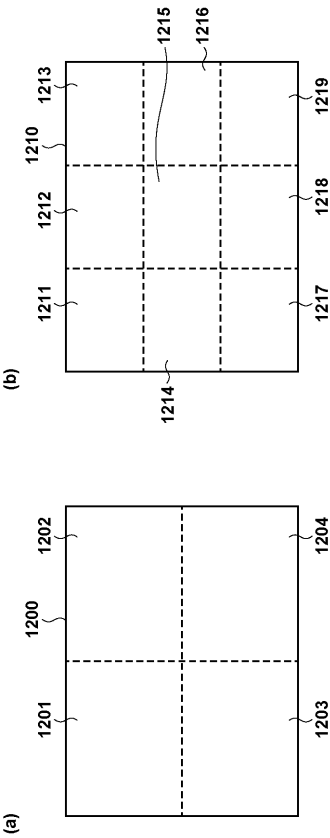
【図 1 1】



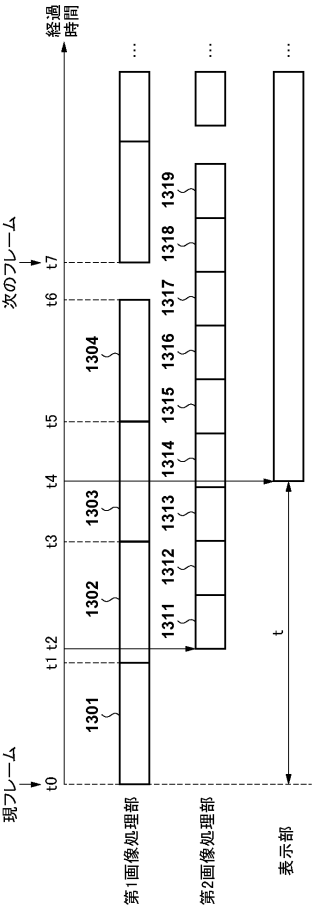
【図 1 0】



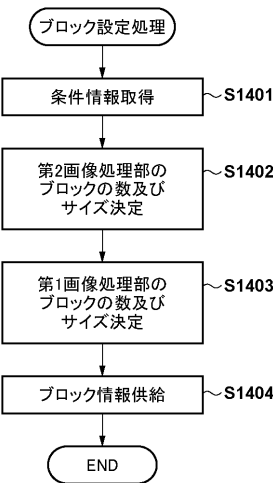
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(72)発明者 江幡 裕也
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 佐藤 直樹

(56)参考文献 特開2008-172410 (JP, A)
特開2015-109037 (JP, A)
特開2014-174689 (JP, A)
特開昭63-201784 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H04N 5/232
G06T 1/60
H04N 1/387