

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 28 年 7 月 7 日 (2016.7.7)

【公開番号】特開 2015-46749 (P2015-46749A)

【公開日】平成 27 年 3 月 12 日 (2015.3.12)

【年通号数】公開・登録公報 2015-016

【出願番号】特願 2013-176572 (P2013-176572)

【国際特許分類】

H 0 3 K 19/173 (2006.01)

【F I】

H 0 3 K 19/173 1 0 1

【手続補正書】

【提出日】平成 28 年 5 月 20 日 (2016.5.20)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

入力されるシリアルデータに対して所定の信号変換を行って所定のパラレルデータを生成するパラレルデータ生成部と、

入力信号に従って所定の搬送波パルス信号をパルス幅変調してパルス幅変調後のパラレルデータを生成するパルス幅変調データ生成部と、

入力される選択信号に基づいて、前記パラレルデータ生成部から出力されるパラレルデータと、前記パルス幅変調データ生成部から出力されるパラレルデータとのうちの 1 つを選択して出力するセレクトと、

前記セレクトから出力されるパラレルデータをシリアル出力信号に変換して出力するシリアライザとを備え、

前記パルス幅変調データ生成部は、入力されるパルス幅変調データに基づいて前記シリアル出力信号においてデューティ比の設定を行うためのパラレルデータを生成することを特徴とするデータ処理回路。

【請求項 2】

前記パラレルデータ生成部は、パラレル転送用クロックの周期設定値データ及びスキュー調整値に基づいて、パラレル転送用クロックのパラレルデータを生成するパラレル転送用クロック生成部を含むことを特徴とする請求項 1 記載のデータ処理回路。

【請求項 3】

前記パラレルデータ生成部は、8 ビット幅のシリアルデータを 10 ビット幅のパラレルデータに変換することを特徴とする請求項 1 又は 2 記載のデータ処理回路。

【請求項 4】

前記パラレル転送用クロック生成部は、前記シリアル出力信号において前記クロック周期設定値で設定された周期で発振し、前記スキュー調整値に基づいてスキュー調整を行うためのパラレルデータを生成することを特徴とする請求項 2 記載のデータ処理回路。

【請求項 5】

前記シリアライザは複数列のシフトレジスタを含むシフトレジスタ回路を備え、前記複数列のシフトレジスタからそれぞれ出力される各シリアル出力信号を、入力されるパラレルデータに同期する第 1 のクロック信号から分周された多相の第 2 のクロック信号で同期化することを特徴とする請求項 1 ~ 4 のうちのいずれか 1 つに記載のデータ処理回路。

## 【請求項 6】

前記パルス幅変調データ生成部は、入力される基準電圧データに基づいて前記搬送波パルス信号のパルス幅を変調することにより、パルス幅変調後のパラレルデータを生成することを特徴とする請求項 1 ～ 5 のうちのいずれか 1 つに記載のデータ処理回路。

## 【請求項 7】

前記パルス幅変調データ生成部は、入力される目標のモータの回転速度に基づいて前記搬送波パルス信号のパルス幅を変調することにより、パルス幅変調後のパラレルデータを生成することを特徴とする請求項 1 ～ 5 のうちのいずれか 1 つに記載のデータ処理回路。

## 【請求項 8】

前記パルス幅変調データ生成部は、入力される目標のモータ回転角度に基づいて前記搬送波パルス信号のパルス幅を変調することにより、パルス幅変調後のパラレルデータを生成することを特徴とする請求項 1 ～ 5 のうちのいずれか 1 つに記載のデータ処理回路。

## 【請求項 9】

前記パルス幅変調データ生成部は、入力される目標照度に基づいて前記搬送波パルス信号のパルス幅を変調することにより、パルス幅変調後のパラレルデータを生成することを特徴とする請求項 1 ～ 5 のうちのいずれか 1 つに記載のデータ処理回路。

## 【請求項 10】

前記パルス幅変調データ生成部は、入力される目標温度に基づいて前記搬送波パルス信号のパルス幅を変調することにより、パルス幅変調後のパラレルデータを生成することを特徴とする請求項 1 ～ 5 のうちのいずれか 1 つに記載のデータ処理回路。

## 【請求項 11】

被制御装置を制御するための制御装置であって、

請求項 5 ～ 10 のうちのいずれか 1 つに記載のデータ処理回路を備え、

前記データ処理回路から出力されるパルス幅変調後のパラレルデータを用いて前記被制御装置を制御することを特徴とする制御装置。

## 【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

図 1 において、データ処理回路 1 は、例えば 1 チップの集積回路 (IC) で構成され、シリアル転送データ生成部 2 と、パラレル転送用クロック生成部 3 と、PWM 変調データ生成部 4 と、セクタ 5 と、シリアライザ 6 とを備えて構成される。ここで、シリアル転送データ生成部 2 には、所定のシリアライズデータ (シリアル転送すべきシリアルデータ (以下、シリアル転送データ又はシリアルデータともいう。)) ser\_data が入力される。シリアル転送データ生成部 (パラレルデータ生成部) 2 はシリアライズデータ ser\_data を所定のパラレルデータ data1 に例えば符号化などの所定の変換処理を行ってセクタ 5 に出力する。また、パラレル転送用クロック生成部 (パラレルデータ生成部) 3 には、パラレル転送用クロックの発振周期設定値データ (クロック周期設定値) period\_data 及びスキュー調整値データ skew\_data が入力される。パラレル転送用クロック生成部 3 は、これらの入力データに基づいてパラレル転送用クロックを生成してセクタ 5 に出力する。さらに、PWM 変調データ生成部 4 には、PWM 変調データのデューティ設定用入力信号 pwm\_in が入力される。PWM 変調データ生成部 4 は入力信号 pwm\_in に従って所定の搬送波パルス信号をパルス幅変調して、パルス幅変調後のパラレルデータ data3 をセクタ 5 に出力する。次いで、セクタ 5 は、選択信号 sel に基づいて、データ data1 ～ 3 のうちの 1 つのデータを選択し、シリアライザ 6 に出力する。ここで、データ data1 ～ 3 及びデータ data\_in はそれぞれ所定の同一ビット幅を有する。