

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成28年7月7日(2016.7.7)

【公開番号】特開2015-46749(P2015-46749A)

【公開日】平成27年3月12日(2015.3.12)

【年通号数】公開・登録公報2015-016

【出願番号】特願2013-176572(P2013-176572)

【国際特許分類】

H 03K 19/173 (2006.01)

【F I】

H 03K 19/173 101

【手続補正書】

【提出日】平成28年5月20日(2016.5.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

入力されるシリアルデータに対して所定の信号変換を行って所定のパラレルデータを生成するパラレルデータ生成部と、

入力信号に従って所定の搬送波パルス信号をパルス幅変調してパルス幅変調後のパラレルデータを生成するパルス幅変調データ生成部と、

入力される選択信号に基づいて、前記パラレルデータ生成部から出力されるパラレルデータと、前記パルス幅変調データ生成部から出力されるパラレルデータとのうちの1つを選択して出力するセレクタと、

前記セレクタから出力されるパラレルデータをシリアル出力信号に変換して出力するシリライザとを備え、

前記パルス幅変調データ生成部は、入力されるパルス幅変調データに基づいて前記シリアル出力信号においてデューティ比の設定を行うためのパラレルデータを生成することを特徴とするデータ処理回路。

【請求項2】

前記パラレルデータ生成部は、パラレル転送用クロックの周期設定値データ及びスキューリー調整値に基づいて、パラレル転送用クロックのパラレルデータを生成するパラレル転送用クロック生成部を含むことを特徴とする請求項1記載のデータ処理回路。

【請求項3】

前記パラレルデータ生成部は、8ビット幅のシリアルデータを10ビット幅のパラレルデータに変換することを特徴とする請求項1又は2記載のデータ処理回路。

【請求項4】

前記パラレル転送用クロック生成部は、前記シリアル出力信号において前記クロック周期設定値で設定された周期で発振し、前記スキューリー調整値に基づいてスキューリー調整を行うためのパラレルデータを生成することを特徴とする請求項2記載のデータ処理回路。

【請求項5】

前記シリライザは複数列のシフトレジスタを含むシフトレジスタ回路を備え、前記複数列のシフトレジスタからそれぞれ出力される各シリアル出力信号を、入力されるパラレルデータに同期する第1のクロック信号から分周された多相の第2のクロック信号で同期化することを特徴とする請求項1～4のうちのいずれか1つに記載のデータ処理回路。

【請求項 6】

前記パルス幅変調データ生成部は、入力される基準電圧データに基づいて前記搬送波パルス信号のパルス幅を変調することにより、パルス幅変調後のパラレルデータを生成することを特徴とする請求項1～5のうちのいずれか1つに記載のデータ処理回路。

【請求項 7】

前記パルス幅変調データ生成部は、入力される目標のモータの回転速度に基づいて前記搬送波パルス信号のパルス幅を変調することにより、パルス幅変調後のパラレルデータを生成することを特徴とする請求項1～5のうちのいずれか1つに記載のデータ処理回路。

【請求項 8】

前記パルス幅変調データ生成部は、入力される目標のモータ回転角度に基づいて前記搬送波パルス信号のパルス幅を変調することにより、パルス幅変調後のパラレルデータを生成することを特徴とする請求項1～5のうちのいずれか1つに記載のデータ処理回路。

【請求項 9】

前記パルス幅変調データ生成部は、入力される目標照度に基づいて前記搬送波パルス信号のパルス幅を変調することにより、パルス幅変調後のパラレルデータを生成することを特徴とする請求項1～5のうちのいずれか1つに記載のデータ処理回路。

【請求項 10】

前記パルス幅変調データ生成部は、入力される目標温度に基づいて前記搬送波パルス信号のパルス幅を変調することにより、パルス幅変調後のパラレルデータを生成することを特徴とする請求項1～5のうちのいずれか1つに記載のデータ処理回路。

【請求項 11】

被制御装置を制御するための制御装置であって、

請求項5～10のうちのいずれか1つに記載のデータ処理回路を備え、

前記データ処理回路から出力されるパルス幅変調後のパラレルデータを用いて前記被制御装置を制御することを特徴とする制御装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

図1において、データ処理回路1は、例えば1チップの集積回路(I C)で構成され、シリアル転送データ生成部2と、パラレル転送用クロック生成部3と、PWM変調データ生成部4と、セレクタ5と、シリアルライザ6とを備えて構成される。ここで、シリアル転送データ生成部2には、所定のシリアルライズデータ(シリアル転送すべきシリアルデータ(以下、シリアル転送データ又はシリアルデータともいう。))ser_dataが入力される。シリアル転送データ生成部(パラレルデータ生成部)2はシリアルライズデータser_dataを所定のパラレルデータdata1に例えば符号化などの所定の変換処理を行ってセレクタ5に出力する。また、パラレル転送用クロック生成部(パラレルデータ生成部)3には、パラレル転送用クロックの発振周期設定値データ(クロック周期設定値)period_data及びスキー調整値データskew_dataが入力される。パラレル転送用クロック生成部3は、これらの入力データに基づいてパラレル転送用クロックを生成してセレクタ5に出力する。さらに、PWM変調データ生成部4には、PWM変調データのデューティ設定用入力信号pwm_inが入力される。PWM変調データ生成部4は入力信号pwm_inに従って所定の搬送波パルス信号をパルス幅変調して、パルス幅変調後のパラレルデータdata3をセレクタ5に出力する。次いで、セレクタ5は、選択信号selに基づいて、データdata1～3のうちの1つのデータを選択し、シリアルライザ6に出力する。ここで、データdata1～3及びデータdata_inはそれぞれ所定の同一ビット幅を有する。