



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I639095 B

(45)公告日：中華民國 107 (2018) 年 10 月 21 日

(21)申請案號：103116991

(22)申請日：中華民國 103 (2014) 年 05 月 14 日

(51)Int. Cl. : G06F17/50 (2006.01)

H01L27/04 (2006.01)

(30)優先權：2013/07/17 美國

13/944,129

(71)申請人：A R M股份有限公司(英國) ARM LIMITED (GB)

英國

(72)發明人：葉立克格瑞格利莫森 YERIC, GREGORY MUNSON (US)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

TW 200705229A

TW 200935265A

US 2003/0233630A1

US 2006/0036979A1

US 2009/0096351A1

審查人員：郭彥鋒

申請專利範圍項數：19 項 圖式數：9 共 26 頁

(54)名稱

製造具有一或更多層的積體電路之方法及相應的積體電路

METHODS OF MANUFACTURING INTEGRATED CIRCUITS HAVING ONE OR MORE LAYERS
AND CORRESPONDING INTEGRATED CIRCUITS

(57)摘要

使用直寫微影術步驟製造積體電路，以在該積體電路內部至少部分地形成至少一層。至少部分地形成之積體電路的效能特徵經量測，且隨後使用直寫微影術步驟應用之佈局設計取決於彼等效能特徵而不同。因此，可改變個別積體電路、積體電路之晶圓或晶圓之批次的效能。

Integrated circuits are manufactured using a direct write lithography step to at least partially form at least one layer within the integrated circuit. The performance characteristics of an at least partially formed integrated circuit are measured and then the layout design to be applied with a direct write lithography step is varied in dependence upon those performance characteristics. Accordingly, the performance of an individual integrated circuit, wafer of integrated circuits or batch of wafers may be altered.

指定代表圖：

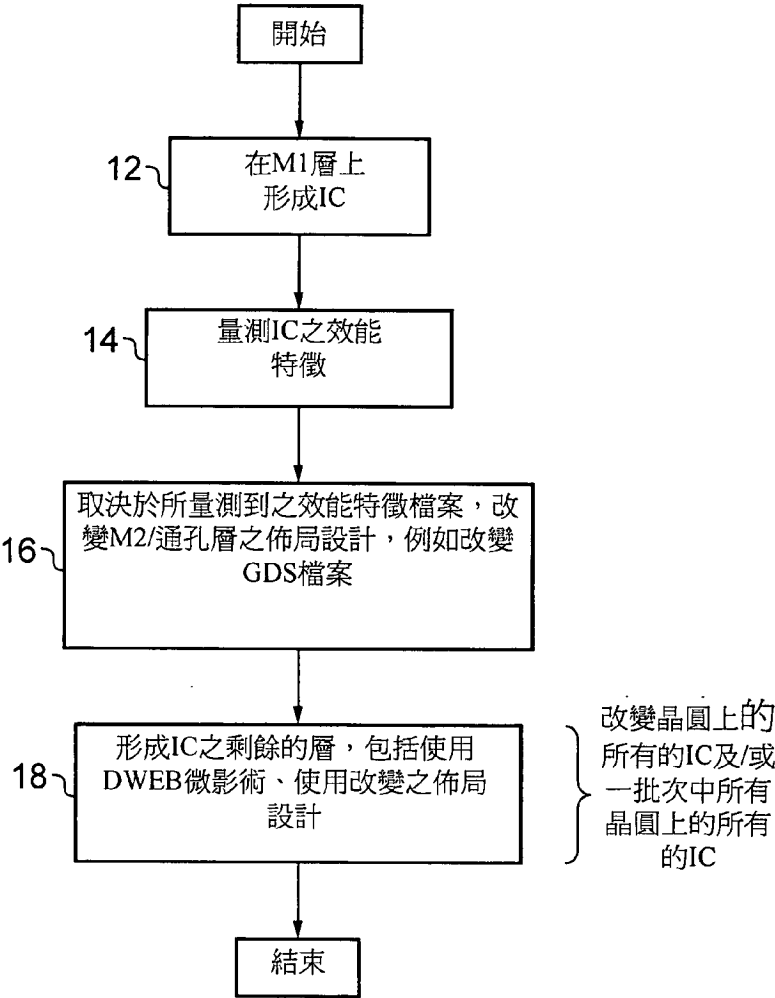
符號簡單說明：

12 . . . 步驟

14 . . . 步驟

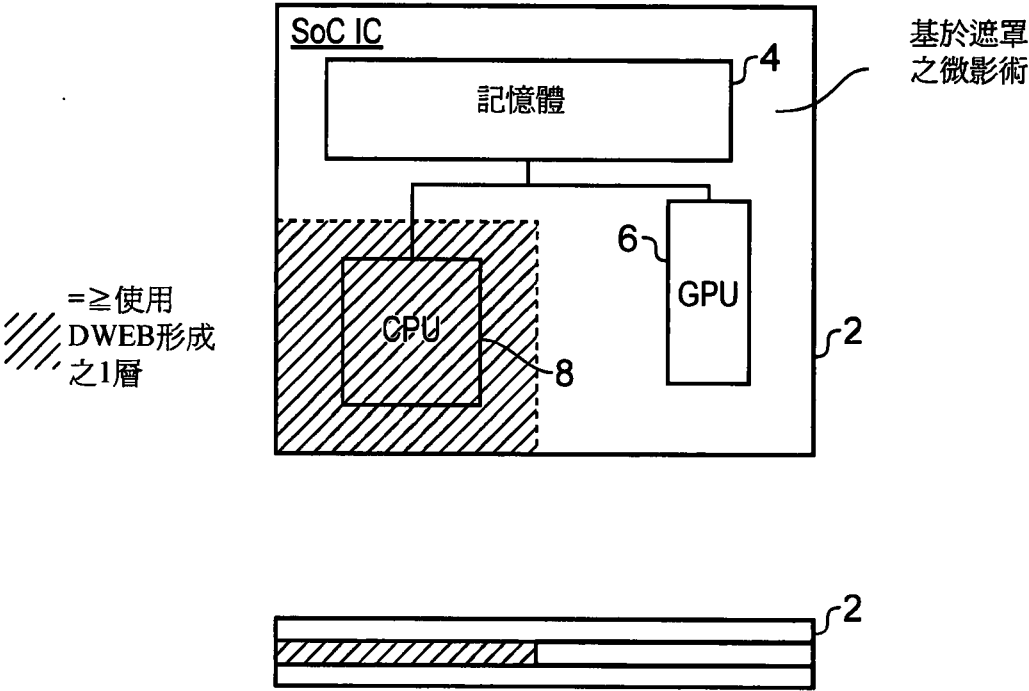
16 . . . 步驟

18 . . . 步驟

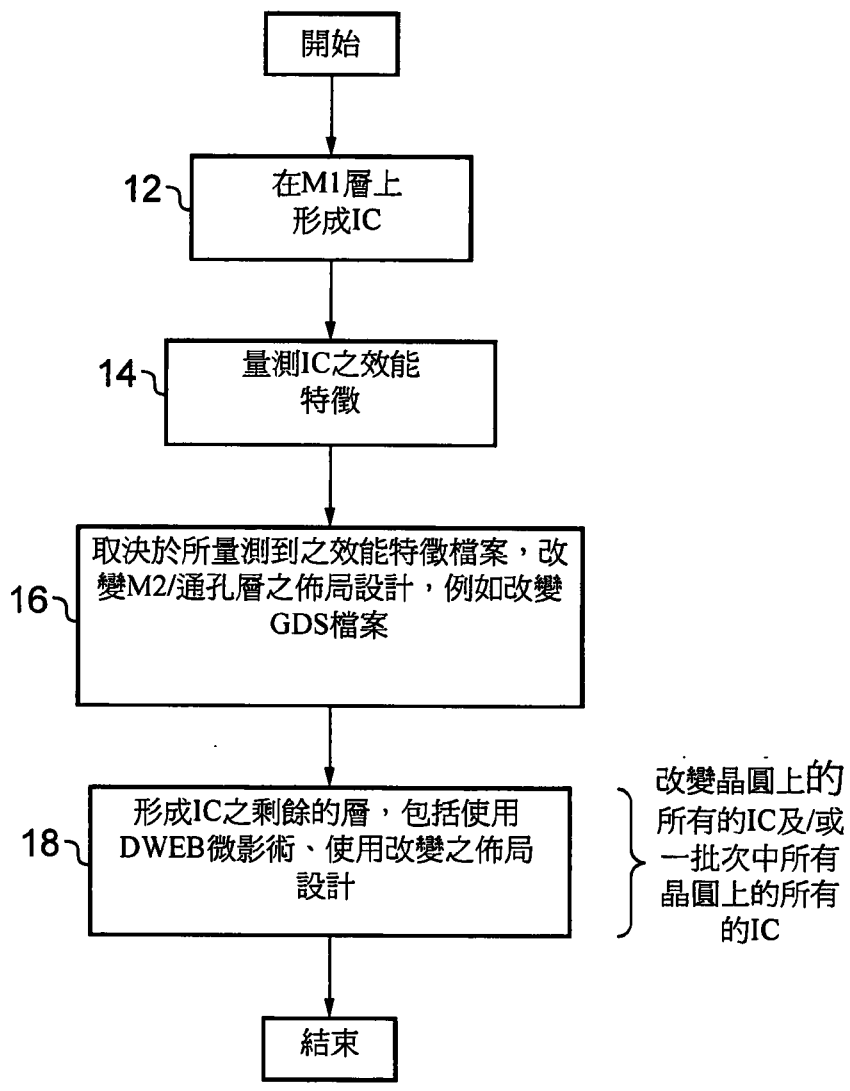


第2圖

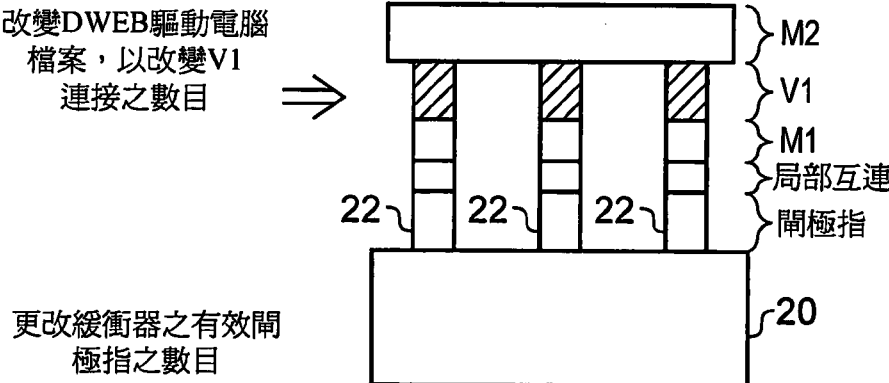
圖式



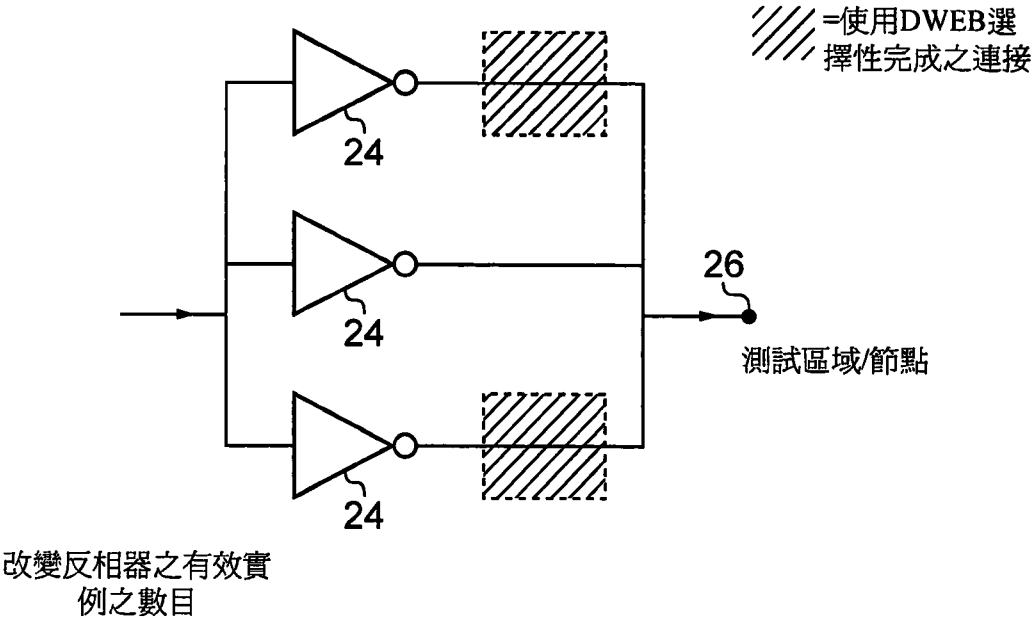
第1圖



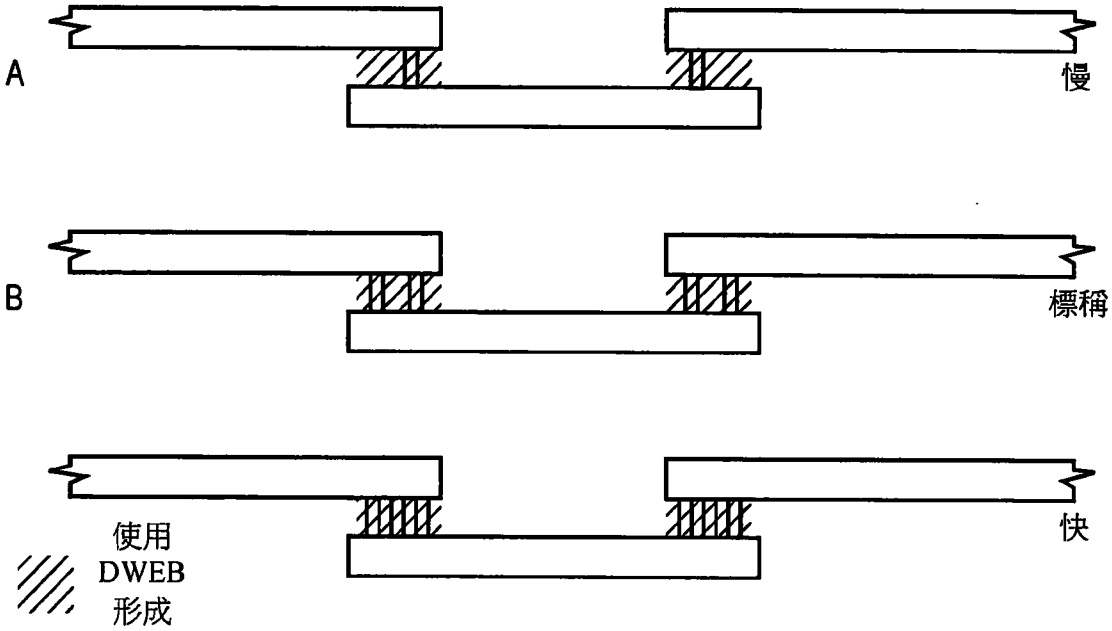
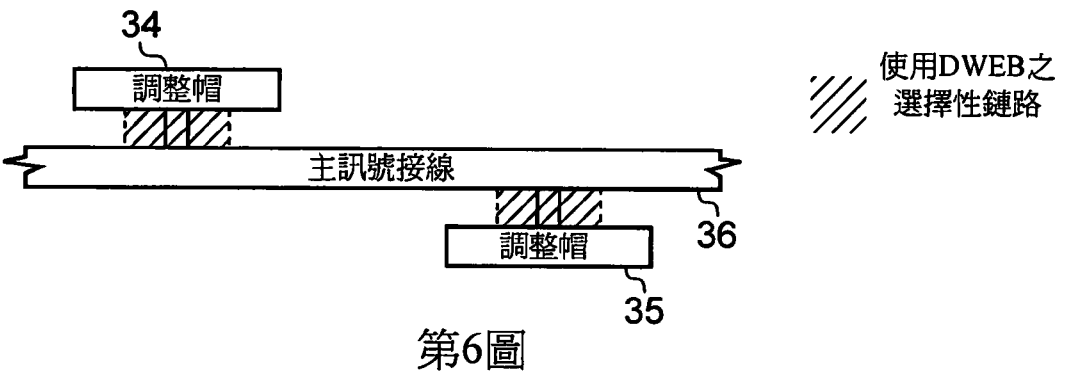
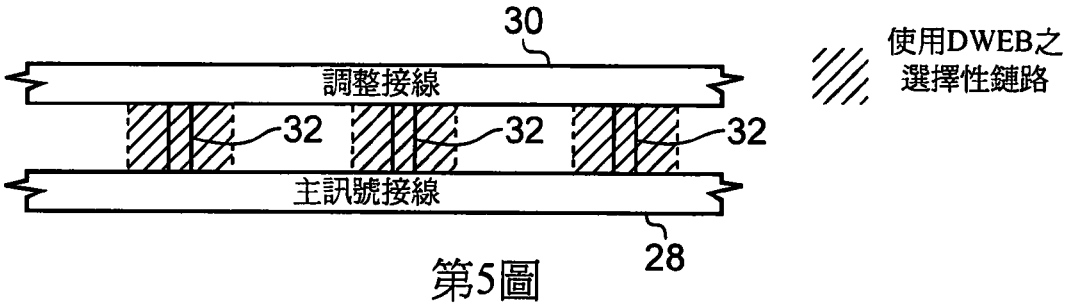
第2圖

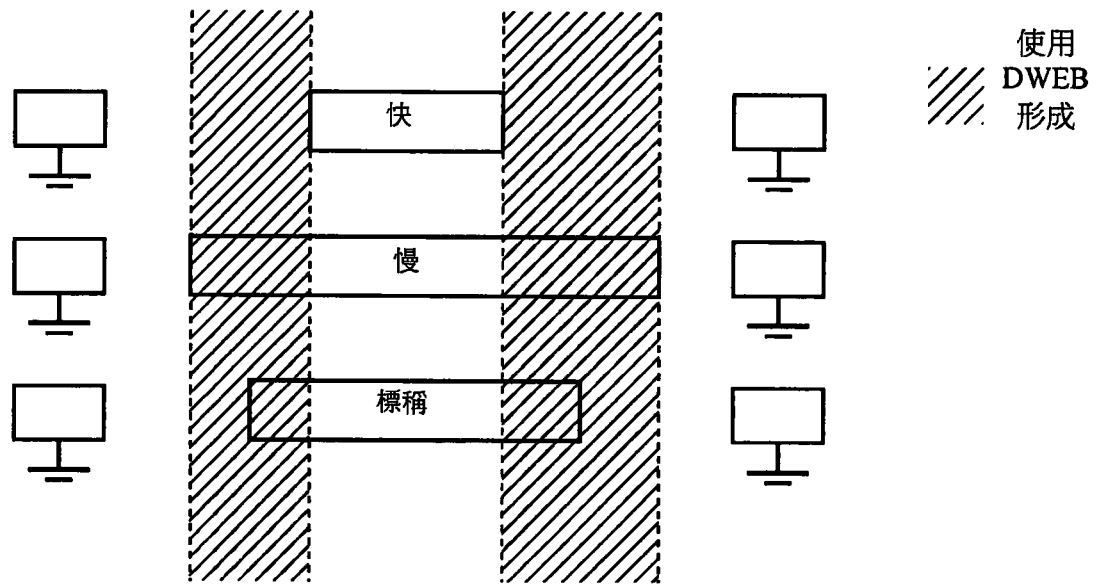


第3圖

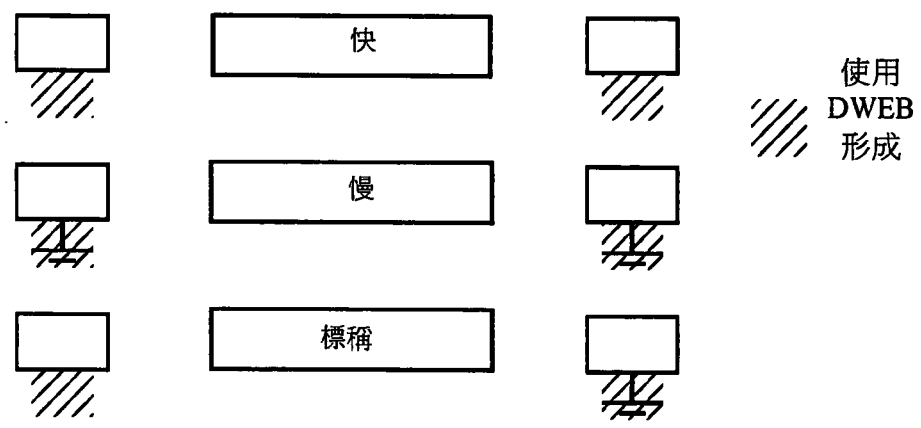


第4圖





第8圖



第9圖

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

製造具有一或更多層的積體電路之方法及相應的積體電路
METHODS OF MANUFACTURING INTEGRATED
CIRCUITS HAVING ONE OR MORE LAYERS AND
CORRESPONDING INTEGRATED CIRCUITS

【技術領域】

【0001】 本發明係關於製造積體電路之領域。更特定言之，本發明係關於使用直寫微影術技術作為積體電路製造之部分。

【先前技術】

【0002】 藉由使用一系列遮罩以在積體電路內形成不同層而製造積體電路為人們所熟知。適當遮罩的製造是耗時且操作代價大的。

【0003】 在積體電路製造期間使用直寫微影術為人們熟知。詳言之，使用諸如直寫電子束微影術之技術校正已製造的個別積體電路的製造缺陷為人們所熟知。舉例而言，若已製造之積體電路在兩個印刷特徵之間具有短路，則可使用直寫電子束微影術移除該短路，且復原該積體電路的正確操作。此類操作提供在固定佈局設計內的缺陷校正。

【0004】 已知其他直寫微影術技術。此等技術包括噴墨電路印刷及霧質噴射電路印刷。此等技術變得越來越能夠生產小

尺寸的電路，以至彼等電路可用於製造積體電路的程度。

【0005】 隨積體電路製造中處理尺寸減小增加的問題為：電路特徵的尺寸和定位的非所欲可變性。此舉可減少正確操作積體電路的良率，且不利地影響積體電路的效能特徵，使效能特徵在所要的範圍之外。

【發明內容】

【0006】 自一態樣可見，本發明提供一種製造具有一或更多層之積體電路的方法，該一或更多層具有各別佈局設計且使用直寫微影術步驟至少部分地形成，該方法包含以下步驟：

【0007】 量測至少部分形成的積體電路之一或更多個效能特徵；

【0008】 取決於該一或更多個效能特徵，改變待使用該直寫微影術步驟形成的該一或更多層之至少一層的該佈局設計，以生成變化的佈局設計；以及

【0009】 根據該變化的佈局設計，使用該直寫微影術的步驟形成該一或更多層的該至少一層。

【0010】 本技術使用直寫微影術製造積體電路內的至少一層的至少部分。量測積體電路的效能特徵，以及取決於量測到的效能特徵而定，改變待使用直寫微影術形成的一或更多層的佈局設計。因此，取決於至少部分形成的積體電路之量測到的效能特徵來修改積體電路經製造而成的佈局設計。因為直寫微影術並不使用固定且昂貴的遮罩，所以回應於基於個別積體電路、基於積體電路之個別晶圓或基於晶圓批次所量測到的效能特徵反饋，修改使用直寫微影術形成的層是可行

的。本技術可用於更改部分製造之積體電路的設計。本技術亦可用於更改後續製造之積體電路（亦即，並非經受效能量測的個別積體電路）的設計。

【0011】 根據預定規則，可將佈局設計的改變執行為自動反饋過程。例如，可制訂規則，因此若積體電路之特定部分操作過慢或過快，則可作出預定變化，該變化已知用於以所需意義改變操作速率。

【0012】 由直寫微影術形成之層可部分藉由直寫微影術形成，且部分藉由基於遮罩之微影術形成。直寫微影術可能比基於遮罩之微影術慢，且因此直寫微影術可以受限制的基礎用於層之彼等部分，對於該等部分，需要能夠動態地改變佈局設計。

【0013】 如先前所述，直寫微影術可能採取多種不同的形式。例如，直寫微影術可為直射光電子束微影術、直寫噴墨電路印刷及直寫霧質噴射電路印刷（凹版印刷技術）中之一者。

【0014】 通常以用於控制直寫微影術機器之電腦檔案的形式提供直寫微影術技術所使用的佈局設計。藉由（視需要使用如上所述之預定規則）改變用於驅動此類機器之電腦檔案，可便利地且經濟地對佈局設計做出改變。

【0015】 已量測之一或更多個效能特徵可採用多種不同的形式。例如，最小操作電壓可作為量測參數。然而，更好地適合於使用設計佈局之改變來進行調整的效能特徵為積體電路之至少一部分的操作速率。

【0016】 可在完全完成或部分完成的積體電路上執行量測步驟。在積體電路內形成第一金屬層之後，且在完成積體電路之製造之前執行量測是方便的。在形成第一金屬層之後，可收集有關直至彼刻形成之積體電路的效能特徵的有用資訊，且可能對佈局設計做出的任何調整在隨後形成的層中可能生效，以使得量測之效能特徵返回至所要位準（若需要）。

【0017】 效能特徵的量測可使用位於積體電路內之一或更多個測試電路區域執行。例如，為達量測個別積體電路之操作速率以收集可能用於改變電路佈局之資訊之目的，可包括特定的金絲雀電路(canary circuit)。

【0018】 可以多種不同的方式對佈局設計做出改變。可具有更好的控制效果的對佈局設計的便利的變化為對第二或更高金屬層、局部互聯層或通孔層的變化。以此方式改變積體電路設計內的電連接可用於提供對積體電路的效能特徵之相對確定性的變化。

【0019】 對佈局設計可能做出之改變的實例包括改變在緩衝電路內連接的許多閘極指，進而改變緩衝電路的驅動強度。在包括電路元件之複數個實例的積體電路內可做出的另一設計改變為改變連接之彼等電路元件實例的數目，以便在積體電路之操作期間該等電路元件實例為有效的。因此，例如，藉由以使得節點之驅動強度達到所欲位準的方式改變佈局，可改變用於驅動彼節點之許多反相器。

【0020】 可以所欲方式更改效能特徵之對佈局設計的另一改變為改變積體電路內的一或更多個互連接線，以便更改彼等

互連接線的電阻及/或電容。

【0021】 當互連接線包含一或更多個平行互連接線時，可改變的配置將以改變彼等互連接線之電阻及/或電容的方式包括或移除彼等平行互連接線之間的連接。可對互連接線做出的另一改變為以可改變彼等互連接線之電阻及/或電容之方式改變彼等互連接線之橫向的橫截面積。

【0022】 可藉由包括互連接線之屏蔽（該屏蔽改變互連接線之有效性），例如藉由提供屏蔽導體（該屏蔽導體從具有漂移電位變化為具有接地電位），而改變與整合接線相關之電容以及相應的整合接線之速率。

【0023】 自另一態樣可見，本發明提供一種製造具有一或更多層的積體電路之方法，其中該一或更多層具有各別佈局設計且使用直寫微影術步驟至少部分地形成，該方法包含以下步驟：

【0024】 改變待使用該直寫微影術步驟形成的該一或更多層之至少一層之該佈局設計，以在該積體電路內配置一或更多個電路元件，從而生成針對該積體電路之電可讀識別符；以及

【0025】 根據該經變化的佈局設計，使用該直寫微影術步驟形成該一或更多層之該至少一層。

【0026】 製造期間應用於改變積體電路佈局設計的直寫微影術技術可用於提供針對積體電路之電可讀識別符（該識別符係藉由所使用之佈局設計在製造期間內建），例如可使用藉由直寫微影術技術之使用而許可的佈局設計變化標記或注期

積體電路。若需要改變遮罩，則該等變化不具有成本效益，因為花費的時間及涉及的成本過高。

【0027】 自另一態樣可見，本發明提供一種製造具有複數個獨立設計之功能區塊和一或更多層之晶片上系統積體電路的方法，其中該一或更多層具有各別佈局設計且使用直寫微影術步驟至少部分地形成，該方法包含以下步驟：

【0028】 改變待使用該直寫微影術步驟形成之該一或更多層之至少一層的該佈局設計，以改變該等複數個功能區塊之一者的設計，同時使得該等複數個功能區塊之其他區塊保持不變；以及

【0029】 根據該變化的佈局設計，使用該直寫微影術步驟形成該一或更多層之該至少一層。

【0030】 本技術可用於更新積體電路之一部分的佈局設計，同時使得該積體電路的其他部分保持不變。因此，在包含獨立設計之功能區塊的晶片上系統積體電路中，可使用直射光微影術，以允許改變彼等功能區塊之一些的設計，同時使得其他功能區塊保持不變之方式形成彼等功能區塊之一些（例如藉由基於遮罩之技術製造彼等功能區塊之一些）。

【0031】 自又一態樣可見，本發明提供一種製造具有一或更多層的積體電路之方法，其中該一或更多層具有各別佈局設計且使用直寫微影術步驟至少部分地形成，該方法包含以下步驟：

【0032】 至少部分地形成該積體電路之複數個實例，各實例具有不同形式之該佈局設計；

【0033】 量測該積體電路之該等複數個實例之一或更多個效能特徵；

【0034】 取決於該一或更多個效能特徵，選擇待使用該直寫微影術步驟形成的該一或更多層之至少一層之該等不同形式佈局設計中之一者作為選定之佈局設計；以及

【0035】 根據該選定之佈局設計，使用該直寫微影術步驟形成該一或更多層之該至少一層。

【0036】 有可能先形成並測試複數個佈局設計，隨後取決於所量測之效能特徵，從複數個現有佈局設計中選擇將用於該積體電路之進一步製造的佈局設計。

【0037】 本發明之上述及其他目標、特徵及優勢將從在下文中對將結合附圖閱讀之說明性實施例之詳細描述顯而易見。

【圖式簡單說明】

【0038】 第 1 圖示意性地圖示晶片上系統積體電路，在該晶片上系統積體電路中，一個功能區塊包括由直寫電子束微影術製造之層；

【0039】 第 2 圖為示意性地圖示製造期間對佈局設計之動態改變的流程圖；

【0040】 第 3 圖為示意性地圖示佈局設計之示例性變化的圖，該示例性變化可用於更改在緩衝電路中有效的閘極指的數目。

【0041】 第 4 圖示意性地圖示反相器之許多實例，該等實例具有對藉由直射光電子束微影術形成之該佈局設計的變化，該變化用於改變該等有效實例之數目；

【0042】 第 5 圖、第 6 圖、第 7 圖、第 8 圖及第 9 圖示意性地圖示調整技術，該等調整技術可應用於互連接線，該等互連接線使用根據直射光電子束微影術有選擇地形成之連接。

【實施方式】

【0043】 第 1 圖示意性地圖示晶片上系統積體電路 2，晶片上系統積體電路 2 包括複數個功能區塊，諸如記憶體 4、圖形處理單元 6 和通用處理器 8。通用處理器 8 內之至少一個層係使用直寫電子束微影術形成的。使用此直寫微影術技術形成之晶片上系統積體電路之部分在第 1 圖中圖示為陰影。第 1 圖圖示積體電路 2 之平面圖及橫截面圖兩者。

【0044】 第 2 圖為示意性地圖示積體電路之製造過程之流程圖，在該製造過程中可更改一或更多層之佈局設計。在步驟 12 處，在金屬 1 層形成積體電路且該積體電路包括金屬 1 層。在步驟 14 處，量測部分製造之積體電路的一或更多個效能特徵。可在積體電路內之預定測試區域（諸如特定提供之環式振盪器或金絲雀電路）處量測此等效能特徵。

【0045】 在步驟 16 處，將量測之效能特徵與所要的效能特徵作比較，且取決於彼等量測到的效能特徵而對金屬 2 層及/或通孔層的佈局設計做出改變。藉由改變界定佈局設計之相關 GDS 檔案可便利地做出此佈局設計的改變。可提供直寫電子束微影術機器，該等機器讀取界定電路佈局之 GDS 檔案、破壞彼等設計且隨後驅動該等電子束以製造適當的電路佈局層。

【0046】 在步驟 18 處，製造該等積體電路之剩餘層，包括使

用直寫電子束微影術技術形成所形成的之剩餘層之至少一層之至少部分（亦可使用其他技術，諸如直寫噴墨電路印刷、直寫霧質噴射電路印刷及凹版印刷技術）。

【0047】 在步驟 16 處可對個別積體電路、在同一晶圓上製造之全部積體電路及/或給定之晶圓批次中的全部晶圓進行佈局設計改變。

【0048】 第 3 圖示意性地圖示穿過積體電路之部分的橫截面，該部分包括基板 20，在基板 20 上形成有複數個閘極指 22。閘極指 22 為緩衝電路之部分，且可藉由改變有效的閘極指之數目來更改彼緩衝電路之驅動強度。可藉由改變是否使用通孔層 V1 將個別閘極指 22 連接到金屬 2 層 M2，而使得個別閘極指 22 有效或無效。因此，根據本技術，在形成金屬 1 層 M1 之後，藉由改變是否進行 V1 層至金屬 2 層之個別通孔連接，進而連接相關閘極指 22 或與相關閘極指 22 隔離，可有效地改變該佈局設計。

【0049】 第 4 圖示意性地圖示積體電路之部分，在該部分中提供反相器 24 之複數個實例，且該等反相器實例可並行操作以驅動節點 26。節點 26 可為測試區域，該測試區域用於確定積體電路之速率是否為標稱的。若該速率太低，則可增加驅動該節點之反相器的數目。相反，若該速率太高，則可減少驅動該節點之反相器的數目。位於反相器 24 與節點 26 中的二者之間的的金屬連接係使用直射光電子束微影術形成的，且因此可藉由佈局設計的適當變化移除該等金屬連接，以便改變施加至節點 26 之驅動強度。

【0050】 第 5 圖示意性地圖示經由鏈路 32 有選擇地耦接至調整接線 30 之互連接線 28。鏈路 32 藉由直寫電子束微影術形成，且因此可動態地將該佈局設計改變為包括或不包括個別鏈路 32。因此，可更改主訊號接線 28 及調整接線 30 之組合的電容及/或電阻（且因此更改速率）。

【0051】 第 6 圖示意性地圖示第 5 圖圖示之佈置的變化。在此實例中，調整接線 30 由複數個調整電容 34、35 替代，該等複數個調整電容 34、35 可使用通孔從調整接線 30 之上方或下方連接到或不連接到主訊號接線 36。連接或不連接調整帶 34 更改主訊號接線 36 之電容，且因此更改主訊號接線傳播訊號改變之速率。

【0052】 第 7 圖示意性地圖示提供互連接線之方式的另一示例性改變。在此實例中，更改互連接線中不同部分之間連接的數目，進而改變互連接線之電阻。改變互連接線之電阻，以改變沿訊號接線之訊號的傳播速率，且進而藉由改變佈局設計（亦即，互連接線之鄰近部分之間的許多鏈路）調整效能參數。

【0053】 第 8 圖示意性地圖示可能對互連接線做出的另一類型的變化。在此實例中，更改互連接線之橫截面的寬度，以移動彼等接線之邊緣更靠近或更遠離屏蔽接線。改變互連接線之間的間隔及該互連接線之屏蔽，以改變訊號可沿彼互連接線傳播之速率。使用如所說明之直寫電子束微影術可形成待改變之互連接線之寬度的至少部分，且因此根據個別積體電路晶圓或晶圓批次之量測到的效能特徵改變該等部分。

【0054】 第 9 圖圖示可調整互連電路之效能特徵的方式之另一實例。在此實例中，互連接線具有屏蔽接線，且藉由改變彼等屏蔽接線是接地還是允許漂移來改變佈局設計。將屏蔽接線接地將傾向於減速沿互連接線之信號傳播。因此，第 9 圖中圖示之最快的互連接線為其中屏蔽導體兩者均漂移的一個互連接線。最慢的互連接線為其中屏蔽導體皆接地的一個互連接線，及標稱互連接線為其中該等屏蔽導體中之一者漂移且另一者接地之一個互連接線。

【0055】 由直寫微影術形成之積體電路之部分的佈局設計可更改，以便針對積體電路提供變化的電可讀識別符。因此，任何個別積體電路、晶圓或晶圓批次可使其自身佈局改變，以固線傳輸特定值至暫存器中，該特定值可隨後經電讀取。以此方式，個別積體電路可具有以一種方式附屬於該個別積體電路的序列號，其中該序列號不可能在不毀壞積體電路的情況下改變。

【0056】 可能已預先決定藉由直寫微影術製造之積體電路之部分的佈局設計的變化。例如，就第 4 圖的情況而言，可能已預先形成不同的佈局設計，該等不同的佈局設計分別將反相器 24 中之一者、二者或三者連接至該節點 26。當已決定部分形成之積體電路之速率，且已決定應連接至節點 26 之反相器之數目以實現所要的效能位準時，則可選擇此等預先形成的佈局設計中之適當的一者，以用於該積體電路之進一步製造。

【0057】 在本技術之一些實施例中，可生產及測試根據使用

直射光束微影術應用之複數個不同的佈局設計所製造的積體電路。取決於彼等測試結果，可選擇彼等經測試佈局設計中之特定的佈局設計，以進一步用於晶圓或批次位準之積體電路的系列生產。

【0058】 儘管本文已參閱附圖詳細描述本發明之說明性實施例，但是應瞭解，本發明不限制在彼等精確的實施例，且在不脫離如隨附申請專利範圍所定義的本發明之範疇及精神的情況下，熟習此項技術者可實現對實施例之多種變化及修改。

【符號說明】

【0059】

- 2 晶片上系統積體電路
- 4 記憶體
- 6 圖形處理單元
- 8 通用處理器
- 12 步驟
- 14 步驟
- 16 步驟
- 18 步驟
- 20 基板
- 22 閘極指
- 24 反相器
- 26 節點
- 28 互連接線/主訊號接線
- 30 調整接線

32 鏈路

34 調整電容/調整帶

35 調整電容

36 主訊號接線

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

無

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

無

【序列表】(請換頁單獨記載)

無



I639095

發明摘要

※ 申請案號：103116991

※ 申請日：103 年 5 月 14 日

※IPC 分類：G06F 17/50 (2006.01)
H01L 27/04 (2006.01)

【發明名稱】（中文/英文）

製造具有一或更多層的積體電路之方法及相應的積體電路
METHODS OF MANUFACTURING INTEGRATED CIRCUITS
HAVING ONE OR MORE LAYERS AND CORRESPONDING
INTEGRATED CIRCUITS

【中文】

使用直寫微影術步驟製造積體電路，以在該積體電路內部至少部分地形成至少一層。至少部分地形成之積體電路的效能特徵經量測，且隨後使用直寫微影術步驟應用之佈局設計取決於彼等效能特徵而不同。因此，可改變個別積體電路、積體電路之晶圓或晶圓之批次的效能。

【英文】

Integrated circuits are manufactured using a direct write lithography step to at least partially form at least one layer within the integrated circuit. The performance characteristics of an at least partially formed integrated circuit are measured and then the layout design to be applied with a direct write lithography step is varied in dependence upon those performance characteristics. Accordingly, the performance of an individual integrated

circuit, wafer of integrated circuits or batch of wafers may be altered.

【代表圖】

【本案指定代表圖】：第（ 2 ）圖。

【本代表圖之符號簡單說明】：

12 步驟

14 步驟

16 步驟

18 步驟

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種製造具有一或更多層之積體電路之方法，其中該一或更多層具有一各別佈局設計且使用一直寫微影術步驟至少部分地形成，該方法包含以下步驟：

量測一至少部分形成之積體電路的一或更多個效能特徵；

取決於該一或更多個效能特徵，改變待使用該直寫微影術步驟形成的該一或更多層之至少一層的該佈局設計，以生成一變化的佈局設計；以及

根據該變化的佈局設計，使用該直寫微影術步驟形成該一或更多層之該至少一層，

其中該一或更多個效能特徵包括該積體電路之至少一部分之一操作速率，且該改變之佈局設計提供該積體電路之該至少一部分之一改變的標稱操作速率。

2. 如請求項 1 所述之方法，其中該改變之步驟為根據一預定規則執行的一自動反饋過程。

3. 如請求項 1 所述之方法，其中使用該改變的佈局設計形成之該一或更多層之該至少一者是部分地藉由該直寫微影術步驟形成的，以及部分地藉由一基於遮罩之微影術步驟形成的。

4. 如請求項 1 所述之方法，其中在以下之一者上執行該量

測步驟及該形成步驟：

一積體電路之一共用實例；

一共用的晶圓，用於製造複數個積體電路；以及

一共用的晶圓批次，其中每一晶圓用於製造複數個積體電路。

5. 如請求項 1 所述之方法，其中該直寫微影術步驟為以下各者之一：

直寫電子束微影術；

直寫噴墨電路印刷；以及

直寫霧質噴射電路印刷。

6. 如請求項 1 所述之方法，其中該改變步驟包含以下步驟：改變指定該佈局設計之一電腦檔案，以形成指定該改變之佈局設計之一改變的電腦檔案，且該形成步驟讀取該改變之電腦檔案。

7. 如請求項 1 所述之方法，其中在該積體電路內部形成一第一金屬層之後及在完成該積體電路之製造之前執行該量測步驟。

8. 如請求項 1 所述之方法，其中使用位於該積體電路內部之一或更多個測試電路區域執行該量測步驟。

9. 如請求項 1 所述之方法，其中該改變之佈局設計為以下之一或更多者之一佈局設計：

- 一第二或更高之金屬層；
- 一局部互連層；以及
- 一通孔層。

10. 如請求項 1 所述之方法，其中該改變之佈局設計改變在一緩衝電路內連接的許多閘極指，進而改變該緩衝電路之一驅動強度。

11. 如請求項 1 所述之方法，其中該積體電路包括一電路元件之複數個實例，且該改變之佈局設計改變連接之該電路元件之許多實例，以便該等實例在該積體電路之操作期間為有效的。

12. 如請求項 1 所述之方法，其中該改變之佈局設計改變具有該積體電路之一或更多個互連接線之一配置，以便改變以下之一或更多者：

- 該一或更多個互連接線之電阻；以及
- 該一或更多個互連接線之電容。

13. 如請求項 12 所述之方法，其中該一或更多個互連接線包含一或更多個平行互連接線，且該經改變配置包括該等平行互連接線之間之連接的添加和移除步驟之一者。

14. 如請求項 12 所述之方法，其中該經改變配置包括該一或更多個互連接線之一橫向的橫截面積。

15. 如請求項 12 所述之方法，其中該經改變配置包括提供給該一或更多個互連接線之屏蔽程度。

16. 如請求項 15 所述之方法，其中一屏蔽導體從具有一漂移電位改變為具有一接地電位。

17. 一種製造具有一或更多層之積體電路之方法，其中該一或更多層具有一各別佈局設計且使用一直寫微影術步驟至少部分地形成，該方法包含以下步驟：

至少部分地形成該積體電路之複數個實例，各實例具有一不同形式之佈局設計；

量測該積體電路之該等複數個實例之一或更多個效能特徵；

取決於該一或更多個效能特徵，選擇待使用該直寫微影術步驟形成的該一或更多層之至少一層之該等不同形式之佈局設計之一者作為一選定的佈局設計；以及

根據該選定之佈局設計，使用該直寫微影術步驟形成該一或更多層之該至少一層，

其中該一或更多個效能特徵包括該積體電路之至少一部分之一操作速率，且該改變之佈局設計提供該積體電路之該

至少一部分之一改變的標稱操作速率。

18. 一種根據如請求項 1 所述之方法形成的積體電路。

19. 一種根據如請求項 17 所述之方法形成的積體電路。

circuit, wafer of integrated circuits or batch of wafers may be altered.

【代表圖】

【本案指定代表圖】：第（ 2 ）圖。

【本代表圖之符號簡單說明】：

12 步驟

14 步驟

16 步驟

18 步驟

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無