

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4045064号
(P4045064)

(45) 発行日 平成20年2月13日 (2008. 2. 13)

(24) 登録日 平成19年11月22日 (2007. 11. 22)

(51) Int. Cl.

F I

G 1 1 C 11/407 (2006. 01)

G 1 1 C 11/34 3 6 2 S

G 1 1 C 11/4076 (2006. 01)

G 1 1 C 11/34 3 5 4 C

G 1 1 C 11/4093 (2006. 01)

G 1 1 C 11/34 3 5 4 Q

請求項の数 7 (全 23 頁)

(21) 出願番号 特願2000-95826 (P2000-95826)
 (22) 出願日 平成12年3月30日 (2000. 3. 30)
 (65) 公開番号 特開2001-283589 (P2001-283589A)
 (43) 公開日 平成13年10月12日 (2001. 10. 12)
 審査請求日 平成15年12月18日 (2003. 12. 18)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 相川 忠雄
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

審査官 園田 康弘

(56) 参考文献 特開平11-353878 (JP, A)
 特開平10-011966 (JP, A)

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

外部クロック信号に同期してデータを出力する半導体記憶装置であって、
 供給された前記外部クロック信号を分周し、第1の内部クロック信号を発生させる第1
 の分周器と、

前記外部クロック信号を遅延させる遅延回路と、

前記遅延回路から供給された信号を分周し、第2の内部クロック信号を発生させる第2
 の分周器と、

アクセスコマンドが前記第1の内部クロック信号と同期して入力されたか否かを判定し
 て判定信号を出力する認識回路と、

前記第2の内部クロック信号と前記判定信号とに基づいてレイテンシのカウントを行う
 カウントと、

を備えることを特徴とする半導体記憶装置。

【請求項 2】

前記遅延回路は、前記外部クロック信号の位相に対し、Nをゼロでない整数として、N
 周期ずれた位相の信号を供給することを特徴とする請求項1記載の半導体記憶装置。

【請求項 3】

前記遅延回路は、供給された前記外部クロック信号の位相を、前記外部クロック信号を
 nを自然数として、2n周期遅延させることにより調整することを特徴とする請求項1記
 載の半導体記憶装置。

【請求項 4】

さらに、前記第 1 の分周器と前記第 2 の分周器とを同時に起動させるリセット回路を含むことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 5】

前記リセット回路は、前記第 1 の分周器と前記第 2 の分周器とを、電源供給に応じて起動させることを特徴とする請求項 4 記載の半導体記憶装置。

【請求項 6】

前記リセット回路は、外部から供給されるコマンドにより制御されることを特徴とする請求項 4 記載の半導体記憶装置。

【請求項 7】

供給される外部クロック信号をバッファするクロックバッファと、供給されるデータ制御信号により所定のデータを出力するデータ制御ユニットとを備え、前記データを前記外部クロック信号に同期して出力する半導体記憶装置であって、

前記クロックバッファにより形成された信号を遅延させる遅延回路と、

前記クロックバッファにより発生された前記信号を分周し第 1 の内部クロック信号を形成する第 1 の分周器と、

前記遅延回路から供給された信号を分周して第 2 の内部クロック信号を形成する第 2 の分周器と、

アクセスコマンドが前記第 1 の内部クロック信号と同期して入力されたか否かを判定して判定信号を出力する認識回路と、

前記第 2 の内部クロック信号と前記判定信号とに基づいてレイテンシのカウントを行うカウンタと、

を備えることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関するものである。

【0002】

【従来の技術】

昨今のダイナミックランダムアクセスメモリ（DRAM）は、動作の高速化と低消費電力化及び高速インタフェース等が要求されている。ここで現在の DRAM においては、クロック信号に同期してデータの入出力を行うシンクロナス DRAM（SDRAM）が主流となっており、インターフェイスを高速化するためにダブルデータレート（DDR）方式も提案されている。なお、この DDR 方式とはクロック信号 CK 及び反転クロック信号 /CK によりデータを出力し、出力レートを高める方式であるが、高速インタフェースを実現するためにはいずれの方式においても動作周波数を高めることが必要とされる。

【0003】

しかしながら、周波数の高いクロック信号により内部動作を制御すると、該周波数が高いほどスペックにおけるマージンが減少するため、該内部動作の信頼性を担保することは難しくなる。従って、高周波数を有したクロック信号による内部動作には限界があるため、分周等をおこなうことにより内部動作の動作周波数を緩和（低減）することが必要とされる。

【0004】

ここで、上記動作周波数の緩和は、特にデータの出力制御において採用されているが、以下において、このような機能を有する従来の半導体記憶装置について説明する。

【0005】

図 1 は、従来の半導体記憶装置の構成を示す図である。図 1 に示されるように、この半導体記憶装置は、パッド 1、3、5、33 と、クロックバッファ 7、8 と、コマンドバッファ 9 と、分周器 11 と、コマンド認識部 13 と、DLL（Delayed Locked Loop）回路 15 と、出力信号生成回路 17 と、0°論理回路 19 と、180°論理回路 21 と、出力制

10

20

30

40

50

御部 23 と、読出回路 25 と、メモリ 27 と、データ制御部 29 と、出力バッファ 31 とを備える。ここで、 0° 論理回路 19 はリードコマンド角度認識回路 (0°) 35 とカウンタ (0°) 39 とを含み、 180° 論理回路 21 はリードコマンド角度認識回路 (180°) 37 とカウンタ (180°) 41 とを含む。

【0006】

そして、クロックバッファ 7, 8 は、外部クロック信号 ck が供給されるパッド 1 及び外部クロック信号 $/ck$ が供給されるパッド 3 に接続される。また、コマンドバッファ 9 はコマンド com が供給されるパッド 5 に接続され、分周器 11 はクロックバッファ 7, 8 に接続される。また、コマンド認識部 13 はクロックバッファ 7 及びコマンドバッファ 9 に接続され、DLL (Delayed Locked Loop) 回路 15 は分周器 11 に接続される。

10

【0007】

また、出力信号生成回路 17 は DLL 回路 15 に接続され、 0° 論理回路 19 及び 180° 論理回路 21 は分周器 11 とコマンド認識部 13 及び DLL 回路 15 に接続される。さらに、出力制御部 23 は 0° 論理回路 19 及び 180° 論理回路 21 に接続される。また、読出回路 25 はコマンド認識部 13 に接続され、メモリ 27 は読出回路 25 に接続される。また、データ制御部 29 は、読出回路 25 及び出力制御部 23 に接続される。そして、出力バッファ 31 は、データ制御部 29 及び出力信号生成回路 17 に接続される。なお、データ D が出力されるパッド 33 が出力バッファ 31 に接続される。

【0008】

以下において、上記のような構成を有する従来の半導体記憶装置の動作を説明する。パッド 1, 3 に供給された外部クロック信号 ck , $/ck$ は、クロックバッファ 7, 8 により緩衝され、分周器 11 に入力される。そして、分周器 11 は、内部クロック信号 $clkz$, $clkx$ を分周することにより、内部クロック信号 $clke0z$, $clke18z$, $clko0z$, $clko18z$ を生成する。

20

【0009】

一方、パッド 5 に供給されたコマンドは、コマンドバッファ 9 により緩衝され、コマンド認識部 13 に入力される。そして、コマンド認識部 13 はリードコマンド $read$ を生成して、リードコマンド角度認識回路 (0°) 35 及びリードコマンド角度認識回路 (180°) 37 と読出回路 25 に供給する。ここで、リードコマンド角度認識回路 (0°) 35 は供給されたコマンドが内部クロック信号 $clke0z$ に同期して入力されたものであるか否かを関知し、リードコマンド角度認識回路 (180°) 37 は供給されたコマンドが内部クロック信号 $clke18z$ に同期して入力されたか否かを関知して、それぞれ出力制御信号を出力制御部 23 へ供給する。なおここで、内部クロック信号 $clke18z$ の位相は内部クロック信号 $clke0z$ の位相に対し 180° ずれたものとされる。

30

【0010】

なお、DLL 回路 15 は、分周器 11 により生成された内部クロック信号 $clke0z$, $clke18z$, $clko0z$, $clko18z$ を所定時間遅延することにより、内部クロック信号 $clke0z$, $clke18z$, $clko0z$, $clko18z$ に対して、あたかも DLL 回路 15 からパッド 33 まで経路 43 の伝送時間 T_{AC} に対応する位相だけ進んだ内部クロック信号 $oclke0z$, $oclke18z$, $oclko0z$, $oclko18z$ を生成する。

40

【0011】

以下において、図 1 に示された従来の半導体記憶装置によるデータ読み出し動作を、図 2 を参照しつつ説明する。なお、ここでは例としてレイテンシが 6 の場合を説明する。すなわち、図 2 (a) 及び図 2 (m) に示されるように、リードコマンド $read$ がパッド 5 に供給された時刻 T_i から外部クロック信号 ck の 6 周期 (クロック) 分に相当する時間だけ遅れた時刻 T_o からデータ D_n (n は自然数) がパッド 33 から出力されるものとする。

【0012】

まず図 2 (b) ~ (e) の波形 46 に示されるように、外部クロック信号 ck に基づいて、分周器 11 により 2 分周された内部クロック信号 $clke0z$, $clke18z$, $clko0z$, $clko18z$ が生成される。ここで、波形 44 は外部クロック信号 ck に同期した内部クロック信号 $clke$

50

0z, clke18zを示し、波形45は外部クロック信号ckを反転させた外部クロック信号/
ckに同期した内部クロック信号clko0z, clko18zを示す。また、内部クロック信号clke1
8z, clko18zは、それぞれ内部クロック信号clke0z, clko0zに対して位相が180°ずれ
たものとされる。

【0013】

従って、図2(b)及び図2(c)に示されるように、例えば内部クロック信号clke0zは
外部クロック信号/
ckの偶数番目のクロックのみから構成され、内部クロック信号clke
18zは外部クロック信号/
ckの奇数番目のクロックのみから構成される。

【0014】

ここで、DLL回路15により遅延された信号が波形47として示され、波形48は波形
44に対応し、波形49は波形45に対応する。すなわち、例えば図2(b)に示される
内部クロック信号clke0zの番号4が付与されたクロックは、DLL回路15により所定時
間遅延され、図2(f)に示された内部クロック信号oclke0zの番号6が付与されたクロ
ックとされる。

【0015】

一方、リードコマンド角度認識回路(0°)35は、供給された内部クロック信号clke0z
に基づいて、リードコマンドreadを外部クロック信号ckと位相差0°で受け取ったこと
を認識し、図2(j)に示された信号ractp0zを生成する。なおこの信号ractp0zは、入力
された内部クロック信号clke0zの一周分間の間ハイレベルを有する信号とされ、カウンタ
(0°)39に供給される。なお、リードコマンド角度認識回路(180°)37は、供給
された内部クロック信号clke18zに基づいて、リードコマンドreadを外部クロック信号
ckと位相差180°で受け取ったことを認識し、上記リードコマンド角度認識回路(0
°)35と同様に動作する。

【0016】

そして、カウンタ(0°)39は、DLL回路15から出力された内部クロック信号oclko
0z, oclko18zに応じて、順次図2(k)及び図2(l)に示される信号latz, oe0zを生
成する。そして時刻Toより、図2(f)に示された内部クロック信号oclke0zの番号6
が付与されたクロック以降のクロックに応じて、レイテンシが6のデータD1~D4が、
データ制御部29及び出力バッファ31を介して順次パッド33より外部出力される。

【0017】

なお、読出回路25はリードコマンドreadに応じてメモリ27より上記データD1~D4
を読み出し、データ制御部29へ供給する。そして、データ制御部29は、出力制御部2
3から供給されたデータ制御信号に応じて該データD1~D4を出力バッファ31へ供給
する。さらに、出力バッファ31は出力信号生成回路17から供給された信号outp1x, ou
tp2xに応じて、データD1~D4をパッド33へ出力する。

【0018】

以上が、図1に示された従来の半導体記憶装置におけるデータ読出し動作の説明であるが
、以下において図1に示された半導体記憶装置を構成する要素の具体的な回路例を示す。

【0019】

図3は、図1に示されたDLL回路15の構成を示す図である。図3に示されるように、
DLL回路15は、レプリカ回路90と、第一遅延回路91と、第二遅延回路92と、シ
フトレジスタ93と、1/2分周回路94と、位相比較器55とを備える。なお、第一遅
延回路91と第二遅延回路92の回路構成は同じものとされる。また、レプリカ回路90
は、抵抗95と、出力バッファ(ダミー)96、ダミー容量97、クロックバッファ(ダ
ミー)98及びダミー分周器99がこの順で直列接続された回路からなる。なお、該ダ
ミー分周器99は図1に示された分周器11と同じ遅延時間を有する回路からなり、供給さ
れる信号を分周することなく、そのまま位相比較器55へ供給する。

【0020】

また、1/2分周回路94には内部クロック信号clke0zが供給され、位相比較器55は1
/2分周回路94及びダミー分周器99に接続される。また、シフトレジスタ93の入力

10

20

30

40

50

端は位相比較器 5 5 に接続され、第二遅延回路 9 2 を制御する。また、第二遅延回路 9 2 の入力端は 1 / 2 分周回路 9 4 に接続され、出力端は抵抗 9 5 に接続される。そして、第二遅延回路 9 2 は第一遅延回路 9 1 における遅延時間を自己の遅延時間と一致させるように調整する。

【 0 0 2 1 】

ここで、第一遅延回路 9 1 には内部クロック信号 clk_{0z} , clk_{18z} , $clko_{0z}$, $clko_{18z}$ が供給され、第二遅延回路 9 2 における遅延時間と同じ時間だけ遅延された内部クロック信号 ocl_{ke0z} , ocl_{ke18z} , ocl_{ko0z} , ocl_{ko18z} が生成され、出力される。また、クロックバッファ 7, 8 から第一遅延回路 9 1 を介して出力バッファ 3 1 まで至る経路を「内部クロックパス」と呼ぶとき、上記レプリカ回路 9 0 は該内部クロックパスにおける回路構成と同じ構成からなるため、内部クロックパスと同じ遅延時間を有する。

10

【 0 0 2 2 】

次に、上記 D L L 回路 1 5 の動作の概要を説明する。上記第一及び第二の遅延回路 9 1, 9 2 は、シフトレジスタ 9 3 によって最適な遅延段数が指定され、該シフトレジスタ 9 3 は位相比較器 5 5 により制御される。そして、位相比較器 5 5 は、レプリカ回路 9 0 から出力されるダミークロック信号 $clkr$ と 1 / 2 分周回路 9 4 から供給されるクロック信号 clk_{out} とを比較し、ダミークロック信号 $clkr$ の位相がクロック信号 clk_{out} の位相に対して、内部クロック信号 clk_{0z} の一周分だけ遅延するようにシフトレジスタ 9 3 を調節する。そして、シフトレジスタ 9 3 がこのように調節されることにより、内部クロックパスにおける遅延時間は内部クロック信号 clk_{0z} の一周分の長さとなるため、外部クロック信号 ck の周波数に依らず該外部クロック信号 ck の立ち上がりタイミングにおいて出力データが変化することとなる。

20

【 0 0 2 3 】

また、上記の「1 / 2 分周回路」9 4 は、分周率を 2 とし、位相比較器 5 5 における位相の比較が第一遅延回路 9 1 に入力される信号の 1 クロック先を基準としてなされるための分周回路であることを意味する。

【 0 0 2 4 】

以下において、上記 D L L 回路 1 5 の動作を図 4 の波形図を参照しつつより詳しく説明する。なお、ここではデータ出力タイミングが時刻 T_0 であるとする。

【 0 0 2 5 】

30

まず、パッド 1 に供給された図 4 (a) に示される外部クロック信号 ck は、図 1 に示された分周器 1 1 により分周され、図 4 (b) に示された内部クロック信号 clk_{0z} が生成される。なお、図 4 (a) 及び図 4 (b) に示されるように、説明の便宜を図るため、外部クロック信号 ck の各クロックには 0 から順に整数番号が付与され、生成された内部クロック信号 clk_{0z} の各クロックにはその立ち上がりタイミングが一致する外部クロック信号 ck の番号と同じ番号、すなわち偶数番号が付けられる。

【 0 0 2 6 】

そして、内部クロック信号 clk_{0z} は、1 / 2 分周回路 9 4 において 2 分周され、図 4 (c) に示されたクロック信号 clk_{out} が生成される。そして、このクロック信号 clk_{out} は第二遅延回路 9 2 及びレプリカ回路 9 0 を通り、図 4 (d) に示されるダミークロック信号 $clkr$ が生成される。ここで、図 4 (d) に示されるように、ダミークロック信号 $clkr$ はクロック信号 clk_{out} に対して、レプリカ回路 9 0 における遅延時間 D_t だけ位相が遅れることとなる。

40

【 0 0 2 7 】

このとき、時刻 T_0 のタイミングにおいて、ダミークロック信号 $clkr$ の立ち上がりエッジをクロック信号 clk_{out} の立ち下がりエッジと一致させるように、位相比較器 5 5 はシフトレジスタ 9 3 を調整し、第二遅延回路 9 2 及び第一遅延回路 9 1 の遅延時間が時刻 T_3 から時刻 T_0 の間の時間とされる。従って、図 4 (e) に示されるように、第一遅延回路 9 1 から出力される内部クロック信号 ocl_{ke0z} は、第一遅延回路 9 1 に入力される内部クロック信号 clk_{0z} に対して、上記時刻 T_3 から時刻 T_0 までと同じ時間である時刻 T_1 から

50

時刻 T₂までの時間だけ遅延される。そして例えば、図 4 (e)においては、内部クロック信号 clke0z の 2 の番号が付されたクロックに対応する内部クロック信号 oc1ke0z のクロックに 4 の番号が付されている。

【 0 0 2 8 】

次に図 4 (f) に示されるように、内部クロック信号 oc1ke0z の 4 の番号が付されたクロックに応じて、時刻 T₀においてパッド 33 からデータが出力され、結果的に図 4 (a) に示された外部クロック信号 c k の 4 の番号が付されたクロックに同期してデータが出力される。

【 0 0 2 9 】

以上が図 3 に示された D L L 回路 15 の動作であるが、レプリカ回路 90 から出力されるダミークロック信号 clkr の位相が、1 / 2 分周回路 94 から出力されるクロック信号 clkout の中で第一遅延回路 91 に入力される内部クロック信号 clke0z の一周分先のエッジを基準として調整されることが特徴とされる。

【 0 0 3 0 】

次に図 5 は、図 1 に示された従来のクロックバッファ 7 の構成を示す回路図である。なお、図 1 に示されたクロックバッファ 8 の構成も、図 5 と同様な回路図により示される。

【 0 0 3 1 】

図 5 に示されるように、クロックバッファ 7 は、インバータ I N V 1 ~ I N V 3 と、N チャンネル M O S トランジスタ N T 1 ~ N T 3 と、P チャンネル M O S トランジスタ P T 1 ~ P T 4 とを含み、N チャンネル M O S トランジスタ N T 2 のゲートに外部クロック信号 c k が供給され、N チャンネル M O S トランジスタ N T 3 のゲートには外部クロック信号 / c k が供給される。また、N チャンネル M O S トランジスタ N T 1 及び P チャンネル M O S トランジスタ P T 1 , P T 4 のゲートには、イネーブル信号 e n z が供給される。

【 0 0 3 2 】

そして、イネーブル信号 e n z がハイレベルとなりクロックバッファ 7 が活性化されると、外部クロック信号 c k , / c k に応じた内部クロック信号 clkz が生成され、出力される。

【 0 0 3 3 】

また図 6 は、図 1 に示された従来の分周器 11 の構成を示す回路図である。図 6 に示されるように、分周器 11 はインバータ I N V 4 と、第一分周回路 11 a 及び第二分周回路 11 b を含む。そして、第一分周回路 11 a は、N A N D 回路 100 ~ 108 及びインバータ I N V 5 を含み、第二分周回路 11 b は N A N D 回路 109 ~ 117 及びインバータ I N V 6 を含む。

【 0 0 3 4 】

そして、第一分周回路 11 a は内部クロック信号 clkz を分周して内部クロック信号 clke0z , clke18z を生成し、第二分周回路 11 b は内部クロック信号 clkx を分周して内部クロック信号 clko0z , clko18z を生成する。なお分周器 11 は、インバータ I N V 4 に供給される信号 csuz によりリセットされる。

【 0 0 3 5 】

以上に述べた従来の半導体記憶装置は、D D R 方式を採用したものであって、複数の外部クロック信号 c k , / c k によりデータ出力が制御されるものであるが、制御が複雑となるといえる問題を有している。また、外部クロック信号を分周して位相の異なる複数の内部クロック信号を生成するため、該内部クロック信号を伝送するための信号線の数が増加し、D L L 回路 59 の回路規模の増大と消費電流の増加を招来するという問題がある。さらには、該 D L L 回路 59 の回路規模の増大は、D L L 回路 59 内の信号線の質的なばらつきを招き、D L L 回路 59 の精度を低下させるという問題がある。

【 0 0 3 6 】

【 発明が解決しようとする課題 】

本発明は、上述の問題を解消するためになされたものであり、高い動作周波数においても動作の信頼性が高く、かつ、回路規模及び消費電流が低減された半導体記憶装置を提供す

10

20

30

40

50

ることを目的とする。

【0037】

【課題を解決するための手段】

上記の目的は、外部クロック信号に同期してデータを出力する半導体記憶装置であって、供給された前記外部クロック信号を分周し、第1の内部クロック信号を発生させる第1の分周器と、前記外部クロック信号を遅延させる遅延回路と、前記遅延回路から供給された信号を分周し、第2の内部クロック信号を発生させる第2の分周器と、アクセスコマンドが前記第1の内部クロック信号と同期して入力されたか否かを判定して判定信号を出力する認識回路と、前記第2の内部クロック信号と前記判定信号とに基づいてレイテンシのカウントを行うカウンタとを備えることを特徴とする半導体記憶装置により達成される。このような構成によれば、外部クロック信号の周波数が高くなる場合においても、内部動作周波数を低減することにより、データ制御ユニットから外部クロック信号に同期したデータの出力を実現できると共に、遅延手段に入力される信号の数を低減することができる。

10

【0038】

ここで前記遅延回路は、前記外部クロック信号の位相に対し、Nをゼロでない整数として、N周期ずれた位相の信号を供給するように構成される。このような構成によれば、第一の分周器と第二の分周器の同期をとることができる。また前記遅延回路は、供給された前記外部クロック信号の位相を、前記外部クロック信号をnを自然数として、2n周期遅延させることにより調整することにより、容易に第一の分周器と第二の分周器の同期をとることができる。

20

【0039】

また、前記第1の分周器と前記第2の分周器とを同時に起動させるリセット回路を含むように構成することもできる。このような構成によれば、第一の分周器と第二の分周器の動作を保証することができる。ここで、より具体的には、第一の分周器と第二の分周器とを電源投入時に起動させることができる。そして、このような構成によれば、第一の分周器と第二の分周器の動作をより確実に保証することができる。また、外部から供給するコマンドによりリセット回路を制御することとすれば、第一の分周器と第二の分周器の動作における自由度を高めることができる。

【0040】

30

また、本発明の目的は、供給される外部クロック信号をバッファするクロックバッファと、供給されるデータ制御信号により所定のデータを出力するデータ制御ユニットとを備え、前記データを前記外部クロック信号に同期して出力する半導体記憶装置であって、

前記クロックバッファにより形成された信号を遅延させる遅延回路と、前記クロックバッファにより発生された前記信号を分周し第1の内部クロック信号を形成する第1の分周器と、前記遅延回路から供給された信号を分周して第2の内部クロック信号を形成する第2の分周器と、アクセスコマンドが前記第1の内部クロック信号と同期して入力されたか否かを判定して判定信号を出力する認識回路と、前記第2の内部クロック信号と前記判定信号とに基づいてレイテンシのカウントを行うカウンタと、を備えることを特徴とする半導体記憶装置により達成される。このような構成によれば、外部クロック信号の周波数が高くなる場合においても、周波数が低減された第1の内部クロック信号及び第2の内部クロック信号に応じて生成されるデータ出力制御信号により、データ制御ユニットからの外部クロック信号に同期したデータ出力を実現できると共に、遅延回路に入力される信号の数を低減することができる。

40

【0041】

【発明の実施の形態】

以下において、本発明の実施の形態を図面を参照しつつ詳しく説明する。なお、図中同一符号は、同一又は相当部分を示す。

【0042】

図7は、本発明の実施の形態に係る半導体記憶装置の構成を示す図である。図7に示され

50

るように、本実施の形態に係る半導体記憶装置は、パッド1, 3, 5, 33と、第一クロックバッファ51, 52と、第二クロックバッファ53, 54と、リセット回路50と、コマンドバッファ9と、コマンド認識部14と、DLL (Delayed Locked Loop) 回路59と、第一分周器61と、第二分周器65と、出力信号生成回路63と、0°論理回路67と、180°論理回路69と、出力制御部23と、読出回路25と、メモリ27と、データ制御部29と、出力バッファ31とを備える。ここで、0°論理回路67はリードコマンド角度認識回路(0°)71とカウンタ(0°)73とを含み、180°論理回路69はリードコマンド角度認識回路(180°)75とカウンタ(180°)77とを含む。

【0043】

ここで、第一クロックバッファ51, 52は、外部クロック信号ckが供給されるパッド1及び外部クロック信号/cckが供給されるパッド3に接続される。またリセット回路50は第一クロックバッファ51, 52に接続され、第二クロックバッファ53, 54は、第一クロックバッファ51, 52及びリセット回路50に接続される。また、コマンドバッファ9はコマンドcomが供給されるパッド5に接続され、コマンド認識部14は第一クロックバッファ51及びコマンドバッファ9に接続される。

【0044】

また、DLL回路59は、リセット回路50と第二クロックバッファ53, 54に接続される。また、第一分周器61はリセット回路50及び第二クロックバッファ53に接続され、第二分周器65はリセット回路50及びDLL回路59に接続される。

【0045】

また、出力信号生成回路63はDLL回路59に接続される。また、0°論理回路67に含まれたリードコマンド角度認識回路(0°)71及び180°論理回路69に含まれたリードコマンド角度認識回路(180°)75は第一分周器61とコマンド認識部14に接続され、カウンタ(0°)73はリードコマンド角度認識回路(0°)71及び第二分周器65に接続され、カウンタ(180°)77はリードコマンド角度認識回路(180°)75及び第二分周器65に接続される。さらに、出力制御部23はカウンタ(0°)73及びカウンタ(180°)77に接続される。また、読出回路25はコマンド認識部14に接続され、メモリ27は読出回路25に接続される。また、データ制御部29は、読出回路25及び出力制御部23に接続される。そして、出力バッファ31は、データ制御部29及び出力信号生成回路63に接続される。なお、データDが出力されるパッド33が出力バッファ31に接続される。

【0046】

以上において、本実施の形態に係る半導体記憶装置の主たる特徴は、二つの分周器を備えると共に、それらを制御するリセット回路50を備えていることにある。以下に、この半導体記憶装置の動作の概要を、図8の波形図を参照しつつ説明する。なお、ここでは例としてレイテンシが6の場合を説明する。すなわち、図8(a)及び図8(k)に示されるように、リードコマンドreadがパッド5に供給された時刻Tiから外部クロック信号ckの6周期(クロック)分に相当する時間だけ遅れた時刻ToからデータDn(nは自然数)がパッド33から出力されるものとする。

【0047】

まず、パッド1に入力された図8(a)に示される外部クロック信号ck及びその反転信号である外部クロック信号/cckは、第一クロックバッファ51, 52に入力される。そして、これらの外部クロック信号ck, /cckは、第一クロックバッファ51, 52により緩衝され、内部クロック信号pdiclxx, pdiclzxが生成される。さらに、この内部クロック信号pdiclxx, pdiclzxはそれぞれ第二クロックバッファ53, 54に供給される。

【0048】

ここで、第二クロックバッファ53, 54は、後に詳しく説明するように、リセット回路50から供給される信号csux, csuzにより活性/不活性が制御され、活性化されているときには、内部クロック信号pdiclxx, pdiclzxに応じて生成された内部クロック信号diclkz

10

20

30

40

50

、diclkxをDLL回路59に供給すると共に、内部クロック信号diclkzを第一分周器61に供給する。上記において、DLL回路59に供給される内部クロック信号diclkz、diclkxは、パッド1, 3に供給された外部クロック信号ck, /ckに対して分周されないため、DLL回路59に入力される内部クロック信号の数は、図1に示された従来の半導体記憶装置に比して減少する。従って、本実施の形態に係るDLL回路59は、図1に示された従来の半導体記憶装置におけるDLL回路15と比べ、回路規模を低減できる。

【0049】

一方、第一クロックバッファ51から出力された内部クロック信号pdiclkxは、コマンド認識部14に供給される。そして、このコマンド認識部14は、パッド5及びコマンドバッファ9を介して供給されたリードコマンドread、ライトコマンド、テストモードコマンド等のコマンドcomを認識する。そして例えば、リードコマンドreadを認識した場合には、メモリ27から読み出したデータをデータ制御部29へ送る動作を実行するためのリードコマンドreadを、リードコマンド角度認識回路(0°)71とリードコマンド角度認識回路(180°)75及び読出回路25へ供給する。

【0050】

また、第一分周器61は、入力される内部クロック信号diclkzを2分周し、図8(b), (c)の波形80に示される内部クロック信号iclke0z, iclke18zを生成する。ここで、内部クロック信号iclke18zは、内部クロック信号iclke0zに対して位相が180°ずれたものとされる。従って、図8(b)及び図8(c)に示されるように、例えば内部クロック信号iclke0zは外部クロック信号ckの偶数番目のクロックのみから構成され、内部クロック信号iclke18zは外部クロック信号ckの奇数番目のクロックのみから構成される。そして、この内部クロック信号iclke0zはリードコマンド角度認識回路(0°)71に供給され、内部クロック信号iclke18zはリードコマンド角度認識回路(180°)75に供給される。

【0051】

さらに、リードコマンド角度認識回路(0°)71は、供給されるリードコマンドreadが図8(b)に示されるように内部クロック信号iclke0zと同期して時刻Tiに入力されたと判定した場合には、図8(h)に示される信号ract0zを生成し、カウンタ(0°)73へ供給する。そして、この信号ract0zは、入力された内部クロック信号iclke0zの一周期の間ハイレベルを有する信号とされる。

なお、リードコマンド角度認識回路(180°)75もリードコマンド角度認識回路(0°)71と同様に動作し、供給されるリードコマンドreadが図8(c)に示される内部クロック信号iclke18zと同期して入力されたと判定した場合には、信号ract18zを生成し、カウンタ(180°)77へ供給する。

【0052】

一方、DLL回路59から出力された内部クロック信号clkdx, clkdzは、パッド1, 3に供給された外部クロック信号ck, /ckに対して分周されていない信号であるが、これらの内部クロック信号clkdx, clkdzは第二分周器65に供給されて2分周される。そして、図8(d)から図8(g)の波形81に示される内部クロック信号oclke0z, oclke18z, oclko0z, oclko18zが生成され、カウンタ(0°)73及びカウンタ(180°)77へ供給される。なおこれらの内部クロック信号oclke0z, oclke18z, oclko0z, oclko18zは、カウンタ(0°)73及びカウンタ(180°)77において、レイテンシのカウントを行うために用いられるが、後述するように、波形82に示される内部クロック信号oclke0z, oclke18zは、内部クロック信号clkdzに応じて生成され、波形83に示される内部クロック信号oclko0z, oclko18zは、内部クロック信号clkdxに応じて生成される。

【0053】

なお、内部クロック信号oclke0z, oclke18z, oclko0z, oclko18zは、外部クロック信号ck, /ckに対してあたかもDLL回路59からパッド33までの経路79における伝送時間 T_{AC} に対応する位相だけ進むように、DLL回路59における遅延時間が調整される。

10

20

30

40

50

【 0 0 5 4 】

そして、カウンタ (0 °) 7 3 は、第二分周器 6 5 から供給された内部クロック信号oclko0z, oclko18zに応じて、順次図 8 (i) 及び図 8 (j) に示される信号latz, oe0zを生成する。そして時刻 T oより、図 8 (d) に示された内部クロック信号iclke0zの番号 6 が付与されたクロック以降のクロックに応じて、レイテンシが 6 のデータ D 1 ~ D 4 が、データ制御部 2 9 及び出力バッファ 3 1 を介して順次パッド 3 3 より外部出力される。

【 0 0 5 5 】

なお、読出回路 2 5 はリードコマンドreadに応じてメモリ 2 7 より上記データ D 1 ~ D 4 を読み出し、データ制御部 2 9 へ供給する。そして、データ制御部 2 9 は、出力制御部 2 3 から供給されたデータ制御信号に応じて該データ D 1 ~ D 4 を出力バッファ 3 1 へ供給する。さらに、出力バッファ 3 1 は出力信号生成回路 6 3 から供給された信号outp1x, outp2xに応じて、データ D 1 ~ D 4 をパッド 3 3 へ出力する。

【 0 0 5 6 】

上記のように、本実施の形態に係る半導体記憶装置の主たる特徴は、二つの分周器を備えることにあるが、このために、図 8 に示された内部クロック信号相互間の位相が所望の関係を持たないことも考えられる。すなわち、例えば第一分周器 6 1 から出力される二つの内部クロック信号iclke0z, iclke18zの位相が逆の場合には、外部クロック信号ckを基準として 0 ° の位相でコマンド認識部 1 4 がリードコマンドreadを受け取った場合でも、180 ° の位相で受け取ったものとして180 ° 論理回路 6 9 が活性化される。このため、当然ながらレイテンシのカウントタイミングがずれてしまい、データ出力が所望のタイミングでなされないこととなる。

【 0 0 5 7 】

従って、このような問題を回避するためには、第一分周器 6 1 と第二分周器 6 5 との間で同期をとる必要がある。そして、DLL回路 5 9 の動作が安定してから同期をとることは難しいため、電源投入時か、所定のコマンドを実行する時に同期をとるのが有効である。以下においては、例として、電源投入時に同期をとる場合の動作について、図 9 の波形図を参照しつつ説明する。

【 0 0 5 8 】

まず、図 9 (b) に示されるように、電源投入時にハイレベルに遷移する (立ち上がる) 信号sttzが所定時間経過後にロウレベルへ遷移する (立ち下がる) と、リセット回路 5 0 が待機状態となる。そして、図 9 (a) に示されるように、外部クロック信号ckを時刻 T sよりパッド 1 , 3 から入力すると、リセット回路 5 0 は第一クロックバッファ 5 1 , 5 2 から供給された図 9 (c) に示される内部クロック信号pdiclzx, pdiclzkに応じて、2クロック計数する。そして、図 9 (h) に示されるように、信号csuxをハイレベルへ、かつ信号csuzをロウレベルへそれぞれ遷移させる (図中 1) 。

【 0 0 5 9 】

これにより、第二クロックバッファ 5 3 , 5 4 が活性化される。そして、第二クロックバッファ 5 3 からは、内部クロック信号pdiclzxに応じて生成された図 9 (d) に示される内部クロック信号diclkzが、DLL回路 5 9 及び第一分周器 6 1 へ供給される (図中 2) 。また同様に、第二クロックバッファ 5 4 からは、内部クロック信号pdiclzkに応じて生成された図 9 (e) に示される内部クロック信号diclkxがDLL回路 5 9 へ供給される。

【 0 0 6 0 】

そして、第一分周器 6 1 は、内部クロック信号diclkzを受けて分周動作を開始する。このとき、図 9 (f) 及び図 9 (g) に示されるように、第一分周器 6 1 は内部クロック信号diclkzを2分周し、内部クロック信号iclke0z, iclke18zを生成する (図中 3) 。ここで、内部クロック信号iclke0zは、内部クロック信号diclkzを構成する最初のクロックが位相 0 ° のクロックと割り当てられた上で、位相 0 ° のクロックのみから構成される。なお同様に、内部クロック信号iclke18zは、内部クロック信号diclkzを構成するクロックのうちで位相が 180 ° のクロックのみから構成される。

【 0 0 6 1 】

一方、上記のように、内部クロック信号diclkz, diclkxは、まだ動作が安定していないDLL回路59へ供給され所定時間遅延されて、図9(i)及び図9(j)に示された内部クロック信号clkdx, clkdzが生成される(図中4)。そして、これらの内部クロック信号clkdx, clkdzは、第二分周器65により2分周され、図9(k)から図9(n)に示された内部クロック信号oclke0x, oclke18x, oclko0x, oclko18xが生成される(図中5)。なお、内部クロック信号oclke0x, oclke18xは内部クロック信号clkdzに応じて生成され、内部クロック信号oclko0x, oclko18xは内部クロック信号clkdxに応じて生成される。そして、ここでも内部クロック信号clkdx, clkdzを構成する最初のクロックが位相0°のクロックと割り当てられた上で、位相0°のクロックのみからなる内部クロック信号oclke0x, oclko0xが生成され、位相180°のクロックのみからなる内部クロック信号oclke18x, oclko18xが生成される。

10

【 0 0 6 2 】

また、DLL回路59は、図9(a)及び図9(i)に示されるように、内部クロック信号clkdzを構成する位相0°の最初のクロックが、例えば外部クロック信号ckの2クロック先にある位相0°のクロックに対して位相が揃うよう遅延時間を調整する(図中6)。

【 0 0 6 3 】

このようにして、内部クロック信号clkdz, clkdxの位相を、それぞれ外部クロック信号ck, /ckの位相と揃えることにより、第一分周器61と第二分周器65間の同期をとることができ、図8に示されたレイテンシによる安定的なデータ出力動作を遂行することができる。

20

【 0 0 6 4 】

以下においては、図7に示された半導体記憶装置の各構成要素の回路例を具体的に示す。

【 0 0 6 5 】

図10は、図7に示されたDLL回路59の構成を示す図である。図10に示されるように、DLL回路59は、レプリカ回路160と、第一遅延回路91と、第二遅延回路92と、シフトレジスタ93と、2/4分周回路163と、位相比較器55とを備える。なお、第一遅延回路91と第二遅延回路92の回路構成は同じものとされる。また、レプリカ回路160は、抵抗95と、出力バッファ(ダミー)96、ダミー容量97、第一クロックバッファ(ダミー)161及び第二クロックバッファ(ダミー)162がこの順で直列接続された回路からなる。また、2/4分周回路163には内部クロック信号diclkzが供給され、位相比較器55は2/4分周回路163及び第二クロックバッファ(ダミー)162に接続される。また、シフトレジスタ93の入力端は位相比較器55に接続され、第二遅延回路92を制御する。また、第二遅延回路92の入力端は2/4分周回路163に接続され、出力端は抵抗95に接続される。そして、第二遅延回路92は第一遅延回路91における遅延時間を自己の遅延時間と一致させるように調整する。

30

【 0 0 6 6 】

ここで、第一遅延回路91には内部クロック信号diclkz, diclkxが供給され、第二遅延回路92における遅延時間と同じ時間だけ遅延された内部クロック信号clkdx, clkdzが生成されて出力される。また、第一クロックバッファ51, 52から第一遅延回路91を介して出力バッファ31まで至る経路を「内部クロックパス」と呼ぶとき、上記レプリカ回路160は該内部クロックパスにおける回路構成と同じ構成からなるため、内部クロックパスと同じ遅延時間を有する。

40

【 0 0 6 7 】

次に、上記DLL回路59の動作の概要を説明する。上記第一及び第二の遅延回路91, 92は、シフトレジスタ93によって最適な遅延段数が指定され、該シフトレジスタ93は位相比較器55により制御される。そして、位相比較器55は、レプリカ回路160から出力されるダミークロック信号ndclkと2/4分周回路163から供給されるクロック信号dcclkoutとを比較し、ダミークロック信号ndclkの位相がクロック信号dcclkoutの位相

50

に対して、内部クロック信号diclkzの二周期分だけ遅延するようにシフトレジスタ93を調節する。そして、シフトレジスタ93がこのように調節されることにより、内部クロックパスにおける遅延時間は内部クロック信号diclkzの二周期分の長さとなるため、外部クロック信号ckの周波数に依らず該外部クロック信号ckの立ち上がりタイミングにおいて出力データが変化することとなる。

【0068】

また、上記の「2/4分周回路」163は、分周率を4とし、位相比較器55における位相の比較が第一遅延回路91に inputsされる信号の2クロック先を基準としてなされるための分周回路であることを意味する。

【0069】

以下において、上記DLL回路59の動作を図11の波形図を参照しつつより詳しく説明する。なお、ここではデータ出力タイミングが時刻T₀であるとする。

【0070】

まず、パッド1に供給された外部クロック信号ckに基づいて図11(a)に示された内部クロック信号diclkz形成される。なお、内部クロック信号diclkzは、図7に示された第一分周器61により分周され、図4(b)に示された内部クロック信号iclk0zが生成される。なお、図11(a)及び図11(b)に示されるように、説明の便宜を図るため、内部クロック信号diclkzの各クロックには0から順に整数番号が付与され、生成された内部クロック信号iclk0zの各クロックにはその立ち上がりタイミングが一致する内部クロック信号diclkzの番号と同じ番号、すなわち偶数番号が付けられている。

【0071】

そして、内部クロック信号diclkzは、2/4分周回路163において4分周され、図11(c)に示されたクロック信号dclkoutが生成される。そして、このクロック信号dclkoutは第二遅延回路92及びレプリカ回路160を通り、図11(d)に示されるダミークロック信号ndclkrが生成される。ここで、図11(d)に示されるように、ダミークロック信号ndclkrはクロック信号dclkoutに対して、レプリカ回路160における遅延時間D_tだけ位相が遅れることとなる。

【0072】

このとき、時刻T₀のタイミングにおいて、ダミークロック信号ndclkrの立ち上がりエッジをクロック信号dclkoutの立ち下がりエッジと一致させるように、位相比較器55はシフトレジスタ93を調整し、第二遅延回路92及び第一遅延回路91の遅延時間が時刻T₃から時刻T₀の間の時間とされる。従って、図11(e)に示されるように、第一遅延回路91から出力される内部クロック信号clkdzは、第一遅延回路91に inputsされる内部クロック信号diclkzに対して、上記時刻T₃から時刻T₀までと同じ時間である時刻T₁から時刻T₂までの時間だけ遅延される。そして例えば、図11(e)においては、内部クロック信号diclkzの2の番号が付されたクロックに対応する内部クロック信号clkdzのクロックに4の番号が付されている。

【0073】

次に図11(f)に示されるように、内部クロック信号clkdzの4の番号が付されたクロックに応じて、時刻T₀においてパッド33からデータが出力され、結果的に図11(a)に示された内部クロック信号diclkzの4の番号が付されたクロックに同期してデータが出力される。

【0074】

以上が図10に示されたDLL回路59の動作であるが、レプリカ回路160から出力されるダミークロック信号ndclkrの位相が、2/4分周回路163から出力されるクロック信号dclkoutの中で第一遅延回路91に inputsされる内部クロック信号diclkzの二周期分先のエッジを基準として調整されることが特徴とされる。

【0075】

ここで、上記のように、第一分周器61と第二分周器65との間においては同期をとる必要があり、例えばコマンドを受け取るタイミングにおける外部クロック信号ckの位相が

10

20

30

40

50

0°であるときには、データを出力するタイミングにおける外部クロック信号の位相も0°であるように調整されていなければならない。そして、このことは第一及び第二分周器61, 65における分周動作の開始を同時点としなければならない、さらにはDLL回路59における遅延時間の調整が入力されるクロック信号において2n (nは自然数)周期先のクロックとされなければならないことを意味する。

【0076】

従って例えば、図10に示された2/4分周回路163が1/2分周回路に置き換えられると、図11(c)及び図11(d)にそれぞれ示されたクロック信号dclkoutとダミークロック信号ndclkrは共に倍の周波数を有することになる。そしてこのような場合には、位相比較器55において、図11(a)に示された内部クロック信号diclkzの2の番号が付されたクロックの立ち上がりタイミングに生成されたエッジと、同3の番号が付されたクロックの立ち上がりタイミングに生成されたエッジとが比較されることになる。

10

【0077】

このことから、上記のような条件で分周がなされると、例えばコマンドを受け取るタイミングにおける外部クロック信号ckの位相が0°であるときに、データを出力するタイミングにおける外部クロック信号の位相が180°となってしまうため、適正なレイテンシが得られず所望のタイミングでデータを出力することができなくなる。なお、第一及び第二分周器61, 65の分周開始時点を調整すれば、上記2/4分周回路163の代わりに1/2分周回路94を用いることもできる。

【0078】

20

図12は、図7に示された第一クロックバッファ51の構成を示す回路図である。なお、図7に示された第一クロックバッファ52も第一クロックバッファ51と同様な構成を有する。

【0079】

図12に示されるように、第一クロックバッファ51は、NチャネルMOSトランジスタNT1~NT3と、PチャネルMOSトランジスタPT1~PT4と、インバータINV7, INV8とを含む。ここで、NチャネルMOSトランジスタNT2のゲートに外部クロック信号ckが供給され、NチャネルMOSトランジスタNT3のゲートには外部クロック信号/cckが供給される。また、NチャネルMOSトランジスタNT1及びPチャネルMOSトランジスタPT1, PT4のゲートには、イネーブル信号enzが供給される。

30

【0080】

そして、イネーブル信号enzがハイレベルとなり第一クロックバッファ51が活性化されると、外部クロック信号ck, /cckに応じた内部クロック信号pdiclkxが生成され、出力される。

【0081】

次に、図13は、図7に示された第二クロックバッファ54の構成を示す回路図である。図13に示されるように、第二クロックバッファ54は、NチャネルMOSトランジスタNT4~NT6と、PチャネルMOSトランジスタPT5~PT7と、インバータINV9とを含む。

40

【0082】

ここで、NチャネルMOSトランジスタNT6及びPチャネルMOSトランジスタPT5のゲートにはロウ(L)レベルに固定された信号csuzが供給され、NチャネルMOSトランジスタNT5及びPチャネルMOSトランジスタPT7のゲートには信号csuxが供給される。また、NチャネルMOSトランジスタNT4及びPチャネルMOSトランジスタPT6のゲートには内部クロック信号pdiclkzが供給される。

【0083】

そして、信号csuxがハイレベルとなったときに第二クロックバッファ54が活性化され、内部クロック信号pdiclkzに応じてインバータINV9から内部クロック信号diclkxが出力される。

50

【 0 0 8 4 】

なお、図 7 に示された第二クロックバッファ 5 3 の構成は図 1 3 に示された上記第二クロックバッファ 5 4 の構成と同様であるが、上記内部クロック信号pdiclkzの代わりに第一クロックバッファ 5 1 により生成された内部クロック信号pdiclkxが供給され、信号csuxがハイ（H）レベルに固定される点で相違する。そして、第二クロックバッファ 5 3 は、信号csuzがロウレベルとなったときに活性化され、内部クロック信号pdiclkxに応じてインバータINV 9 から内部クロック信号diclkzが出力される。

【 0 0 8 5 】

次に、図 1 4 は、図 7 に示されたりセット回路 5 0 の構成を示す回路図である。図 1 4 に示されるように、リセット回路 5 0 は、NOR 回路 1 2 3 ~ 1 2 5 と、NAND 回路 1 2 6 , 1 2 7 と、インバータINV 1 0 ~ INV 1 5 と、ゲート回路GT 1 ~ GT 4 と、論理回路 1 1 8 ~ 1 2 1 とを含む。そして、NOR 回路 1 2 3 には信号sttz及びコマンドcomzが供給され、インバータINV 1 2 には内部クロック信号pdiclkzが供給され、インバータINV 1 3 には内部クロック信号pdiclkxが供給される。

【 0 0 8 6 】

ここで、信号sttz及びコマンドcomzがロウレベルとなるとリセット回路 5 0 が活性化され、内部クロック信号pdiclkz, pdiclkxに応じた信号csuz, csuxが、それぞれインバータINV 1 5 , INV 1 4 より出力される。なお、信号sttz又はコマンドcomzがハイレベルに遷移すると、信号csuzはハイレベルに固定され、信号csuxはロウレベルに固定される。

【 0 0 8 7 】

次に、図 1 5 は、図 7 に示された第一分周器 6 1 の構成を示す回路図である。図 1 5 に示されるように、第一分周器 6 1 は、NAND 回路 1 2 8 ~ 1 3 6 と、インバータINV 1 6 , INV 1 7 とを含む。そして、内部クロック信号diclkzがNAND 回路 1 2 8 に供給されると共に、信号csuzがインバータINV 1 6 に供給される。そして、第一分周器 6 1 は、供給される信号csuzがロウレベルに遷移するとき活性化され、NAND 回路 1 3 5 から内部クロック信号iclk0zが出力され、NAND 回路 1 3 6 から内部クロック信号iclk18zが出力される。

【 0 0 8 8 】

次に、図 1 6 は、図 7 に示されたリードコマンド角度認識回路（0°）7 1 の構成を示す回路図である。なお、図 7 に示されたリードコマンド角度認識回路（180°）7 5 の構成は、図 1 6 に示されたリードコマンド角度認識回路（0°）7 1 の構成と同様なものである。

【 0 0 8 9 】

図 1 6 に示されるように、リードコマンド角度認識回路（0°）7 1 は、NOR 回路 1 3 7 , 1 3 8 , 1 5 8 と、NAND 回路 1 4 1 ~ 1 4 3 と、インバータINV 1 8 ~ INV 2 3 , INV 3 3 ~ INV 3 6 と、MOS キャパシタ 1 3 9 , 1 4 0 , 1 7 0 , 1 7 1 とを含む。そして、リードコマンドreadがインバータINV 3 3 に供給され、内部クロック信号iclk0zがインバータINV 2 1 及びインバータINV 3 4 とNOR 回路 1 3 8 に供給される。そして、リードコマンドreacと内部クロック信号iclk0zの位相が揃ったときに、インバータINV 2 3 から矩形パルスとなすハイレベルの信号ractp0zが出力される。

【 0 0 9 0 】

次に、図 1 7 は、図 7 に示されたコマンド認識部 1 4 の構成を示す回路図である。図 1 7 に示されるように、コマンド認識部 1 4 は、NチャネルMOSトランジスタNT 9 ~ NT 1 6 と、PチャネルMOSトランジスタPT 8 ~ PT 1 2 と、インバータINV 2 4 ~ INV 3 0 と、NAND 回路 1 4 4 と、ラッチ回路 1 4 5 とを含む。そして、コマンドcomがインバータINV 2 6 , INV 2 8 に供給され、内部クロック信号pdiclkzがインバータINV 2 4 とNAND 回路 1 4 4、NチャネルMOSトランジスタNT 9 , NT 1 4 のゲート及びPチャネルMOSトランジスタPT 8 , PT 1 1 のゲートに供給されると共に、リードコマンドreadがインバータINV 3 0 から出力される。

【 0 0 9 1 】

次に、図 1 8 は、図 7 に示されたカウンタ (0 °) 7 3 の構成を示す回路図である。なお、図 7 に示されたカウンタ (1 8 0 °) 7 7 の構成は、図 1 8 に示されたカウンタ (0 °) 7 3 の構成と同様なものである。

【 0 0 9 2 】

図 1 8 に示されるように、カウンタ (0 °) 7 3 は、論理回路 1 4 6 ~ 1 5 0 と、インバータ I N V 3 1 とを含む。そして、論理回路 1 4 6 はゲート G T 5 , G T 6 と、インバータ I N V 3 2 と、クロックインバータ C I N V と、ラッチ回路 1 5 1 とを含み、ゲート G T 5 には信号 ractp0z が供給される。

【 0 0 9 3 】

ここで、論理回路 1 4 7 , 1 4 8 , 1 4 9 , 1 5 0 はそれぞれ上記論理回路 1 4 6 と同様な構成を有し、論理回路 1 4 7 及び論理回路 1 4 8 は論理回路 1 4 6 に直列接続され、直列接続された論理回路 1 4 9 と論理回路 1 5 0 は論理回路 1 4 8 に並列接続される。また、論理回路 1 4 6 , 1 4 7 , 1 4 8 へは内部クロック信号 oclke0x が供給され、論理回路 1 4 9 へは内部クロック信号 oclke18x が供給され、論理回路 1 5 0 へは内部クロック信号 oclko18x が供給される。そして、論理回路 1 4 8 , 1 5 0 からは、カウント結果を示す信号が出力制御部 2 3 へ出力される。

【 0 0 9 4 】

次に、図 1 9 は、図 7 に示された第二分周器 6 5 の構成を示す回路図である。図 1 9 に示されるように、第二分周器 6 5 はインバータ I N V 4 と、第一分周回路 6 5 a 及び第二分周回路 6 5 b を含む。そして、第一分周回路 6 5 a は、N A N D 回路 1 0 0 ~ 1 0 2 , 1 0 5 ~ 1 0 8 , 1 5 3 , 1 5 4 及びインバータ I N V 5 を含み、第二分周回路 6 5 b は N A N D 回路 1 1 0 , 1 1 1 , 1 1 4 ~ 1 1 7 , 1 5 5 ~ 1 5 7 及びインバータ I N V 6 を含む。

【 0 0 9 5 】

そして、第一分周回路 6 5 a は内部クロック信号 clkdz を分周して内部クロック信号 oclke0x , oclke18x を生成し、第二分周回路 6 5 b は内部クロック信号 clkdz を分周して内部クロック信号 oclko0x , oclko18x を生成する。なお第二分周器 6 5 は、インバータ I N V 4 に供給される信号 csuz によりリセットされる。また、上記の N A N D 回路 1 5 3 , 1 5 7 には、インバータ I N V 4 から出力された信号 csuz の反転信号が供給され、N A N D 回路 1 5 4 ~ 1 5 6 には内部電源電圧 Vii が供給される。

【 0 0 9 6 】

以上より、本実施の形態に係る半導体記憶装置によれば、第一分周器 6 1 及び第二分周器 6 5 によりクロック信号が分周されるため、内部クロック信号の周波数が低減され内部動作周波数が緩和される。これにより、外部クロック信号 c k , / c k が高周波数化した場合においても、信頼性の高い内部動作、より具体的にはデータの出力動作を実現できる。

【 0 0 9 7 】

また、遅延時間を調整する D L L 回路 5 9 へ導く内部クロック信号を、外部クロック信号 c k , / c k に対して分周された信号とはしないことにより、D L L 回路 5 9 に入力させる信号数を少なくして、D L L 回路 5 9 の回路規模と消費電流を低減することができる。そしてさらには、D L L 回路 5 9 の回路規模を低減できることから、D L L 回路 5 9 に含まれる信号線の精度を向上させることができ、D L L 回路 5 9 により実現される遅延の精度を高めることができる。

【 0 0 9 8 】

【発明の効果】

上述の如く、外部クロック信号に同期してデータを出力する半導体記憶装置であって、供給された前記外部クロック信号を分周し、第 1 の内部クロック信号を発生させる第 1 の分周器と、前記外部クロック信号を遅延させる遅延回路と、前記遅延回路から供給された信号を分周し、第 2 の内部クロック信号を発生させる第 2 の分周器と、アクセスコマンドが前記第 1 の内部クロック信号と同期して入力されたか否かを判定して判定信号を出力す

10

20

30

40

50

る認識回路と、前記第2の内部クロック信号と前記判定信号とに基づいてレイテンシのカウントを行うカウンタと、を備えることを特徴とする半導体記憶装置によれば、外部クロック信号の周波数が高くなる場合においても、内部動作周波数を低減することにより、データ制御ユニットからの外部クロック信号に同期したデータ出力を実現できると共に、遅延回路に入力される信号の数を低減することができるため、遅延回路の回路規模を低減することにより半導体記憶装置の回路規模及び消費電流を低減し、かつ回路製造上における遅延回路の精度を高めて動作の信頼性を高めることができる

【0099】

ここで前記遅延回路は、前記外部クロック信号の位相に対し、 N をゼロでない整数として、 N 周期ずれた位相の信号を供給するように構成すれば、第一の分周器と第二の分周器の同期をとることができるため、層だの信頼性を高めることができる。また前記遅延回路は、供給された前記外部クロック信号の位相を、前記外部クロック信号を n を自然数として、 $2n$ 周期遅延させることにより調整することにより、容易に第一の分周器と第二の分周器の同期をとることができるため、動作の信頼性を確実に得ることができる。

【0100】

また、前記第1の分周器と前記第2の分周器とを同時に起動させるリセット回路を含むように構成することにより、第一の分周器と第二の分周器の動作を保証することができ、半導体記憶装置の動作の信頼性を担保することができる。ここで、より具体的には、第一の分周器と第二の分周器とを電源投入時に起動させることにより、第一の分周器と第二の分周器の動作をより確実に保証することができる。

【0101】

また、外部から供給するコマンドによりリセット回路を制御することとすれば、第一の分周器と第二の分周器の動作における自由度を高めることができるため、汎用性を向上させることができる。

【0102】

また、供給される外部クロック信号をバッファするクロックバッファと、供給されるデータ制御信号により所定のデータを出力するデータ制御ユニットとを備え、前記データを前記外部クロック信号に同期して出力する半導体記憶装置であって、前記クロックバッファにより形成された信号を遅延させる遅延回路と、前記クロックバッファにより発生された前記信号を分周し第1の内部クロック信号を形成する第1の分周器と、前記遅延回路から供給された信号を分周して第2の内部クロック信号を形成する第2の分周器と、アクセスコマンドが前記第1の内部クロック信号と同期して入力されたか否かを判定して判定信号を出力する認識回路と、前記第2の内部クロック信号と前記判定信号とに基づいてレイテンシのカウントを行うカウンタと、を備えることを特徴とする半導体記憶装置によれば、外部クロック信号の周波数が高くなる場合においても、周波数が低減された第1の内部クロック信号及び第2の内部クロック信号に応じて生成されるデータ出力制御信号により、データ制御ユニットからの外部クロック信号に同期したデータ出力を実現できると共に、遅延回路に入力される信号の数を低減することができるため、遅延手段の回路規模を低減することにより半導体記憶装置の回路規模及び消費電流を低減し、かつ回路製造上における遅延手段の精度を高めて動作の信頼性を高めることができる。

【図面の簡単な説明】

【図1】従来の半導体記憶装置の構成を示す図である。

【図2】図1に示された半導体記憶装置の動作を示す波形図である。

【図3】図1に示されたDLL回路の構成を示す図である。

【図4】図3に示されたDLL回路の動作を示す波形図である。

【図5】図1に示されたクロックバッファの構成を示す回路図である。

【図6】図1に示された分周器の構成を示す回路図である。

【図7】本発明の実施の形態に係る半導体記憶装置の構成を示す図である。

【図8】図7に示された半導体記憶装置の動作を示す波形図である。

【図9】図7に示された半導体記憶装置の電源起動時の動作を示す波形図である。

10

20

30

40

50

【図 1 0】図 7 に示された D L L 回路の構成を示す図である。

【図 1 1】図 1 0 に示された D L L 回路の動作を示す波形図である。

【図 1 2】図 7 に示された第一クロックバッファの構成を示す回路図である。

【図 1 3】図 7 に示された第二クロックバッファの構成を示す回路図である。

【図 1 4】図 7 に示されたりセット回路の構成を示す回路図である。

【図 1 5】図 7 に示された第一分周器の構成を示す回路図である。

【図 1 6】図 7 に示されたリードコマンド角度認識回路の構成を示す回路図である。

【図 1 7】図 7 に示されたコマンド認識部の構成を示す回路図である。

【図 1 8】図 7 に示されたカウンタの構成を示す回路図である。

【図 1 9】図 7 に示された第二分周器の構成を示す回路図である。

10

【符号の説明】

1 , 3 , 5 , 3 3 パッド

7 , 8 クロックバッファ

9 コマンドバッファ

1 1 分周器

1 1 a , 6 5 a 第一分周回路

1 1 b , 6 5 b 第二分周回路

1 3 , 1 4 コマンド認識部

1 5 , 5 9 D L L (Delayed Locked Loop) 回路

1 7 , 6 3 出力信号生成回路

1 9 , 6 7 0 ° 論理回路

2 1 , 6 9 1 8 0 ° 論理回路

2 3 出力制御部

2 5 読出回路

2 7 メモリ

2 9 データ制御部

3 1 出力バッファ

3 5 , 7 1 リードコマンド角度認識回路 (0 °)

3 7 , 7 5 リードコマンド角度認識回路 (1 8 0 °)

3 9 , 7 3 カウンタ (0 °)

4 1 , 7 7 カウンタ (1 8 0 °)

4 3 , 7 9 経路

4 4 ~ 4 9 , 8 0 ~ 8 3 波形

5 0 リセット回路

5 1 , 5 2 第一クロックバッファ

5 3 , 5 4 第二クロックバッファ

5 5 位相比較器

6 1 第一分周器

6 5 第二分周器

9 0 , 1 6 0 レプリカ回路

9 1 第一遅延回路

9 2 第二遅延回路

9 3 シフトレジスタ

9 4 1 / 2 分周回路

9 5 抵抗

9 6 出力バッファ (ダミー)

9 7 ダミー容量

9 8 クロックバッファ (ダミー)

9 9 ダミー分周器

1 0 0 ~ 1 1 7 , 1 2 6 ~ 1 3 6 , 1 4 1 ~ 1 4 4 , 1 5 3 ~ 1 5 7 N A N D 回路

20

30

40

50

1 1 8 ~ 1 2 1 , 1 4 6 ~ 1 5 0 論理回路
1 2 3 ~ 1 2 5 , 1 3 7 , 1 3 8 , 1 5 8 NOR回路
1 3 9 , 1 4 0 , 1 7 0 , 1 7 1 MOSキャパシタ
1 4 5 , 1 5 1 ラッチ回路
1 6 1 第一クロックバッファ (ダミー)
1 6 2 第二クロックバッファ (ダミー)
1 6 3 2 / 4 分周回路
I N V 1 ~ I N V 3 6 インバータ
C I N V クロックトインバータ
N T 1 ~ N T 1 6 NチャネルMOSトランジスタ
P T 1 ~ P T 1 2 PチャネルMOSトランジスタ
G T 1 ~ G T 6 ゲート回路

10

【圖 1】

【圖 2】

従来の半導体記憶装置の構成を示す図

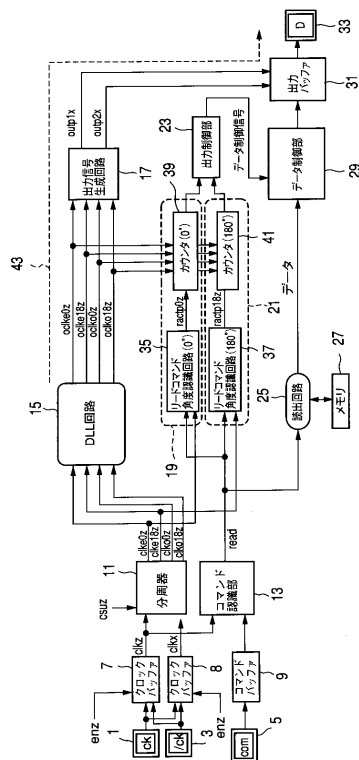
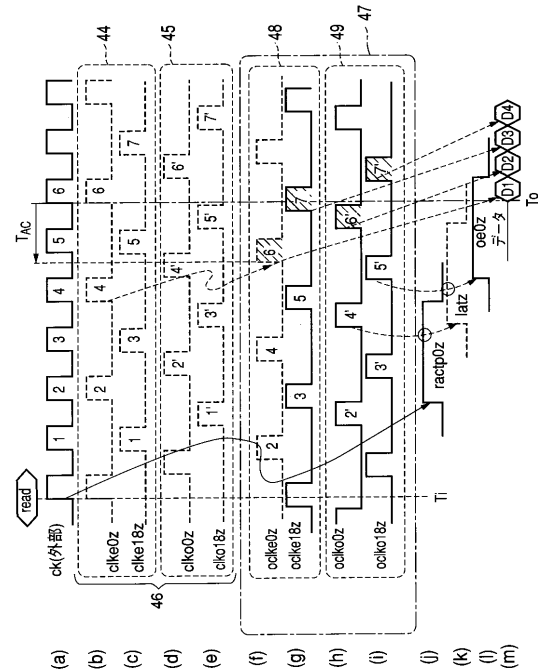
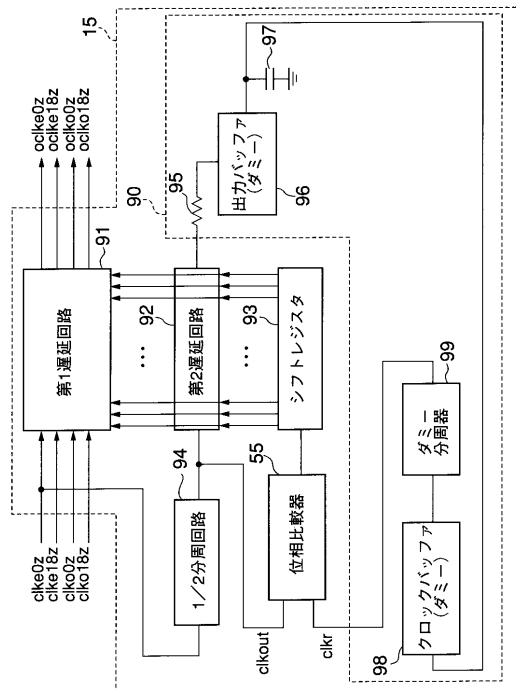


図1に示された半導体記憶装置の動作を示す波形図



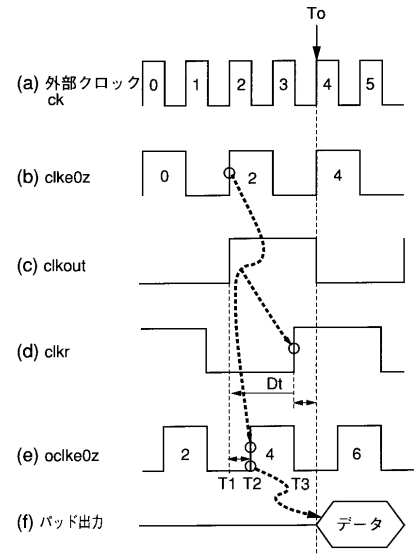
【図 3】

図1に示されたDLL回路の構成を示す図



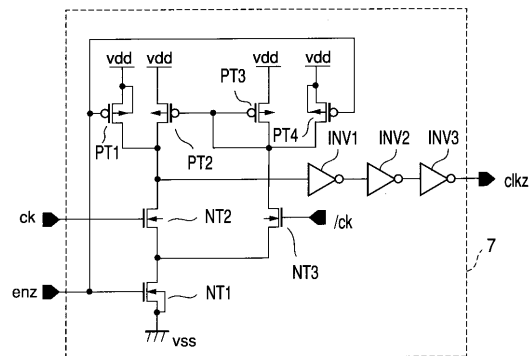
【図 4】

図3に示されたDLL回路の動作を示す波形図



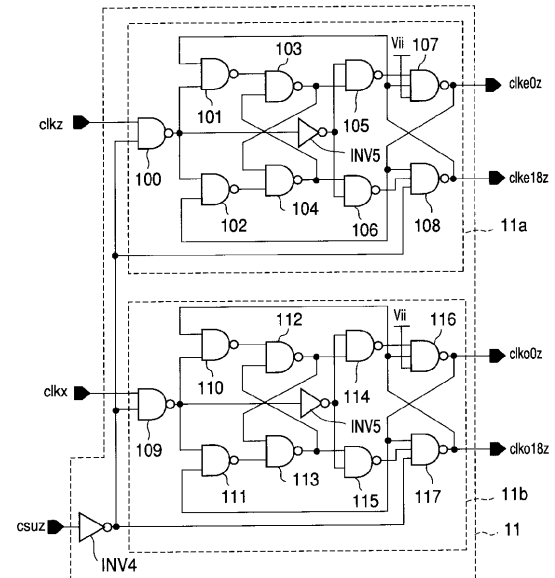
【図 5】

図1に示されたクロックバッファの構成を示す回路図



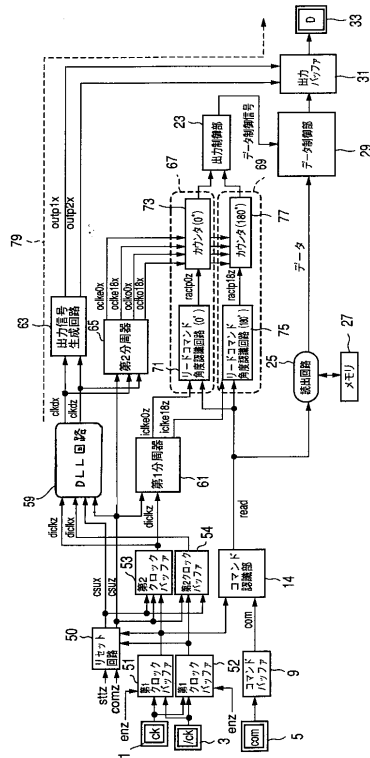
【図 6】

図1に示された分周器の構成を示す回路図



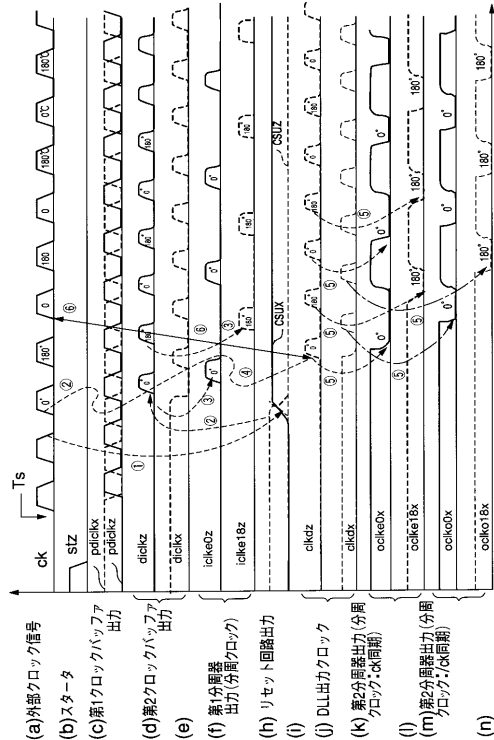
【圖 7】

本発明の実施の形態に係る半導体記憶装置の構成を示す図



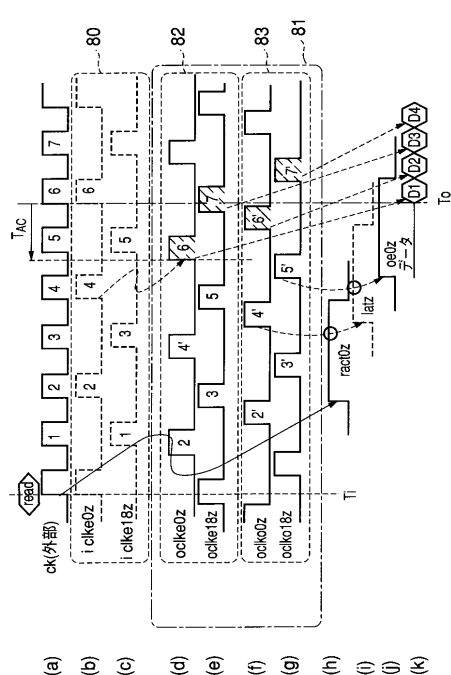
【 図 9 】

図7に示された半導体記憶装置の電源起動時の動作を示す波形図



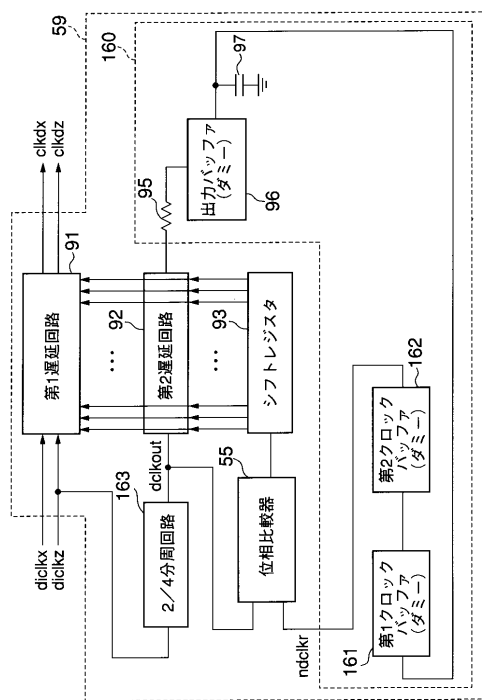
【圖 8】

図7に示された半導体記憶装置の動作を示す波形図



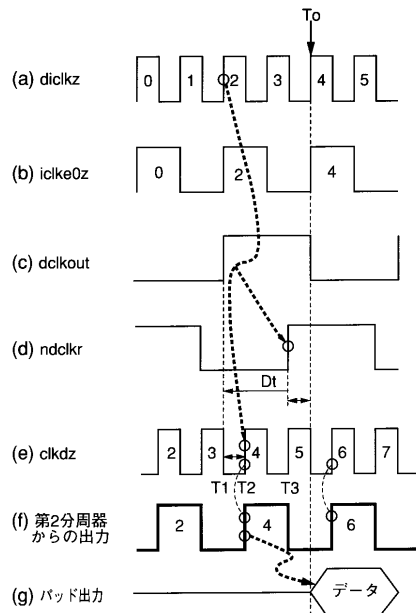
【 図 1 0 】

図7に示されたDLL回路の構成を示す図



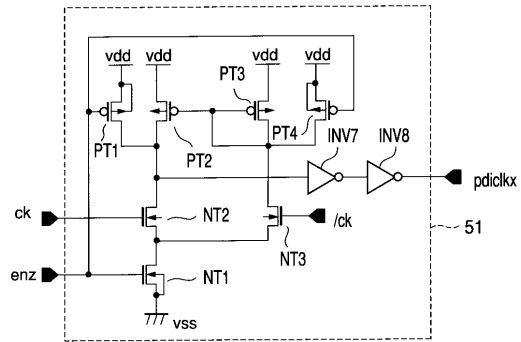
【図 1 1】

図10に示されたDLL 回路の動作を示す波形図



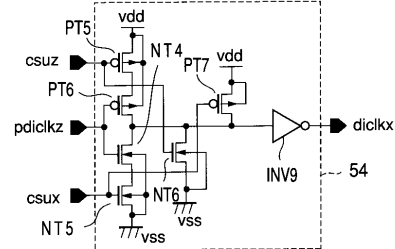
【図 1 2】

図7に示された第一クロックバッファの構成を示す回路図



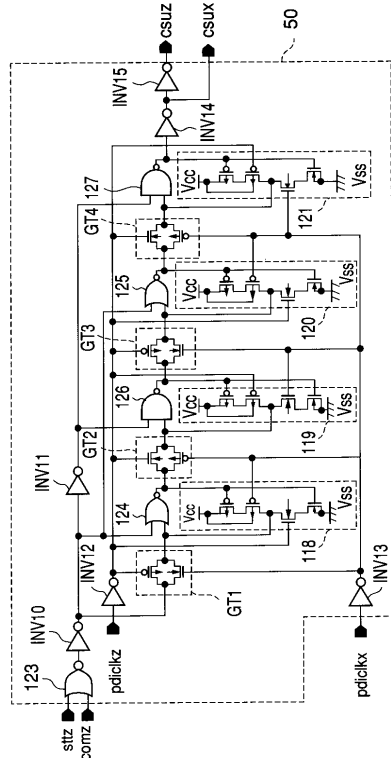
【図 1 3】

図7に示された第二クロックバッファの構成を示す回路図



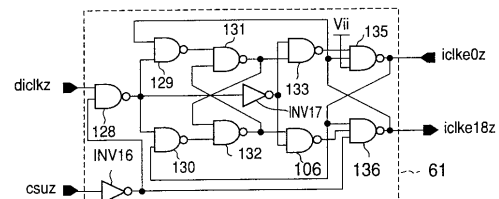
【図 1 4】

図7に示されたリセット回路の構成を示す回路図



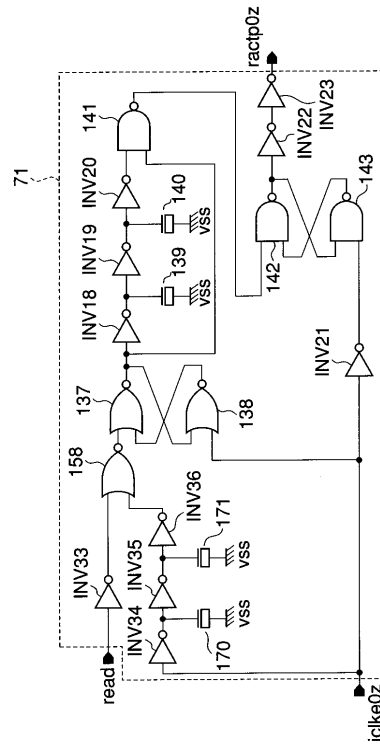
【図 1 5】

図7に示された第一分周器の構成を示す回路図



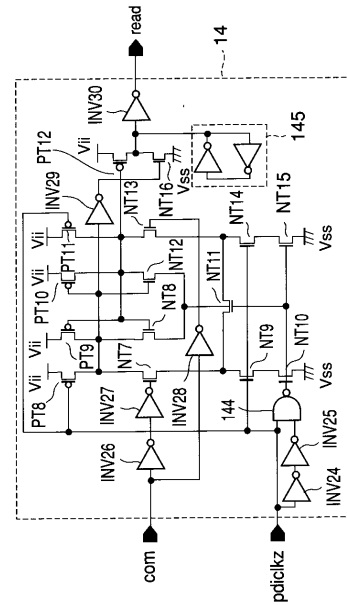
【図 16】

図7に示されたリードコマンド角度認識回路の構成を示す回路図



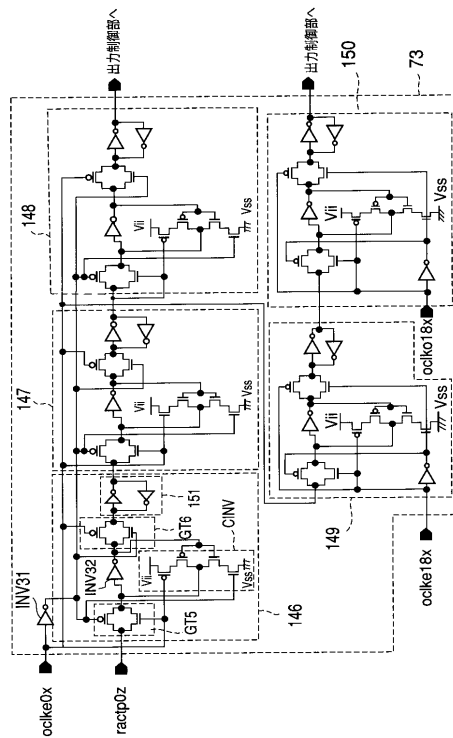
【図 17】

図7に示されたコマンド認識部の構成を示す回路図



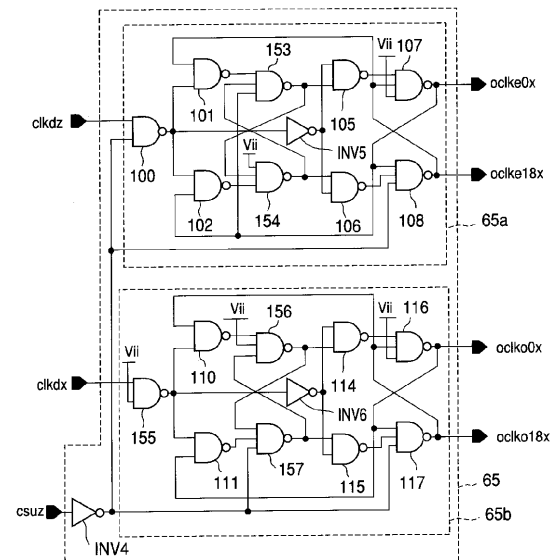
【図 18】

図7に示されたカウンタの構成を示す回路図



【図 19】

図7に示された第二分周器の構成を示す回路図



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

G11C 11/407

G11C 11/4076

G11C 11/4093