

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 96147110

※申請日期： 96.12.10 ※IPC 分類：H01L29/78 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/336 (2006.01)

半導體裝置之製造方法及半導體裝置

H01L 21/8238 (2006.01)

二、申請人：(共 1 人)

H01L 27/092 (2006.01)

姓名或名稱：(中文/英文)

日商新力股份有限公司

SONY CORPORATION

代表人：(中文/英文)

中鉢 良治

CHUBACHI, RYOJI

住居所或營業所地址：(中文/英文)

日本東京都港區港南1丁目7番1號

1-7-1 KONAN, MINATO-KU, TOKYO, 108-0075, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 1 人)

姓 名：(中文/英文)

館下 八州志

TATESHITA, YASUSHI

國 籍：(中文/英文)

日本 JAPAN

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2006年12月11日；特願2006-333087
2. 日本；2007年11月29日；特願2007-308597

無主張專利法第二十七條第一項國際優先權：

- 1.
- 2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關半導體裝置之製造方法及半導體裝置，特別是有關MOS(Metal Oxide Semiconductor：金屬氧化物半導體)型場效電晶體。

### 【先前技術】

於電晶體的世代進展中，亦不間斷地藉由微細化來進行微縮。於ITRS(International Technology Roadmap for Semiconductors：國際半導體技術)之藍圖上，稱為32 nm節點之電晶體預測閘極長(Lg)為20 nm以下。對於微縮必須配合Lg，並亦配合閘極絕緣膜之有效膜厚(EOT)或擴散層之深度(Xj)等參數來進行微縮。

上述EOT之微縮係對於確保驅動能力( $I_{ds}$ )有效，但由於自以往作為閘極絕緣膜來使用之氧化矽( $SiO_2$ )系絕緣膜之物理膜厚已來到極限，特別是閘極漏電之抑制在技術上難易度甚高，因此微縮在90 nm節點以下減速。對於此，檢討導入High-k絕緣膜來取代上述 $SiO_2$ 系絕緣膜，或導入金屬閘極電極來抑制閘極電極之空乏化，以取代多晶矽(Poly-Si)閘極電極。

上述金屬閘極電極所使用之材料即鎢(W)、鈦(Ti)、鈦(Hf)、鈦(Ru)、鈦(Ir)等為反應性高的材料，若進行高溫之熱處理，則會與閘極絕緣膜等起反應，引起閘極絕緣膜之膜質劣化等。因此，宜於形成金屬閘極電極後進行高溫之熱處理。作為實現此之一方法係提案有虛設閘極製程(鑲

嵌閘極製程)(參考例如專利文獻1、2)。

虛設閘極製程係指於矽基板上，以Poly-Si(多晶矽)等來形成虛設閘極，並形成源極·汲極區域及延伸區域等之擴散層後，進行層間絕緣膜之形成及藉由化學機器研磨(Cheical Mechanical Polishing(CMP))法之虛設閘極引出，除去虛設閘極，藉此形成自行對準中填埋用之溝槽(凹部)之製程流程。此後，進行電晶體用之閘極絕緣膜之形成，若於其後立即填埋金屬閘極電極，則其後續不需要擴散層活化所必要之熱處理，其後之加工能以低溫來進行。

另一方面，近年來亦報告許多不受限於微縮並可提高驅動能力之技術。即對於通道區域給予應力，提高電子或電洞之遷移率，藉此來提高驅動能力之技術(參考例如非專利文獻1)。

於此，利用圖21~圖22之製造步驟剖面圖，來說明將該遷移率提高技術適用於p型場效電晶體(PMOS電晶體)之製造方法之例。

首先，如圖21(a)所示，於矽(Si)基板101之表面側形成元件分離區域(省略圖示)。接著，於Si基板101上，經由由SiO<sub>2</sub>所組成之閘極絕緣膜102，來將由Poly-Si所組成之閘極電極103予以圖案形成。此時，於Si基板101上，將構成閘極絕緣膜102及閘極電極103之各材料膜、及由氮化矽(SiN)膜所組成之硬模104疊層成膜。將硬模104及閘極電極103予以圖案蝕刻。

接著，如圖 21(b)所示，於閘極絕緣膜 102、閘極電極 103及硬模 104之兩側，形成由 SiN 膜所組成之偏移間隔件 105。接下來，如圖 21(c)所示，於設有偏移間隔件 105之狀態下之閘極絕緣膜 102、閘極電極 103及硬模 104之兩側，形成由 SiO<sub>2</sub>所組成之側壁 106。

接著，如圖 21(d)所示，以上層設置有硬模 104，並於兩側經由偏移間隔件 105而設置有側壁 106之狀態下之閘極電極 103作為掩模，藉由蝕刻來下挖 Si 基板 101，進行所謂凹陷蝕刻，藉此形成凹陷區域 107。其後，藉由利用稀氟酸之洗淨處理，來除去 Si 基板 101 表面之自然氧化膜。

接下來，如圖 22(e)所示，於凹陷區域 107，亦即於被下挖之 Si 基板 101 之表面，使導入有 p 型雜質之矽鍺 (SiGe) 層之混晶層 108 進行磊晶成長。藉此，此混晶層 108 成為源極・汲極區域，矽基板 101 中由源極・汲極區域所夾住之閘極電極 103 正下方之區域成為通道區域 Ch。由於上述混晶層 108 係由 Si 及晶格常數比 Si 大之 Ge 所構成，因此壓縮應力施加於由混晶層 108 所夾住之通道區域 Ch，於通道區域 Ch 產生扭曲。

其後，如圖 22(f)所示，除去側壁 106(參考前述圖 22(e))，使設置有偏移間隔件 105 之閘極電極 103 兩側之 Si 基板 101 之表面露出。

接著，如圖 22(g)所示，以偏移間隔件 105 及硬模 104 作為掩模，於設置有偏移間隔件 105 之閘極電極 103 兩側之 Si 基板 101 進行離子注入，藉此來形成延伸區域 109。

接下來，如圖 22(h)所示，於偏移間隔件 105 之兩旁，重新形成由 SiN 所組成之側壁 110。其後，藉由濕蝕刻來除去硬模 104(參考前述圖 22(g))，使閘極電極 103 之表面露出，並且除去混晶層 108 表面之自然氧化膜。

接著，於兩側經由偏移間隔件 105 而設置有側壁 110 之閘極電極 103 之狀態下，於包含混晶層 108 上在內之 Si 基板 101 上之全區，將鎳膜等高熔點金屬膜予以成膜。其後，藉由進行熱處理，來將閘極電極 103 之表面側及混晶層 108 之表面側予以矽化物化，形成由鎳矽化物所組成之矽化物層 111。藉此使源極・汲極區域之表面側低電阻化，減低接觸電阻。

如以上，藉由混晶層 108 對於通道區域 Ch 施加壓縮應力，以使通道區域 Ch 扭曲，藉此可獲得具有充分遷移率之 PMOS 電晶體。

而且，於此雖省略圖示，但於形成 n 型場效電晶體(例如 NMOS 電晶體)之情況時，作為液晶層 108 係於凹陷區域 107，使由 Si 及晶格常數比 Si 小之碳(C)所組成之碳化矽(SiC)層進行磊晶成長，藉此於通道區域 Ch 施加拉伸應力。藉此使通道區域 Ch 扭曲，以便可獲得具有充分遷移率之 NMOS 電晶體。

而且，亦揭示有一種利用上述鑲嵌閘極製程，於閘極電極兩側之凹陷區域，選擇性地藉由 CVD(Chemical Vapor Deposition: 化學汽相成長)法來形成 SiGe 層之方法(參考例如專利文獻 3)。

[專利文獻1]日本特開2000-315789號公報

[專利文獻2]日本特開2005-26707號公報

[專利文獻3]日本特開2004-31753號公報

[非專利文獻1] T. Ghani 等， International Electron Devices Meeting Technical Digest(國際電子元件會議技術摘要)，2003年，p. 987

### 【發明內容】

[發明所欲解決之問題]

然而，於如上述利用圖21~圖22所說明之PMOS之製造方法中，如於圖23(a)之俯視圖及圖23(b)之剖面圖所示，若從包含SiGe層之混晶層108對於通道區域Ch施加壓縮應力(箭頭A)，則於xy面內，往與箭頭A正交之方向退避之力(箭頭B)會作用，並且於Si基板101之法線方向(z方向)，朝向Si基板101之外側退避之力(箭頭C)會作用。因此，若於Si基板101之通道區域Ch上存在有包含Poly-Si(多晶矽)之閘極電極103，藉由來自閘極電極103之反作用(箭頭D)會抑制朝向Si基板101之外側退避之力(箭頭C)，故無法於通道區域Ch施加充分之壓縮應力，抑制載子遷移率提高。

而且，於上述NMOS之製造方法中，如於圖24(a)之俯視圖及圖24(b)之剖面圖所示，若從包含SiC層之混晶層108'對於通道區域Ch施加壓縮應力(箭頭A')，則亦於xy面內，往與箭頭A'正交之方向退避之力(箭頭B')會作用，並且於Si基板101之法線方向(z方向)，朝向Si基板101之內側退避之力(箭頭C')會作用。因此，若於Si基板101之通道區域Ch

上存在有包含 Poly-Si(多晶矽)之閘極電極 103，藉由來自閘極電極 103 之反作用(箭頭 D')會抑制朝向 Si 基板 101 之內側退避之力(箭頭 C')，故無法於通道區域 Ch 施加充分之壓縮應力，抑制載子遷移率提高。

進一步而言，為了提高應力的效果，於 PMOS 電晶體提高包含 SiGe 層之混晶層 108 中之 Ge 濃度，於 NMOS 電晶體提高包含 SiC 之混晶層 108' 中之 C 濃度雖有效，但若鍺(Ge)濃度或碳(C)濃度過高，則於 Si 基板 101 與混晶層 108 或與混晶層 108' 之界面會發生缺陷，發生應力降低或接合漏電增加等問題。

另一方面，於專利文獻 3 所記載，藉由選擇 CVD 法而於凹陷區域形成 SiGe 層之方法中，由於藉由選擇 CVD 法來形成 SiGe 層，因此不產生對於通道區域之壓縮應力。而且，於 NMOS 區域亦形成 SiGe 層，不產生對於通道區域之拉伸應力。

因此，本發明之目的在於提供一種，防止由於晶格常數與混晶層中之 Si 不同之原子之高濃度化所造成結晶缺陷，並且可於通道區域施加充分應力之半導體裝置之製造方法及半導體裝置。

[解決問題之技術手段]

為了達成如上述之目的，本發明之半導體裝置之製造方法(第一製造方法)之特徵為，依序進行如下步驟。首先，於第一步驟，進行於矽基板上形成虛設閘極電極之步驟。接著，於第二步驟，進行藉由以虛設閘極電極作為掩模之



凹陷蝕刻，來下挖矽基板而形成凹陷區域之步驟。接著，於第三步驟，進行於凹陷區域之表面，使包含矽及晶格常數與矽不同之原子之混晶層磊晶成長之步驟。接下來，於第四步驟，進行於覆蓋虛設閘極電極之狀態下，於混晶層上形成絕緣膜，除去絕緣膜直到虛設閘極電極之表面露出之步驟。於其後之第五步驟，進行藉由除去露出之虛設閘極電極，於前述絕緣膜形成凹部之步驟。接下來，於第六步驟，進行於凹部內，經由閘極絕緣膜來形成閘極電極。

若根據如此之半導體裝置之製造方法(第一製造方法)，由於在第五步驟，藉由除去露出之虛設閘極電極來形成凹部，因此會防止從混晶層施加於虛設閘極電極正下方之通道區域之應力被來自上述虛設閘極電極之反作用抑制。

然後，其後，維持應力狀態並於凹部內經由閘極絕緣膜來形成閘極電極，以便於上述通道區域有效地施加應力，因此可使通道區域扭曲，提高載子遷移率。

而且，於上述通道區域有效地施加應力，可減低晶格常數與混晶層中之矽(Si)不同之原子之濃度。藉此，可防止由於混晶層中以高濃度含有上述原子所造成之結晶缺陷。

本發明之半導體裝置之製造方法(第二製造方法)之特徵為包含：第一步驟，其係於矽基板上，經由閘極絕緣膜來形成虛設閘極電極；第二步驟，其係藉由以前述虛設閘極電極作為掩模之凹陷蝕刻，來下挖前述矽基板而形成凹陷區域；第三步驟，其係於前述凹陷區域之表面，使包含矽及晶格常數與矽不同之原子之混晶層磊晶成長；第四步

驟，其係於覆蓋前述虛設閘極電極之狀態下，於前述混晶層上形成絕緣膜，除去該絕緣膜直到該虛設閘極電極之表面露出；第五步驟，其係藉由除去露出之前述虛設閘極電極，於前述絕緣膜形成露出前述閘極絕緣膜之凹部；及第六步驟，其係於前述凹部內，經由前述閘極絕緣膜來形成閘極電極。

本發明之半導體裝置之製造方法(第三製造方法)之特徵為包含：第一步驟，其係於矽基板上，經由閘極絕緣膜及設置於該閘極絕緣膜上之蓋膜來形成虛設閘極電極；第二步驟，其係藉由以前述虛設閘極電極作為掩模之凹陷蝕刻，來下挖前述矽基板而形成凹陷區域；第三步驟，其係於前述凹陷區域之表面，使包含矽及晶格常數與矽不同之原子之混晶層磊晶成長；第四步驟，其係於覆蓋前述虛設閘極電極之狀態下，於前述混晶層上形成絕緣膜，除去該絕緣膜直到該虛設閘極電極之表面露出；第五步驟，其係藉由除去露出之前述虛設閘極電極及前述蓋膜，於前述絕緣膜形成露出前述蓋膜之凹部；及第六步驟，其係於前述凹部內，經由前述閘極絕緣膜及前述蓋膜來形成閘極電極。

本發明之半導體裝置之製造方法(第四製造方法)之特徵為包含：第一步驟，其係於矽基板上，經由閘極絕緣膜及設置於該閘極絕緣膜上之蓋膜來形成虛設閘極電極；第二步驟，其係藉由以前述虛設閘極電極作為掩模之凹陷蝕刻，來下挖前述矽基板而形成凹陷區域；第三步驟，其係

於前述凹陷區域之表面，使包含矽及晶格常數與矽不同之原子之混晶層磊晶成長；第四步驟，其係於覆蓋前述虛設閘極電極之狀態下，於前述混晶層上形成絕緣膜，除去該絕緣膜直到該虛設閘極電極之表面露出；第五步驟，其係藉由除去露出之前述虛設閘極電極，於前述絕緣膜形成露出前述蓋膜之凹部；第五步驟，其係於前述凹部之至少底部，形成與前述蓋膜反應之金屬膜；第六步驟，其係使前述金屬膜與前述蓋膜反應來形成控制功函數之膜；及第七步驟，其係於前述凹部內，經由前述閘極絕緣膜及前述控制功函數之膜來形成閘極電極。

若根據上述半導體裝置之製造方法(第二~第四製造方法)，由於藉由除去露出之虛設閘極電極來形成凹部，因此會防止從混晶層施加於虛設閘極電極正下方之通道區域之應力被來自上述虛設閘極電極之反作用抑制。然後，其後，維持應力狀態並於凹部內經由閘極絕緣膜上來形成閘極電極，以便於上述通道區域有效地施加應力，因此可使通道區域扭曲，提高載子遷移率。

而且，於通道區域有效地施加應力，可減低晶格常數與混晶層中之矽(Si)不同之原子之濃度。

藉此，可確實地防止由於混晶層中以高濃度含有上述原子所造成之結晶缺陷。

再者，由於在閘極電極之側壁未形成閘極絕緣膜，因此相對於閘極電極之邊緣電容，閘極電極之側壁與作為源極・汲極之混晶層間之寄生電容變小。藉此，相較於在閘

極電極之側壁形成有閘極絕緣膜之情況，可更提高MOS電晶體之動作速度。

而且，本發明之半導體裝置之特徵為：其係於矽基板上，經由閘極絕緣膜而設置有閘極電極；閘極電極之側壁係以閘極絕緣膜覆蓋；於閘極電極兩側之矽基板被下挖之凹陷區域，設置有包含矽及晶格常數與矽不同之原子之混晶層。

如此之半導體裝置係由上述製造方法所製造，由於在上述通道區域有效地施加應力，因此可使通道區域扭曲，提高載子遷移率，並且可確實地防止由於混晶層中以高濃度含有晶格常數與Si不同之原子所造成之結晶缺陷。

[發明之效果]

如以上所說明，若根據本發明之半導體裝置之製造方法及半導體裝置，可提高載子遷移率，同時確實地防止混晶層中之結晶缺陷。因此，可提高開啟/關閉比等電晶體特性。

### 【實施方式】

以下，根據圖式來詳細說明有關本發明之實施型態。但於實施型態中係依製造步驟依序說明半導體裝置之結構。  
(第一實施型態)

作為有關本發明之半導體裝置之製造方法之實施型態之一例，利用圖1~圖4之製造步驟剖面圖，來說明有關CMOS(Complementary Metal Oxide Semiconductor：互補金氧半導體)之PMOS之製造方法。

首先，如圖 1(a)所示，於矽(Si)基板 1 之表面側，利用 STI(Shallow Trench Isolation：淺溝槽隔離)等手法形成元件分離區域(省略圖示)。

接著，作為用以於矽基板 1 中，將雜質予以離子注入之通道化防止用之保護膜，於矽基板 1 之表面，藉由例如氧化法來將氧化矽( $\text{SiO}_2$ )膜予以成膜。

接著，為了藉由離子注入法進行元件分離及臨限值調整，對於 NMOS 電晶體區域及 PMOS 電晶體區域分別導入雜質。

接下來，除去上述氧化矽膜，使矽基板 1 之表面露出後，以約 1 nm~3 nm 之膜厚形成例如包含氧化矽之虛設閘極絕緣膜 2。

接著，藉由例如 CVD 法，以 100 nm~200 nm 程度之膜厚，將包含 Poly-Si(多晶矽)之虛設閘極電極膜(省略圖示)予以成膜。接著，藉由例如 CVD 法，於虛設閘極電極膜上，以 30 nm~100 nm 程度之膜厚，將作為硬模之 SiN 膜予以成膜。接下來，於上述 SiN 膜上塗布抗蝕劑，藉由光微影(KrF、ArF、 $\text{F}_2$ )微影或電子束(EB)微影，將該抗蝕劑予以圖案化，藉此形成具有閘極電極之圖案之抗蝕劑圖案。

接下來，藉由將此抗蝕劑圖案使用為掩模之乾蝕刻，來加工上述氮化矽膜，藉此形成硬模 4。此時，為了較細地加工閘極電極圖案，亦有將此硬模 4 細化及修整成較抗蝕劑圖案細之線寬之情況。

其後，除去上述抗蝕劑圖案，將硬模 4 作為掩模，進行

虛設閘極絕緣膜2之乾蝕刻，藉此形成包含Poly-Si(多晶矽)之虛設閘極電極3。

其後，除去上述抗蝕劑圖案，此後藉由處理，除去虛設閘極電極3下除外之覆蓋矽基板1之表面之虛設閘極絕緣膜2。

此外，於此係說明有關以Poly-Si(多晶矽)來形成虛設閘極電極3之例，但亦可使用非晶矽來作為虛設閘極電極3之形成材料。

而且，作為硬模4亦可使用上述SiN以外之絕緣膜。

而且，於對於矽基板1可選擇性地蝕刻上述虛設閘極電極3之情況時，不形成上述虛設閘極絕緣膜2亦可。

接著，如圖1(b)所示，於虛設閘極絕緣膜2、虛設閘極電極3及硬模4之側壁，以1 nm~10 nm之膜厚來形成例如包含氮化矽(SiN)之偏移間隔件5。

接下來，如圖1(c)所示，於設置有偏移間隔件5之狀態下之虛設閘極絕緣膜2、虛設閘極電極3及硬模4之兩側，形成例如包含氧化矽(SiO<sub>2</sub>)之虛設側壁6。

於此，由於虛設側壁6係於後步驟，對於偏移間隔件5選擇性地蝕刻除去，因此宜以對於偏移間隔件5之形成材料可取得蝕刻選擇比之材料來形成。

接著，如圖1(d)所示，藉由以虛設閘極電極3上之硬模4及虛設側壁6作為掩模之蝕刻，進行下挖矽基板1之凹陷蝕刻，來形成深度50 nm~100 nm程度之凹陷區域7。此凹陷蝕刻有僅形成MNOS與PMOS之任一個之情況、及雙方依

序形成之情況。

此外，於此係說明有關於設置有虛設側壁6之狀態下進行凹陷蝕刻之例，但即使是不設置虛設側壁6而進行凹陷蝕刻之情況亦可適用本發明。

接著，如圖2(e)所示，於凹陷區域7之表面，亦即於被下挖之矽基板1之表面，使包含矽(Si)及晶格常數與矽(Si)不同之原子之混晶層8進行磊晶成長。此時，於PMOS電晶體側，作為混晶層8係使包含矽(Si)及晶格常數比矽(Si)大之鍺(Ge)之矽鍺(以下記為SiGe)層進行磊晶成長。此SiGe層係藉由導入雜質而作為源極・汲極區域來發揮功能。於此，SiGe層之磊晶成長係一面以 $1 \times 10^{19}/\text{cm}^3 \sim 5 \times 10^{20}/\text{cm}^3$ 之濃度導入硼(B)等P型雜質一面進行。藉此，由此混晶層8所夾住之虛設閘極電極3正下方之矽基板1之區域係作為通道區域來發揮功能，從上述混晶層8施加有壓縮應力(箭頭A)。藉此，如於先前技術利用圖23所說明，於矽基板1之法線方向，朝向矽基板1之外側退避之力(箭頭C)會作用，但藉由來自虛設閘極電極3之反作用(箭頭D)抑制退避之力，成為抑制壓縮應力施加之狀態。

於此，為了於通道區域有效地施加應力，混晶層8宜以從矽基板1之表面隆升之狀態形成。而且，為了防止SiGe層之Ge之高濃度化所造成之結晶缺陷，並且於通道區域有效地施加應力，構成混晶層8之SiGe層中之Ge濃度設為15 atm%~20 atm%之濃度範圍。

另一方面，雖省略於此之圖示，於NMOS電晶體側，作

為上述混晶層 8 係使包含矽 (Si) 及晶格常數比矽 (Si) 小之碳 (C) 之碳化矽 (SiC) 層進行磊晶成長。此碳化矽層之磊晶成長係一面以  $1 \times 10^{19}/\text{cm}^3 \sim 5 \times 10^{20}/\text{cm}^3$  之濃度導入砷 (As)、磷 (P) 等 n 型雜質一面進行。於此，為了防止碳化矽層之碳 (C) 之高濃度化所造成之結晶缺陷，並且於通道區域有效地施加應力，構成混晶層 8 之 SiC 層中之 C 濃度設為 0.5 atm%~1.5 atm% 之濃度範圍。

此外，NMOS 電晶體側亦如於先前技術利用圖 24 所說明，藉由來自虛設閘極電極 3 之反作用抑制退避之力，成為抑制拉伸應力施加之狀態。

此外，於此雖說明有關一面導入雜質，一面使混晶層 8 進行磊晶成長之例，但亦可不導入雜質，於使混晶層 8 進行磊晶成長後之步驟，藉由離子注入法來導入雜質。

而且，各元件區域之混晶層 8 之磊晶成長係於形成 PMOS 電晶體區域之混晶層 8 時，以抗蝕劑等保護膜來覆蓋 NMOS 電晶體區域，形成 NMOS 電晶體區域之混晶層 8 時，以抗蝕劑等保護膜來覆蓋 PMOS 電晶體區域之狀態下進行。

接著，如圖 2(f) 所示，藉由例如濕蝕刻來除去虛設側壁 6 (參考前述圖 2(e))，藉此來使偏移間隔件 5 及矽基板 1 之表面露出。

接著，如圖 2(g) 所示，於 PMOS 電晶體側，藉由例如離子注入法來導入硼離子 ( $B^+$ ) 或銦離子 ( $In^+$ ) 等 P 型雜質，藉此於偏移間隔件 5 兩側之矽基板 1 之表面，形成淺接合之延伸區域 9。



此時，作為離子注入之條件係以 100 eV~300 eV 且以  $5 \times 10^{14}/\text{cm}^2 \sim 2 \times 10^{15}/\text{cm}^2$  之劑量來進行注入。另一方面，於 NMOS 電晶體側，亦以上述注入條件來導入砷離子 ( $\text{As}^+$ ) 或磷離子 ( $\text{P}^+$ )。

此外，對於各元件區域之離子注入係於進行 PMOS 電晶體區域之離子注入時，以抗蝕劑等保護膜來覆蓋 NMOS 電晶體區域，進行 NMOS 電晶體區域之離子注入時，以抗蝕劑等保護膜來覆蓋 PMOS 電晶體區域之狀態下進行。

其後，如圖 2(h) 所示，於偏移間隔件 5 之兩側，再度形成包含例如氮化矽之側壁 10。

接著，藉由離子注入法，將硬模 4 及側壁 10 作為掩模，於混晶層 8 之表面導入雜質。此離子注入係為了減輕於後步驟形成於混晶層 8 之表面之矽化物層之接觸電阻而進行。

接著，藉由例如濺鍍法，於覆蓋設置有硬模 4 及側壁 10 之虛設閘極電極 3 之狀態下，於包含混晶層 8 上在內之矽基板 1 上之全區，形成高熔點金屬膜(省略圖示)。於此，作為高熔點金屬係使用鈷 (Co)、鎳 (Ni)、鉑 (Pt) 或此等之化合物。

接下來，藉由加熱矽基板 1，混晶層 8 之表面側被予以矽化物化，形成矽化物層 11。

其後，選擇性地除去元件分離區域(省略圖示)上及側壁 10 上之未反應之高熔點金屬膜。

接著，如圖 3(i) 所示，於覆蓋設置有硬模 4 及側壁 10 之虛

設閘極電極3之狀態下，於包含矽化物層11上在內之矽基板1上之全區，形成包含例如氧化矽( $\text{SiO}_2$ )之層間絕緣膜12。

其後，如圖3(j)所示，藉由CMP法來除去層間絕緣膜12及硬模4(參考前述圖3(i))，直到露出虛設閘極電極3之表面。

接著，如圖3(k)所示，藉由乾蝕刻來選擇性地除去虛設閘極電極3(參考前述圖3(j))及虛設閘極絕緣膜2(參考前述圖3(j))，藉此形成凹部13。

藉此，於PMOS電晶體，防止從混晶層8施加於虛設閘極電極3正下方之通道區域Ch之應力(箭頭A)被來自上述虛設閘極電極3之反作用抑制，對於通道區域Ch之壓縮應力增大。而且，於NMOS電晶體，同樣地對於通道區域之拉伸應力增大。

接下來，於除去有虛設閘極電極3之狀態下之矽基板1，進行10秒~數分之 $500^\circ\text{C}$ ~ $700^\circ\text{C}$ 之熱處理。

藉此，由混晶層8對於通道區域Ch之應力進一步增大。

接著，如圖3(l)所示，藉由例如CVD法或ALD(Atomic Layer Deposition：原子層成長)法或PVD(Physical Vapor Deposition：物理汽相成長)法，於覆蓋凹部13之內壁之狀態下，於層間絕緣膜12上，將包含例如氧化鈺( $\text{HfO}_2$ )等介電率比氧化矽( $\text{SiO}_2$ )高之High-k膜(以下稱為高介電體絕緣膜)之閘極絕緣膜14予以成膜。

其後，為了將此閘極絕緣膜14改質，進行 $400^\circ\text{C}$ ~ $700^\circ\text{C}$ 之熱處理。

此外，亦可將此熱處理與用以增大對於上述通道區域Ch之應力之熱處理同時進行。

而且，於此係說明有關於覆蓋凹部13之內壁之狀態下，形成閘極絕緣膜14之例，但例如於藉由熱氧化法而露出於凹部13之底部之矽基板1之表面，形成包含氧化矽( $\text{SiO}_2$ )膜之閘極絕緣膜14，或將藉由熱氧化法所形成之上述氧化矽膜之表面予以氮化，形成包含氮氧化矽( $\text{SiON}$ )膜之閘極絕緣膜14均可。於此情況下，於凹部13之側壁未形成閘極絕緣膜14。

而且，上述高介電體絕緣膜可使用選自鈰(Hf)、釷(La)、鋁(Al)、鋯(Zr)及鉭(Ta)中之1種金屬之金屬氧化物、金屬矽氧化物、金屬氮氧化物或金屬氮氧矽化物。例如可使用以氧化鈰( $\text{HfO}_2$ )、氧化鋁( $\text{Al}_2\text{O}_3$ )、氧化釷( $\text{La}_2\text{O}_3$ )等為一例之金屬氧化物、以氮氧化鈰( $\text{HfON}$ )、氮氧化鋁( $\text{AlON}$ )等為一例之金屬氮氧化物、以鈰矽化物( $\text{HfSiO}$ )為一例之金屬矽氧化物、以氮化鈰矽化物( $\text{HfSiON}$ )為一例之金屬氮氧矽化物等。

而且，作為一例，上述閘極絕緣膜14為氧化矽膜、氮化矽膜等矽系絕緣膜上疊層有上述高介電體絕緣膜者亦可。

接著，如圖4(m)所示，藉由例如CVD法、ALD法或PVD法，於填埋設置有閘極絕緣膜14之凹部13之狀態下，於閘極絕緣膜14上形成包含例如氮化鈦( $\text{TiN}$ )之閘極電極膜15'。作為此閘極電極膜15'之形成材料，除了鈦(Ti)以外，藉由使用鈦(Ru)、鈰(Hf)、銱(Ir)、鎢(W)、鉬(Mo)、釷

(La)、鎳(Ni)等金屬或此等之矽化合物、氮(N)化合物等金屬化合物，可較包含多晶矽(Poly-Si)之閘極電極更防止閘極電極之空乏化。

其中，即使是使用多晶矽來作為閘極電極膜15'之情況仍可適用本發明。

於此，將上述閘極絕緣膜14及閘極電極膜15'予以成膜時，藉由控制成膜條件，來維持從混晶層8對於通道區域Ch之應力施加狀態。具體而言，控制成膜時之壓力、功率、氣體流量或溫度。

接著，如圖4(n)所示，藉由例如CMP法來除去上述閘極電極膜15'(參考前述圖4(m))及閘極絕緣膜14，直到層間絕緣膜12之表面露出，於凹部13內經由閘極絕緣膜14來形成閘極電極15。

如以上形成CMOSFET。

其後，於包含閘極電極15上在內之層間絕緣膜12上，進一步形成層間絕緣膜16，進行接觸及金屬布線形成，製作半導體裝置。

若根據此半導體裝置之製造方法及藉此所獲得之半導體裝置，由於藉由除去虛設閘極電極3及虛設閘極絕緣膜2來形成凹部13，因此防止從混晶層8對於虛設閘極電極3正下方之通道區域Ch所施加之應力被來自上述虛設閘極電極3之反作用抑制。其後，維持該應力狀態並於凹部13內經由閘極絕緣膜14來形成閘極電極15，以便於上述通道區域Ch有效地施加應力，因此可使通道區域Ch扭曲，提高載子遷

移率。

而且，於通道區域Ch有效地施加應力，可減低晶格常數與混晶層8中之矽(Si)不同之原子之濃度。藉此，可確實地防止由於混晶層8中以高濃度含有上述原子所造成之結晶缺陷。

因此，可提高電晶體之特性。

於此，於圖5表示存在有利用圖2(e)所說明之虛設閘極電極3之狀態下，及無利用圖3(k)所說明之虛設閘極電極3之狀態下，施加於由混晶層8所夾住之虛設閘極電極3正下方之矽基板1之區域之應力之模擬結果。

於圖5(a)所示之分布圖中，色濃者表示更施加有應力之狀態，確認無虛設閘極電極3者係於作為通道之區域施加有應力。

而且，於圖5(b)將圖5(a)予以數值化之圖形、或圖5(c)模擬矽基板1之深度方向之應力變化之圖形，均暗示無虛設閘極電極3之狀態下者係於作為通道之區域施加有應力。

而且，圖6係比較利用鑲嵌閘極製程之情況與未利用之情況之混晶層8中之鍺(Ge)濃度所造成之對於通道區域Ch之壓縮應力之模擬結果。

如該圖形所示，其暗示藉由利用鑲嵌製程，用以獲得相同壓縮應力所必要之鍺濃度減低，因此混晶層8中之鍺濃度減低，可確實防止結晶缺陷。

[實施例]

接著，說明有關本發明之具體實施例及評估結果。

### <實施例1>

以與上述實施型態相同之方法來製作PMOS電晶體。其中，閘極絕緣膜14係使用藉由熱氧化法，來氧化於凹部13之底部露出之矽基板1之表面後，藉由進行氮化處理所形成之氮氧化矽膜，閘極電極15係使用多晶矽(Poly-Si)。

### <實施例2>

以與上述實施型態相同之方法來製作PMOS電晶體。其中，閘極絕緣膜14係使用於覆蓋凹部13之內壁之狀態下設置之氧化鈣( $\text{HfO}_2$ )膜，閘極電極15係使用氮化鈦。

### <比較例1>

作為對於實施例1、2之比較例，除了未形成混晶層8以外，均與實施例1同樣地製作PMOS電晶體。

### <評估結果1>

針對上述實施例1、2及比較例1之PMOS電晶體，測定開啟電流及關閉電流，於圖7之圖形標繪其關係之結果。

如該圖形所示，相較於比較例1之PMOS電晶體，暗示適用本發明之實施例1~3之PMOS電晶體之開啟/關閉比顯著地增大。

而且，確認如實施例2，藉由於閘極絕緣膜14使用高介電率(High-k)膜，將閘極電極15作為金屬閘極，開啟/關閉比會進一步增大。

### <評估結果2>

於圖8之圖形，表示針對上述實施例1、2及比較例1之PMOS電晶體，測定開啟電阻值之結果。

如該圖形所示，確認相較於比較例1之PMOS，適用本發明之實施例1、2之PMOS電晶體之開啟電阻值顯著地降低。

#### (第二實施型態)

接著，作為有關本發明之半導體裝置之製造方法之實施型態之一例，利用圖9~圖12之製造步驟剖面圖，來說明有關CMOS電晶體中之PMOS電晶體之製造方法。

如圖9(a)所示，於矽(Si)基板1之表面側，利用STI(Shallow Trench Isolation：淺溝槽隔離)等手法形成元件分離區域(省略圖示)。

接著，作為用以於矽基板1中，將雜質予以離子注入之通道化防止用之保護膜，於矽基板1之表面，藉由例如氧化法來將氧化矽( $\text{SiO}_2$ )膜予以成膜。

接著，為了藉由離子注入法進行元件分離及臨限值調整，對於NMOS電晶體區域及PMOS電晶體區域分別導入雜質。

接下來，除去上述氧化矽膜，使矽基板1之表面露出後，形成具有例如高介電體(High-k)絕緣膜之閘極絕緣膜17。此閘極絕緣膜17係以化學汽相成長(CVD)或原子層蒸鍍(ALD)等成膜方法，以例如約1 nm~3 nm之膜厚形成。

上述高介電體絕緣膜係以介電率比氧化矽高之選自例如鈰(Hf)、釧(La)、鋁(Al)、鋯(Zr)及鉭(Ta)中之1種金屬之金屬氧化物、金屬矽氧化物、金屬氮氧化物或金屬氮氧矽化物來形成。作為其一例可使用氧化鈰( $\text{HfO}_2$ )、氧化鋁

( $\text{Al}_2\text{O}_3$ )、氧化釷 ( $\text{La}_2\text{O}_3$ ) 等金屬氧化物、氮氧化鈺 ( $\text{HfON}$ )、氮氧化鋁 ( $\text{AlON}$ ) 等金屬氮氧化物、以鈺矽化物 ( $\text{HfSiO}$ ) 為一例之金屬矽氧化物、以氮化鈺矽化物 ( $\text{HfSiON}$ ) 為一例之金屬氮氧矽化物等。

而且，作為一例，上述閘極絕緣膜 14 為氧化矽膜、氮化矽膜等矽系絕緣膜上疊層有上述高介電體絕緣膜者亦可。

接著，藉由例如 CVD 法，以 100 nm~200 nm 程度之膜厚，將包含 Poly-Si(多晶矽)之虛設閘極電極膜(省略圖示)予以成膜。接著，藉由例如 CVD 法，於虛設閘極電極膜上，以 30 nm~100 nm 程度之膜厚，將作為硬模之 SiN 膜予以成膜。接下來，於上述 SiN 膜上塗布抗蝕劑，藉由光微影 (KrF、ArF、 $\text{F}_2$ ) 微影或電子束 (EB) 微影，將該抗蝕劑予以圖案化，藉此形成具有閘極電極之圖案之抗蝕劑圖案。

接下來，藉由將此抗蝕劑圖案使用為掩模之乾蝕刻，來加工上述氮化矽膜，藉此形成硬模 4。此時，為了較細地加工閘極電極圖案，亦有將此硬模 4 細化及修整成較抗蝕劑圖案細之線寬之情況。

其後，除去上述抗蝕劑圖案，將硬模 4 作為掩模，進行虛設閘極絕緣膜之乾蝕刻，藉此形成包含 Poly-Si(多晶矽)之虛設閘極電極 3。

虛設閘極電極膜之蝕刻係與高介電體 (High-k) 絕緣膜保持選擇比，同時不蝕刻矽基板 1。

其後，除去上述抗蝕劑圖案，此後藉由處理，除去虛設閘極電極 3 下除外之覆蓋矽基板 1 之表面之閘極絕緣膜 17，



僅於虛設閘極電極3之下部殘留。此時之虛設閘極電極3之線寬最小為數nm~十數nm。

此外，於此係說明有關以Poly-Si(多晶矽)來形成虛設閘極電極3之例，但亦可使用非晶矽來作為虛設閘極電極3之形成材料。而且，作為硬模4亦可使用上述SiN以外之絕緣膜。

接著，如圖9(b)所示，於閘極絕緣膜17、虛設閘極電極3及硬模4之側壁，以1 nm~10 nm之膜厚來形成例如包含氮化矽(SiN)之偏移間隔件5。

接下來，如圖9(c)所示，於設置有偏移間隔件5之狀態下之閘極絕緣膜17、虛設閘極電極3及硬模4之兩側，形成例如包含氧化矽(SiO<sub>2</sub>)之虛設側壁6。

於此，由於虛設側壁6係於後步驟，對於偏移間隔件5選擇性地蝕刻除去，因此宜以對於偏移間隔件5之形成材料可取得蝕刻選擇比之材料來形成。

接著，如圖9(d)所示，藉由以虛設閘極電極3上之硬模4及虛設側壁6作為掩模之蝕刻，進行下挖矽基板1之凹陷蝕刻，來形成深度50 nm~100 nm程度之凹陷區域7。

此凹陷蝕刻有僅形成MNOS電晶體與PMOS電晶體之任一個之情況、及雙方依序形成之情況。

此時，分別而言，矽鍺(SiGe)等PMOS電晶體用之混晶層形成時，將NMOS電晶體側予以抗蝕劑圖案化，而碳化矽(SiC)等NMOS電晶體用之混晶層形成時，將PMOS電晶體側予以抗蝕劑圖案化，並預先留下上述通道化防止用所

使用之氧化矽( $\text{SiO}_2$ )之保護膜。

此外，於此係說明於設置有虛設側壁6之狀態下進行凹陷蝕刻之例，但即使是不設置虛設側壁6而進行凹陷蝕刻之情況仍可適用本發明。

接著，如圖10(e)所示，於凹陷區域7之表面，亦即於被下挖之矽基板1之表面，使包含矽(Si)及晶格常數與矽(Si)不同之原子之混晶層8進行磊晶成長。此時，於PMOS電晶體側，作為混晶層8係使包含矽(Si)及晶格常數比矽(Si)大之鍺(Ge)之矽鍺(以下記為SiGe)層進行磊晶成長。

此SiGe層係藉由導入雜質而作為源極・汲極區域來發揮功能。於此，SiGe層之磊晶成長係一面以 $1 \times 10^{19}/\text{cm}^3 \sim 5 \times 10^{20}/\text{cm}^3$ 之濃度導入硼(B)等P型雜質一面進行。此時之鍺(Ge)濃度為15 at%至20 at%之範圍內進行磊晶成長，但於此若過度提高鍺(Ge)濃度，則如前述會出現由於缺陷所造成之不良影響，故具有無法提高濃度之問題。

藉此，由此混晶層8所夾住之虛設閘極電極3正下方之矽基板1之區域係作為通道區域來發揮功能，如於先前技術利用圖23所說明，從上述混晶層8施加有壓縮應力(箭頭A)。藉此，於矽基板1之法線方向，朝向矽基板1之外側退避之力(箭頭C)會作用，但藉由來自虛設閘極電極3之反作用(箭頭D)抑制退避之力，成為抑制壓縮應力施加之狀態。

另一方面，雖省略於此之圖示，於NMOS電晶體側，作為上述混晶層8係使包含矽(Si)及晶格常數比矽(Si)小之碳

(C)之碳化矽(SiC)層進行磊晶成長。此碳化矽層之磊晶成長係一面以 $1 \times 10^{19}/\text{cm}^3 \sim 5 \times 10^{20}/\text{cm}^3$ 之濃度導入砷(As)、磷(P)等n型雜質一面進行。於此，為了防止碳化矽層之碳(C)之高濃度化所造成之結晶缺陷，並且於通道區域有效地施加應力，構成混晶層8之SiC層中之C濃度設為0.5 atm%~1.5 atm%之濃度範圍。此濃度設定為低於一般報告為最佳之鍺(Ge)濃度之濃度。此係於後面敘述之鑲嵌閘極構造所造成之應力提高效果帶來之優點。

於此，為了於通道區域有效地施加應力，混晶層8宜以從矽基板1之表面隆升之狀態形成。而且，為了防止SiGe層之Ge之高濃度化所造成之結晶缺陷，並且於通道區域有效地施加應力，構成混晶層8之SiGe層中之Ge濃度設為15 atm%~20 atm%之濃度範圍。

此外，NMOS電晶體側亦如於先前技術利用圖24所說明，藉由來自虛設閘極電極3之反作用抑制退避之力，成為抑制拉伸應力施加之狀態。

此外，於此雖說明有關一面導入雜質，一面使混晶層8進行磊晶成長之例，但亦可不導入雜質，於使混晶層8進行磊晶成長後之步驟，藉由離子注入法來導入雜質。

而且，各元件區域之混晶層8之磊晶成長係於形成PMOS電晶體區域之混晶層8時，以抗蝕劑等保護膜來覆蓋NMOS電晶體區域，形成NMOS電晶體區域之混晶層8時，以抗蝕劑等保護膜來覆蓋PMOS電晶體區域之狀態下進行。

接著，如圖10(f)所示，藉由例如濕蝕刻來除去虛設側壁

6(參考前述圖 10(e))，藉此來使偏移間隔件 5 及矽基板 1 之表面露出。

接著，如圖 10(g)所示，於 PMOS 電晶體側，藉由例如離子注入法來導入硼離子 ( $B^+$ ) 或銦離子 ( $In^+$ ) 等 P 型雜質，藉此於偏移間隔件 5 兩側之矽基板 1 之表面，形成淺接合之延伸區域 9。

此時，作為離子注入之條件係以 100 eV~300 eV 之注入能量且以  $5 \times 10^{14}/cm^2 \sim 2 \times 10^{15}/cm^2$  之劑量來進行注入，形成淺接合。

另一方面，雖未圖示，於 NMOS 電晶體側，亦將砷離子 ( $As^+$ ) 或磷離子 ( $P^+$ ) 以例如 100 eV~300 eV 之注入能量且以  $5 \times 10^{14}/cm^2 \sim 2 \times 10^{15}/cm^2$  之劑量來進行注入，形成淺接合。

此外，對於各元件區域之離子注入係於進行 PMOS 電晶體區域之離子注入時，以抗蝕劑等保護膜來覆蓋 NMOS 電晶體區域，進行 NMOS 電晶體區域之離子注入時，以抗蝕劑等保護膜來覆蓋 PMOS 電晶體區域之狀態下進行。

其後，如圖 10(h)所示，於偏移間隔件 5 之兩側，再度形成包含例如氮化矽之側壁 10。

接著，藉由離子注入法，將硬模 4 及側壁 10 作為掩模，於混晶層 8 之表面導入雜質。此離子注入係為了減輕於後步驟形成於混晶層 8 之表面之矽化物層之接觸電阻而進行。

接著，藉由例如濺鍍法，於覆蓋設置有硬模 4 及側壁 10 之虛設閘極電極 3 之狀態下，於包含混晶層 8 上在內之矽基

板1上之全區，形成高熔點金屬膜(省略圖示)。於此，作為高熔點金屬係使用鈷(Co)、鎳(Ni)、鉑(Pt)或此等之化合物。

接下來，藉由加熱矽基板1，混晶層8之表面側被予以矽化物化，形成矽化物層11。

其後，選擇性地除去元件分離區域(省略圖示)上及側壁10上之未反應之高熔點金屬膜。

接著，如圖11(i)所示，於覆蓋設置有硬模4及側壁10之虛設閘極電極3之狀態下，於包含矽化物層11上在內之矽基板1上之全區，形成包含例如氧化矽( $\text{SiO}_2$ )之層間絕緣膜12。

此時，亦有形成接觸蝕刻阻擋層用之襯墊氮化矽( $\text{SiN}$ )膜，於其上以疊層來將氧化矽( $\text{SiO}_2$ )等予以成膜，以形成上述層間絕緣膜12之情況。

其後，如圖11(j)所示，藉由CMP法來除去層間絕緣膜12之上部及硬模4，直到虛設閘極電極3之表面露出。於圖式中係表示除去前之狀態。

接著，如圖11(k)所示，藉由乾蝕刻來選擇性地除去虛設閘極電極3(參考前述圖11(j))，藉此形成凹部13。此時，於凹部13之底部留下具有高介電體絕緣膜之閘極絕緣膜17。

例如於上述乾蝕刻中，藉由於蝕刻氣體使用溴化氫( $\text{HBr}$ )與氧( $\text{O}_2$ )之混合氣體，來對於閘極絕緣膜17選擇性地蝕刻除去虛設閘極電極3。

藉此，於PMOS電晶體，防止從混晶層8施加於虛設閘極電極3正下方之通道區域Ch之應力(箭頭A)被來自上述虛設閘極電極3之反作用抑制，對於通道區域Ch之壓縮應力增大。而且，於NMOS電晶體，同樣地對於通道區域之拉伸應力增大。

接下來，於除去有虛設閘極電極3之狀態下之矽基板1，進行10秒~數分之 $500^{\circ}\text{C}$ ~ $700^{\circ}\text{C}$ 之熱處理。

藉此，由混晶層8對於通道區域Ch之應力進一步增大，亦可兼有進一步藉由此熱處理，來恢復高介電體(High-k)絕緣膜之損傷之效果。

上述熱處理若小於 $500^{\circ}\text{C}$ ，則低漏電化之效果小，若超過 $700^{\circ}\text{C}$ ，則由於結晶化，會難以獲得可靠性。因此，設定為上述溫度。

接著，如圖21(1)所示，藉由例如化學汽相成長(CVD)法、原子層蒸鍍(ALD)法、物理汽相成長(PVD)法或電鍍法，於填埋設置有閘極絕緣膜17之凹部13之狀態下，於閘極絕緣膜17上形成包含例如氮化鈦(TiN)之閘極電極膜15'。作為此閘極電極膜15'之形成材料，除了鈦(Ti)以外，藉由使用鈦(Ru)、鈦(Hf)、鈦(Ir)、鈦(W)、鈦(Mo)、鈦(La)、鈦(Ni)、鈦(Cu)、鈦(Al)等金屬或此等之矽化合物、氮(N)化合物等金屬化合物，可較包含多晶矽(Poly-Si)之閘極電極更防止閘極電極之空乏化。

其中，即使是使用多晶矽來作為閘極電極膜15'之情況仍可適用本發明。

於此，將上述閘極絕緣膜17及閘極電極膜15'予以成膜時，藉由控制成膜條件，來維持從混晶層8對於通道區域Ch之應力施加狀態。具體而言，控制成膜時之壓力、功率、氣體流量或溫度。

接著，如圖12(m)所示，藉由例如化學機械研磨(CMP：Chemical Mechanical Polishing)法來除去上述閘極電極膜15'(參考前述圖12(l))，直到層間絕緣膜12之表面露出，於凹部13內之閘極絕緣膜17上形成閘極電極15。

如以上形成CMOSFET。

其後，如圖12(o)所示，於包含閘極電極15上在內之層間絕緣膜12上，進一步形成層間絕緣膜16，進行接觸及金屬布線形成，製作半導體裝置。

若根據此半導體裝置之製造方法及藉此所獲得之半導體裝置，由於藉由除去虛設閘極電極3來形成凹部13，因此防止從混晶層8對於虛設閘極電極3正下方之通道區域Ch所施加之應力被來自上述虛設閘極電極3之反作用抑制。其後，維持該應力狀態並於凹部13內之閘極絕緣膜14上形成閘極電極15，以便於上述通道區域Ch有效地施加應力，因此可使通道區域Ch扭曲，提高載子遷移率。

而且，於通道區域Ch有效地施加應力，可減低晶格常數與混晶層8中之矽(Si)不同之原子之濃度。藉此，可確實地防止由於混晶層8中以高濃度含有上述原子所造成之結晶缺陷。

而且，若於閘極電極之側壁形成具有高介電體絕緣膜之

閘極絕緣膜17，閘極電極之側壁與作為源極・汲極之混晶層8間之寄生電容變大。另一方面，於本第二實施型態，由於在閘極電極15之側壁未形成閘極絕緣膜17，因此相對於閘極電極15之邊緣電容，閘極電極15之側壁與作為源極・汲極之混晶層8間之寄生電容變小。藉此，相較於在閘極電極15之側壁形成有閘極絕緣膜17之情況，可更提高MOS電晶體之動作速度。

因此，可提高電晶體之特性。

(第三實施型態)

接著，作為有關本發明之半導體裝置之製造方法之實施型態之一例，利用圖13~圖16之製造步驟剖面圖，來說明有關CMOS電晶體中之PMOS電晶體之製造方法。

如圖13(a)所示，於矽(Si)基板1之表面側，利用STI(Shallow Trench Isolation：淺溝槽隔離)等手法形成元件分離區域(省略圖示)。

接著，作為用以於矽基板1中，將雜質予以離子注入之通道化防止用之保護膜，於矽基板1之表面，藉由例如氧化法來將氧化矽( $\text{SiO}_2$ )膜予以成膜。

接著，為了藉由離子注入法進行元件分離及臨限值調整，對於NMOS電晶體區域及PMOS電晶體區域分別導入雜質。

接下來，除去上述氧化矽膜，使矽基板1之表面露出後，形成具有例如高介電體(High-k)絕緣膜之閘極絕緣膜17。此閘極絕緣膜17係以化學汽相成長(CVD)或原子層蒸



鍍(ALD)等成膜方法，以例如約1 nm~3 nm之膜厚形成。

上述高介電體絕緣膜係以介電率比氧化矽高之選自例如鈺(Hf)、鏷(La)、鋁(Al)、鋯(Zr)及鉭(Ta)中之1種金屬之金屬氧化物、金屬矽氧化物、金屬氮氧化物或金屬氮氧矽化物來形成。作為其一例可使用氧化鈺( $\text{HfO}_2$ )、氧化鋁( $\text{Al}_2\text{O}_3$ )、氧化鏷( $\text{La}_2\text{O}_3$ )等金屬氧化物、氮氧化鈺(HfON)、氮氧化鋁(AlON)等金屬氮氧化物、以鈺矽化物( $\text{HfSiO}$ )為一例之金屬矽氧化物、以氮化鈺矽化物( $\text{HfSiON}$ )為一例之金屬氮氧矽化物等。

而且，作為一例，上述閘極絕緣膜14為氧化矽膜、氮化矽膜等矽系絕緣膜上疊層有上述高介電體絕緣膜者亦可。

接著，於上述閘極絕緣膜17上形成蓋膜18。此蓋膜18係於後續之步驟中除去形成於蓋膜18上之虛設閘極時，用以防止蝕刻損傷進入基底之閘極絕緣膜17之蝕刻阻擋層，其以例如氮化鈦(TiN)膜來形成。此蓋膜18係以化學氣相成長(CVD)法或原子層蒸鍍(ALD)等成膜方法，以例如約3 nm~10 nm之膜厚來形成。

接著，藉由例如CVD法，以100 nm~200 nm程度之膜厚，將包含Poly-Si(多晶矽)之虛設閘極電極膜41予以成膜。

接著，藉由例如CVD法，於虛設閘極電極膜上，以30 nm~100 nm程度之膜厚，將作為硬模形成膜42之氮化矽膜予以成膜。接下來，於上述SiN膜上塗布抗蝕劑，藉由光微影(KrF、ArF、 $\text{F}_2$ )微影或電子束(EB)微影，將該抗蝕劑

予以圖案化，藉此形成具有閘極電極之圖案之抗蝕劑圖案。

接下來，藉由將此抗蝕劑圖案使用為掩模之乾蝕刻，來加工上述硬模形成膜42，藉此形成硬模4。此時，為了較細地加工閘極電極圖案，亦有將此硬模4細化及修整成較抗蝕劑圖案細之線寬之情況。

其後，除去上述抗蝕劑圖案，將硬模4作為掩模，進行虛設閘極電極膜42之乾蝕刻，藉此形成包含Poly-Si(多晶矽)之虛設閘極電極3。

虛設閘極電極膜之蝕刻係與蓋膜18或高介電體(High-k)絕緣膜之閘極絕緣膜17保持選擇比，同時不蝕刻矽基板1。

其後，除去上述抗蝕劑圖案，此後藉由處理，除去虛設閘極電極3下除外之覆蓋矽基板1之表面之閘極絕緣膜17，僅於虛設閘極電極3之下部殘留。此時之虛設閘極電極3之線寬最小為數nm~十數nm。

此外，於此係說明有關以Poly-Si(多晶矽)來形成虛設閘極電極3之例，但亦可使用非晶矽來作為虛設閘極電極3之形成材料。而且，作為硬模4亦可使用上述SiN以外之絕緣膜。

接著，如圖13(c)所示，於閘極絕緣膜17、蓋膜18、虛設閘極電極3及硬模4之側壁，以1 nm~10 nm之膜厚來形成例如包含氮化矽(SiN)之偏移間隔件5。

接下來，於設置有偏移間隔件5之狀態下之閘極絕緣膜

17、蓋膜18、虛設閘極電極3及硬模4之兩側，經由上述偏移間隔件5而形成例如包含氧化矽( $\text{SiO}_2$ )之虛設側壁6。

於此，由於虛設側壁6係於後步驟，對於偏移間隔件5選擇性地蝕刻除去，因此宜以對於偏移間隔件5之形成材料可取得蝕刻選擇比之材料來形成。

接著，如圖13(d)所示，藉由以虛設閘極電極3上之硬模4及虛設側壁6作為掩模之蝕刻，進行下挖矽基板1之凹陷蝕刻，來形成深度50 nm~100 nm程度之凹陷區域7。

此凹陷蝕刻有僅形成MNOS與PMOS之任一個之情況、及雙方依序形成之情況。

此時，分別而言，矽鍺(SiGe)等PMOS電晶體用之混晶層形成時，將NMOS電晶體側予以抗蝕劑圖案化，而碳化矽(SiC)等NMOS電晶體用之混晶層形成時，將PMOS電晶體側予以抗蝕劑圖案化，並預先留下上述通道化防止用所使用之氧化矽( $\text{SiO}_2$ )之保護膜。

此外，於此係說明有關於設置有虛設側壁6之狀態下進行凹陷蝕刻之例，但即使是不設置虛設側壁6而進行凹陷蝕刻之情況亦可適用本發明。

接著，如圖14(e)所示，於凹陷區域7之表面，亦即於被下挖之矽基板1之表面，使包含矽(Si)及晶格常數與矽(Si)不同之原子之混晶層8進行磊晶成長。此時，於PMOS電晶體側，作為混晶層8係使包含矽(Si)及晶格常數比矽(Si)大之鍺(Ge)之矽鍺(以下記為SiGe)層進行磊晶成長。

此SiGe層係藉由導入雜質而作為源極・汲極區域來發揮

功能。於此，SiGe層之磊晶成長係一面以 $1 \times 10^{19}/\text{cm}^3 \sim 5 \times 10^{20}/\text{cm}^3$ 之濃度導入硼(B)等P型雜質一面進行。此時之鍺(Ge)濃度為15 at%至20 at%之範圍內進行磊晶成長，但於此若過度提高鍺(Ge)濃度，則如前述會出現由於缺陷所造成之不良影響，故具有無法提高濃度之問題。

藉此，由此混晶層8所夾住之虛設閘極電極3正下方之矽基板1之區域係作為通道區域來發揮功能，如於先前技術利用圖23所說明，從上述混晶層8施加有壓縮應力(箭頭A)。藉此，於矽基板1之法線方向，朝向矽基板1之外側退避之力(箭頭C)會作用，但藉由來自虛設閘極電極3之反作用(箭頭D)抑制退避之力，成為抑制壓縮應力施加之狀態。

另一方面，雖省略於此之圖示，於NMOS電晶體側，作為上述混晶層8係使包含矽(Si)及晶格常數比矽(Si)小之碳(C)之碳化矽(SiC)層進行磊晶成長。此碳化矽層之磊晶成長係一面以 $1 \times 10^{19}/\text{cm}^3 \sim 5 \times 10^{20}/\text{cm}^3$ 之濃度導入砷(As)、磷(P)等n型雜質一面進行。於此，為了防止碳化矽層之碳(C)之高濃度化所造成之結晶缺陷，並且於通道區域有效地施加應力，構成混晶層8之SiC層中之C濃度設為0.5 atm%~1.5 atm%之濃度範圍。此濃度設定為低於一般報告為最佳之鍺(Ge)濃度之濃度。此係於後面敘述之鑲嵌閘極構造所造成之應力提高效果。

於此，為了於通道區域有效地施加應力，混晶層8宜以從矽基板1之表面隆升之狀態形成。而且，為了防止SiGe

層之Ge之高濃度化所造成之結晶缺陷，並且於通道區域有效地施加應力，構成混晶層8之SiGe層中之Ge濃度設為15 atm%~20 atm%之濃度範圍。

此外，NMOS電晶體側亦如於前述先前技術利用圖24所說明，藉由來自虛設閘極電極3之反作用抑制退避之力，成為抑制拉伸應力施加之狀態。

此外，於此雖說明有關一面導入雜質，一面使混晶層8進行磊晶成長之例，但亦可不導入雜質，於使混晶層8進行磊晶成長後之步驟，藉由離子注入法來導入雜質。

而且，各元件區域之混晶層8之磊晶成長係於形成PMOS電晶體區域之混晶層8時，以抗蝕劑等保護膜來覆蓋NMOS電晶體區域，形成NMOS電晶體區域之混晶層8時，以抗蝕劑等保護膜來覆蓋PMOS電晶體區域之狀態下進行。

接著，如圖14(f)所示，藉由例如濕蝕刻來除去虛設側壁6(參考前述圖14(e))，藉此來使偏移間隔件5及矽基板1之表面露出。

接著，如圖14(g)所示，於PMOS電晶體側，藉由例如離子注入法來導入硼離子( $B^+$ )或銦離子( $In^+$ )等P型雜質，藉此於偏移間隔件5兩側之矽基板1之表面，形成淺接合之延伸區域9。

此時，作為離子注入之條件係以100 eV~300 eV之注入能量且以 $5 \times 10^{14}/cm^2 \sim 2 \times 10^{15}/cm^2$ 之劑量來進行注入，形成淺接合。

另一方面，於NMOS電晶體側，亦將砷離子( $As^+$ )或磷離

子 ( $P^+$ ) 以例如 100 eV~300 eV 之注入能量且以  $5 \times 10^{14}/\text{cm}^2 \sim 2 \times 10^{15}/\text{cm}^2$  之劑量來進行注入，形成淺接合。

此外，對於各元件區域之離子注入係於進行 PMOS 電晶體區域之離子注入時，以抗蝕劑等保護膜來覆蓋 NMOS 電晶體區域，進行 NMOS 電晶體區域之離子注入時，以抗蝕劑等保護膜來覆蓋 PMOS 電晶體區域之狀態下進行。

其後，如圖 14(h) 所示，於虛設閘極電極 3 之兩側，經由偏移間隔件 5 來再度形成包含例如氮化矽之側壁 10。

接著，藉由離子注入法，將硬模 4 及側壁 10 作為掩模，於混晶層 8 之表面導入雜質。此離子注入係為了減輕於後步驟形成於混晶層 8 之表面之矽化物層之接觸電阻而進行。

接著，藉由例如濺鍍法，於覆蓋設置有硬模 4 及側壁 10 之虛設閘極電極 3 之狀態下，於包含混晶層 8 上在內之矽基板 1 上之全區，形成高熔點金屬膜(省略圖示)。於此，作為高熔點金屬係使用鈷 (Co)、鎳 (Ni)、鉑 (Pt) 或此等之化合物。

接下來，藉由加熱矽基板 1，混晶層 8 之表面側被予以矽化物化，形成矽化物層 11。

其後，選擇性地除去元件分離區域(省略圖示)上及側壁 10 上之未反應之高熔點金屬膜。

接著，如圖 15(i) 所示，於覆蓋設置有硬模 4 及側壁 10 之虛設閘極電極 3 之狀態下，於包含矽化物層 11 上在內之矽基板 1 上之全區，形成包含例如氧化矽 ( $\text{SiO}_2$ ) 之層間絕緣膜

12。

此時，亦有形成接觸蝕刻阻擋層用之襯墊氮化矽(SiN)膜，於其上以疊層來將氧化矽(SiO<sub>2</sub>)等予以成膜，以形成上述層間絕緣膜12之情況。

其後，如圖15(j)所示，藉由CMP法來除去層間絕緣膜12之上部及硬模4(參考前述圖15(i))，直到虛設閘極電極3之表面露出。於圖式中係表示除去硬模前之狀態。

接著，如圖15(k)所示，藉由乾蝕刻來選擇性地除去虛設閘極電極3(參考前述圖15(j))，藉此形成凹部13。此時，由於凹部13底部之蓋膜18為蝕刻阻擋層，因此蝕刻損傷不會進入閘極絕緣膜17。

例如於上述乾蝕刻中，於蝕刻氣體使用溴化氫(HBr)與氧(O<sub>2</sub>)之混合氣體。

並且，如圖15(l)所示，藉由對於基底甚少給予蝕刻損傷之濕蝕刻或乾蝕刻，來選擇性地除去蓋膜18(參考前述圖15(k))，藉此於凹部13之底部留下閘極絕緣膜17。

例如以氮化鈦來形成蓋膜18，並以濕蝕刻除去之情況時，於蝕刻液使用氨過水溶液。

此外，上述蓋膜18亦有直接作為金屬閘極用之功函數控制用之金屬來使用之情況，亦有不除去而預先留下之情況。並且，如雙金屬閘極分開製作NMOS電晶體與PMOS電晶體之功函數控制用金屬之情況等，亦可僅留在任一電晶體。

藉此，於PMOS電晶體，防止從混晶層8施加於虛設閘極

電極3正下方之通道區域Ch之應力被來自上述虛設閘極電極3之反作用抑制，對於通道區域Ch之壓縮應力增大。而且，於NMOS電晶體，同樣地對於通道區域之拉伸應力增大。

接下來，於除去有虛設閘極電極3之狀態下之矽基板1，進行10秒~數分之500°C~700°C之熱處理。

藉此，由混晶層8對於通道區域Ch之應力進一步增大，亦可兼有進一步藉由此熱處理，來恢復高介電體(High-k)絕緣膜之損傷之效果。

上述熱處理若小於500°C，則低漏電化之效果小，若超過700°C，則由於結晶化，會難以獲得可靠性。因此，設定為上述溫度。

接著，如圖16(m)所示，藉由例如化學汽相成長(CVD)法、原子層蒸鍍(ALD)法、物理汽相成長(PVD)法或電鍍法，於填埋設置有閘極絕緣膜17之凹部13之狀態下，於閘極絕緣膜17上形成包含例如氮化鈦(TiN)之閘極電極膜15'。作為此閘極電極膜15'之形成材料，除了鈦(Ti)以外，藉由使用鈦(Ru)、鈦(Hf)、鈦(Ir)、鈦(W)、鈦(Mo)、鈦(La)、鈦(Ni)、鈦(Cu)、鈦(Al)等金屬或此等之矽化合物、氮(N)化合物等金屬化合物，可較包含多晶矽(Poly-Si)之閘極電極更防止閘極電極之空乏化。

其中，即使是使用多晶矽來作為閘極電極膜15'之情況仍可適用本發明。

於此，將上述閘極絕緣膜17及閘極電極膜15'予以成膜



時，藉由控制成膜條件，來維持從混晶層8對於通道區域Ch之應力施加狀態。具體而言，控制成膜時之壓力、功率、氣體流量或溫度。

接著，如圖16(n)所示，藉由例如化學機械研磨(CMP：Chemical Mechanical Polishing)法來除去上述閘極電極膜15'(參考前述圖16(m))，直到層間絕緣膜12之表面露出，於凹部13內之閘極絕緣膜17上形成閘極電極15。

如以上形成CMOSFET。

其後，如圖16(o)所示，於包含閘極電極15上在內之層間絕緣膜12上，進一步形成層間絕緣膜16，雖未圖示，但進行接觸及金屬布線形成，製作半導體裝置。

若根據此半導體裝置之製造方法及藉此所獲得之半導體裝置，由於藉由除去虛設閘極電極3來形成凹部13，因此防止從混晶層8對於虛設閘極電極3正下方之通道區域Ch所施加之應力被來自上述虛設閘極電極3之反作用抑制。其後，維持該應力狀態並於凹部13內之閘極絕緣膜14上形成閘極電極15，以便於上述通道區域Ch有效地施加應力，因此可使通道區域Ch扭曲，提高載子遷移率。

而且，於通道區域Ch有效地施加應力，可減低晶格常數與混晶層8中之矽(Si)不同之原子之濃度。藉此，可確實地防止由於混晶層8中以高濃度含有上述原子所造成之結晶缺陷。

因此，可提高電晶體之特性。

(第四實施型態)

接著，作為有關本發明之半導體裝置之製造方法之實施型態之一例，利用圖17~圖18之製造步驟剖面圖，來說明有關CMOS電晶體中之NMOS電晶體及PMOS電晶體之製造方法。

藉由於前述第三實施型態中藉由圖13(a)~圖15(k)所說明者同樣地形成以下結構。

亦即，如圖17(a)所示，首先，於矽(Si)基板1之表面側，利用STI(Shallow Trench Isolation：淺溝槽隔離)等手法形成元件分離區域(省略圖示)。

接著，為了藉由離子注入法進行元件分離及臨限值調整，對於NMOS電晶體區域及PMOS電晶體區域分別導入雜質。

接下來，於矽基板1之表面形成具有例如高介電體(High-k)絕緣膜之閘極絕緣膜17。此閘極絕緣膜17係以化學汽相成長(CVD)或原子層蒸鍍(ALD)等成膜方法，以例如約1 nm~3 nm之膜厚形成。

上述高介電體絕緣膜係以介電率比氧化矽高之選自例如鈰(Hf)、鐳(La)、鋁(Al)、銦(Zr)及鉭(Ta)中之1種金屬之金屬氧化物、金屬矽氧化物、金屬氮氧化物或金屬氮氧矽化物來形成。作為其一例可使用氧化鈰(HfO<sub>2</sub>)、氧化鋁(Al<sub>2</sub>O<sub>3</sub>)、氧化鐳(La<sub>2</sub>O<sub>3</sub>)等金屬氧化物、氮氧化鈰(HfON)、氮氧化鋁(AlON)等金屬氮氧化物、以鈰矽化物(HfSiO)為一例之金屬矽氧化物、以氮化鈰矽化物(HfSiON)為一例之金屬氮氧矽化物等。

而且，作為一例，上述閘極絕緣膜14為氧化矽膜、氮化矽膜等矽系絕緣膜上疊層有上述高介電體絕緣膜者亦可。

接著，於上述閘極絕緣膜17上形成蓋膜18。

此蓋膜18係於後續之步驟中除去形成於蓋膜18上之虛設閘極時，用以防止蝕刻損傷進入基底之閘極絕緣膜17之蝕刻阻擋層，其以例如氮化鈦(TiN)膜來形成。上述蓋膜18係以化學氣相成長(CVD)法或原子層蒸鍍(ALD)等成膜方法，以例如約3 nm~10 nm之膜厚來形成。

接著，藉由例如CVD法，以100 nm~200 nm程度之膜厚，將包含Poly-Si(多晶矽)之虛設閘極電極膜(省略圖示)予以成膜。

接著，藉由例如CVD法，於虛設閘極電極膜上，以30 nm~100 nm程度之膜厚，將作為硬模之氮化矽膜予以成膜。

接下來，藉由將抗蝕劑圖案使用為掩模之乾蝕刻，來加工上述氮化矽膜，藉此形成硬模(未圖示)。

其後，除去上述抗蝕劑圖案，將硬模作為掩模，進行虛設閘極電極膜之乾蝕刻，藉此形成包含Poly-Si(多晶矽)之虛設閘極電極(未圖示)。

虛設閘極電極膜之蝕刻係與蓋膜18或高介電體(High-k)絕緣膜之閘極絕緣膜17保持選擇比，同時不蝕刻矽基板1。

其後，除去上述抗蝕劑圖案，此後藉由處理，除去虛設閘極電極下除外之覆蓋矽基板1之表面之閘極絕緣膜17，

僅於虛設閘極電極之下部殘留。此時之虛設閘極電極之線寬最小為數nm~十數nm。

接著，於閘極絕緣膜17、蓋膜18、虛設閘極電極3及硬模之側壁，以1 nm~10 nm之膜厚來形成例如包含氮化矽(SiN)之偏移間隔件5。

接下來，於設置有偏移間隔件5之狀態下之閘極絕緣膜17、蓋膜18、虛設閘極電極及硬模之兩側，形成例如包含氧化矽(SiO<sub>2</sub>)之虛設側壁(未圖示)。

於此，由於虛設側壁6係於後步驟，對於偏移間隔件5選擇性地蝕刻除去，因此宜以對於偏移間隔件5之形成材料可取得蝕刻選擇比之材料來形成。

接著，藉由以虛設閘極電極上之硬模及虛設側壁作為掩模之蝕刻，進行下挖矽基板1之凹陷蝕刻，來形成深度50 nm~100 nm程度之凹陷區域7。

此凹陷蝕刻有僅形成MNOS與PMOS之任一個之情況、及雙方依序形成之情況。

此時，分別而言，矽鍺(SiGe)等PMOS電晶體用之混晶層形成時，將NMOS電晶體側予以抗蝕劑圖案化，而碳化矽(SiC)等NMOS電晶體用之混晶層形成時，將PMOS電晶體側予以抗蝕劑圖案化，並預先留下上述通道化防止用所使用之氧化矽(SiO<sub>2</sub>)之保護膜。

接著，於凹陷區域7之表面，亦即於被下挖之矽基板1之表面，使包含矽(Si)及晶格常數與矽(Si)不同之原子之混晶層8(8p)進行磊晶成長。

此時，於PMOS電晶體側，作為混晶層8係使包含矽(Si)及晶格常數比矽(Si)大之鍺(Ge)之矽鍺(以下記為SiGe)層進行磊晶成長。

藉此，由此混晶層8p所夾住之虛設閘極電極正下方之矽基板1之區域係作為通道區域來發揮功能，從上述混晶層8p施加有壓縮應力。

另一方面，於NMOS電晶體側，作為上述混晶層8(8n)係使包含矽(Si)及晶格常數比矽(Si)小之碳(C)之碳化矽(SiC)層進行磊晶成長。此碳化矽層之磊晶成長係一面以 $1 \times 10^{19}/\text{cm}^3 \sim 5 \times 10^{20}/\text{cm}^3$ 之濃度導入砷(As)、磷(P)等n型雜質一面進行。

於此，為了防止碳化矽層之碳(C)之高濃度化所造成之結晶缺陷，並且於通道區域有效地施加應力，構成混晶層8n之SiC層中之C濃度設為0.5 atm%~1.5 atm%之濃度範圍。此濃度設定為低於一般報告為最佳之鍺(Ge)濃度之濃度。此係於後面敘述之鑲嵌閘極構造所造成之應力提高效果帶來之優點。

於此，為了於通道區域有效地施加應力，混晶層8宜以從矽基板1之表面隆升之狀態形成。

而且，為了防止SiGe層之Ge之高濃度化所造成之結晶缺陷，並且於通道區域有效地施加應力，構成混晶層8p之SiGe層中之Ge濃度設為15 atm%~20 atm%之濃度範圍。

接著，藉由例如濕蝕刻來除去虛設側壁，藉此來使偏移間隔件5及矽基板1之表面露出。

接著，於PMOS電晶體側，藉由例如離子注入法來導入硼離子( $B^+$ )或銦離子( $In^+$ )等P型雜質，藉此於偏移間隔件5兩側之矽基板1之表面，形成淺接合之延伸區域9(9p)。

此時，作為離子注入之條件係以100 eV~300 eV之注入能量且以 $5 \times 10^{14}/\text{cm}^2 \sim 2 \times 10^{15}/\text{cm}^2$ 之劑量來進行注入，形成淺接合。

另一方面，於NMOS電晶體側，亦將砷離子( $As^+$ )或磷離子( $P^+$ )以例如100 eV~300 eV之注入能量且以 $5 \times 10^{14}/\text{cm}^2 \sim 2 \times 10^{15}/\text{cm}^2$ 之劑量來進行注入，形成淺接合之延伸區域9(9n)。

此外，對於各元件區域之離子注入係於進行PMOS電晶體區域之離子注入時，以抗蝕劑等保護膜來覆蓋NMOS電晶體區域，進行NMOS電晶體區域之離子注入時，以抗蝕劑等保護膜來覆蓋PMOS電晶體區域之狀態下進行。

其後，於偏移間隔件5之兩側，再度形成包含例如氮化矽之側壁10。

接著，藉由離子注入法，將硬模4及側壁10作為掩模，於各混晶層8之表面導入與各混晶層8之傳導型相對應之雜質。此離子注入係為了減輕於後步驟形成於混晶層8之表面之矽化物層之接觸電阻而進行。

接著，藉由例如濺鍍法，於覆蓋設置有硬模4及側壁10之虛設閘極電極3之狀態下，於包含混晶層8上在內之矽基板1上之全區，形成高熔點金屬膜(省略圖示)。於此，作為高熔點金屬係使用鈷(Co)、鎳(Ni)、鉑(Pt)或此等之化合

物。

接下來，藉由加熱矽基板1，混晶層8之表面側被予以矽化物化，形成矽化物層11。

其後，選擇性地除去元件分離區域(省略圖示)上及側壁10上之未反應之高熔點金屬膜。

接著，於覆蓋設置有硬模及側壁10之虛設閘極電極之狀態下，於包含矽化物層11上在內之矽基板1上之全區，形成包含例如氧化矽( $\text{SiO}_2$ )之層間絕緣膜12。

此時，亦有形成接觸蝕刻阻擋層用之襯墊氮化矽( $\text{SiN}$ )膜，於其上以疊層來將氧化矽( $\text{SiO}_2$ )等予以成膜，以形成上述層間絕緣膜12之情況。

其後，藉由CMP法來除去層間絕緣膜12及硬模，直到虛設閘極電極之表面露出。

接著，藉由乾蝕刻來選擇性地除去虛設閘極電極，藉此形成凹部13。此時，由於凹部13底部之蓋膜18為蝕刻阻擋層，因此蝕刻損傷不會進入閘極絕緣膜17。

例如於上述乾蝕刻中，於蝕刻氣體使用溴化氫( $\text{HBr}$ )與氧( $\text{O}_2$ )之混合氣體。

並且，如圖17(b)所示，以被覆PMOS電晶體側之方式形成抗蝕劑掩模31。此抗蝕劑掩模31係藉由通常之抗蝕劑塗布技術及微影技術來形成。

接著，除去上述NMOS電晶體側之上述蓋膜18(參考前述圖17(a))。此蓋膜18之蝕刻係藉由對於基底之閘極絕緣膜17甚少給予蝕刻損傷之濕蝕刻或乾蝕刻，來選擇性地除

去，藉此於上述NMOS電晶體側之凹部13之底部留下閘極絕緣膜17。

例如濕蝕刻之情況時，於蝕刻液使用氫過水溶液。

藉此，於PMOS電晶體，防止從混晶層8施加於虛設閘極電極正下方之通道區域Ch之應力被來自上述虛設閘極電極之反作用抑制，對於通道區域Ch之壓縮應力增大。而且，於NMOS電晶體，同樣地對於通道區域之拉伸應力增大。

接下來，於除去有虛設閘極電極之狀態下之矽基板1，進行10秒~數分之 $500^{\circ}\text{C}$ ~ $700^{\circ}\text{C}$ 之熱處理。

藉此，由混晶層8對於通道區域Ch之應力進一步增大，亦可兼有進一步藉由此熱處理，來恢復高介電體(High-k)絕緣膜之損傷之效果。

上述熱處理若小於 $500^{\circ}\text{C}$ ，則低漏電化之效果小，若超過 $700^{\circ}\text{C}$ ，則由於結晶化，會難以獲得可靠性。因此，設定為上述溫度。

接著，如圖18(c)所示，於上述凹部13之內面形成控制功函數之功函數控制膜19。上述功函數控制膜19係藉由化學汽相成長(CVD)法、原子層蒸鍍(ALD)法或物理汽相成長(PVD)法來形成，以例如鉭(Ta)、鈦(Hf)、釧(La)、鎳(Ni)、銅(Cu)、鋁(Al)等金屬來形成。或者，以此等金屬之矽化合物或氮化物來形成。

接著，藉由例如化學汽相成長(CVD)法、原子層蒸鍍(ALD)法、物理汽相成長(PVD)法或電鍍法，於填埋設置有功函數控制膜19之凹部13之狀態下，形成包含例如金屬



之閘極電極膜 15'。作為此閘極電極膜 15'之形成材料係使用鎢(W)、銅(Cu)、鋁(Al)等電阻低之金屬。

於此，將上述功函數控制膜 19 及閘極電極膜 15' 予以成膜時，藉由控制成膜條件，來維持從混晶層 8 對於通道區域 Ch 之應力施加狀態。具體而言，控制成膜時之壓力、功率、氣體流量或溫度。

接著，如圖 18(d) 所示，藉由例如化學機械研磨(CMP：Chemical Mechanical Polishing)法來除去上述閘極電極膜 15'(參考前述圖 16(m))及功函數控制膜 19 之一部分，直到層間絕緣膜 12 之表面露出，於 NMOS 電晶體，於凹部 13 內之閘極絕緣膜 17 上，經由功函數控制膜 19 來形成閘極電極 15。而且，於 PMOS 電晶體，於凹部 13 內之閘極絕緣膜 17 及蓋膜 18 上，經由功函數控制膜 19 來形成閘極電極 15。

如以上形成 CMOSFET。

其後，雖未圖示，於包含閘極電極 15 上在內之層間絕緣膜 12 上，進一步形成層間絕緣膜，雖未圖示，但進行接觸及金屬布線形成，製作半導體裝置。

於形成上述閘極電極 15 時，宜形成密著層。例如於閘極電極 15 使用鎢(W)之情況時，於密著層使用氮化鈦(TiN)膜，於閘極電極 15 使用鋁(Al)之情況時，於密著層使用鈦(Ti)膜，於閘極電極 15 使用銅之情況時，於密著層使用鉭(Ta)膜。

若根據此半導體裝置之製造方法及藉此所獲得之半導體裝置，由於藉由除去虛設閘極電極來形成凹部 13，因此防

止從混晶層8對於虛設閘極電極正下方之通道區域Ch所施加之應力被來自上述虛設閘極電極之反作用抑制。其後，維持該應力狀態並於凹部13內之閘極絕緣膜14上形成閘極電極15，以便於上述通道區域Ch有效地施加應力，因此可使通道區域Ch扭曲，提高載子遷移率。

而且，於通道區域Ch有效地施加應力，可減低晶格常數與混晶層8中之矽(Si)不同之原子之濃度。藉此，可確實地防止由於混晶層8中以高濃度含有上述原子所造成之結晶缺陷。

而且，藉由設置功函數控制膜19來控制電晶體之功函數，謀求進一步提高載子遷移率。

因此，可提高電晶體之特性。

#### (第五實施型態)

接著，作為有關本發明之半導體裝置之製造方法之實施型態之一例，利用圖19~圖20之製造步驟剖面圖，來說明有關CMOS電晶體中之NMOS電晶體及PMOS電晶體之製造方法。

藉由於前述第三實施型態中藉由圖13(a)~圖15(k)所說明者同樣地形成以下結構。

亦即，如圖19(a)所示，首先，於矽(Si)基板1之表面側，利用STI(Shallow Trench Isolation：淺溝槽隔離)等手法形成元件分離區域(省略圖示)。

接著，為了藉由離子注入法進行元件分離及臨限值調整，對於NMOS電晶體區域及PMOS電晶體區域分別導入

雜質。

接下來，於矽基板1之表面形成具有例如高介電體(High-k)絕緣膜之閘極絕緣膜17。此閘極絕緣膜17係以化學汽相成長(CVD)或原子層蒸鍍(ALD)等成膜方法，以例如約1 nm~3 nm之膜厚形成。

上述高介電體絕緣膜係以介電率比氧化矽高之選自例如鈰(Hf)、鏷(La)、鋁(Al)、鋯(Zr)及鉭(Ta)中之1種金屬之金屬氧化物、金屬矽氧化物、金屬氮氧化物或金屬氮氧矽化物來形成。作為其一例可使用氧化鈰( $\text{HfO}_2$ )、氧化鋁( $\text{Al}_2\text{O}_3$ )、氧化鏷( $\text{La}_2\text{O}_3$ )等金屬氧化物、氮氧化鈰(HfON)、氮氧化鋁(AlON)等金屬氮氧化物、以鈰矽化物( $\text{HfSiO}$ )為一例之金屬矽氧化物、以氮化鈰矽化物( $\text{HfSiON}$ )為一例之金屬氮氧矽化物等。

而且，作為一例，上述閘極絕緣膜14為氧化矽膜、氮化矽膜等矽系絕緣膜上疊層有上述高介電體絕緣膜者亦可。

接著，於上述閘極絕緣膜17上形成蓋膜18。

此蓋膜18係於後續之步驟中除去形成於蓋膜18上之虛設閘極時，用以防止蝕刻損傷進入基底之閘極絕緣膜17之蝕刻阻擋層，其以例如氮化鈦(TiN)膜來形成。上述蓋膜18係以化學氣相成長(CVD)法或原子層蒸鍍(ALD)等成膜方法，以例如約3 nm~10 nm之膜厚來形成。

接著，藉由例如CVD法，以100 nm~200 nm程度之膜厚，將包含Poly-Si(多晶矽)之虛設閘極電極膜(省略圖示)予以成膜。

接著，藉由例如 CVD 法，於虛設閘極電極膜上，以 30 nm~100 nm 程度之膜厚，將作為硬模之氮化矽膜予以成膜。

接下來，藉由將抗蝕劑圖案使用為掩模之乾蝕刻，來加工上述氮化矽膜，藉此形成硬模(未圖示)。

其後，除去上述抗蝕劑圖案，將硬模作為掩模，進行虛設閘極電極膜之乾蝕刻，藉此形成包含 Poly-Si(多晶矽)之虛設閘極電極(未圖示)。

虛設閘極電極膜之蝕刻係與蓋膜 18 或高介電體(High-k)絕緣膜之閘極絕緣膜 17 保持選擇比，同時不蝕刻矽基板 1。

其後，除去上述抗蝕劑圖案，此後藉由處理，除去虛設閘極電極下除外之覆蓋矽基板 1 之表面之閘極絕緣膜 17，僅於虛設閘極電極之下部殘留。此時之虛設閘極電極之線寬最小為數 nm~十數 nm。

接著，於閘極絕緣膜 17、蓋膜 18、虛設閘極電極 3 及硬模之側壁，以 1 nm~10 nm 之膜厚來形成例如包含氮化矽(SiN)之偏移間隔件 5。

接下來，於設置有偏移間隔件 5 之狀態下之閘極絕緣膜 17、蓋膜 18、虛設閘極電極及硬模之兩側，形成例如包含氧化矽(SiO<sub>2</sub>)之虛設側壁(未圖示)。

於此，由於虛設側壁係於後步驟，對於偏移間隔件 5 選擇性地蝕刻除去，因此宜以對於偏移間隔件 5 之形成材料可取得蝕刻選擇比之材料來形成。

接著，藉由以虛設閘極電極上之硬模及虛設側壁作為掩模之蝕刻，進行下挖矽基板1之凹陷蝕刻，來形成深度50 nm~100 nm程度之凹陷區域7。

此凹陷蝕刻有僅形成MNOS與PMOS之任一個之情況、及雙方依序形成之情況。

此時，分別而言，矽鍺(SiGe)等PMOS電晶體用之混晶層形成時，將NMOS電晶體側予以抗蝕劑圖案化，而碳化矽(SiC)等NMOS電晶體用之混晶層形成時，將PMOS電晶體側予以抗蝕劑圖案化，並預先留下上述通道化防止用所使用之氧化矽(SiO<sub>2</sub>)之保護膜。

接著，於凹陷區域7之表面，亦即於被下挖之矽基板1之表面，使包含矽(Si)及晶格常數與矽(Si)不同之原子之混晶層8(8p)進行磊晶成長。

此時，於PMOS電晶體側，作為混晶層8係使包含矽(Si)及晶格常數比矽(Si)大之鍺(Ge)之矽鍺(以下記為SiGe)層進行磊晶成長。

藉此，由此混晶層8p所夾住之虛設閘極電極正下方之矽基板1之區域係作為通道區域來發揮功能，從上述混晶層8p施加有壓縮應力。

另一方面，於NMOS電晶體側，作為上述混晶層8(8n)係使包含矽(Si)及晶格常數比矽(Si)小之碳(C)之碳化矽(SiC)層進行磊晶成長。此碳化矽層之磊晶成長係一面以 $1 \times 10^{19}/\text{cm}^3 \sim 5 \times 10^{20}/\text{cm}^3$ 之濃度導入砷(As)、磷(P)等n型雜質一面進行。

於此，為了防止碳化矽層之碳(C)之高濃度化所造成之結晶缺陷，並且於通道區域有效地施加應力，構成混晶層8n之SiC層中之C濃度設為0.5 atm%~1.5 atm%之濃度範圍。此濃度設定為低於一般報告為最佳之鍺(Ge)濃度之濃度。此係於後面敘述之鑲嵌閘極構造所造成之應力提高效率帶來之優點。

於此，為了於通道區域有效地施加應力，混晶層8宜以從矽基板1之表面隆升之狀態形成。

而且，為了防止SiGe層之Ge之高濃度化所造成之結晶缺陷，並且於通道區域有效地施加應力，構成混晶層8p之SiGe層中之Ge濃度設為15 atm%~20 atm%之濃度範圍。

接著，藉由例如濕蝕刻來除去虛設側壁，藉此來使偏移間隔件5及矽基板1之表面露出。

接著，於PMOS電晶體側，藉由例如離子注入法來導入硼離子(B<sup>+</sup>)或銦離子(In<sup>+</sup>)等P型雜質，藉此於偏移間隔件5兩側之矽基板1之表面，形成淺接合之延伸區域9(9p)。

此時，作為離子注入之條件係以100 eV~300 eV之注入能量且以 $5 \times 10^{14}/\text{cm}^2 \sim 2 \times 10^{15}/\text{cm}^2$ 之劑量來進行注入，形成淺接合。

另一方面，於NMOS電晶體側，亦將砷離子(As<sup>+</sup>)或磷離子(P<sup>+</sup>)以例如100 eV~300 eV之注入能量且以 $5 \times 10^{14}/\text{cm}^2 \sim 2 \times 10^{15}/\text{cm}^2$ 之劑量來進行注入，形成淺接合之延伸區域9(9n)。

此外，對於各元件區域之離子注入係於進行PMOS電晶

體區域之離子注入時，以抗蝕劑等保護膜來覆蓋NMOS電晶體區域，進行NMOS電晶體區域之離子注入時，以抗蝕劑等保護膜來覆蓋PMOS電晶體區域之狀態下進行。

其後，於偏移間隔件5之兩側，再度形成包含例如氮化矽之側壁10。

接著，藉由離子注入法，將硬模4及側壁10作為掩模，於各混晶層8之表面導入與各混晶層8之傳導型相對應之雜質。此離子注入係為了減輕於後步驟形成於混晶層8之表面之矽化物層之接觸電阻而進行。

接著，藉由例如濺鍍法，於覆蓋設置有硬模4及側壁10之虛設閘極電極3之狀態下，於包含混晶層8上在內之矽基板1上之全區，形成高熔點金屬膜(省略圖示)。於此，作為高熔點金屬係使用鈷(Co)、鎳(Ni)、鉑(Pt)或此等之化合物。

接下來，藉由加熱矽基板1，混晶層8之表面側被予以矽化物化，形成矽化物層11。

其後，選擇性地除去元件分離區域(省略圖示)上及側壁10上之未反應之高熔點金屬膜。

接著，於覆蓋設置有硬模及側壁10之虛設閘極電極之狀態下，於包含矽化物層11上在內之矽基板1上之全區，形成包含例如氧化矽( $\text{SiO}_2$ )之層間絕緣膜12。

此時，亦有形成接觸蝕刻阻擋層用之襯墊氮化矽( $\text{SiN}$ )膜，於其上以疊層來將氧化矽( $\text{SiO}_2$ )等予以成膜，以形成上述層間絕緣膜12之情況。

其後，藉由CMP法來除去層間絕緣膜12及硬模，直到虛設閘極電極之表面露出。

接著，藉由乾蝕刻來選擇性地除去虛設閘極電極，藉此形成凹部13。此時，由於凹部13底部之蓋膜18為蝕刻阻擋層，因此蝕刻損傷不會進入閘極絕緣膜17。

例如於上述乾蝕刻中，於蝕刻氣體使用溴化氫(HBr)與氧(O<sub>2</sub>)之混合氣體。

藉此，於PMOS電晶體，防止從混晶層8施加於虛設閘極電極正下方之通道區域Ch之應力被來自上述虛設閘極電極之反作用抑制，對於通道區域Ch之壓縮應力增大。而且，於NMOS電晶體，同樣地對於通道區域之拉伸應力增大。

接下來，於除去有虛設閘極電極之狀態下之矽基板1，進行10秒~數分之500°C~700°C之熱處理。

藉此，由混晶層8對於通道區域Ch之應力進一步增大，亦可兼有進一步藉由此熱處理，來恢復高介電體(High-k)絕緣膜之損傷之效果。

上述熱處理若小於500°C，則低漏電化之效果小，若超過700°C，則由於結晶化，會難以獲得可靠性。因此，設定為上述溫度。

接著，如圖19(b)所示，於上述凹部13之至少底部形成與上述蓋膜18反應之金屬膜20。此金屬膜20係以例如鋁(Al)、鈦(Ti)、銅(Cu)、釧(La)等金屬來形成。其成膜方法可利用例如化學汽相成長(CVD)法或原子層蒸鍍(ALD)法。



接著，如圖 20(c)所示，以被覆 NMOS 電晶體側之方式來形成抗蝕劑掩模 32。此抗蝕劑掩模 32 係藉由通常之抗蝕劑塗布技術及微影技術來形成。

接著，除去上述 PMOS 電晶體側之上述金屬膜 20(參考前述圖 19(b))。此金屬膜 20 之蝕刻係藉由對於基底之蓋膜 18 甚少給予蝕刻損傷之濕蝕刻或乾蝕刻，來選擇性地除去，藉此於上述 PMOS 電晶體側之凹部 13 之底部留下蓋膜 18。

接著，如圖 20(d)所示，使上述金屬膜 20 與上述蓋膜 18(參考前述圖 19(b))反應，形成控制功函數之膜 22。例如於上述蓋膜使用氮化鈦，於上述金屬膜 20 使用鋁、銅、鈹之任一之情況時，上述熱處理係於例如氮氣體或稀釋氣體該類之惰性氣氛下，以 300°C~500°C 之溫度進行。

此外，由於具有高介電體絕緣膜之閘極絕緣膜 17 及蓋膜 18 係以金屬系材料形成，因此為使閘極絕緣膜 17 不會起反應，須以 500°C 以下之溫度進行。而且，於低於 300°C 之溫度，金屬膜 20 與蓋膜 18 之反應性變低，因此以 300°C 以上之溫度進行。

接著，與前述圖 18(d)所說明者同樣地於凹部 13 內部，形成閘極絕緣膜 15。如此，於 NMOS 電晶體，在凹部 13 內之閘極絕緣膜 17 上，經由控制功函數之膜 22 來形成閘極電極 15。而且，於 PMOS 電晶體，於凹部 13 內之閘極絕緣膜 17 及蓋膜 18 上形成閘極電極 15。

於形成上述閘極電極 15 時，宜形成密著層(未圖示)。例如於閘極電極 15 使用鎢(W)之情況時，於密著層使用氮化

鈦(TiN)膜，於閘極電極15使用鋁(Al)之情況時，於密著層使用鈦(Ti)膜，於閘極電極15使用銅之情況時，於密著層使用鉭(Ta)膜。

如以上形成CMOSFET。

其後，雖未圖示，於包含閘極電極15上在內之層間絕緣膜12上，進一步形成層間絕緣膜，雖未圖示，但進行接觸及金屬布線形成，製作半導體裝置。

若根據此半導體裝置之製造方法及藉此所獲得之半導體裝置，由於藉由除去虛設閘極電極來形成凹部13，因此防止從混晶層8對於虛設閘極電極正下方之通道區域Ch所施加之應力被來自上述虛設閘極電極之反作用抑制。其後，維持該應力狀態並於凹部13內之閘極絕緣膜14上形成閘極電極15，以便於上述通道區域Ch有效地施加應力，因此可使通道區域Ch扭曲，提高載子遷移率。

而且，於通道區域Ch有效地施加應力，可減低晶格常數與混晶層8中之矽(Si)不同之原子之濃度。藉此，可確實地防止由於混晶層8中以高濃度含有上述原子所造成之結晶缺陷。

而且，藉由設置功函數控制膜22來控制NMOS電晶體之功函數，謀求進一步提高載子遷移率。

因此，可提高電晶體之特性。

### 【圖式簡單說明】

圖1(a)~(d)係用以說明有關本發明之半導體裝置之製造方法之第一實施型態之製造步驟剖面圖(其一)。

圖 2(e)~(h)係用以說明有關本發明之半導體裝置之製造方法之第一實施型態之製造步驟剖面圖(其二)。

圖 3(i)~(l)係用以說明有關本發明之半導體裝置之製造方法之第一實施型態之製造步驟剖面圖(其三)。

圖 4(m)~(o)係用以說明有關本發明之半導體裝置之製造方法之第一實施型態之製造步驟剖面圖(其四)。

圖 5(a)~(c)係施加於通道區域之應力之模擬結果。

圖 6係表示變化錯濃度之情況下之施加於通道區域之應力之變化之圖形。

圖 7係表示開啟電流與關閉電流之關係之圖形。

圖 8係測定變化閘極長之情況下之開啟電阻值之變化之圖形。

圖 9(a)~(d)係用以說明有關本發明之半導體裝置之製造方法之第二實施型態之製造步驟剖面圖(其一)。

圖 10(e)~(h)係用以說明有關本發明之半導體裝置之製造方法之第二實施型態之製造步驟剖面圖(其二)。

圖 11(i)~(k)係用以說明有關本發明之半導體裝置之製造方法之第二實施型態之製造步驟剖面圖(其三)。

圖 12(l)~(n)係用以說明有關本發明之半導體裝置之製造方法之第二實施型態之製造步驟剖面圖(其四)。

圖 13(a)~(d)係用以說明有關本發明之半導體裝置之製造方法之第三實施型態之製造步驟剖面圖(其一)。

圖 14(e)~(h)係用以說明有關本發明之半導體裝置之製造方法之第三實施型態之製造步驟剖面圖(其二)。

圖 15(i)~(l)係用以說明有關本發明之半導體裝置之製造方法之第三實施型態之製造步驟剖面圖(其三)。

圖 16(m)~(o)係用以說明有關本發明之半導體裝置之製造方法之第三實施型態之製造步驟剖面圖(其四)。

圖 17(a)、(b)係用以說明有關本發明之半導體裝置之製造方法之第四實施型態之製造步驟剖面圖(其一)。

圖 18(c)、(d)係用以說明有關本發明之半導體裝置之製造方法之第四實施型態之製造步驟剖面圖(其二)。

圖 19(a)、(b)係用以說明有關本發明之半導體裝置之製造方法之第五實施型態之製造步驟剖面圖(其一)。

圖 20(c)、(d)係用以說明有關本發明之半導體裝置之製造方法之第五實施型態之製造步驟剖面圖(其二)。

圖 21(a)~(d)係用以說明以往之半導體裝置之製造方法之製造步驟剖面圖(其一)。

圖 22(e)~(h)係用以說明以往之半導體裝置之製造方法之製造步驟剖面圖(其二)。

圖 23係用以說明以往之半導體裝置(PMOS電晶體)之製造方法之問題之俯視圖(a)、剖面圖(b)。

圖 24係用以說明以往之半導體裝置(NMOS電晶體)之製造方法之問題之俯視圖(a)、剖面圖(b)。

#### 【主要元件符號說明】

- |   |         |
|---|---------|
| 1 | 矽基板     |
| 2 | 虛設閘極絕緣膜 |
| 3 | 虛設閘極電極  |

8	混晶層
12	層間絕緣膜
13	凹部
14	閘極絕緣膜
15	閘極電極

## 五、中文發明摘要：

本發明提供一種可於混晶層中之Ge濃度及C濃度之容許範圍內，於通道區域充分施加應力之半導體裝置之製造方法及半導體裝置。本發明之半導體裝置之製造方法之特徵在於：於Si基板1上形成虛設閘極電極3。接著，藉由以虛設閘極電極3作為掩模之凹陷蝕刻來形成凹陷區域7。接著，於凹陷區域7之表面，使包含SiGe層之混晶層8磊晶成長。接下來，於覆蓋虛設閘極電極3之狀態下，於混晶層8上形成層間絕緣膜12，除去層間絕緣膜12直到虛設閘極電極3之表面露出。藉由除去虛設閘極電極3，於層間絕緣膜12形成露出Si基板1之凹部13。其後，於凹部13內，經由閘極絕緣膜14來形成閘極電極15。

## 六、英文發明摘要：

## 十、申請專利範圍：

1. 一種半導體裝置之製造方法，其特徵為包含：

第一步驟，其係於矽基板上形成虛設閘極電極；

第二步驟，其係藉由以前述虛設閘極電極作為掩模之凹陷蝕刻，來下挖前述矽基板而形成凹陷區域；

第三步驟，其係於前述凹陷區域之表面，使包含矽及晶格常數與矽不同之原子之混晶層磊晶成長；

第四步驟，其係於覆蓋前述虛設閘極電極之狀態下，於前述混晶層上形成絕緣膜，除去該絕緣膜直到該虛設閘極電極之表面露出；

第五步驟，其係藉由除去露出之前述虛設閘極電極，於前述絕緣膜形成凹部；及

第六步驟，其係於前述凹部內，經由閘極絕緣膜來形成閘極電極。

2. 如請求項1之半導體裝置之製造方法，其中

形成前述虛設閘極電極時，於前述矽基板上形成虛設閘極絕緣膜後形成前述虛設閘極電極；

除去前述虛設閘極電極時，於除去前述虛設閘極電極後除去前述虛設閘極絕緣膜。

3. 如請求項2之半導體裝置之製造方法，其中

於形成前述混晶層後形成前述絕緣膜前，於前述混晶層表面形成矽化物層。

4. 如請求項2之半導體裝置之製造方法，其中

前述半導體裝置為p型場效電晶體；前述混晶層包含

矽及鍺。

5. 如請求項2之半導體裝置之製造方法，其中

前述半導體裝置為n型場效電晶體；前述混晶層包含矽及碳。

6. 如請求項2之半導體裝置之製造方法，其中

於前述第五步驟後且於前述第六步驟形成前述閘極電極前，進行熱處理。

7. 如請求項2之半導體裝置之製造方法，其中

前述閘極絕緣膜包含高介電體絕緣膜。

8. 如請求項7之半導體裝置之製造方法，其中

前述高介電體絕緣膜係包含由選自鉛、鏷、鋁、銦及鉍中之1種金屬之金屬氧化物、金屬矽氧化物、金屬氮氧化物、金屬氮氧矽化物。

9. 一種半導體裝置之製造方法，其特徵為包含：

第一步驟，其係於矽基板上，經由閘極絕緣膜來形成虛設閘極電極；

第二步驟，其係藉由以前述虛設閘極電極作為掩模之凹陷蝕刻，來下挖前述矽基板而形成凹陷區域；

第三步驟，其係於前述凹陷區域之表面，使包含矽及晶格常數與矽不同之原子之混晶層磊晶成長；

第四步驟，其係於覆蓋前述虛設閘極電極之狀態下，於前述混晶層上形成絕緣膜，除去該絕緣膜直到該虛設閘極電極之表面露出；

第五步驟，其係藉由除去露出之前述虛設閘極電極，



於前述絕緣膜形成露出前述閘極絕緣膜之凹部；及

第六步驟，其係於前述凹部內，經由前述閘極絕緣膜來形成閘極電極。

10. 如請求項9之半導體裝置之製造方法，其中

於形成前述混晶層後形成前述絕緣膜前，於前述混晶層表面形成矽化物層。

11. 如請求項9之半導體裝置之製造方法，其中

前述半導體裝置為p型場效電晶體；前述混晶層包含矽及鍺。

12. 如請求項9之半導體裝置之製造方法，其中

前述半導體裝置為n型場效電晶體；前述混晶層包含矽及碳。

13. 如請求項9之半導體裝置之製造方法，其中

於前述第五步驟後且於前述第六步驟形成前述閘極電極前，進行熱處理。

14. 如請求項9之半導體裝置之製造方法，其中

前述閘極絕緣膜包含高介電體絕緣膜。

15. 如請求項14之半導體裝置之製造方法，其中

前述高介電體絕緣膜包含選自鉛、鏷、鋁、銦及鉭中之1種金屬之金屬氧化物、金屬矽氧化物、金屬氮氧化物、金屬氮氧矽化物。

16. 一種半導體裝置之製造方法，其特徵為包含：

第一步驟，其係於矽基板上，經由閘極絕緣膜及設置於該閘極絕緣膜上之蓋膜來形成虛設閘極電極；

第二步驟，其係藉由以前述虛設閘極電極作為掩模之凹陷蝕刻，來下挖前述矽基板而形成凹陷區域；

第三步驟，其係於前述凹陷區域之表面，使包含矽及晶格常數與矽不同之原子之混晶層磊晶成長；

第四步驟，其係於覆蓋前述虛設閘極電極之狀態下，於前述混晶層上形成絕緣膜，除去該絕緣膜直到該虛設閘極電極之表面露出；

第五步驟，其係藉由除去露出之前述虛設閘極電極及前述蓋膜，於前述絕緣膜形成露出前述蓋膜之凹部；及

第六步驟，其係於前述凹部內，經由前述閘極絕緣膜及前述蓋膜來形成閘極電極。

17. 如請求項16之半導體裝置之製造方法，其中

於除去前述虛設閘極電極之步驟中，於除去前述虛設閘極電極後除去前述蓋膜。

18. 如請求項16之半導體裝置之製造方法，其中

前述半導體裝置包含p型場效電晶體及n型場效電晶體；

於除去前述虛設閘極電極之步驟，形成於前述n型場效電晶體之閘極絕緣膜上之前述蓋膜及形成於前述p型場效電晶體之閘極絕緣膜上之前述蓋膜係於除去前述虛設閘極電極之步驟中，均除去前述虛設閘極電極後除去前述蓋膜。

19. 如請求項16之半導體裝置之製造方法，其中

前述半導體裝置包含p型場效電晶體及n型場效電晶

體；

於除去前述虛設閘極電極之步驟中，於除去前述虛設閘極電極後，除去形成於前述n型場效電晶體之閘極絕緣膜上之前述蓋膜；

於除去前述虛設閘極電極之步驟中，於除去前述虛設閘極電極後，留下形成於前述p型場效電晶體之閘極絕緣膜上之前述蓋膜；

其後，形成前述閘極電極前，於前述凹部內面形成控制功函數之功函數控制膜。

20. 如請求項16之半導體裝置之製造方法，其中

於形成前述混晶層後形成前述絕緣膜前，於前述混晶層表面形成矽化物層。

21. 如請求項16之半導體裝置之製造方法，其中

前述半導體裝置為p型場效電晶體；前述混晶層包含矽及鍺。

22. 如請求項16之半導體裝置之製造方法，其中

前述半導體裝置為n型場效電晶體；前述混晶層包含矽及碳。

23. 如請求項16之半導體裝置之製造方法，其中

於前述第五步驟後且於前述第六步驟形成前述閘極電極前，進行熱處理。

24. 如請求項16之半導體裝置之製造方法，其中

前述閘極絕緣膜包含高介電體絕緣膜。

25. 如請求項24之半導體裝置之製造方法，其中

前述高介電體絕緣膜包含選自鉛、鋇、鋁、銦及鉭中之1種金屬之金屬氧化物、金屬矽氧化物、金屬氮氧化物、金屬氮氧矽化物。

26. 如請求項25之半導體裝置之製造方法，其中

前述虛設閘極之除去係藉由將溴化氫與氧之混合氣體利用為蝕刻氣體之乾蝕刻來進行。

27. 一種半導體裝置之製造方法，其特徵為包含：

第一步驟，其係於矽基板上，經由閘極絕緣膜及設置於該閘極絕緣膜上之蓋膜來形成虛設閘極電極；

第二步驟，其係藉由以前述虛設閘極電極作為掩模之凹陷蝕刻，來下挖前述矽基板而形成凹陷區域；

第三步驟，其係於前述凹陷區域之表面，使包含矽及晶格常數與矽不同之原子之混晶層磊晶成長；

第四步驟，其係於覆蓋前述虛設閘極電極之狀態下，於前述混晶層上形成絕緣膜，除去該絕緣膜直到該虛設閘極電極之表面露出；

第五步驟，其係藉由除去露出之前述虛設閘極電極，於前述絕緣膜形成露出前述蓋膜之凹部；

第五步驟，其係於前述凹部之至少底部，形成與前述蓋膜反應之金屬膜；

第六步驟，其係使前述金屬膜與前述蓋膜反應來形成控制功函數之膜；及

第七步驟，其係於前述凹部內，經由前述閘極絕緣膜及前述控制功函數之膜來形成閘極電極。

28. 如請求項27之半導體裝置之製造方法，其中

前述半導體裝置包含p型場效電晶體及n型場效電晶體；

於使前述金屬膜與前述蓋膜反應來形成控制功函數之膜之步驟；

形成於前述n型場效電晶體之閘極絕緣膜上之前述蓋膜係形成為與前述金屬膜反應而控制功函數之膜；

形成於前述p型場效電晶體之閘極絕緣膜上之前述蓋膜係原樣留下。

29. 如請求項27之半導體裝置之製造方法，其中

於形成前述混晶層後形成前述絕緣膜前，於前述混晶層表面形成矽化物層。

30. 如請求項27之半導體裝置之製造方法，其中

前述半導體裝置為p型場效電晶體；前述混晶層包含矽及鍺。

31. 如請求項27之半導體裝置之製造方法，其中

前述半導體裝置為n型場效電晶體；前述混晶層包含矽及碳。

32. 如請求項27之半導體裝置之製造方法，其中

於前述第五步驟後且於前述第六步驟形成前述閘極電極前，進行熱處理。

33. 如請求項27之半導體裝置之製造方法，其中

前述閘極絕緣膜包含高介電體絕緣膜。

34. 如請求項27之半導體裝置之製造方法，其中

前述高介電體絕緣膜包含選自鉛、鏷、鋁、銦及鉭中之1種金屬之金屬氧化物、金屬矽氧化物、金屬氮氧化物、金屬氮氧矽化物。

35. 一種半導體裝置，其特徵為：

其係於矽基板上，經由閘極絕緣膜而設置有閘極電極；且

前述閘極電極之側壁係以前述閘極絕緣膜覆蓋；

於該閘極電極兩側之前述矽基板被下挖之凹陷區域，設置有包含矽及晶格常數與矽不同之原子之混晶層。

十一、圖式：

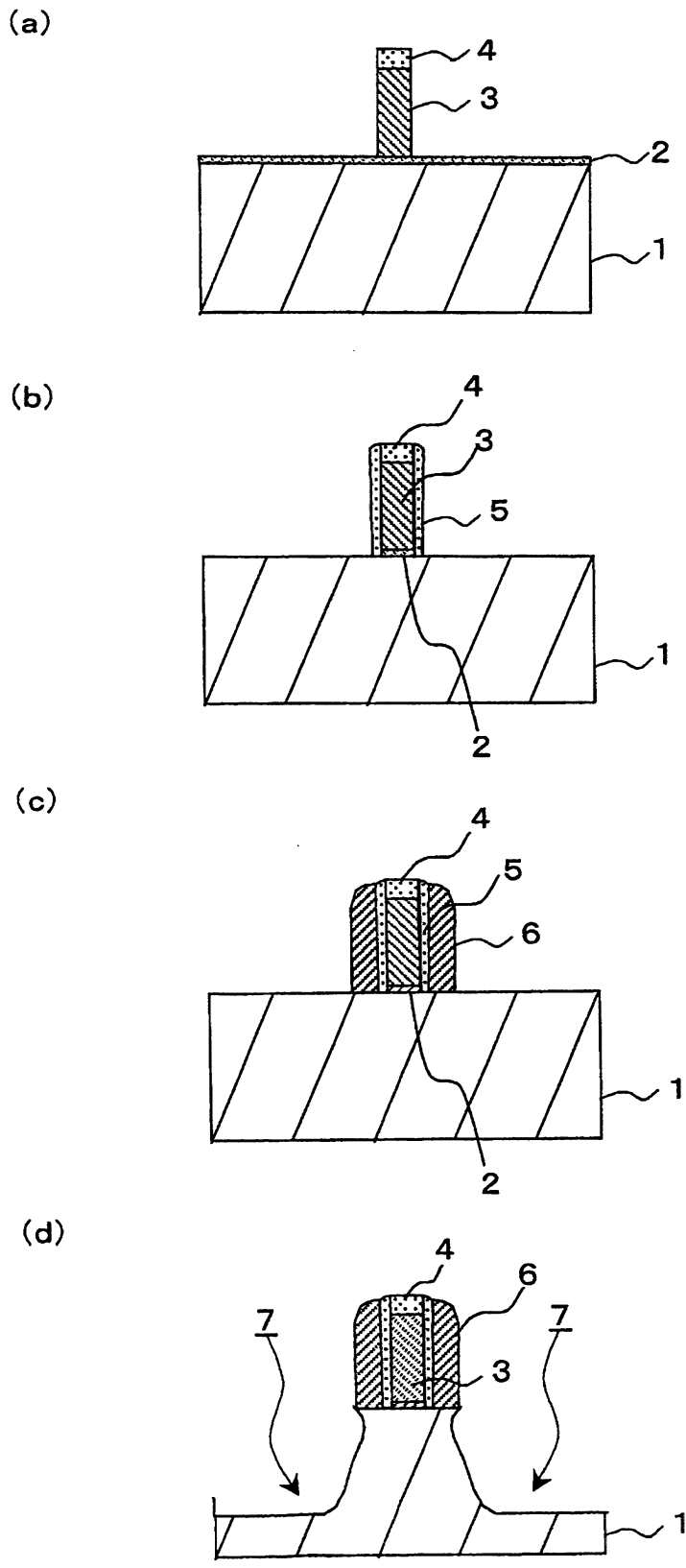
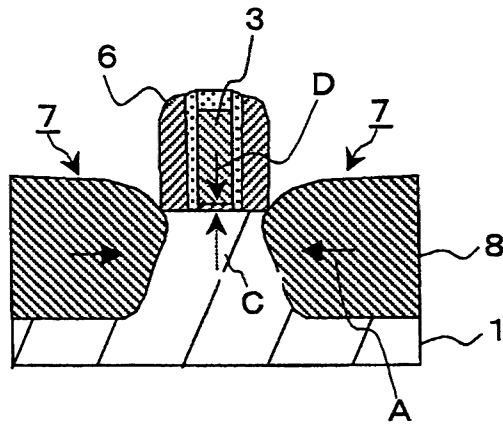
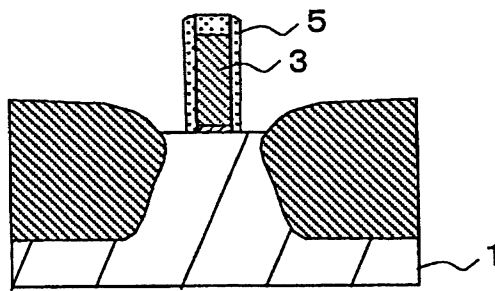


圖 1

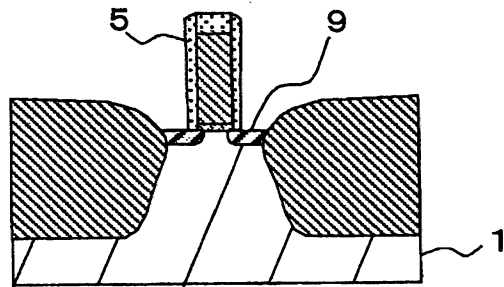
(e)



(f)



(g)



(h)

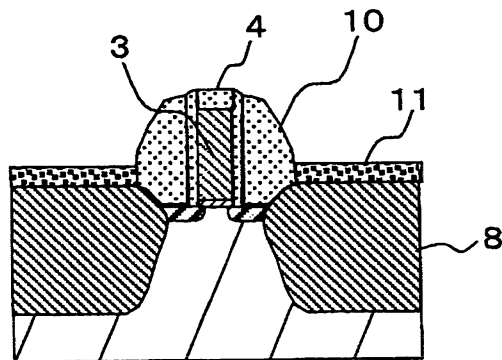


圖 2



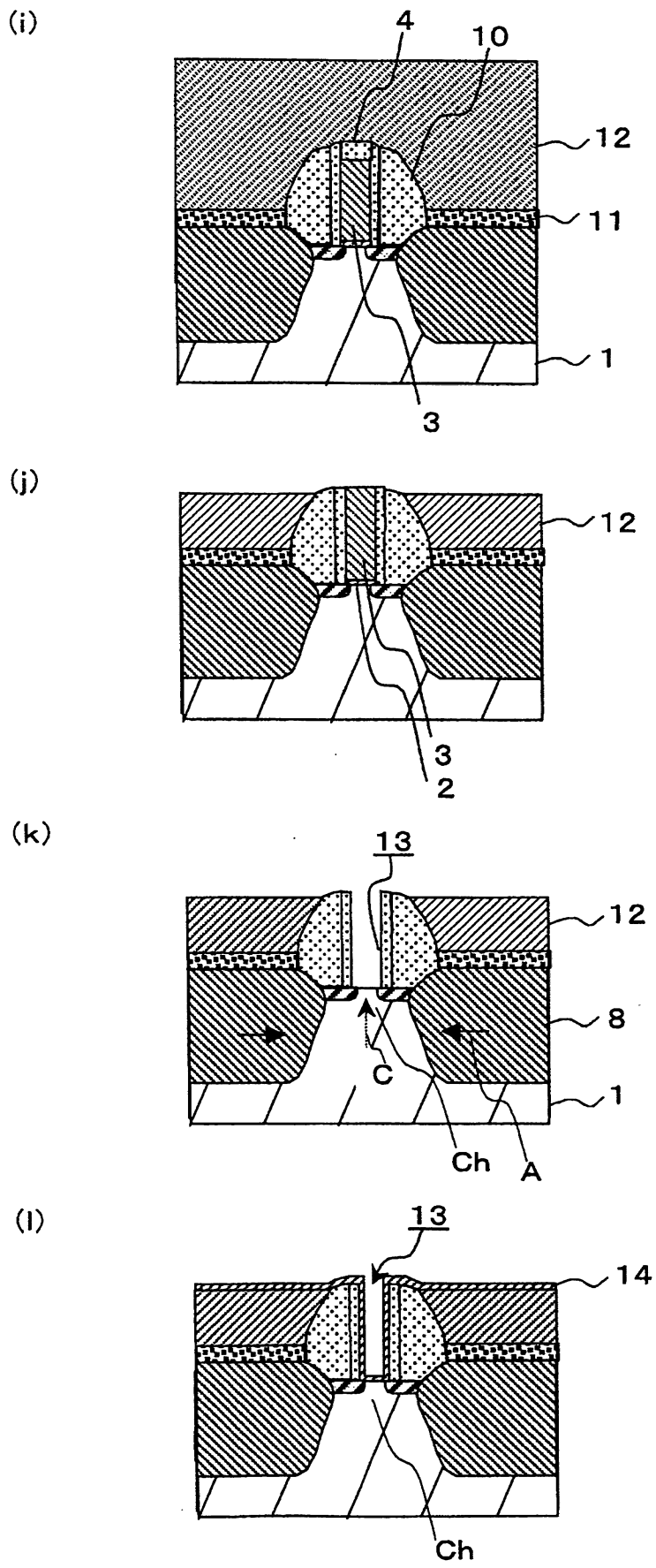
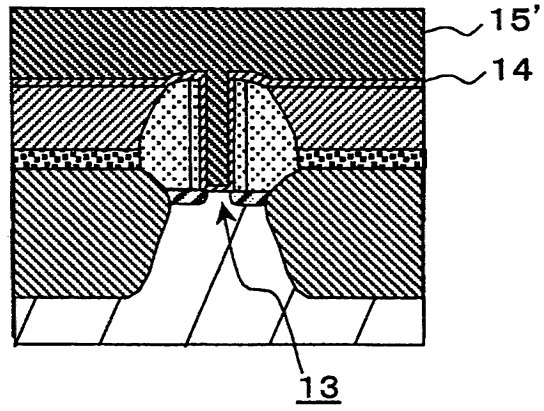
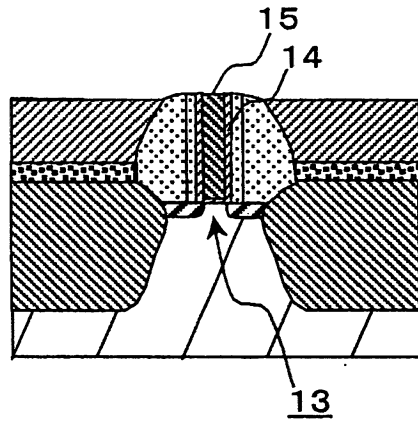


圖 3

(m)



(n)



(o)

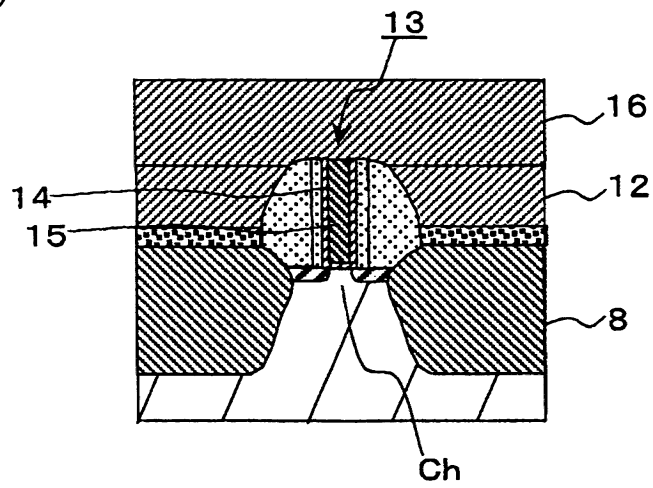


圖 4

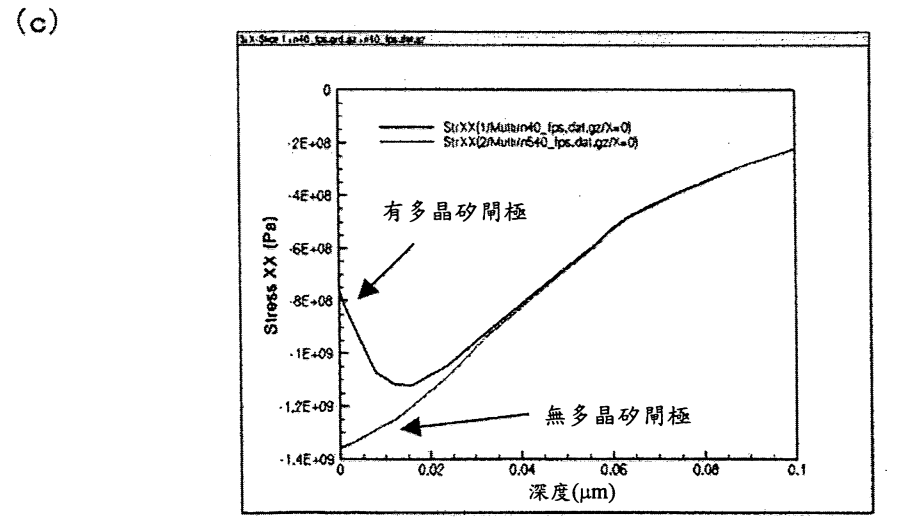
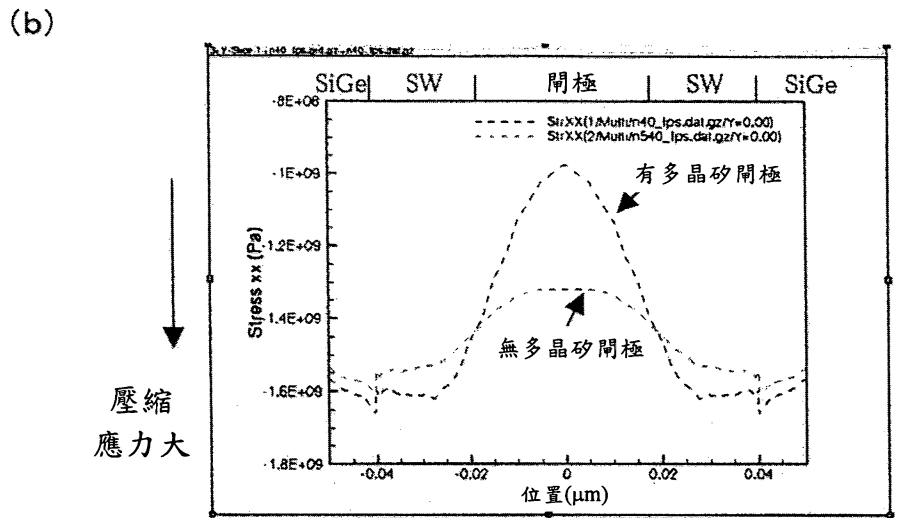
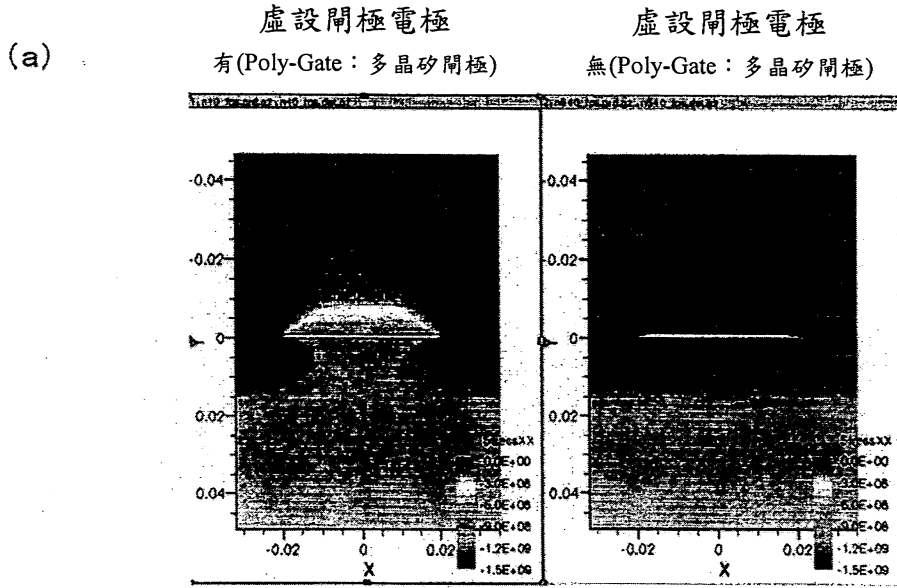
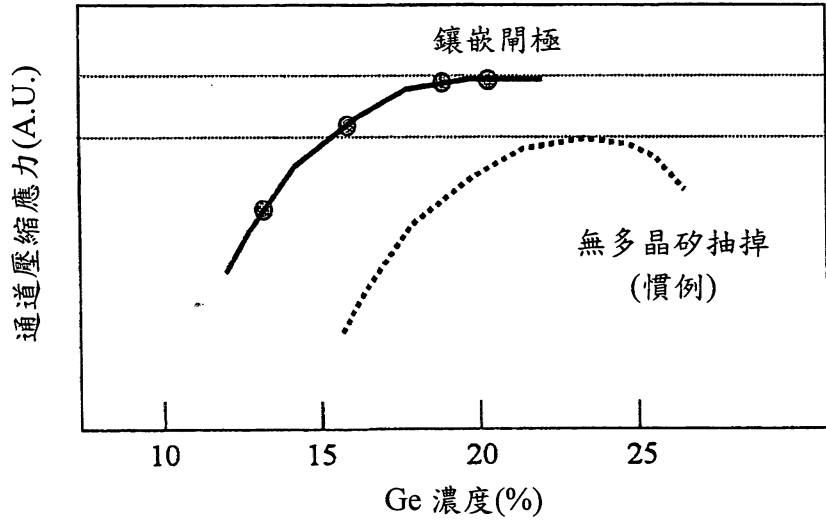


圖 5



於鑲嵌閘極構造之 Ge 濃度之低濃度化

圖 6

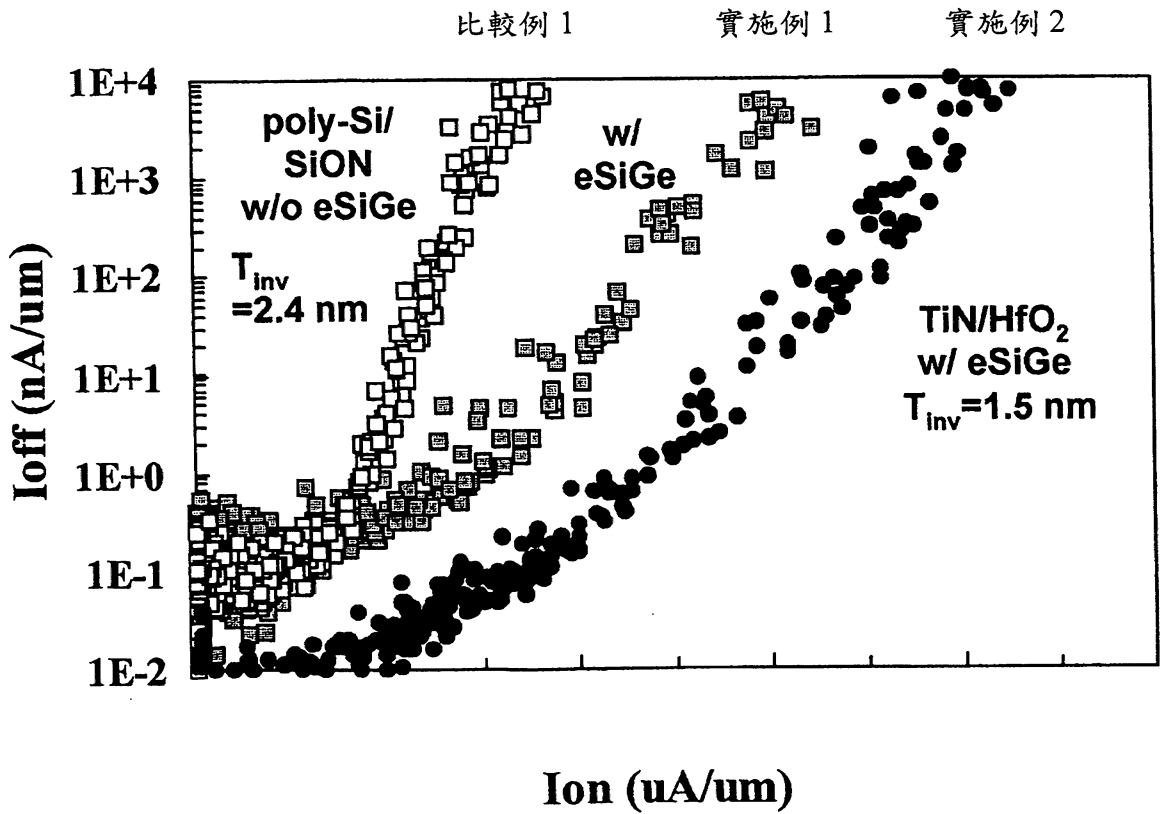


圖 7

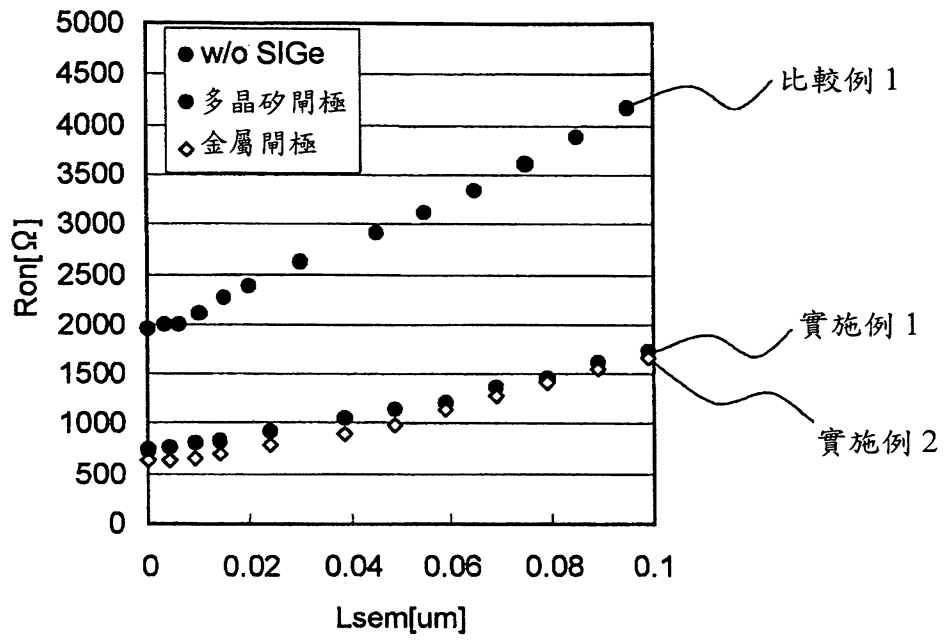


圖 8

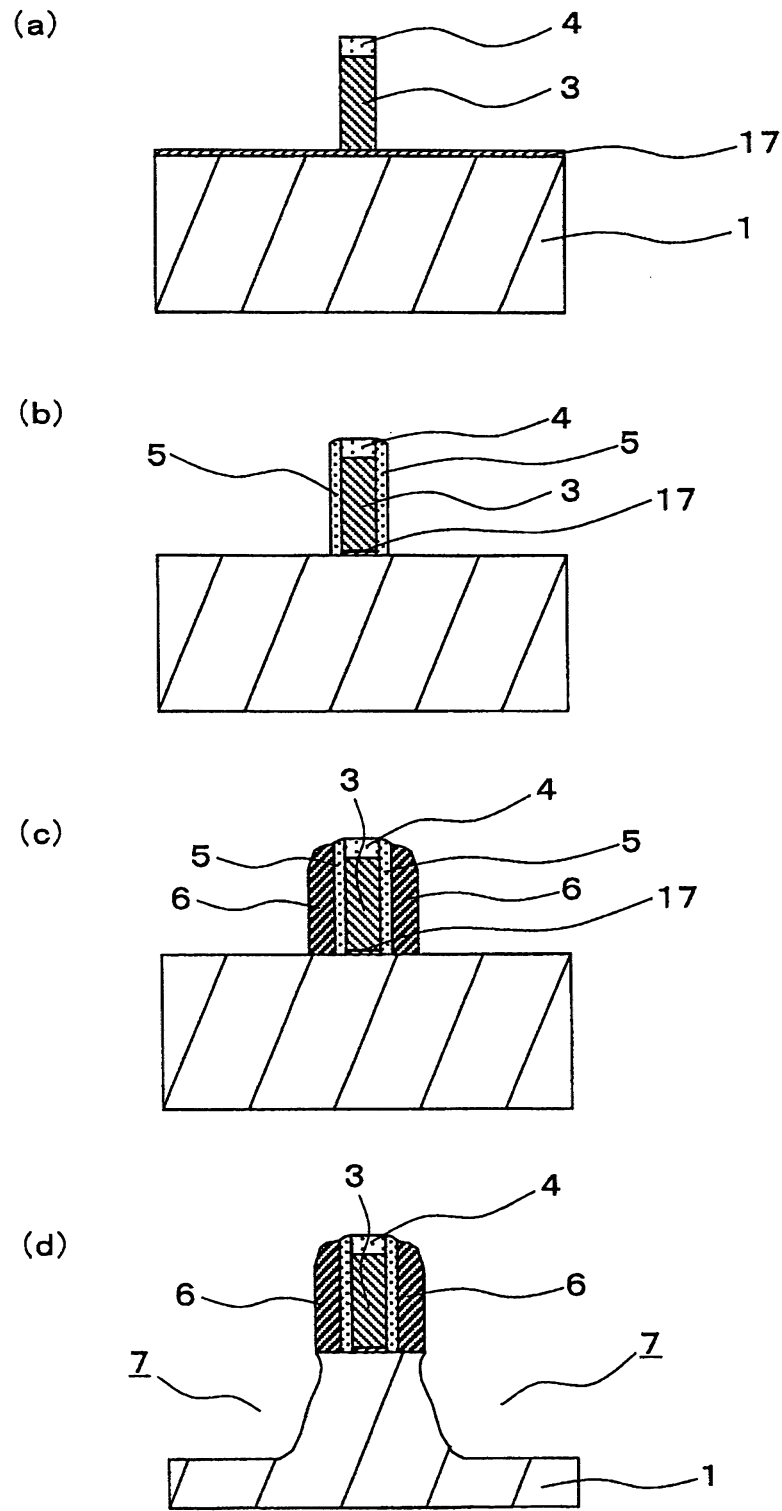


圖 9

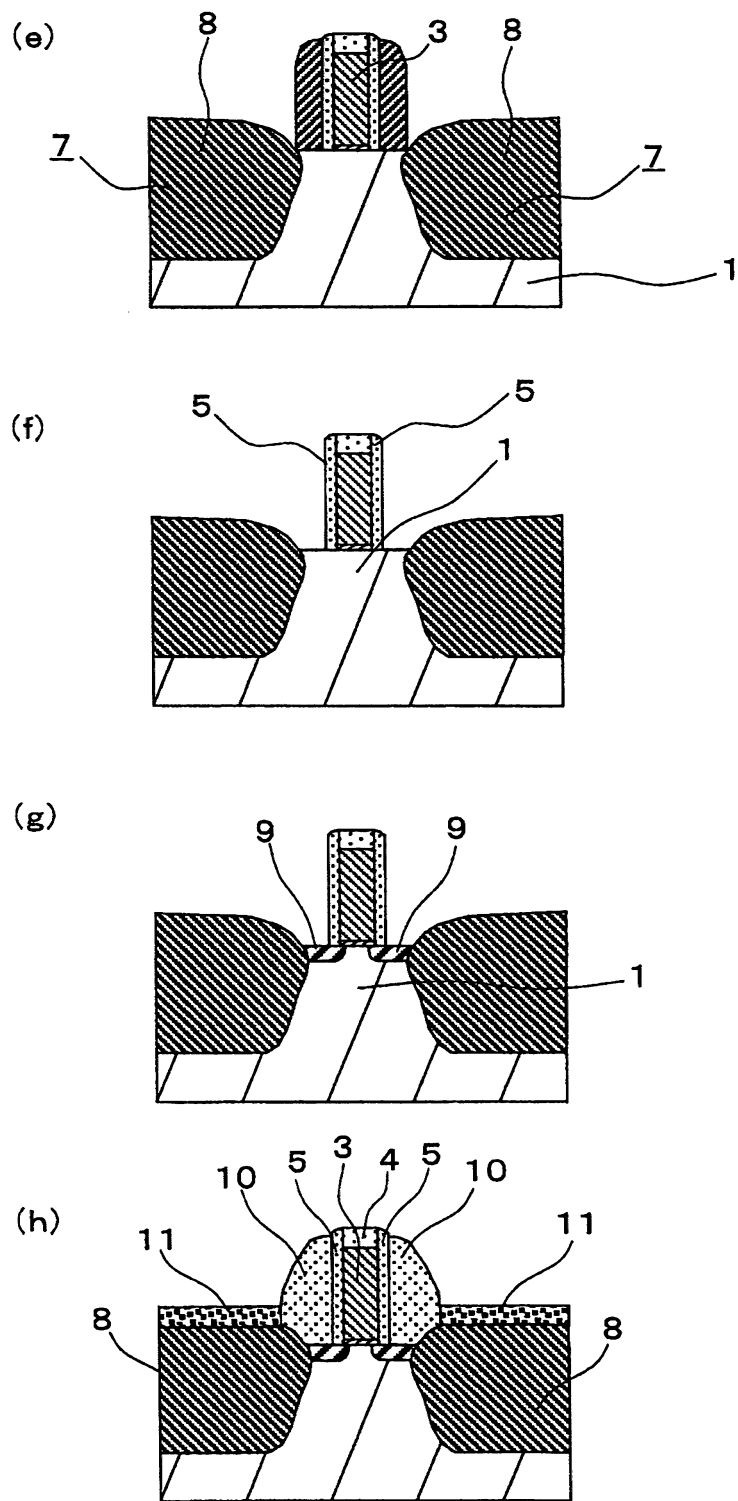


圖 10

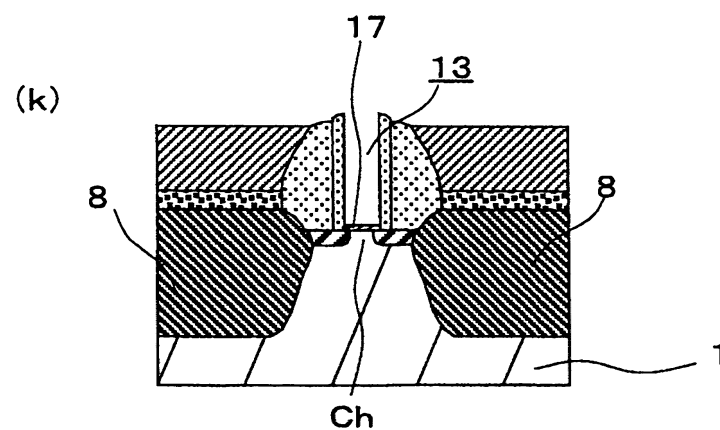
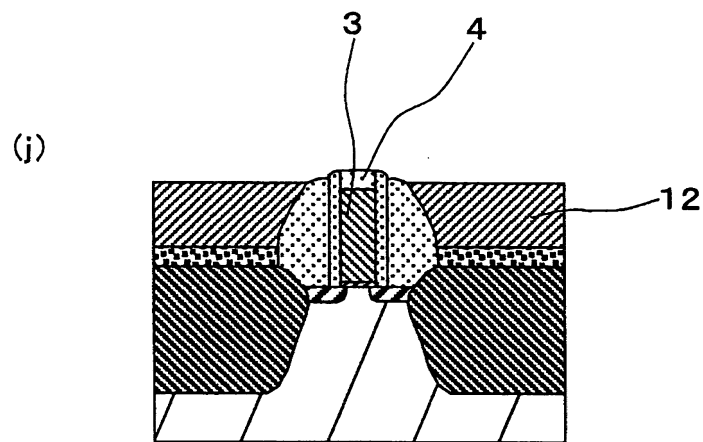
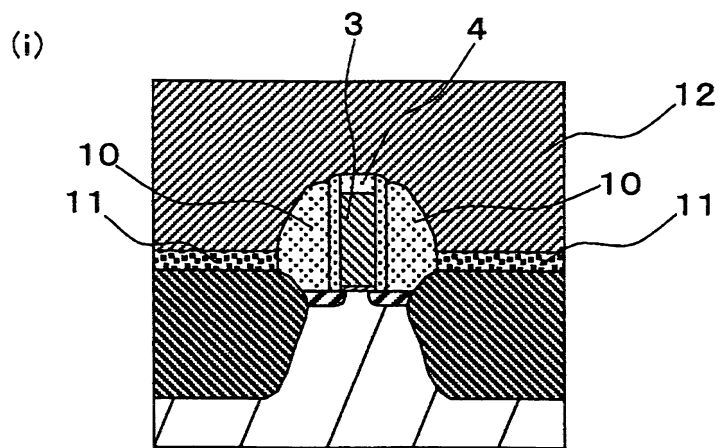


圖 11



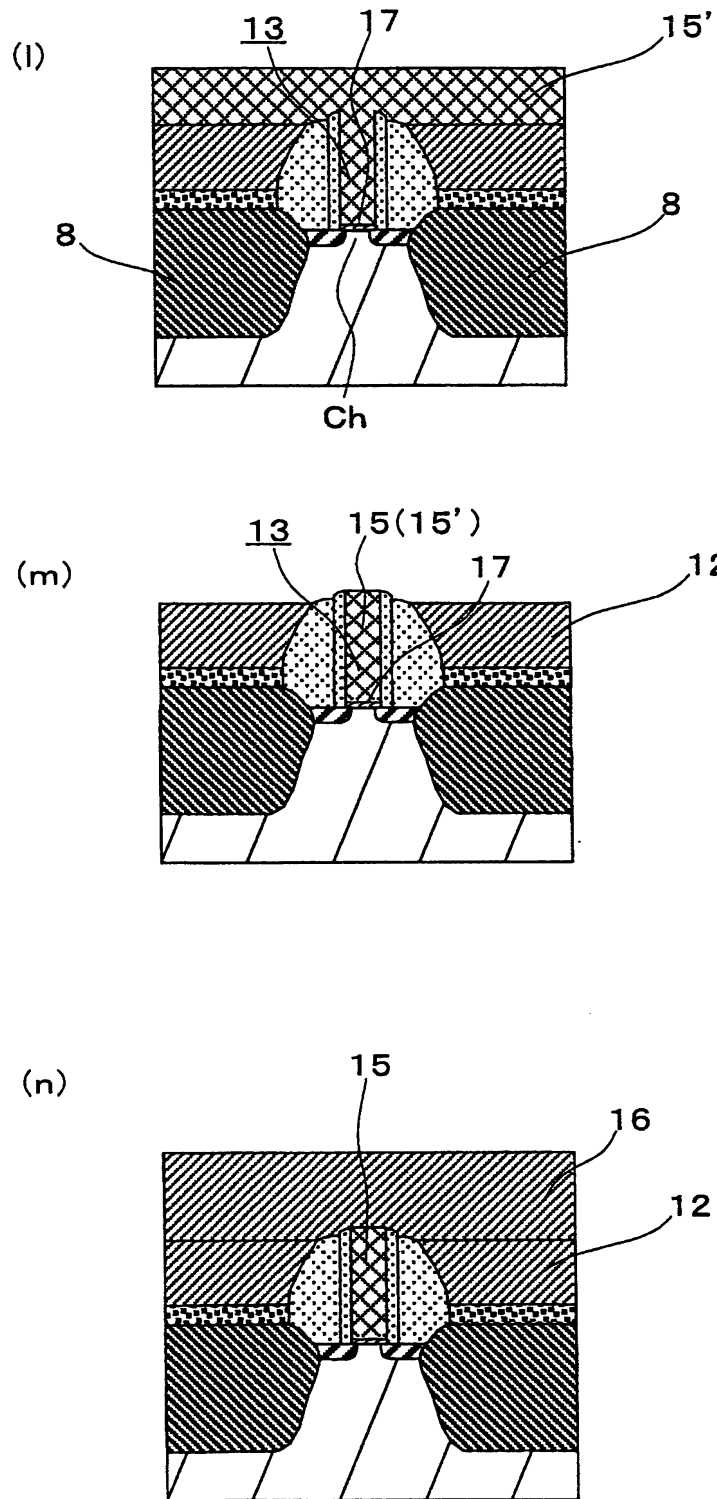


圖 12

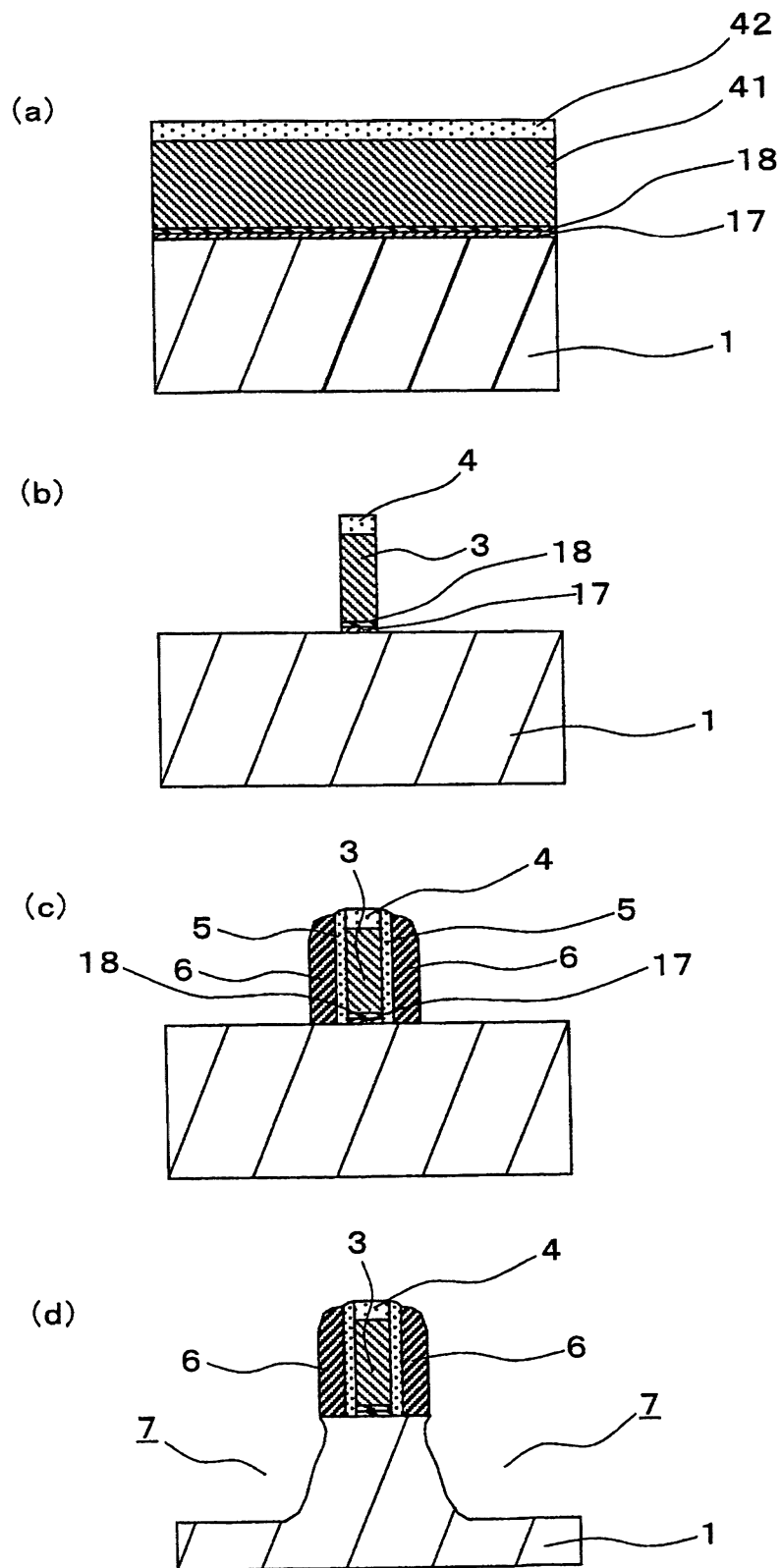


圖 13

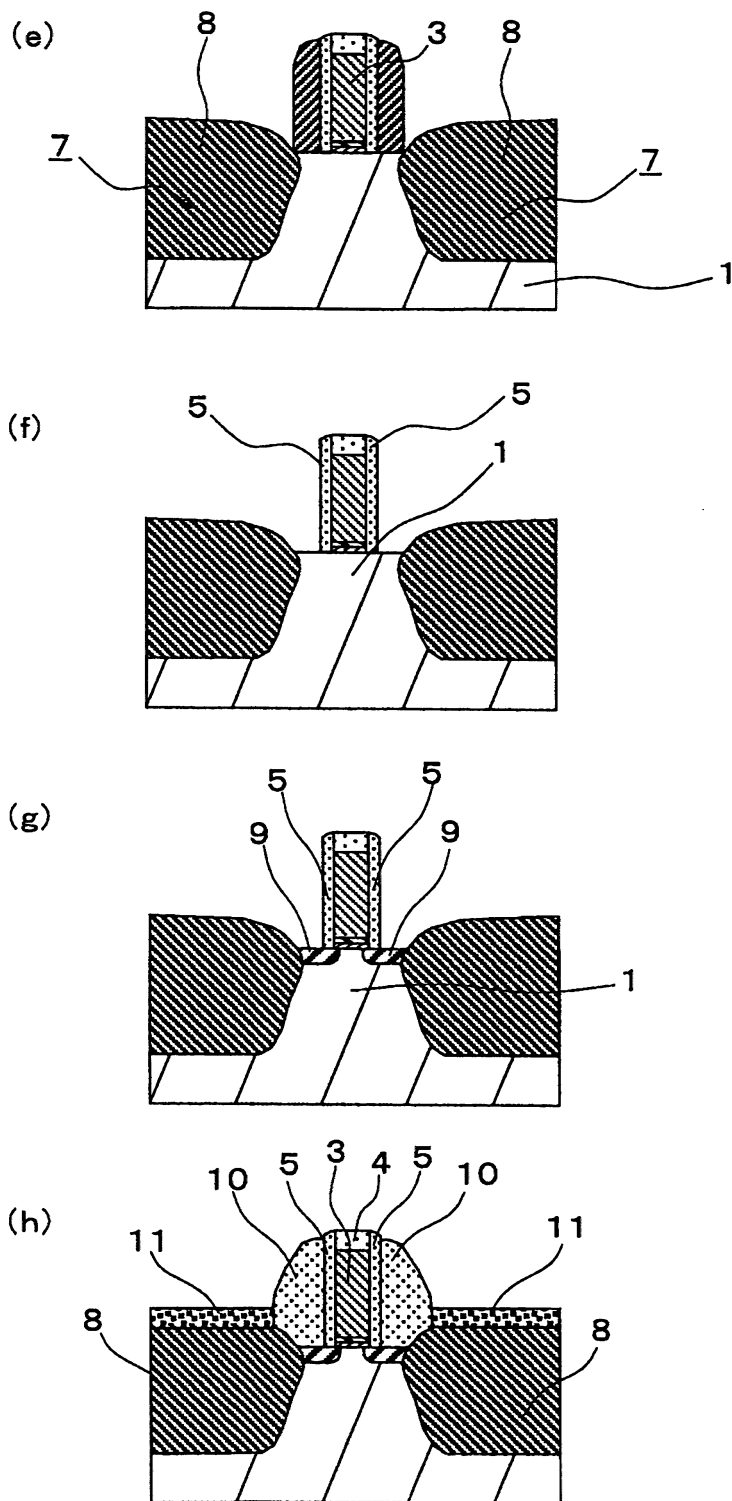


圖 14

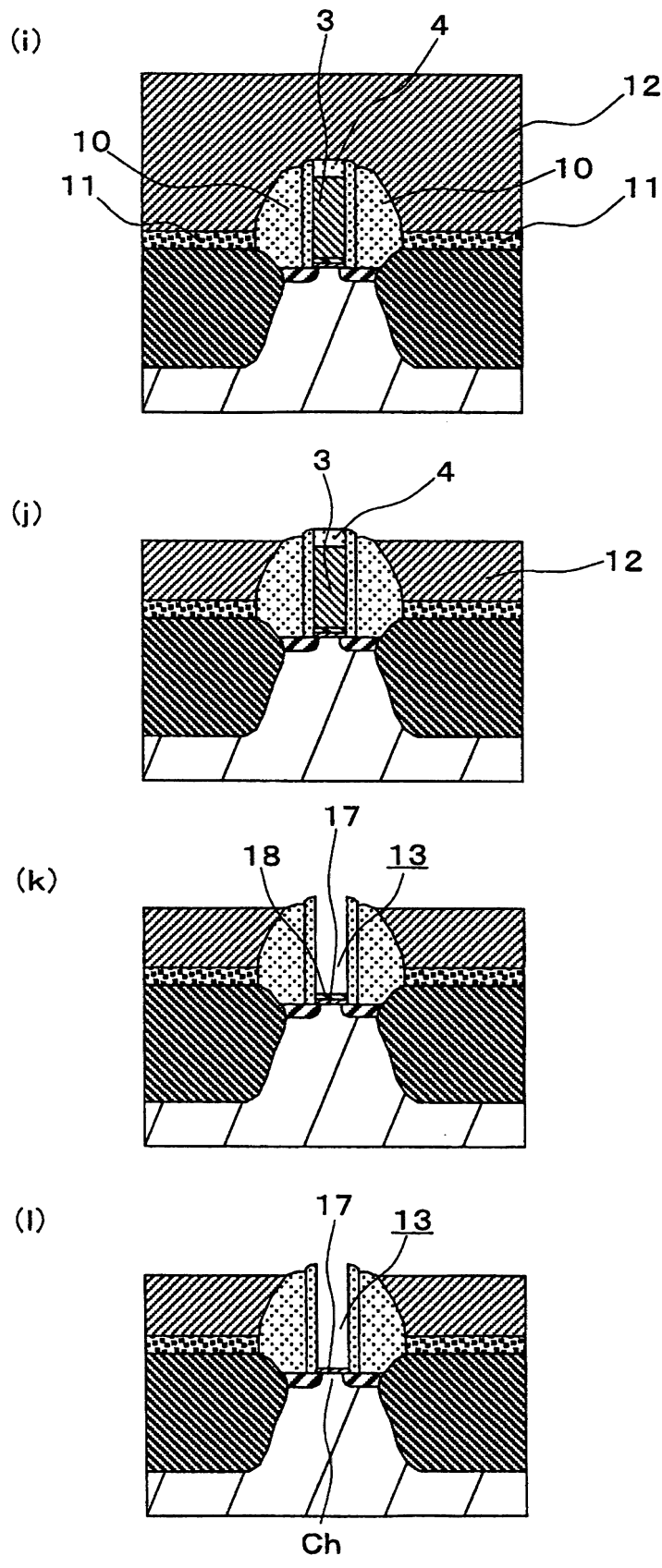


圖 15

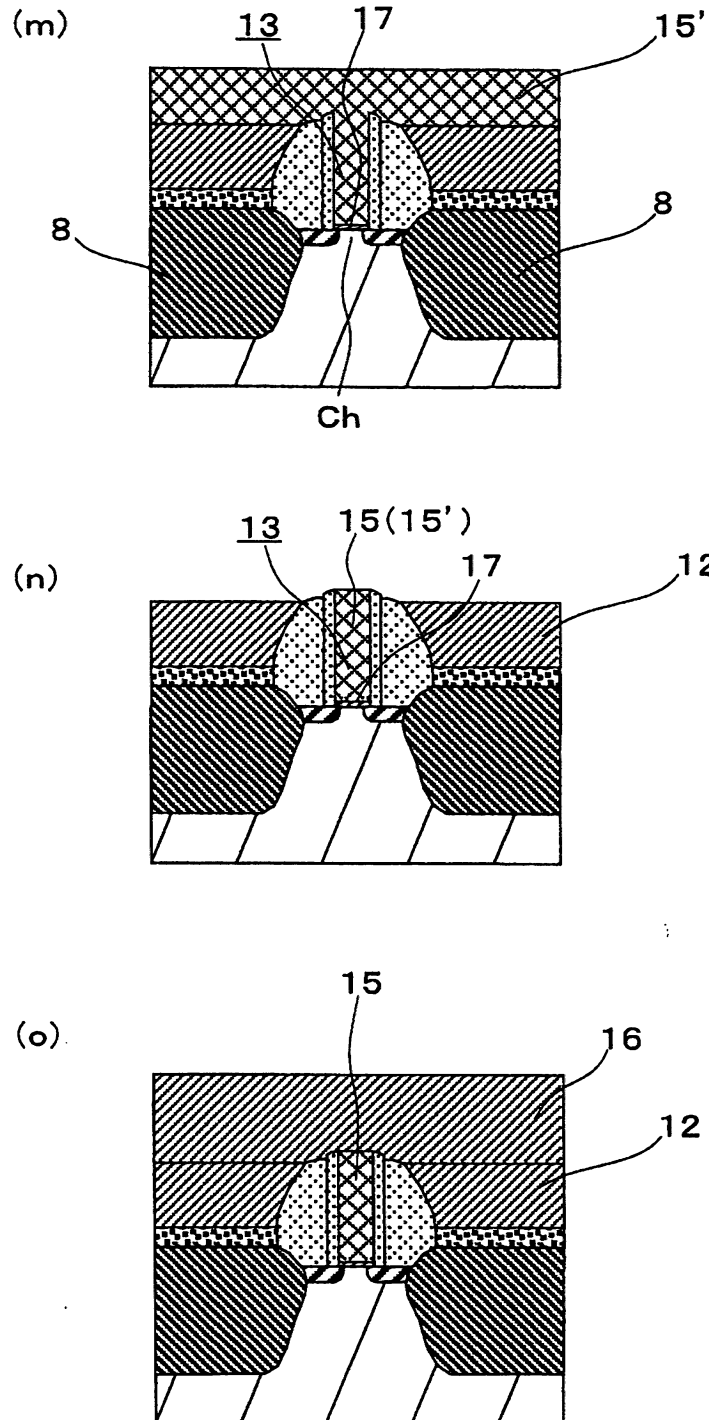
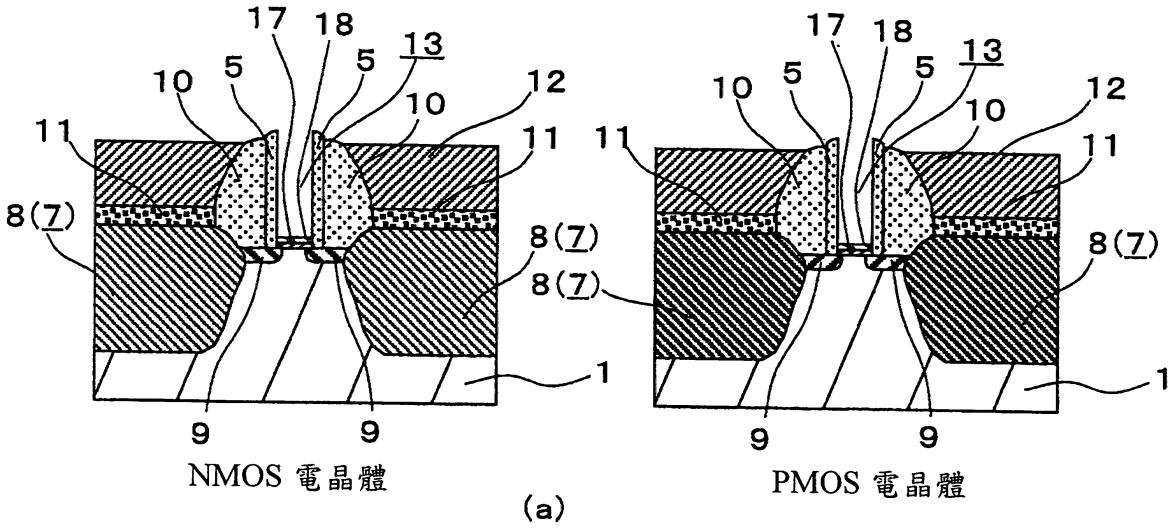
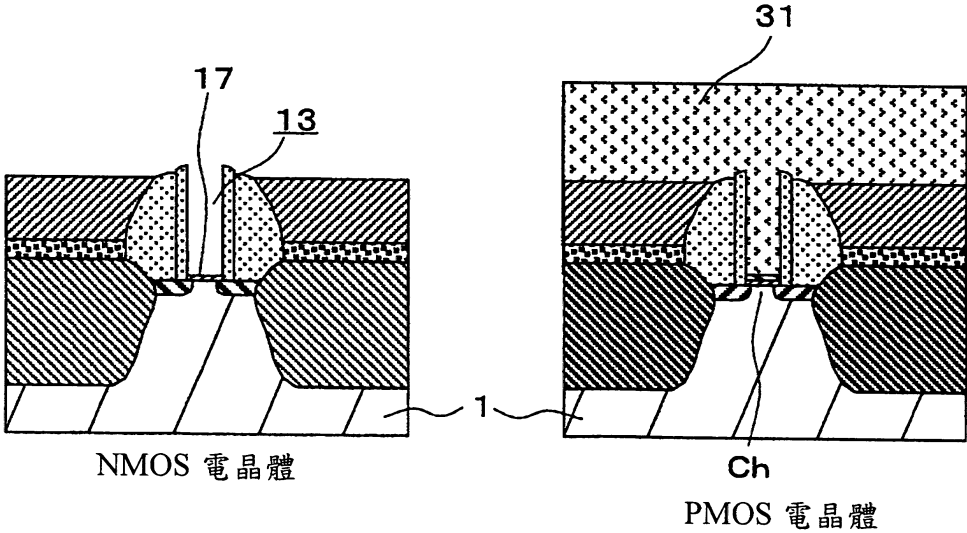


圖 16

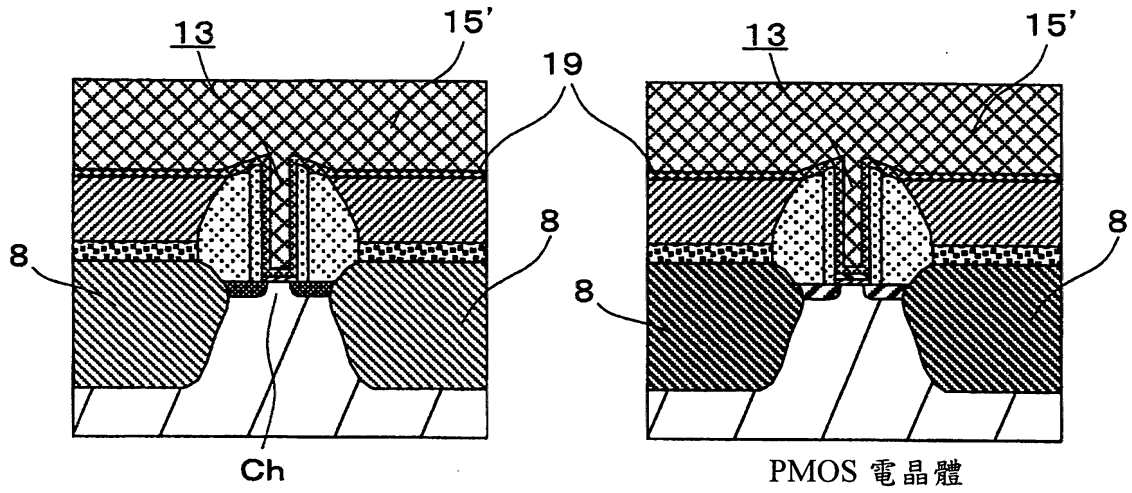


(a)



(b)

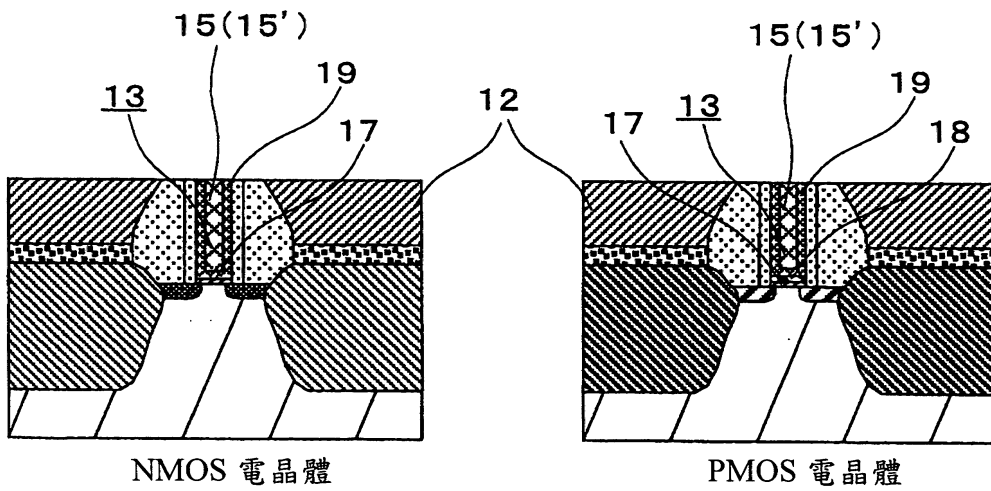
圖 17



Ch  
NMOS 電晶體

PMOS 電晶體

(c)



NMOS 電晶體

PMOS 電晶體

(d)

圖 18

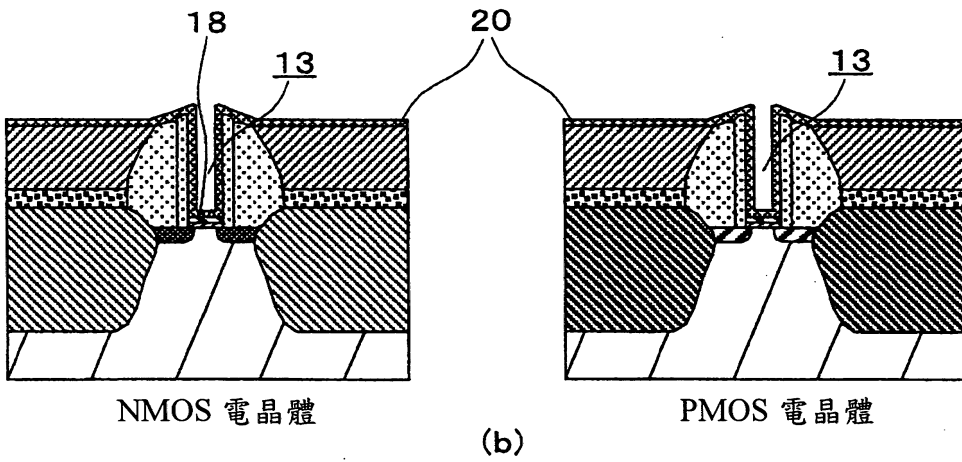
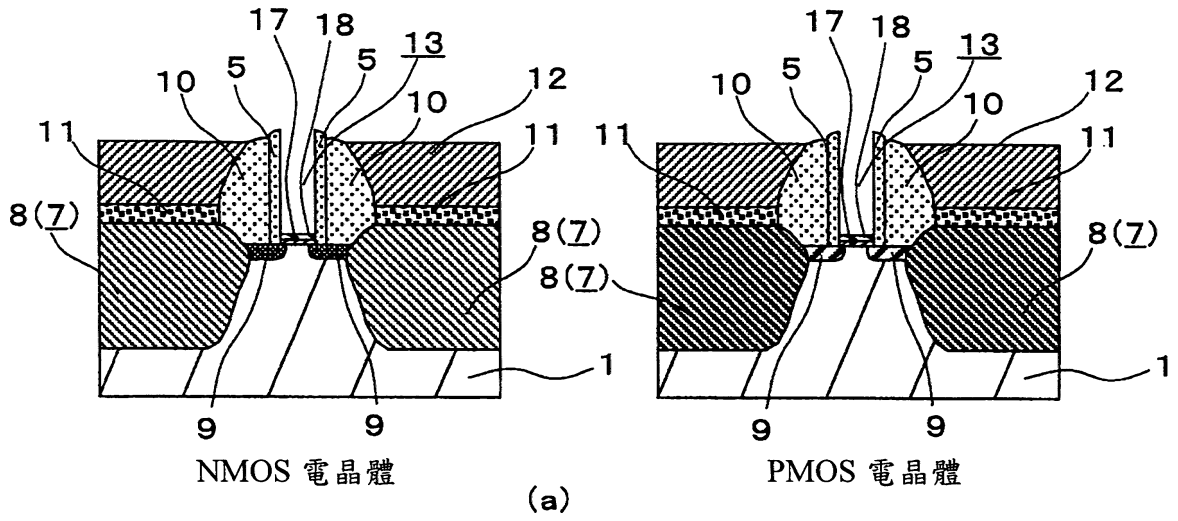
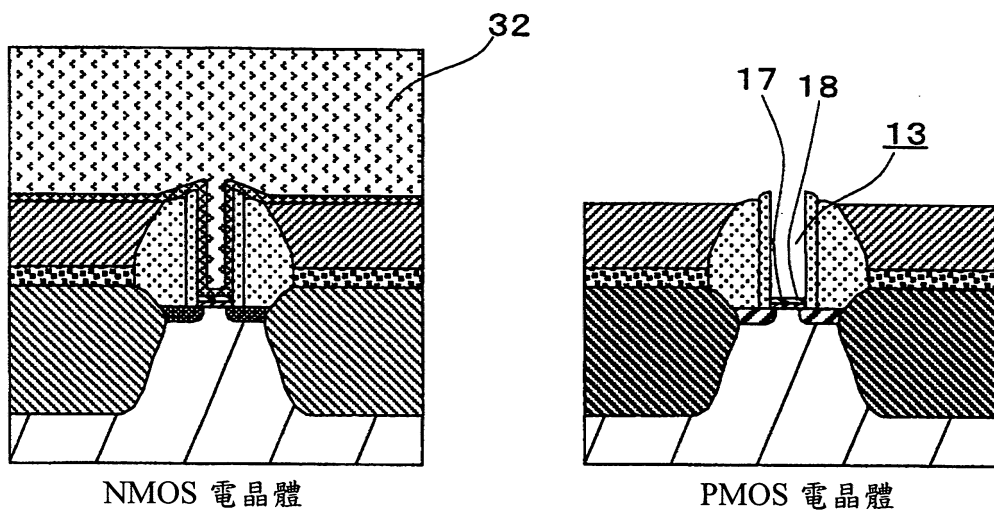
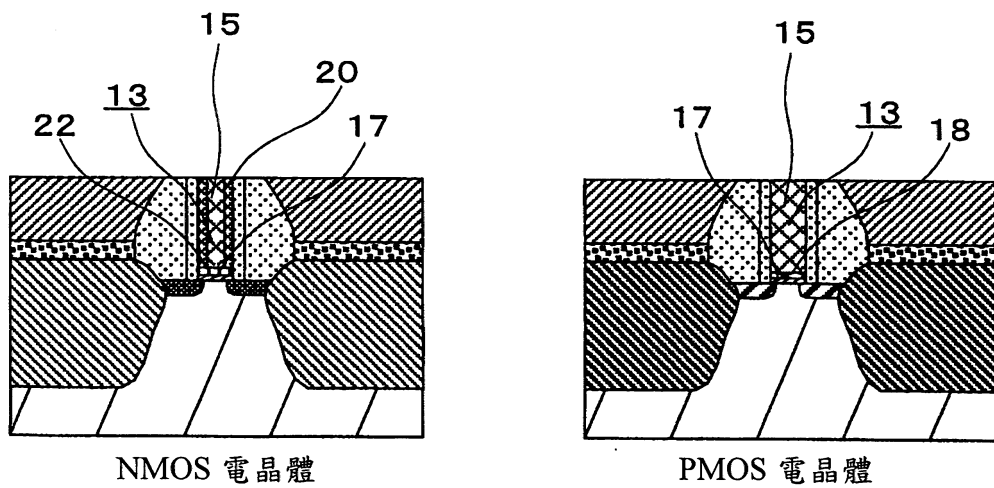


圖 19





(c)



(d)

圖 20

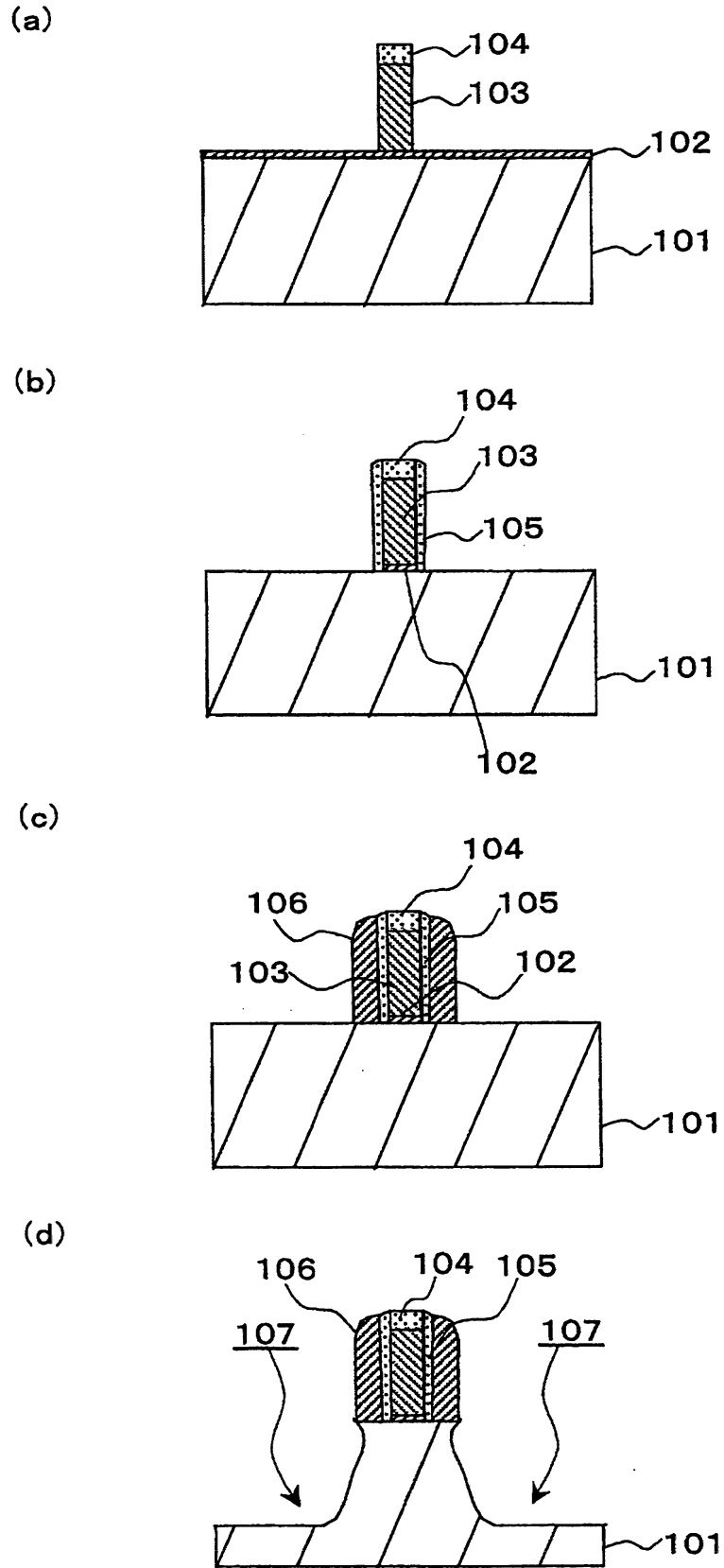


圖 21

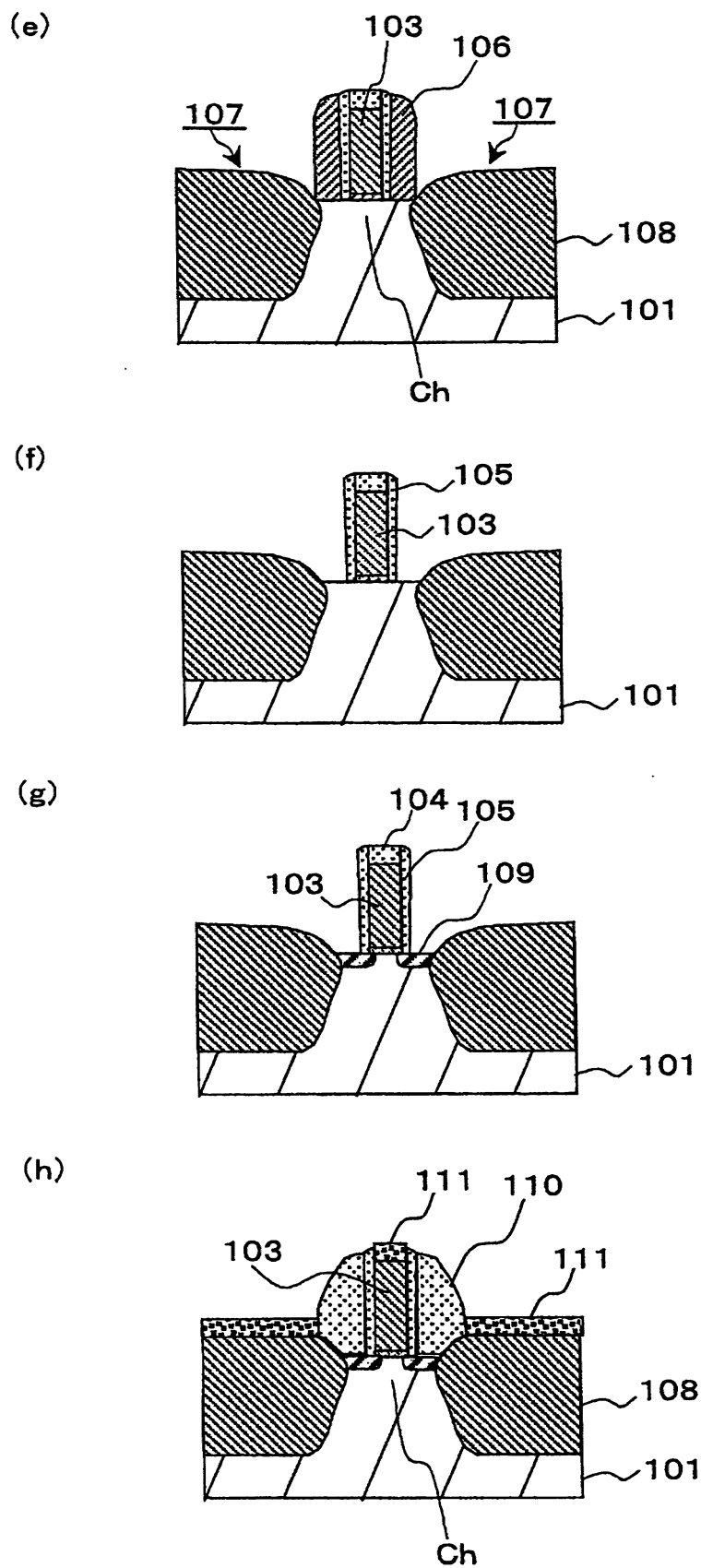


圖 22

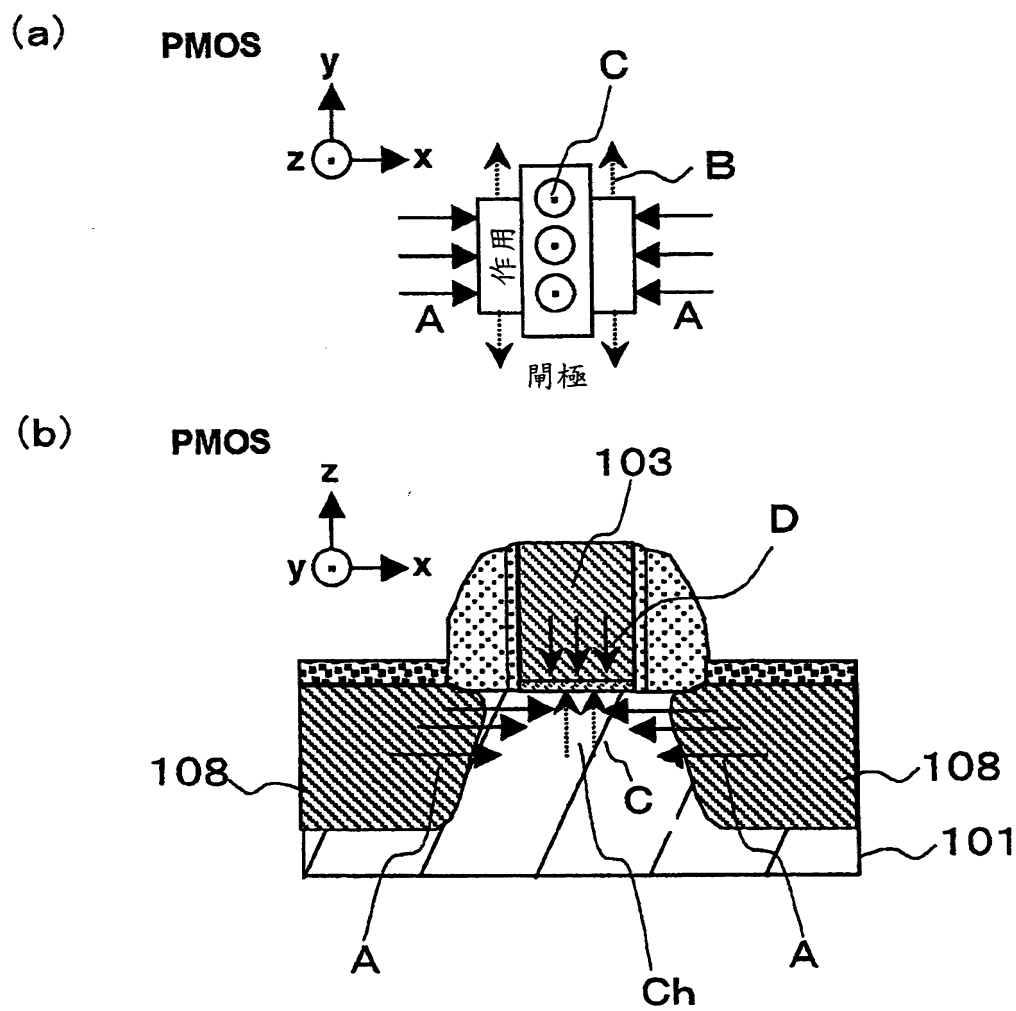


圖 23

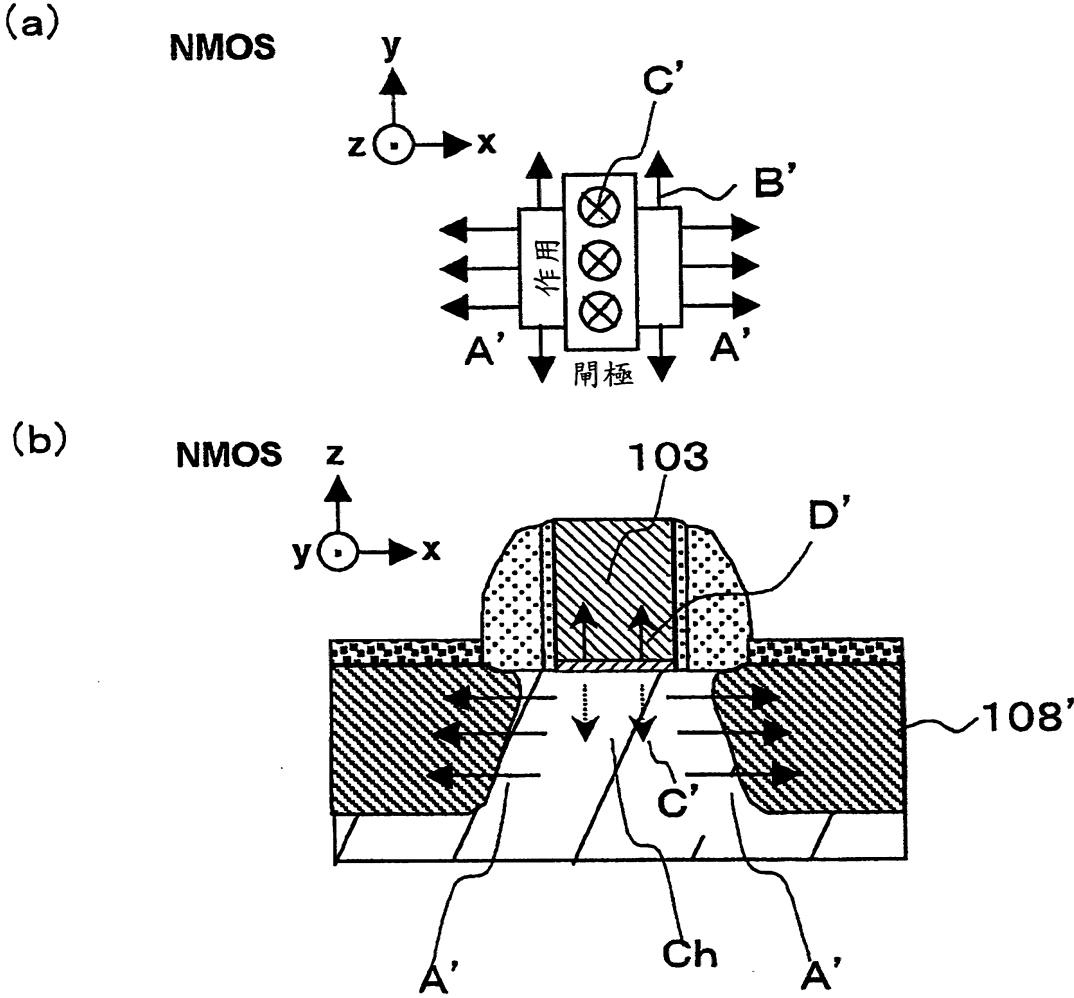


圖 24

七、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

8	混晶層
12	層間絕緣膜
13	凹部
14	閘極絕緣膜
15	閘極電極
15'	閘極電極膜
16	層間絕緣膜
Ch	通道區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)