

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第6173548号
(P6173548)

(45) 発行日 平成29年8月2日(2017.8.2)

(24) 登録日 平成29年7月14日(2017.7.14)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 3 K 19/0185 (2006.01)	HO 3 K 19/0185
HO 3 K 19/0175 (2006.01)	HO 3 K 19/0175 2 2 O
HO 1 L 21/8242 (2006.01)	HO 1 L 29/78 6 1 3 A
HO 1 L 27/108 (2006.01)	HO 1 L 27/108 3 2 1

請求項の数 2 (全 37 頁)

(21) 出願番号	特願2016-174210 (P2016-174210)	(73) 特許権者	000153878
(22) 出願日	平成28年9月7日(2016.9.7)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2015-49476 (P2015-49476)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	齋藤 利彦
原出願日	平成23年5月10日(2011.5.10)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2017-22397 (P2017-22397A)		半導体エネルギー研究所内
(43) 公開日	平成29年1月26日(2017.1.26)		
審査請求日	平成28年9月12日(2016.9.12)	審査官	岩本 勉
(31) 優先権主張番号	特願2010-116861 (P2010-116861)		
(32) 優先日	平成22年5月21日(2010.5.21)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

基板上の第1乃至第3の半導体層と、
前記第1乃至第3の半導体層上の第1の絶縁層と、
前記第1の絶縁層上の、前記第1の半導体層と重なる第1の導電層と、
前記第1の絶縁層上の、前記第3の半導体層と重なる第2の導電層と、
前記第1の絶縁層、前記第1の導電層、及び前記第2の導電層上の第2の絶縁層と、
前記第2の絶縁層上の第3の導電層と、
前記第2の絶縁層上の第4の導電層と、
前記第2の絶縁層上の、前記第2の半導体層と重なる第5の導電層と、
前記第2の絶縁層、前記第3の導電層、前記第4の導電層、及び前記第5の導電層上の
第3の絶縁層と、
前記第3の絶縁層上の、前記第3の導電層と重なる第4の半導体層と、
前記第3の絶縁層上の、前記第4の導電層と重なる第5の半導体層と、
前記第3の絶縁層上の、前記第1の半導体層と電氣的に接続された第6の導電層と、
前記第3の絶縁層上の、前記第1の半導体層及び前記第4の半導体層と電氣的に接続さ
れた第7の導電層と、
前記第3の絶縁層上の、前記第4の半導体層と電氣的に接続された第8の導電層と、
前記第3の絶縁層上の、前記第5の半導体層と電氣的に接続された第9の導電層と、
前記第3の絶縁層上の、前記第2の半導体層及び前記第5の半導体層と電氣的に接続さ

れた第 10 の導電層と、

前記第 3 の絶縁層上の、前記第 3 の半導体層と電氣的に接続された第 11 の導電層と、
前記第 3 の絶縁層上の、前記第 3 の半導体層と電氣的に接続された第 12 の導電層と、
を有し、

前記第 1 の半導体層は、パルス変換回路における P 型トランジスタのチャネル形成層としての機能を有し、

前記第 2 の半導体層は、単位記憶回路における保持容量の第 1 の電極としての機能を有し、

前記第 3 の半導体層は、前記単位記憶回路における出力用トランジスタのチャネル形成層としての機能を有し、

10

前記第 4 の半導体層は、前記パルス変換回路における N 型トランジスタのチャネル形成層としての機能を有し、

前記第 5 の半導体層は、前記単位記憶回路における選択用トランジスタのチャネル形成層としての機能を有することを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記第 4 の半導体層及び前記第 5 の半導体層は、酸化物半導体を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明の一態様は、パルス変換回路に関する。

【背景技術】

【0002】

信号のパルスを所定の回路に入力するタイミングを制御するために、入力される信号に応じて、入力された信号のパルス幅が変化した信号を生成して出力する回路（パルス変換回路ともいう）が知られている。

【0003】

従来のパルス変換回路としては、例えばインバータを用いた回路などが挙げられる（例えば特許文献 1）。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開平 7 - 202677 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

従来のパルス変換回路は、インバータを構成する複数のトランジスタのサイズを異ならせること又はインバータを構成するトランジスタの数を増やすことにより、パルス幅を変えているため、インバータの回路面積が大きくなり、該パルス変換回路を具備する装置の小型化を阻害してしまうという問題があった。

40

【0006】

本発明の一態様では、回路面積を低減することを課題の一つとする。

【課題を解決するための手段】

【0007】

本発明の一態様は、P 型トランジスタ及び N 型トランジスタを備える論理回路を具備するパルス変換回路において、P 型トランジスタのチャネルが形成される層（チャネル形成層ともいう）の材料と N 型トランジスタのチャネル形成層の材料を異ならせることにより、入力信号に対する出力信号のパルスの立ち上がりの際の遅延時間と、立ち下がりの際の遅延時間とを異ならせるものである。

50

【 0 0 0 8 】

本発明の一態様は、第 1 の信号が入力され、第 2 の信号を出力する論理回路を具備し、論理回路は、ゲートに第 1 の信号が入力され、ゲートの電圧に応じて第 2 の信号の電圧を第 1 の電圧に設定するか否かを制御する P 型トランジスタと、エンハンスメント型であり、閾値電圧の絶対値が P 型トランジスタより大きく、ゲートに第 1 の信号が入力され、ゲートの電圧に応じて第 2 の信号の電圧を第 1 の電圧より高い第 2 の電圧に設定するか否かを制御する N 型トランジスタと、を備え、P 型トランジスタは、チャンネルが形成され、第 1 4 族の元素を含有する半導体層を含み、N 型トランジスタは、チャンネルが形成され、キャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満である酸化物半導体層を含むパルス変換回路である。

10

【 0 0 0 9 】

本発明の一態様は、第 1 の信号が入力され、第 2 の信号を出力する第 1 のインバータと、第 2 の信号が入力され、第 3 の信号を出力する第 2 のインバータと、を具備し、第 1 のインバータは、ゲートに第 1 の信号が入力され、ゲートの電圧に応じて第 2 の信号の電圧を第 1 の電圧に設定するか否かを制御する P 型トランジスタと、エンハンスメント型であり、閾値電圧の絶対値が P 型トランジスタより大きく、ゲートに第 1 の信号が入力され、ゲートの電圧に応じて第 2 の信号の電圧を第 1 の電圧より低い第 2 の電圧に設定するか否かを制御する N 型トランジスタと、を備え、P 型トランジスタは、チャンネルが形成され、第 1 4 族の元素を含有する半導体層を含み、N 型トランジスタは、チャンネルが形成され、キャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満である酸化物半導体層を含むパルス変換回路である。

20

【 0 0 1 0 】

本発明の一態様は、第 1 の信号が入力され、第 2 の信号を出力する第 1 のインバータと、第 2 の信号が入力され、第 3 の信号を出力する第 2 のインバータと、を具備し、第 2 のインバータは、ゲートに第 2 の信号が入力され、ゲートの電圧に応じて第 3 の信号の電圧を第 1 の電圧に設定するか否かを制御する P 型トランジスタと、エンハンスメント型であり、閾値電圧の絶対値が P 型トランジスタより大きく、ゲートに第 2 の信号が入力され、ゲートの電圧に応じて第 3 の信号の電圧を第 1 の電圧より低い第 2 の電圧に設定するか否かを制御する N 型トランジスタと、を備え、P 型トランジスタは、チャンネルが形成され、第 1 4 族の元素を含有する半導体層を含み、N 型トランジスタは、チャンネルが形成され、キャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満である酸化物半導体層を含むパルス変換回路である。

30

【 0 0 1 1 】

なお、本明細書において、立ち上がりとは、信号において、ある電圧から該電圧より高い値の電圧に変化することをいい、立ち下がりとは、ある電圧から該電圧より低い値の電圧に変化することをいう。

【 発明の効果 】

【 0 0 1 2 】

本発明の一態様により、チャンネル形成層の材料が異なり、極性の異なる少なくとも 2 つのトランジスタを用いてパルス変換回路を構成することができるため、パルス変換回路の面積を低減することができる。

40

【 図面の簡単な説明 】

【 0 0 1 3 】

【 図 1 】 実施の形態 1 におけるパルス変換回路を説明するための図。

【 図 2 】 実施の形態 2 におけるパルス変換回路を説明するための図。

【 図 3 】 図 2 (A) に示すパルス変換回路の動作検証結果を示す図。

【 図 4 】 実施の形態 3 における電子回路の構成例を示すブロック図。

【 図 5 】 実施の形態 3 における記憶回路を説明するための図。

【 図 6 】 実施の形態 4 における半導体装置の構成例を示すブロック図。

【 図 7 】 実施の形態 5 におけるトランジスタの構造例を示す断面模式図。

50

【図 8】図 7 (A) に示すトランジスタの作製方法を説明するための断面模式図。

【図 9】トランジスタの初期特性を示す図。

【図 10】特性評価回路の構成を示す回路図。

【図 11】図 10 に示す特性評価回路を用いたリーク電流測定方法を説明するためのタイミングチャート。

【図 12】条件 4、条件 5、及び条件 6 における測定に係る経過時間 T_{ime} と、出力電圧 V_{out} との関係を示す図。

【図 13】測定に係る経過時間 T_{ime} と、該測定によって算出されたリーク電流との関係を示す図。

【図 14】測定により見積もられたノード A の電圧とリーク電流の関係を示す図。

10

【図 15】測定により見積もられたノード A の電圧とリーク電流の関係を示す図。

【図 16】測定により見積もられたノード A の電圧とリーク電流の関係を示す図。

【図 17】測定により見積もられたノード A の電圧とリーク電流の関係を示す図。

【図 18】実施の形態 6 における記憶回路の構造例を示す図。

【図 19】実施の形態 6 における記憶回路の構造例を示す図。

【図 20】実施の形態 7 における情報媒体の構成例を示す図。

【発明を実施するための形態】

【0014】

本発明を説明するための実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではないとする。

20

【0015】

なお、各実施の形態の内容を互いに適宜組み合わせることができる。また、各実施の形態の内容を互いに置き換えることができる。

【0016】

(実施の形態 1)

本実施の形態では、入力信号に対する出力信号の遅延時間が立ち上がりと立ち下がりで異なるパルス変換回路について説明する。

【0017】

30

本実施の形態のパルス変換回路の一例について、図 1 を用いて説明する。図 1 は、本実施の形態におけるパルス変換回路の一例を説明するための図である。

【0018】

まず、本実施の形態のパルス変換回路の構成例について、図 1 (A) を用いて説明する。図 1 (A) は、本実施の形態のパルス変換回路の構成例を示す回路図である。

【0019】

図 1 (A) に示すパルス変換回路は、論理回路 100 を具備する。

【0020】

論理回路 100 には、信号 S_{11} が入力される。また、論理回路 100 は、信号 S_{12} を出力する。

40

【0021】

さらに、論理回路 100 は、トランジスタ 101 と、トランジスタ 102 と、を備える。

【0022】

なお、パルス変換回路において、トランジスタは、特に指定する場合を除き、ソース、ドレイン、及びゲートを少なくとも有する。

【0023】

ソースとは、ソース領域、ソース電極の一部若しくは全部、又はソース配線の一部若しくは全部のことをいう。また、ソース電極とソース配線とを区別せずにソース電極及びソース配線の両方の機能を有する導電層をソースという場合がある。

【0024】

50

ドレインとは、ドレイン領域、ドレイン電極の一部若しくは全部、又はドレイン配線の一部若しくは全部のことをいう。また、ドレイン電極とドレイン配線とを区別せずにドレイン電極及びドレイン配線の両方の機能を有する導電層をドレインという場合がある。

【0025】

ゲートとは、ゲート電極の一部若しくは全部、又はゲート配線の一部若しくは全部のことをいう。また、ゲート電極とゲート配線とを区別せずにゲート電極及びゲート配線の両方の機能を有する導電層をゲートという場合がある。

【0026】

また、トランジスタの構造や動作条件などによって、トランジスタのソースとドレインは、互いに入れ替わる場合がある。

10

【0027】

トランジスタ101のソース及びドレインの一方には、電圧 V_a が入力され、トランジスタ101のゲートには、信号 S_{11} が入力される。なお、トランジスタ101は、P型トランジスタである。トランジスタ101は、ゲートの電圧に応じて信号 S_{12} の電圧を電圧 V_{11} に設定するか否かを制御する機能を有する。

【0028】

トランジスタ101としては、例えばチャンネルが形成され、元素周期表における第14族の半導体（シリコンなど）を含有する半導体層を含むトランジスタを用いることができる。

【0029】

トランジスタ102のソース及びドレインの一方は、トランジスタ101のソース及びドレインの他方に電氣的に接続され、トランジスタ102のソース及びドレインの他方には、電圧 V_b が入力され、トランジスタ102のゲートには、信号 S_{11} が入力される。なお、トランジスタ102は、N型トランジスタである。トランジスタ102は、ゲートの電圧に応じて信号 S_{12} の電圧を電圧 V_{12} に設定するか否かを制御する機能を有する。

20

【0030】

トランジスタ102としては、エンハンスメント型トランジスタであり、閾値電圧の絶対値がトランジスタ101より大きいトランジスタを用いることができ、例えば酸化物半導体層を含むトランジスタを用いることができる。上記酸化物半導体層は、チャンネルが形成される層（チャンネル形成層ともいう）としての機能を有する。また、上記酸化物半導体層は、真性（I型ともいう）、又は実質的に真性である半導体層であり、キャリアの数が極めて少なく、キャリア濃度は、 $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。

30

【0031】

また、チャンネル形成層としての機能を有する上記酸化物半導体層を含むトランジスタのオフ電流は、チャンネル幅 $1 \mu\text{m}$ あたり 10 aA ($1 \times 10^{-17} \text{ A}$)以下、好ましくは 1 aA ($1 \times 10^{-18} \text{ A}$)以下、さらには好ましくは 10 zA ($1 \times 10^{-20} \text{ A}$)以下、さらに好ましくは 1 zA ($1 \times 10^{-21} \text{ A}$)以下、さらに好ましくは 100 yA ($1 \times 10^{-22} \text{ A}$)以下である。

【0032】

また、上記酸化物半導体層は、キャリア濃度が低いため、該酸化物半導体層を含むトランジスタは、温度が変化した場合であっても、オフ電流が上記の値の範囲内である。例えばトランジスタの温度が 150°C であっても、オフ電流は、 $100 \text{ zA} / \mu\text{m}$ 以下であることが好ましい。

40

【0033】

なお、トランジスタ102のソース及びドレインの一方と、トランジスタ101のソース及びドレインの他方との電氣的接続箇所をノード N_{11} ともいう。

【0034】

また、図1(A)に示すパルス変換回路は、ノード N_{11} の電圧を信号 S_{12} として出力する。つまり、トランジスタ102のソース及びドレインの一方の電圧は、信号 S_{12} の

50

電圧である。

【 0 0 3 5 】

なお、一般的に電圧とは、ある二点間における電位の差（電位差ともいう）のことをいう。しかし、電圧及び電位の値は、回路図などにおいていずれもボルト（V）で表されることがあるため、区別が困難である。そこで、本明細書では、特に指定する場合を除き、ある一点の電位と基準となる電位（基準電位ともいう）との電位差を、該一点の電圧として用いる場合がある。

【 0 0 3 6 】

また、電圧 V_a 及び電圧 V_b の一方は、高電源電圧 V_{dd} であり、電圧 V_a 及び電圧 V_b の他方は、低電源電圧 V_{ss} である。高電源電圧 V_{dd} は、相対的に低電源電圧 V_{ss} より高い値の電圧であり、低電源電圧 V_{ss} は、相対的に高電源電圧 V_{dd} より低い値の電圧である。電圧 V_a 及び電圧 V_b の値は、例えばトランジスタの極性などにより互いに入れ替わる場合がある。また、電圧 V_a 及び電圧 V_b の差が電源電圧となる。

10

【 0 0 3 7 】

次に、図 1（A）に示すパルス変換回路の動作例について、図 1（B）を用いて説明する。図 1（B）は、図 1（A）に示すパルス変換回路の動作例を説明するためのタイミングチャートである。なお、ここでは、一例として電圧 V_a として低電源電圧 V_{ss} が入力され、電圧 V_b として高電源電圧 V_{dd} が入力されるとする。

【 0 0 3 8 】

例えば、図 1（B）に示すように、時刻 T_{11} に信号 S_{11} が立ち上がると、トランジスタ 101 がオフ状態になり、トランジスタ 102 がオン状態になる。

20

【 0 0 3 9 】

このとき、トランジスタ 102 により遅延が生じ、信号 S_{12} は、時刻 T_{11} より遅い時刻 T_{12} で立ち上がる。

【 0 0 4 0 】

その後、時刻 T_{13} に信号 S_{11} が立ち下がると、トランジスタ 101 がオン状態になり、トランジスタ 102 がオフ状態になる。

【 0 0 4 1 】

このとき、トランジスタ 101 により遅延が生じ、信号 S_{12} は、時刻 T_{13} よりも遅い時刻で立ち下がる。なお、立ち上がりのときにおける信号 S_{12} の遅延時間は、立ち下がるのときにおける信号 S_{12} の遅延時間より長い。この理由について、以下に説明する。

30

【 0 0 4 2 】

トランジスタ 102 がエンハンスメント型トランジスタであり、トランジスタ 102 の閾値電圧の絶対値がトランジスタ 101 の閾値電圧の絶対値より大きく、トランジスタ 102 のキャリア濃度がトランジスタ 101 のキャリア濃度より極めて低い場合、パルス変換回路において、トランジスタ 102 がオフ状態からオン状態になる時間が、トランジスタ 101 がオフ状態からオン状態になるまでの時間より長くなる。よって、立ち上がりのときにおける信号 S_{12} の遅延時間は、立ち下がるのときにおける信号 S_{12} の遅延時間より長くなる。

【 0 0 4 3 】

40

図 1 を用いて説明したように、本実施の形態のパルス変換回路の一例は、ゲートに入力される信号に応じて出力信号の電圧を第 1 の電圧に設定するか否かを制御する P 型トランジスタと、チャネル形成層の材料が P 型トランジスタと異なり、エンハンスメント型であり、P 型トランジスタより閾値電圧の絶対値が大きく、ゲートに入力される信号に応じて出力信号の電圧を第 2 の電圧に設定するか否かを制御する N 型トランジスタと、を備える構成である。上記構成により、2 つのトランジスタのみを用いた場合であってもパルス変換回路を構成することができ、また、同じサイズのトランジスタを用いてパルス変換回路を構成することもできるため、パルス変換回路の回路面積を低減することができる。

【 0 0 4 4 】

（実施の形態 2）

50

本実施の形態では、複数のインバータを用いたパルス変換回路について説明する。

【0045】

本実施の形態のパルス変換回路の一例について、図2を用いて説明する。図2は、本実施の形態におけるパルス変換回路の一例を説明するための図である。

【0046】

まず、本実施の形態のパルス変換回路の構成例について、図2(A)を用いて説明する。図2(A)は、本実施の形態のパルス変換回路の構成例を示す回路図である。

【0047】

図2(A)に示すパルス変換回路は、インバータ151と、インバータ152と、を備える。なお、これに限定されず、インバータの数は、複数であればよい。

10

【0048】

インバータ151には、信号S21が入力される。また、インバータ151は、入力される信号S21に応じて設定される電圧を信号S22として出力する。

【0049】

インバータ152には、信号S22が入力される。また、インバータ152は、入力される信号S22に応じて設定される電圧を信号S23として出力する。なお、インバータ152には、必ずしも信号S22が直接入力されなくてもよい。例えば、別の回路を用いて信号S22に応じて設定される、別の電圧の信号を生成し、該信号がインバータ152に入力される構成としてもよい。この場合、信号S23の電圧は、信号S22に応じて設定される電圧とみなすことができる。

20

【0050】

インバータ151及びインバータ152の構成を、例えば上記実施の形態1に示す論理回路の構成にすることができる。なお、インバータ151及びインバータ152の一方のみの構成を上記実施の形態1に示す論理回路の構成にし、他方の構成を従来のインバータの構成にすることもできる。このとき、電圧Vaが高電源電圧Vddであり、電圧Vbが低電源電圧Vssである。

【0051】

次に、図2(A)に示すパルス変換回路の動作例について、図2(B)を用いて説明する。図2(B)は、図2(A)に示すパルス変換回路の動作例を説明するためのタイミングチャートである。なお、図2(B)では、一例としてインバータ151が図1(A)に示す論理回路の構成であり、インバータ152が従来のインバータの構成である場合について示す。

30

【0052】

例えば、図2(B)に示すように、信号S21が時刻T21に立ち上がると、インバータ151におけるN型トランジスタにより遅延が生じ、信号S22は、時刻T21よりも遅い時刻T22で立ち下がる。また、信号S22が時刻T22で立ち下ると、インバータ152におけるP型トランジスタにより遅延が生じ、信号S23は、時刻T22よりも遅い時刻で立ち上がる。

【0053】

その後、時刻T23に信号S21が立ち下ると、インバータ151におけるP型トランジスタにより遅延が生じ、信号S22は、時刻T23よりも遅い時刻で立ち上がる。また、信号S22が立ち上がると、インバータ152におけるN型トランジスタにより遅延が生じ、信号S23は、時刻T23よりも遅い時刻で立ち下がる。なお、信号S21に対する信号S23の遅延時間は、立ち上がり時の方が立ち下がり時より長い。この理由については、上記実施の形態1にて述べた理由と同じである。

40

【0054】

さらに、図2(A)に示すパルス変換回路の動作例について、動作検証を行った。なお、計算ソフトとしてGatewayVer.2.6.12.Rを用いて動作検証を行った。なお、ここでは、インバータ151及びインバータ152の構成が従来のインバータの構成である場合(構成1ともいう)、インバータ151の構成が図1(A)に示す論理回路

50

100の構成であり、インバータ152の構成が従来のインバータの構成である場合（構成2ともいう）、及びインバータ151の構成が従来のインバータ構成であり、インバータ152の構成が図1（A）に示す論理回路100の構成である場合（構成3ともいう）について、それぞれ動作検証を行った。また、従来のインバータとして、チャンネルが形成されるシリコン半導体層を含むN型トランジスタ及びP型トランジスタにより構成されるCMOSインバータを用いる。また、動作検証では、パルス変換回路における酸化物半導体層を含むN型トランジスタにおいて、チャンネル幅を $1\mu\text{m}$ とし、チャンネル長を $1\mu\text{m}$ とし、閾値電圧を 1.58V とし、S値を $100\text{mV}/\text{dec}$ とし、オフ電流（ゲート及びソース間の電圧が 0V のときのソース及びドレイン間の電流）を $2.0 \times 10^{-24}\text{A}$ とし、オン電流（ゲート及びソース間の電圧が 2V のときのソース及びドレイン間の電流）を $7.8 \times 10^{-7}\text{A}$ とし、従来のインバータのN型トランジスタにおいて、チャンネル幅を $1\mu\text{m}$ とし、チャンネル長を $1\mu\text{m}$ とし、閾値電圧を 0.42V とし、S値を $60\text{mV}/\text{dec}$ とし、オフ電流（ゲート及びソース間の電圧が 0V のときのソース及びドレイン間の電流）を $3.9 \times 10^{-12}\text{A}$ とし、オン電流（ゲート及びソース間の電圧が 2V のときのソース及びドレイン間の電流）を $7.4 \times 10^{-5}\text{A}$ とし、P型トランジスタにおいて、チャンネル幅を $1\mu\text{m}$ とし、チャンネル長を $1\mu\text{m}$ とし、閾値電圧を -0.52V とし、S値を $90\text{mV}/\text{dec}$ とし、オフ電流（ゲート及びソース間の電圧が 0V のときのソース及びドレイン間の電流）を $8.2 \times 10^{-12}\text{A}$ とし、オン電流（ゲート及びソース間の電圧が -2V のときのソース及びドレイン間の電流）を $7.3 \times 10^{-5}\text{A}$ とした。また、動作検証では、信号S21の振幅を $0\text{V} \sim 2\text{V}$ とし、電源電圧を 2V とした。

10

20

【0055】

検証結果について、図3を用いて説明する。図3は、図2（A）に示すパルス変換回路の動作検証結果を示す図である。

【0056】

図3（A）は、構成1の信号S21及び信号S23の電圧波形を示しており、図3（B）は、構成2の信号S21及び信号S23の電圧波形を示しており、図3（C）は、構成3の信号S21及び信号S23の電圧波形を示している。図3（A）乃至図3（C）に示すように、構成1では、信号S23の立ち上がり及び立ち下がりにおいて遅延時間は短い。これに対し、構成2では、信号S23の立ち上がりの遅延時間が立ち下がるの遅延時間より長く、構成3では、信号S23の立ち下がるの遅延時間が立ち上がり時間の遅延時間より長いことがわかる。

30

【0057】

図2及び図3を用いて説明したように、本実施の形態のパルス変換回路の一例は、第1のインバータ及び第2のインバータを少なくとも備え、第1のインバータ及び第2のインバータの一方が、ゲートに入力される信号に応じて出力信号の電圧を第1の電圧に設定するか否かを制御するP型トランジスタと、チャンネル形成層の材料がP型トランジスタと異なり、エンハンスメント型であり、P型トランジスタより閾値電圧の絶対値が大きく、ゲートに入力される信号に応じて出力信号の電圧を第2の電圧に設定するか否かを制御するN型トランジスタと、を備える構成である。上記構成により、少なくとも2つのインバータを用いてパルス変換回路を構成することができるため、出力信号の電圧を電源電圧以上にすることができ、且つ同じサイズのトランジスタを用いてパルス変換回路を構成することもできるため、パルス変換回路の回路面積を低減することができる。

40

【0058】

（実施の形態3）

本実施の形態では、上記実施の形態のパルス変換回路を用いた電子回路について説明する。

【0059】

本実施の形態の電子回路の一例について、図4を用いて説明する。図4は、本実施の形態における電子回路の構成例を示すブロック図である。

【0060】

50

図４に示す電子回路は、パルス変換回路（ＰＬＳＣともいう）２０１と、機能回路（ＥＣともいう）２０２と、を具備する。

【００６１】

パルス変換回路２０１には、信号Ｓ３１が入力される。パルス変換回路２０１は、入力される信号Ｓ３１に応じて設定される電圧を信号Ｓ３２として出力する機能を有する。

【００６２】

パルス変換回路２０１としては、上記実施の形態１又は実施の形態２に示す構成のパルス変換回路を用いることができる。

【００６３】

機能回路２０２には、信号Ｓ３２及び信号Ｓ３３が入力される。機能回路２０２は、入力される信号Ｓ３２及び信号Ｓ３３に応じて動作することにより、特定の機能を有する回路である。

【００６４】

機能回路２０２としては、例えば論理回路、表示回路、又は記憶回路などを用いることができる。

【００６５】

なお、信号Ｓ３１及び信号Ｓ３３は、同一のクロック信号に同期した信号であってもよい。

【００６６】

また、図４では、信号Ｓ３３が機能回路２０２に直接入力される場合について示しているが、これに限定されず、信号Ｓ３３が入力されるバッファ回路などを設け、信号Ｓ３３に応じて設定されるバッファ回路の出力信号が機能回路２０２に入力される構成としてもよい。

【００６７】

さらに、本実施の形態の電子回路の一例として、記憶回路について図５を用いて説明する。図５は、本実施の形態における記憶回路を説明するための図である。

【００６８】

まず、本実施の形態の記憶回路の構成例について、図５（Ａ）を用いて説明する。図５（Ａ）は、本実施の形態における記憶回路の構成例を示すブロック図である。

【００６９】

図５（Ａ）に示す記憶回路は、複数の単位記憶回路（ＭＣともいう）２１１と、第１の駆動回路（ＸＤＲＶともいう）２１３ｘと、第２の駆動回路（ＹＤＲＶともいう）２１３ｙと、複数のパルス変換回路２１３ｗと、駆動制御回路（ＤＣＴＬともいう）２１３ｖと、を具備する。

【００７０】

複数の単位記憶回路２１１は、行列方向に配置される。なお、単位記憶回路２１１が設けられる領域を記憶部（ＭＣＡともいう）２１２という。

【００７１】

第１の駆動回路２１３ｘには、行アドレス信号（信号ＸＳＥＬともいう）が入力される。第１の駆動回路２１３ｘは、入力された行アドレス信号に従って１行以上の単位記憶回路２１１を選択し、選択した単位記憶回路２１１に選択信号を出力する機能を有する。第１の駆動回路２１３ｘは、例えばデコーダを用いて構成される。デコーダは、行毎に単位記憶回路２１１を選択する機能を有する。

【００７２】

第２の駆動回路２１３ｙには、データ信号及び列アドレス信号（信号ＹＳＥＬともいう）が入力される。第２の駆動回路２１３ｙは、入力される列アドレス信号に従って１列以上の単位記憶回路２１１を選択し、選択した単位記憶回路２１１にデータ信号を出力する機能を有する。また、第２の駆動回路２１３ｙは、読み出し信号（信号ＲＥＡＤともいう）を出力し、読み出し信号により選択した単位記憶回路２１１に記憶されたデータを読み出す機能を有する。第２の駆動回路２１３ｙは、例えばデコーダ、複数のアナログスイッチ

10

20

30

40

50

、読み出し信号出力回路、及び読み出し回路を用いて構成される。デコーダは、列毎に単位記憶回路 2 1 1 を選択する機能を有し、複数のアナログスイッチは、デコーダから入力される信号に応じてデータ信号を出力するか否かを制御する機能を有し、読み出し信号出力回路は、読み出し信号を生成して出力する機能を有し、読み出し回路は、読み出し信号により選択した単位記憶回路 2 1 1 に記憶されたデータを読み出す機能を有する。なお、読み出し信号の電圧は、書き込み信号の電圧より低くすることができる。

【 0 0 7 3 】

駆動制御回路 2 1 3 v には、書き込み制御信号、読み出し制御信号、及びアドレス信号が入力される。駆動制御回路 2 1 3 v は、入力される書き込み制御信号、読み出し制御信号、及びアドレス信号に応じて、第 1 の駆動回路 2 1 3 x 及び第 2 の駆動回路 2 1 3 y の動作を制御する信号を生成して出力する機能を有する。例えば、駆動制御回路 2 1 3 v は、アドレス信号に応じて複数の行アドレス信号を第 1 の駆動回路 2 1 3 x に出力し、複数の列アドレス信号を第 2 の駆動回路 2 1 3 y に出力する機能を有する。

10

【 0 0 7 4 】

複数のパルス変換回路 2 1 3 w には、行アドレス信号又は列アドレス信号が入力される。なお、複数のパルス変換回路 2 1 3 w の数は、入力される行アドレス信号又は列アドレス信号と同じ数である。また、複数のパルス変換回路 2 1 3 w のそれぞれに入力される行アドレス信号又は列アドレス信号は、互いに異なる信号である。パルス変換回路 2 1 3 w は、入力される信号のパルス幅を変換する機能を有する。パルス変換回路 2 1 3 w として上記実施の形態のパルス変換回路を用いることができる。例えば、行アドレス信号のパルス幅を変換する場合には、上記実施の形態 2 における構成 2 のパルス変換回路を用いることができ、列アドレス信号のパルス幅を変換する場合には、上記実施の形態 2 における構成 3 のパルス変換回路を用いることができる。

20

【 0 0 7 5 】

さらに、単位記憶回路 2 1 1 の構成例について、図 5 (B) を用いて説明する。図 5 (B) は、単位記憶回路の構成例を示す回路図である。

【 0 0 7 6 】

図 5 (B) に示す単位記憶回路は、トランジスタ 2 3 1 と、容量素子 2 3 2 と、トランジスタ 2 3 3 と、を備える。

【 0 0 7 7 】

トランジスタ 2 3 1 のソース及びドレインの一方には、データ信号が入力され、トランジスタ 2 3 1 のゲートには、選択信号が入力される。トランジスタ 2 3 1 は、選択用トランジスタとしての機能を有する。

30

【 0 0 7 8 】

トランジスタ 2 3 1 としては、例えば上記実施の形態 1 に示すパルス変換回路における論理回路の N 型トランジスタに適用可能なトランジスタを用いることができる。

【 0 0 7 9 】

容量素子 2 3 2 は、第 1 の電極及び第 2 の電極を有し、容量素子 2 3 2 の第 1 の電極には、読み出し信号が入力され、容量素子 2 3 2 の第 2 の電極は、トランジスタ 2 3 1 のソース及びドレインの他方に電氣的に接続される。容量素子 2 3 2 は、保持容量としての機能を有する。

40

【 0 0 8 0 】

トランジスタ 2 3 3 のソース及びドレインの一方には、電圧 V_c が入力され、トランジスタ 2 3 3 のソース及びドレインの他方の電圧が読み出されるデータ信号の電圧となり、トランジスタ 2 3 3 のゲートは、トランジスタ 2 3 1 のソース及びドレインの他方に電氣的に接続される。なお、トランジスタ 2 3 3 のゲートと、容量素子 2 3 2 の第 2 の電極及びトランジスタ 2 3 1 のソース及びドレインの他方との電氣的接続箇所をノード N 4 1 ともいう。また、電圧 V_c は、所定の値の電圧である。また、トランジスタ 2 3 3 は、出力用トランジスタとしての機能を有する。

【 0 0 8 1 】

50

トランジスタ 2 3 3 としては、例えばチャネルが形成され、元素周期表における第 1 4 族の半導体（シリコンなど）を含有する半導体層を含むトランジスタを用いることができる。

【 0 0 8 2 】

次に、図 5 (B) に示す単位記憶回路の動作例について、図 5 (C) を用いて説明する。図 5 (C) は、図 5 (B) に示す単位記憶回路の動作例を説明するためのタイミングチャートである。

【 0 0 8 3 】

データ書き込み動作を行う場合、例えば図 5 (C) の期間 2 5 1 に示すように、行アドレス信号のパルスに従って選択信号がトランジスタ 2 3 1 のゲートに入力され、選択信号に従ってトランジスタ 2 3 1 がオン状態になり、列アドレス信号のパルスに従ってデータ信号が単位記憶回路に入力される。このとき、ノード N 4 1 の電圧がデータ信号に応じた値になり、単位記憶回路は、書き込み状態になる（状態 W R T ともいう）。

【 0 0 8 4 】

なお、行アドレス信号のパルスと列アドレス信号のパルスの幅は異なり、列アドレス信号が変化し始めた後に行アドレス信号が変化し始める。よって、単位記憶回路が選択される前に、選択される単位記憶回路に書き込むためのデータ信号を設定することができる。

【 0 0 8 5 】

その後、書き込んだデータの読み出し動作を行う場合、例えば図 5 (C) の期間 2 5 2 に示すように、読み出し信号のパルスに従って、ノード N 4 1 の電圧が変化する。さらに、変化後のノード N 4 1 の電圧に応じてトランジスタ 2 3 3 がオン状態又はオフ状態になり、トランジスタ 2 3 3 のソース及びドレインの他方の電圧をデータ信号として読み出す。このとき、単位記憶回路は、読み出し状態（状態 R D ともいう）になる。以上が図 5 (B) に示す単位記憶回路の動作例である。

【 0 0 8 6 】

図 5 を用いて説明したように、本実施の形態の記憶回路の一例は、行アドレス信号及び列アドレス信号の一方の信号のパルス幅をパルス変換回路により変化させる構成である。上記構成にすることにより、回路面積を小さくすることができる。また、上記構成にすることにより、行アドレス信号が変化する前に列アドレス信号を変化させることができるため、所望のデータ以外のデータが単位記憶回路に書き込まれてしまうといった動作不良を抑制することができる。

【 0 0 8 7 】

（実施の形態 4）

本実施の形態では、上記実施の形態 3 の記憶回路を備えた半導体装置の一例として、無線通信によりデータ通信が可能な半導体装置について説明する。

【 0 0 8 8 】

本実施の形態における半導体装置の構成例について、図 6 を用いて説明する。図 6 は、本実施の形態における半導体装置の構成例を示すブロック図である。

【 0 0 8 9 】

図 6 に示す半導体装置は、アンテナ回路（A N T ともいう）3 0 1 と、電源回路（P W R G ともいう）3 0 2 と、復調回路（D M O D ともいう）3 0 3 と、記憶制御回路（M C T L ともいう）3 0 4 と、記憶回路（M E M O R Y ともいう）3 0 5 と、符号化回路（E N C D ともいう）3 0 6 と、変調回路（M O D ともいう）3 0 7 と、を具備する。図 6 に示す半導体装置は、無線通信装置（リーダライタ、または質問器など、無線により通信が可能なもの）などの外部の回路とアンテナ回路 3 0 1 を介して無線信号の送受信を行う。

【 0 0 9 0 】

アンテナ回路 3 0 1 は、搬送波の送受信を行う機能を有する。

【 0 0 9 1 】

電源回路 3 0 2 は、アンテナ回路 3 0 1 が受信した搬送波に基づく電圧を用いて電源電圧を生成する機能を有する。

10

20

30

40

50

【 0 0 9 2 】

復調回路 3 0 3 は、アンテナ回路 3 0 1 が受信した搬送波を復調し、データ信号を抽出する機能を有する。

【 0 0 9 3 】

記憶制御回路 3 0 4 は、復調されたデータ信号を元に書き込み制御信号、読み出し制御信号、及びアドレス信号などのアクセス信号を生成する機能を有する。

【 0 0 9 4 】

記憶回路 3 0 5 には、データが記憶される。記憶回路 3 0 5 としては、例えば R O M (R e a d O n l y M e m o r y) 及び R A M (R a n d o m A c c e s s M e m o r y) の一つ又は複数を用いることができる。

10

【 0 0 9 5 】

符号化回路 3 0 6 は、記憶回路 3 0 5 から読み出されたデータ信号を符号化する機能を有する。

【 0 0 9 6 】

変調回路 3 0 7 は、符号化されたデータ信号を変調し、アンテナ回路 3 0 1 から搬送波として送信するためのデータ信号を生成する機能を有する。

【 0 0 9 7 】

次に、図 6 に示す半導体装置の動作例について説明する。

【 0 0 9 8 】

まず、アンテナ回路 3 0 1 が搬送波を受信すると、アンテナ回路 3 0 1 により受信した搬送波に応じて電圧が生成される。

20

【 0 0 9 9 】

アンテナ回路 3 0 1 にて生成された電圧は、電源回路 3 0 2 及び復調回路 3 0 3 に入力される。

【 0 1 0 0 】

電源回路 3 0 2 は、アンテナ回路 3 0 1 にて生成された電圧を元に電源電圧を生成し、生成した電源電圧を、復調回路 3 0 3、記憶制御回路 3 0 4、記憶回路 3 0 5、符号化回路 3 0 6、及び変調回路 3 0 7 に出力する。

【 0 1 0 1 】

また、復調回路 3 0 3 は、アンテナ回路 3 0 1 から入力された電圧の信号を復調し、データ信号を抽出し、抽出したデータ信号を記憶制御回路 3 0 4 に出力する。

30

【 0 1 0 2 】

記憶制御回路 3 0 4 は、データ信号に従って、アクセス信号を生成する。

【 0 1 0 3 】

さらに、アクセス信号に従って、記憶回路 3 0 5 は、データの書き込み又はデータの読み出しを行う。

【 0 1 0 4 】

さらに、記憶回路 3 0 5 から読み出されたデータ信号を符号化回路 3 0 6 により符号化する。

【 0 1 0 5 】

さらに、符号化されたデータ信号に応じて変調回路 3 0 7 によりアンテナ回路 3 0 1 から送信する搬送波を変調する。以上が図 6 に示す半導体装置の動作の一例である。

40

【 0 1 0 6 】

図 6 を用いて説明したように、本実施の形態の半導体装置は、無線によりデータの送受信が可能な半導体装置である。上記半導体装置に上記実施の形態の記憶回路を用いることにより、回路面積が小さく、信頼性の高い半導体装置を提供することができる。

【 0 1 0 7 】

(実施の形態 5)

本実施の形態では、上記実施の形態に示すパルス変換回路、記憶回路、又は半導体装置における酸化物半導体層を含むトランジスタに適用可能なトランジスタについて説明する。

50

【 0 1 0 8 】

本実施の形態に示す酸化物半導体層を含むトランジスタは、高純度化することにより、真性（Ⅰ型ともいう）、又は実質的に真性にさせた酸化物半導体層を有するトランジスタである。高純度化とは、酸化物半導体層中の水素を極力排除すること、及び酸化物半導体層に酸素を供給して酸化物半導体層中の酸素欠乏に起因する欠陥を低減することの少なくとも一方を含む概念である。

【 0 1 0 9 】

本実施の形態のトランジスタの構造例について、図 7 を用いて説明する。図 7 は、本実施の形態におけるトランジスタの構造例を示す断面模式図である。

【 0 1 1 0 】

図 7（A）に示すトランジスタは、ボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタともいう。

【 0 1 1 1 】

図 7（A）に示すトランジスタは、導電層 401a と、絶縁層 402a と、酸化物半導体層 403a と、導電層 405a と、導電層 406a と、を含む。

【 0 1 1 2 】

導電層 401a は、基板 400a の上に設けられ、絶縁層 402a は、導電層 401a の上に設けられ、酸化物半導体層 403a は、絶縁層 402a を介して導電層 401a の上に設けられ、導電層 405a 及び導電層 406a は、酸化物半導体層 403a の一部の上にそれぞれ設けられる。

【 0 1 1 3 】

さらに、図 7（A）において、トランジスタの酸化物半導体層 403a の上面の一部（上面に導電層 405a 及び導電層 406a が設けられていない部分）は、酸化物絶縁層 407a に接する。

【 0 1 1 4 】

図 7（B）に示すトランジスタは、ボトムゲート構造の一つであるチャネル保護型（チャネルストップ型ともいう）トランジスタであり、逆スタガ型トランジスタともいう。

【 0 1 1 5 】

図 7（B）に示すトランジスタは、導電層 401b と、絶縁層 402b と、酸化物半導体層 403b と、絶縁層 427 と、導電層 405b と、導電層 406b と、を含む。

【 0 1 1 6 】

導電層 401b は、基板 400b の上に設けられ、絶縁層 402b は、導電層 401b の上に設けられ、酸化物半導体層 403b は、絶縁層 402b を介して導電層 401b の上に設けられ、絶縁層 427 は、絶縁層 402b 及び酸化物半導体層 403b を介して導電層 401b の上に設けられ、導電層 405b 及び導電層 406b は、絶縁層 427 を介して酸化物半導体層 403b の一部の上にそれぞれ設けられる。また、導電層 401b を酸化物半導体層 403b の全てと重なる構造にすることもできる。導電層 401b を酸化物半導体層 403b の全てと重なる構造にすることにより、酸化物半導体層 403b への光の入射を抑制することができる。また、これに限定されず、導電層 401b を酸化物半導体層 403b の一部と重なる構造にすることもできる。

【 0 1 1 7 】

図 7（C）に示すトランジスタは、ボトムゲート構造のトランジスタの一つである。

【 0 1 1 8 】

図 7（C）に示すトランジスタは、導電層 401c と、絶縁層 402c と、酸化物半導体層 403c と、導電層 405c と、導電層 406c と、を含む。

【 0 1 1 9 】

導電層 401c は、基板 400c の上に設けられ、絶縁層 402c は、導電層 401c の上に設けられ、導電層 405c 及び導電層 406c は、絶縁層 402c の一部の上に設けられ、酸化物半導体層 403c は、絶縁層 402c、導電層 405c、及び導電層 406c を介して導電層 401c の上に設けられる。また、導電層 401c を酸化物半導体層 4

10

20

30

40

50

03cの全てと重なる構造にすることもできる。導電層401cを酸化物半導体層403cの全てと重なる構造にすることにより、酸化物半導体層403cへの光の入射を抑制することができる。また、これに限定されず、導電層401cを酸化物半導体層403cの一部と重なる構造にすることもできる。

【0120】

さらに、図7(C)において、トランジスタにおける酸化物半導体層403cの上面及び側面は、酸化物絶縁層407cに接する。

【0121】

なお、図7(A)乃至図7(C)において、酸化物絶縁層の上に保護絶縁層を設けてもよい。

10

【0122】

図7(D)に示すトランジスタは、トップゲート構造のトランジスタの一つである。

【0123】

図7(D)に示すトランジスタは、導電層401dと、絶縁層402dと、酸化物半導体層403dと、導電層405d及び導電層406dと、を含む。

【0124】

酸化物半導体層403dは、絶縁層447を介して基板400dの上に設けられ、導電層405d及び導電層406dは、それぞれ酸化物半導体層403dの一部の上に設けられ、絶縁層402dは、酸化物半導体層403d、導電層405d、及び導電層406dの上に設けられ、導電層401dは、絶縁層402dを介して酸化物半導体層403dの上に設けられる。

20

【0125】

基板400a乃至基板400dとしては、例えばバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0126】

また、基板400a乃至基板400dとして、セラミック基板、石英基板、又はサファイア基板などの絶縁体でなる基板を用いることもできる。また、基板400a乃至基板400dとして、結晶化ガラスを用いることもできる。また、基板400a乃至基板400dとして、プラスチック基板を用いることもできる。また、基板400a乃至基板400dとして、シリコンなどの半導体基板を用いることもできる。

30

【0127】

図7(D)に示す絶縁層447は、基板400dからの不純物元素の拡散を防止する下地層としての機能を有する。絶縁層447としては、例えば窒化シリコン層、酸化シリコン層、窒化酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、又は酸化窒化アルミニウム層を用いることができる。また、絶縁層447に適用可能な材料の層の積層により絶縁層447を構成することもできる。また、絶縁層447として、遮光性を有する材料の層と、上記絶縁層447に適用可能な材料の層との積層を用いることもできる。また、遮光性を有する材料の層を用いて絶縁層447を構成することにより、酸化物半導体層403dへの光の入射を抑制することができる。

【0128】

なお、図7(A)乃至図7(C)に示すトランジスタにおいて、図7(D)に示すトランジスタと同様に、基板とゲート電極としての機能を有する導電層の間に絶縁層を設けてもよい。

40

【0129】

さらに、図7(A)乃至図7(D)に示すトランジスタの各構成要素について説明する。

【0130】

導電層401a乃至導電層401dのそれぞれは、トランジスタのゲート電極としての機能を有する。導電層401a乃至導電層401dとしては、例えばモリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の層を用いることができる。また、

50

導電層 401a 乃至導電層 401d の形成に適用可能な材料の層の積層により、導電層 401a 乃至導電層 401d を構成することもできる。

【0131】

絶縁層 402a 乃至絶縁層 402d のそれぞれは、トランジスタのゲート絶縁層としての機能を有する。絶縁層 402a 乃至絶縁層 402d としては、例えば酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を用いることができる。また、絶縁層 402a 乃至絶縁層 402d に適用可能な材料の層の積層により絶縁層 402a 乃至絶縁層 402d を構成することもできる。絶縁層 402a 乃至絶縁層 402d に適用可能な材料の層は、例えばプラズマ CVD 法又はスパッタリング法などを用いて形成される。例えば、プラズマ CVD 法により窒化シリコン層を形成し、プラズマ CVD 法により窒化シリコン層の上に酸化シリコン層を形成することにより絶縁層 402a 乃至絶縁層 402d を構成することができる。

10

【0132】

酸化物半導体層 403a 乃至酸化物半導体層 403d のそれぞれは、トランジスタのチャネル形成層としての機能を有する。酸化物半導体層 403a 乃至酸化物半導体層 403d に適用可能な酸化物半導体としては、例えば四元系金属酸化物、三元系金属酸化物、又は二元系金属酸化物などを用いることができる。四元系金属酸化物としては、例えば In-Sn-Ga-Zn-O 系金属酸化物などを用いることができる。三元系金属酸化物としては、例えば In-Ga-Zn-O 系金属酸化物、 In-Sn-Zn-O 系金属酸化物、 In-Al-Zn-O 系金属酸化物、 Sn-Ga-Zn-O 系金属酸化物、 Al-Ga-Zn-O 系金属酸化物、又は Sn-Al-Zn-O 系金属酸化物などを用いることができる。二元系金属酸化物としては、例えば In-Zn-O 系金属酸化物、 Sn-Zn-O 系金属酸化物、 Al-Zn-O 系金属酸化物、 Zn-Mg-O 系金属酸化物、 Sn-Mg-O 系金属酸化物、 In-Mg-O 系金属酸化物、又は In-Sn-O 系金属酸化物などを用いることができる。また、酸化物半導体としては、例えば In-O 系金属酸化物、 Sn-O 系金属酸化物、又は Zn-O 系金属酸化物などを用いることもできる。また、酸化物半導体としては、上記酸化物半導体として適用可能な金属酸化物に SiO_2 を含む酸化物を用いることもできる。

20

【0133】

In-Zn-O 系金属酸化物を用いる場合、例えば、 $\text{In:Zn} = 50:1$ 乃至 $\text{In:Zn} = 1:2$ (モル数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO} = 25:1$ 乃至 $\text{In}_2\text{O}_3:\text{ZnO} = 1:4$)、好ましくは $\text{In:Zn} = 20:1$ 乃至 $\text{In:Zn} = 1:1$ (モル数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO} = 10:1$ 乃至 $\text{In}_2\text{O}_3:\text{ZnO} = 1:2$)、さらに好ましくは $\text{In:Zn} = 15:1$ 乃至 $\text{In:Zn} = 1.5:1$ (モル数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO} = 15:2$ 乃至 $\text{In}_2\text{O}_3:\text{ZnO} = 3:4$) の組成比である酸化物ターゲットを用いて In-Zn-O 系金属酸化物の半導体層を形成することができる。例えば、 In-Zn-O 系酸化物半導体の形成に用いるターゲットは、原子数比が $\text{In:Zn:O} = \text{P:Q:R}$ のとき、 $R > 1.5\text{P} + \text{Q}$ とする。 In の量を多くすることにより、トランジスタの移動度を向上させることができる。

30

40

【0134】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ (m は 0 より大きい数) で表記される材料を用いることができる。ここで、 M は、 Ga 、 Al 、 Mn 、及び Co から選ばれた一つ又は複数の金属元素を示す。例えば M としては、 Ga 、 Ga 及び Al 、 Ga 及び Mn 、又は Ga 及び Co などが挙げられる。

【0135】

導電層 405a 乃至導電層 405d 及び導電層 406a 乃至導電層 406d のそれぞれは、トランジスタのソース電極又はトランジスタのドレイン電極としての機能を有する。導電層 405a 乃至導電層 405d 及び導電層 406a 乃至導電層 406d としては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンな

50

どの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。また、導電層 405a 乃至導電層 405d、及び導電層 406a 乃至導電層 406d に適用可能な材料の層の積層により導電層 405a 乃至導電層 405d、及び導電層 406a 乃至導電層 406d のそれぞれを構成することができる。

【0136】

例えば、アルミニウム又は銅の金属層と、チタン、モリブデン、又はタングステンなどの高融点金属層との積層により導電層 405a 乃至導電層 405d 及び導電層 406a 乃至導電層 406d を構成することができる。また、複数の高融点金属層の間にアルミニウム又は銅の金属層が設けられた積層により導電層 405a 乃至導電層 405d、及び導電層 406a 乃至導電層 406d を構成することもできる。また、ヒロックやウイスキーの発生を防止する元素 (Si、Nd、Sc など) が添加されているアルミニウム層を用いて導電層 405a 乃至導電層 405d、及び導電層 406a 乃至導電層 406d を構成することにより、耐熱性を向上させることができる。

10

【0137】

また、導電層 405a 乃至導電層 405d 及び導電層 406a 乃至導電層 406d として、導電性の金属酸化物を含む層を用いることもできる。導電性の金属酸化物としては、例えば酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO)、酸化インジウム酸化スズ合金 (In_2O_3 SnO_2 、ITO と略記する)、若しくは酸化インジウム酸化亜鉛合金 (In_2O_3 ZnO)、又はこれらの金属酸化物に酸化シリコンを含むものを用いることができる。

20

【0138】

さらに導電層 405a 乃至導電層 405d 及び導電層 406a 乃至導電層 406d の形成に用いられる材料を用いて他の配線を形成してもよい。

【0139】

絶縁層 427 は、トランジスタのチャネル形成層を保護する層 (チャネル保護層ともいう) としての機能を有する。絶縁層 427 としては、例えば絶縁層 447 に適用可能な材料の層を用いることができる。また、絶縁層 427 に適用可能な材料の層の積層により絶縁層 427 を構成することもできる。

【0140】

酸化物絶縁層 407a 及び酸化物絶縁層 407c としては、酸化物絶縁層を用いることができ、例えば酸化シリコン層などを用いることができる。また、酸化物絶縁層 407a 及び酸化物絶縁層 407c に適用可能な材料の層の積層により酸化物絶縁層 407a 及び酸化物絶縁層 407c を構成することもできる。

30

【0141】

さらに、本実施の形態のトランジスタの作製方法の一例として、図 7 (A) に示すトランジスタの作製方法例について、図 8 (A) 乃至図 8 (D) を用いて説明する。図 8 (A) 乃至図 8 (D) は、図 7 (A) に示すトランジスタの作製方法例を説明するための断面模式図である。

【0142】

まず、基板 400a を準備し、基板 400a の上に第 1 の導電膜を形成し、第 1 の導電膜を選択的にエッチングすることにより導電層 401a を形成する (図 8 (A) 参照)。

40

【0143】

例えば、第 1 のフォトリソグラフィ工程により第 1 の導電膜の一部の上に第 1 のレジストマスクを形成し、第 1 のレジストマスクを用いて第 1 の導電膜をエッチングすることにより導電層 401a を形成することができる。なお、この場合、導電層 401a の形成後に第 1 のレジストマスクを除去する。

【0144】

例えば、導電層 401a に適用可能な材料の膜を用いて第 1 の導電膜を形成することができる。また、第 1 の導電膜に適用可能な材料の膜を積層させ、第 1 の導電膜を形成することもできる。

50

【0145】

なお、インクジェット法を用いてレジストマスクを形成してもよい。インクジェット法を用いることにより、フォトマスクが不要になるため、製造コストを低減することができる。また、多階調マスクを用いてレジストマスクを形成してもよい。多階調マスクは、透過した光が複数の強度となる露光マスクである。多階調マスクを用いることにより、膜厚の異なる部分を有するレジストマスクを形成することができるため、一つのレジストマスクを用いて複数種のエッチングを連続して行うことができるため、製造コストを低減することができる。

【0146】

次に、導電層401aの上に第1の絶縁膜を形成することにより絶縁層402aを形成し、絶縁層402aの上に酸化物半導体膜を形成し、その後酸化物半導体膜のエッチング及び第1の加熱処理を行うことにより酸化物半導体層403aを形成する(図8(B)参照)。

10

【0147】

例えば、スパッタリング法やプラズマCVD法などを用いて第1の絶縁膜を形成することができる。例えば、高密度プラズマCVD法(例えば μ 波(例えば、周波数2.45GHzの μ 波))を用いた高密度プラズマCVD法)を用いて第1の絶縁膜を形成することにより、絶縁層402aを緻密にすることができ、絶縁層402aの絶縁耐圧を向上させることができる。

【0148】

20

また、絶縁層402aに適用可能な材料の膜を用いて第1の絶縁膜を形成することができる。また、第1の絶縁膜に適用可能な材料の膜を積層させ、第1の絶縁膜を形成することもできる。

【0149】

また、スパッタリング法を用いて酸化物半導体膜を形成することができる。なお、このとき、希ガス雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下で酸化物半導体膜を形成してもよい。

【0150】

また、酸化物半導体層403aに適用可能な酸化物半導体材料を用いて酸化物半導体膜を形成することができる。

30

【0151】

例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol数比]の組成比である酸化物ターゲットを用いて酸化物半導体膜を形成することができる。また、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol数比]の組成比である酸化物ターゲットを用いて酸化物半導体膜を形成してもよい。なお、用いられる酸化物ターゲットにおける、全体の体積に対して全体の体積から空隙などが占める空間を除いた部分の体積の割合(充填率ともいう)は、90%以上100%以下、さらには95%以上99.9%以下であることが好ましい。充填率の高いターゲットを用いることにより、緻密な酸化物半導体膜を形成することができる。

【0152】

40

また、スパッタリングガスとして、例えば水素、水、水酸基、又は水素化物などの不純物が除去された高純度ガスを用いて酸化物半導体膜を形成することが好ましい。

【0153】

また、酸化物半導体膜を形成する前に、予備加熱を行ってもよい。上記予備加熱を行うことにより、絶縁層402a及び酸化物半導体膜の水素、水分などの不純物を脱離することができる。また、予備加熱室にて上記予備加熱を行う場合、予備加熱室に設ける排気手段として例えばクライオポンプを用いることが好ましい。

【0154】

また、基板400aを減圧状態にし、基板400aの温度を100 以上600 以下、好ましくは200 以上400 以下として酸化物半導体膜を形成してもよい。基板40

50

0 aを加熱することにより、酸化物半導体膜の不純物濃度を低減することができ、また、スパッタリング法による酸化物半導体膜の損傷を軽減することができる。

【0155】

また、例えば吸着型の真空ポンプなどを用いて酸化物半導体膜を形成する成膜室内の残留水分を除去することができる。吸着型の真空ポンプとしては、例えばクライオポンプ、イオンポンプ、又はチタンサブリメーションポンプなどを用いることができる。また、ターボポンプにコールドトラップを加えたものを用いて成膜室内の残留水分を除去することもできる。

【0156】

また、酸化物半導体膜を形成する前に、逆スパッタを行うことにより、絶縁層402aの表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、アルゴン、窒素、ヘリウム、又は酸素雰囲気下で、ターゲット側に電圧を印加せずに、基板側にRF電源を用いて電圧を印加し、プラズマを形成して基板の表面を改質する方法である。

【0157】

また、例えば、第2のフォトリソグラフィ工程により酸化物半導体膜の一部の上に第2のレジストマスクを形成し、第2のレジストマスクを用いて酸化物半導体膜をエッチングすることができる。なお、この場合酸化物半導体膜のエッチング後に第2のレジストマスクを除去する。

【0158】

このとき、例えばドライエッチング、ウェットエッチング、又はドライエッチング及びウェットエッチングの両方を用いて酸化物半導体膜をエッチングすることができる。また、例えば燐酸と酢酸と硝酸を混ぜた溶液などをエッチング液として用いることにより酸化物半導体膜をエッチングすることができる。また、エッチング液としてITO07N（関東化学社製）を用いて酸化物半導体膜をエッチングしてもよい。

【0159】

また、例えば400 以上750 以下、又は400 以上基板の歪み点未満の温度で第1の加熱処理を行う。第1の加熱処理により脱水化又は脱水素化を行うことができる。

【0160】

なお、加熱処理を行う加熱処理装置としては、電気炉、又は抵抗発熱体などの発熱体からの熱伝導又は熱輻射により被処理物を加熱する装置を用いることができ、例えばGRTA（Gas Rapid Thermal Anneal）装置又はLRTA（Lamp Rapid Thermal Anneal）装置などのRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、例えばハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、又は高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。また、GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスとしては、例えば希ガス、又は加熱処理によって被処理物と反応しない不活性気体（例えば窒素）を用いることができる。

【0161】

例えば、第1の加熱処理として、650 ～700 に加熱した不活性ガス中で数分間加熱する方式のGRTAを行ってもよい。

【0162】

なお、第1の加熱処理に用いるガスに水、水素などが含まれないことが好ましい。例えばガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、すなわち不純物濃度を1ppm以下、好ましくは0.1ppm以下とすることが好ましい。

【0163】

また、第1の加熱処理で酸化物半導体層を加熱した後、その加熱温度を維持しながら又はその加熱温度から降温する過程で、第1の加熱処理を行った炉と同じ炉に高純度の酸素ガ

10

20

30

40

50

ス、高純度の N_2O ガス、又は超乾燥エア（露点が -40 以下、好ましくは -60 以下の雰囲気）を導入してもよい。このとき、酸素ガス又は N_2O ガスは、水、水素などを含まないことが好ましい。また、加熱処理装置に導入する酸素ガス又は N_2O ガスの純度を、 $6N$ 以上、好ましくは $7N$ 以上、すなわち、酸素ガス又は N_2O ガス中の不純物濃度を $1ppm$ 以下、好ましくは $0.1ppm$ 以下とすることが好ましい。酸素ガス又は N_2O ガスの作用により、酸化物半導体層 $403a$ に酸素が供給され、酸化物半導体層 $403a$ を高純度化させることができる。

【0164】

なお、酸化物半導体膜を形成し、酸化物半導体膜のエッチングを行った後に第1の加熱処理を行ってもよい。また、酸化物半導体膜を形成し、第1の加熱処理を行った後に酸化物半導体膜のエッチングを行ってもよい。

10

【0165】

また、上記以外にも、酸化物半導体層形成後であれば、酸化物半導体層 $403a$ の上に導電層 $405a$ 及び導電層 $406a$ を形成した後、又は導電層 $405a$ 及び導電層 $406a$ の上に酸化物絶縁層 $407a$ を形成した後に第1の加熱処理を行ってもよい。

【0166】

また、酸化物半導体膜を2回に分けて成膜し、それぞれの酸化物半導体膜を成膜した後に加熱処理を行うことにより、膜表面に対して垂直に c 軸配向した結晶領域を有する酸化物半導体膜を形成してもよい。例えば、膜厚が $3nm$ 以上 $15nm$ 以下の第1の酸化物半導体膜を成膜し、さらに第1の加熱処理として、窒素、酸素、希ガス、又は乾燥エアの雰囲気下で 450 以上 850 以下、好ましくは 550 以上 750 以下の加熱処理を行い、表面を含む領域に結晶領域（板状結晶を含む）を有する第1の酸化物半導体膜を形成する。そして、第1の酸化物半導体膜よりも厚い第2の酸化物半導体膜を形成する。さらに第2の加熱処理として、 450 以上 850 以下、好ましくは 600 以上 700 以下の加熱処理を行い、第1の酸化物半導体膜を結晶成長の種として、第1の酸化物半導体膜から第2の酸化物半導体膜にかけて上方に向かって結晶成長させ、第2の酸化物半導体膜の全体を結晶化させることにより、膜表面に対して垂直に c 軸配向した結晶領域を有する酸化物半導体膜を形成することができる。上記酸化物半導体膜は、1層のみの酸化物半導体膜を形成する場合と比較して膜厚が厚い。

20

【0167】

次に、絶縁層 $402a$ 及び酸化物半導体層 $403a$ の上に第2の導電膜を形成し、第2の導電膜を選択的にエッチングすることにより導電層 $405a$ 及び導電層 $406a$ を形成する（図8（C）参照）。

30

【0168】

例えば、第3のフォトリソグラフィ工程により第2の導電膜の一部の上に第3のレジストマスクを形成し、第3のレジストマスクを用いて第2の導電膜をエッチングすることにより導電層 $405a$ 及び導電層 $406a$ を形成することができる。なお、この場合導電層 $405a$ 及び導電層 $406a$ の形成後に第3のレジストマスクを除去する。

【0169】

例えば、導電層 $405a$ 及び導電層 $406a$ に適用可能な材料の膜を用いて第2の導電膜を形成することができる。また、第2の導電膜に適用可能な材料の膜を積層させ、第2の導電膜を形成することもできる。

40

【0170】

第2の導電膜としては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の膜を用いることができる。また、第2の導電膜に適用可能な膜の積層膜により第2の導電膜を形成することができる。

【0171】

なお、紫外線や KrF レーザ光や ArF レーザ光を用いた露光処理により第3のレジストマスクを形成することが好ましい。酸化物半導体層 $403a$ の上で隣り合う導電層 405

50

aの下端部と導電層406aの下端部との間隔幅により、後に形成されるトランジスタのチャンネル長Lが決定される。なお、第3のレジストマスクの形成の際にチャンネル長 $L = 25\text{ nm}$ 未満となるように露光を行う場合には、数 nm ～数 10 nm と極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長Lを 10 nm 以上 1000 nm 以下とすることができる。

【0172】

また、導電層405a及び導電層406aを形成した後の工程で予備加熱を行ってもよい。上記予備加熱は、上記予備加熱と同様に行うことができる。

【0173】

次に、酸化物半導体層403aに接するように酸化物絶縁層407aを形成する。

【0174】

例えば、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下で、水又は水素などの不純物が混入しない方法(例えばスパッタリング法など)を用いて酸化物半導体層403a、導電層405a、及び導電層406aの上に第2の絶縁膜を形成することにより酸化物絶縁層407aを形成することができる。水又は水素などの不純物が混入しない方法を用いて酸化物絶縁層407aを形成することにより、酸化物半導体層のバックチャンネルの抵抗の低下を抑制することができる。また、酸化物絶縁層407a形成時の基板温度は、室温以上 300 以下であることが好ましい。

【0175】

また、例えば酸化シリコンターゲット又はシリコンターゲットなどを用いて第2の絶縁膜を形成することができる。例えば、シリコンターゲットを用い、酸素を含む雰囲気下でスパッタリング法により、第2の絶縁膜として酸化シリコン膜を形成することができる。

【0176】

また、スパッタリングガスとして、例えば水素、水、水酸基、又は水素化物などの不純物が除去された高純度ガスを用いて第2の絶縁膜を形成することが好ましい。

【0177】

また、酸化物絶縁層407aを形成する前に N_2O 、 N_2 、又はArなどのガスを用いたプラズマ処理を行い、露出している酸化物半導体層403aの表面に付着した吸着水などを除去してもよい。プラズマ処理を行った場合、その後、大気に触れることなく、酸化物絶縁層407aを形成することが好ましい。

【0178】

さらに、酸化物絶縁層407aを形成した後に不活性ガス雰囲気下、又は酸素ガス雰囲気下で第2の加熱処理(好ましくは 200 以上 400 以下、例えば 250 以上 350 以下)を行ってもよい。例えば、第2の加熱処理として、酸素雰囲気下で 250 、1時間の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層403aの上面の一部が酸化物絶縁層407aと接した状態で加熱される。

【0179】

以上の工程を経ることによって、水素、水分、水酸基、又は水素化物(水素化合物ともいう)などの不純物を酸化物半導体層から意図的に排除し、且つ酸素を酸化物半導体層に供給することができる。よって、酸化物半導体層は高純度化する。

【0180】

以上の工程でトランジスタが作製される(図8(D)参照)。

【0181】

また、酸化物絶縁層407aとして欠陥を多く含む酸化シリコン層を用いると、酸化シリコン層形成後の第2の加熱処理によって酸化物半導体層403a中に含まれる水素、水分、水酸基、又は水素化物などの不純物を酸化物絶縁層407aに拡散させ、酸化物半導体層403a中に含まれる該不純物をより低減させる効果を奏する。

【0182】

また、酸化物絶縁層407aの上にさらに保護絶縁層を形成してもよい。例えば、RFス

10

20

30

40

50

パッタリング法を用いて絶縁膜を形成することにより保護絶縁層を形成する。RFスパッタリング法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。以上が図7(A)に示すトランジスタの作製方法の一例である。

【0183】

なお、本実施の形態のトランジスタの作製方法では、酸素プラズマによる酸素ドーピング処理を行ってもよい。例えば2.45GHzの高密度プラズマにより酸素ドーピング処理を行ってもよい。なお、ゲート絶縁層としての機能を有する絶縁層形成後、酸化物半導体膜成膜後、第1の加熱処理後、ソース電極又はドレイン電極としての機能を有する導電層形成後、又は酸化物絶縁層形成後に酸素ドーピング処理を行うことができる。酸素ドーピング処理を行うことにより作製されるトランジスタの電気特性のばらつきを低減することができる。

10

【0184】

なお、図7(A)に示すトランジスタの作製方法の一例を示したが、これに限定されず、例えば図7(B)乃至図7(D)に示す各構成要素において、名称が図7(A)に示す各構成要素と同じであり且つ機能の少なくとも一部が図7(A)に示す各構成要素と同じであれば、図7(A)に示すトランジスタの作製方法の一例の説明を適宜援用することができる。

【0185】

図7及び図8を用いて説明したように、本実施の形態のトランジスタは、ゲート電極としての機能を有する第1の導電層と、ゲート絶縁層としての機能を有する絶縁層と、絶縁層を介して第1の導電層に重畳し、チャンネルが形成される酸化物半導体層と、酸化物半導体層に電氣的に接続され、ソース電極及びドレイン電極の一方としての機能を有する第2の導電層と、酸化物半導体層に電氣的に接続され、ソース電極及びドレイン電極の他方としての機能を有する第3の導電層と、を含み、該酸化物半導体層は、酸化物絶縁層に接する構造である。

20

【0186】

また、チャンネルが形成される酸化物半導体層は、高純度化させることによりI型又は実質的にI型となった酸化物半導体層である。酸化物半導体層を高純度化させることにより、酸化物半導体層のキャリア濃度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満にすることができ、温度変化による特性変化を抑制することができる。また、上記構造にすることにより、チャンネル幅1 μm あたりのオフ電流を10aA($1 \times 10^{-17}\text{A}$)以下にすること、さらにはチャンネル幅1 μm あたりのオフ電流を1aA($1 \times 10^{-18}\text{A}$)以下、さらにはチャンネル幅1 μm あたりのオフ電流を10zA($1 \times 10^{-20}\text{A}$)以下、さらにはチャンネル幅1 μm あたりのオフ電流を1zA($1 \times 10^{-21}\text{A}$)以下、さらには100yA($1 \times 10^{-22}\text{A}$)以下にすることができる。トランジスタのオフ電流は、低ければ低いほどよいが、本実施の形態のトランジスタのオフ電流の下限値は、約 $10^{-30}\text{A} / \mu\text{m}$ であると見積もられる。

30

【0187】

さらに、特性評価用素子でのオフ電流の測定値について以下に説明する。

40

【0188】

特性評価用素子として用いる $L/W = 3 \mu\text{m} / 10000 \mu\text{m}$ のトランジスタの初期特性(ゲート及びソースの間の電圧(電圧 V_G ともいう)とソース及びドレインの間の電流(電流 I_D)との関係)を図9に示す。なお、測定において、基板温度を室温とし、ソース-ドレイン間電圧(以下、ドレイン電圧または電圧 V_D という)を1V又は10Vとし、ゲート及びソースの間の電圧を-20V~+20Vとした。

【0189】

図9に示すように、 $L/W = 3 \mu\text{m} / 10000 \mu\text{m}$ のトランジスタは、エンハンスメント型になり、該トランジスタでは、ドレイン電圧が1V及び10Vにおけるオフ電流が $1 \times 10^{-13} [\text{A}]$ 以下であり、測定機(半導体パラメータ・アナライザ、Agilent

50

t 4156C; Agilent社製)の分解能(100fA)以下となっている。

【0190】

さらに、別の特性評価用回路によるリーク電流測定を用いた、本実施の形態のトランジスタの一例のオフ電流の値の算出例について以下に説明する。

【0191】

まず、特性評価用回路の構成について、図10を用いて説明する。図10は、特性評価用回路の構成を示す回路図である。

【0192】

図10に示す特性評価用回路は、複数の測定系801を備える。複数の測定系801は、互いに並列に接続される。ここでは、一例として8個の測定系801が並列に接続される構成とする。

10

【0193】

測定系801は、トランジスタ811と、トランジスタ812と、容量素子813と、トランジスタ814と、トランジスタ815と、を含む。

【0194】

トランジスタ811のソース及びドレインの一方には、電圧V1が入力され、トランジスタ811のゲートには、電圧Vext_aが入力される。トランジスタ811は、電荷注入用のトランジスタである。

【0195】

トランジスタ812のソース及びドレインの一方は、トランジスタ811のソース及びドレインの他方に接続され、トランジスタ812のソース及びドレインの他方には、電圧V2が入力され、トランジスタ812のゲートには、電圧Vext_bが入力される。トランジスタ812は、リーク電流評価用のトランジスタである。なお、ここでのリーク電流とは、トランジスタのオフ電流を含むリーク電流である。

20

【0196】

容量素子813の第1の電極は、トランジスタ811のソース及びドレインの他方に接続され、容量素子813の第2の電極には、電圧V2が入力される。ここでは、電圧V2として0Vが入力される。

【0197】

トランジスタ814のソース及びドレインの一方には、電圧V3が入力され、トランジスタ814のゲートは、トランジスタ811のソース及びドレインの他方に接続される。なお、トランジスタ814のゲートと、トランジスタ811のソース及びドレインの他方、トランジスタ812のソース及びドレインの一方、並びに容量素子813の第1の電極との接続箇所をノードAともいう。

30

【0198】

トランジスタ815のソース及びドレインの一方は、トランジスタ814のソース及びドレインの他方に接続され、トランジスタ815のソース及びドレインの他方には、電圧V4が入力され、トランジスタ815のゲートには、電圧Vext_cが入力される。なお、ここでは、電圧Vext_cとして0.5Vが入力される。

【0199】

さらに、測定系801は、トランジスタ814のソース及びドレインの他方と、トランジスタ815のソース及びドレインの一方との接続箇所の電圧を出力電圧Voutとして出力する。

40

【0200】

ここでは、トランジスタ811の一例として、酸化物半導体層を含み、チャネル長 $L = 10 \mu m$ 、チャネル幅 $W = 10 \mu m$ のトランジスタを用いる。また、トランジスタ814及びトランジスタ815の一例として、酸化物半導体層を含み、チャネル長 $L = 3 \mu m$ 、チャネル幅 $W = 100 \mu m$ のトランジスタを用いる。また、トランジスタ812の一例として、酸化物半導体層を含み、酸化物半導体層の上部にソース電極及びドレイン電極が接し、ソース電極及びドレイン電極と、ゲート電極とのオーバーラップ領域を設けず、幅 1μ

50

mのオフセット領域を有するボトムゲート構造のトランジスタを用いる。オフセット領域を設けることにより、寄生容量を低減することができる。さらにトランジスタ812としては、チャンネル長L及びチャンネル幅Wの異なる6条件のトランジスタを用いる（表1参照）。

【0201】

【表1】

	チャンネル長L[μm]	チャンネル幅W[μm]
条件1	1.5	1×10^5
条件2	3	1×10^5
条件3	10	1×10^5
条件4	1.5	1×10^6
条件5	3	1×10^6
条件6	10	1×10^6

10

【0202】

図10に示すように、電荷注入用のトランジスタと、リーク電流評価用のトランジスタとを別々に設けることにより、電荷注入の際に、リーク電流評価用のトランジスタを常にオフ状態に保つことができる。電荷注入用のトランジスタを設けない場合には、電荷注入の際に、リーク電流評価用トランジスタを一度オン状態にする必要があるが、オン状態からオフ状態の定常状態に到るまでに時間を要するような素子では、測定に時間を要してしまう。

20

【0203】

また、電荷注入用のトランジスタと、リーク電流評価用のトランジスタとを別々に設けることにより、それぞれのトランジスタを適切なサイズとすることができる。また、リーク電流評価用トランジスタのチャンネル幅Wを、電荷注入用のトランジスタのチャンネル幅Wよりも大きくすることにより、リーク電流評価用トランジスタのリーク電流以外の特性評価回路のリーク電流成分を相対的に小さくすることができる。その結果、リーク電流評価用トランジスタのリーク電流を高い精度で測定することができる。同時に、電荷注入の際に、リーク電流評価用トランジスタを一度オン状態とする必要がないため、リーク電流評価用トランジスタのチャンネル形成領域の電荷の一部がノードAに流れ込むことによるノードAの電圧変動の影響もない。

30

【0204】

一方、電荷注入用トランジスタのチャンネル幅Wを、リーク電流評価用トランジスタのチャンネル幅Wよりも小さくすることにより、電荷注入用トランジスタのリーク電流を相対的に小さくすることができる。また、電荷注入の際に、電荷注入用トランジスタのチャンネル形成領域の電荷の一部がノードAに流れ込むことによるノードAの電圧変動の影響も小さい。

【0205】

また、図10に示すように、複数の測定系を並列接続させた構造にすることにより、より正確に特性評価回路のリーク電流を算出することができる。

40

【0206】

次に、図10に示す特性評価回路を用いた、本実施の形態のトランジスタの一例のオフ電流の値の算出方法について説明する。

【0207】

まず、図10に示す特性評価回路のリーク電流測定方法について、図11を用いて説明する。図11は、図10に示す特性評価回路を用いたリーク電流測定方法を説明するためのタイミングチャートである。

【0208】

図10に示す特性評価回路を用いたリーク電流測定方法は、書き込み期間及び保持期間に

50

分けられる。それぞれの期間における動作について、以下に説明する。

【 0 2 0 9 】

まず、書き込み期間において、電圧 V_{ext_b} として、トランジスタ 8 1 2 がオフ状態となるような電圧 V_L (- 3 V) を入力する。また、電圧 V_1 として、書き込み電圧 V_w を入力した後、電圧 V_{ext_a} として、一定期間トランジスタ 8 1 1 がオン状態となるような電圧 V_H (5 V) を入力する。これによって、ノード A に電荷が蓄積され、ノード A の電圧は、書き込み電圧 V_w と同等の値になる。その後、電圧 V_{ext_a} として、トランジスタ 8 1 1 がオフ状態となるような電圧 V_L を入力する。その後、電圧 V_1 として、電圧 V_{SS} (0 V) を入力する。

【 0 2 1 0 】

その後、保持期間において、ノード A が保持する電荷量の変化に起因して生じるノード A の電圧の変化量の測定を行う。電圧の変化量から、トランジスタ 8 1 2 のソース電極とドレイン電極との間を流れる電流値を算出することができる。以上により、ノード A の電荷の蓄積とノード A の電圧の変化量の測定とを行うことができる。

【 0 2 1 1 】

このとき、ノード A の電荷の蓄積及びノード A の電圧の変化量の測定（蓄積及び測定動作ともいう）を繰り返し行う。まず、第 1 の蓄積及び測定動作を 1 5 回繰り返し行う。第 1 の蓄積及び測定動作では、書き込み期間に書き込み電圧 V_w として 5 V の電圧を入力し、保持期間に 1 時間の保持を行う。次に、第 2 の蓄積及び測定動作を 2 回繰り返し行う。第 2 の蓄積及び測定動作では、書き込み期間に書き込み電圧 V_w として 3 . 5 V の電圧を入力し、保持期間に 5 0 時間の保持を行う。次に、第 3 の蓄積及び測定動作を 1 回行う。第 3 の蓄積及び測定動作では、書き込み期間に書き込み電圧 V_w として 4 . 5 V の電圧を入力し、保持期間に 1 0 時間の保持を行う。蓄積及び測定動作を繰り返し行うことにより、測定した電流値が、定常状態における値であることを確認することができる。言い換えると、ノード A を流れる電流 I_A のうち、過渡電流（測定開始後から時間経過とともに減少していく電流成分）を除くことができる。その結果、より高い精度でリーク電流を測定することができる。

【 0 2 1 2 】

一般に、ノード A の電圧 V_A は、出力電圧 V_{out} の関数として式 (1) のように表される。

【 0 2 1 3 】

【 数 1 】

$$V_A = F(V_{out}) \quad (1)$$

【 0 2 1 4 】

また、ノード A の電荷 Q_A は、ノード A の電圧 V_A 、ノード A に接続される容量 C_A 、定数 ($const$) を用いて、式 (2) のように表される。ここで、ノード A に接続される容量 C_A は、容量素子 8 1 3 の容量と容量素子 8 1 3 以外の容量成分の和である。

【 0 2 1 5 】

【 数 2 】

$$Q_A = C_A V_A + const \quad (2)$$

【 0 2 1 6 】

ノード A の電流 I_A は、ノード A に流れ込む電荷（またはノード A から流れ出る電荷）の時間微分であるから、ノード A の電流 I_A は、式 (3) のように表される。

【 0 2 1 7 】

【数 3】

$$I_A \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t} \quad (3)$$

【0218】

なお、ここでは、一例として、 t を約54000secとする。このように、ノードAに接続される容量 C_A と、出力電圧 V_{out} から、リーク電流であるノードAの電流 I_A を求めることができるため、特性評価回路のリーク電流を求めることができる。

10

【0219】

次に、上記特性評価回路を用いた測定方法による出力電圧の測定結果及び該測定結果より算出した特性評価回路のリーク電流の値を示す。

【0220】

図12に、一例として、条件4、条件5、及び条件6における上記測定（第1の蓄積及び測定動作）に係る経過時間 T_{ime} と、出力電圧 V_{out} との関係を示す。図13に、上記測定に係る経過時間 T_{ime} と、該測定によって算出された電流 I_A との関係を示す。測定開始後から出力電圧 V_{out} が変動しており、定常状態に到るためには10時間以上必要であることがわかる。

【0221】

20

また、図14に、上記測定により得られた値から見積もられた条件1乃至条件6におけるノードAの電圧とリーク電流の関係を示す。図14では、例えば条件4において、ノードAの電圧が3.0Vの場合、リーク電流は28yA/ μ mである。リーク電流にはトランジスタ812のオフ電流も含まれるため、トランジスタ812のオフ電流も28yA/ μ m以下とみなすことができる。

【0222】

また、図15乃至図17に、85、125、及び150における上記測定により見積もられた条件1乃至条件6におけるノードAの電圧とリーク電流の関係を示す。図15乃至図17に示すように、150の場合であっても、リーク電流は、100zA/ μ m以下であることがわかる。

30

【0223】

以上のように、チャネル形成層としての機能を有し、高純度化された酸化物半導体層を含むトランジスタを用いた特性評価用回路において、リーク電流が十分に低いため、上記トランジスタのオフ電流が十分に小さいことがわかる。また、上記トランジスタのオフ電流は、温度が上昇した場合であっても十分に低いことがわかる。

【0224】

(実施の形態6)

本実施の形態では、上記実施の形態の記憶回路の構造例について説明する。

【0225】

本実施の形態における記憶回路の構造例について、図18及び図19を用いて説明する。図18及び図19は、本実施の形態における記憶回路の構造例を示す図であり、図18(A)は、パルス変換回路の平面模式図であり、図18(B)は、図18(A)における線分A-Bの断面模式図であり、図19(A)は、単位記憶回路の平面模式図であり、図19(B)は、図19(A)における線分C-Dの断面模式図であり、図19(C)は、図19(A)における線分E-Fの断面模式図である。なお、図18及び図19では、酸化物半導体層を含むトランジスタの一例として、上記実施の形態における、図7(A)を用いて説明した構造のトランジスタを用いる場合を示す。

40

【0226】

図18及び図19に示す記憶回路は、半導体層502a乃至半導体層502cと、絶縁層505と、導電層506aと、導電層506bと、絶縁層507と、導電層508a乃至

50

導電層 508c と、絶縁層 509 と、半導体層 510a と、半導体層 510b と、導電層 511a 乃至導電層 511h と、絶縁層 512 と、導電層 513a 乃至導電層 513c と、を含む。

【0227】

半導体層 502a 乃至半導体層 502c のそれぞれは、絶縁層 501 を介して基板 500 の一平面に設けられる。

【0228】

半導体層 502a は、互いに離間して設けられた不純物領域 503a 及び不純物領域 504a を含む。半導体層 502a は、パルス変換回路における P 型トランジスタのチャネル形成層としての機能を有する。また、不純物領域 503a は、パルス変換回路における P 型トランジスタのソース領域及びドレイン領域の一方としての機能を有する。また、不純物領域 504a は、パルス変換回路における P 型トランジスタのソース領域及びドレイン領域の他方としての機能を有する。

10

【0229】

半導体層 502b は、単位記憶回路における保持容量の第 1 の電極としての機能を有する。

【0230】

半導体層 502c は、互いに離間して設けられた不純物領域 503b 及び不純物領域 504b を有する。半導体層 502c は、単位記憶回路における出力用トランジスタのチャネル形成層としての機能を有する。また、不純物領域 503b は、単位記憶回路における出力用トランジスタのソース領域及びドレイン領域の一方としての機能を有する。また、不純物領域 504b は、単位記憶回路における出力用トランジスタのソース領域及びドレイン領域の他方としての機能を有する。

20

【0231】

絶縁層 505 は、半導体層 502a 乃至半導体層 502c 及び絶縁層 501 を介して基板 500 の一平面に設けられる。絶縁層 505 は、パルス変換回路における P 型トランジスタのゲート絶縁層、単位記憶回路における保持容量の誘電体層、及び単位記憶回路における出力用トランジスタのゲート絶縁層としての機能を有する。

【0232】

導電層 506a は、絶縁層 505 を介して半導体層 502a に重畳する。導電層 506a は、パルス変換回路における P 型トランジスタのゲート電極としての機能を有する。

30

【0233】

導電層 506b は、絶縁層 505 を介して半導体層 502c に重畳する。導電層 506b は、単位記憶回路における出力用トランジスタのゲート電極としての機能を有する。

【0234】

絶縁層 507 は、絶縁層 505、導電層 506a、及び導電層 506b に積層される。絶縁層 507 は、平坦化絶縁層としての機能を有する。

【0235】

導電層 508a 及び導電層 508b は、絶縁層 507 に積層される。

【0236】

導電層 508a は、パルス変換回路における N 型トランジスタのゲート電極としての機能を有する。

40

【0237】

導電層 508b は、単位記憶回路における選択用トランジスタのゲート電極としての機能を有する。

【0238】

導電層 508c は、絶縁層 505 及び絶縁層 507 を介して半導体層 502b に重畳する。また、導電層 508c は、単位記憶回路における保持容量の第 2 の電極としての機能を有する。

【0239】

50

絶縁層 509 は、絶縁層 507 及び導電層 508 a 乃至導電層 508 c に積層される。絶縁層 509 は、パルス変換回路における N 型トランジスタのゲート絶縁層及び単位記憶回路における選択用トランジスタのゲート絶縁層としての機能を有する。

【0240】

半導体層 510 a は、絶縁層 509 を介して導電層 508 a に重畳する。半導体層 510 a は、パルス変換回路における N 型トランジスタのチャネル形成層としての機能を有する。

【0241】

半導体層 510 b は、絶縁層 509 を介して導電層 508 b に重畳する。半導体層 510 b は、単位記憶回路における選択用トランジスタのチャネル形成層としての機能を有する。

10

【0242】

導電層 511 a は、半導体層 502 a における不純物領域 503 a に電氣的に接続される。導電層 511 a は、パルス変換回路における P 型トランジスタのソース電極及びドレイン電極の一方としての機能を有する。

【0243】

導電層 511 b は、半導体層 502 b における不純物領域 504 a 及び半導体層 510 a に電氣的に接続される。導電層 511 b は、パルス変換回路における P 型トランジスタのソース電極及びドレイン電極の他方、並びにパルス変換回路における N 型トランジスタのソース電極及びドレイン電極の一方としての機能を有する。

20

【0244】

導電層 511 c は、半導体層 510 a に電氣的に接続される。導電層 511 c は、パルス変換回路における N 型トランジスタのソース電極及びドレイン電極の他方としての機能を有する。

【0245】

導電層 511 d は、半導体層 510 b に電氣的に接続される。導電層 511 d は、単位記憶回路における選択用トランジスタのソース電極及びドレイン電極の一方としての機能を有する。

【0246】

導電層 511 e は、半導体層 510 b に電氣的に接続される。導電層 511 e は、単位記憶回路における選択用トランジスタのソース電極及びドレイン電極の他方としての機能を有する。

30

【0247】

導電層 511 f は、半導体層 502 c における不純物領域 503 b に電氣的に接続される。導電層 511 f は、単位記憶回路における出力用トランジスタのソース電極及びドレイン電極の一方としての機能を有する。

【0248】

導電層 511 g は、半導体層 502 c における不純物領域 504 b に電氣的に接続される。導電層 511 g は、単位記憶回路における出力用トランジスタのソース電極及びドレイン電極の他方としての機能を有する。

40

【0249】

導電層 511 h は、絶縁層 509 に積層される。また、導電層 511 h は、単位記憶回路においてデータ信号が入力されるビット線としての機能を有する。

【0250】

絶縁層 512 は、絶縁層 509、半導体層 510 a、半導体層 510 b、及び導電層 511 a 乃至導電層 511 h に接する。

【0251】

導電層 513 a は、導電層 508 b に電氣的に接続される。導電層 513 a は、単位記憶回路において行アドレス信号が入力されるワード線としての機能を有する。なお、導電層 513 a を必ずしも設けなくてもよく、導電層 508 b がワード線としての機能を有する

50

構成にしてもよい。

【0252】

導電層513bは、導電層508cに電氣的に接続される。導電層513bは、単位記憶回路において読み出し信号が入力される読み出し線としての機能を有する。なお、導電層513bを必ずしも設けなくてもよく、導電層508cが読み出し線としての機能を有する構成にしてもよい。

【0253】

導電層513cは、導電層511d及び導電層511hに電氣的に接続される。

【0254】

基板500としては、図7(A)における基板400aに適用可能な基板を用いることができる。

10

【0255】

絶縁層501としては、図7(D)における絶縁層447に適用可能な材料の層を用いることができる。また、絶縁層501に適用可能な材料の層を積層して絶縁層501を構成してもよい。

【0256】

半導体層502a乃至半導体層502cとしては、元素周期表における第14族の半導体(シリコンなど)を含有する半導体層を用いることができる。

【0257】

不純物領域503a及び不純物領域504aは、P型の導電性を付与する不純物元素を添加することにより形成される。また、不純物領域503b及び不純物領域504bは、P型又はN型の導電性を付与する不純物元素を添加することにより形成される。P型の導電性を付与する不純物元素としては、例えばボロンなどを用いることができ、N型の導電性を付与する不純物元素としては、例えばリンなどを用いることができる。

20

【0258】

絶縁層505及び絶縁層509としては、図7(A)における絶縁層402aに適用可能な材料の層を用いることができる。また、絶縁層505及び絶縁層509に適用可能な材料の層を積層して絶縁層505及び絶縁層509を構成してもよい。

【0259】

導電層506a、導電層506b、及び導電層508a乃至導電層508cとしては、例えば図7(A)における導電層401aに適用可能な材料の層を用いることができる。また、導電層506a、導電層506b、及び導電層508a乃至導電層508cに適用可能な材料の層を積層して導電層506a、導電層506b、及び導電層508a乃至導電層508cを構成してもよい。

30

【0260】

絶縁層507としては、例えばポリイミド、アクリル、ベンゾシクロブテン、などの有機材料の層を用いることができる。また平坦化絶縁層としては、低誘電率材料(low-k材料ともいう)の層を用いることもできる。また、絶縁層507に適用可能な材料の層の積層により絶縁層507を構成することもできる。

【0261】

半導体層510a及び半導体層510bとしては、図7(A)に示す酸化物半導体層403aに適用可能な材料の層を用いることができる。

40

【0262】

導電層511a乃至導電層511h、及び導電層513a乃至導電層513cとしては、図7(A)における導電層405a又は導電層406aに適用可能な材料の層を用いることができる。また、導電層511a乃至導電層511h及び導電層513a乃至導電層513cに適用可能な材料の層を積層して導電層511a乃至導電層511h及び導電層513a乃至導電層513cを構成してもよい。

【0263】

絶縁層512としては、図7(A)における酸化物絶縁層407aに適用可能な材料の層

50

を用いることができる。また、絶縁層 5 1 2 に適用可能な層を積層して絶縁層 5 1 2 を構成してもよい。

【 0 2 6 4 】

図 1 8 及び図 1 9 を用いて説明したように、本実施の形態の記憶回路は、同一基板上にパルス変換回路及び単位記憶回路を備える構造である。上記構造にすることにより同一工程でパルス変換回路及び単位記憶回路を作製することができるため、製造コストを低減することができる。なお、本実施の形態の記憶回路を、パルス変換回路及び単位記憶回路と、他の回路（第 1 の駆動回路、第 2 の駆動回路、及び制御回路の一つ又は複数）と、を同一基板上に備える構造としてもよい。

【 0 2 6 5 】

10

（実施の形態 7）

本実施の形態では、上記実施の形態の無線通信により信号の送受信が可能な半導体装置を備えた情報媒体について説明する。

【 0 2 6 6 】

本実施の形態における情報媒体の構成例について、図 2 0 を用いて説明する。図 2 0 は、本実施の形態における情報媒体の構成例を示す図である。

【 0 2 6 7 】

図 2 0（A）に示す情報媒体は、個人情報記載されたカード型証明書である。図 2 0（A）に示すカード型証明書は、チップ 9 0 0 を有する。図 2 0（A）に示すカード型証明書は、チップ 9 0 0 を設けることにより、偽造防止など、セキュリティ機能を向上させることができる。カード型証明書としては、例えば、免許証又は住民票などが挙げられる。チップ 9 0 0 は、信頼性が高いため、上記カード型証明書などの長い期間使用するものに好適である。

20

【 0 2 6 8 】

図 2 0（B）に示す情報媒体は、チケット型情報媒体である。図 2 0（B）に示すチケット型情報媒体は、チップ 9 0 1 を有する。図 2 0（B）に示すチケット型情報媒体は、チップ 9 0 1 を設けることにより、チケット型情報媒体に記載された情報以外の情報をチップ 9 0 1 に記録しておくことができる。また、図 2 0（B）に示すチケット型情報媒体は、チップ 9 0 1 を設けることにより、偽造防止など、セキュリティ機能を向上させることができる。なお、チップ 9 0 1 は、信頼性が高いため、例えばチケットの一部に切り取り部を設け、チケット型情報媒体が不要になった際に、該切り取り部によりチップ 9 0 1 のみを切り取って回収し、チップ 9 0 1 のみを再利用することもできる。チケット型情報媒体としては、例えば紙幣又は乗車券、有価証券、若しくはその他の券などが挙げられる。

30

【 0 2 6 9 】

図 2 0（C）に示す情報媒体は、コイン型情報媒体である。コイン型情報媒体は、チップ 9 0 2 を有する。図 2 0（C）に示すコイン型情報媒体は、チップ 9 0 2 を設けることにより、コイン型情報媒体に記載された情報以外の情報をチップ 9 0 2 に記録しておくことができる。また、図 2 0（C）に示すコイン型情報媒体は、チップ 9 0 2 を設けることにより、偽造防止など、セキュリティ機能を向上させることができる。コイン型情報媒体としては、例えば硬貨又は乗車券、有価証券、若しくはその他の券などが挙げられる。

40

【 0 2 7 0 】

図 2 0（D）に示す情報媒体は、物品である。物品は、チップ 9 0 3 を有する。図 2 0（D）に示す物品は、チップ 9 0 3 を設けることにより、物品に記載された情報以外の情報をチップ 9 0 3 に記録しておくことができる。また、図 2 0（D）に示す物品は、チップ 9 0 3 を設けることにより、偽造防止など、セキュリティ機能を向上させることができる。なお、物品としては、特に限定されず、例えば電化製品又は生活用品など様々なものが挙げられる。

【 0 2 7 1 】

チップ 9 0 0 乃至チップ 9 0 3 としては、例えば上記実施の形態に示す無線通信が可能な半導体装置を適用することができる。

50

【 0 2 7 2 】

図 20 を用いて説明したように、本実施の形態の情報媒体の一例は、無線通信可能なチップを有する構成である。上記構成にすることにより、回路面積を小さくすることができる。また、上記構成にすることにより、無線通信によりチップが設けられた情報媒体の固有情報を読み出し、読み出した固有情報を利用することができる。これにより、情報媒体の管理が容易になり、また、セキュリティ性を向上させることができる。

【 符号の説明 】

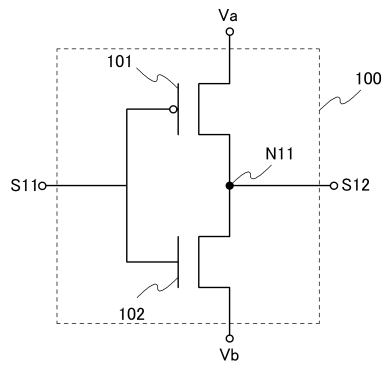
【 0 2 7 3 】

1 0 1	トランジスタ	
1 0 2	トランジスタ	10
1 5 1	インバータ	
1 5 2	インバータ	
2 0 1	パルス変換回路	
2 0 2	機能回路	
2 1 1	単位記憶回路	
2 1 3 v	駆動制御回路	
2 1 3 w	パルス変換回路	
2 1 3 x	第 1 の駆動回路	
2 1 3 y	第 2 の駆動回路	
2 3 1	トランジスタ	20
2 3 2	容量素子	
2 3 3	トランジスタ	
3 0 1	アンテナ回路	
3 0 2	電源回路	
3 0 3	復調回路	
3 0 4	記憶制御回路	
3 0 5	記憶回路	
3 0 6	符号化回路	
3 0 7	変調回路	
4 0 0 a	基板	30
4 0 0 b	基板	
4 0 0 c	基板	
4 0 0 d	基板	
4 0 1 a	導電層	
4 0 1 b	導電層	
4 0 1 c	導電層	
4 0 1 d	導電層	
4 0 2 a	絶縁層	
4 0 2 b	絶縁層	
4 0 2 c	絶縁層	40
4 0 2 d	絶縁層	
4 0 3 a	酸化物半導体層	
4 0 3 b	酸化物半導体層	
4 0 3 c	酸化物半導体層	
4 0 3 d	酸化物半導体層	
4 0 5 a	導電層	
4 0 5 b	導電層	
4 0 5 c	導電層	
4 0 5 d	導電層	
4 0 6 a	導電層	50

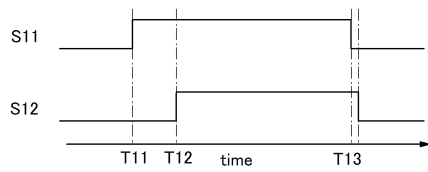
4 0 6 b	導電層	
4 0 6 c	導電層	
4 0 6 d	導電層	
4 0 7 a	酸化物絶縁層	
4 0 7 c	酸化物絶縁層	
4 2 7	絶縁層	
4 4 7	絶縁層	
5 0 0	基板	
5 0 1	絶縁層	
5 0 2 a	半導体層	10
5 0 2 b	半導体層	
5 0 2 c	半導体層	
5 0 3 a	不純物領域	
5 0 3 b	不純物領域	
5 0 4 a	不純物領域	
5 0 4 b	不純物領域	
5 0 5	絶縁層	
5 0 6 a	導電層	
5 0 6 b	導電層	
5 0 7	絶縁層	20
5 0 8 a	導電層	
5 0 8 b	導電層	
5 0 8 c	導電層	
5 0 9	絶縁層	
5 1 0 a	半導体層	
5 1 0 b	半導体層	
5 1 1 a	導電層	
5 1 1 b	導電層	
5 1 1 c	導電層	
5 1 1 d	導電層	30
5 1 1 e	導電層	
5 1 1 f	導電層	
5 1 1 g	導電層	
5 1 1 h	導電層	
5 1 2	絶縁層	
5 1 3 a	導電層	
5 1 3 b	導電層	
5 1 3 c	導電層	
8 0 1	測定系	
8 1 1	トランジスタ	40
8 1 2	トランジスタ	
8 1 3	容量素子	
8 1 4	トランジスタ	
8 1 5	トランジスタ	
9 0 0	チップ	
9 0 1	チップ	
9 0 2	チップ	
9 0 3	チップ	

【図 1】

(A)

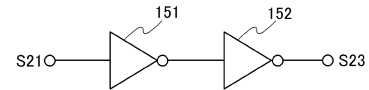


(B)

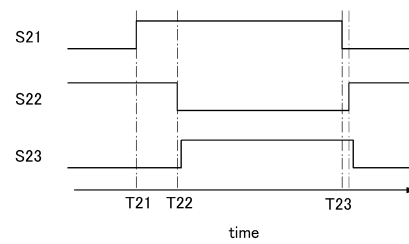


【図 2】

(A)

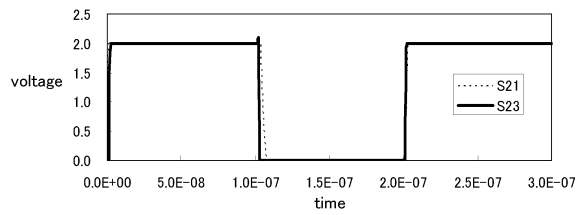


(B)

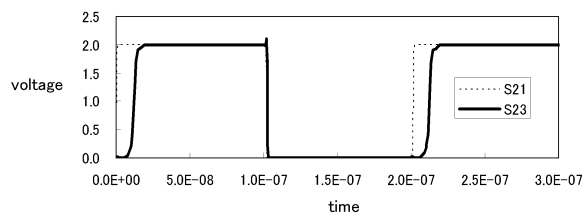


【図 3】

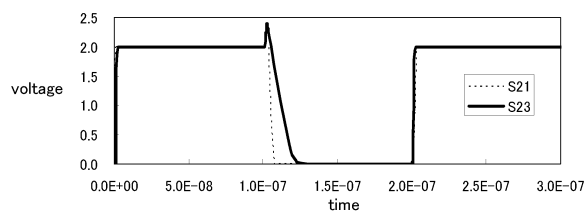
(A)



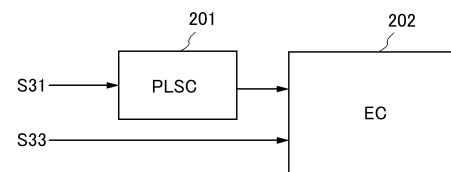
(B)



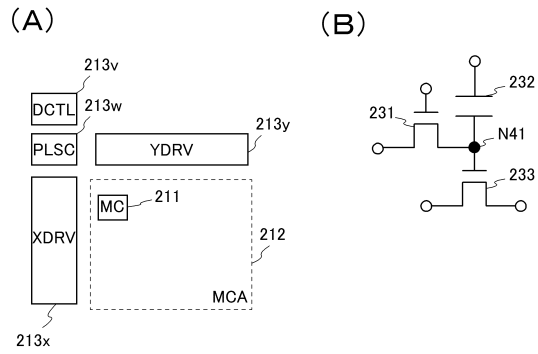
(C)



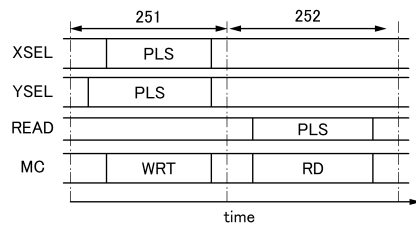
【図 4】



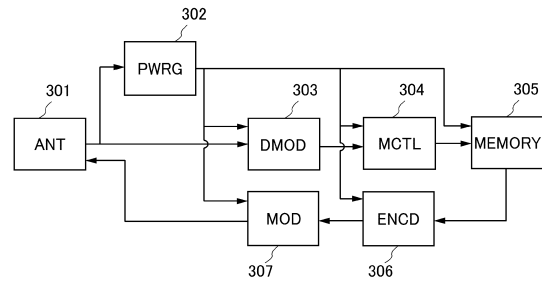
【図 5】



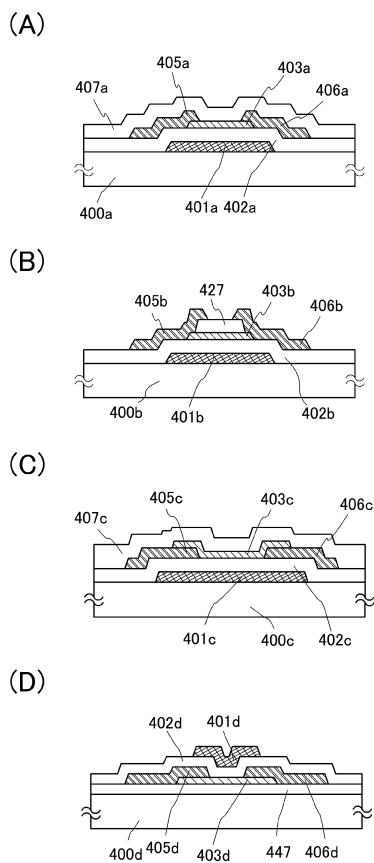
(C)



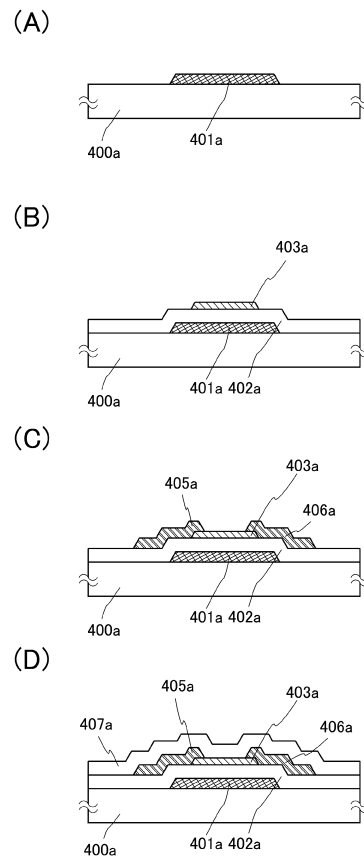
【図 6】



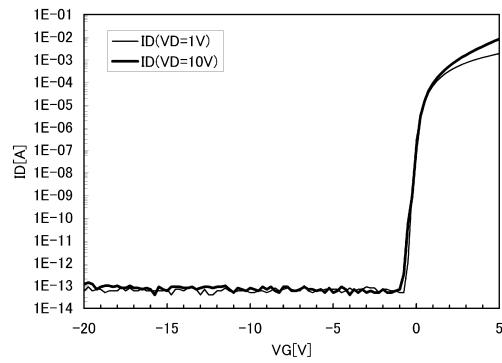
【図 7】



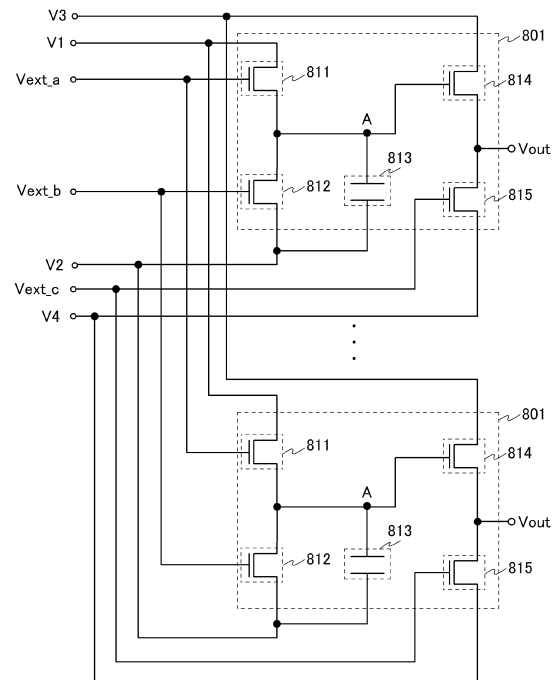
【図 8】



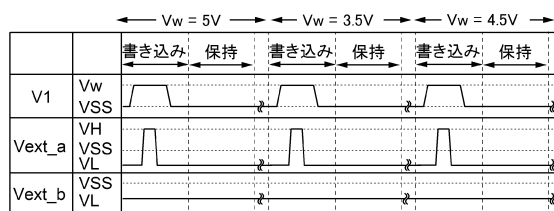
【図 9】



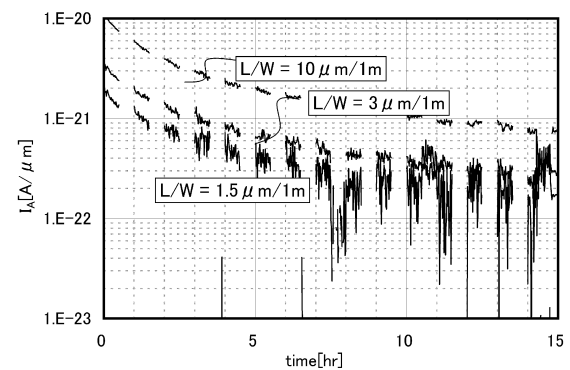
【図 10】



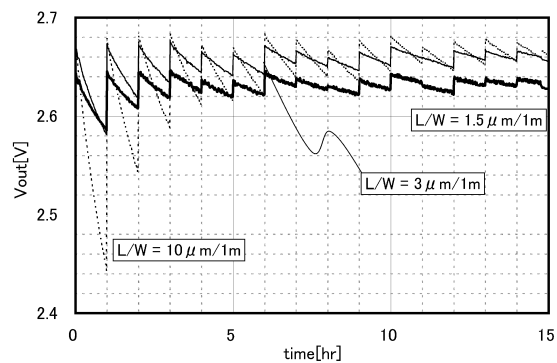
【図 11】



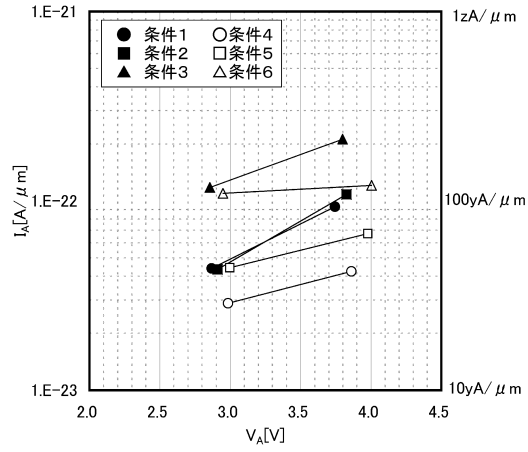
【図 13】



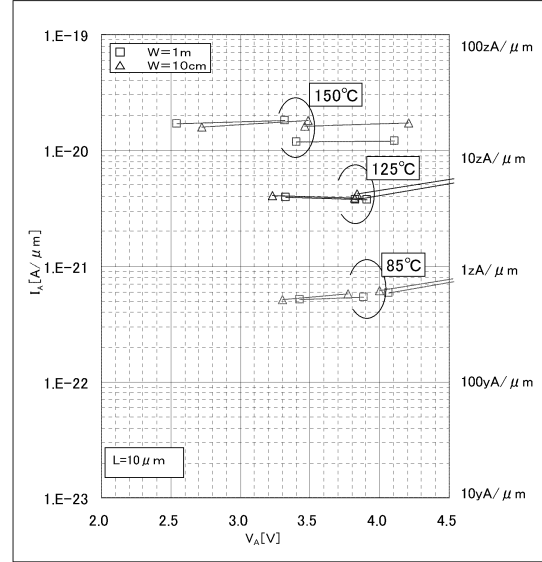
【図 12】



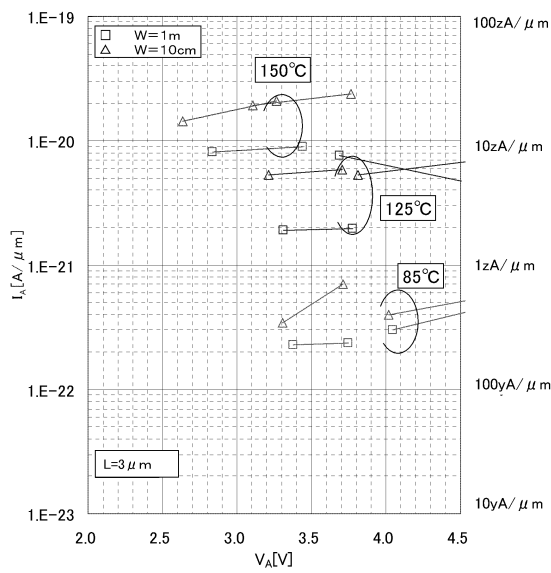
【図 14】



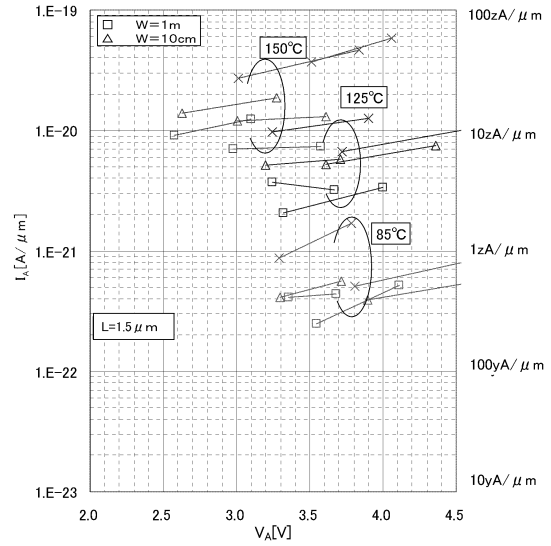
【図 15】



【図 16】

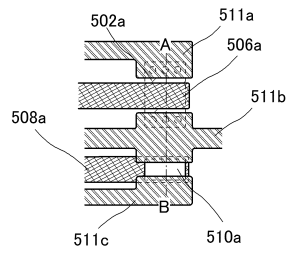


【図 17】

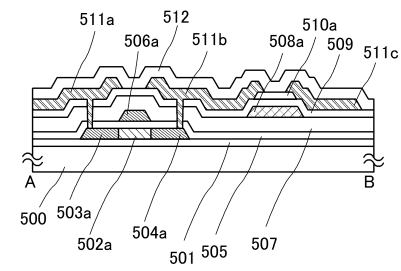


【図 18】

(A)

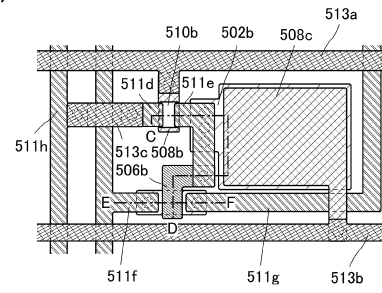


(B)

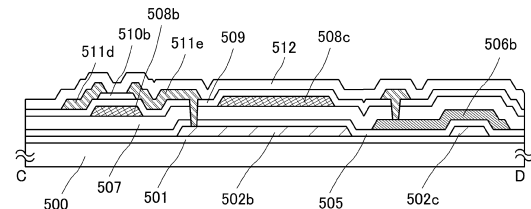


【図 19】

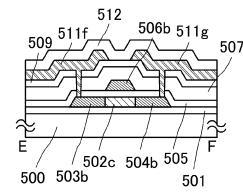
(A)



(B)

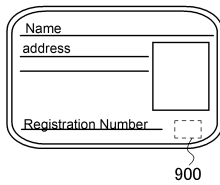


(C)

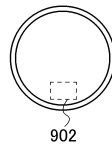


【図 20】

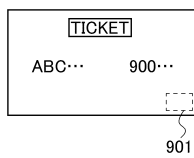
(A)



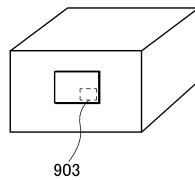
(C)



(B)



(D)



フロントページの続き

(56)参考文献 特開平 1 1 - 2 3 3 7 8 9 (J P , A)
特開 2 0 0 1 - 0 5 3 1 6 4 (J P , A)
特開平 1 1 - 0 2 7 1 1 3 (J P , A)
特開 2 0 0 7 - 2 9 8 6 4 9 (J P , A)
米国特許出願公開第 2 0 0 7 / 0 2 5 2 1 4 5 (U S , A 1)
特開 2 0 0 6 - 1 6 5 5 3 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 9 / 7 8 6
H 0 1 L	2 7 / 1 0 8
H 0 3 K	1 9 / 0 1 7 5
H 0 3 K	1 9 / 0 1 8 5