

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号  
特開2013-102417  
(P2013-102417A)

(43) 公開日 平成25年5月23日(2013.5.23)

|                          |                 |             |
|--------------------------|-----------------|-------------|
| (51) Int.Cl.             | F I             | テーマコード (参考) |
| H O 3 K 5/15 (2006.01)   | H O 3 K 5/15 P  | 5 F O 3 8   |
| H O 1 L 21/822 (2006.01) | H O 1 L 27/04 A | 5 F O 6 4   |
| H O 1 L 27/04 (2006.01)  | H O 1 L 21/82 W | 5 J O 3 9   |
| H O 1 L 21/82 (2006.01)  |                 |             |

審査請求 未請求 請求項の数 5 O L (全 13 頁)

|              |                              |          |                                            |
|--------------|------------------------------|----------|--------------------------------------------|
| (21) 出願番号    | 特願2012-172302 (P2012-172302) | (71) 出願人 | 000001007<br>キヤノン株式会社<br>東京都大田区下丸子3丁目30番2号 |
| (22) 出願日     | 平成24年8月2日(2012.8.2)          | (74) 代理人 | 100076428<br>弁理士 大塚 康德                     |
| (31) 優先権主張番号 | 特願2011-227436 (P2011-227436) | (74) 代理人 | 100112508<br>弁理士 高柳 司郎                     |
| (32) 優先日     | 平成23年10月14日(2011.10.14)      | (74) 代理人 | 100115071<br>弁理士 大塚 康弘                     |
| (33) 優先権主張国  | 日本国(JP)                      | (74) 代理人 | 100116894<br>弁理士 木村 秀二                     |
|              |                              | (74) 代理人 | 100130409<br>弁理士 下山 治                      |
|              |                              | (74) 代理人 | 100134175<br>弁理士 永川 行光                     |

最終頁に続く

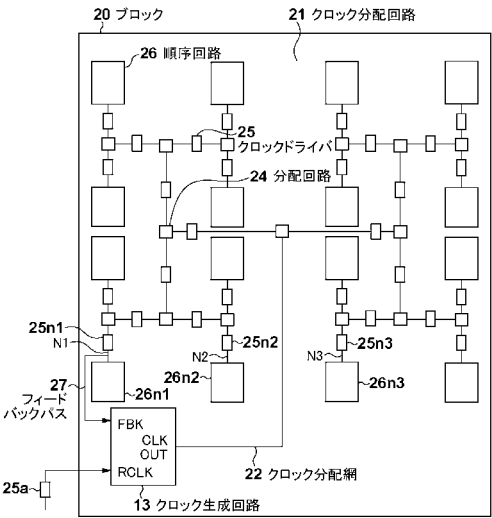
(54) 【発明の名称】 クロック分配回路

(57) 【要約】 (修正有)

【課題】フィードバックパスのバラツキの影響を最小限に抑え、クロックの位相の調整を高精度に行うことができるクロック分配回路を提供する。

【解決手段】クロック分配回路21は、クロック信号を生成するクロック生成回路、前記クロック信号が分配されるクロック分配網22、前記クロック分配網の分岐点N1を通じて分配されるクロック信号で動作する順序回路26、を有する。クロック分配回路は更に、前記分岐点から分岐した前記クロック信号をフィードバック信号として入力し、該入力したフィードバック信号とリファレンスクロック信号とに基づいて、前記クロック信号を前記クロック分配網へ出力するクロック生成回路を有する。前記分岐点は、前記クロック分配網の順序回路の前段のクロックドライバ25のうち、前記クロック生成回路の近傍にあるクロックドライバに設けられる。

【選択図】 図3



**【特許請求の範囲】****【請求項 1】**

クロック信号を生成するクロック生成回路と、前記クロック信号が分配されるクロック分配網と、前記クロック分配網の分岐点を通じて分配されるクロック信号で動作する順序回路とを有する、半導体集積回路のクロック分配回路であって、

前記分岐点から分岐した前記クロック信号をフィードバック信号として入力し、該入力したフィードバック信号とリファレンスクロック信号とに基づいて、前記クロック信号を前記クロック分配網へ出力するクロック生成回路を有し、

前記分岐点は、前記クロック分配網の順序回路の前段のクロックドライバのうち、前記クロック生成回路の近傍にあるクロックドライバに設けられる

10

ことを特徴とするクロック分配回路。

**【請求項 2】**

前記分岐点と前記クロック生成回路とを接続するフィードバックパスが配線集中を避けて構成されることを特徴とする請求項 1 に記載のクロック分配回路。

**【請求項 3】**

前記分岐点は、機能及び性能の少なくともいずれかに関連の低い順序回路の前段のクロックドライバに設けられることを特徴とする請求項 1 に記載のクロック分配回路。

**【請求項 4】**

前記クロック分配網は、前記クロック生成回路の近傍にフィードバック信号用の順序回路を含み、該フィードバック信号用の順序回路に分岐点を有することを特徴とする請求項 1 に記載のクロック分配回路。

20

**【請求項 5】**

前記分岐点は、他のクロックドメインで管理されるブロックとのデータ転送パスを有する順序回路の前段のクロックドライバに設けられることを特徴とする請求項 1 に記載のクロック分配回路。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、クロック分配回路に関する。

**【背景技術】**

30

**【0002】**

近年の半導体集積回路の微細化により、従来の半導体プロセスでは設計段階で考慮の必要がなかった新たな要因により生じる製造バラツキの問題が回路設計に大きな影響を及ぼすようになっている。

**【0003】**

あまり微細化が進んでいない世代のプロセスでは、一般にロットやウェハ、材料等のために生じる個体差の統計的分布を、バラツキとして取り扱ってきた。90nm世代以降の微細化が進んだプロセスでは、前述の個体差に加え、電圧降下や加工精度によるチップ内のトランジスタや配線の個体差も、タイミングのバラツキ要因として設計段階に考慮しなければならなくなった。

40

**【0004】**

すなわち、これらのバラツキの要因はタイミングの設計値に影響するために、タイミングマージンを多くとるという設計制約を加えなければならないことになる。特に、電気特性の違いはクロックスキューの直接の悪化要因になり、クロックの分岐以降が長いブロック間のIFのような場所では経路差に対して与えるバラツキ対策のタイミングマージンがサイクルタイム中の多くタイミングを使ってしまう。

**【0005】**

このような状況に対し、クロックによる同期回路を設計する際、PLLやDLL等の位相調整機構をチップ内に複数個利用して、クロックで駆動される末端の順序回路の位相を調整する方法が検討されている。このような方法としては、例えば、特開 2008 - 01060

50

7号公報に開示されるような実装形態がとられる。

【0006】

ここで、PLLやDLL等の位相調整の機構には、一般にフィードバックループの遅延が用いられる。しかし、クロックが駆動する末端の順序回路への経路を独立に設計したのでは、位相調整が不十分になる可能性がある。

【0007】

このため、特定の順序回路へのクロック経路の一部をフィードバックループバスの共通の経路として利用する方法として、例えば、特開2007-336003号公報に開示されるような実装形態が考えられる。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2008-010607号公報

【特許文献2】特開2007-336003号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、現在では更に微細化が進み、マスクパターンの露光や素子や配線を構成する薄膜の形成や研磨などの製造工程で起こるバラツキの問題まで設計段階に考慮しなければならない状況となっている。

【0010】

すなわち、全く同一の構造の素子や配線により回路をレイアウトしたとしても、配置される位置や周辺の回路のパターンにより製造段階に形状や電気特性が変わってしまう製造工程のバラツキが無視できなくなってきた。

【0011】

この製造工程で起こるバラツキの影響はシステマティックな要因とランダムな要因との両方の要因が関係するため、設計段階で正確に予測することが難しい。

【0012】

ここで、従来のPLLやDLL等の位相調整機構のフィードバックループバスの形成方法では、クロック経路の多くを共通化し末端の順序回路の位相情報をフィードバックしている。しかし、微細化したプロセスではフィードバックバス分岐以降の独立した経路内のクロックドライバと配線の製造工程で起こるバラツキの影響を無視することができない。従って、従来の手法ではバラツキの問題を完全に排除することは難しく、位相調整の精度低下が予想される。

【0013】

特許文献2において、図1に示すような複数のDLL,PLLなどのクロック生成回路13を備え、クロック生成回路13ごとにクロック分配網12a,12bを構成したクロック分配回路11a,11bが開示されている。クロック生成回路13が異なるクロック分配網12a,12b(クロックドメイン)に属する順序回路間をつなぐデータ転送パス18を持つ順序回路16a,16bの分岐点NA1,NB1からフィードバックする経路17a,17bを設けている。

【0014】

ここでは、一つのブロック10aについて着目して説明を行う。

【0015】

フィードバックを行う分岐点の設ける位置は次のように決定される。フィードバック分岐点NA1から順序回路16aのクロック入力端子までのバスによる遅延とフィードバック分岐点NA1からクロック生成回路13のフィードバッククロック端子までのバスによる遅延が0になるように決定される。位置的には、遅延時間差が小さくなるように、できるだけリーフに近くなるように分岐点が選択される。

【0016】

特許文献2において、製造工程における遅延時間のバラツキを考える。クロック生成回

10

20

30

40

50

路13のCLKOUTから順序回路16aのクロック入力まで遅延は理想的な設計値からばらつく。同様に、クロック生成回路13のCLKOUTからクロック生成回路13のFBK端子までの遅延も理想的な設計値からばらつく。ここで、クロック生成回路13のCLKOUTから分岐点NA1までを共用する構成にすることで、共用部分のバラツキは正確にクロック生成回路13の位相調整に反映させることができる。

【0017】

しかし、分岐点NA1から順序回路16aのクロック入力までの遅延と分岐点NA1からクロック生成回路13のFBK端子までの遅延の差分が生じる。

【0018】

従来のフィードバック回路の形成方法では、順序回路に最も近いクロックドライバの入力端子側に分岐点NA1を設けている。そのため、分岐点NA1から順序回路16aまでの遅延時間と分岐点NA1からクロック生成回路13までの遅延時間を合わせるために、フィードバックパス17内にクロックドライバ15a2を必要とする。その結果、フィードバックパス内のクロックドライバ15a2がバラツキの影響を受ける。分岐点NA1から順序回路16aのクロック入力までの遅延時間A1と分岐点NA1からクロック生成回路13のFBK端子までの遅延時間A2に差分が生じ、正しい位相情報をフィードバックすることができず、位相調整の精度が低下してしまう(図2参照)。フィードバックパス内でのバラツキが生じると、クロック分配網内のすべての順序回路に影響を与えてしまい、位相調整の精度が低下してしまう可能性がある。

【0019】

また、クロック生成回路13と分岐点NA1の間の物理的な距離が考慮されていない。そのためフィードバックパス17が長くなる可能性があり、フィードバックパス17の配線自体(配線wf1,wf2)もバラツキの影響を受け、遅延時間に差が生じてしまい、位相調整の精度低下の要因となる。

【0020】

そこで、本発明では、フィードバックパスのバラツキの影響を最小限に抑え、クロックの位相の調整を高精度に行うことができるクロック分配回路を提供することを目的とする。

【課題を解決するための手段】

【0021】

本発明の一側面によれば、クロック信号を生成するクロック生成回路と、前記クロック信号が分配されるクロック分配網と、前記クロック分配網の分岐点を通じて分配されるクロック信号で動作する順序回路とを有する、半導体集積回路のクロック分配回路であって、前記分岐点から分岐した前記クロック信号をフィードバック信号として入力し、該入力したフィードバック信号とリファレンスクロック信号とに基づいて、前記クロック信号を前記クロック分配網へ出力するクロック生成回路を有し、前記分岐点は、前記クロック分配網の順序回路の前段のクロックドライバのうち、前記クロック生成回路の近傍にあるクロックドライバに設けられることを特徴とするクロック分配回路が提供される。

【発明の効果】

【0022】

本発明によれば、フィードバックパスのバラツキの影響を最小限に抑え、クロックの位相の調整を高精度に行うことができるクロック分配回路を提供することができる。

【図面の簡単な説明】

【0023】

【図1】従来技術におけるクロック分配回路の構成を示す概略図。

【図2】従来例におけるクロック信号、フィードバック信号の波形タイミングを示すタイミングチャート。

【図3】実施形態におけるクロック分配回路の構成を示す概略図。

【図4】実施形態におけるクロック信号、フィードバック信号の波形タイミングを示すタイミングチャート。

【図5】他の実施形態におけるクロック分配回路の構成例を示す概略図。

【図6】実施例1における、レイアウトデータに基づいてフィードバックパスを設ける方法を示すフローチャート。

【図7】実施例3における、レイアウトデータに基づいてフィードバックパスを設ける方法を示すフローチャート。

【発明を実施するための形態】

【0024】

<実施例1>

以下、実施形態に係るクロック分配回路について説明する。図3は本実施形態におけるクロック分配回路の構成の一例を示す概略ブロック図である。クロック分配回路21は、半導体集積回路に設けられ、外部のクロック信号の周波数および位相を参照信号として生成されたクロック信号を、複数の順序回路26へ分配する。順序回路26は、供給されたクロック信号に基づき動作する。

10

【0025】

クロック分配回路21は、クロック分配網22と、PLL・DLLなどのクロック生成回路23と、分配回路24と、クロックドライバ25と、配線とを具備する。フィードバック分岐点として、クロック分配網の最終段のクロックドライバのうち、クロック生成回路23の近傍にあるクロックドライバに分岐点N1を設ける。分岐点N1の決定方法については後述する。

【0026】

なお、本実施例ではクロック生成回路には同一遅延時間で外部からリファレンスクロック信号が入力されているものとする。

20

【0027】

クロック生成回路23は、フィードバック信号を、リファレンスクロック信号に同期するように周波数および位相を変調し、クロック信号としてクロック分配網22に出力する。ここで、リファレンスクロック信号は、外部からクロックドライバ25n1および配線を介して、クロック生成回路23のリファレンスクロック端子RCLKに供給される外部クロック信号である。フィードバック信号は、フィードバック分岐点N1からフィードバックパス27を介して、クロック生成回路23のフィードバッククロック端子FBKに供給されるクロック信号である。

【0028】

30

クロック分配回路21は、クロック生成回路23のクロック出力端子CLKOUTから出力されたクロック信号を複数の順序回路26に分配する。クロック分配網22は、クロック分配網22を構成する配線と、その配線の途中に設けられた複数の分配回路24、複数のクロックドライバ25を備える。クロック分配網22上には、複数の分岐点（クロック生成回路23の近傍から順にN1,N2,N3）が存在する。

【0029】

ここで、フィードバックパスの設定について、二つの方法を説明する。一つは、クロック配線後および配置配線後のレイアウトデータに基づいてフィードバックパスの分岐点を選出しフィードバックパスを設ける方法である。もう一つは、あらかじめフィードバックパスを設ける分岐点を選定しておき、配線実行前の概略配置処理であるフロアプランにて配置制約を施すことでフィードバックパスの分岐点の配置を制御してフィードバックパスを設ける方法である。

40

【0030】

まず、図6のフローチャートを参照して、レイアウトデータに基づいてフィードバックパスを設ける方法について説明する。ここでは、例えば、通常のCTS (Clock Tree Synthesis) 手法などによってクロック配線が実行され詳細な配置配線が実行された後のレイアウトデータが活用される。はじめに、レイアウトデータに基づいてクロック生成回路の近傍に存在する順序回路を抽出する（S601）。図3では、順序回路25n1,25n2,25n3がクロック生成回路の近傍に存在する。よってここでは、フィードバックパス分岐点は、クロック分配回路網の最終段のクロックドライバ25n1,25n2,25n3のうちクロック生成回路23近

50

傍にあるいずれかのクロックドライバ25n1, 25n2, 25n3の出力端子側の位置に設定される。

【0031】

次に、抽出した順序回路について、フィードバックパスの遅延時間を算出する（S602）。ここでは、順序回路25n1, 25n2, 25n3にフィードバックパスを設けた際の遅延時間を算出する。

【0032】

次に、当該算出した遅延時間が設計マージン内に収まっているかどうか判定し、最もクロック生成回路の近傍に存在する順序回路を選定する（S603）。ここでは、順序回路25n1が選定されたとする。そして、選定された順序回路の前段のクロックドライバにフィードバックパスを設ける（S604）。 10

【0033】

次に、あらかじめフィードバックパスを設ける分岐点を選定しておき、フィードバックパスの分岐点の配置位置を制御してフィードバックパスを設ける方法について説明する。

【0034】

クロック配線および詳細な配置配線前の概略配置処理であるフロアプランにおいて、あらかじめ選定しておいた分岐点に接続される順序回路がクロック生成回路の近傍に配置されるように制約を与える。続いて、当該配置制約に基づいて、配置配線およびクロック配線を実行し、当該箇所が設計マージン内に収まるかどうかタイミング検証を実施する。設計マージン内に収まらない場合は、当該順序回路の配置位置を修正する。

【0035】

また、設計マージン内に収まるようにフィードバック分岐点N1に対してクロック生成回路23が近くに来るように配置させる構成であってもよい。 20

【0036】

以上のように、フィードバックパスのバラツキの影響を加味してフィードバックパスを設定した結果、図3のようなクロックの位相の調整を高精度に行うことができるクロック分配回路が実現される。

【0037】

図3では、例えば、分岐点をクロックドライバ25n1の出力端子に設けている。フィードバックパス27は、クロック生成回路23の近傍にあるクロックドライバ25n1の出力端子側から得るため、基本的には配線のみで構成することができ、遅延バラツキを生じさせる構成要素を最小限に抑えることができる。そのため、分岐点N1からリーフの順序回路26n1の間の遅延時間A3と分岐点N1からクロック生成回路23の間の遅延時間A4の差を小さくできる（図4参照）。また従来技術と比べて、フィードバックパスの経路が短く構成される可能性が高いので、周辺回路から受ける影響を小さくすることができる。なお、図3ではフィードバックパス27が配線のみで構成されているが、設計マージン内に収まるならば、クロックドライバが挿入されていても構わない。また設計マージン内に収まるようにフィードバック分岐点N1に対してクロック生成回路23が近くに来るように配置させるような構成であってもよい。 30

【0038】

したがって、同一のクロック分配パスによって分配されたクロック信号が、分岐点N1を設けた順序回路26n1のクロック入力と、フィードバック信号としてクロック生成回路23のFBK端子とに、分岐点N1からの分配遅延がほぼ等しくなるように分配される。このため、クロック生成回路のFBK端子でのクロック信号は、順序回路26n1のクロック入力のクロック信号と同じ周波数であり、ほぼ位相が等しく位相調整を正しく行うことができる。 40

【0039】

<実施例2>

上述の実施例1では、フィードバックパスの分岐点N1を、クロック生成回路23近傍にある順序回路の前段のクロックドライバ25n1の出力端子から得た。しかし、クロック生成回路23近傍で配線の集中が起きている場合には、配線混雑が生じないように分岐点を設けることもできる。例えば、クロック生成回路の近傍にSRAMや他のブロックとの接続を持つ回 50

路や制御信号を生成する回路など多数の接続関係を有する回路が存在する場合を考える。配線集中を避けるようにクロックドライバ分岐点を決定すると、配線混雑を起こすことなく位相調整をすることができる。この他は実施例 1 と同様である。

【 0 0 4 0 】

< 実施例 3 >

実施例 3 では、機能及び性能の少なくともいずれかに関連の低い、いわゆるタイミング設計に余裕があるデータパスを有する順序回路、もしくはタイミングマージンが多いデータパスを有する順序回路の前段のクロックドライバの出力端子に分岐点を設ける。

【 0 0 4 1 】

フィードバックパスの設定には、実施例 1 と同様に二つの方法がある。一つは、クロック配線後および配置配線後のレイアウトデータに基づいて、タイミング設計に余裕があるパスを抽出し、フィードバックパスの分岐点を選定する方法である。もう一つは、あらかじめタイミング設計に余裕があるデータパスを抽出しておき、配置配線実行前の、概略配置処理であるフロアプランにて配置制約を施すことでフィードバックパスの分岐点の配置を制御し、フィードバックパスを設ける方法である。

【 0 0 4 2 】

まず、図 7 のフローチャートを参照して、レイアウトデータに基づいてフィードバックパスを設ける方法について説明する。はじめに、レイアウトデータに基づいてクロック生成回路から近傍に存在する順序回路を抽出する ( S 7 0 1 )。次に、抽出した順序回路について、データパスの遅延時間を算出する ( S 7 0 2 )。次に、抽出した順序回路のデータパスタイミングが設計マージン内に収まっているかどうか判定し、最もマージンに余裕がある順序回路を選定する ( S 7 0 3 )。そして、選定された順序回路の前段のクロックドライバの出力端子側からフィードバックパスを得る ( S 7 0 4 )。

【 0 0 4 3 】

次に、あらかじめタイミング設計に余裕があるパスを抽出しておき、当該パスの分岐点がクロック生成回路の近傍に配置されるよう制御してフィードバックパスを設ける方法について説明する。

【 0 0 4 4 】

タイミング設計に余裕があるデータパスの抽出方法としては、配置配線まで実施して正確な遅延時間を算出する方法や、仮の配置配線まで実施して遅延時間を見積もる方法が考えられる。

【 0 0 4 5 】

クロック配線前、および詳細な配置配線前の概略配置処理であるフロアプランにおいて、あらかじめタイミング設計に余裕があるデータパスを有する順序回路がクロック生成回路の近傍に配置されるように制約を与える。

【 0 0 4 6 】

当該配置制約に基づいて、配置配線を実行する。

【 0 0 4 7 】

次に、当該箇所が設計マージン内に収まるかどうかタイミング検証を実施する。設計マージン内に収まらない場合は、当該順序回路やクロック生成回路の配置位置を修正し、再度タイミング検証を実施する。以上を繰り返し、設計マージン内に収まるようにフィードバックパスを設ける。

【 0 0 4 8 】

上記方法を実施することでタイミング設計に余裕のあるデータパスに対して製造工程に起因するバラツキの影響を抑制し、位相調整の精度を向上することができる。この他は実施例 1 と同様である。

【 0 0 4 9 】

< 実施例 4 >

実施例 4 ではクロック分配網に新たにフィードバック信号用の順序回路 ( ダミー順序回路 ) を設け、クロック信号生成回路の近傍に配置されるように構成する。ダミー順序回路

10

20

30

40

50

の入力端子に分岐点を設定し、位相情報のフィードバックを行う。ダミー順序回路と分岐点は配線のみで接続されることが望ましいが、ダミー順序回路と分岐点の間で遅延調整が必要な場合はクロックドライバが複数段構成されていても問題はない。

#### 【0050】

ダミー順序回路とクロック分配網との接続箇所については、実際に配置配線を実施して正確な配置状況から決定してもよいし、仮の配置配線を実施し配置状況を見積もって決定してもよい。

#### 【0051】

以上のような構成にすることで、近傍に配置された順序回路が性能や機能に大きく関連する順序回路である場合であっても、ダミー順序回路を用いることでドメイン間でのタイミング設計に悪影響を与えることなく位相調整を行うことができる。また近傍に配置された順序回路の周辺で配線の集中が起きている場合であっても、新たに設けた順序回路をクロック生成回路近傍に柔軟に配置し配線混雑を起こすことなく位相調整を行うことができる。

#### 【0052】

##### < 実施例5 >

実施例5では、異なるクロックで管理されるクロックドメインが複数存在する場合に着目する。異なるクロックドメイン間に属する回路間をつなぐデータ転送パスに着目し、データ転送パスを有する順序回路の前段のクロックドライバの出力端子に分岐点を設ける。

#### 【0053】

図5は、本実施例に係るクロック分配回路の一例を示す概略ブロック図である。クロック分配回路31は、半導体集積回路内に設けられ、第1のリファレンスクロック信号として外部のクロック信号の周波数および位相を参照信号として生成されたクロック信号を、複数の順序回路36へ分配する。ここで、順序回路36aと順序回路36bはデータ転送のため接続されている。データ転送パス38は、異ドメイン間データ転送パスを構成している。

#### 【0054】

クロック分配回路31は、クロック分配網32と、PLLなどのクロック生成回路33と、分配回路34、クロックドライバ35と、配線とを具備する。第1フィードバック信号用の分岐点として、クロック分配網の最終段のクロックドライバのうち、クロック生成回路近傍にあるクロックドライバに分岐点N1を設ける。分岐点N1の決定方法については後述する。

#### 【0055】

ここで、第1フィードバック信号用の分岐点は、クロック分配網の最終段のクロックドライバのうち、クロック生成回路33a近傍にあるクロックドライバ35na1の出力の端子側の位置に設定される。よって、フィードバックパス37は実際の回路レイアウトで製造バラツキによるタイミングのズレが設計マージンに収まるように構成される。フィードバックパス37は、クロック生成回路33近傍にあるクロックドライバ35na1の出力端子側から得るため、基本的には配線のみで構成することができ、遅延バラツキを生じさせる構成要素を最小限に抑えることができる。そのため分岐点NA1からリーフの順序回路36na1の間の遅延時間と分岐点N1からクロック生成回路33aの間の遅延時間を合わせることができ、位相調整の精度を向上することができる。なお、図5ではフィードバックパス37が配線のみで構成されているが、設計マージン内に収まるならばクロックドライバが挿入されていても構わない。また設計マージン内に収まるようにフィードバック分岐点NA1に対してクロック生成回路33aが近くに来るように配置させるような構成であってもよい。

#### 【0056】

したがって、分岐点NA1までの同一のクロック分配パスによって分配されたクロック信号が、分岐点NA1を設けた順序回路36aのクロック入力と、クロック生成回路33aのFBK端子とに、分岐点NA1からの分配遅延がほぼ等しくなるように分配される。このため、クロック生成回路のFBK端子でのクロック信号は、順序回路36aのクロック入力のクロック信号と同じ周波数であり、ほぼ位相が等しく位相調整を正しく行うことができる。

#### 【0057】

異なるクロックで管理されるブロック30bにおける回路構成も同様である。

【0058】

クロック生成回路33bは、第2フィードバック信号を、第2リファレンスクロック信号に同期するように周波数および位相を変調し、第2クロック信号としてクロック分配網32bに出力する。ここで、第2リファレンスクロック信号は、外部からクロックドライバ35bおよび配線を介して、クロック生成回路33bのリファレンスクロック端子RCLKに供給される外部クロック信号である。ここでは、第2リファレンスクロック信号は、第1リファレンスクロック信号と同一である。第2フィードバック信号は、第2フィードバック分岐点NB1からフィードバックパス37の配線を介して、クロック生成回路33bのフィードバッククロック端子FBKに供給される第2クロック信号である。

10

【0059】

分岐点の決定方法は、ブロック30aの分岐点と同様にクロック生成回路近傍にあるクロックドライバ35nb1の出力端子側に設定される。

【0060】

ブロック30aの接続される順序回路36のうちの順序回路36aと、ブロック30bの接続される順序回路36のうちの順序回路36bとは、データ転送パス38で接続されている。すなわち、順序回路36aと順序回路36bとの間にデータの授受があるため、両者に供給されるクロック信号の位相が揃っている必要がある。そのため、分岐点はデータ転送パスを有する順序回路36a、36bのクロック生成回路33a、33b近傍にあるクロックドライバ35na1、35nb1の出力端子側にそれぞれ設定される。図5ではクロック分配網32aにおける第1フィードバック分岐点NA1をクロックドライバ35na1の出力端子から順序回路36aのクロック入力端子までの間に設ける。同様にクロック分配網32bにおける第2フィードバック分岐点NB1をクロックドライバ35nb1の出力端子から順序回路36bのクロック入力端子までの間に設ける。第1フィードバック信号は順序回路36aのクロック入力のクロック信号とほぼ位相が等しくなる。クロック生成回路33aに第1フィードバック信号と第1リファレンスクロック信号が入力され、クロック生成回路内の位相比較器で位相差が0となるようにクロック生成回路33aは第1クロックを出力する。同様に第2フィードバック信号は順序回路36bのクロック入力のクロック信号とほぼ位相が等しくなる。クロック生成回路33bに第2フィードバック信号と第2リファレンスクロック信号が入力され、クロック生成回路内の位相比較器で位相差が0となるようにクロック生成回路33bは第2クロックを出力する。そしてクロック生成回路33a、33bには同じ位相のリファレンスクロック信号が入力されさえすれば、クロック生成回路33aのFBK端子における第1クロックとクロック生成回路33bのFBK端子における第2クロックとは同じ位相となる。したがって、順序回路36aでの第1クロック信号の位相と順序回路36bでの第2クロック信号とを概ね合わせることができる。その結果、順序回路36aと順序回路36bとの間のデータ転送のタイミングが合い、データ転送に悪影響を与えることなく、異ドメイン間の位相調整の精度を向上することができる。

20

30

【0061】

ここで、製造工程に起因する遅延のバラツキを考える。クロック生成回路33aのCLKOUTから順序回路36aのクロック入力までの分配遅延、およびクロック生成回路33aのCLKOUTからクロック生成回路33aのFBK端子までの遅延はバラツキの影響を受ける。しかし、クロック生成回路33aのCLKOUTから分岐点NA1までを共用する構成となっているため、共用部分のバラツキは正確にクロック生成回路33aの位相調整に反映することができる。製造工程に起因する遅延の実質的な影響は、分岐点NA1から順序回路36aのクロック入力までの配線による遅延と分岐点NA1からクロック生成回路33aのFBK端子までの配線による遅延の差分となる。フィードバックパス内にクロックドライバが構成されず、配線を短く構成できるためバラツキの影響を減少させることができる。このことは、クロック分配網32bについても同様である。したがって、順序回路36aから順序回路36bのデータ転送パスにおいて、製造工程に起因したバラツキに影響を抑え、精度の高い位相調整の行うことのできるクロック分配回路を構成できる。

40

【0062】

50

なお、順序回路36a,36bはF F、レジスタのほかに、クロックによって同期して出力する回路であればよい。また、クロック生成回路33a,33bから分岐点NA1,NB1までは、分岐点なしに複数のバッファを介して分岐点NA1,NB1に接続される構成であってもよい。

【0063】

本発明のクロック分配回路では、図3に示すようにフィードバックパスの分岐点をクロック生成部の近傍にあるクロックドライバの出力端子側からフィードバックパスを設けることで、バラツキが生じる構成要素を最小に抑え、正しく位相調整を行うことができる。

【0064】

さらに、分岐点を、配線集中が起きていないクロックドライバに設けることで、配線混雑を起こすことなく容易に位相調整を行うことができる。

【0065】

さらに、分岐点を、機能や性能に関係の低い順序回路（タイミング設計の余裕のあるデータパスを有する順序回路）のクロックドライバに設けることができる。こうすることで、ブロック内のタイミング調整に悪影響を与えることなく、容易に位相調整を行うことができる。

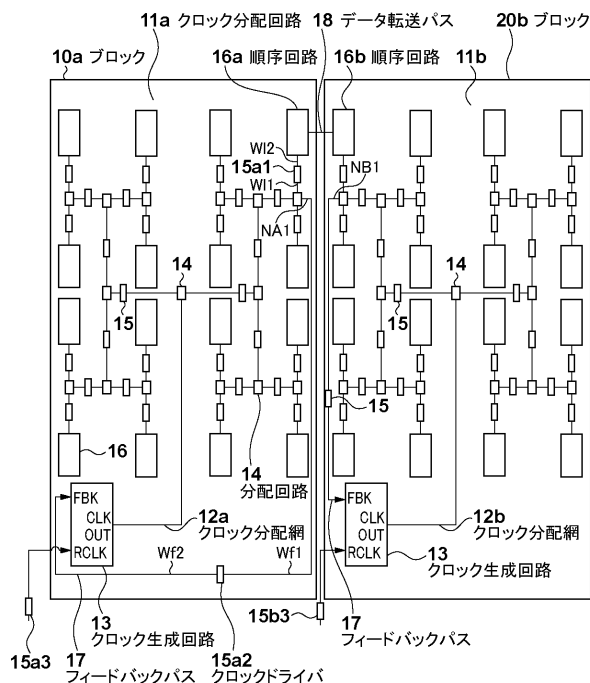
【0066】

さらに、クロック生成回路の近傍にフィードバックパスを設けるための順序回路を構成し、分岐点をクロックドライバから設けることができる。こうすることで、ブロック内やブロック間のタイミング調整に影響を与えることなく、容易に位相調整を行うことができる。

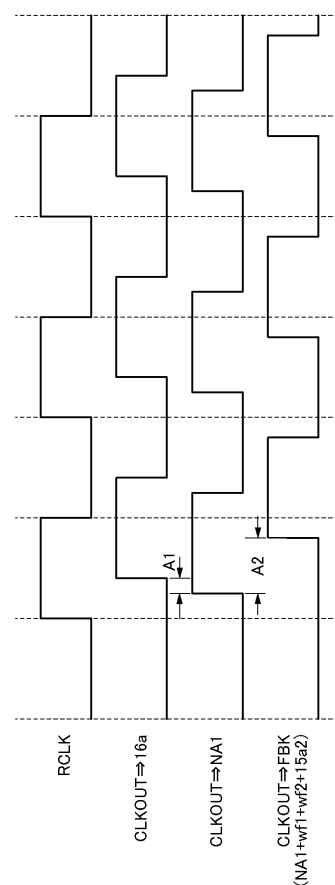
【0067】

さらに、分岐点を、他のクロック分配網（クロックドメイン）で管理されるブロックとのデータ転送パスを有する順序回路の前段のクロックドライバに設けることができる。こうすることで、ブロック間のタイミング調整に悪影響を与えることなく、容易に位相調整を行うことができる。

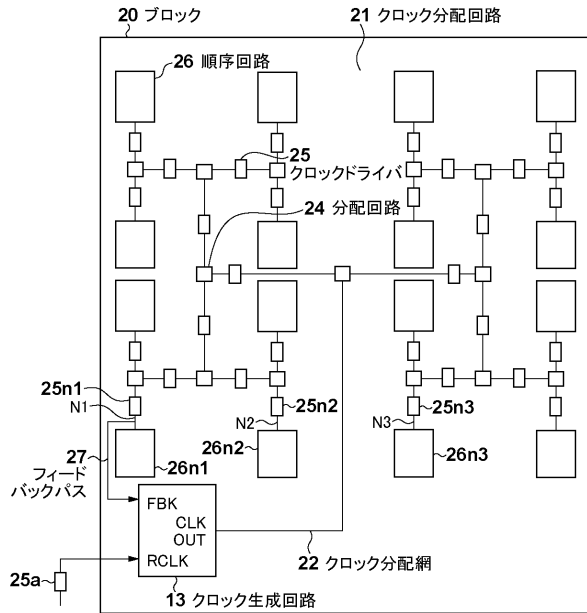
【図1】



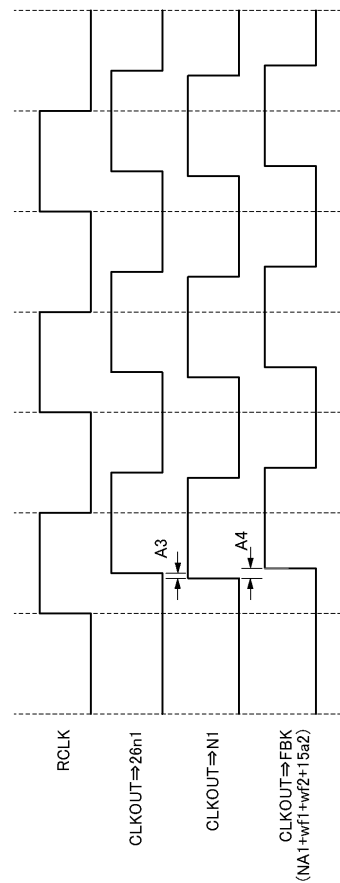
【図2】



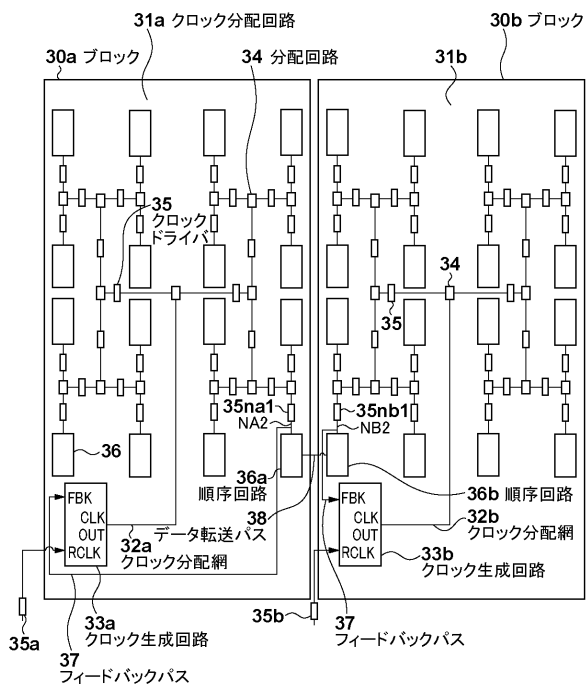
【図 3】



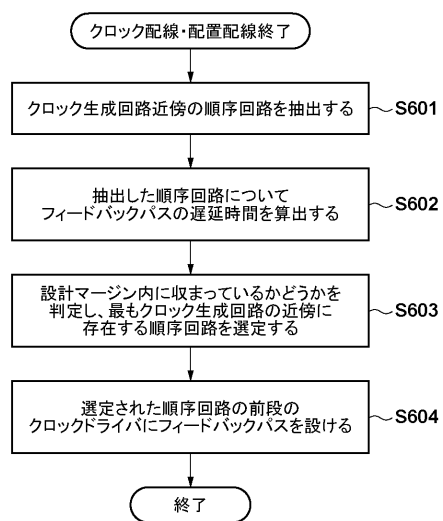
【図 4】



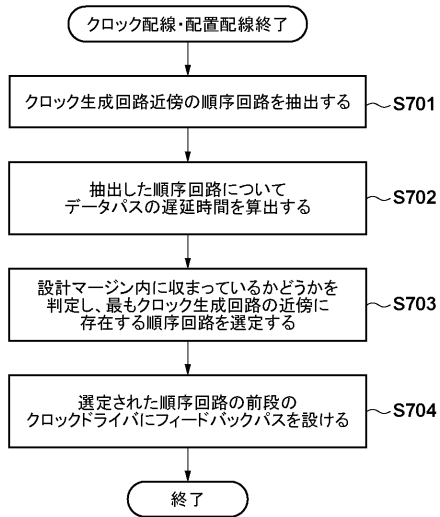
【図 5】



【図 6】



【 図 7 】



---

フロントページの続き

(72)発明者 藤森 和哉

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 5F038 CA03 CA17 CD06 CD09 DF01 EZ09 EZ20

5F064 BB02 BB26 DD02 EE08 EE15 EE47 EE54 HH06 HH11

5J039 EE13 MM01