(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 21/334

(11) 공개번호 특2003-0000497
(43) 공개일자 2003년01월06일

(21) 출원번호 10-2001-0036293
(22) 출원일자 2001년06월25일

(71) 출원인 아남반도체 주식회사
서울특별시 강남구 삼성동 154-17

(72) 발명자 오충영
서울특별시서초구반포본동반포주공아파트27-402

(74) 대리인 장성구
김원준

심사청구 : 있음

(54) NMOS 트랜지스터의 제조방법

요약

본 발명은 NMOS 트랜지스터의 제조방법에 관한 것으로, 특히 이는 소자분리막이 형성된 기판 표면에 스크린막을 형성하고, NMOS 트랜지스터가 형성될 기판에 p형 불순물로서 인듐(In)을 고에너지로 이온주입하여 펀치쓰루 조절영역을 형성한다. 즉, 본 발명은 NMOS 트랜지스터의 펀치쓰루 현상을 막기 위한 카운터 도핑시 붕소(B)보다 무거운 원자 인듐(In)을 이온 주입함으로써 LDD 이온주입시 펀치쓰루 방지를 위해 추가로 진행하는 할로(halo) 이온 주입 공정을 생략할 수 있다.

대표도

도 2c

명세서

도면의 간단한 설명

도 1a 내지 도 1g는 종래 기술에 의한 NMOS 트랜지스터의 제조 공정을 순차적으로 나타낸 공정 순서도,

도 2a 내지 도 2g는 본 발명에 따른 NMOS 트랜지스터의 제조 공정을 순차적으로 나타낸 공정 순서도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조방법에 관한 것으로서, 특히 NMOS 트랜지스터의 펀치쓰루(punch-through) 이온 주입시 p형 불순물로서 붕소(B)보다 무거운 인듐(indium:In)을 사용하여 단채널 효과(short channel effect)를 더욱 개선하면서 이후 NMOS의 LDD(Light Doped Drain) 이온주입시 추가로 진행하는 할로(halo) 이온 주입 공정을 생략할 수 있는 NMOS 트랜지스터의 제조방법에 관한 것이다.

일반적으로 반도체 소자의 집적도가 높아짐에 따라 소자의 크기가 크게 축소되고 있는 실정이다. 소자의 크기가 작아지면, 특히 트랜지스터의 경우 단채널 효과(short channel effect)가 발생하게 될 뿐만 아니라 내부전계가 커져 장기간에 걸쳐 안정적으로 디바이스를 작동시키는데 어렵게 된다.

이러한 트랜지스터의 단채널 효과로 인해 발생되는 문제가 펀치쓰루(punch-through) 현상이다. 펀치쓰루 현상이란 게이트전극에 바이어스 전압을 인가하지 않더라도 공핍 영역(depletion region)이 서로 중첩하게 되어 전류가 드리프트(drift)되는 것이다. 그래서 펀치쓰루 현상을 방지하기 위해 LDD 이온주입시 추가로 카운터 도핑(counter doping)을 실시하고 있다. 이는 LDD 이온 주입시 사용되는 불순물과 반대되는 타입으로 소정의 각도(보통 25° 35°)를 주어 카운터 도핑을 실시하여 LDD 영역의 기판 농도를 높임으로써 펀치쓰루 현상을 억제하는데 도움을 주는 것이다. 이러한 이온 주입은 LATIPS(Large Angle Tilt Implanted Punch-through Stopper), 포켓(pocket), 할로(halo) 등으로 명명되는데, 이후 설명부터는 할로 이온 주입이라 한다.

도 1a 내지 도 1g는 종래 기술에 의한 NMOS 트랜지스터의 제조 공정을 순차적으로 나타낸 공정 순서도이다.

먼저 도 1a에 도시된 바와 같이, 반도체 기판으로서 실리콘 기판(10)에 소자사이를 분리하는 소자분리막(12)을 형성한다. 그리고, 기판 표면에 스크린막(14)을 형성한다.

스크린막(14)을 형성한 후에, NMOS 트랜지스터가 형성될 기판 영역을 오픈하고 그외 영역을 마스킹하는 포토레지스트 패턴(16)을 형성한다. 그리고 포토레지스트 패턴(16)에 의해 드러난 NMOS용 기판(10)에 문턱전압(Vt), 펀치쓰루(punch-through), 채널 스탑(channel stop), 웰(well) 등의 연속적인 이온 주입 공정으로 리트로그레이드 웰(retrograde well) 구조를 형성한다.

도 1b에 도시된 바와 같이, p형 불순물로서 붕소(B)를 이온 주입하여 기판 표면 아래에 문턱전압(Vt) 조절영역(18)을 형성한다. 그리고, 동일한 타입(p형)의 불순물로서, 붕소(B)를 이온 주입하여 기판 내에 펀치쓰루 조절영역(20)을 형성한다. 이때, 펀치쓰루의 이온 주입은 65keV 75keV, 5.0E12 1.5E13의 농도로 한다. 이 펀치쓰루 조절영역(20)은 이후 형성될 LDD 구조에서 기판 농도를 증가시켜서 단채널 효과로 인한 펀치쓰루 현상 및 전압 강하효과를 방지한다.

그리고나서 도 1c에 도시된 바와 같이, NMOS 기판(10)에 p형 불순물로서 붕소(B)를 이온 주입하여 소자분리막(12) 하부까지의 기판내에 채널스탑 영역(22)을 형성한다. 그리고나서, p형 불순물로서, 붕소(B)를 이온 주입하여 NMOS 기판내에 p-웰(24)을 형성한다.

그 다음 도 1d에 도시된 바와 같이, 스크린막(14)을 제거하고 NMOS 기판 표면에 게이트 산화막(26)을 형성한 후에, 그 위에 도전 물질로 이루어진 게이트전극(28)을 형성한다.

그리고 도 1e에 도시된 바와 같이, NMOS의 LDD 이온 주입 공정을 실시한다. 이에 n형 불순물로서, 인(P) 또는 비소(As)를 이온 주입하여 LDD 영역(30)을 형성한다.

그리고나서 도 1f에 도시된 바와 같이, NMOS의 카운터 도핑으로 할로 이온 주입 공정을 실시한다. 이에 p형 불순물로서, 붕소(B)를 경사진 각도로 이온 주입하여 게이트전극(28)의 기판 아래에 할로 영역(32)을 형성한다. 이때, 할로 영역(32)의 이온 주입은 20keV 30keV, 1.3E13 2.0E13의 농도로 진행하고, 경사 각도는 보통 25° 30°로 진행한다. 이와 같은 할로 영역(32)또한 펀치쓰루 조절영역(20)과 마찬가지로 LDD 구조의 기판 농도를 높여서 펀치쓰루 및 전압 강하 현상을 방지한다.

그리고나서, 도 1g에 도시된 바와 같이, 게이트전극(28) 측벽에 스페이서(34)를 형성하고 NMOS의 소오스/드레인 이온 주입 공정을 실시한다. 이에, n형 불순물로서, 인(P) 또는 비소(As)를 이온 주입하여 소오스/드레인(S/D) 영역(36)을 형성한다.

종래 기술에 의한 NMOS 트랜지스터의 제조 방법은 단채널 효과로 인해 발생되는 펀치쓰루(punch-through) 현상을 방지하기 위하여 펀치쓰루 이온주입 및 할로 이온 주입 공정을 별도로 구분해서 실시하고 있다. 이러한 제조 공정은 할로 이온 주입 때문에 공정 수가 많아지고 공정이 다소 복잡해진다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 NMOS의 펀치쓰루 현상을 방지하는 이온 주입 공정을 1차로 단축하되, 붕소(B)보다 무거운 원자 인듐(In)을 적용함으로써, 붕소(B)에 비해 인듐(In)이 Rp의 피크치에서 더 고농도 특성을 나타내고 확산이 덜 되며 표면에서의 농도가 낮아 단채널 효과를 개선할 수 있어 LDD 이온 주입시 추가로 진행하는 할로 할로 이온 주입 공정을 생략할 수 있는 NMOS 트랜지스터의 제조방법을 제공하고자 한다.

이러한 목적을 달성하기 위하여 본 발명은 NMOS 트랜지스터의 펀치쓰루를 방지하는 이온 주입 방법에 있어서, 반도체 기판에 소자분리막을 형성하는 단계와, 기판 표면에 스크린막을 형성하는 단계와, NMOS 트랜지스터가 형성될 예정의 기판에 p형 불순물로서 인듐을 이온주입하여 기판 내에 펀치쓰루 조절영역을 형성하는 단계를 포함한다.

발명의 구성 및 작용

이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 설명하고자 한다.

도 2a 내지 도 2g는 본 발명에 따른 NMOS 트랜지스터의 제조 공정을 순차적으로 나타낸 공정 순서도이다.

먼저 도 2a에 도시된 바와 같이, 반도체 기판으로서 실리콘 기판(100)에 소자사이를 분리하는 소자분리막(102)을 형성한다. 그리고, 기판 표면에 스크린막(104)을 형성한다.

스크린막(104)을 형성한 후에, NMOS 트랜지스터가 형성될 기판 영역을 오픈하고 그외 영역을 마스킹하는 포토레지스트 패턴(106)을 형성한다. 그리고 포토레지스트 패턴(106)에 의해 드러난 NMOS용 기판(100)에 문턱전압(Vt), 펀치쓰루(punch-through), 채널 스탑(channel stop), 웰(well) 등의 연속 공정으로 리트로그레이드 웰(retrograde well) 구조를 형성한다.

도 2b에 도시된 바와 같이, p형 불순물로서 붕소(B)를 이온 주입하여 기판 표면 아래에 문턱전압(Vt) 조절영역(108)을 형성한다.

그리고 도 2c에 도시된 바와 같이, 본 발명에 따라 기판(100)에 p형 불순물로서 인듐(In)을 이온주입하여 펀치쓰루 조절영역(110)을 형성한다. 이때, 펀치쓰루 조절을 위한 인듐 이온 주입 조건은 에너지를 550keV 750keV, 도스(dose)량을 4.0E12 2.0E13으로 한다. 그리고 인듐의 소스로 InCl3 또는 InCl을 사용하되, 기화기(vaporizer)에서 고체 상태인 것을 이용한다.

본 발명의 펀치쓰루 조절영역(110) 제조 공정은 불순물로서 인듐(In)을 사용하기 때문에 종래 기술에서 사용한 붕소(B)에 비해 단채널 효과로 인한 펀치쓰루 현상 및 전압 강하효과를 방지할 수 있다. 후속 열처리 공정시 인듐(In)의 이온 확산 거리는 붕소(B)보다 매우 작아져 펀치쓰루 조절영역(110)의 인듐이 기판 표면의 채널 영역까지 확산되지 않는다. 그러므로, 후속 열처리 공정을 거친 본 발명의 펀치쓰루 조절영역(110)에서 기판 표면의 인듐(In) 농도는 상대적으로 낮은 반면에 LDD 아래의 인듐(In) 농도는 상대적으로 높아진다.

계속해서 도 2d에 도시된 바와 같이, 기판(100)에 p형 불순물로서, 붕소(B)를 이온 주입하여 소자분리막(102) 하부까지의 기판내에 채널스탑 영역(112)을 형성한다. 그리고나서, p형 불순물로서 붕소(B)를 이온 주입하여 NMOS 기판(100)내에 p-웰(114)을 형성한다.

그 다음 도 2e에 도시된 바와 같이, 스크린막(104)을 제거하고 NMOS 기판 표면에 게이트 산화막(116)을 형성한 후에, 도전 물질로 이루어진 게이트전극(118)을 형성한다.

그리고 도 2f에 도시된 바와 같이, NLDD 이온 주입 공정을 실시한다. 이에 n형 불순물로서 인(P) 또는 비소(As)를 이온 주입하여 LDD 영역(120)을 형성한다. 이때, LDD 영역(120) 아래는 펀치쓰루 조절영역(110)의 인듐(In)에 의해 카운터 도핑 농도, 즉 기판 농도가 높기 때문에 본 발명은 종래 기술에서와 같이 LDD 하부의 기판농도를 추가로 높이기 위한 경사진 할로 이온 주입을 생략가능하다.

그리고나서 도 2g에 도시된 바와 같이, 게이트전극(118) 측벽에 스페이서(122)를 형성하고 NMOS의 소오스/드레인 이온 주입 공정을 실시한다. 이에, n형 불순물로서 인(P) 또는 비소(As)를 이온 주입하여 소오스/드레인(S/D) 영역(124)을 형성한다.

한편, 본 발명의 제조 공정은 펀치쓰루 조절을 위한 인듐(In) 이온 주입 후에 후속 열처리로서, RTA(Rapid Thermal Annealing)로 1000℃ 1150℃에서 15 50초간 진행할 수 있다.

그러므로, 본 발명은 NMOS 트랜지스터의 펀치쓰루 조절을 위한 이온 주입시 p형 불순물로서 붕소(B) 대신에 인듐(In)을 사용하기 때문에 단채널 효과를 개선할 수 있다. 단채널 효과가 개선되는 이유는 붕소(B)에 비해 인듐(In)이 Rp의 피크치에서 더 고농도 특성을 나타내고 확산이 덜 되며 표면에서의 농도가 낮아지는 특성이 있기 때문이다. 이에 따라, 본 발명은 LDD 이온 주입후에 LDD 부근의 기판 농도를 높이기 위한 할로 이온 주입을 생략할 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명의 NMOS 트랜지스터 제조 방법은 붕소(B)보다 무거운 원자 인듐(In)을 높은 에너지로 이온 주입하여 펀치쓰루 조절영역을 형성함과 동시에 LDD 부근의 기판 농도를 높임으로써 고집적 반도체소자의 단채널 효과로 인한 펀치쓰루 현상을 최대한 개선할 수 있다.

게다가, 본 발명은 LDD 이온 주입후 실시되는 후속 할로 이온 주입 공정을 생략할 수 있어 제조 공정의 수를 줄일 수 있는 이점이 있다.

한편, 본 발명은 상술한 실시예에 국한되는 것이 아니라 후술되는 청구범위에 기재된 본 발명의 기술적 사상과 범주내에서 당업자에 의해 여러 가지 변형이 가능하다.

(57) 청구의 범위

청구항 1.

NMOS 트랜지스터의 펀치쓰루를 방지하는 이온 주입 방법에 있어서,

반도체 기판에 소자분리막을 형성하는 단계;

상기 기판 표면에 스크린막을 형성하는 단계; 및

상기 NMOS 트랜지스터에 해당하는 기판에 인듐을 이온주입하여 기판 내에 펀치쓰루 조절영역을 형성하는 단계로 이루어진 것을 특징으로 하는 NMOS 트랜지스터의 제조방법.

청구항 2.

제 1항에 있어서, 상기 인듐 이온 주입시 그 에너지는 550keV 750keV, 도스량은 4.0E12 2.0E13으로 하는 NMOS 트랜지스터의 제조방법.

청구항 3.

제 1항에 있어서, 상기 인듐 이온 주입시 인듐의 소스로 InCl3 또는 InCl을 사용하되, 기화기에서 고체 상태인 것을 이용하는 NMOS 트랜지스터의 제조방법.

청구항 4.

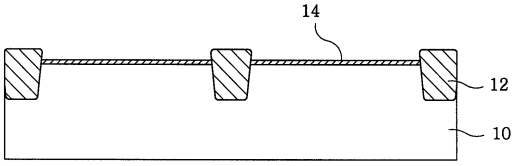
제 1항에 있어서, 상기 인듐 이온 주입 후에 후속 열처리를 진행하는 NMOS 트랜지스터의 제조방법.

청구항 5.

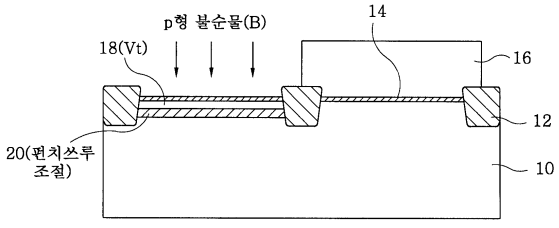
제 1항에 있어서, 상기 후속 열처리는 RTA로 1000℃ 1150℃에서 15 50초간 진행하는 NMOS 트랜지스터의 제조방법.

도면

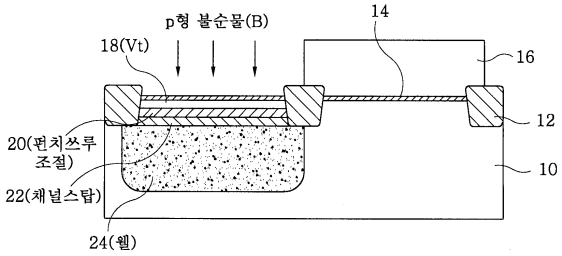
도면 1a



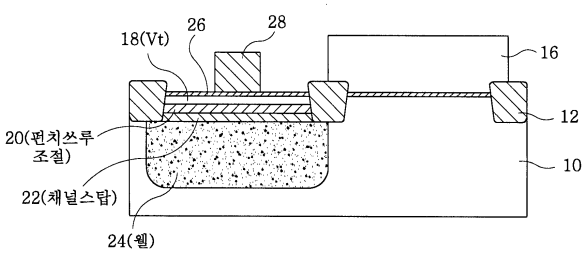
도면 1b



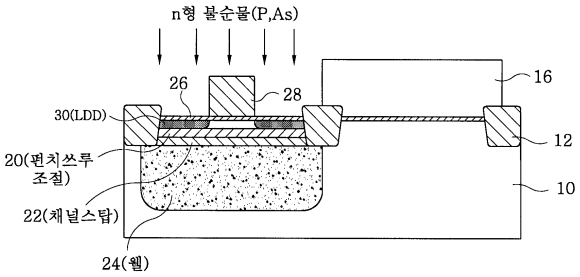
도면 1c



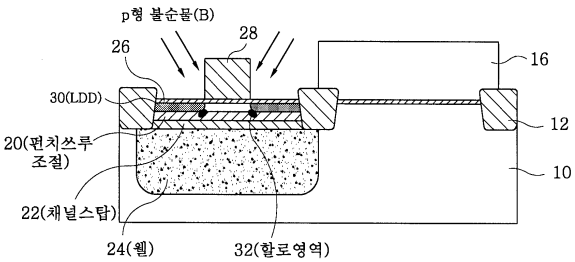
도면 1d



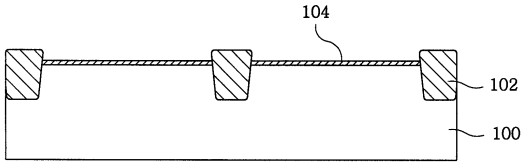
도면 1e



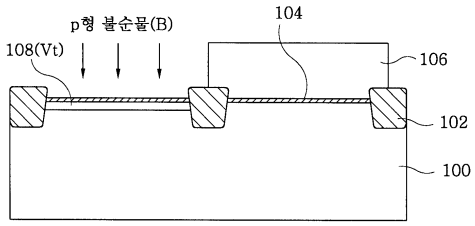
도면 1g



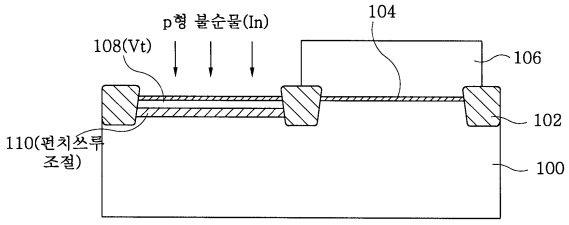
도면 2a



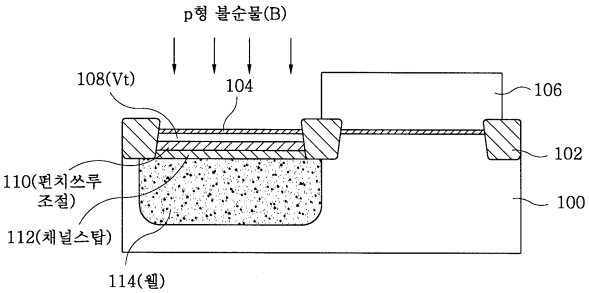
도면 2b



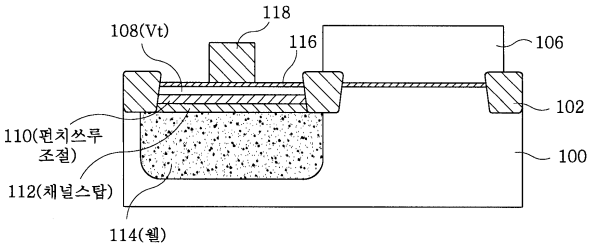
도면 2c



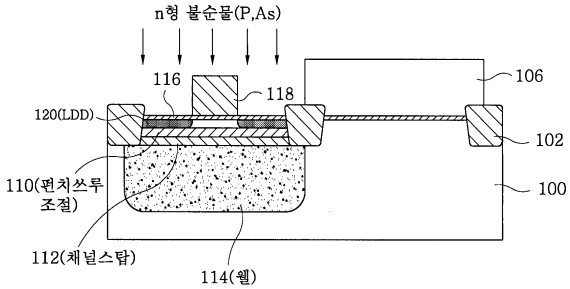
도면 2d



도면 2e



도면 2f



도면 2g