

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】令和3年2月12日(2021.2.12)

【公開番号】特開2018-116758(P2018-116758A)

【公開日】平成30年7月26日(2018.7.26)

【年通号数】公開・登録公報2018-028

【出願番号】特願2018-1623(P2018-1623)

【国際特許分類】

G 11 C 11/412 (2006.01)

H 01 L 21/8244 (2006.01)

H 01 L 27/11 (2006.01)

H 01 L 21/8242 (2006.01)

H 01 L 27/108 (2006.01)

H 01 L 29/786 (2006.01)

【F I】

G 11 C 11/412 100

H 01 L 27/11

H 01 L 27/108 671Z

H 01 L 29/78 613B

H 01 L 29/78 618B

【手続補正書】

【提出日】令和2年12月24日(2020.12.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

行回路、列回路、およびセルアレイを有する記憶装置であり、

前記セルアレイはパワーゲーティングが可能なパワードメインに設けられ、

前記セルアレイはメモリセル、第1バックアップ回路、ワード線、第1ビット線と第2ビット線とでなるビット線対、第1電源線、および第2電源線を有し、

前記列回路は前記ワード線を駆動し、

前記行回路は前記ビット線対を駆動し、

前記メモリセルは、

第1ノードおよび第2ノードを有する双安定回路と、

前記第1ノードと前記第1ビット線間の導通状態を制御する第1転送トランジスタと、

前記第2ノードと前記第2ビット線間の導通状態を制御する第2転送トランジスタと、を有し、

前記ワード線に、前記第1転送トランジスタおよび前記第2転送トランジスタのゲートが電気的に接続され、

前記双安定回路に前記第1電源線および前記第2電源線が電気的に接続され、

前記第1バックアップ回路は前記第1ノードおよび前記第2ノードに電気的に接続され、

前記メモリセルが形成されている領域に前記第1バックアップ回路は積層され、第1乃至第5配線層が設けられ、

前記双安定回路のトランジスタのゲート電極、前記第1転送トランジスタのゲート電極、および前記第2転送トランジスタのゲート電極は、前記第1配線層に設けられ、

前記メモリセルと前記第1バックアップ回路との間に前記第2乃至前記第5配線層が積層され、

前記ワード線、前記ビット線対、前記第1電源線および前記第2電源線は、それぞれ、前記第2乃至第5配線層のうちの互いに異なる配線層に設けられている記憶装置。

【請求項2】

請求項1において、

前記第1電源線は前記第5配線層に設けられ、

前記ワード線は前記第4配線層に設けられ、

前記ビット線対は前記第3配線層に設けられ、

前記第2電源線は前記第2配線層に設けられている記憶装置。

【請求項3】

行回路、列回路、およびセルアレイを有する記憶装置であり、

前記セルアレイはパワーゲーティングが可能なパワードメインに設けられ、

前記セルアレイはメモリセル、第1バックアップ回路、ワード線、第1ビット線と第2ビット線とでなるビット線対、第1電源線、および第2電源線を有し、

前記列回路は前記ワード線を駆動し、

前記行回路は前記ビット線対を駆動し、

前記メモリセルは、

第1ノードおよび第2ノードを有する双安定回路と、

前記第1ノードと前記第1ビット線間の導通状態を制御する第1転送トランジスタと、

前記第2ノードと前記第2ビット線間の導通状態を制御する第2転送トランジスタと、を有し、

前記ワード線に、前記第1転送トランジスタおよび前記第2転送トランジスタのゲートが電気的に接続され、

前記双安定回路に前記第1電源線および前記第2電源線が電気的に接続され、前記第1バックアップ回路は前記第1ノードおよび前記第2ノードに電気的に接続され、

前記メモリセルが形成されている領域に前記第1バックアップ回路は積層され、第1乃至第5配線層が設けられ、

前記双安定回路のトランジスタのゲート電極、前記第1転送トランジスタのゲート電極、および前記第2転送トランジスタのゲート電極は、前記第1配線層に設けられ、

前記メモリセルと前記第1バックアップ回路との間に前記第2配線層および前記第3配線層が積層され、

前記第1バックアップ回路に前記第4配線層および前記第5配線層が積層され、

前記ワード線および前記第1電源線は前記第5配線層に設けられ、

前記ビット線対は前記第3配線層に設けられ、

前記第2電源線は前記第2配線層に設けられている記憶装置。

【請求項4】

請求項1乃至3の何れか1項において

前記第1バックアップ回路は第1保持ノード、第2保持ノード、前記第1保持ノードに電気的に接続された第1容量素子、前記第2保持ノードに電気的に接続された第2容量素子、第1トランジスタおよび第2トランジスタを有し、

前記第1トランジスタは前記第1保持ノードと前記第1ノード間の導通状態を制御し、

前記第2トランジスタは前記第2保持ノードと前記第2ノード間の導通状態を制御し、

前記第1トランジスタおよび前記第2トランジスタのオンオフは電源管理装置により制御され、

前記第1トランジスタおよび前記第2トランジスタのチャネル形成領域は金属酸化物を

有する記憶装置。

【請求項 5】

請求項 1 乃至 4 の何れか 1 項において、

前記第 1 バックアップ回路に代えて、第 2 バックアップ回路が設けられ、

前記第 2 バックアップ回路は、前記第 1 ノードおよび前記第 2 ノードのうち、前記第 1 ノードのみに電気的に接続されている記憶装置。

【請求項 6】

請求項 5 において、

前記第 2 バックアップ回路は第 3 保持ノード、前記第 3 保持ノードに電気的に接続された第 3 容量素子、および第 3 トランジスタを有し、

前記第 3 トランジスタは前記第 1 ノードと前記第 3 保持ノード間の導通状態を制御し、

前記第 3 トランジスタのチャネル形成領域は金属酸化物を有する記憶装置。

【請求項 7】

請求項 1 乃至 6 の何れか一項に記載の記憶装置と、

プロセッサコアと、

前記記憶装置と前記プロセッサコア間のデータの伝送ためのバスと、を有する半導体装置。

【請求項 8】

チップおよびリードを有し、

前記リードは前記チップに電気的に接続され、

請求項 1 乃至 6 に記載の記憶装置、並びに請求項 7 に記載の半導体装置のうちの何れか 1 が前記チップに設けられている電子部品。

【請求項 9】

請求項 8 に記載の電子部品と、

表示部、タッチセンサ、マイク、スピーカ、操作キー、および筐体の少なくとも 1 と、を有する電子機器。