

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】令和 3 年 2 月 12 日 (2021.2.12)

【公開番号】特開 2018-116758 (P2018-116758A)

【公開日】平成 30 年 7 月 26 日 (2018.7.26)

【年通号数】公開・登録公報 2018-028

【出願番号】特願 2018-1623 (P2018-1623)

【国際特許分類】

G 1 1 C 11/412 (2006.01)

H 0 1 L 21/8244 (2006.01)

H 0 1 L 27/11 (2006.01)

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

H 0 1 L 29/786 (2006.01)

【F I】

G 1 1 C 11/412 1 0 0

H 0 1 L 27/11

H 0 1 L 27/108 6 7 1 Z

H 0 1 L 29/78 6 1 3 B

H 0 1 L 29/78 6 1 8 B

【手続補正書】

【提出日】令和 2 年 12 月 24 日 (2020.12.24)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

行回路、列回路、およびセルアレイを有する記憶装置であり、
 前記セルアレイはパワーゲーティングが可能なパワードメインに設けられ、
 前記セルアレイはメモリセル、第 1 バックアップ回路、ワード線、第 1 ビット線と第 2
 ビット線とでなるビット線対、第 1 電源線、および第 2 電源線を有し、
 前記列回路は前記ワード線を駆動し、
 前記行回路は前記ビット線対を駆動し、
 前記メモリセルは、
 第 1 ノードおよび第 2 ノードを有する双安定回路と、
 前記第 1 ノードと前記第 1 ビット線間の導通状態を制御する第 1 転送トランジスタ
 と、
 前記第 2 ノードと前記第 2 ビット線間の導通状態を制御する第 2 転送トランジスタ
 と、を有し、
 前記ワード線に、前記第 1 転送トランジスタおよび前記第 2 転送トランジスタのゲート
 が電氣的に接続され、
 前記双安定回路に前記第 1 電源線および前記第 2 電源線が電氣的に接続され、
 前記第 1 バックアップ回路は前記第 1 ノードおよび前記第 2 ノードに電氣的に接続され
 、
 前記メモリセルが形成されている領域に前記第 1 バックアップ回路は積層され、
 第 1 乃至第 5 配線層が設けられ、

前記双安定回路のトランジスタのゲート電極、前記第 1 転送トランジスタのゲート電極、および前記第 2 転送トランジスタのゲート電極は、前記第 1 配線層に設けられ、

前記メモリセルと前記第 1 バックアップ回路との間に前記第 2 乃至前記第 5 配線層が積層され、

前記ワード線、前記ビット線対、前記第 1 電源線および前記第 2 電源線は、それぞれ、前記第 2 乃至第 5 配線層のうちの互いに異なる配線層に設けられている記憶装置。

【請求項 2】

請求項 1 において、

前記第 1 電源線は前記第 5 配線層に設けられ、

前記ワード線は前記第 4 配線層に設けられ、

前記ビット線対は前記第 3 配線層に設けられ、

前記第 2 電源線は前記第 2 配線層に設けられている記憶装置。

【請求項 3】

行回路、列回路、およびセルアレイを有する記憶装置であり、

前記セルアレイはパワーゲーティングが可能なパワードメインに設けられ、

前記セルアレイはメモリセル、第 1 バックアップ回路、ワード線、第 1 ビット線と第 2 ビット線とでなるビット線対、第 1 電源線、および第 2 電源線を有し、

前記列回路は前記ワード線を駆動し、

前記行回路は前記ビット線対を駆動し、

前記メモリセルは、

第 1 ノードおよび第 2 ノードを有する双安定回路と、

前記第 1 ノードと前記第 1 ビット線間の導通状態を制御する第 1 転送トランジスタと、

前記第 2 ノードと前記第 2 ビット線間の導通状態を制御する第 2 転送トランジスタと、を有し、

前記ワード線に、前記第 1 転送トランジスタおよび前記第 2 転送トランジスタのゲートが電氣的に接続され、

前記双安定回路に前記第 1 電源線および前記第 2 電源線が電氣的に接続され、

前記第 1 バックアップ回路は前記第 1 ノードおよび前記第 2 ノードに電氣的に接続され、

、

前記メモリセルが形成されている領域に前記第 1 バックアップ回路は積層され、

第 1 乃至第 5 配線層が設けられ、

前記双安定回路のトランジスタのゲート電極、前記第 1 転送トランジスタのゲート電極、および前記第 2 転送トランジスタのゲート電極は、前記第 1 配線層に設けられ、

前記メモリセルと前記第 1 バックアップ回路との間に前記第 2 配線層および前記第 3 配線層が積層され、

前記第 1 バックアップ回路に前記第 4 配線層および前記第 5 配線層が積層され、

前記ワード線および前記第 1 電源線は前記第 5 配線層に設けられ、

前記ビット線対は前記第 3 配線層に設けられ、

前記第 2 電源線は前記第 2 配線層に設けられている記憶装置。

【請求項 4】

請求項 1 乃至 3 の何れか 1 項において

前記第 1 バックアップ回路は第 1 保持ノード、第 2 保持ノード、前記第 1 保持ノードに電氣的に接続された第 1 容量素子、前記第 2 保持ノードに電氣的に接続された第 2 容量素子、第 1 トランジスタおよび第 2 トランジスタを有し、

前記第 1 トランジスタは前記第 1 保持ノードと前記第 1 ノード間の導通状態を制御し、

前記第 2 トランジスタは前記第 2 保持ノードと前記第 2 ノード間の導通状態を制御し、

前記第 1 トランジスタおよび前記第 2 トランジスタのオンオフは電源管理装置により制御され、

前記第 1 トランジスタおよび前記第 2 トランジスタのチャネル形成領域は金属酸化物を

有する記憶装置。

【請求項 5】

請求項 1 乃至 4 の何れか 1 項において、

前記第 1 バックアップ回路に代えて、第 2 バックアップ回路が設けられ、

前記第 2 バックアップ回路は、前記第 1 ノードおよび前記第 2 ノードのうち、前記第 1 ノードのみに電氣的に接続されている記憶装置。

【請求項 6】

請求項 5 において、

前記第 2 バックアップ回路は第 3 保持ノード、前記第 3 保持ノードに電氣的に接続された第 3 容量素子、および第 3 トランジスタを有し、

前記第 3 トランジスタは前記第 1 ノードと前記第 3 保持ノード間の導通状態を制御し、前記第 3 トランジスタのチャネル形成領域は金属酸化物を有する記憶装置。

【請求項 7】

請求項 1 乃至 6 の何れか一項に記載の記憶装置と、

プロセッサコアと、

前記記憶装置と前記プロセッサコア間のデータの伝送ためのバスと、を有する半導体装置。

【請求項 8】

チップおよびリードを有し、

前記リードは前記チップに電氣的に接続され、

請求項 1 乃至 6 に記載の記憶装置、並びに請求項 7 に記載の半導体装置のうちの何れか 1 が前記チップに設けられている電子部品。

【請求項 9】

請求項 8 に記載の電子部品と、

表示部、タッチセンサ、マイク、スピーカ、操作キー、および筐体の少なくとも 1 と、を有する電子機器。