



I281157

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93125519

※ 申請日期：93-8-26

※IPC 分類：

G11C11/22

一、發明名稱：(中文/英文)

具有鐵電聚合物記憶體材料且胞元尺寸不對稱之聚合物記憶體

A POLYMER MEMORY HAVING A FERROELECTRIC POLYMER MEMORY MATERIAL WITH CELL SIZES THAT ARE ASYMMETRIC

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

英特爾公司/INTEL CORPORATION

代表人：(中文/英文)

塞門 大衛/SIMON, DAVID

住居所或營業所地址：(中文/英文)

美國加州聖塔克萊拉市密遜大學道2200號

2200 Mission College Blvd., Santa Clara, CA 95052, USA

國籍：(中文/英文)

美國/USA

三、發明人：(共 1 人)

姓名：(中文/英文)

伊森貝葛 馬克/ISENBERGER, MARK

國籍：(中文/英文)

美國/USA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國; 2003,08,25; 10/648,538

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

發明領域

- 本發明是有關於一種具有鐵電性聚合物記憶體材料之
- 5 聚合物記憶體，以及有關其製造方法。

【先前技術】

發明背景

- 聚合物記憶體典型地具有：多個在x-方向中彼此平行
- 延伸之導電字元線，與多個在y-方向中彼此平行延伸之導
- 10 電位元線，以致於產生此等胞元之陣列，各胞元之位置是
- 各字元線與各位元線交叉之處。藉由選擇通過此胞元之字
- 元線與位元線，將資訊寫入此等胞元之一或從其讀取資
- 訊，以及然後提供電壓至此等字元線或位元線之一、或感
- 測來自其之電流。鐵電性聚合物記憶體材料可以例如將字
- 15 元線與位元線分開，以及可以在通過所選擇胞元之各字元
- 線與位元線上施加所選擇電壓，而改變此所選擇胞元之導
- 電性。

- 隨著電腦須要更多記憶體，而存在此須要在給定面積
- 中包括較大數目之胞元，因此須要將設備升級從一代聚合
- 20 物記憶體升級至下一代記憶體。某些記憶體具有總共12層
- 金屬線，而在此等金屬線層之間具有八層鐵電性聚合物記
- 憶體材料。傳統之信念為：必須將工具升級，以便以微影
- 術方式形成所有12層之金屬線。此可導致40%或以上之設
- 備升級率(upgrade ratio)，這在當從一個記憶體產品轉換至

另一個記憶體產品時，通常會被認為太高。

以下藉由參考所附圖式之舉例而說明本發明。

【發明內容】

本發明係為一種聚合物記憶體，包括：第一多個導電
5 字元線在y方向中彼此平行延伸，且具有在x-方向中以第一
距離彼此間隔之中心線；在字元線上x-與y-方向中之第一鐵
電性聚合物記憶體材料；以及在第一鐵電性聚合物記憶體
材料上在x-方向中彼此平行延伸之多個導電位元線，且具
有中新線其在y-方向中以第二距離彼此間隔，此第二距離
10 小於第一距離，此等聚合物記憶體胞元之第一陣列是界定
於第一鐵電性聚合物記憶體材料中，於此處各位元線通過
第一多個字元線之各字元線，以致於當將所選擇之電壓差
施加於各胞元相對側上之各字元線與位元線上時，此在各
第一陣列各胞元之鐵電性聚合物記憶體材料之配向改變。

15 圖式簡單說明

第1圖為透視圖，其以展開之方式說明聚合物記憶體之
多層結構；

第2圖為方塊圖，其說明聚合物記憶體之各種次結構，
包括設置於下之電子元件、第1圖之多層結構、交替絕緣
20 層、以及其他多層結構；

第3圖為頂視圖，其說明由字元線與位元線所界定之聚
合物記憶體胞元之陣列；

第4A-D圖說明如何對各聚合物記憶體胞元讀取或寫
入；以及

第5圖為電腦系統之方塊圖，其可以包括第2圖之聚合物記憶體。

【實施方式】

詳細說明

- 5 在以下之說明中，使用“字元線”與“位元線”此等名詞以區別縱向進行之導線與橫向進行之導線。其用意並非對此等名詞提供任何邏輯意義。此等名詞例如可以被交換，以致於可以將字元線稱為位元線，以及將位元線稱為字元線，而不會偏離本發明之範圍。此外，在此使用此等名詞
- 10 例如：“x-方向”、“y-方向”、“z-方向”、以及“x/y平面”。使用此等名詞之用意為界定相對於彼此之結構，其不應被使用將此等結構限制於任何絕對參考架構。此外，雖然，x-、y-、以及z-方向確實彼此成直角，然而其可以不為確實正交方向，而不會偏離本發明之範圍。
- 15 此等所附圖式之第1圖說明：根據本發明實施例之聚合物記憶體之第一多層結構10A。此聚合物記憶體之第一多層結構10A具有：兩組字元線與在此等字元線間之一組位元線。此等各組字元線之此等字元線具有中新線，其以第一距離彼此間隔，以及此等位元線具有中新線，其以第二距
- 20 離彼此間隔，此第二距離小於第一距離。須要三個遮罩步驟以製成三層線。使用具有寬間距遮罩之較舊技術機器，以形成兩層字元線；使用具有窄間距遮罩之新技術機器，以製造位元線。因此，只有33%之機器必須升級以製成一多層結構。此整個聚合物記憶體具有四個多層結構總共12

層線，其中四層須要新技術機器。此多層結構形成於設置於下之電子裝置上。此設置於下之電子裝置使用28個遮罩步驟構成，此28個遮罩步驟中之4個須要新技術機器。因此，此整個聚合物記憶體之製造須要40個遮罩步驟，其中8
 5 個步驟須要新技術機器。因此，對於製造整個聚合物記憶體須要20%機器升級。在當將機器從一代升級至另一代時，這通常被認為是可接受的。

導電字元線12之第一層是由鋁或其他金屬形成，且具有在y-方向中延伸之中心線14。此中心線14在x-方向中以距離D1彼此間隔。各字元線12具有在x-方向中大約等於D1/2之寬度16。字元線12在x-方向中以大約等於D1/2之間隔彼此分開。

第一鐵電聚合物記憶體材料20形成於字元線12上。此鐵電聚合物記憶體材料20在x-y平面中形成一層。在另一實施例中，此鐵電聚合物記憶體材料20可以形成於所選擇之位置，以形成例如在x-與y-方向中之陣列。

導電位元線22之層可以隨後形成於記憶體材料20之頂上，以致於記憶體材料20在z-方向中將位元線22與字元線12間隔。此等位元線22具有在x-方向中彼此平行延伸之中心線23。中心線24是在y-方向中以距離D2彼此間隔。各位元線22具有在y-方向中大約等於D2/2之寬度24。此等位元線22在y-方向中以大約等於D2/2之間隔彼此分開。

鐵電聚合物記憶體材料28隨後形成於位元線22之頂上。如同記憶體材料20，此記憶體材料28形成在x-y平面中

延伸之層。

導電字元線30之第二層隨後形成於記憶體材料28之頂上。記憶體材料28在z-方向中將字元線30與位元線22間隔。此等字元線30具有在y-方向中彼此平行延伸之中心線32。此等中心線32在x-方向中以距離D3彼此間隔。各導電字元線30具有在x-方向中大約等於 $D3/2$ 之寬度34，以及此等字元線30在x-方向中以大約等於 $D3/2$ 之間隔36彼此分開。

在此例中字元線30正好位於字元線12上，以致於中心線32位於中心線14上，距離D3與D1相同，寬度34與16相同，間隔36與18相同。此等D1、16、18、D3、34、以及36之尺寸是相當的大。因為此相當大之尺寸，可以使用具有現有較舊技術微影術工具之製造設備，以界定製成字元線12與30。

然而，此等位元線22較字元線12與30形成得密集。因此，距離D2實質上小於D1。寬度24與間隔36因此小於寬度16與間隔18。此等位元線22更密集之佈局形成新一代之聚合物記憶體，其相較於前一代聚合物記憶體其單位面積具有此等胞元之較大陣列。

位元線22可以太密集而無法使用此用於製造字元線12與30之相同工具製造。然而，但應注意的是，只須將設備升級以形成位元線22，且無須將設備升級以形成兩層字元線12與30。此用於第一多層結構之設備升級因此為33%。

第2圖說明整個聚合物記憶體40，其包括：設置於下之

電子組件42、形成於此設置於下之電子組件42之絕緣層上之第一多層結構10A、形成於此第一多層結構10A上之第一絕緣層44A、以及由第二與第三絕緣層44B與44C交替之第二、第三、以及第四多層結構10B、10C以及10D。此設置於下之電子組件42是使用24個寬間距遮罩與4個窄間距遮罩以及相關工具製成。如同先前說明，此第一多層結構10A是使用2個寬間距遮罩與1個窄間距遮罩以及相關工具製成。此第二、第三、以及第四多層結構10B、10C以及10D與第一多層結構10A相同，且各使用2個寬間距遮罩與1個窄間距遮罩製成。聚合物記憶體40因此使用40個遮罩製成，其中只有八個為窄間距遮罩。此所須設備升級因此為20%，這在當從一代電腦積體電路產品、在此例中為聚合物記憶體產品、進步至下一代時，此被認為是可接受之百分比。

請參考第1與3圖，在記憶體材料28中界定聚合物記憶體胞元46之陣列，各聚合物記憶體胞元46是在各字元線30與各位元線22相交之位置。各聚合物記憶體胞元46具有非對稱之胞元尺寸，其具有：在x-方向中之寬度，其對應於字元線30之一之寬度34；以及在y-方向中之長度，其對應於位元線22之一之寬度24。在第3圖中未顯示之聚合物記憶體胞元另一陣列是在記憶體材料20中界定，具有聚合物記憶體胞元，於此胞元各一位元線22與各一字元線12相交。

此記憶體材料具有雙極，其所具有之雙極距可以藉由在此記憶體材料上施加電壓而改變。+4.5V之電壓將此雙極

距之配向從一方向改變至相反方向，以及-4.5V之電壓可將此雙極距之配向從一方向改變回其原來狀態。

第4A圖說明在將“1”寫入介於字元線30與位元線22間聚合物記憶體胞元46之一之前，字元線30與位元線22之狀態。此等字元線20之各一是在3V，以及然後將此等位元線之各一設定至6V。因此，在各重疊字元線30與位元線22之間存在3V之電壓差。

第4B圖說明如何將“1”寫至此等聚合物記憶體胞元46之一。將此等字元線30之一上之電壓改變至9V，且將此等位元線22之一上之電壓改變至0V。在各字元線30與位元線22上存在9V(9V-0V)之電壓差。須要超過4.5V之電壓差將聚合物記憶體胞元46切換。此等雙極距排列方向是由所施加之電壓所決定，此為將“1”寫至聚合物記憶體胞元之方式。

第4C圖說明如何將“0”寫至此等聚合物記憶體胞元46之一。首先，將所有字元線與位元線上之電壓設定為0V。然後，將所有位元線上之電壓設定為3V。然後，將所有位元線設定為6V。將此等字元線之一上之電壓改變至0V，以及將此等位元線之一上之電壓改變至9V。現在，在各字元線30與位元線22上存在-9V(0V-9V)之電壓差。須要超過-4.5V之電壓差將聚合物記憶體胞元46切換至0。

第4D圖說明如何可以從此等聚合物記憶體胞元46之一讀取狀態。讀取是一種毀壞性寫入操作。首先，將在所有字元線上之電壓重新設定為3V，以及將在所有位元線上之電壓設定為6V。然後，將此等字元線之一上之電壓切換至

9V，且將此等位元線之一上之電壓切換至0V，如同於第4B圖中所說明之情形中，將“1”寫入此胞元。在第4D圖中，“1”已經存在於此被寫入1之胞元中，以致於在各胞元之位元線上並未偵測到電流。

5 第5圖說明電腦系統140，其可以包括第2圖之聚合物記憶體40。電腦系統140包括：處理器150、記憶體40、以及連接至系統匯流排165之輸入/輸出能力100。設計此記憶體40以儲存指令，其當由處理器150執行時，執行在此所說明之方法。記憶體40亦可以儲存輸入與目前所編輯之視訊內容。
10 輸入/輸出160提供視訊內容或其一部份或代表之傳送與顯示。輸入/輸出160亦包括各種型式電腦可讀取媒體，其包括可由處理器150存取之任何型式之儲存裝置。此種儲存裝置可以包括先前參考第1圖所說明之此種大量儲存記憶體。熟習此技術人士可以立刻認出“電腦可讀取媒體”此
15 名詞更包括：將資料信號編碼之載體波。輸入/輸出與相關媒體160儲存電腦可讀取指令，用於操作本發明之系統與方法以及視訊內容。

 第5圖之說明之用意為：提供適用於執行本發明電腦硬體與其他操作元件之整體概要說明，但其用意並非限制其
20 可應用環境。應瞭解電腦系統140為具有不同結構之許多可電腦系統之一例。典型的電腦系統通常包括至少一：處理器、記憶體、以及將記憶體連接至處理器之匯流排。熟習此技術人士立刻瞭解本發明可以其他電腦系統結構實施，其包括：多處理器系統、迷你電腦、主機電腦等。本發明

亦可於分散式電腦環境中實施，其任務是由經通信網路連接之遠端處理裝置實施。

雖然，此等典型實施例已如上述說明且顯示於所附圖式中，但應瞭解此等實施例僅用於說明且並非限制本發明；以及由於熟習此技術人士可以對其修正，本發明並不受限於在此所顯示與說明之特定結構與配置。

【圖式簡單說明】

第1圖為透視圖，其以展開之方式說明聚合物記憶體之多層結構；

10 第2圖為方塊圖，其說明聚合物記憶體之各種次結構，包括設置於下之電子元件、第1圖之多層結構、交替絕緣層、以及其他多層結構；

第3圖為頂視圖，其說明由字元線與位元線所界定之聚合物記憶體胞元之陣列；

15 第4A-D圖說明如何對各聚合物記憶體胞元讀取或寫入；以及

第5圖為電腦系統之方塊圖，其可以包括第2圖之聚合物記憶體。

【主要元件符號說明】

10A…第一多層結構	16…寬度
10B…第二多層結構	18…間隔
10C…第三多層結構	20…鐵電聚合物記憶體材料
10D…第四多層結構	22…位元線
12…字元線	23…中心線

24…寬度	44D…第四絕緣層
26…間隔	46…聚合物記憶體胞元
28…記憶體材料	140…電腦系統
30…字元線	150…處理器
32…中心線	155…記憶體
36…間隔	160…輸入/輸出
40…聚合物記憶體	165…系統匯流排
42…設置於下之電子組件	D1…距離
44A…第一絕緣層	D2…距離
44B…第二絕緣層	D3…距離
44C…第三絕緣層	

五、中文發明摘要：

本發明提供一種聚合物記憶體與其製造方法。此聚合物記憶體之多層結構具有：兩組字元線與介於字元線之間之一組位元線。各組字元線之此等字元線具有中心線其以第一距離彼此間隔，以及位元線具有中心線其以第二距離彼此間隔，此第二距離小於第一距離。須要三個遮罩步驟以製成三層線。使用較舊技術之機器與遮罩以形成兩層字元線，使用新技術之機器與遮罩以形成位元線。因此，只須將用於製造多層結構之機器之33%升級。此整個聚合物記憶體具有四個多層結構總共12層線，其中四層須要新技術之機器。此多層結構形成於設置於下之電子組件上。此設置於下之電子組件使用28個遮罩步驟構成，此28個步驟中之4個須要新技術之機器。因此，製造整個聚合物記憶體須要40個遮罩步驟，其中8個步驟須要新技術之機器。因此，對於製造整個聚合物記憶體須要20%之機器升級，這在當將機器從一代升級至下一代時，通常被認為是可以接受的。

六、英文發明摘要：

A polymer memory and its method of manufacture are provided. One multi-layer construction of the polymer memory has two sets of word lines and a set of bit lines between the word lines. The word lines of each set of word lines have center lines that are spaced by a first distance from one another, and the bit lines have center lines spaced by a second distance from one another, the second distance being less than the first distance. Three masking steps are required to manufacture the three layers of lines. Older-technology machinery and masks are used to form the two layers of word lines, and new-technology machinery and masks are used to manufacture the bit lines. As such, only 33% of the machinery has to be upgraded for manufacturing one multi-layer construction. The entire polymer memory has four multi-layer constructions having a total of 12 layers of lines, of which four layers require new-technology machinery. The multi-layer constructions are formed on underlying electronics. The underlying electronics are constructed utilizing 28 masking steps, 4 of the 28 masking steps requiring new-technology machinery. As such, the manufacture of the entire polymer memory requires 40 masking steps, 8 of which require new-technology machinery. A 20% machinery upgrade is thus required for manufacturing the entire polymer memory, which is generally regarded as acceptable when upgrading machinery from one generation to the next.

十、申請專利範圍：

1. 一種聚合物記憶體，包括：

第一多個導電字元線在y方向中彼此平行延伸，且具有在x-方向中以第一距離彼此間隔之中心線；

- 5 在字元線上x-與y-方向中之第一鐵電性聚合物記憶體材料；以及在第一鐵電性聚合物記憶體材料上在x-方向中彼此平行延伸之多個導電位元線，且具有中新線其在y-方向中以第二距離彼此間隔，

10 此第二距離小於第一距離，此等聚合物記憶體胞元之第一陣列是界定於第一鐵電性聚合物記憶體材料中，於此處各位元線通過第一多個字元線之各字元線，以致於當將所選擇之電壓差施加於各胞元相對側上之各字元線與位元線上時，此在各第一陣列各胞元之鐵電性聚合物記憶體材料之配向改變。

- 15 2. 如申請專利範圍第1項之聚合物記憶體，更包括：

在位元線上x-與y-方向中之第二鐵電性聚合物記憶體材料；以及

20 第二多個導電字元線在y-方向中在第二鐵電性聚合物記憶體材料上彼此平行延伸，且具有中心線其在x-方向中以等於第一距離之第三距離彼此間隔，此等聚合物記憶體胞元之第二陣列是界定於第二鐵電性聚合物記憶體材料中，於此處第二多個字元線之各字元線通過各位元線，以致於當將所選擇之電壓差施加至相對於各胞元之各字元線與位元線上時，此在各第二陣列各胞元

之鐵電性聚合物記憶體材料之配向改變。

3. 如申請專利範圍第2項之聚合物記憶體，其中各字元線具有在x-方向中之第一寬度，以及各位元線具有在y-方向中之第二寬度，且第二寬度小於第一寬度。
- 5 4. 如申請專利範圍第3項之聚合物記憶體，其中此等相鄰字元線在x-方向中以第一間隔彼此間隔，以及此等相鄰位元線在y-方向中以第二間隔彼此間隔，且第一間隔大於第二間隔。
5. 一種聚合物記憶體，包括：
 - 10 多個多層結構，其各包括：在x-方向中彼此平行延伸之多個位元線，且具有在y-方向中以第一距離彼此間隔之中心線；在位元線之第一與第二相面對面上之鐵電性聚合物記憶體材料；以及具有鐵電性聚合物記憶體材料之第一與第二多個導電字元線，與在第一與第二多個
 - 15 字元線間之位元線，此個多個字元線在y-方向中彼此平行延伸，且具有在x-方向中以第二距離彼此間隔之中心線，此第二距離大於第一距離；以及
 - 多個絕緣層，各介於各對多層結構之間。
6. 如申請專利範圍第5項之聚合物記憶體，其中各字元線
- 20 具有在x-方向中之第一寬度，以及各位元線具有在y-方向中之第二寬度，此第二寬度小於第一寬度。
7. 如申請專利範圍第6項之聚合物記憶體，其中此等相鄰字元線在x-方向中以第一間隔彼此間隔，以及此等相鄰位元線在y-方向中彼此以第二間隔而間隔，且第一間隔

大於第二間隔。

8. 一種聚合物記憶體，包括交替之導電線層與鐵電性聚合物記憶體材料層，此等導電線層之一些具有在y-方向中延伸之字元線，以及此等導電線層之另一些具有在x-方向中延伸之位元線，一些層之導電線具有以第一距離分隔之中心線，以及其他層之導電線具有以第二距離分隔之中心線，此第二距離小於第一距離。
9. 如申請專利範圍第8項之聚合物記憶體，其中此等具有以第二距離所分隔中心線之導電線層包括：少於此等導電線層之50%。
10. 如申請專利範圍第9項之聚合物記憶體，其中此等具有以第二距離所分隔中心線之導電線層包括：少於此等導電線層之30%。
11. 一種製造聚合物記憶體之方法，其包括以下步驟：
 - (i) 形成第一多個導電字元線，其在y-方向中彼此平行延伸，且具有在x-方向中以第一距離彼此間隔之中心線；
 - (ii) 形成在字元線上x-與y-方向中之第一鐵電性聚合物記憶體材料；以及
 - (iii) 形成在第一鐵電性聚合物記憶體材料上在x-方向中彼此平行延伸之多個導電位元線，且具有中新線其在y-方向中以第二距離彼此間隔，此第二距離小於第一距離，此等聚合物記憶體胞元之第一陣列是界定於第一鐵電性聚合物記憶體材料中，各於此處各位元線通過第一多個字元線之各字元線，以致於當將所選擇之電

壓差施加於各胞元相對側上之各字元線與位元線上時，此在各第一陣列各胞元之鐵電性聚合物記憶體材料之配向改變。

12.如申請專利範圍第11項之方法，更包括：

5 (iv) 形成在位元線上x-與y-方向中之第二鐵電性聚合物記憶體材料；以及

(v) 形成第二多個導電字元線在y-方向中在第二鐵電性聚合物記憶體材料上彼此平行延伸，且具有中心線其在x-方向中以等於第一距離之第三距離彼此間隔，此等聚合物記憶體胞元之第二陣列是界定於第二鐵電性聚合物記憶體材料中，於此處第二多個字元線之各字元線通過各位元線，以致於當將所選擇之電壓差施加至相對於各胞元之各字元線與位元線上時，此在各第二陣列各胞元之鐵電性聚合物記憶體材料之配向改變。

10

15 13.如申請專利範圍第12項之方法，其中步驟(i)至(v)形成多層結構之至少一部份，更包括：

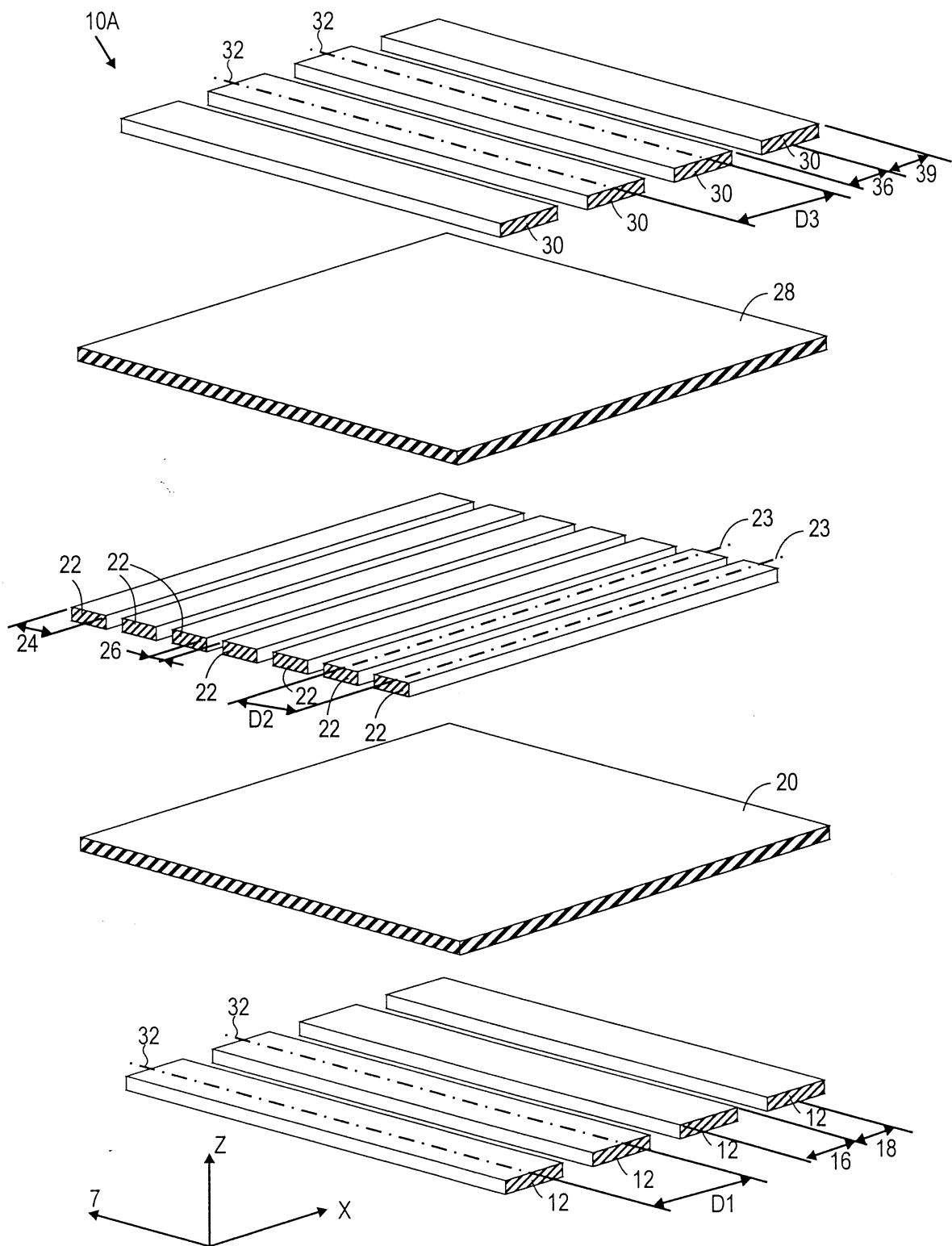
(vi) 在第二多個字元線上形成絕緣層；以及

(vii) 在絕緣層上重複步驟(i)至(v)。

14.如申請專利範圍第12項之方法，其中各字元線具有在x-方向中之第一寬度，以及各位元線具有在y-方向中之第二寬度，且第二寬度小於第一寬度。

20

15.如申請專利範圍第14項之方法，其中此等相鄰字元線在x-方向中以第一間隔彼此間隔，以及此等相鄰位元線在y-方向中以第二間隔彼此間隔，且第一間隔大於第二間隔。

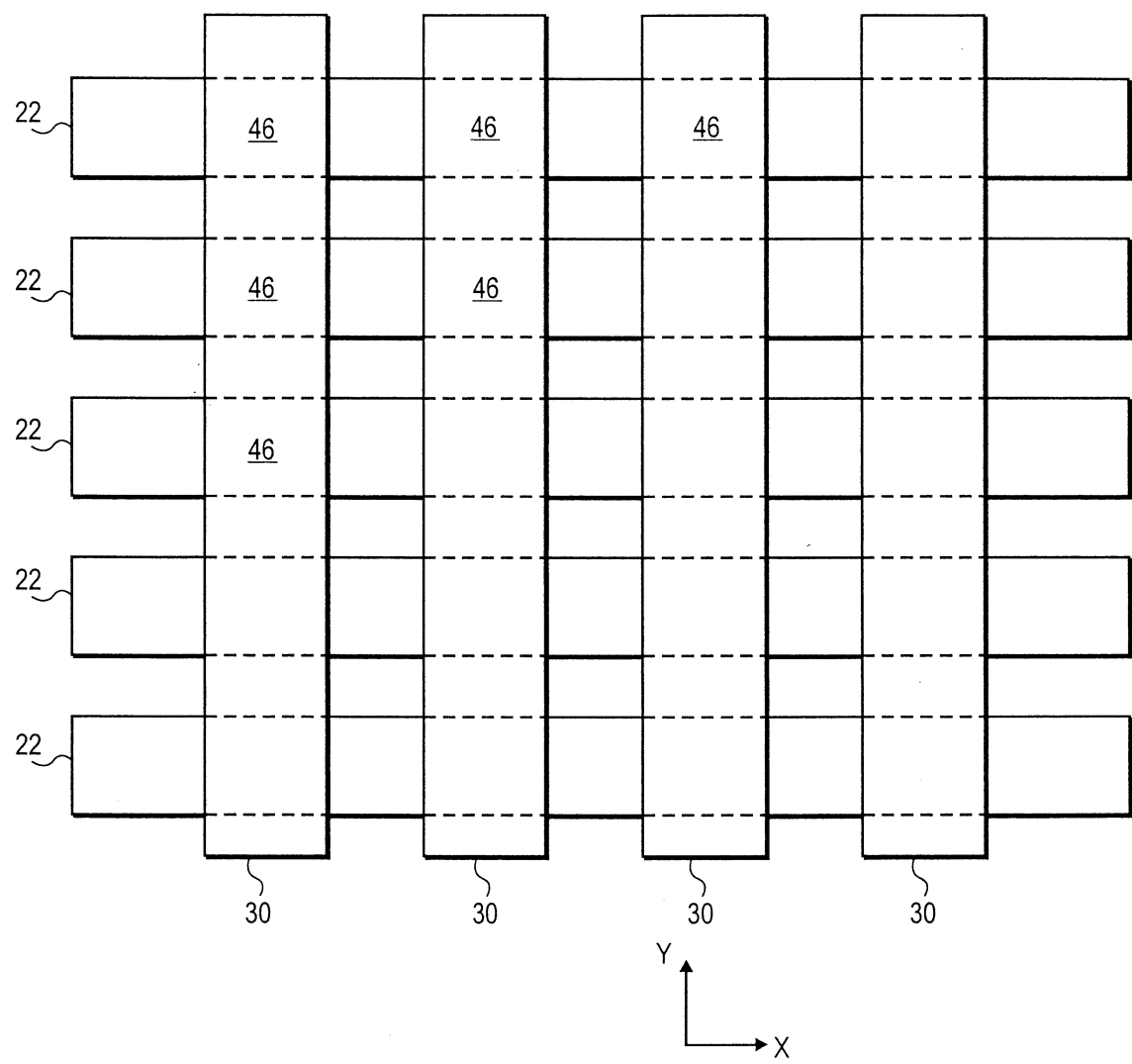


第 1 圖

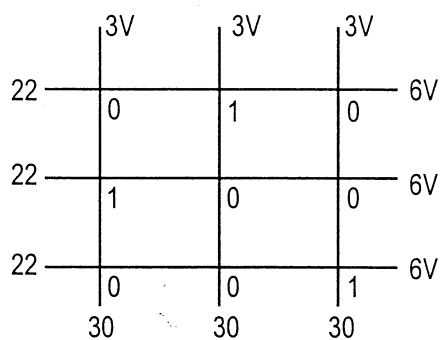
40
↙

多層結構 (使用3個寬間距遮罩與1個窄間距遮罩製成)	<u>10D</u>
<u>44C</u>	
多層結構 (使用2個寬間距遮罩與1個窄間距遮罩製成)	<u>10C</u>
<u>44B</u>	
多層結構 (使用2個寬間距遮罩與1個窄間距遮罩製成)	<u>10B</u>
<u>44A</u>	
多層結構 (使用2個寬間距遮罩與1個窄間距遮罩製成)	<u>10A</u>
設置於下之電子組件 (使用24個寬間距遮罩與4個窄間距遮罩製成)	<u>42</u>

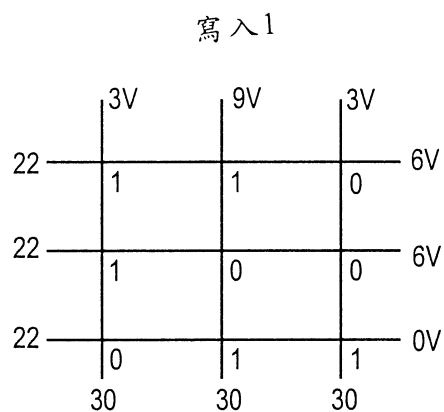
第 2 圖



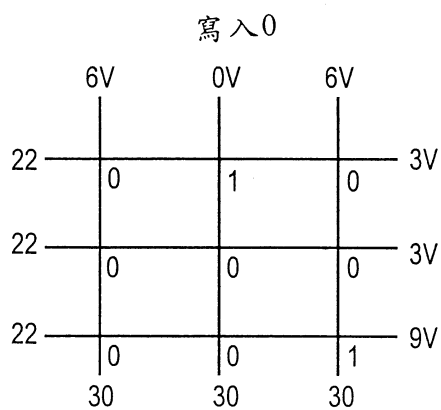
第 3 圖



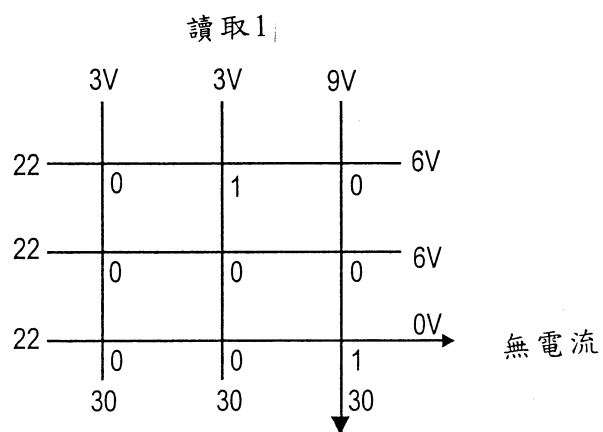
第 4A 圖



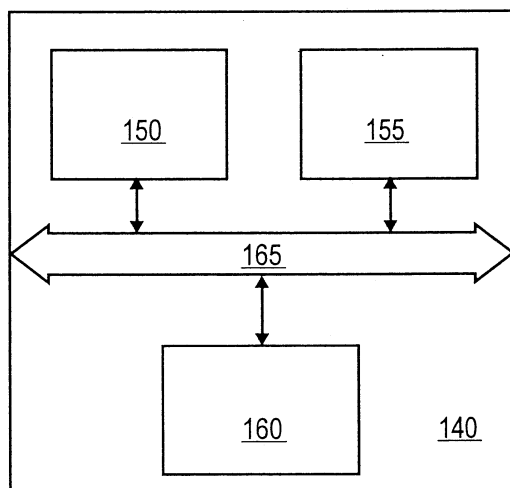
第 4B 圖



第 4C 圖



第 4D 圖



第 5 圖

七、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

10A…第一多層結構

10B…第二多層結構

10C…第三多層結構

10D…第四多層結構

40…聚合物記憶體

42…設置於下之電子組件

44A…第一絕緣層

44B…第二絕緣層

44C…第三絕緣層

44D…第四絕緣層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：