

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구  
국제사무국

(43) 국제공개일  
2012년 8월 2일 (02.08.2012)



(10) 국제공개번호  
**WO 2012/102559 A2**

- (51) 국제특허분류:  
H01L 29/778 (2006.01) B82B 3/00 (2006.01)  
H01L 21/336 (2006.01)
- (21) 국제출원번호: PCT/KR2012/000615
- (22) 국제출원일: 2012년 1월 26일 (26.01.2012)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:  
10-2011-0007951 2011년 1월 26일 (26.01.2011) KR  
10-2011-0007973 2011년 1월 26일 (26.01.2011) KR  
10-2012-0000131 2012년 1월 2일 (02.01.2012) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): **고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION)** [KR/KR]; 서울특별시 성북구 안암동 5가 1, 136-701 Seoul (KR).
- (72) 발명자: **김**
- (75) 발명자/출원인 (US 에 한하여): **이종권 (LEE, Jong Kwon)** [KR/KR]; 경기도 안양시 만안구 안양1동 1380번지, 프란체 아파트 110-1501, 430-011 Gyeonggi-do (KR). **김규태 (KIM, Gyu-Tae)** [KR/KR]; 경기도 광명시

철산 4동 도덕파크타운 104-106, 423-034 Gyeonggi-do (KR). **김용하 (KIM, Yongha)** [KR/KR]; 서울특별시 강서구 화곡본동 26-5 흥부네빌라 402, 157-019 Seoul (KR).

(74) 대리인: 특허법인주원 (B&IP-JOOWON PATENT AND LAW FIRM); 서울특별시 강남구 언주로 711, 건설회관 9층 (논현동), 135-701 Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

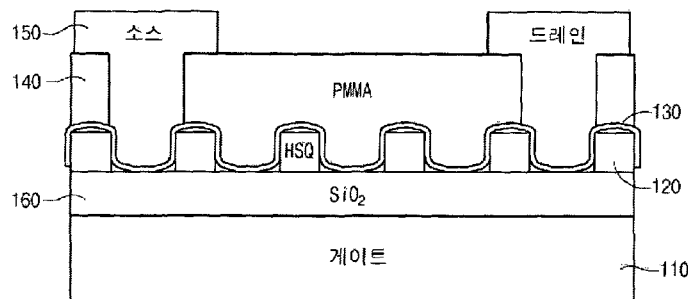
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ,

[다음 쪽 계속]

(54) Title: SEMICONDUCTOR DEVICE USING GRAPHENE, SEMICONDUCTOR DEVICE USING CARBON NANO-MATERIAL, SEMICONDUCTOR DEVICE ARRAY USING GRAPHENE, AND METHOD FOR FABRICATING SAME

(54) 발명의 명칭: 그래핀을 이용한 반도체 소자, 탄소 나노 물질을 이용한 반도체 소자, 그래핀을 이용한 반도체 소자 어레이, 및 그 반도체 소자 제조 방법

【도 5】



110 ... gate  
130 ... drain  
150 ... source

(57) Abstract: A semiconductor device using graphene comprises: a substrate; a pattern layer which is formed in a preset form on the substrate; and a graphene layer which is formed in a preset direction on the pattern layer. Since the graphene layer is formed on the pattern layer which is formed in advance, the structure of the graphene is physically deformed to allow the graphene to have semiconductor properties, so that it becomes possible to fabricate a semiconductor device using graphene. A semiconductor device using carbon nano-material comprises: a pattern layer which is formed on a substrate and has a preset form; an insulating film layer which is formed on the pattern layer; and a preset carbon nano-material layer which is formed on the insulating film layer. Since it is possible for carbon nano-material to have semiconductor properties by only fabricating a gate pattern, to which a gate signal is applied, in a preset form, it becomes possible to fabricate a semiconductor device having superior characteristic by means of carbon nano-material. A semiconductor device which is an electronic or photonic device comprises: a pattern area of a preset form which is formed on a preset position of a substrate;

[다음 쪽 계속]



TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서 없이 공개하며 보고서 접수 후 이를 별도 공개함 (규칙 48.2(g))

and a graphene layer which is formed on the pattern area. As described above, since the graphene layer is formed on the pattern area formed in advance, the structure of the graphene is physically deformed to allow the graphene to have the semiconductive properties, so that it becomes possible to fabricate a semiconductor device using graphene. In particular, the pattern area includes patterns which have repeated shapes and have mutually different periods, and a pattern of a repeated shape having a long period can be positioned within a pattern of a repeated shape having a short period. According to such a configuration, it is possible to fabricate a photonic device having a quantum well structure using graphene.

**(57) 요약서:** 그래핀을 이용한 반도체 소자는 기판, 기판상에 미리 설정된 형태로 형성된 패턴층, 및 패턴층상에 미리 설정된 방향으로 형성된 그래핀층을 포함한다. 그래핀층을 미리 형성된 패턴층상에 형성함으로써 그래핀의 구조가 물리적으로 변형이 생기게 되어 그래핀이 반도체적 성질을 띠게 되어 그래핀을 이용한 반도체 소자의 제조가 가능하게 된다. 탄소 나노 물질을 이용한 반도체 소자는 기판 상에 형성된 미리 설정된 형태를 가지는 패턴층, 패턴층상에 형성된 절연막층, 및 절연막층상에 형성된 미리 설정된 탄소 나노 물질층을 포함한다. 게이트 시그널(Gate signal)을 가하는 게이트 패턴(gate pattern)만을 미리 설정된 형태로 제작함으로써, 탄소 나노 물질이 반도체 성질을 띠게 할 수 있으므로 탄소 나노 물질을 이용하여 우수한 특성의 반도체 소자의 제조가 가능하게 된다. 전자 또는 광전자 소자인 반도체 소자는 기판, 기판상의 미리 설정된 위치에 형성된 미리 설정된 형태의 패턴 영역, 및 패턴 영역 상에 형성된 그래핀층을 포함한다. 이와 같이, 그래핀층을 미리 형성된 패턴 영역상에 형성함으로써 그래핀의 구조가 물리적으로 변형이 생기게 되어 그래핀이 반도체적 성질을 띠게 되어 그래핀을 이용한 반도체 소자의 제조가 가능하게 된다. 특히, 패턴 영역은 서로 다른 주기의 반복 형태의 패턴들을 포함하며, 큰 주기를 가지는 반복 형태의 패턴이 작은 주기를 가지는 반복 형태의 패턴 사이에 위치할 수 있다. 이와 같은 구성에 의하면, 그래핀을 이용해 양자 우물 구조를 가지는 광전자 소자를 제조할 수 있게 된다.

## 【명세서】

## 【발명의 명칭】

그래핀을 이용한 반도체 소자, 탄소 나노 물질을 이용한 반도체 소자, 그래핀을 이용한 반도체 소자 어레이, 및 그 반도체 소자 제조 방법

## 【기술분야】

<1> 본 발명은 반도체 소자에 관한 것으로서, 더욱 상세하게는 그래핀이나 탄소 나노 튜브와 같은 탄소 나노 물질 기반의 나노 소자(Nano Device)에 관한 것이다.

<2> 또한, 그래핀을 이용한 광전자 소자(photonic device) 및 광전자 소자 어레이에 관한 것이다.

<3> 본 발명에서의 반도체 소자란 반도체를 소재로 하여 만든 메모리 소자와 같이 흔히 사용되는 전자 소자는 물론, 양자 우물 효과 등을 이용하여 제작되는 광전자 소자를 포함하는 의미이다.

## 【배경기술】

<4> 지난 1985년에 발견된 풀러린(C60)과 1991년에 발견된 탄소나노튜브와 더불어 2004년~2005년에 이루어진 그래핀(graphene)의 성공적인 분리로 이제 탄소로만 이루어진 물질을 이용하여 0차원, 1차원 및 2차원 공간에서 전자 및 여러 입자들의 물리적 성질을 연구할 수 있게 되었다.

<5> 그래핀은 탄소 화합물으로써, 판상 구조를 가지는 그래파이트(graphite)의 한 겹인 2차원 물질이다. 도 1은 그래핀의 2차원 구조를 도시하고 있는 도면이다.

<6> 주로 공유결합을 통해서 이루어진 탄소 동소체들은 4개의 최외각 전자들의 파동함수의 선형결합의 방식에 따라 결정구조를 포함한 많은 물리적 성질이 결정된다. 공유결합을 이루는 대부분의 고체들은 전자를 발견할 확률분포가 원자와 원자 사이에서 최대가 된다. 탄소동소체 중 하나인 다이아몬드가 그 대표적인 예이다.

<7> 하지만, 그래핀에서는 세 개의 최외각 전자들의 선형결합만이 탄소간의 강한 공유결합에 참여하여 도 1에서 도시된 바와 같은 육각형 그물모양 평면을 만들고, 여분의 최외각 전자의 파동함수는 평면에 수직인 형태로 존재하게 된다. 평면에 평행하게 강한 공유결합에 참여하는 전자들의 상태를  $\sigma$ -오비탈이라고 부르며, 평면에 수직한 전자의 상태를  $\pi$ -오비탈이라 한다. 도 2는 그래핀의 구조에서  $\sigma$ -오비탈과  $\pi$ -오비탈의 모습을 개략적으로 도시한 도면이다.

<8> 그래핀의 물리적 성질을 결정하는 페르미준위 근처의 전자의 파동함수들은  $\pi$ -오비탈들의 선형 결합으로 이루어져 있다. 이러한 그래핀에서 전자의 결정운동량과 에너지는 서로 비례하는 분산관계( $E_k$ )를 가지므로, 다른 이차원 전자계와는

사소한 차이처럼 보이는 선형적인 결정 운동량-에너지 분산 관계식과 육각형 모양의 살창구조가 바로 개념적으로 새로운 이차원 전자계를 그래핀에서 만들어내는 가장 중요한 구성요소들이다.

<9> 따라서, 그래핀은 탄소 원자 한 층으로 돼 있어 세상에서 가장 얇은 물질이면서도 구조적 화학적으로 안정적이며, 뛰어난 전기적 성질을 가지고 있다. 현재 반도체에서 사용되는 단결정 실리콘보다 전자를 100배 이상 빠르게 이동시키고 구리보다도 100배 많은 전류를 흐르게 할 수 있어 기존 기술을 대체할 차세대 트랜지스터 및 전극 소재로 주목받고 있다.

<10> 그래핀은 열적, 전기적, 기계적 특성이 좋아 탄소나튜브만큼 많은 영역에서 그 응용을 기대하고 있다. 특히, 그래핀이 가지고 있는 이차원 구조는 앞에서 언급한 독특한 물리적 성질과 더불어 전기-전자적 응용 측면에서 여타의 탄소 동소체들과는 다른 매우 독특한 장점을 가지고 있다. 이차원 구조로 인하여 인쇄, 식각 등으로 대표되는 탑-다운(top-down) 방식의 일반적인 반도체 공정을 도입해서 전자회로를 구성할 수 있다는 장점이다.

<11> 그런데, 그래핀(Graphene)은 2차원 구조로  $\pi$ -오비탈의 전자들에 의해 생성되는 에너지 밴드 다이어그램(energy band diagram)을 보면 브릴루인 영역(brillouin zone) 내의 K 위치에서  $E=0$ 이 곳에 페르미 준위(Fermi level)이 있게 되므로, 기본적으로 금속성(metal-like) 성격을 가지고 있다.

<12> 도 3은 그래핀의 에너지 띠를 도시하고 있는 도면이다. 도 3에서 왼쪽 위 모서리에 그래핀의 브릴루인 영역이 도시되어 있다. 에너지가 0인 곳이 그래핀의 페르미 준위이며 K점에서 전도띠와 원자가띠가 한점에서 만난다. 오른쪽 영역은 낮은 에너지 영역의 에너지띠를 K점에서 확대해 본 그림이다. 두개의 고깔이 K점에서 서로 만나는 모양을 확인할 수 있다.

<13> 하지만, 그래핀(Graphene)이 전자 소자로서 활용되기 위해서는 반도체적 성질을 띠어야 하는데 이를 위해서는 그래핀(graphene)의 에너지 밴드 다이어그램(energy band diagram)에서 밴드갭(band gap)이 존재해야 하는 필요가 있다.

<14> 따라서 그래핀(graphene)의 에너지 밴드갭(Energy band gap)을 형성하기 위한 여러가지 다양한 방법들(결함(defect) 형성 등)이 제시되고 있으나, 현재까지는 기존의 실리콘(Si) 기반 트랜지스터(transistor)에 해당하는 스위칭 속도(switching speed)나 온/오프 전류비(On/Off ratio)를 구현하지는 못하고 있다.

<15> 또한, 광전자 소자의 적용을 위해 그래핀의 밴드갭을 용이하게 조절할 수 있는 기술이 개발되지 못하고 있는 상태이다.

<16> 탄소 나노 튜브는 흑연판(graphite sheet)이 나노 크기의 직경으로 둥글게 말린 형태로서, 그 직경이 나노미터 수준으로 극히 작은 영역의 물질을 말한다. 탄소 나노 튜브는 구조에 따라 한 겹으로 된 단일벽 탄소나노튜브(SWCNT), 여러겹의 탄소나노튜브가 동심원상을 이루는 다중벽 탄소나노튜브(MWCNT)로 크게 분류한다.

<17> 단일벽 탄소 나노 튜브(SWCNT)의 전기적 특성은 흑연판(graphite sheet)이 말린 각도에 따라 암체어(armchair), 지그재그(zigzag), 키랄(chiral) 타입으로 나눌 수 있는데 암체어(armchair) 나노튜브는 금속성을, 지그재그(zigzag) 나노튜브는 갭이 작은 반도체 이거나 준금속 성질을, 키랄(chiral) 나노튜브는 반도체 특성을 띠게 된다. 도 4는 탄소나노튜브의 여러 형태를 도시한 도면이다.

<18> 다이아몬드와 흑연, 풀러렌 등이 동소체에 속하며, SWCNT는 단순히 흑연판 한층을 말아 놓은 구조로 직경이 0.5~3nm이며 이중벽 탄소나노튜브는 단일벽 탄소나노튜브 두 층이 동심축을 이룬 형태로 직경이 1.4~3nm 에 이른다. 다중벽 탄소나노튜브는 벽수가 3~15겹으로 층을 이루며 직경은 5~100nm에 이른다.

<19> CNT의 경우도 완벽하게 도체성을 띠거나 반도체성을 띠는 CNT만을 분리하기 힘든 상황이며, 반도체적 성질을 띠는 CNT라고 하더라도 어느 정도 도체 성질을 나타내는 성분들이 혼재된 상태로 대부분 존재하게 된다.

<20> 따라서 CNT를 전계 효과 트랜지스터(FET)의 반도체층으로 이용할 경우에도 혼재된 도체 성분들 때문에 또는 CNT 로드(rod)들 간에 형성된 네트워크(network) 내의 접촉(contact) 저항 등에 의해서 반도체적 성질을 나타내는데 제약이 생겨 반도체적 성질이 저하되는 부분이 있어 왔다.

#### 【발명의 상세한 설명】

#### 【기술적 과제】

<21> 본 발명은 상술한 종래의 문제점을 해결하기 위해 안출된 것으로서, 그래핀을 이용하여 보다 우수한 특성을 가지는 반도체 소자, 및 반도체 소자를 제조하는 방법을 제공하는 것을 목적으로 한다.

<22> 또한, 그래핀의 밴드갭을 용이하게 조절하여 광전자 소자로의 적용이 가능하도록 하는 반도체 소자 및 반도체 소자 어레이를 제공하는 것을 목적으로 한다.

<23> 또한, 그래핀이나 탄소 나노 튜브와 같은 탄소 나노 물질을 이용하여 보다 우수한 특성을 가지는 반도체 소자, 및 반도체 소자를 제조하는 방법을 제공하는 것을 목적으로 한다.

#### 【기술적 해결방법】

<24> 상기 목적을 달성하기 위해 본 발명의 제1태양에 따른 그래핀을 이용한 반도체

체 소자는기관, 기관상에 미리 설정된 형태로 형성된 패턴층, 및 패턴층상에 미리 설정된 방향으로 형성된 그래핀층을 포함한다.

<25> 이와 같이, 그래핀층을 미리 형성된 패턴층상에 형성함으로써 그래핀의 구조가 물리적으로 변형이 생기게 되어 그래핀이 반도체적 성질을 띠게 되어 그래핀을 이용한 반도체 소자의 제조가 가능하게 된다.

<26> 반도체 소자는 그래핀층상에 형성된 패시베이션층을 더 포함할 수 있다. 이 경우 패시베이션층은 그래핀층을 보호할 뿐만 아니라 그래핀층이 변형된 패턴을 계속 유지하도록 해주는 기능을 수행하게 된다.

<27> 또한, 반도체 소자는 그래핀층의 미리 설정된 영역에 형성된 전극층을 더 포함할 수 있다. 그래핀 소자는 형성된 전극에 의해 전력을 공급받을 수 있게 된다.

<28> 또한, 반도체 소자는 기관과 그래핀층 사이에 형성된 절연막층을 더 포함할 수 있다. 이 경우 반도체 소자는 그래핀층 상에 형성된 전극층을 소스/드레인 전극으로 하고 기관을 게이트 전극으로 하는 트랜지스터 소자를 구현할 수 있게 된다.

<29> 아울러, 상기 반도체 소자를 제조하는 방법이 함께 개시된다.

<30> 또한, 상기 목적을 달성하기 위해 본 발명의 제2태양에 따른 탄소 나노 물질을 이용한 반도체 소자는 기관 상에 형성된 미리 설정된 형태를 가지는 패턴층, 패턴층상에 형성된 절연막층, 및 절연막층상에 형성된 미리 설정된 탄소 나노 물질층을 포함한다.

<31> 게이트 시그널(Gate signal)을 가하는 게이트 패턴(gate pattern)만을 미리 설정된 형태로 제작함으로써, 탄소 나노 물질이 반도체 성질을 띠게 할 수 있으므로 탄소 나노 물질을 이용하여 우수한 특성의 반도체 소자의 제조가 가능하게 된다.

<32> 또한, 반도체 소자는 패턴층과 기관 사이에 형성된 절연막층을 더 포함할 수 있다. 이와 같은 구성으로 보다 다양한 형태의 반도체 소자의 제조가 가능하게 된다.

<33> 탄소 나노 물질층에 사용되는 탄소 나노 물질은 그래핀, 또는 탄소 나노 튜브일 수 있다. 이러한 구성에 의해, 그래핀(graphene)의 금속성(metal-like) 성질을 변화시켜 반도체 성질을 띠게 할 수 있고, 탄소 나노 튜브 네트워크(CNT Network) 내의 탄소 나노 튜브 로드(CNT rod)들 간의 접촉 방식에 상관없이 반도체적 성질을 용이하게 갖게 할 수 있다.

<34> 탄소 나노 물질층의 그래핀은 패턴층의 형태에 대해 미리 설정된 방향으로 형성될 수 있다. 이 경우 그래핀의 형성 방향에 따라 다른 특성을 가지는 반도체

소자를 제조할 수 있게 된다.

<35> 또한, 탄소 나노 물질층상의 미리 설정된 영역에 형성된 전극층을 더 포함할 수 있다. 이러한 구성으로 탄소 나노 물질층에 전력을 공급할 수 있고, 기판을 게이트 전극으로 사용하는 트랜지스터의 구조를 구현할 수 있게 된다.

<36> 아울러, 상기 반도체 소자를 제조하는 방법 발명이 개시된다.

<37> 또한, 상기 목적을 달성하기 위해, 본 발명의 제3태양에 따른 그래핀을 이용한 반도체 소자는 기판, 기판상의 미리 설정된 위치에 형성된 미리 설정된 형태의 패턴영역, 및 패턴영역상에 형성된 그래핀층을 포함한다.

<38> 이와 같이, 그래핀층을 미리 형성된 패턴 영역상에 형성함으로써 그래핀의 구조가 물리적으로 변형이 생기게 되어 그래핀이 반도체적 성질을 띠게 되어 그래핀을 이용한 반도체 소자의 제조가 가능하게 된다.

<39> 이때, 패턴영역은 서로 다른 주기의 반복 형태의 패턴들을 포함하며, 큰 주기를 가지는 반복 형태의 패턴이 작은 주기를 가지는 반복 형태의 패턴 사이에 위치할 수 있다. 이와 같은 구성은 그래핀을 이용해 양자 우물 구조를 가지는 광전자 소자를 제조할 수 있게 된다.

<40> 반복 형태는 라인 그리드(line-grid) 형태이고, 반복 형태의 상부와 하부는 동일한 거리 비율을 가지며, 반복 형태에 의해 변형되는 그래핀 구조의 형태는 지그재그(zigzag) 형태일 수 있다. 이러한 구성은 보다 우수한 성능의 양자 우물 구조 광전자 소자의 제조를 가능하게 한다.

<41> 작은 주기를 가지는 반복 형태의 패턴 사이에 큰 주기를 가지는 반복 형태의 패턴과 작은 주기를 가지는 반복 형태의 패턴이 교대로 반복적으로 위치할 수 있다. 이러한 구성은 그래핀을 이용하여 다중 양자 우물 구조의 광전자 소자의 제조를 가능하게 해준다.

<42> 또한, 본 발명에 따른 반도체 소자는 기판상의 패턴 영역 외부에 그래핀층이 연장되어 위치하는 평탄 영역을 더 포함할 수 있다. 이러한 구성은 단일 소자에 신호를 연결하는 금속 배선이 별도로 필요없는 반도체 소자를 제조할 수 있도록 해준다.

<43> 또한, 본 발명에 따른 그래핀을 이용한 반도체 소자 어레이는 복수의 반도체 소자, 및 복수의 반도체 소자를 서로 연결하는 배선을 포함한다. 이때, 반도체 소자는, 기판상의 미리 설정된 위치에 형성된 미리 설정된 형태의 패턴영역, 패턴영역상에 형성된 그래핀층, 및 기판상의 패턴 영역 외부에 그래핀층이 연장되어 위치하는 평탄 영역을 포함하고, 배선은 반도체 소자들의 평탄 영역의 그래핀층들이 연

결되는 그래핀층이다.

<44> 이러한 구성에 의하면, 평판 디스플레이나 메모리 칩과 같이 단일 소자를 어레이 형태로 제작하여 사용하는 경우 요구되는 다수의 공정을 생략할 수 있게 되어, 저비용으로도 우수한 성능의 디스플레이와 메모리 칩의 구현이 가능하게 된다.  
【유리한 효과】

<45> 본 발명에 의하면, 금속(metal) 성질을 띠는 그래핀(graphene)에 반도체 성질을 띠게 할 수 있어 그래핀을 이용한 반도체 소자의 제조가 가능하게 된다.

<46> 또한, 본 발명은 종래 제안된 발명들에 비해 밴드갭 조절이 용이하기 때문에, 본 발명을 통해 제작된 전계효과 트랜지스터는 기존 그래핀(graphene) 기반 소자 대비 우수한 온/오프 전류비(on/off ratio) 및, 이동도(mobility) 그리고 스위칭 속도(switching speed)를 제공한다.

<47> 또한, 본 발명은 대면적 저비용(low cost) 공정이 가능하여 제품 개발 및 양산이 타 기술 대비 매우 우수하다.

<48> 또한, 탄소 나노 튜브 네트워크(CNT Network) 내의 탄소 나노 튜브 로드(CNT rod)들 간의 접촉 방식에 상관없이 반도체적 성질을 용이하게 갖게 할 수 있다.

<49> 또한, 게이트 시그널(Gate signal)을 가하는 게이트 패턴(gate pattern)만을 나노 스케일(Nano scale)로 제작함으로써, 후속 소자(device) 제조 공정이 단순해지고 저비용(low cost) 제품 개발이 가능하다.

<50> 또한, 그래핀을 이용해 양자 우물 구조를 가지는 광전자 소자를 제조할 수 있게 된다.

<51> 또한, 보다 우수한 성능의 양자 우물 구조의 광전자 소자의 제조가 가능해진다.

<52> 또한, 그래핀을 이용하여 다중 양자 우물 구조의 광전자 소자의 제조가 가능해진다.

<53> 또한, 단일 소자에 신호를 연결하는 금속 배선이 별도로 필요없는 반도체 소자를 제조할 수 있게 된다.

<54> 또한, 평판 디스플레이나 메모리 칩과 같이 단일 소자를 어레이 형태로 제작하여 사용하는 경우 요구되는 다수의 공정을 생략할 수 있게 되어, 저비용으로도 우수한 성능을 가지는 디스플레이와 메모리 칩의 구현이 가능하게 된다.

#### 【도면의 간단한 설명】

<55> 도 1은 그래핀의 2차원 구조를 도시하고 있는 도면.

<56> 도 2는 그래핀의 구조에서  $\sigma$ -오비탈과  $\pi$ -오비탈의 모습을 개략적으로 도시

한 도면.

- <57> 도 3은 그래핀의 에너지 띠를 도시하고 있는 도면.
- <58> 도 4는 탄소나노튜브의 여러 형태를 도시한 도면.
- <59> 도 5는 본 발명의 제1태양에 따른 반도체 소자의 개략적인 단면도.
- <60> 도 6는 기판상에 형성된 패턴에 대한 그래핀층의 형성 방향을 도시한 도면.
- <61> 도 7은 본 발명의 제1태양에 따른 그래핀을 이용한 반도체 소자 제조 방법의 일 실시예를 수행하기 위한 개략적인 흐름도.
- <62> 도 8은 도 7의 방법에 따라 제조되는 반도체 소자의 제조 공정을 도시한 도면.
- <63> 도 9는 본 발명의 제2태양에 따른 탄소 나노 물질을 이용한 반도체 소자의 일 실시예의 개략적인 단면도.
- <64> 도 10은 본 발명의 제2태양에 따른 탄소 나노 물질을 이용한 반도체 소자의 다른 실시예의 개략적인 단면도.
- <65> 도 11은 본 발명의 제2태양에 따른 탄소 나노 물질을 이용한 반도체 소자 제조 방법의 일 실시예를 수행하기 위한 개략적인 흐름도.
- <66> 도 12는 도 11의 방법에 따라 도 9의 소자를 제조하는 공정을 도시한 도면.
- <67> 도 13은 도 11의 방법에 따라 도 10의 소자를 제조하는 공정을 도시한 도면.
- <68> 도 14는 본 발명의 제3태양에 따른 그래핀을 이용한 광전자 소자의 일 실시예의 구조를 개략적으로 도시한 도면.
- <69> 도 15는 양자우물 에너지 밴드 다이어그램.
- <70> 도 16은 서로 다른 간격을 가지고 형성된 인접한 반복된 그리드(grid) 구조 위에 놓인 그래핀을 통해 형성된 다중 양자 우물을 도시한 도면.
- <71> 도 17은 주기적으로 변형된 그래핀과 에너지 밴드 구조를 도시한 도면.
- <72> 도 18은 패턴의 에지에 위치한 그래핀의 방향이 지그재그인 경우를 도시한 도면.
- <73> 도 19는 그래핀만으로 형성된 전자소자(전계효과 트랜지스터) 또는 광소자 (양자우물 소자)와 전극 배선을 도시한 도면.
- <74> 도 20은 그래핀만으로 형성된 전자소자(전계효과 트랜지스터) 또는 광소자(양자 우물 소자) 어레이를 도시한 도면.
- 【발명의 실시를 위한 형태】
- <75> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.
- <76> 도 5는 본 발명의 제1태양에 따른 반도체 소자의 개략적인 단면도이다.

- <77> 도 5에서, 그래핀을 이용한 반도체 소자는, 기판(110), 패턴층(120), 그래핀층(130), 패시베이션층(140), 전극층(150), 및 절연막층(160)을 포함한다.
- <78> 패턴층(120)은 미리 설정된 형태로 기판(110)상에 형성되고, 그래핀층(130)은 미리 설정된 방향으로 패턴층(120) 상에 형성된다.
- <79> 이와 같이, 그래핀층(130)을 미리 형성된 패턴층(120)상에 형성함으로써 그래핀의 구조가 물리적으로 변형이 생기게 되어 그래핀이 반도체적 성질을 띠게 되어 그래핀을 이용한 반도체 소자의 제조가 가능하게 된다.
- <80> 반도체 소자는 1차원 또는 2차원 형태의 주기적으로 형성된 패턴(pattern) 위에 그래핀(graphene)을 올려 그래핀(graphene)의 평면구조를 변화시키는 모든 구조를 포함한다.
- <81> 따라서, 미리 설정된 패턴은 탄소나노튜브(CNT)처럼 완전히 폐쇄된(closed)된 구조나 그래핀 쉬트(graphene sheet)처럼 완전 2차원적으로 개방(open)되는 구조가 아닌 것으로서, 반원통(half-cylinder) 구조를 포함한 주기적 패턴(pattern)들의 가능한 형태로 그루브(groove), 스트라이프(stripe), 직사각형(Rectangle), 삼각형(triangle), 원형(circular), 타원형(elliptic), 원통형(cylinder) 등의 구조로 형성될 수 있다.
- <82> 또한, 주기적 패턴(pattern)들을 형성하기 위해, 전자빔 레지스트 등을 이용하여 기판 상에 새로운 패턴층을 형성하는 것은 물론, 기판(substrate)이나 다른 금속(metal), 절연막 등을 식각(etching)하여 패턴을 형성할 수도 있다.
- <83> 본 실시예에서와 같이, 전자빔(e-beam) 등과 같은 장비를 이용하여 나노미터 스케일(scale)로 주기적인 패턴(pattern)을 형성한 후, 그 위에 그래핀 쉬트(graphene sheet)를 올리게 되면, 그래핀(graphene) 구조가 물리적으로 주기적으로 변형이 생기게 된다.
- <84> 반도체에서 주기적인 전자 포텐셜(electronic potential)에 의해 전자의 에너지 밴드갭이 생기듯이, 기본적으로 밴드갭(band gap) 에너지가 ~0이라서 메탈 특성을 띠는 2차원 그래핀(graphene)의 평면 구조를 주기적으로 바꾸어 줌으로써 변형된 전기적 포텐셜에 의해 그래핀(graphene) 내의 에너지 밴드 갭(energy band gap)이 생성되게 된다.
- <85> 이때 생기는 밴드갭의 크기와 위치는 물리적으로 변형된 주기적 배열의 간격(pitch) 또는 단차(height) 그리고 하부에 놓인 물질과의 상호 작용(interaction) 등에 의해 여러가지로 다르게 나타나게 된다.
- <86> 또한, 반도체 소자는 1차원, 2차원 주기적 어레이(array)에 그래핀

(graphene)의 방향을 0~180도 바꾸어 가면서 올리는 구조로서, 그래핀층이 형성되는 미리 설정된 방향에 따른 서로 다른 에너지 밴드 갭(energy band gap) 특성을 유도하여 소자(device) 응용 별로 적합한 방향을 선택할 수 있다.

<87> 도 6은 기판상에 형성된 패턴에 대한 그래핀층의 형성 방향을 도시한 도면이다.

<88> 도 6과 같이 형성된 패턴 위에 놓인 그래핀층의 형성 방향에 따른 주기적 변형 구조 간격의 변화는 그래핀의 밴드갭을 변화시키게 되어 제조된 반도체 소자의 특성을 변화시키게 된다.

<89> 반도체 소자는 그래핀층(130)상에 형성된 패시베이션(passivation; 140)층을 더 포함할 수 있다. 이 경우 패시베이션층(140)은 그래핀층(130)을 보호할 뿐만 아니라 그래핀층(130)이 변형된 패턴을 계속 유지하도록 해주는 기능을 수행하게 된다.

<90> 전극층(150)은 그래핀층(130)의 미리 설정된 영역에 형성된다. 이러한 구성에 의해 그래핀층은 형성된 전극에 의해 전력을 공급받을 수 있게 된다. 예를 들어, 전계 효과 트랜지스터(FET) 소자를 제작하기 위해 그래핀(graphene) 위에 형성된 패시베이션층(passivation layer; 140))를 통해 금속(Metal) 전극들을 형성할 수 있다.

<91> 절연막층(160)은 기판과 그래핀층(130) 사이에 형성된다. 이 경우 반도체 소자는 그래핀층(130) 상에 형성된 전극층(160)을 소스/드레인 전극으로 하고 기판(110)을 게이트 전극으로 하는 트랜지스터 소자를 구현할 수 있게 된다.

<92> 도 7은 본 발명의 제1태양에 따른 그래핀을 이용한 반도체 소자 제조 방법의 일 실시예를 수행하기 위한 개략적인 흐름도이고, 도 8은 도 7의 방법에 따라 제조되는 반도체 소자의 제조 공정을 도시한 도면이다.

<93> 먼저, 실리콘(Silicon) 기판위에 게이트(gate) 절연막으로 사용되는  $\text{SiO}_2$  층(layer)을 열산화법(thermal oxidation)으로 형성한다(S110).

<94> 다음으로, HSQ 또는 PMMA와 같은 전자빔(e-beam)용 레지스트(resist)(ER)를 코팅 하고, 전자빔(e-beam)으로 주기적인 HSQ 또는 PMMA에 라인 패턴(line pattern)을 형성한다(S120).

<95> 이어서, PMMA 또는 HSQ 패턴(pattern) 위에 그래핀(graphene)을 코팅(coating)하거나 증착(deposition) 한다(S130).

<96> 그 위에 PMMA를 코팅(coating)하여 주기적 패턴(pattern)을 따라서 그래핀(graphene)이 밀착 형성 되도록 한다(S140).

<97> 마지막으로, PMMA를 전자빔(e-beam)으로 패터닝(patterning)을 하고, 소스/

드레인(source/drain) 전극 형성을 위해 금(Au)과 같은 금속층(metal layer)을 증착(deposition)하고, S/D 전극 패턴(pattern)을 형성하기 위해 PMMA 또는 PR을 다시 코팅(coating)하고, PMMA (PR)을 e-beam (photolithography)에 의해 패터닝(patterning)을 하며, 형성된 PMMA 또는 PR을 이용하여 Source /Drain 전극을 형성함으로써 3단자 트랜지스터(transistor) 제작을 완료하게 된다(S150).

&lt;98&gt;

&lt;99&gt;

도 9는 본 발명의 제2태양에 따른 탄소 나노 물질을 이용한 반도체 소자의 일 실시예의 개략적인 단면도이다. 도 9에서, 탄소 나노 물질을 이용한 반도체 소자는 기판(210), 패턴층(220), 절연막층(230), 탄소나노물질층(240), 전극층(250)을 포함한다.

&lt;100&gt;

패턴층(220)은 기판(210)상에 형성된 미리 설정된 형태로 형성되고, 절연막층(230)은 패턴층(220)상에 형성되며, 탄소 나노 물질층(240)은 절연막층(230)상에 형성된다.

&lt;101&gt;

이때, 반도체 소자는 1차원 또는 2차원 형태의 주기적으로 형성된 게이트 시그널 패턴(gate signal pattern)을 이용하여 그래핀(graphene)의 전자 포텐셜(electronic potential)을 변화시키는 모든 구조를 포함하며, 탄소 나노 튜브 네트워크(CNT network)나 단일 탄소 나노 튜브 로드(CNT rod), 그리고 나노 와이어(Nano wire) 등을 이용하여 전계 효과 트랜지스터(FET)의 활성 채널(active channel)로 이용하는 모든 구조에서 게이트 시그널(gate signal)을 주기적으로 가하는 형태를 포함한다.

&lt;102&gt;

이와 같이, 게이트 시그널(Gate signal)을 가하는 게이트 패턴(gate pattern)만을 미리 설정된 형태로 제작함으로써, 탄소 나노 물질이 반도체 성질을 띠게 할 수 있으므로 탄소 나노 물질을 이용하여 우수한 특성의 반도체 소자의 제조가 가능하게 된다.

&lt;103&gt;

절연막층(230)은 패턴층(220)과 기판(210) 사이에도 형성될 수 있다. 이와 같은 구성으로 보다 다양한 형태의 반도체 소자의 제조가 가능하게 된다.

&lt;104&gt;

도 10은 본 발명의 제2태양에 따른 탄소 나노 물질을 이용한 반도체 소자의 다른 실시예의 개략적인 단면도이다. 도 10에서는 도 9에서와는 달리 절연막층(230)이 패턴층(220)과 기판(210) 사이에도 형성되어 있는 것을 확인할 수 있다.

&lt;105&gt;

탄소 나노 물질층(240)에 사용되는 탄소 나노 물질은 그래핀, 또는 탄소 나노 튜브일 수 있다. 탄소 나노 물질이 그래핀인 경우 그래핀(graphene)의 금속성(metal-like) 성질을 변화시켜 반도체 성질을 띠게 할 수 있고, 탄소 나노 튜브인

경우 탄소 나노 튜브 네트워크(CNT Network) 내의 탄소 나노 튜브 로드(CNT rod)들 간의 접촉 방식에 상관없이 반도체적 성질을 용이하게 갖게 할 수 있다.

<106> 이와 같이, 전자빔(e-beam) 등과 같은 장비를 이용하여 나노미터 스케일(scale)의 주기적인 패턴(pattern)을 가진 게이트(gate) 배선들을 형성한 후, 그 위에 게이트(Gate) 절연막을 형성하고 그 위에 그래핀 쉬트(graphene sheet)나 탄소 나노 튜브(Carbon Nano tube) 등을 올리게 되면, 그래핀(graphen) 또는 CNT 내에 전자들이 느끼는 전기적 포텐셜 에너지(potential energy)가 주기적으로 바뀌게 할 수 있다.

<107> 이를 위해 도 9에서와 같이 전기적 포텐셜의 변화가  $-V$ ,  $-V'$ ,  $-V$ ,  $-V'$ , 식으로 변화되도록 주기적 패터닝을 하거나, 도 10에서와 같이 전기적 포텐셜을  $-V$ ,  $0 - V$ ,  $0$  와 같이 변화되도록 제작 할 수 있다.

<108> 따라서, 이들 각각의 경우 서로 다른 에너지 밴드갭을 갖는 반도체 성질을 띠게 할 수 있을 뿐만 아니라, 공간 주기적 게이트 배선의 물리적 구조를 단순히 바꾸어 줌으로써 상대적으로 쉽게 밴드갭 엔지니어링(band gap engineering)을 할 수 있다.

<109> 그러므로, 기본적으로 밴드갭(band gap) 에너지가  $\sim 0$ 인 그래핀(graphene)의 특성을 변형시켜 반도체적 성질을 띠게 할 수 있으며, CNT를 이용한 전계 효과 트랜지스터 제작시 CNT 네트워크(network)내의 CNT 로드(rod)들 간의 접촉(contact)에 따른 반도체적 성질을 개선할 수 있으므로 이를 이용한 CNT 전계 효과 트랜지스터의 성능 향상도 기대 할 수 있다.

<110> 또한, 탄소 나노 물질이 그래핀인 경우 탄소 나노 물질층(140)의 그래핀은 미리 설정된 방향으로 형성된다. 이와 같은 구성으로, 그래핀층의 형성 방향에 따라 다른 특성을 가지는 반도체 소자를 제조할 수 있게 된다.

<111> 도 6에서처럼 게이트 시그널(gate signal)의 공간 주기적 패턴과 그래핀(graphene) 또는 CNT의 놓인 위치에 따른 변형된 전기 포텐셜에 의해서 서로 다른 밴드갭(band gap)을 갖는 트랜지스터(Transistor)의 제작이 가능하다.

<112> 이와 같이, 1차원, 2차원 주기적 어레이(array)에 그래핀(graphene) 또는 CNT의 방향을  $0 \sim 180$ 도 바꾸어 가면서 올리는 구조를 채택함으로써, 방향에 따른 서로 다른 에너지 밴드갭(energy band gap) 특성을 유도하여 소자(device) 응용별로 적합한 방향을 선택할 수 있게 된다.

<113> 전극층(250)은 탄소 나노 물질층(240)상의 미리 설정된 영역에 형성된다. 이러한 구성으로 탄소 나노 물질층(240)에 전력을 공급할 수 있고, 기판(210)을 게이

트 전극으로 사용하는 트랜지스터의 구조를 구현할 수 있게 된다.

<114> 도 11은 본 발명의 제2태양에 따른 탄소 나노 물질을 이용한 반도체 소자 제조 방법의 일 실시예를 수행하기 위한 개략적인 흐름도이고, 도 12는 도 11의 방법에 따라 도 9의 소자를 제조하는 공정을 도시한 도면이다.

<115> 먼저, 실리콘(Silicon) 기판위에 PMMA나 HSQ와 같은 전자빔(e-beam) 용 레지스트(resist)(ER)을 코팅 한 후 전자빔(e-beam)으로 주기적인 라인 패턴(line pattern)을 형성한다.(S210)

<116> 다음으로, 형성된 PMMA 또는 HSQ 패턴(pattern) 사이에 들어나 있는 실리콘(silicon) 기판의 표면을 드라이 에칭(dry etching)한 후 남아있는 PMMA 또는 HSQ 층(layer)을 스트립(strip) 공정을 하여 벗겨내고, 식각(etching)된 실리콘(silicon) 기판 위에 SiO<sub>2</sub>층(layer)을 열산화법 (thermal oxidation)으로 형성한다.(S220)

<117> 이어서, 기판의 주기적 패턴(pattern)이 형성되어 있는 영역의 게이트(gate) 절연층 위에 그래핀(graphene) 또는 탄소 나노 튜브(CNT)를 형성한다(S230).

<118> 마지막으로, 그 위에 S/D 금속(metal)을 증착(depositon)하고, 포토 레지스트(Photo resist; PR)을 코팅(coating)한 후 현상(develop) 공정을 통해 PR 패터닝(patterning)을 하며, 금속층(Metal layer)을 식각(etching)하여 소스/드레인(Source /Drain) 영역을 형성함으로써, 3단자 트랜지스터(transistor) 제작을 완료하게 된다.

<119> 이 경우에 주기적 게이트 패턴(gate pattern)에 의해 인가된 전기적 포텐셜이 -V, -V', -V, -V', 순으로 변화하게 되어 그래핀(graphene)의 밴드갭(band gap)을 개방(open)하거나 탄소 나노 튜브(CNT)의 반도체적 성질을 개선하게 된다.

<120> 도 13은 도 11의 방법에 따라 도 10의 소자를 제조하는 공정을 도시한 도면이다.

<121> 먼저, 실리콘(Silicon) 기판 위에 게이트(gate) 절연막으로 사용되는 SiO<sub>2</sub> 층(layer)을 열산화법 (thermal oxidation)으로 형성한 후, 게이트 메탈층(gate metal layer)을 증착(deposition) 하고, PMMA나 HSQ와 같은 전자빔(e-beam)용 레지스트(resist)(ER)을 코팅한 후, 전자빔(e-beam)으로 주기적인 라인 패턴(line pattern)을 형성하며, 형성된 PMMA 또는 HSQ 패턴(pattern) 사이에 들어나 있는 게이트 금속(gate metal) 표면을 웨트 에칭(wet etch) 또는 드라이 에칭(dry etching) 한 후 남아있는 PMMA 또는 HSQ 층(layer)을 스트립(strip) 공정을 하여 벗겨낸다(S210).

<122> 다음으로, 그 위에 SiO<sub>2</sub>층(layer)을 열산화법 (thermal oxidation)으로 형성하여, 주기적 게이트(gate) 전극 및 게이트(gate) 절연막 형성을 완료한다(S220).

<123> 이어서, 기판의 주기적 패턴(pattern)이 형성되어 있는 영역의 게이트(gate) 절연층위에 그래핀(graphene) 또는 탄소 나노 튜브(CNT)를 형성한다(S230).

<124> 마지막으로, 그 위에 S/D 금속(metal)을 증착(deposition)하고, 포토 레지스트(Photo resist; PR)를 코팅(coating)한 후 현상(develop) 공정을 통해 PR 패턴닝(patterning)을 하며, 금속층(Metal layer)을 식각(etching)하여 소스/드레인(Source /Drain) 영역을 형성함으로써, 3단자 트랜지스터(transistor) 제작을 완료하게 된다(S240).

<125> 이 경우에 주기적 게이트 패턴(gate pattern)에 의해 인가된 전기적 포텐셜이  $-V$ ,  $0$ ,  $-V$ ,  $0$ , 순으로 변화하게 되어 그래핀(graphene)의 밴드갭(band gap)을 개방(open)하거나 탄소 나노 튜브(CNT)의 반도체적 성질을 개선하게 된다.

<126>

<127> 도 14는 본 발명의 제3태양에 따른 그래핀을 이용한 광전자 소자의 일실시예의 구조를 개략적으로 도시한 도면이다. 도 14에서, 그래핀을 이용한 광전자 소자(300)는 기판(310), 기판(310)상의 미리 설정된 위치에 형성된 미리 설정된 형태의 패턴 영역(320), 및 패턴 영역(320) 상에 형성된 그래핀층(330)을 포함한다.

<128> 이와 같이, 그래핀층(330)을 미리 형성된 패턴 영역(320) 상에 형성함으로써 그래핀의 구조가 물리적으로 변형이 생기게 되어 그래핀이 반도체적 성질을 띠게 되어 그래핀을 이용한 광전자 소자의 제조가 가능하게 된다.

<129> 이때, 패턴 영역(320)은 서로 다른 주기의 반복 형태의 패턴들을 포함하며, 큰 주기를 가지는 반복 형태의 패턴이 작은 주기를 가지는 반복 형태의 패턴 사이에 위치할 수 있다. 이와 같은 구성은 그래핀을 이용해 양자 우물 구조를 가지는 광전자 소자를 제조할 수 있게 된다.

<130> 도 15는 양자 우물 에너지 밴드 다이어그램이다. 단일 양자 우물(SQW: Single Quantum Well)은 밴드갭이 작은 반도체( $E_{g,well}$ )를 밴드갭이 큰 반도체( $E_{g,barrier}$ ) 사이에 접합시켜 제작이 되며, 도 16과 같은 에너지 밴드 구조를 갖게 된다.

<131> 여기서  $L_{qw}$ 가 충분히 작게 되면 크기 양자화(size quatization)로 인해 양자 우물 내의 전자들은 양자화된 에너지 준위를 가지게 된다. 그리고 이러한 밴드구조

의 흡수 에너지는  $E_{g,QW} = E_{g,well} + E_{0,e} + E_{0,h}$  주어져지며,  $E_{0,e}$  ( $E_{0,h}$ )는 양자화된 전자(홀) 에너지에 해당된다.

<132> 한편, 양자 우물에서 생성되는 에너지는 두 반도체의 밴드 갭과 다른 에너지를 갖게 되므로 새로운 밴드 갭을 가지는 물질을 형성하여 새로운 전자 소자에 적용이 될 수 있다. 또한, 이러한 양자우물이 방출하는 (emission) 에너지도 두 반도체의 밴드갭들과는 다른 에너지를 갖게 되므로, 원하는 파장으로 발진하는 반도체 레이저 등을 제작하는데 응용될 수 있다.

<133> 이러한 양자 우물 기반 레이저는 부피가 작고 캐리어 농도가 높아 우수한 방사 효율(radiative efficiency)을 보이며, 낮은 문턱 준위를 가져 전류를 작게 할 수 있을 뿐만 아니라 주위의 온도에 대해 안정적이며 발진 파장의 단색성이 좋다는 점 등의 특징을 가지고 있다.

<134> 도 14에는 본 발명의 제3태양에 따라 서로 다른 간격을 가지고 형성된 인접한 그리드(grid) 구조 위에 놓인 그래핀과 이를 통해 형성된 단일 양자우물의 에너지 밴드 다이어그램이 도시되어 있다.

<135> 이를 에너지밴드 다이어그램 상에서 보게 되면 도 16에서와 같은 양자우물 구조가 형성된다. 또한, 이러한 나노 격자 구조를 d1-d2-d1-d2-d1 순으로 연속적으로 인접하게 기판 위에 형성한 후, 그 위에 그래핀을 올리게 되면 다중 양자 우물 구현도 가능하게 된다.

<136> 양자 우물이 두 개 이상 접합이 될 경우 다중 양자 우물 (Multi Quantum Well)이라고 부르며, 이러한 MQW은 SQW이 가지는 특징(장점)들을 갖고 있을 뿐만 아니라 더 많은 캐리어가 축적 (accumulation)이 되며 활성층(active region)의 부피가 SQW대비 더 크므로 더 높은 이득과 문턱 전류 밀도를 갖게 되어 높은 광파워(light power)를 보이게 된다.

<137> 따라서, 단일 양자우물이나 다중 양자우물들은 다양한 광전 소자 및 전자 소자에 적용되어 성능이 우수한 소자 개발에 다양하게 적용될 수 있다.

<138> 도 16은 서로 다른 간격을 가지고 형성된 인접한 반복된 그리드(grid) 구조 위에 놓인 그래핀을 통해 형성된 다중 양자 우물을 도시한 도면이다. 도 17에는 서로 다른 간격을 가지고 형성된 인접한 그리드(grid) 구조를 반복적으로 형성한 나노 패턴(pattern) 위에 놓인 그래핀과, 이를 통해 형성된 다중 양자우물의 에너지 밴드 다이어그램이 도시되어 있다.

<139> 이때, 패턴 상의 반복 형태는 라인 그리드(line-grid) 형태이고, 반복 형태의 상부와 하부는 동일한 거리 비율을 가지며, 반복 형태에 의해 변형되는 그래핀

구조의 형태는 지그재그(zigzag) 형태일 수 있다. 이러한 구성은 보다 우수한 성능의 양자 우물 구조 광전자 소자의 제조를 가능하게 한다.

<140> 도 17은 주기적으로 변형된 그래핀과 에너지 밴드 구조를 도시한 도면이고, 도 18은 패턴의 에지에 위치한 그래핀의 방향이 지그재그인 경우를 도시한 도면이다.

<141> 도 17a는 주기적으로 변형된 그래핀(에지 라인(edge line)에서 지그재그(zigzag) 방향을 가지는 그래핀 예시)을 도시하고 있으며, 18b 계산된 에너지 밴드 구조를 도시하고 있다. 도 17b에서 선폴을 증가시킴에 따라 밴드갭이 작아지는 것을 확인할 수 있다.

<142> 도 17의 예시에서 구형파(square wave) 형태로 주기적인 변형이 일어난 그래핀에서 휘어지는 에지 부분에 놓인 그래핀의 방향이 지그재그(zigzag)일 경우 선폴(line width)이 8.6 옴스트롬에서 약 13.0 옴스트롬으로 변화됨에 따라 밴드갭도 1.0eV에서 0.6eV로 변화되는 것을 알 수 있다.

<143> 이러한 현상에 의해, 주기적인 나노 패턴(nano pattern) 위에 형성된 그래핀은 그래핀 아래에 놓인 나노 패턴(nano pattern)의 모양, 길이, 그리고 그래핀이 놓여진 방향에 따라 밴드갭(band gap) 조절 및 밴드갭 조정(band gap tuning)이 가능하게 되는 것이다.

<144> 또한, 도 14에서처럼 서로 다른 주기 ( $d_1$ ,  $d_2$ ;  $d_1 < d_2$ )를 가지는 라인(line grid) 형태의 나노구조를 기판 위에  $d_1$ - $d_2$ - $d_1$  순으로 인접하게 형성한 후, 그래핀을 전체적으로 전사시키게 되면, 간격이 작은 ( $d_1$ ) 구조 위에 있는 그래핀은 큰 밴드갭( $E_{g,barrier}$ )을 띠게 되며, 간격이 큰 ( $d_2$ ) 구조 위에 있는 그래핀은 작은 밴드갭( $E_{g,well}$ )을 갖게 되는 것이다.

<145> 본 발명에 따른 반도체 소자는 기판(310) 상의 패턴 영역(320) 외부에 그래핀층(330)이 연장되어 위치하는 평탄 영역(340)을 더 포함할 수 있다. 이러한 구성은 단일 소자에 신호를 연결하는 금속 배선이 별도로 필요없는 반도체 소자를 접촉 저항의 문제 없이 제조할 수 있도록 해준다.

<146> 종래의 양자우물 소자를 포함한 전자소자 제작시 해당 소자에 전기적 신호를 인가하기 위해서 소자들간에 또는 구동 칩과 소자 간에 금속 배선들을 사용해 왔다.

<147> 여기서 반도체 물성을 띠고 있는 소자와 금속 배선을 접합하는 과정에서 반도체의 페르미 준위와 접촉된 금속의 일함수에 따라 오믹(ohmic) 특성이나 쇼트키 배리어 특성을 보이게 되므로, 오믹(ohmic) 조건이 되는 반도체와 금속을 물질별로

다르게 선택해야 되는 제약이 있어 왔다.

<148>

또한, 옴릭(ohmic) 특성을 보이는 금속-반도체 조합을 찾았다고 하더라도 두 물질간에 접촉시 생기는 접촉 저항은 항상 있게 되므로 대면적 소자 어레이나 고집적 소자들을 제작시 이러한 접촉저항에 의한 신호 지연 및 왜곡 현상이 발생하게 된다.

<149>

하지만, 본 발명의 그래핀 기반 소자 제작기술을 활용하는 경우, 그래핀 아래 주기적으로 나노패턴이 형성된 기판은 소자로서 역할을 하게 되고, 평평한 기판 위에 놓인 그래핀은 금속 특성을 나타내는 성질을 이용하게 되면, 단일 소자에 신호를 연결하는 금속층이 별도로 필요없는 전체 그래핀(all-graphene) 기반 소자를 접촉 저항의 문제 없이 제작할 수 있어 단일 소자의 성능을 개선할 수 있게 된다.

<150>

도 19는 그래핀만으로 형성된 전자소자(전계효과 트랜지스터) 또는 광소자(양자우물 소자)와 전극 배선을 도시한 도면이다.

<151>

또한, 본 발명의 제3태양에 따른 그래핀을 이용한 반도체 소자 어레이는 본 발명에 따른 그래핀을 이용한 반도체 소자 복수개와 이들을 서로 연결하는 배선을 포함한다. 이때의 배선은 반도체 소자들의 평탄 영역의 그래핀층과 연결되는 그래핀층이다.

<152>

이러한 구성은 평판 디스플레이나 메모리 칩과 같이 단일 소자를 어레이 형태로 제작하여 사용하는 경우 요구되는 다층 증착 및 다수의 공정을 생략할 수 있도록 하여, 비용 절감과 우수한 성능을 가지는 디스플레이와 메모리 칩의 구현이 가능하도록 해준다.

<153>

도 20은 그래핀만으로 형성된 전자소자(전계효과 트랜지스터) 또는 광소자(양자 우물 소자) 어레이를 도시한 도면이다.

<154>

일반적으로, 단일 소자를 어레이 형태로 제작하여 사용하는 평판 디스플레이 및 메모리 칩의 경우, 요구되는 다층 증착 및 여러번의 포토 공정과 에칭 공정 등에 의해 공정이 복잡해지고 비용이 상승하며, 수율 및 성능에 미치는 공정 및 설계 이슈들이 있어왔다.

<155>

그러나 도 20과 같이 별도의 금속 배선과 절연층들 없이 단일 그래핀층을 형성하는 공정을 통해 (PSG: 주기적으로 변형된 그래핀, FG: 평평한 기판 위에 놓인 그래핀), 공정 단순화와 비용절감, 그리고 우수한 성능을 갖는 디스플레이와 메모리 칩을 구현할 수 있게 된다.

<156>

본 발명의 제3태양에서는 2차원 탄소 동소체인 그래핀의 특이한 물리적

성질들에 기반을 두고 주기적으로 물리적인 구조가 변형된 그래핀을 이용하여 나노 소자를 구현한다.

<157> 특히, 서로 다른 주기적인 스트레인이 인가된 그래핀을 인접하게 형성함으로써 1차원 양자우물 구조를 제작하고, 이를 이용한 전자 및 광소자를 개발하는 방안을 제시한다.

<158> 이를 위해, 그래핀의 밴드 구조를 이용하여 양자우물 기반의 소자를 구현한다. 즉, 전자빔(e-beam) 등과 같은 장비를 이용하여 나노미터 크기(scale)로 주기적인 패턴(pattern)이 형성된 기판 위에 그래핀 시트(graphene sheet)를 전사할 경우, 인가되는 주기적인 스트레인에 의해 변형된 그래핀(graphene)이 갖는 반도체적 성질(에너지 밴드갭 형성)을 이용한다.

<159> 본 발명의 제3태양에 의하면, 다음과 같은 효과가 있다.

<160> 1) 서로 다른 주기를 가지고 인접한 나노구조를 단일 층으로 형성한 후, 그 위에 그래핀을 전사하는 공정을 통해 주기적으로 다르게 변형이 된 그래핀(graphene) 층을 쉽게 인접하도록 형성할 수 있으므로, 기존의 단일 양자우물 구조 형성시 필요한 반도체층 세번 연속 증착 공정이 필요 없고 서로 다른 반도체 물질을 증착시 반도체 물질들의 경계면에서 발생하는 격자 불일치(lattice mismatch) 등에 의한 결함(defect)이 없게 되어 보다 성능이 우수한 양자우물을 보다 용이하게 형성할 수 있다.

<161> 2) 서로 다른 주기를 가진 인접한 나노구조를 연속 반복하여 형성 한 후, 그래핀을 전사함으로써 기존 다중 양자우물 형성시 필요한 반도체 다층 증착 공정 및 계면간 격자 불일치(lattice mismatch)에 의한 결함(defect)을 완전히 없애 성능이 우수하고 공정이 단순한 다중 양자 우물 형성도 용이하게 된다.

<162> 3) 이를 통해 제작된 양자우물이 가지는 에너지 레벨은 주기적인 그래핀들이 원래 가지고 있던 밴드갭들과는 다른 에너지 준위(밴드갭)를 갖는 물질을 보다 더 쉽게 만들 수 있어서, 다양한 전자소자에 응용될 수 있다.

<163> 4) 이러한 양자우물이 방출하는 에너지 준위는 인접하여 변형된 그래핀이 갖는 밴드갭 에너지들과는 다른 에너지를 갖게 되므로, 원하는 파장을 방출하는 레이저를 제작할 수 있어 다양한 광소자 분야에 적용될 수 있다.

<164> 5) 기존에 실리콘(Si) 기판이나 갈륨비소(GaAs) 기판 등을 이용해 전자소자나 광소자 제작시 필요한 3~4 마스크(Mask) 공정 스텝(step) 및 증착 공정 등을 단일 공정으로 간단화시켜 저비용(low cost) 공정이 가능할 뿐 아니라 플렉서블 기판에도 적용이 가능한 장점이 있다

&lt;165&gt;

6) 주기적인 나노구조들이 형성된 부분에는 단일 양자우물이나 다중 양자우물이 형성되도록 하고, 각 양자우물 기반 소자에 신호를 보내거나 소자들끼리 연결하는 역할을 하는 배선 등은 기판의 평평한 부분을 이용하도록 그래핀을 한번에 전사 후 패터닝 하는 공정을 적용함으로써, 소자와 배선간 접합저항의 문제 없이 전체 그래핀(all-graphene) 기반 양자우물 전자/광소자들이 단일 기판 위에 집적된 시스템을 구현할 수 있다.

&lt;166&gt;

&lt;167&gt;

본 발명이 비록 일부 바람직한 실시예에 의해 설명되었지만, 본 발명의 범위는 이에 의해 제한되어서는 아니 되고, 특허청구범위에 의해 뒷받침되는 상기 실시예의 변형이나 개량에도 미쳐야 할 것이다.

&lt;168&gt;

## 【청구의 범위】

## 【청구항 1】

기판;

상기 기판상에 미리 설정된 형태로 형성된 패턴층; 및

상기 패턴층상에 미리 설정된 방향으로 형성된 그래핀층을 포함하는 것을 특징으로 하는 그래핀을 이용한 반도체 소자.

## 【청구항 2】

제 1항에 있어서,

상기 그래핀층상에 형성된 패시베이션층을 더 포함하는 것을 특징으로 하는 그래핀을 이용한 반도체 소자.

## 【청구항 3】

제 1항에 있어서,

상기 그래핀층의 미리 설정된 영역에 형성된 전극층을 더 포함하는 것을 특징으로 하는 그래핀을 이용한 반도체 소자.

## 【청구항 4】

제 1항에 있어서,

상기 기판과 그래핀층 사이에 형성된 절연막층을 더 포함하는 것을 특징으로 하는 그래핀을 이용한 반도체 소자.

## 【청구항 5】

기판상에 미리 설정된 형태의 패턴층을 형성하는 단계; 및

상기 패턴층상에 미리 설정된 방향으로 그래핀층을 형성하는 단계를 포함하는 것을 특징으로 하는 그래핀을 이용한 반도체 소자 제조 방법.

## 【청구항 6】

제 5항에 있어서,

상기 그래핀층상에 패시베이션층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 그래핀을 이용한 반도체 소자 제조 방법.

## 【청구항 7】

제 5항에 있어서,

상기 그래핀층의 미리 설정된 영역에 전극층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 그래핀을 이용한 반도체 소자 제조 방법.

## 【청구항 8】

제 5항에 있어서,

상기 기판과 그래핀층 사이에 절연막층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 그래핀을 이용한 반도체 소자 제조 방법.

【청구항 9】

기판 상에 형성된 미리 설정된 형태를 가지는 패턴층;

상기 패턴층상에 형성된 절연막층; 및

상기 절연막층상에 형성된 미리 설정된 탄소 나노 물질층을 포함하는 것을 특징으로 하는 탄소 나노 물질을 이용한 반도체 소자.

【청구항 10】

제 9항에 있어서,

상기 패턴층과 기판 사이에 형성된 절연막층을 더 포함하는 것을 특징으로 하는 탄소 나노 물질을 이용한 반도체 소자.

【청구항 11】

제 9항에 있어서,

상기 탄소 나노 물질층은 상기 패턴층의 형태에 대해 미리 설정된 방향으로 형성되는 것을 특징으로 하는 탄소 나노 물질을 이용한 반도체 소자.

【청구항 12】

제 9항에 있어서,

상기 탄소 나노 물질은 그래핀인 것을 특징으로 하는 탄소 나노 물질을 이용한 반도체 소자.

【청구항 13】

제 9항에 있어서,

상기 탄소 나노 물질은 탄소 나노 튜브인 것을 특징으로 하는 탄소 나노 물질을 이용한 반도체 소자.

【청구항 14】

제 9항에 있어서,

상기 탄소 나노 물질층상의 미리 설정된 영역에 형성된 전극층을 더 포함하는 것을 특징으로 하는 탄소 나노 물질을 이용한 반도체 소자.

【청구항 15】

기판 상에 미리 설정된 형태를 가지는 패턴층을 형성하는 단계;

상기 패턴층상에 절연막층을 형성하는 단계; 및

상기 절연막층상에 미리 설정된 탄소 나노 물질층을 형성하는 단계를 포함하는 것을 특징으로 하는 탄소 나노 물질을 이용한 반도체 소자 제조 방법.

## 【청구항 16】

제 15항에 있어서,

상기 패턴층과 기판 사이에 절연막층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 탄소 나노 물질을 이용한 반도체 소자 제조 방법.

## 【청구항 17】

제 15항에 있어서,

상기 탄소 나노 물질층은 상기 패턴층의 형태에 대해 미리 설정된 방향으로 형성되는 것을 특징으로 하는 탄소 나노 물질을 이용한 반도체 소자 제조 방법.

## 【청구항 18】

제 15항에 있어서,

상기 탄소 나노 물질은 그래핀인 것을 특징으로 하는 탄소 나노 물질을 이용한 반도체 소자 제조 방법.

## 【청구항 19】

제 15항에 있어서,

상기 탄소 나노 물질은 탄소 나노 튜브인 것을 특징으로 하는 탄소 나노 물질을 이용한 반도체 소자 제조 방법.

## 【청구항 20】

제 15항에 있어서,

상기 탄소 나노 물질층상의 미리 설정된 영역에 전극층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 탄소 나노 물질을 이용한 반도체 소자 제조 방법.

## 【청구항 21】

기판;

상기 기판상의 미리 설정된 위치에 형성된 미리 설정된 형태의 패턴 영역;

및

상기 패턴 영역상에 형성된 그래핀층을 포함하는 것을 특징으로 하는 그래핀을 이용한 반도체 소자.

## 【청구항 22】

제 21항에 있어서,

상기 패턴 영역은 서로 다른 주기의 반복 형태의 패턴들을 포함하며, 큰 주기를 가지는 반복 형태의 패턴이 작은 주기를 가지는 반복 형태의 패턴 사이에 위치하는 것을 특징으로 하는 그래핀을 이용한 반도체 소자.

## 【청구항 23】

제 22항에 있어서,  
 상기 반복 형태는 라인 그리드(line-grid) 형태인 것을 특징으로 하는 그래핀을 이용한 반도체 소자.

【청구항 24】

제 23항에 있어서,  
 상기 반복 형태의 상부와 하부는 동일한 거리 비율을 가지는 것을 특징으로 하는 그래핀을 이용한 반도체 소자.

【청구항 25】

제 24항에 있어서,  
 상기 반복 형태에 의해 변형되는 그래핀 구조의 형태는 지그재그(zigzag) 형태인 것을 특징으로 하는 그래핀을 이용한 반도체 소자.

【청구항 26】

제 22항에 있어서,  
 상기 작은 주기를 가지는 반복 형태의 패턴 사이에 상기 큰 주기를 가지는 반복 형태의 패턴과 상기 작은 주기를 가지는 반복 형태의 패턴이 교대로 반복적으로 위치하는 것을 특징으로 하는 그래핀을 이용한 반도체 소자.

【청구항 27】

제 21항에 있어서,  
 상기 그래핀층이 연장되어 위치하는 상기 기판상의 상기 패턴 영역 외부의 평탄 영역을 더 포함하는 것을 특징으로 하는 그래핀을 이용한 반도체 소자.

【청구항 28】

복수의 반도체 소자, 및 상기 복수의 반도체 소자를 서로 연결하는 배선을 포함하는 반도체 소자 어레이로서,

상기 반도체 소자는,

기판상의 미리 설정된 위치에 형성된 미리 설정된 형태의 패턴영역;

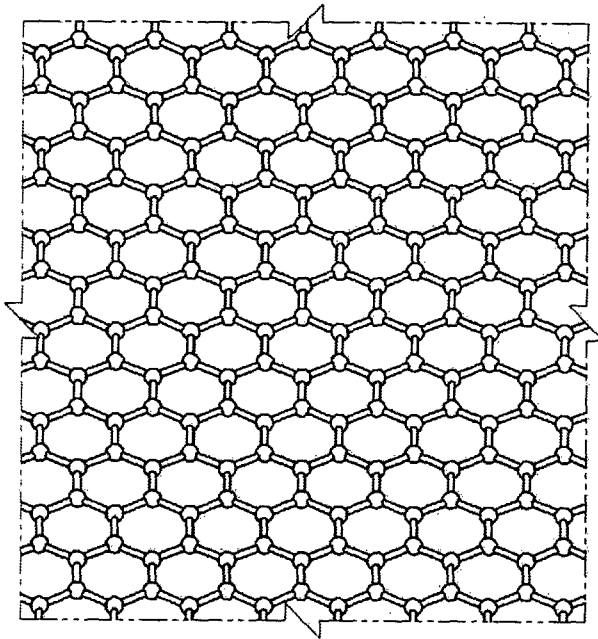
상기 패턴영역상에 형성된 그래핀층; 및

상기 기판상의 상기 패턴 영역 외부에 상기 그래핀층이 연장되어 위치하는 평탄 영역을 포함하고,

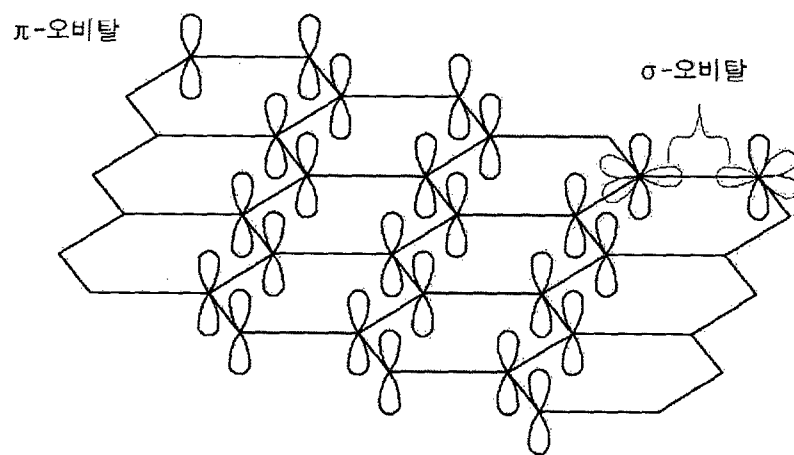
상기 배선은 상기 반도체 소자들의 평탄 영역의 그래핀층들이 연결되는 그래핀층인 것을 특징으로 하는 그래핀을 이용한 반도체 소자 어레이.

## 【도면】

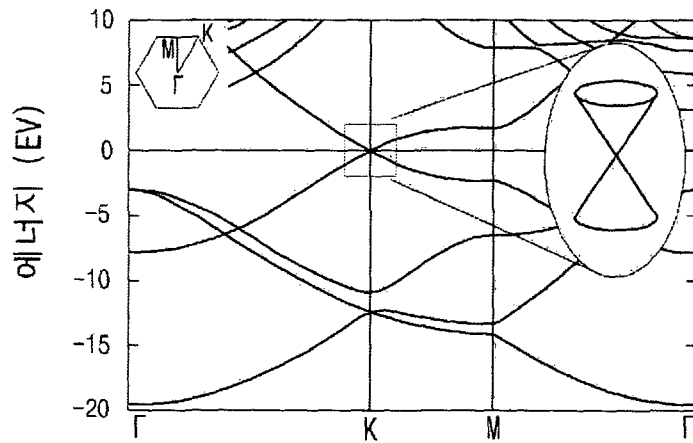
【도 1】



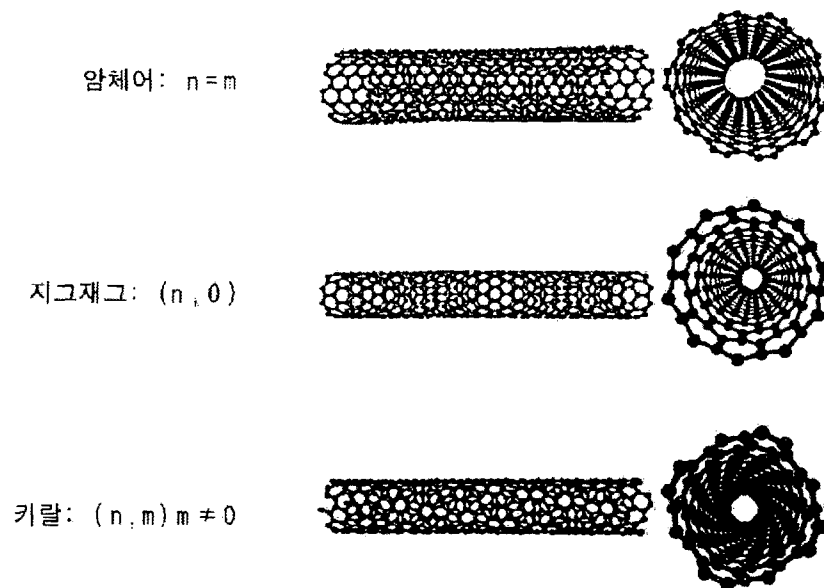
【도 2】



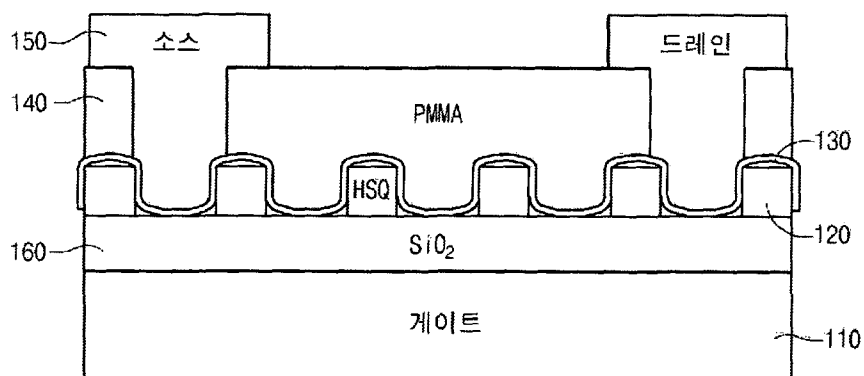
【도 3】



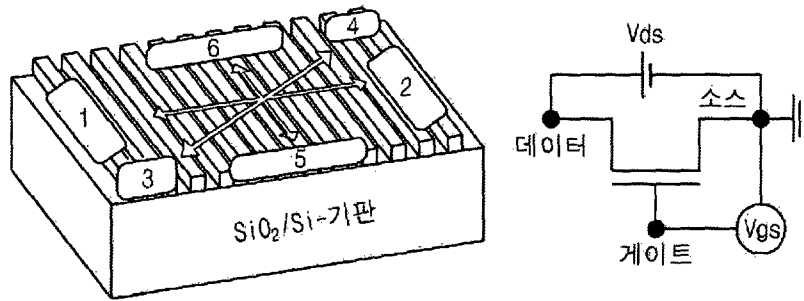
【도 4】



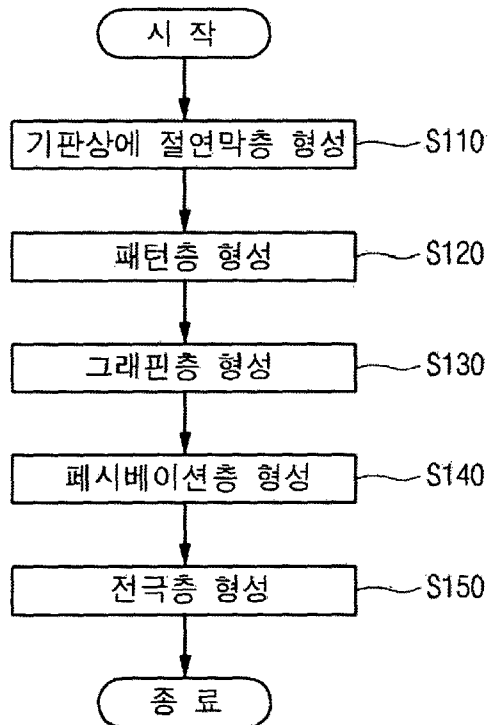
【도 5】



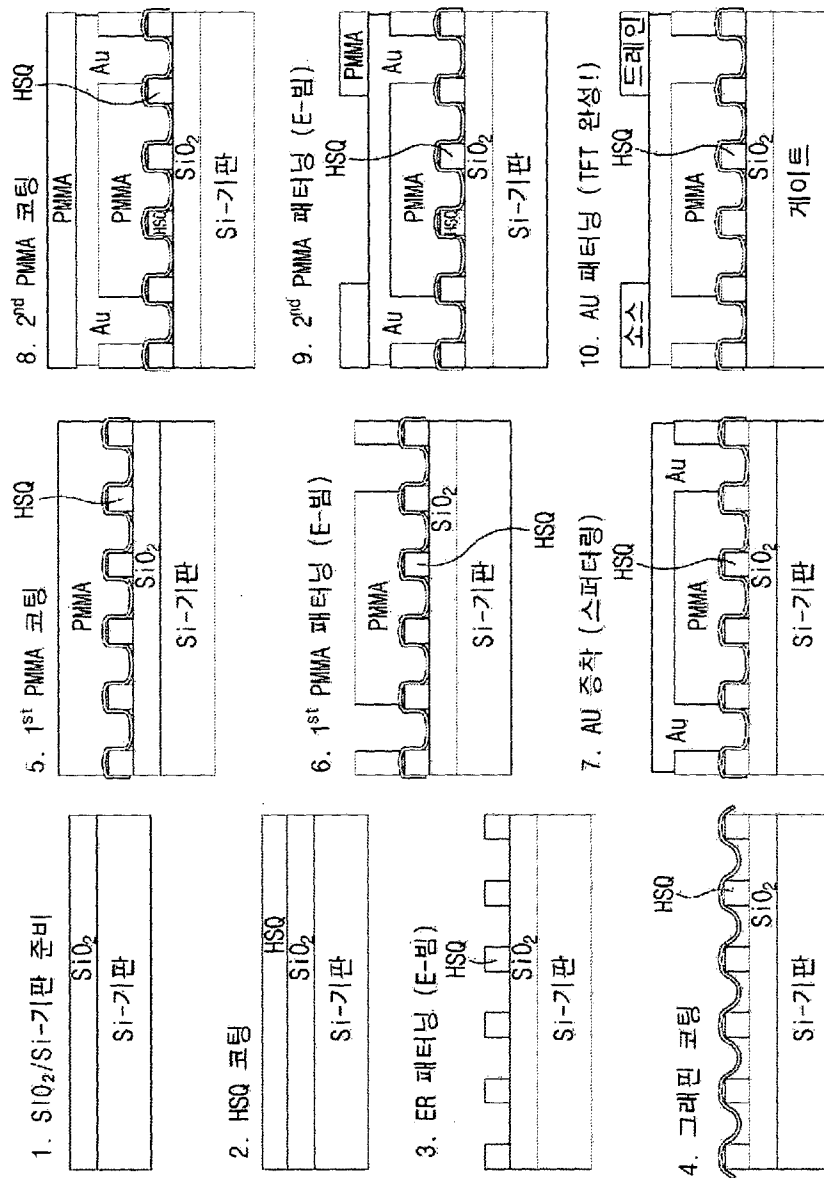
【도 6】



【도 7】

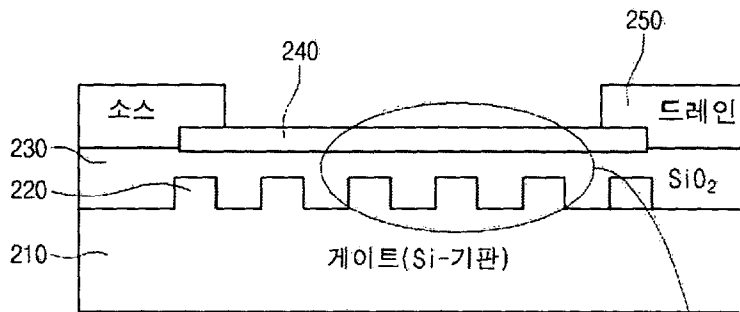


【도 8】

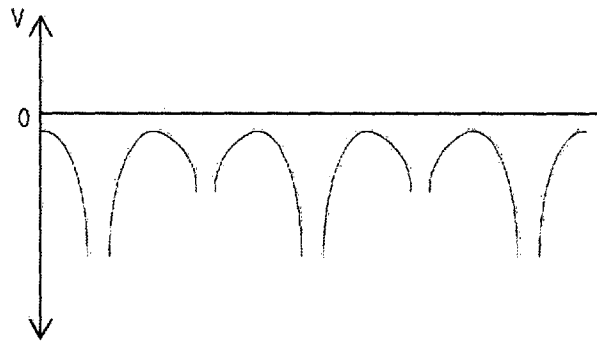


【도 9】

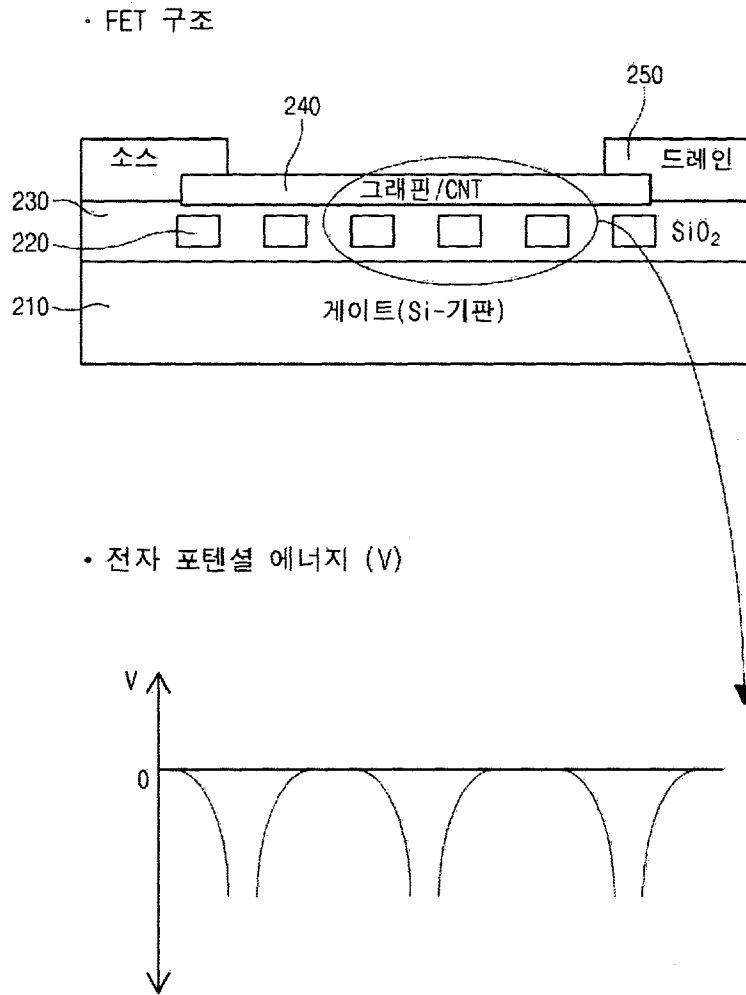
· FET 구조



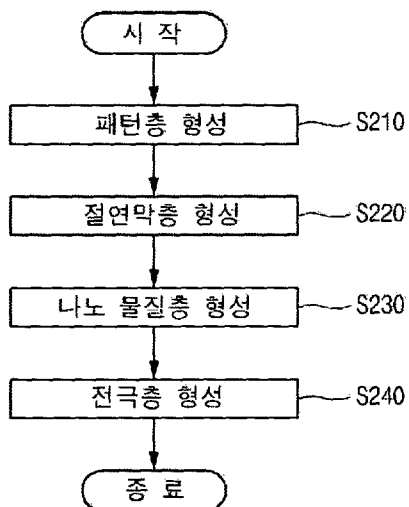
· 전자 포텐셜 에너지 (V)



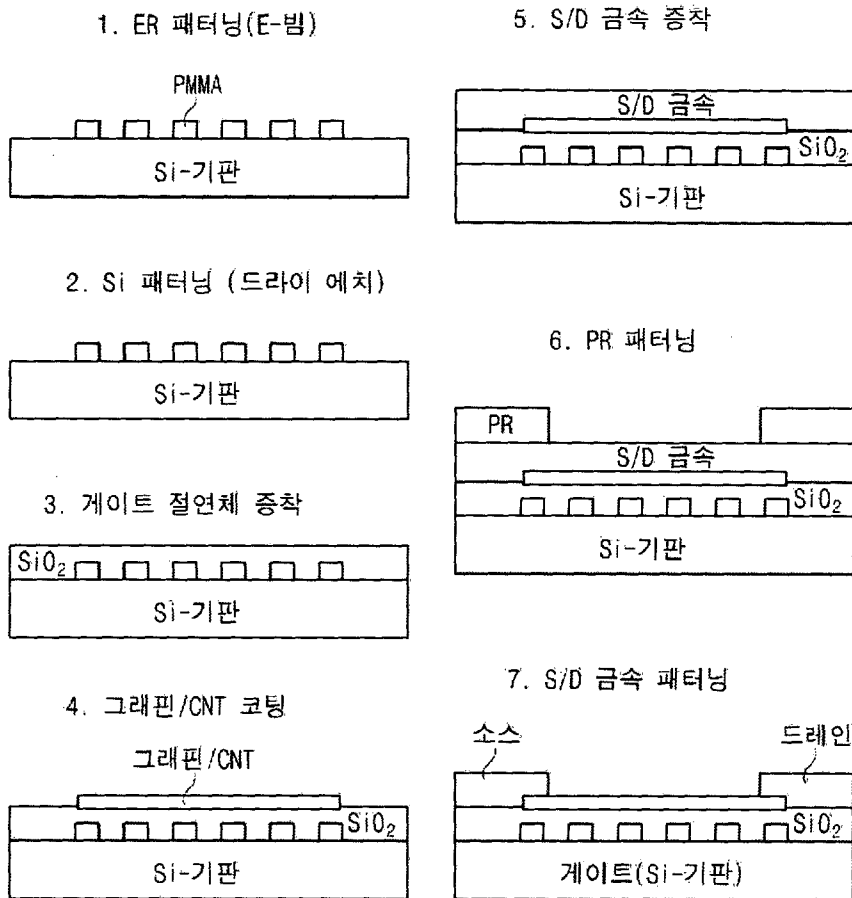
【도 10】



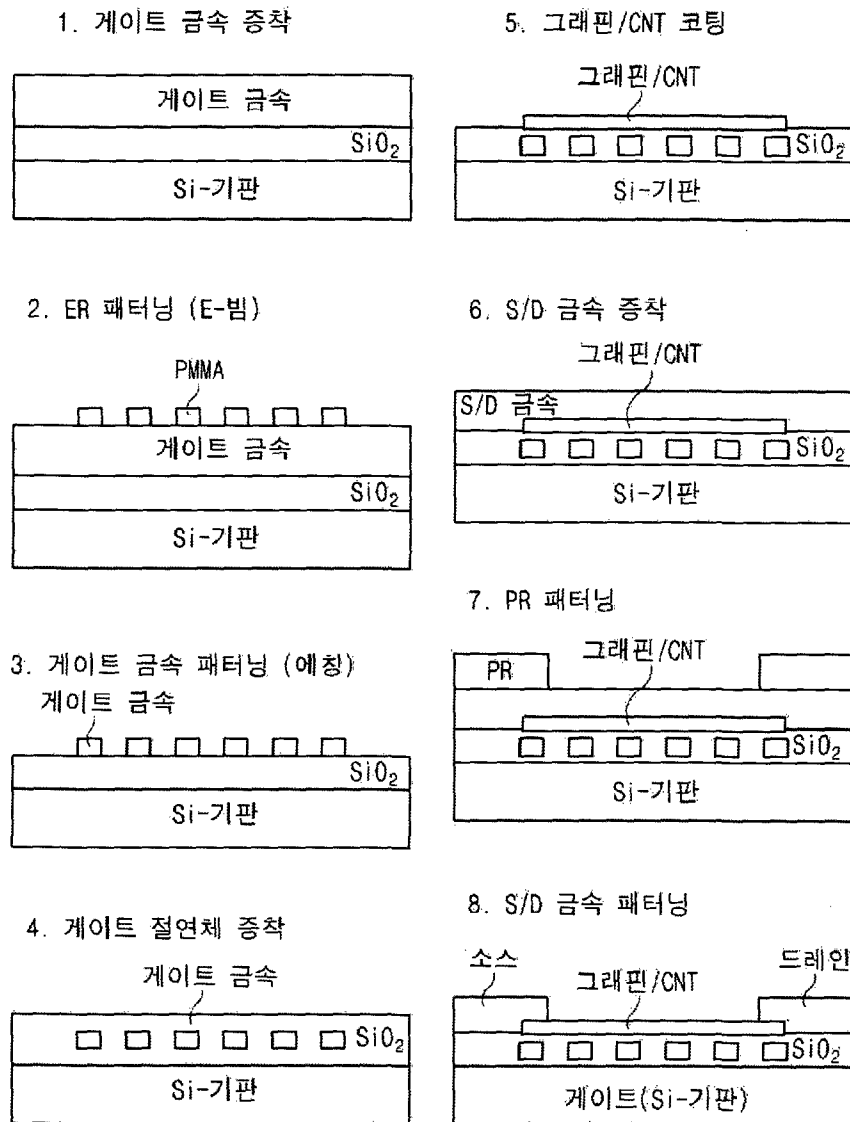
【도 11】



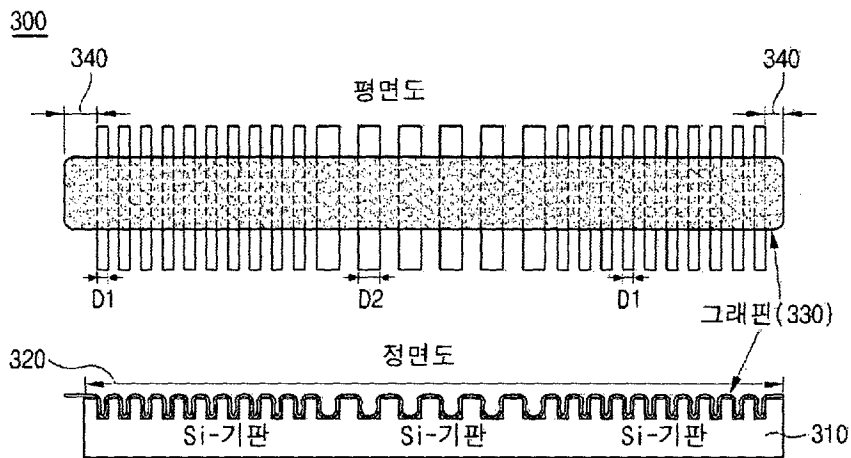
【도 12】



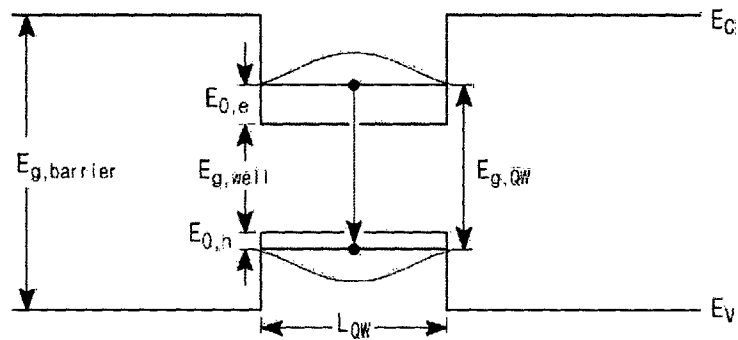
【도 13】



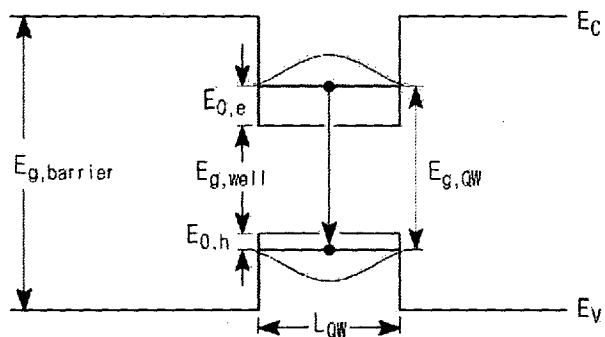
【도 14】



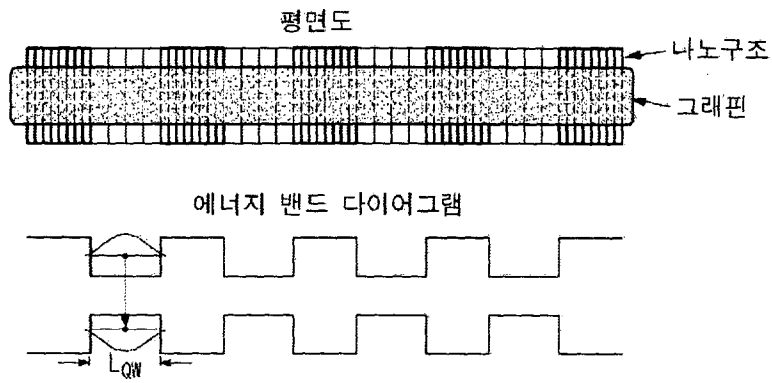
에너지 밴드 다이어그램



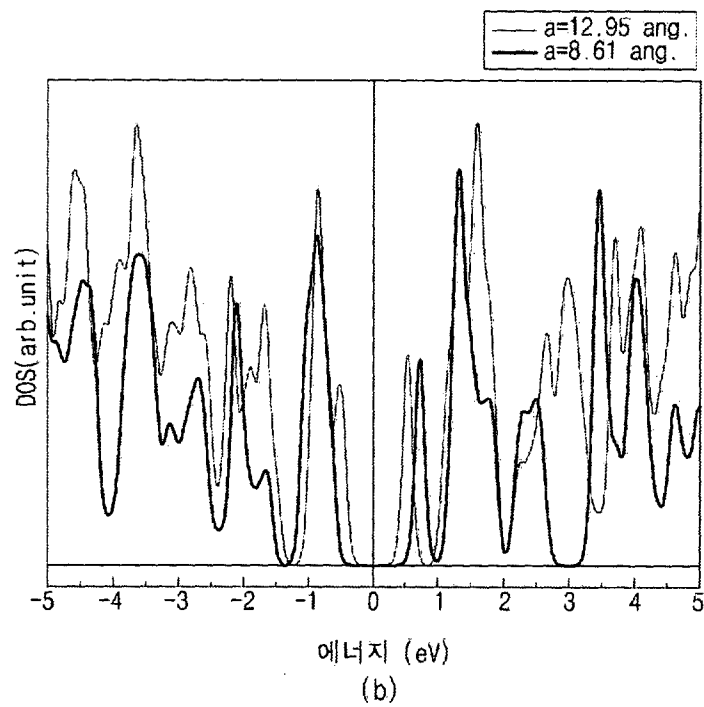
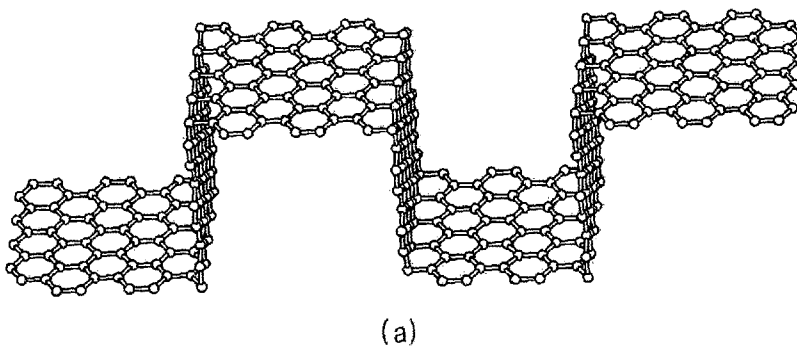
【도 15】



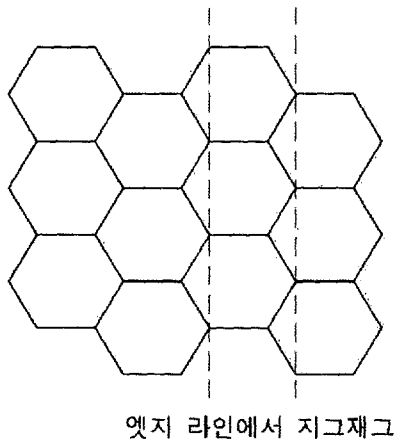
【도 16】



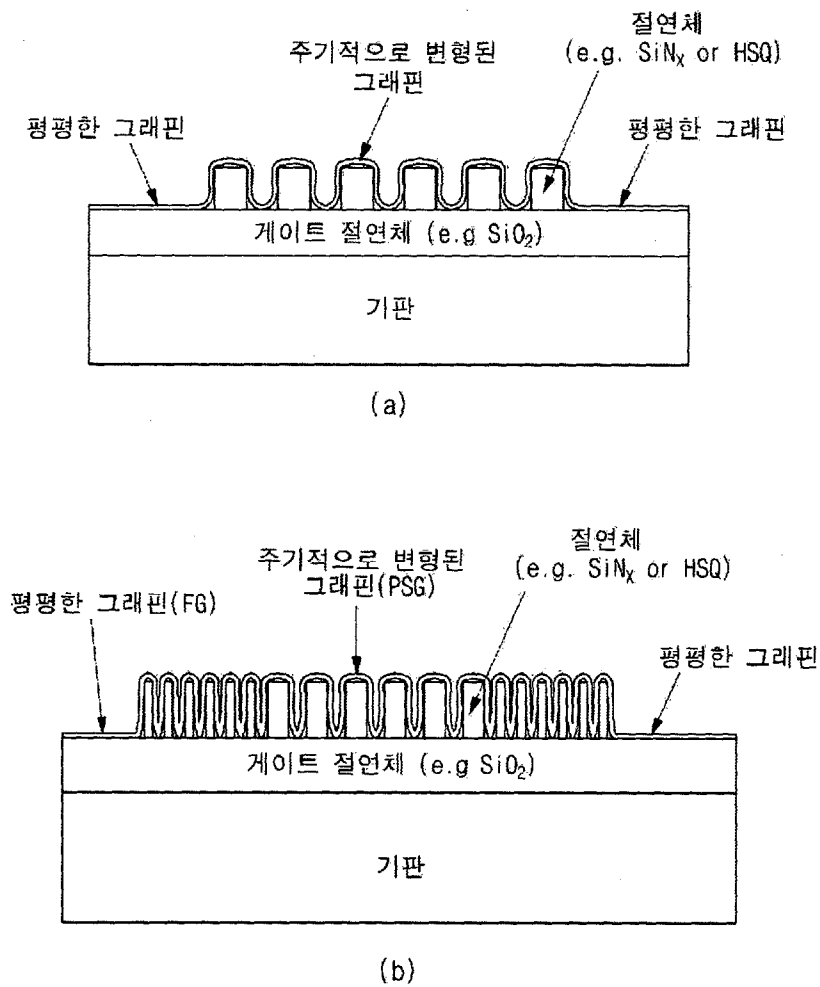
【도 17】



【도 18】



【도 19】



【도 20】

