

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 19 年 10 月 25 日 (2007.10.25)

【公開番号】特開 2002-76351 (P2002-76351A)  
 【公開日】平成 14 年 3 月 15 日 (2002.3.15)  
 【出願番号】特願 2000-259895 (P2000-259895)  
 【国際特許分類】

**H 0 1 L 29/786 (2006.01)**  
**H 0 1 L 27/08 (2006.01)**  
**H 0 4 N 5/66 (2006.01)**  
**G 0 2 F 1/1368 (2006.01)**  
**H 0 1 L 21/336 (2006.01)**

【F I】

H 0 1 L 29/78 6 1 2 B  
 H 0 1 L 27/08 3 3 1 E  
 H 0 4 N 5/66 1 0 2 A  
 G 0 2 F 1/1368  
 H 0 1 L 29/78 6 1 3 A  
 H 0 1 L 29/78 6 1 6 A  
 H 0 1 L 29/78 6 1 7 L

【手続補正書】

【提出日】平成 19 年 8 月 28 日 (2007.8.28)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体装置及びその作製方法、並びに液晶表示装置、E L 表示装置、電子機器

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

同一基板上に n チャネル型の薄膜トランジスタと p チャネル型の薄膜トランジスタが形成された半導体装置であって、

前記 n チャネル型の薄膜トランジスタのゲート電極は、第 1 の導電層を下層とし第 2 の導電層を上層とした積層構造からなり、

前記第 2 の導電層は、前記第 1 の導電層の幅より狭く、

前記 n チャネル型の薄膜トランジスタの半導体層において、前記ゲート電極に重なり、且つ、前記第 2 の導電層には重ならない領域には低濃度不純物領域が形成されており、

前記 p チャネル型の薄膜トランジスタの半導体層において、チャネル形成領域となる部分に接する領域には高濃度不純物領域が形成されており、

前記半導体装置における駆動回路部の薄膜トランジスタは、前記 n チャネル型の薄膜トランジスタ及び前記 p チャネル型の薄膜トランジスタによって構成され、

前記半導体装置における画素部の薄膜トランジスタは、前記 p チャネル型の薄膜トラン

ジスタによって構成されることを特徴とする半導体装置。

【請求項 2】

同一基板上に n チャネル型の薄膜トランジスタと p チャネル型の薄膜トランジスタが形成された半導体装置であって、

前記 n チャネル型の薄膜トランジスタのゲート電極は、第 1 の導電層を下層とし第 2 の導電層を上層とした積層構造からなり、

前記第 2 の導電層は、前記第 1 の導電層の幅より狭く、且つ、端部にテーパ形状を有しており、

前記 n チャネル型の薄膜トランジスタの半導体層において、前記テーパ形状と重なる領域には低濃度不純物領域が形成されており、

前記低濃度不純物領域において、前記半導体層のチャンネル形成領域となる部分に接する領域より前記テーパ形状の端部に重なる領域の方が不純物濃度が高く、

前記 p チャネル型の薄膜トランジスタの半導体層において、チャンネル形成領域となる部分に接する領域には高濃度不純物領域が形成されており、

前記半導体装置における駆動回路部の薄膜トランジスタは、前記 n チャネル型の薄膜トランジスタ及び前記 p チャネル型の薄膜トランジスタによって構成され、

前記半導体装置における画素部の薄膜トランジスタは、前記 p チャネル型の薄膜トランジスタによって構成されることを特徴とする半導体装置。

【請求項 3】

請求項 1 または 2 に記載された半導体装置を用いて作製されたことを特徴とする液晶表示装置。

【請求項 4】

請求項 1 または 2 に記載された半導体装置を用いて作製されたことを特徴とする E L 表示装置。

【請求項 5】

請求項 1 または 2 に記載された半導体装置を用いて作製されたことを特徴とする電子機器。

【請求項 6】

同一基板上に n チャネル型の薄膜トランジスタと p チャネル型の薄膜トランジスタを形成する半導体装置の作製方法であって、

第 1 及び第 2 の半導体層上に絶縁膜を形成し、

前記第 1 の半導体層上に、前記絶縁膜を介して第 1 の導電層を下層とし第 2 の導電層を上層として積層された第 1 の電極を形成するとともに、前記第 2 の半導体層上に、前記絶縁膜を介して第 3 の導電層を下層とし第 4 の導電層を上層として積層された第 2 の電極を形成し、

前記第 1 及び第 2 の電極をマスクとして、前記第 1 及び第 2 の半導体層に n 型を付与する不純物元素を添加して第 1 の高濃度不純物領域を形成し、

前記第 2 の導電層をエッチングして、前記第 1 の導電層より幅が狭い第 5 の導電層を形成し、

前記第 5 の導電層をマスクとして、前記第 1 の導電層を介して前記第 1 の半導体層に n 型を付与する不純物元素を添加して低濃度不純物領域を形成し、

前記第 1 の半導体層をレジストマスクで覆い、前記第 2 の半導体層に p 型を付与する不純物元素を添加して前記第 1 の高濃度不純物領域より不純物濃度が高い第 2 の高濃度不純物領域を形成し、

前記第 1 及び第 2 の半導体層を用いて形成された薄膜トランジスタによって、前記半導体装置の駆動回路部を構成し、

前記第 2 の半導体層を用いて形成された薄膜トランジスタによって、前記半導体装置の画素部を構成することを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 6 において、

前記第 1 の導電層、前記第 2 の導電層、及び前記第 5 の導電層の端部はテーパ形状を有することを特徴とする半導体装置の作製方法。