(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 600 30 386 T2** 2007.09.13

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 1 098 358 B1**
(21) Deutsches Aktenzeichen: **600 30 386.1**
(96) Europäisches Aktenzeichen: **00 309 578.3**
(96) Europäischer Anmeldetag: **30.10.2000**
(97) Erstveröffentlichung durch das EPA: **09.05.2001**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **30.08.2006**
(47) Veröffentlichungstag im Patentblatt: **13.09.2007**

(51) Int Cl.[8]: ***H01L 21/02*** (2006.01)
H01L 27/06 (2006.01)

(30) Unionspriorität:
434424 **04.11.1999** **US**

(84) Benannte Vertragsstaaten:
DE, FR, GB

(73) Patentinhaber:
Lucent Technologies Inc., Murray Hill, N.J., US

(72) Erfinder:
Alers, Glenn B., Santa Cruz, CA 95060, US

(74) Vertreter:
Klunker, Schmitt-Nilson, Hirsch, 80797 München

(54) Bezeichnung: **Verfahren zur Herstellung Feldeffektanordnungen und Kapzitäten mit Dünnschichtdielektrisch und so hergestellte Anordnungen**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Gebiet der Erfindung

[0001] Die Erfindung betrifft ein Verfahren zum Herstellen elektronischer Bauelemente mit Dünnschicht-Dielektrika, außerdem betrifft sie die so erhaltenen Bauelemente.

Hintergrund der Erfindung

[0002] Feldeffektbauelemente, so zum Beispiel Feldeffekttransistoren, sind in der modernen Elektronik grundlegende Bauelemente. Der Metalloxid-Halbleiter-Feldeffekttransistor (MOSFET) ist ein vorherrschendes und wichtiges Bauelement bei der Fertigung von integrierten Größtschaltkreisen, und es sind verschiedene MOSFET-Typen bekannt. Die MOSFET-Technologie lässt sich grundlegend unterteilen in NMOS, PMOS und CMOS-Technologie. Der Begriff NMOS bezeichnet n-Kanal-MOS-Bauelemente, der Begriff PMOS bezieht sich auf Bauelemente mit p-Kanal und CMOS bezieht sich auf Bauelemente, die auf ein- und denselben Typ integrierte n-Kanal- und p-Kanal-Bereiche aufweisen. Andere Akronyme dienen zum Kennzeichnen von MOSFETs einschließlich DMOS (wobei "D" für "Diffusion" oder "Doppeldiffusion" steht), IGBT (Bipolar Transistor mit isoliertem Gate) BiC-MOS (CMOS mit Bipolar-Bauelementen) und DGDMOS (Doppelgate-DMOS).

[0003] MOSFET-Bauelemente enthalten typischerweise einen in seiner Leitfähigkeit steuerbaren Pfad, bezeichnet als Kanal, der sich zwischen einer Source und einem Drain befindet. Auf einer dünnen dielektrischen Schicht, die über dem Kanal liegt, ist eine Gate-Elektrode ausgebildet, beispielsweise können die Source und der Drain typischerweise n-Zonen in Silizium sein, und der Kanal kann eine die verbindende p-Zone sein. Die Gate-Elektrode kann eine leitend dotierte Polysiliziumschicht sein, ausgebildet auf einer dünnen Schicht aus Siliziumoxid-Dielektrikum, die über dem Kanal liegt.

[0004] Wird an das Gate keine Spannung gelegt, kann kein Strom von der Source zu dem Kanal oder vom Kanal zu dem Drain fließen. Wenn allerdings eine ausreichend positive Spannung an das Gate gelegt wird, werden in die Kanalzone Elektronen induziert, wodurch ein durchgehender leitender Pfad zwischen Source und Drain geschaffen wird.

[0005] Kondensatoren sind ebenfalls wichtige Komponenten integrierter Schaltungen. Ein typischer Kondensator enthält eine erste und eine zweite leitende Schicht, die durch einen dünnen dielektrischen Film voneinander getrennt sind.

[0006] Fertigen lässt sich ein Kondensator in einem MOS-Bauelement zur Ausbildung einer Speicherzelle. Beispielsweise beinhaltet ein übliches Design für einen dynamischen Schreib-/Lese-Speicher (DRAM) in einer Zelle ein Transfer-Gate (zum Beispiel ein MOSFET) und einen aus einem Kondensator bestehenden Speicherknoten. Ein übliches Design für eine DRAM-Zelle ist in Fig. 1 gezeigt. Diese Zelle enthält ein Substrat **12**, typischerweise aus Silizium bestehend, das seinerseits eine Source **13** und ein Drain **14** als Diffusionsbereiche für den MOSFET enthält. Gate-Strukturen **16a**, **16b** sind auf dem Substrat ausgebildet. Das Substrat **10** besitzt auf seiner Oberfläche außerdem ein Feldoxidmuster (FOX) **18**. Der Kondensatorteil **40** befindet sich an den Gates und enthält eine untere Elektrode **20** sowie eine obere Elektrode **21**, die durch eine dünne Schicht eines Dielektrikums **22** voneinander getrennt sind. Die untere Elektrode **20** und die obere Elektrode **21** bilden zusammen mit dem dazwischen befindlichen dünnen Dielektrikum-Film **22** einen Kondensator. Eine Isolierschicht **24** kann den Kondensator gegenüber den Gate-Strukturen **16a**, **16b** trennen.

[0007] Der zuverlässige Betrieb integrierter Schaltungen hängt ab von der Zuverlässigkeit der immer dünner werdenden dielektrischen Schichten, die in Schaltkreisen verwendet werden. So wie Transistoren immer kleiner und dichter gepackt wurden, sind Dielektrika immer dünner geworden. Dielektrika für Kondensatoren und Gates haben häufig eine Dicke von weniger als 80 Angström und reichen bis zu 50 Angström oder weniger. Zur Bearbeitung integrierter Schaltungen müssen diese dünnen Schichten in jedem von Tausenden unterschiedlicher Transistoren ausreichende Kapazität liefern, um das Bauelement zu treiben, den Kanal gegenüber Migration von Störstellen schützen und die Entstehung von Ladungsfangstellen an ihren Grenzflächen verhindern. Diese hohen Anforderungen können bald die Kapazitäten herkömmlicher Siliziumoxidschichten übersteigen. Siliziumoxidschichten von weniger als 2 nm haben unvermeidlich starke Leckströme.

[0008] Bemühungen, Siliziumoxid als Gate-Dielektrikum zu ersetzen, haben sich bislang weniger als zufriedenstellend erwiesen. Die relativ geringe Dielektrizitätskonstante (≈ 3,9) von Siliziumoxid begrenzt die Verkleinerung von Transistoren auf geringere Baugrößen, weil die Kapazität möglicherweise nicht ausreicht, die Bauelemente zu treiben. Werkstoffe mit höheren Dielektrizitätskonstanten befinden sich in der Entwicklung. Beispielsweise wurde Tantaloxid für eine dielektrische Schicht eines Kondensatorteils einer DRAM-Zelle ausprobiert (zum Beispiel die Schicht **22** in Fig. 1). Allerdings kommt es dabei zu Reaktionen zwischen der unteren Metallelektrode (zum Beispiel **20** in Fig. 1) und der Oxidschicht **22**, wodurch die Elektrode **20** teilweise oxidiert. Diese Teiloxidation schafft Suboxide an der Grenzfläche zwischen der Metallelektrode und dem Dielektrikum. Die auf diese Weise gebildete teilweise oxidierte

Schicht hat möglicherweise eine hohe Dichte an Elektronenfangstellen, welche die Kapazität der Struktur herabsetzen und Leckströme verstärken können. Folglich besteht Bedarf an einem verbesserten Verfahren zur Fertigung von Bauelementen mit dünnen Schichten hoher Dielektriitätskonstante und insbesondere Schichten mit einer Dielektrizitätskonstanten, die in einem Kondensatorteil eines elektronischen Bauelements beispielsweise einer DRAM-Zelle verwendet werden.

[0009] Die Druckschrift WO 99/36955, US 5 577 015 und US 5 635 425 sowie "Nitrogen Plasma Annealing for Low Temperature TA205 Films" (Alers G. B. et al., Applied Physics Leiters, New York, Vol. 72, Nr. 11, Seiten 1308 bis 1310, 16. März 1998) stellen den Stand der Technik dar. Allerdings ist die mit solchen Strukturen erzielbare Kapazität immer noch begrenzt.

Offenbarung der Erfindung

[0010] Zusammengefasst umfasst die Erfindung ein Verfahren zum Ausbilden eines elektronischen Bauelements mit einem Kondensatorteil gemäß Anspruch 1. Auf einer Oberfläche, beispielsweise der Oberfläche einer auf einem Substrat befindlichen isolierenden oder dielektrischen Schicht wird ein Metallfilm niedergeschlagen. Der Metallfilm wird mit einem Muster versehen, so zum Beispiel unter Verwendung eines Fotoresists oder durch Metall-Ätzen. Die Metalloxidschicht wird auf dem Metallfilm niedergeschlagen, und es wird die obere Elektrode gebildet. Die Struktur wird einem entfernten Stickstoffplasma und einem getrennten Sauerstoffplasma ausgesetzt, nachdem die Metalloxidschicht niedergeschlagen wurde und bevor die obere Elektrode gebildet wird.

Kurze Beschreibung der Zeichnungen

[0011] Vorteile, Besonderheiten und verschiedene zusätzliche Merkmale der Erfindung ergeben sich aus der Lektüre der beispielhaften Ausführungsformen, die im Folgenden detailliert beschrieben werden. In den begleitenden Zeichnungen zeigen:

[0012] Fig. 1 eine schematische Darstellung einer DRAM-Zelle;

[0013] Fig. 2 ein Flussdiagramm, welches die Verfahrensschritte zum Fertigen eines elektronischen Bauelements mit einer verbesserten Kondensatorstruktur zeigen;

[0014] **Fig.** 3 eine schematische Querschnittansicht eines Feldeffektbauelements und eines Kondensators mit einer verbesserten dielektrischen Schicht;

[0015] Fig. 4 eine grafische Darstellung, die die Kapazität als Funktion der Spannung für vier unterschiedliche Bauelemente darstellt;

[0016] Fig. 5 eine grafische Darstellung eines Zusammensetzungs-Tiefen-Profils einer dielektrischen Schicht auf Silizium nach der Exposition mit einem Stickstoffplasma.

[0017] Es versteht sich, dass die Zeichnungen dazu dienen, die Konzepte der Erfindung zu veranschaulichen und dass mit Ausnahme der grafischen Darstellungen die Zeichnungen nicht maßstabsgetreu sind.

Detaillierte Beschreibung der Erfindung

[0018] Bezug nehmend auf die Zeichnungen zeigt Fig. 2 die Schritte zum Fertigen eines elektronischen Bauelements mit einem verbesserten Dünnschicht-Dielektrikum. Wie in Block A in Fig. 2 gezeigt ist, besteht der erste Schritt darin, eine Oberfläche bereitzustellen, auf der die Kondensatorstruktur ausgebildet wird. Diese Oberfläche enthält eine auf einem MOS-Bauelement niedergeschlagene Isolierschicht, beispielsweise durch Trennen des MOS-Bauelements von der Kondensatorstruktur einer DRAM-Zelle, zum Beispiel in Form der Isolierschicht **24** in Fig. 1.

[0019] Der nächste im Block B dargestellte Schritt besteht darin, eine Metallschicht auf der Isolierschicht niederzuschlagen (zum Beispiel die Metallschicht **21** in Fig. 1). Die Metallschicht kann eine Wolfram-Schicht, eine Wolfram-Nitritschicht oder eine Wolfram-Silizidschicht sein. Ebenfalls verwendet werden kann eine Schicht aus Titannitrit- oder Tantalnitrit-Polysilizium. Die Metallschicht kann ein elementares oder ein zweiwertiges Metall oder eine Kombination aus Werkstoffen aufweisen, die ausgewählt sind aus der Gruppe Wolfram, Titan, Tantal und Molybden. Die Metallschicht kann mit bekannten Verfahren auf diesem Gebiet niedergeschlagen werden, darunter die chemische Abscheidung aus der Dampfphase und das reaktive Sputtern. Sie wird in einer gewünschten Geometrie auf der Isolierschicht **24** ausgebildet, um eine untere Elektrode zu definieren, wozu auf dem Gebiet bekannte Musterbildungsmethoden eingesetzt werden (zum Beispiel unter Verwendung eines Fotoresists und Metall-Ätzen). Dieser Musterbildungsschritt ist in Block **10** Fig. 2 dargestellt.

[0020] Ein Oberflächenpassivierungsschritt für die untere Elektrode ist in dem US-Patent 5 780 115 von Parks et al. offenbart. Bei Parks wird dieser Passivierungsschritt angewendet, bevor das Dielektrikum niedergeschlagen wird, um von dem Silizium natives Oxid zu entfernen. Allerdings findet der Parks-Prozess keine Anwendung bei Metallelektroden, wo die Entfernung des Oxids nicht so kritisch ist. Dieses Verfahren beruht auf einer zunehmenden Dicke der Zwischenschicht-Passivierungszone, die sich während

der Plasmabehandlung bildet, um die Kapazität zu steigern und dadurch dickere Bauelemente zu produzieren. Beispielsweise erreicht dieses Verfahren eine kleinste äquivalente Siliziumdioxid-Dicke von nur 3 nm.

[0021] Als nächstes beinhaltet der vierte Schritt (Block D) das Niederschlagen einer dünnen Schicht eines Werkstoffs mit hoher Dielektrizitätskonstante (beispielsweise die Schicht **20** in Fig. 1). Vorzugsweise enthält diese Schicht Tantaloxid (zum Beispiel Ta_2O_5) oder ein anderes Material mit hoher Dielektrizitätskonstante. Das Dielektrikum wird auf der Metallschicht durch chemische Dampfphasenabscheidung (CVD) oder durch chemische Niederdruckgasphasenabscheidung (LPCVD) niedergeschlagen, wie es auf diesem Gebiet bekannt ist. Das Niederschlagen sollte bei einer Temperatur von weniger als 450°C stattfinden, um eine Oxidation der unteren Metallelektrode zu vermeiden.

[0022] Eine Behandlung von Siliziumschichten, die eine Plasmabehandlung mit einem Sauerstoffgas oder anderen oxidierenden Gasen beinhaltet, ist in dem US-Patent 5 486 488 vom 23. Januar 1996 (Kamiyam) offenbart. Die Anmelder haben herausgefunden, dass die Verwendung eines oxidierenden Gases wie bei Kamiyam nachteilig ist, da der Sauerstoff möglicherweise die Grenzfläche zwischen unterer Elektrode und Dielektrikum während der Verdichtung oxidiert und damit die Kapazität verringert. Der Kamiyam-Prozess verdichtet die Ta_2O_5-Schicht nur und berücksichtigt nicht den Einfluss des Verdichtungsprozesses auf die Elektroden-/Dielektrikum-Grenzschicht.

[0023] Die Grenzschicht wird durch einen fünften Schritt (Block E) stabilisiert, der die nachfolgende Stickstoffplasma-Exposition beinhaltet. Dieser in Block E dargestellte Schritt beinhaltet die Stickstoffbehandlung der dielektrischen Oberfläche, das ist das Aufbringen eines Stickstoffplasmas auf die Oberseite des Dielektrikums. Diese Exposition kann mit einem entfernten Mikrowellen-Downstream-Plasma erfolgen, wobei zum Beispiel Stickstoff bei einer Substrattemperatur von 100–500°C (vorzugsweise 300°C) aufgebracht wird und Plasma bei 267 Pa (2 Torr) aufgebracht wird, was die Grenzfläche zwischen dem unteren Gate und dem Dielektrikum stabilisiert durch Einbringen von Stickstoff. An das Stickstoffplasma kann sich ein Sauerstoffplasma bei ebenfalls 267 Pa (2 Torr) bei einer Substrattemperatur von 100–500°C (vorzugsweise 300°C) anschließen, um die dielektrische Schicht zu verdichten und Leckströme zu verringern. Die Exposition der dielektrischen Schicht mit einem Plasma, welches Stickstoff enthält, fügt lediglich Stickstoff zu der Oxid/Dielektrikum-Grenzfläche hinzu. Fig. 5 ist ein Zusammensetzungs-Tiefenprofil einer dielektrischen Schicht auf Silizium nach der Exposition mit Stickstoffplasma. Stickstoff-Ionen werden an der Grenzfläche zwischen Dielektrikum und Silizium nachgewiesen, was darauf hinweist, dass der Stickstoff während der Plasmabehandlung in die dielektrische Schicht eingedrungen ist und mit der darunter liegenden Siliziumschicht eine Verbindung eingegangen ist, um freie Siliziumbindungen mit Stickstoff zu passivieren. Die Passivierung dieser Bindungen mit Stickstoff anstelle von Sauerstoff hat den erheblichen Vorteil, dass das Wachstum von Oxid verzögert, die Grenzflächen-Leckagen verringert und die Kapazität des Bauelements gesteigert wird. Dies Passivierung macht es also möglich, den Schritt der Passivierung der unteren Elektrode auf direktem Wege zu vermeiden.

[0024] Der sechste Schritt (Block F) besteht darin, die obere Elektrode (zum Beispiel die Schicht **22** in Fig. 1) aufzubringen. Dieser Schritt beinhaltet typischerweise das Niederschlagen einer oberen Elektrode aus Metall, wie zum Beispiel TiN, TaN, W oder WN. Das Niederschlagen kann mittels CVD oder PVD erfolgen, vorzugsweise bei einer Temperatur von weniger als 800°C, insbesondere bevorzugt bei einer Temperatur von weniger als 800°C.

[0025] Das oben beschriebene Verfahren lässt sich anwenden bei der Fertigung einer DRAM-Zelle, wie sie in Fig. 1 dargestellt ist, wobei die Kondensatorstruktur auf den Gate-Elektroden eines MOS-Transistors niedergeschlagen wird. Allerdings kommen auch andere Anwendungen mit der Fertigung einer Kondensatorstruktur in Betracht. **Fig.** 3 ist eine schematische Querschnittdarstellung eines beispielhaften elektronischen Bauelements mit einem Feldeffektbauelement **10** und einem Kondensator **11** mit verbesserten dielektrischen Schichten, wobei gleiche Bezugszeichen für gleiche Merkmale wie in Fig. 1 verwendet sind. Obschon für die Erfindung nicht notwendig, sind in diesem speziellen Beispiel sowohl das Feldeffektbauelement als auch der Kondensator auf einem gemeinsamen Substrat **12** ausgebildet, zum Beispiel auf einem kristallinen Silizium-Wafer.

[0026] Das Feldeffektbauelement **10** (hier ein Transistor) besteht im Wesentlichen aus einer Source **13**, einem Drain **14** und einem Kanal **15**, die jeweils eine dotierte Siliziumzone enthalten können, die sich auf einem Substrat **12** befindet. Eine Gate-Elektrode **16** liegt über dem Kanal **15** und ist gegenüber dem Kanal durch einen dünnen dielektrischen Film **17** getrennt. Wie dargestellt, besitzt der dielektrische Film ein Paar Haupt-Grenzflächen benachbart zu der Gate-Elektrode **16** (die Gate/Dielektrikum-Grenzfläche) und dem Kanal **15** (die Dielektrikum/Si-Grenzfläche). Der dielektrische Film hat typischerweise eine Dicke von weniger als etwa 20 nm (200 Angström). Die Gate-Elektrode **16** ist typischerweise eine dünne Schicht aus polykristallinem Silizium, zwecks Leitfähigkeit dotiert. Der Kondensator **11** enthält ein Paar leitende Schichten **21** und **22**, die durch einen

dünnen Dielektrikum-Film **20** voneinander getrennt sind. Die Kondensatorstruktur der leitenden Schichten **21** und des dielektrischen Films **20** lässt sich mithilfe des oben beschriebenen Verfahrens fertigen. Der dielektrische Film **20** kann ein Tantaloxidfilm sein, wie bereit erwähnt wurde, wobei die obere und die unteren Elektrode ein oder mehrere Materialien aus TiN, TaN, W oder WO enthalten.

[0027] Fig. 4 ist eine grafische Darstellung, die den Effekt der Plasmabehandlung nach dem Niederschlagen des Dielektrikums auf die Kapazität bei einem Kondensator hat, der eine TiN/Ta_2O_5/TiN-Struktur besitzt. Die Kurve **1** zeigt die Kapazität bei verschiedenen Spannungen eines nichtbehandelten Films. Man beachte, dass der Kapazitätswert auf etwa 10 fF/μm^2 begrenzt ist. Die Kurve **2** zeigt die Wirkung einer Plasmabehandlung, die das 1 Minute währende Aufbringen von O_2/N_2-Plasma bei 300°C zeigt. Die Kurven **3** und **4** zeigen die verbesserten Ergebnisse, die dann erhalten werden, wenn eine Nur-N_2-Plasmabehandlung auf die erste Elektrode erfindungsgemäß angewendet wird. Die Kurve **3** zeigt die Kapazität bei Verwendung von O_2-Plasma, gefolgt von einer Nur-N_2-Plasmabehandlung. Die Kurve **4** zeigt die Kapazität für den Fall, dass eine Nur-N_2-Plasmabehandlung vor dem Einsatz von Sauerstoff erfolgt. Wie man sieht, werden bessere Ergebnisse dann erzielt, wenn ein reines Stickstoffplasma verwendet wird, entweder vor oder nach einem Sauerstoffplasma, und die Ergebnisse werden dramatisch verbessert (zum Beispiel gemäß Fig. 4), wenn als erstes reiner Stickstoff angewendet wird. Der Begriff "reiner Stickstoff" bedeutet hier Stickstoff ohne Sauerstoffanteil, wobei der Fachmann natürlich versteht, dass auch ein inertes Gas wie zum Beispiel Argon oder Helium verwendet werden kann.

[0028] Darüber hinaus sollte gesehen werden, dass die obigen Verarbeitungsbedingungen beispielhaft sind. Man kann ein Stickstoff-Kühlgas in eine Kühlkammer unter einem Druck von 13,3 bis 1330 Pa (0,1 bis 10 Torr) aus einer entfernten Plasmaquelle einleiten (das heißt im fünften Schritt, Block E), um Stickstoffradikale zu erzeugen. Die entfernte Plasmakammer kann von einer Mikrowellenquelle Gebrauch machen, um das Plasma bei einer Frequenz von etwa 2,5 GHz zu erzeugen. Alternativ kann das Plasma durch eine angelegte RF-Vorspannung bei einer Frequenz von etwa 13 MHz erzeugt werden, wobei ein Gas eingesetzt ist, welches sowohl Stickstoff als auch ein inertes Gas wie beispielsweise Argon oder Helium enthält.

Patentansprüche

1. Verfahren zum Herstellen eines elektronischen Bauelements, welches eine Kondensatorstruktur aufweist, umfassend folgenden Ablauf:
Bereitstellen eines Substrats mit einer ersten dielektrischen Schicht;
Niederschlagen einer ersten Metallschicht auf der ersten dielektrischen Schicht und Ausbilden eines Musters in der ersten Metallschicht, um eine erste Elektrode des Kondensators auf der ersten dielektrischen Schicht zu definieren;
Niederschlagen einer zweiten dielektrischen Schicht auf der ersten Elektrode, um die dielektrische Schicht des Kondensators zu bilden, wobei das Material der zweiten dielektrischen Schicht eine Dielektrizitätskonstante von größer als 5 aufweist;
Exponieren der zweiten dielektrischen Schicht mit reinem Stickstoffplasma bei einer Substrattemperatur im Bereich von 100–500°C, um die Dichte der Ladungsfangstellen an der Grenzfläche zwischen Dielektrikum und Elektrode zu verringern, und mit einem getrennten Sauerstoffplasma; und
Ausbilden einer zweiten Elektrode, die über der zweiten dielektrischen Schicht liegt, um die Kondensatorstruktur zu vervollständigen.

2. Verfahren nach Anspruch 1, bei dem die ersten beiden Schritte weiterhin umfassend:
Bereitstellen eines Substrats;
Niederschlagen einer ersten Schicht aus dielektrischem Werkstoff auf dem Substrat;
Niederschlagen der ersten Metallschicht auf der ersten dielektrischen Schicht; und
Ausbilden eines Musters in der ersten Metallschicht, um die erste Elektrode zu definieren.

3. Verfahren nach Anspruch 2, bei dem der Schritt des Exponierens der zweiten dielektrischen Schicht mit reinem Stickstoffplasma beinhaltet: Zunächst erfolgt ein Exponieren mit einem Stickstoffplasma oder Sauerstoff bei einer Substrattemperatur von 300°C.

4. Verfahren nach Anspruch 2, bei dem die zweite dielektrische Schicht ein Metalloxid ist.

5. Verfahren nach Anspruch 4, bei dem die zweite dielektrische Schicht Tantaloxid enthält.

6. Verfahren nach Anspruch 2, bei dem der Schritt des Niederschlagens eines dielektrischen Materials auf der ersten Elektrode das Niederschlagen eines Films aus einem dielektrischen Werkstoff mit einer Dicke im Bereich von 2–10 nm aufweist.

7. Verfahren nach Anspruch 2, bei dem die erste und die zweite Elektrode mit einem Metall aus folgender Gruppe ausgebildet werden: TiN, W, TaN und WN.

8. Verfahren nach Anspruch 2, bei dem:
Das Bereitstellen des Substrats die Bereitstellung eines MOS-Bauelements mit mindestens einer Gate-Elektrode umfasst;
das Niederschlagen der ersten Schicht aus dielektri-

schem Material, das Niederschlagen der ersten Schicht über der Gate-Elektrode beinhaltet;
das Niederschlagen der zweiten Schicht aus dielektrischem Material, das Niederschlagen einer Schicht aus Tantaloxid auf der ersten Elektrode beinhaltet; und
das Exponieren der zweiten dielektrischen Schicht mit einem ersten Plasma mit reinem Stickstoff und einem zweiten Sauerstoff enthaltenden Plasma beinhaltet, wobei das erste und das zweite Plasma jeweils bei einer Substrattemperatur im Bereich von 100–500°C aufgebracht werden, um die Dichte von Ladungsfangstellen an der Grenzfläche zwischen der ersten Elektrode und der zweiten dielektrischen Schicht zu verringern.

9. Verfahren nach Anspruch 8, bei dem das erste und das zweite Plasma sequenziell aufgebracht werden, wobei das erste Plasma vor dem zweiten Plasma aufgebracht wird.

10. Verfahren nach Anspruch 8, bei dem das erste und das zweite Plasma sequenziell aufgebracht werden, wobei das zweite Plasma vor dem ersten Plasma aufgebracht wird.

Es folgen 4 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1

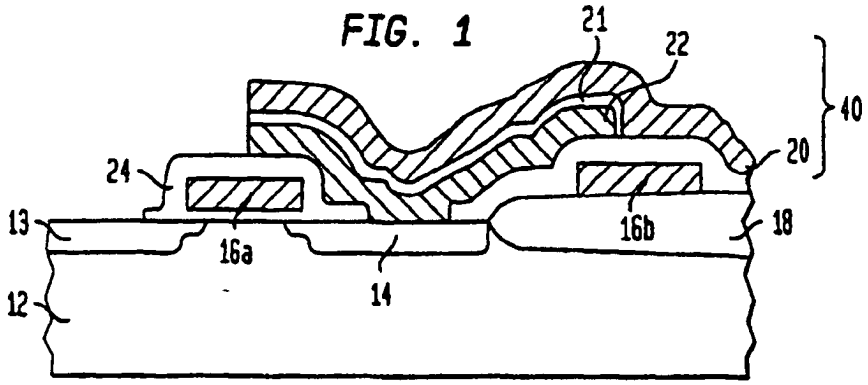


FIG. 3

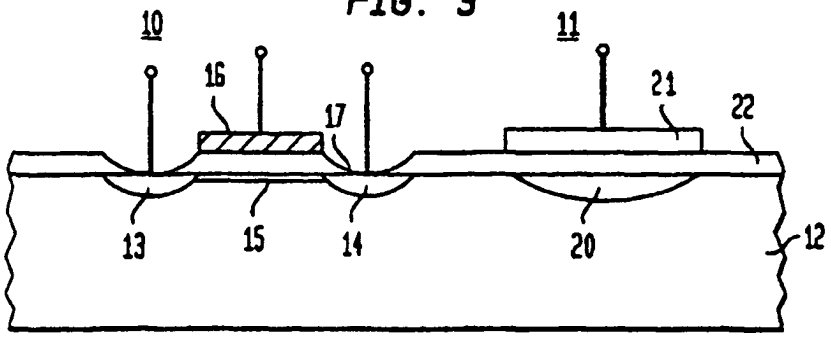


FIG. 2

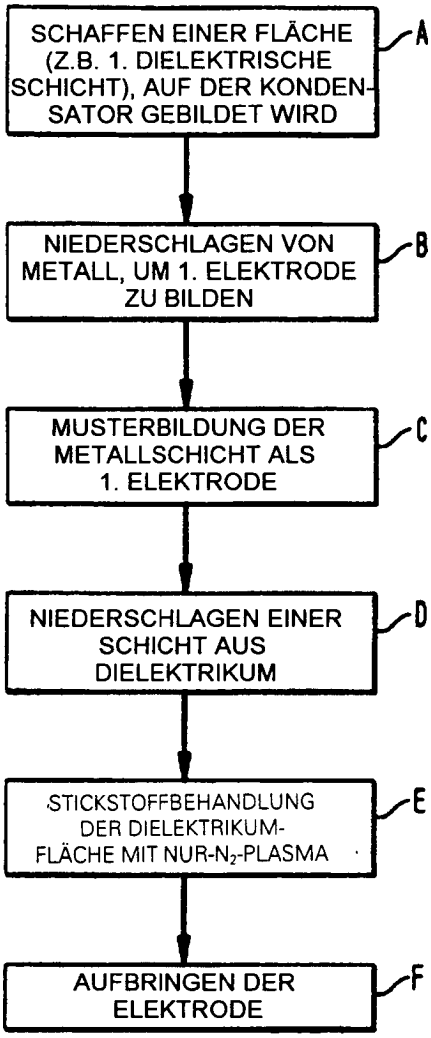

SCHAFFEN EINER FLÄCHE (Z.B. 1. DIELEKTRISCHE SCHICHT), AUF DER KONDENSATOR GEBILDET WIRD
A
NIEDERSCHLAGEN VON METALL, UM 1. ELEKTRODE ZU BILDEN
B
MUSTERBILDUNG DER METALLSCHICHT ALS 1. ELEKTRODE
C
NIEDERSCHLAGEN EINER SCHICHT AUS DIELEKTRIKUM
D
STICKSTOFFBEHANDLUNG DER DIELEKTRIKUM-FLÄCHE MIT NUR-N_2-PLASMA
E
AUFBRINGEN DER ELEKTRODE
F

FIG. 4

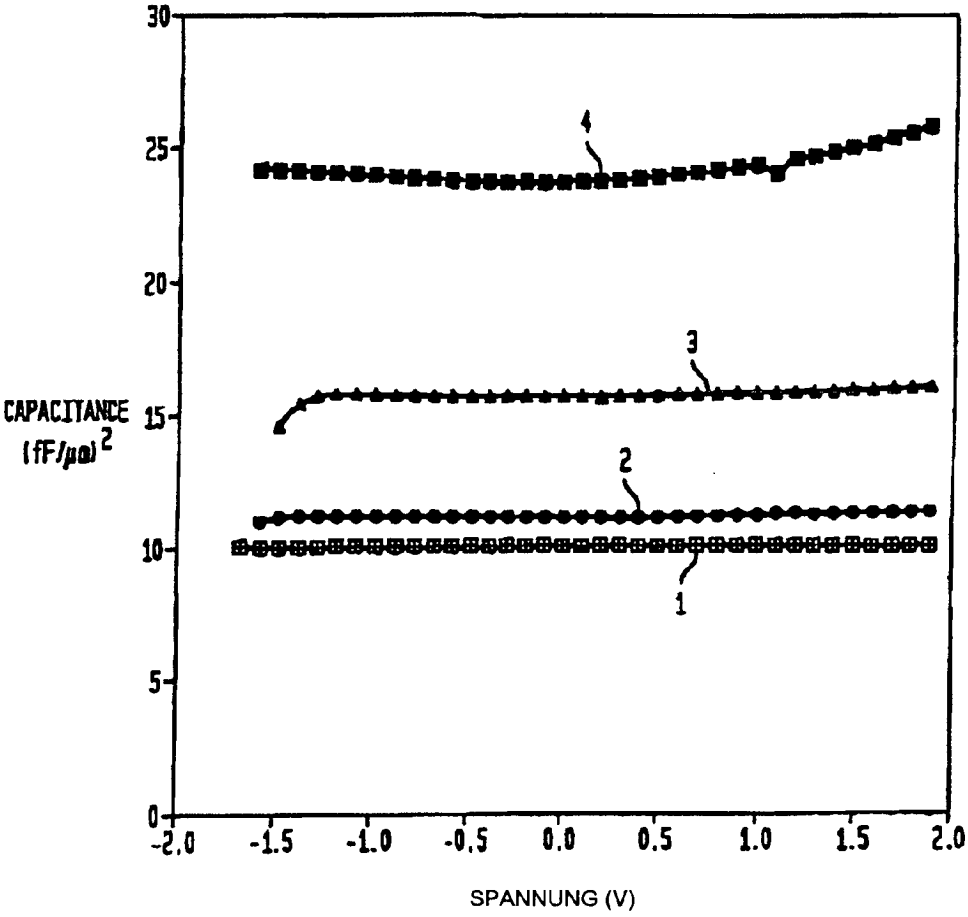
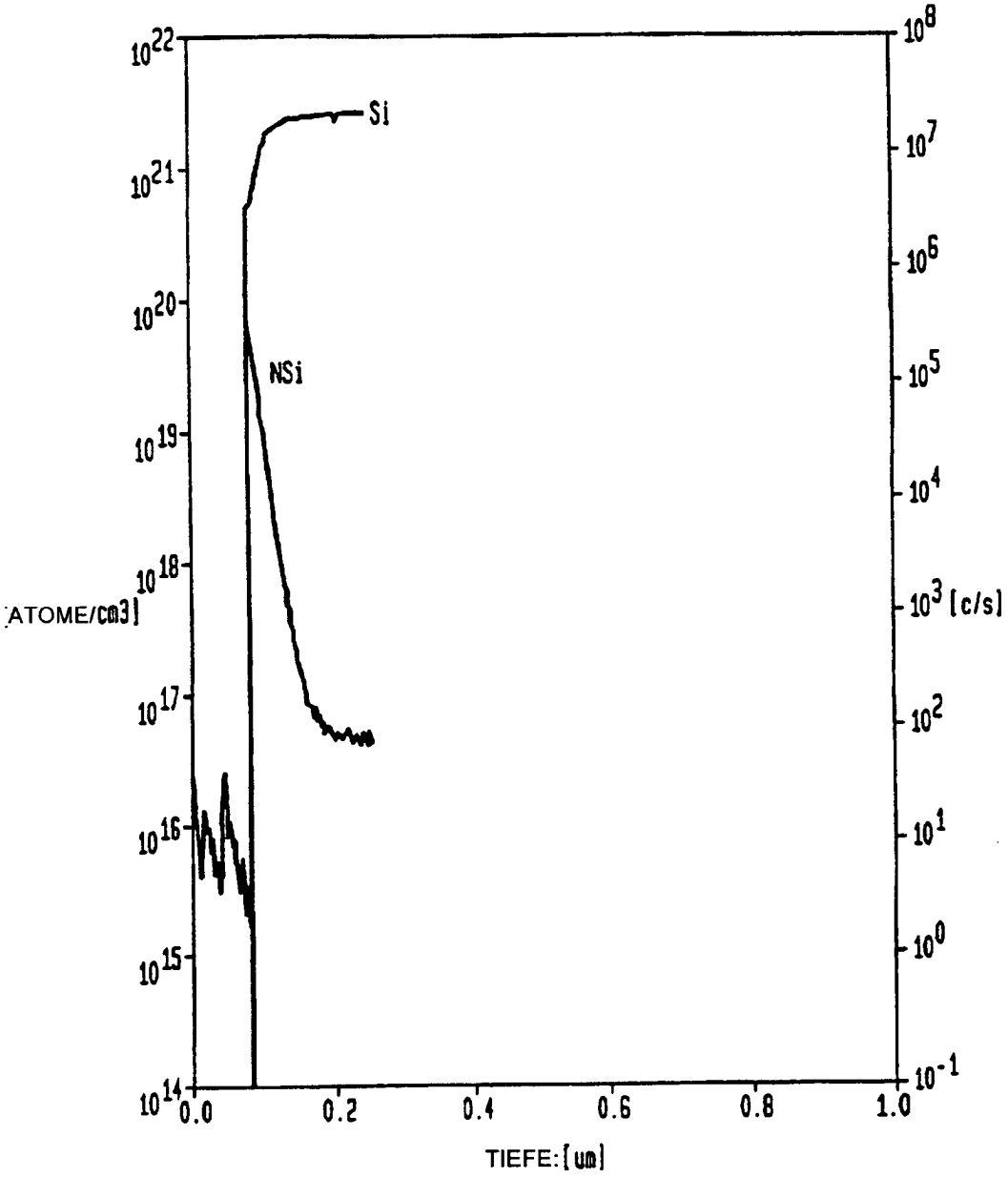

30
25
20
15
10
5
0
CAPACITANCE
(fF/μa)2
4
3
2
1
-2.0
-1.5
-1.0
-0.5
0.0
0.5
1.0
1.5
2.0
SPANNUNG (V)

FIG. 5


Si
NSi
ATOME/cm3]
[c/s]
TIEFE:[um]
10^{22}
10^{21}
10^{20}
10^{19}
10^{18}
10^{17}
10^{16}
10^{15}
10^{14}
10^{8}
10^{7}
10^{6}
10^{5}
10^{4}
10^{3}
10^{2}
10^{1}
10^{0}
10^{-1}
0.0
0.2
0.4
0.6
0.8
1.0