

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5266030号  
(P5266030)

(45) 発行日 平成25年8月21日 (2013. 8. 21)

(24) 登録日 平成25年5月10日 (2013. 5. 10)

(51) Int. Cl.	F I
<b>H03K 17/08 (2006.01)</b>	H03K 17/08 C
<b>H03K 17/687 (2006.01)</b>	H03K 17/687 A

請求項の数 10 (全 22 頁)

(21) 出願番号	特願2008-312947 (P2008-312947)	(73) 特許権者	302062931
(22) 出願日	平成20年12月9日 (2008. 12. 9)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2009-165114 (P2009-165114A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成21年7月23日 (2009. 7. 23)	(74) 代理人	100103894
審査請求日	平成23年12月8日 (2011. 12. 8)		弁理士 冢入 健
(31) 優先権主張番号	特願2007-321101 (P2007-321101)	(72) 発明者	中原 明宏
(32) 優先日	平成19年12月12日 (2007. 12. 12)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(33) 優先権主張国	日本国 (JP)		NECエレクトロニクス株式会社内
		審査官	栗栖 正和

最終頁に続く

(54) 【発明の名称】 負荷駆動装置

(57) 【特許請求の範囲】

【請求項 1】

電源が通常接続状態の場合に高電位側電源電圧が印加される第 1 の電源ラインと  
前記電源が前記通常接続状態の場合に低電位側電源電圧が印加される第 2 の電源ラインと

、  
前記第 1、第 2 の電源ライン間に直列に接続された出力トランジスタ、出力端子、及び負荷と、

前記出力トランジスタのゲートに第 1 端子が接続され、前記第 2 の電源ラインに第 2 端子及び制御端子が接続され、前記第 1、第 2 の電源ライン間に接続される電源の極性が逆になった場合に前記出力トランジスタをオン状態とする保護トランジスタと、

前記保護トランジスタのバックゲートに電圧を供給する配線上に配置される抵抗と、  
前記出力端子と前記第 2 の電源ライン間に接続されるバックゲート制御回路と、

を有し、

前記バックゲート制御回路は、

前記電源が前記通常接続状態の場合には、前記第 2 の電源ラインの電圧に準じた電圧を出力し、前記電源の極性が逆になった場合には、前記第 1 の電源ラインの電圧に準じた電圧を出力するスイッチ回路を備え、

前記バックゲート制御回路の出力電圧は、前記抵抗を介して前記保護トランジスタのバックゲートに与えられる負荷駆動装置。

【請求項 2】

10

20

前記抵抗は、拡散抵抗である請求項 1 に記載の負荷駆動装置。

【請求項 3】

前記出力トランジスタ、前記保護トランジスタ及び前記抵抗は、N 型半導体基板上に形成される請求項 1 又は 2 に記載の負荷駆動装置。

【請求項 4】

前記負荷駆動装置は、

前記第 1 の電源ラインに一端が接続されるクランプ素子と、

前記クランプ素子の他端と前記第 2 の電源ラインとの間に接続される抵抗素子と、を更に有し、

前記バックゲート制御回路の前記スイッチ回路は、

第 1 端子が前記出力端子に接続され、制御端子が前記クランプ素子と前記抵抗素子との接続点に接続される第 1 のスイッチ部と、

第 1 端子が前記第 1 のスイッチ部の第 2 端子に接続され、制御端子が前記出力端子に接続され、第 2 端子が前記クランプ素子と前記抵抗素子との前記接続点に接続される第 2 のスイッチ部とを有し、

前記第 1 のスイッチ部と第 2 のスイッチ部との接続点から前記出力電圧を出力する請求項 1 乃至 3 のいずれか 1 項に記載の負荷駆動装置。

【請求項 5】

前記保護トランジスタは、前記保護トランジスタのバックゲートをアノードとし、前記保護トランジスタにおいて前記出力トランジスタのゲートと接続される拡散領域をカソードとする寄生ダイオードを有し、

前記第 1、第 2 の電源ライン間に接続される電源の極性が逆になった場合に前記第 2 の電源ラインからの電圧を前記抵抗と前記寄生ダイオードを介して前記出力トランジスタのゲートに印加する請求項 1 乃至 4 のいずれか 1 項に記載の負荷駆動装置。

【請求項 6】

前記クランプ素子は、前記抵抗素子にアノードが接続され、前記第 1 の電源ラインにカソードが接続されるダイオードを有する請求項 4 に記載の負荷駆動装置。

【請求項 7】

前記保護トランジスタと前記第 2 の電源ラインとの間に接続され、バックゲートが前記保護トランジスタのバックゲートと共通接続され、ゲートが前記保護トランジスタのゲートと共通接続されるデプレッション型トランジスタを有する請求項 1 乃至 6 のいずれか 1 項に記載の負荷駆動装置。

【請求項 8】

前記抵抗は、第 1 の抵抗として定義され、

前記負荷駆動装置は、さらに、

前記出力トランジスタのゲートと前記出力トランジスタのソースの間に設けられ、前記出力トランジスタのオフ状態において前記出力トランジスタのゲート・ソース間をショートする放電トランジスタと、

拡散抵抗であって、前記放電トランジスタのバックゲートと前記出力トランジスタのソースとの間に接続される第 2 の抵抗と、

を有する請求項 1 乃至 7 のいずれか 1 項に記載の負荷駆動装置。

【請求項 9】

前記負荷駆動装置は、前記抵抗と並列に接続される保護ダイオードを有する請求項 1 乃至 8 のいずれか 1 項に記載の負荷駆動装置。

【請求項 10】

前記保護トランジスタと前記抵抗は、同一の半導体基板上に形成される請求項 1 乃至 9 のいずれか 1 項に記載の負荷駆動装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明にかかる負荷駆動装置は、特に負荷への電力供給を制御する出力トランジスタを有する負荷駆動装置に関する。

【背景技術】

【0002】

機能回路や動力装置などの負荷に電源からの電力を供給する負荷駆動装置が多く用いられている。この負荷駆動装置は、電源と負荷の間に接続され、スイッチとなる出力トランジスタを有する。そして、出力トランジスタの導通状態に応じて負荷への電力の供給又は供給する電力の遮断を行う。負荷駆動装置は、ハイスайдスイッチと呼ばれることもある。このような負荷駆動装置の一例が特許文献1に開示されている。

【0003】

特許文献1に開示されている負荷駆動装置100の回路図を図17に示す。図17に示すように、負荷駆動装置100は、ドライバ回路102、スイッチング用N型MOSFET(T101)、制御用N型MOSFET(T102)を有する。制御用N型MOSFET(T102)は、スイッチング用N型MOSFET(T101)のゲートとグランドとの間に設けられる。そして、制御用N型MOSFET(T102)は、ドライバ回路102より出力される駆動信号s2によりオン、オフ動作する。制御用N型MOSFET(T102)がオフのときには、ドライバ回路102より出力される駆動信号s1がハイレベル信号を出力することでスイッチング用N型MOSFET(T101)はオンとなり、負荷101に電力を供給する。一方、制御用N型MOSFET(T102)がオンのときには、スイッチング用N型MOSFET(T101)のゲートがグランドに接地されるので、スイッチング用N型MOSFET(T101)がオフとなるように制御され、負荷101への供給電力を遮断する。

【0004】

また、制御用N型MOSFET(T102)は寄生ダイオードD102を備える。寄生ダイオードD102は、アノードがグランド側、カソードがスイッチング用N型MOSFET(T101)のゲート側に接続されるので、直流電源103を逆接続した場合でも、寄生ダイオードD2が存在することにより、スイッチング用N型MOSFET(T101)のゲートに電源103より電圧が印加されるため、スイッチング用N型MOSFET(T101)はオンとなる。そのため、スイッチング用N型MOSFET(T101)の寄生ダイオードD101に逆接続電流が流れることはなく、寄生ダイオードD101の発熱を防止できる。つまり、負荷駆動装置100では、電源103の逆接続時におけるスイッチング用N型MOSFET(T101)及びその他の回路部品の損傷を防止することができる。

【特許文献1】特開2007-19812号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

負荷駆動装置の出力トランジスタとして用いられるスイッチング用N型MOSFETは、高い電流能力を実現するために、N型半導体基板上に形成された縦型構造を有するN型MOSトランジスタが多く用いられる。また、負荷駆動装置の実装面積を縮小するために、制御用N型MOSFET(T102)をスイッチング用N型MOSFET(T101)と同一の半導体基板上に形成することが好ましい。

【0006】

しかしながら、このような構成において、負荷駆動装置100を実現した場合、電源の逆接続時に、制御用N型MOSFET(102)のドレインをコレクタとし、バックゲートをベースとし、N型半導体基板をエミッタとする寄生トランジスタQ102が形成される。この寄生トランジスタQ102による問題を説明する図を図18に示す。図18は、負荷駆動装置100の制御用N型MOSFET(T102)及びスイッチング用N型MOSFET(T101)をN型半導体基板上に形成したものを示す。また、図18では、電源103の極性が正常時に対して逆になった接続状態を示している。

## 【 0 0 0 7 】

図 1 8 に示すように、電源 1 0 3 の逆接続が発生した場合、N 型半導体基板に電源 1 0 3 の負極側電圧  $V_{SS}$  が供給され、正常接続時に接地電圧が供給される接地端子  $GND$  に電源 1 0 3 の正極側電圧  $V_B$  が供給される。このような状態では、寄生トランジスタ  $Q_{102}$  がオンするため、寄生ダイオード  $D_{102}$  を介してスイッチング用 N 型 MOS FET (  $T_{101}$  ) のゲートに供給される電荷は、寄生トランジスタ  $Q_{102}$  によって引き抜かれる。そのため、スイッチング用 N 型 MOS FET (  $T_{101}$  ) のゲートの電圧は、電源逆接続時においても接地電圧に近い値となる。

## 【 0 0 0 8 】

従って、特許文献 1 に記載の負荷駆動装置 1 0 0 では、制御用 N 型 MOS FET (  $T_{102}$  ) をスイッチング用 N 型 MOS FET (  $T_{101}$  ) と同様に N 型半導体基板上に形成した場合、電源 1 0 3 の逆接続時にスイッチング用 N 型 MOS FET (  $T_{101}$  ) をオンさせることができず、寄生ダイオード  $D_{101}$  に過大な電流が流れる。つまり、このような場合、特許文献 1 に記載の負荷駆動装置 1 0 0 では、スイッチング用 N 型 MOS FET (  $T_{101}$  ) の発熱による破壊を防止することができない。

## 【課題を解決するための手段】

## 【 0 0 0 9 】

本発明の一態様にかかる負荷駆動装置は、第 1、第 2 の電源ライン間に直列に接続された出力トランジスタ及び負荷と、前記第 1、第 2 の電源ライン間に接続される電源の極性が逆になった場合に前記出力トランジスタをオン状態とし、前記出力トランジスタのゲートと前記第 2 の電源ライン間に接続される保護トランジスタと、前記保護トランジスタのバックゲートに電圧を供給する配線上に配置される抵抗と、を有するものである。

## 【 0 0 1 0 】

また、本発明の別の態様にかかる負荷駆動装置は、一導電型の半導体基板上に素子が形成される負荷駆動装置であって、第 1 の電源ラインと出力端子との間に接続され、前記出力端子と第 2 の電源ラインとの間に接続される負荷を駆動する出力トランジスタと、前記第 1、第 2 の電源ライン間に接続される電源の極性が逆になった場合に前記出力トランジスタをオン状態とし、前記出力トランジスタのゲートと前記第 2 の電源ライン間に接続される保護トランジスタと、前記保護トランジスタのバックゲートに電圧を供給する配線上に配置される拡散抵抗と、を有するものである。

## 【 0 0 1 1 】

本発明にかかる負荷駆動装置は、電源の逆接続が発生した場合に、抵抗又は拡散抵抗によって保護トランジスタのバックゲートに印加される電圧を低くすることができる。これにより、保護トランジスタのドレインをコレクタとし、保護トランジスタのバックゲートをベースとし、一導電型の半導体基板をエミッタとする寄生トランジスタのベース電圧が低くなるため、電源逆接続時においてもこの寄生トランジスタをオフ状態とすることができる。つまり、寄生トランジスタをオフ状態とし、保護トランジスタを有効に動作させることができる。これにより、本発明にかかる負荷駆動装置は、保護トランジスタが一導電型の半導体基板上に形成される場合であっても、電源逆接続時に出力トランジスタをオンさせ、出力トランジスタの発熱を抑制することができる。

## 【発明の効果】

## 【 0 0 1 2 】

本発明にかかる負荷駆動装置によれば、電源逆接続時においても出力トランジスタの発熱を抑制して負荷駆動装置の破壊を防止することができる。

## 【発明を実施するための最良の形態】

## 【 0 0 1 3 】

以下、図面を参照して本発明の実施の形態について説明する。図 1 に本発明に至る前の構想にかかる負荷駆動装置 1 の回路図を示す。図 1 に示すように、負荷駆動装置 1 は、電源 1 0、負荷 1 1、ドライバ回路 1 2、逆接続保護回路 1 3、出力トランジスタ  $T_1$ 、電源端子  $PWR$ 、接地端子  $GND$ 、出力端子  $OUT$  を有する。以下の説明では、電源端子  $P$

10

20

30

40

50

WRには、第1の電源ラインが接続され、接地端子GNDには第2の電源ラインが接続されるものとする。

【0014】

電源10は、電源端子PWRと接地端子GNDとの間に接続される。そして、正常接続時には、電源10は、電源端子PWRに正極側電圧VBを供給し、接地端子GNDに負極側電圧VSSを供給する。負荷11は、出力端子OUTと接地端子GNDとの間に接続される。負荷11は、例えば機能回路や動力装置などであって、負荷駆動装置1において電力の供給先となるものである。

【0015】

ドライバ回路12は、負荷駆動装置1の制御装置である。ドライバ回路12は、出力トランジスタT1のゲートに制御信号S1を供給し、逆接続保護回路13に制御信号S2を供給する。この構想においては、制御信号S1、S2は、互いに逆相となる信号であるものとする。ドライバ回路12は、制御信号S1、S2によって出力トランジスタT1の導通状態を制御する。

10

【0016】

逆接続保護回路13は、出力トランジスタT1のゲートと接地端子GNDとの間に接続され、ドライバ回路12によって制御される。逆接続保護回路13は、制御信号S2がハイレベルの状態では出力トランジスタT1のゲートから電荷の引き抜きを行う。また制御信号S2がロウレベルの状態ではオフ状態となり、出力トランジスタT1のゲートから電荷の引き抜きは行わない。

20

【0017】

より具体的には、逆接続保護回路13は、保護トランジスタMN1及び抵抗(第1の抵抗、例えば、拡散抵抗R1)を有する。保護トランジスタMN1は、一導電型(例えば、N型)の半導体基板に形成されるN型MOSトランジスタである。保護トランジスタMN1は、ドレインが出力トランジスタT1のゲートに接続され、ゲートに制御信号S2が入力され、ソースが接地端子GNDに接続される。なお、この構想においては、保護トランジスタMN1を用いて正常動作時における出力トランジスタT1のゲートからの放電動作も行う。拡散抵抗R1は、N型半導体基板上に他導電型(例えば、P型)の拡散領域を用いて形成される。例えば、拡散抵抗R1は、両端に不純物濃度の高いP+拡散領域によって抵抗の接続端子を形成し、その接続端子間を接続する不純物濃度の低いP-拡散領域で抵抗部分を形成する。拡散抵抗R1は、一方の端子が保護トランジスタMN1のバックゲートに接続され、他方の端子が接地端子GNDに接続される。

30

【0018】

出力トランジスタT1は、ドレインが電源端子PWRに接続され、ソースが出力端子OUTに接続され、ゲートに制御信号S1が供給される。出力トランジスタT1は、制御信号S1がハイレベルの状態ではオン状態となり、制御信号S1がロウレベルの状態ではオフ状態となる。

【0019】

次に、電源が正常に接続されている場合における負荷駆動装置1の動作について説明する。まず、制御信号S1がハイレベルであり、制御信号S2がロウレベルである場合、出力トランジスタT1はオン状態となる。そのため、負荷11には電源10が出力する正極側電圧VBが電力として供給される。一方、制御信号S1がロウレベルであり、制御信号S2がハイレベルである場合、出力トランジスタT1はオフ状態となる。そのため、負荷11には電源10からの電力が供給されず、出力端子OUTの電圧はほぼ0Vとなる。なお、負荷駆動装置1の通常時の動作において保護トランジスタMN1のバックゲートにはほとんど電流が流れない。そのため、保護トランジスタMN1のバックゲートには、拡散抵抗R1を介してであっても、電源10の負極側電圧VSSとほぼ同じ電圧が印加される。

40

【0020】

続いて、電源10が逆接続された場合における負荷駆動装置1について説明する。電源

50

10が逆接続された場合、逆接続保護回路13を構成する素子において寄生素子が形成され、その寄生素子を經由して出力トランジスタT1のゲートに電荷が流れ込む。電源10が逆接続された場合における負荷駆動装置1の回路図を図2に示す。

【0021】

図2に示すように、電源10が逆接続された場合、接地端子GNDに電源10の正極側電圧VBが印加され、電源端子PWRに電源10の負極側電圧VSSが印加される。これにより、逆接続保護回路13には、寄生素子として、寄生ダイオードD1、D1a、D1b、寄生トランジスタQ1が形成される。

【0022】

寄生ダイオードD1は、保護トランジスタMN1のバックゲートをアノードとし、保護トランジスタMN1において出力トランジスタT1のゲートに接続される側の拡散領域をカソードとする。つまり、寄生ダイオードD1は、保護トランジスタMN1のバックゲートにアノードが接続され、出力トランジスタT1のゲートにカソードが接続される。

【0023】

寄生ダイオードD1aは、寄生ダイオードD1aは、アノードが拡散抵抗R1の接地端子GND側の端子に接続され、カソードが電源端子PWRに接続される。寄生ダイオードD1bは、アノードが拡散抵抗R1の保護トランジスタMN1のバックゲート側の端子に接続され、カソードが電源端子PWRに接続される。寄生トランジスタQ1は、コレクタが保護トランジスタMN1のドレインに接続され、ベースが保護トランジスタMN1のバックゲートに接続され、エミッタが電源端子PWRに接続される。

【0024】

この寄生素子についてより具体的に説明するために、逆接続保護回路13と出力トランジスタT1の断面図を図3に示す。図3に示す断面図では、逆接続保護回路13と出力トランジスタT1とが1つのN型半導体基板に形成される例を示す。

【0025】

図3に示すように、拡散抵抗R1は、N型半導体基板上にP型の拡散領域を用いて形成される。図3に示す例では、拡散抵抗R1は、両端に不純物濃度の高いP+拡散領域によって抵抗の接続端子を形成し、その接続端子間を接続する不純物濃度の低いP-拡散領域で抵抗部分が形成される。保護トランジスタMN1は、N型半導体基板上にP型半導体領域で形成されるPウェル（以下、場合に応じて保護トランジスタMN1のバックゲートと称す）を有する。そして、Pウェル上にP+拡散領域とN+拡散領域を有する。P+拡散領域は、Pウェルへの電位供給端子となり、保護トランジスタMN1のバックゲート電圧をPウェルに与える。N+拡散領域は、保護トランジスタMN1のソース又はドレイン領域を形成する。そして、N型半導体基板の上層であって、2つのN+拡散領域に跨る領域には、ゲート酸化膜を介してゲート電極が形成される。

【0026】

出力トランジスタT1は、N型半導体基板上にP型半導体で形成されるP-Body領域（以下、場合に応じて出力トランジスタT1のバックゲートと称す）を有する。そしてP-Body領域上にN+拡散領域とP+拡散領域を有する。このN+拡散領域は、出力トランジスタT1のソースとなる。そして、分離して形成されるP-Body領域のそれぞれに形成されるN+拡散領域に跨る領域には、ゲート酸化膜を介してゲート電極が形成される。なお、出力トランジスタT1はN型半導体基板をドレインとして利用するものである。P-Body領域に形成されるP+拡散領域は、P-Body領域にバックゲート電圧を供給するものである。

【0027】

そして、寄生ダイオードD1は、保護トランジスタMN1のバックゲートと保護トランジスタMN1において出力トランジスタT1のゲートに接続される側のN+拡散領域との間に形成される。このとき、寄生ダイオードD1は、P型半導体で形成されるバックゲートをアノードとし、N型半導体で形成されるN+拡散領域をカソードとする。寄生トランジスタQ1は、保護トランジスタMN1のバックゲートをベースとし、N型半導体基板を

10

20

30

40

50

エミッタとし、保護トランジスタMN1において出力トランジスタT1のゲートに接続される側のN+拡散領域をコレクタとして形成される。寄生ダイオードD1aは、拡散抵抗R1において接地端子GND側に接続されるP+拡散領域をアノードとし、N型半導体基板をカソードとして形成される。寄生ダイオードD1bは、拡散抵抗R1において保護トランジスタMN1のバックゲートに接続される側のP+拡散領域をアノードとし、N型半導体基板をカソードとして形成される。

#### 【0028】

ここで、電源10を逆接続した場合における負荷駆動装置1の動作について説明する。電源10の逆接続時には、拡散抵抗R1及び寄生ダイオードD1を介して出力トランジスタT1のゲートに電荷が流れ込む。この構想では、このとき寄生ダイオードD1a及びD1bにも電流が流れる。そこで、寄生ダイオードD1a及びD1bに電流が流れた場合に寄生ダイオードD1a及びD1bのカソード側に発生する電圧について説明する。図4に寄生ダイオードD1a及びD1bに流れる電流と寄生ダイオードD1a及びD1bのアノード側に発生する電圧との関係を示すグラフを示す。

10

#### 【0029】

図4では、寄生ダイオードD1aのアノード側のノードをNaで示し、寄生ダイオードD1bのアノード側のノードをNbで示した。なお、ノードNbには寄生トランジスタQ1のベースが接続される。また、寄生ダイオードD1a及びD1bのカソードは、寄生トランジスタQ1のエミッタと共通の領域に接続される。そのため、寄生ダイオードD1bのアノードとカソードの間に発生する電圧は、寄生トランジスタQ1のベースとエミッタ間の電圧となる。

20

#### 【0030】

図4に示すように、電源10が逆接続された場合、寄生ダイオードD1aに電流が流れる。また、寄生ダイオードD1bには拡散抵抗R1を介して電流が流れる。そのため、ノードNbの電圧は、拡散抵抗R1と流れる電流によりノードNaの電圧よりも低くなる。図4に示す例では、ノードNaの電圧は正極側電圧VB程度であるのに対して、ノードNbの電圧は0.5V程度となっている。ここで、寄生トランジスタQ1の閾値電圧は0.5Vよりも高い。つまり、ノードNbの電圧が0.5V程度では、寄生トランジスタQ1のベース・エミッタ間電圧は閾値電圧を超えることはできない。そのため、この構想では、寄生トランジスタQ1は、電源10が逆接続された場合であっても、オフ状態を維持する。

30

#### 【0031】

従って、本構想では、拡散抵抗R1及び寄生ダイオードD1を介して出力トランジスタT1のゲートに流れ込む電荷が寄生トランジスタQ1によって引き抜かれることがない。しかしながら、電源10の逆接続時には、出力トランジスタT1のゲート電圧は寄生ダイオードD1を介して供給されるため、ゲート電圧は、最大で0.5V程度となるノードNbの電圧より高くない。そのため、出力トランジスタT1はON状態にならない。すなわち、本構想では、電源10の逆接続時の出力トランジスタT1の過熱を防止することができない。そこで、本発明者は、別の解決方法を考案した。

#### 【0032】

40

##### 実施の形態1

上記で言及した構想にかかる負荷駆動装置1においては、電源10の逆接続時は、保護トランジスタMN1はオン状態とならない。またさらに上記の構想では、以下に示すような考慮すべき点がある。負荷11の接地電圧が負荷駆動装置1の接地端子GNDから供給される。そのため、電源が正常に接続され、かつ、電源がオフ状態において、逆接続保護回路13によって出力トランジスタT1のゲートの電荷を引き抜くことで出力トランジスタT1のソース・ゲート間の電圧を実質的に同じにして出力トランジスタT1をオフ状態とすることができた。しかしながら、負荷11は、負荷駆動装置とは離れた場所から接地電圧が供給される場合がある。このような場合、負荷駆動装置の接地端子GNDから供給される接地電圧と負荷11の接地電圧とに差が生じる場合がある。このように接地電圧に

50

差が生じた場合、負荷駆動装置 1 の構成では、出力トランジスタ T 1 のソース・ゲート間電圧を出力トランジスタ T 1 がオフ状態となるほど小さくすることができず、出力トランジスタ T 1 のオフ状態を確実に制御できない問題がある。

#### 【 0 0 3 3 】

そこで、実施の形態 1 にかかる負荷駆動装置 2 では、出力トランジスタ T 1 のゲートから電荷を引き抜くゲート放電回路 1 4 を出力端子 O U T と出力トランジスタ T 1 のゲートとの間に設ける。これにより、負荷駆動装置 2 では、負荷 1 1 の接続形態によらず通常動作時における出力トランジスタ T 1 のオフ状態の制御を確実に行う。また、負荷駆動装置 2 では、電源 1 0 の逆接続時に負荷駆動装置 2 を保護する逆接続保護回路 1 5 を独立して設ける。

10

#### 【 0 0 3 4 】

図 5 に実施の形態 1 にかかる負荷駆動装置 2 の回路図を示す。図 5 に示すように、負荷駆動装置 2 は、電源 1 0、負荷 1 1、ドライバ回路 1 2、ゲート放電回路 1 4、逆接続保護回路 1 5、バックゲート制御回路 1 6、出力トランジスタ T 1、クランプダイオード D 1 0、電流制限抵抗 R 1 0、電源端子 P W R、接地端子 G N D、出力端子 O U T を有する。

#### 【 0 0 3 5 】

電源 1 0 は、電源端子 P W R と接地端子 G N D との間に接続される。そして、正常接続時には、電源 1 0 は、電源端子 P W R に正極側電圧 V B を供給し、接地端子 G N D に負極側電圧 V S S を供給する。負荷 1 1 は、出力端子 O U T と接地端子 G N D との間に接続される。負荷 1 1 は、例えば、機能回路や動力装置等であって、負荷駆動装置 2 において電力の供給先となるものである。

20

#### 【 0 0 3 6 】

ドライバ回路 1 2 は、負荷駆動装置 2 の制御装置である。ドライバ回路 1 2 は、出力トランジスタ T 1 のゲートに制御信号 S 1 を供給し、ゲート放電回路 1 4 に制御信号 S 2 を供給する。この実施の形態においては、制御信号 S 1、S 2 は、互いに逆相となる信号であるものとする。ドライバ回路 1 2 は、制御信号 S 1、S 2 によって出力トランジスタ T 1 の導通状態を制御する。

#### 【 0 0 3 7 】

出力トランジスタ T 1 は、ドレインが電源端子 P W R に接続され、ソースが出力端子 O U T に接続され、ゲートに制御信号 S 1 が供給される。出力トランジスタ T 1 は、制御信号 S 1 がハイレベルの状態ではオン状態となり、制御信号 S 1 がロウレベルの状態ではオフ状態となる。

30

#### 【 0 0 3 8 】

ゲート放電回路 1 4 は、出力トランジスタ T 1 のゲートと出力端子 O U T との間に接続され、ドライバ回路 1 2 によって制御される。ゲート放電回路 1 4 は、制御信号 S 2 がハイレベルの状態では出力トランジスタ T 1 のゲートから電荷の引き抜きを行う。また制御信号 S 2 がロウレベルの状態ではオフ状態となり、出力トランジスタ T 1 のゲートから電荷の引き抜きは行わない。

#### 【 0 0 3 9 】

より具体的には、ゲート放電回路 1 4 は、放電トランジスタ M N 2 及び第 2 の抵抗（例えば、拡散抵抗 R 2）を有する。放電トランジスタ M N 2 は、N 型半導体基板に形成される N 型 M O S トランジスタである。放電トランジスタ M N 2 は、ドレインが出力トランジスタ T 1 のゲートに接続され、ゲートに制御信号 S 2 が入力され、ソースが出力端子 O U T に接続される。拡散抵抗 R 2 は、N 型半導体基板上に P 型の拡散領域を用いて形成される。拡散抵抗 R 2 は、前述した構想における拡散抵抗 R 1 と同じ構造を有する。拡散抵抗 R 2 は、一方の端子が放電トランジスタ M N 2 のバックゲートに接続され、他方の端子が出力端子 O U T に接続される。

40

#### 【 0 0 4 0 】

逆接続保護回路 1 5 は、出力トランジスタ T 1 のゲートと接地端子 G N D との間に接続

50



される。逆接続保護回路 15 は、保護トランジスタ MN3 及び抵抗 (第 1 の抵抗、例えば、拡散抵抗 R3) を有する。保護トランジスタ MN3 は、ソース/ドレインの一方が出力トランジスタ T1 のゲートに接続され、ソース/ドレインの他方が接地端子 GND に接続され、ゲートがソース/ドレインの他方と接続される。つまり、電源 10 の正常時には保護トランジスタ MN3 は、ダイオード接続された構成を有し、ソースがダイオードのアノード側端子となり、ドレインがダイオードのカソード側端子となる。また、保護トランジスタ MN3 のバックゲートは拡散抵抗 R3 を介してバックゲート制御回路 16 に接続され、電源 10 の逆接続時には保護トランジスタ MN3 は、ドレインが接地端子 GND、ソースが出力トランジスタ T1 のゲートに接続される。

#### 【0041】

バックゲート制御回路 16 は、出力端子 OUT と接地端子 GND との間に設けられる。バックゲート制御回路 16 は、電源 10 が正常に接続される状態では保護トランジスタ MN3 のバックゲートに接地端子 GND の電圧に基づいた電圧を供給し、電源 10 が逆接続される状態では保護トランジスタ MN3 のバックゲートに電源端子 PWR の電圧に基づいた電圧を供給する。バックゲート制御回路 16 は、第 1 のスイッチ部 16a と第 2 のスイッチ部 16b を有する。第 1 のスイッチ部 16a は、本実施の形態においては導通状態となることはないが、第 2 のスイッチ部 16b は、出力端子 OUT に電源 10 の正極側電圧 VB が供給されている状態において保護トランジスタ MN3 のバックゲートに電源 10 の負極側電圧 VSS を供給する。なお、本実施の形態では、第 2 のスイッチ部 16b は、電流制限抵抗 R10 を介して接地電圧に接続されるが、保護トランジスタ MN3 のバックゲートに流れる電流はごくわずかである。そのため、接地端子 GND から保護トランジスタ MN3 のバックゲートに至る経路での電圧変動は無視できる程度に小さい。

#### 【0042】

より具体的には、第 1 のスイッチ部 16a は、NMOS トランジスタ MN4、MN5 を有する。NMOS トランジスタ MN4 と NMOS トランジスタ MN5 は、出力端子 OUT と拡散抵抗 R3 との間に直列に接続される。また、NMOS トランジスタ MN4 のゲートと NMOS トランジスタ MN5 のゲートはともに電流制限抵抗 R10 を介して接地端子 GND に接続される。NMOS トランジスタ MN4 のバックゲートと NMOS トランジスタ MN5 のバックゲートはともに NMOS トランジスタ MN4 と NMOS トランジスタ MN5 との接続点に接続される。

#### 【0043】

第 2 のスイッチ部 16b は、NMOS トランジスタ MN6、MN7 を有する。NMOS トランジスタ MN6 と NMOS トランジスタ MN7 は、拡散抵抗 R3 と接地端子 GND との間に、電流制限抵抗 R10 を介して直列に接続される。また、NMOS トランジスタ MN6 のゲートと NMOS トランジスタ MN7 のゲートはともに出力端子 OUT に接続される。NMOS トランジスタ MN6 のバックゲートと NMOS トランジスタ MN7 のバックゲートはともに NMOS トランジスタ MN6 と NMOS トランジスタ MN7 との接続点に接続される。なお、NMOS トランジスタ MN7 のソースは電流制限抵抗 R10 を介して接地端子 GND に接続される。そして、第 2 のスイッチ部 16b は、NMOS トランジスタ MN7 のソースの電圧と出力端子 OUT との電圧差が  $0.7V$  (NMOS トランジスタ MN7 のソース・バックゲート間の寄生ダイオードの順バイアス電圧) + 閾値電圧  $V_T$  (NMOS トランジスタ MN6 の閾値電圧) 以上でオンとなる。

#### 【0044】

電流制限抵抗 R10 とクランプダイオード D10 は、接地端子 GND と電源端子 PWR との間に直列に接続される。そして、クランプダイオード D10 は、アノードが電流制限抵抗 R10 に接続され、カソードが電源端子 PWR に接続される。

#### 【0045】

次に、電源が正常に接続されている場合における負荷駆動装置 2 の動作について説明する。まず、制御信号 S1 がハイレベルであり、制御信号 S2 がロウレベルである場合、放電トランジスタ MN2 がオフ状態となり出力トランジスタ T1 はオン状態となる。その

10

20

30

40

50

ため、負荷 1 1 には電源 1 0 が出力する正極側電圧  $V_B$  が電力として供給される。一方、制御信号  $S_1$  がロウレベルであり、制御信号  $S_2$  がハイレベルである場合、放電トランジスタ  $MN_2$  がオン状態となり出力トランジスタ  $T_1$  のゲートから出力端子  $OUT$  に対して電化を引き抜く。そのため、出力トランジスタ  $T_1$  のゲート・ソース間が放電トランジスタ  $MN_2$  によりショートされた状態となり、出力トランジスタ  $T_1$  はオフ状態となる。そのため、負荷 1 1 には電源 1 0 からの電力が供給されず、出力端子  $OUT$  の電圧はほぼ 0 V となる。なお、負荷駆動装置 1 の通常時の動作において放電トランジスタ  $MN_2$  のバックゲートにはほとんど電流が流れない。そのため、放電トランジスタ  $MN_2$  のバックゲートには、拡散抵抗  $R_2$  を介してであっても、出力端子  $OUT$  の電圧とほぼ同じ電圧が印加される。

10

#### 【0046】

また、電源 1 0 が正常に接続されている状態においては、接地端子  $GND$  と出力トランジスタ  $T_1$  のゲート間に接続されている、ダイオード接続された保護トランジスタ  $MN_3$  はオンしないため、保護トランジスタ  $MN_3$  は無効な状態となっている。また、第 2 のスイッチ部 1 6 b がオン状態となるため、保護トランジスタ  $MN_3$  のバックゲートには拡散抵抗  $R_3$  及び電流制限抵抗  $R_{10}$  を介して接地電圧が印加される。

#### 【0047】

続いて、電源 1 0 が逆接続された場合における負荷駆動装置 2 について説明する。電源 1 0 が逆接続された場合、ゲート放電回路 1 4 及び逆接続保護回路 1 5 を構成する素子において寄生素子が形成されるが、その寄生素子をオフすることができ、逆接保護回路 1 5 を経由して出力トランジスタ  $T_1$  のゲートに電荷が流れ込む。電源 1 0 が逆接続された場合における負荷駆動装置 2 の回路図を図 6 に示す。

20

#### 【0048】

図 6 に示すように、電源 1 0 が逆接続された場合、接地端子  $GND$  に電源 1 0 の正極側電圧  $V_B$  が印加され、電源端子  $PWR$  に電源 1 0 の負極側電圧  $V_{SS}$  が印加される。これにより、ゲート放電回路 1 4 には、寄生素子として、寄生ダイオード  $D_2$ 、 $D_{2a}$ 、 $D_{2b}$ 、寄生トランジスタ  $Q_2$  が形成される。また、逆接続保護回路 1 5 には、寄生素子として、寄生ダイオード  $D_3$ 、 $D_{3a}$ 、 $D_{3b}$ 、寄生トランジスタ  $Q_3$  が形成される。

#### 【0049】

寄生ダイオード  $D_2$  は、放電トランジスタ  $MN_2$  のバックゲートをアノードとし、放電トランジスタ  $MN_2$  において出力トランジスタ  $T_1$  のゲートに接続される側の拡散領域をカソードとする。つまり、寄生ダイオード  $D_2$  は、放電トランジスタ  $MN_2$  のバックゲートにアノードが接続され、出力トランジスタ  $T_1$  のゲートにカソードが接続される。

30

#### 【0050】

寄生ダイオード  $D_{2a}$  は、アノードが拡散抵抗  $R_2$  の出力端子  $OUT$  側の端子に接続され、カソードが電源端子  $PWR$  に接続される。寄生ダイオード  $D_{2b}$  は、アノードが拡散抵抗  $R_2$  の放電トランジスタ  $MN_2$  のバックゲート側の端子に接続され、カソードが電源端子  $PWR$  に接続される。寄生トランジスタ  $Q_2$  は、コレクタが放電トランジスタ  $MN_2$  のドレインに接続され、ベースが放電トランジスタ  $MN_2$  のバックゲートに接続され、エミッタが電源端子  $PWR$  に接続される。

40

#### 【0051】

また、寄生ダイオード  $D_3$  は、保護トランジスタ  $MN_3$  のバックゲートをアノードとし、保護トランジスタ  $MN_3$  において出力トランジスタ  $T_1$  のゲートに接続される側の拡散領域をカソードとする。つまり、寄生ダイオード  $D_3$  は、保護トランジスタ  $MN_3$  のバックゲートにアノードが接続され、出力トランジスタ  $T_1$  のゲートにカソードが接続される。

#### 【0052】

寄生ダイオード  $D_{3a}$  は、アノードが拡散抵抗  $R_3$  のバックゲート制御回路 1 6 側の端子に接続され、カソードが電源端子  $PWR$  に接続される。寄生ダイオード  $D_{3b}$  は、アノードが拡散抵抗  $R_3$  の保護トランジスタ  $MN_3$  のバックゲート側の端子に接続され、カソ

50

ードが電源端子PWRに接続される。寄生トランジスタQ3は、コレクタが保護トランジスタMN3の出力トランジスタT1のゲート側の拡散領域に接続され、ベースが保護トランジスタMN3のバックゲートに接続され、エミッタが電源端子PWRに接続される。

【0053】

この寄生素子についてより具体的に説明するために、ゲート放電回路14、逆接続保護回路15及び出力トランジスタT1の断面図を図7に示す。図7に示す断面図では、ゲート放電回路14、逆接続保護回路15及び出力トランジスタT1が1つのN型半導体基板に形成される例を示す。

【0054】

図7に示すように、ゲート放電回路14及び逆接続保護回路15は、それぞれ、図3に示した逆接続保護回路13と実質的に同じ構造を有する素子によって形成される。また、出力トランジスタT1は、図3に示した出力トランジスタT1と同じものである。

【0055】

ここで、電源10を逆接続した場合における負荷駆動装置2の動作について説明する。電源10の逆接続時には、正極側電圧VBが保護トランジスタMN3のゲートに印加される。これによって、保護トランジスタMN3はオン状態となる。しかしながら、出力トランジスタT1がオン状態となる前に、遷移期間がある。この遷移期間の間、出力端子OUTにおける電圧は、正極側電圧VBとなって、そして、出力トランジスタT1に形成される寄生ダイオードのフォワード電圧(0.7V程度)となる。なぜならば、出力トランジスタT1の寄生ダイオードが、一時的に順方向にバイアスされるからである。その後、出力トランジスタT1は、オン状態となり、出力端子OUTにおける電圧は0V程度になる。

【0056】

電源10の逆接続時には、保護トランジスタMN3がオン状態となる前に、電荷は、一時的に拡散抵抗R2及び寄生ダイオードD2を介して出力トランジスタT1のゲートに流れる。以下に、電流が寄生ダイオードD2a及びD2bを通して流れる際に寄生ダイオードD2a及びD2bのカソード側で発生する電圧について説明する。

【0057】

図6では、寄生ダイオードD2aのアノード側のノードはNcによって示され、寄生ダイオードD2bのアノード側のノードは、Ndによって示される。寄生トランジスタQ2のベースは、ノードNdに接続されている。寄生ダイオードD2a及びD2bのカソードは、寄生トランジスタQ2のエミッタと共通の領域に接続される。そのため、寄生ダイオードD2bのアノードとカソードの間に発生する電圧は、寄生トランジスタQ2のベースとエミッタの間の電圧となる。

【0058】

図6に示すように、電源10の逆接続時には、寄生ダイオードD2aを介して電流が流れる。さらに、拡散抵抗R2を経由して寄生ダイオードD2aを介して電流が流れる。そのため、ノードNdの電圧は、拡散抵抗R2及び拡散抵抗R2を流れる電流によって決まるノードNcの電圧よりも低くなる。ノードNcの電圧は、正極側電圧VB程度となるが、ノードNdの電圧は、拡散抵抗R2の電圧降下によって0.5V程度となる。寄生トランジスタQ2の閾値電圧は、0.5Vより高い。これは、ノードNdの電圧が0.5V程度のときは、寄生トランジスタQ2のベース-エミッタ間電圧がこの閾値電圧を超えられないことを意味している。そのため、本実施の形態では、寄生トランジスタQ2を介する出力トランジスタのゲートと電源端子PWRの間の電流経路が形成されない。

【0059】

これにより、保護トランジスタMN3を介して出力トランジスタT1のゲートに流れ込む電荷は、寄生トランジスタQ2によって引き抜かれない。従って、保護トランジスタMN3が出力トランジスタT1のゲートに電荷を供給することができれば、出力トランジスタT1はオン状態となる。

【0060】

10

20

30

40

50

一方、本実施の形態では、クランプダイオードD10が順方向バイアスされるため、電流制限抵抗R10及びクランプダイオードD10を介して接地端子GNDから電源端子PWRに電流が流れる。つまり、電流制限抵抗R10とクランプダイオードD10の間のノードにはクランプダイオードD10のダイオード電圧（例えば、約0.7V）が発生する。第1のスイッチ部16aの閾値電圧は、0.7V程度のダイオード電圧よりも高く、第1のスイッチ部16aはオフ状態を維持する。

#### 【0061】

出力端子OUTに印加される電圧が、第2のスイッチ部16bの閾値電圧以上であれば、第2のスイッチ部16bはオン状態となり、拡散抵抗R2及び寄生ダイオードD2a、D2bと同様に、拡散抵抗R3の電圧降下によって0.7V程度のダイオード電圧がノードNe（寄生ダイオードD3aのアノード側のノード）に供給される。この場合、拡散抵抗R2と寄生ダイオードD2a、D2bと同様に、拡散抵抗R3の電圧降下によって、最大でも0.5V程度の電圧が、ノードNf（寄生ダイオードD3のアノード側のノード）に供給される。その結果、寄生トランジスタQ3は、オン状態とならない。したがって、保護トランジスタMN3を介して出力トランジスタT1のゲートに流れ込む電荷は、寄生トランジスタQ3によって引き抜かれない。

#### 【0062】

出力端子OUTに供給される電圧が第2のスイッチ部16bの閾値電圧よりも低いときは、第2のスイッチ部16bはオフ状態となる。つまり、バックゲート制御回路16の第1のスイッチ部16a及び第2のスイッチ部16bはともにオフ状態となる。したがって、出力端子OUTとクランプダイオードD10のアノードの間の電圧である、最大でも0.7V程度の電圧が、寄生ダイオードD3aのアノードに供給される。しかしながら、拡散抵抗R3の電圧降下により、寄生ダイオードD3bのアノードには最大でも0.5V程度の電圧が発生するため、寄生トランジスタQ3はオン状態とならない。これにより、保護トランジスタMN3を介して出力トランジスタT1のゲートに流れ込む電荷は、寄生トランジスタQ3によって引き抜かれない。

#### 【0063】

電源10の逆接続状態では、最大でも0.5V程度の電圧が保護トランジスタMN3のバックゲートに印加される。そのため、保護トランジスタMN3は、バックゲート電圧が基本的にロウレベルである。電源10の逆接続時には、保護トランジスタMN3の接地電位GNDには出力トランジスタT1のゲート電圧よりも高電位が印加されるため、保護トランジスタMN3は正常な導通状態になる。従って、本実施の形態では、接地端子GNDに印加された電源10の正極側電圧VBから保護トランジスタMN3で発生するオン電圧を差し引いた電圧が出力トランジスタT1のゲートに印加され、出力トランジスタT1がオン状態となる。そして、出力トランジスタT1は、オン状態を維持する。

#### 【0064】

出力トランジスタT1がオン状態のときは、実質的に0Vに等しい電圧が出力端子OUTに供給される。ノードNdの電圧は、実質的に0Vよりも低く、寄生抵抗Q2のオフ状態は維持される。さらに、ノードNeに供給される電圧は、クランプダイオードD10のアノードに供給される0.7V程度のダイオード電圧よりも低く維持され、ノードNfに供給される電圧は0.5V程度を維持する。これにより、寄生トランジスタQ3のオフ状態が維持される。

#### 【0065】

また、放電トランジスタMN2に形成される寄生トランジスタQ2は、拡散抵抗R2及び拡散抵抗R2の寄生ダイオードD2a、D2bにより、オフ状態を維持する。さらに、保護トランジスタMN3に形成される寄生トランジスタQ3は、拡散抵抗R3及び拡散抵抗R3の寄生ダイオードD3a、D3bにより、オフ状態を維持する。

#### 【0066】

従って、本実施の形態では、電源10の逆接続時にダイオード接続される保護トランジスタMN3が順方向にバイアスされる。これにより、保護トランジスタMN3がMOS

10

20

30

40

50

イチとしてオン動作して、動作して、電源 10 の逆接続時に出力トランジスタ T 1 のゲート電圧は電源 10 の正極側電圧 V B に近い値となる。そして、出力トランジスタ T 1 はオン状態となる。また、電源 10 の逆接続時に形成される寄生トランジスタ Q 2、Q 3 は、それぞれ電源 10 の逆接続時にオフ状態を維持するため、寄生トランジスタ Q 2、Q 3 によって出力トランジスタ T 1 がオフ状態となることはない。

#### 【0067】

上記説明より、実施の形態 1 における負荷駆動装置 2 は、出力トランジスタ T 1 のゲートと出力端子 O U T との間にゲート放電回路 1 4 を有する。これにより、負荷駆動装置 2 では、負荷 1 1 の接地電圧と負荷駆動装置 2 の接地端子 G N D とに電圧差がある場合であっても、通常動作時に出力トランジスタ T 1 のオフする場合において出力トランジスタ T 1 のソース・ゲート間をショートし、出力トランジスタ T 1 のオフ状態を確実に制御することができる。つまり、負荷駆動装置 2 では、負荷 1 1 の接続形態によらず通常動作時における出力トランジスタ T 1 のオフ状態の制御を確実に行うことができる。

10

#### 【0068】

また、放電トランジスタ M N 2 とともに拡散抵抗 R 2 を設け、保護トランジスタ M N 3 とともに拡散抵抗 R 3 を設けることで、前述した構想と同様に、電源 10 の逆接続時において寄生トランジスタ Q 2、Q 3 のオフ状態を維持することができる。これにより、負荷駆動装置 2 では、電源 10 の逆接続時に接地端子 G N D と出力トランジスタ T 1 との間で M O S スイッチとして保護トランジスタ M N 3 を確実に機能させることができる。つまり、負荷駆動装置 2 では、電源 10 の逆接続時に保護トランジスタ M N 3 を介して出力トランジスタ T 1 をオン状態とし、負荷駆動装置 2 の過熱による破壊を防止することができる。

20

#### 【0069】

##### 実施の形態 2

実施の形態 2 にかかる負荷駆動装置 3 の回路図を図 8 に示す。図 8 に示すように、負荷駆動装置 3 は、実施の形態 1 におけるゲート放電回路 1 4 及び逆接続保護回路 1 5 の変形例を示すゲート放電回路 1 4 a 及び逆接続保護回路 1 5 a を有する。負荷駆動装置 3 において負荷駆動装置 2 と同様のものについては、負荷駆動装置 2 と同じ符号を付して説明を省略する。

#### 【0070】

ゲート放電回路 1 4 a は、ゲート放電回路 1 4 に対して拡散抵抗 R 2 と並列に接続されるダイオード D 4 が追加されている。また、逆接続保護回路 1 5 a は、逆接続保護回路 1 5 に対して拡散抵抗 R 3 と並列に接続されるダイオード D 5 が追加されている。ダイオード D 4 及び D 5 は、電源 10 が正常に接続されている場合においては、順方向にバイアスされることはない。そのため、電源 10 が正常に接続されている場合における負荷接続回路 3 の動作は負荷駆動装置 2 と実質的に同じものとなる。

30

#### 【0071】

次に、電源 10 が逆接続された場合における負荷駆動装置 3 について説明する。電源 10 が逆接続された場合、上記実施の形態と同様に寄生素子が形成される。そこで、電源 10 が逆接続された場合における負荷駆動装置 3 の回路図を図 9 に示す。図 9 に示すように、負荷駆動装置 3 では、ダイオード D 4 の追加に伴い寄生トランジスタ Q 4 が形成される。寄生トランジスタ Q 4 は、ベースがダイオード D 4 のアノードに接続され、コレクタがダイオード D 4 のカソードに接続され、エミッタが電源端子 P W R に接続される。また、ダイオード D 5 の追加に伴い寄生トランジスタ Q 5 が形成される。寄生トランジスタ Q 5 は、ベースがダイオード D 5 のアノードに接続され、コレクタがダイオード D 5 のカソードに接続され、エミッタが電源端子 P W R に接続される。

40

#### 【0072】

この寄生素子についてより具体的に説明するために、ゲート放電回路 1 4 a、逆接続保護回路 1 5 a 及び出力トランジスタ T 1 の断面図を図 10 に示す。図 10 に示す断面図では、ゲート放電回路 1 4 a、逆接続保護回路 1 5 a 及び出力トランジスタ T 1 が 1 つの N

50

型半導体基板に形成される例を示す。

【0073】

図10に示すように、ダイオードD4は、ゲート放電回路14aが形成される領域に形成される。ダイオードD4は、N型半導体基板上に形成されるPウェルを有する。そして、このPウェル上にアノード側端子となるP+拡散領域とカソード側端子となるN+拡散領域を有する。このダイオードD4において寄生トランジスタQ4は、Pウェルをベースとし、N+拡散領域をコレクタとし、N型半導体基板をエミッタとして形成される。

【0074】

ダイオードD5は、逆接続保護回路15aが形成される領域に形成される。ダイオードD5は、N型半導体基板上に形成されるPウェルを有する。そして、このPウェル上にアノード側端子となるP+拡散領域とカソード側端子となるN+拡散領域を有する。このダイオードD5において寄生トランジスタQ5は、Pウェルをベースとし、N+拡散領域をコレクタとし、N型半導体基板をエミッタとして形成される。

【0075】

続いて、電源10を逆接続した場合における負荷駆動装置3の動作について説明する。負荷駆動装置3の基本的動作は負荷駆動装置2と同様である。しかし、負荷駆動装置3では、電源10の逆接続時に寄生トランジスタQ4、Q5がオン状態となる。そのため、負荷駆動装置3では、電源10の逆接続時に放電トランジスタMN2のバックゲート及び保護トランジスタMN3のバックゲートの電圧が電源10の負極側電圧VSSに近い値となる。これにより、負荷駆動装置3では、寄生ダイオードD2、D3が順方向にバイアスされない。さらに、寄生トランジスタQ2、Q3のベース・エミッタ間電圧は実施の形態1に比べて小さくなり、例えば0Vに近い値となる。従って、負荷駆動装置3では、寄生トランジスタQ2、Q3が実施の形態1よりも確実なオフ状態となる。

【0076】

上記説明より、負荷駆動装置3では、ダイオードD4、D5において形成される寄生トランジスタQ4、Q5が電源10の逆接続時にオン状態となることで、放電トランジスタMN2及び保護トランジスタMN3のバックゲートを電源10の負極側電圧VSSに近い電圧値とする。これにより、寄生トランジスタQ2、Q3は、実施の形態1よりも確実なオフ状態とすることができる。そのため、負荷駆動装置3は、実施の形態1よりも寄生トランジスタQ2、Q3が動作する可能性が低く、より高い信頼性を実現することができる。

【0077】

実施の形態3

実施の形態3にかかる負荷駆動装置4の回路図を図11に示す。図11に示すように、負荷駆動装置4は、実施の形態1における逆接続保護回路15の変形例を示す逆接続保護回路15bを有する。負荷駆動装置4において負荷駆動装置2と同様のものについては、負荷駆動装置2と同じ符号を付して説明を省略する。

【0078】

逆接続保護回路15bは、逆接続保護回路15に対してデプレッション型NMOSトランジスタMN8が追加されている。デプレッション型NMOSトランジスタMN8は、保護トランジスタMN3と接地端子GNDとの間に接続される。また、デプレッション型NMOSトランジスタMN8は、ゲートが保護トランジスタMN3のゲートと接続され、バックゲートが保護トランジスタMN3のバックゲートと接続される。

【0079】

電源10が正常に接続されている場合における負荷駆動装置4の動作は負荷駆動装置2の動作と同じであるため説明を省略する。また、電源10の逆接続時における負荷駆動装置4には上記実施の形態と同様に寄生素子が形成される。電源10の逆接続時における負荷駆動装置4の回路図を図12に示す。図12に示すように、電源10の逆接続時における負荷駆動装置4の回路図は、図6に示した負荷駆動装置2の回路図に対してデプレッション型NMOSトランジスタMN8を追加したものであるため、説明を省略する。

## 【 0 0 8 0 】

次に、負荷駆動装置 4 のゲート放電回路 1 4、逆接続保護回路 1 5 b 及び出力トランジスタ T 1 の断面図を図 1 3 に示す。図 1 3 に示す断面図では、ゲート放電回路 1 4、逆接続保護回路 1 5 b 及び出力トランジスタ T 1 が 1 つの N 型半導体基板に形成される例を示す。図 1 3 に示すようにデプレッション型 NMOS トランジスタ MN 8 は、保護トランジスタ MN 3 が形成される P ウェルに形成される。デプレッション型 NMOS トランジスタ MN 8 は、ソース又はドレインとなる 2 つの N + 拡散領域を有する。また、2 つの N + 拡散領域の間であって、基板表面付近には N 型半導体で形成される N チャネル領域が形成される。さらに、2 つの N + 拡散領域の間であって、基板上層には、ゲート酸化膜を介してゲート電極が形成される。

10

## 【 0 0 8 1 】

続いて、電源 1 0 の逆接続時における負荷駆動装置 4 の動作について説明する。この場合における負荷駆動装置 4 の動作は、実質的に負荷駆動装置 2 と同じである。しかし、負荷駆動装置 4 では、電源 1 0 の逆接続時にデプレッション型 NMOS トランジスタ MN 8 が定電流源として動作する。

## 【 0 0 8 2 】

デプレッション型 NMOS トランジスタ MN 8 がない場合、保護トランジスタ MN 3 を介して接地端子 GND から出力トランジスタ T 1 に瞬間的に大きな電流が流れる。そのため、実施の形態 1、2 における保護トランジスタ MN 3 は、この大きな電流を流すことができるように大きなトランジスタサイズを要する。しかし、負荷駆動装置 4 では、デプレッション型 NMOS トランジスタ MN 8 を定電流源として動作させることで、保護トランジスタ MN 3 に流れる電流量を制御することができる。これにより、負荷駆動装置 4 は、実施の形態 1、2 における負荷駆動装置 4 よりも保護トランジスタ MN 3 を小さく設計することが可能になる。つまり、負荷駆動装置 4 は、保護トランジスタ MN 3 の回路面積を縮小することで、負荷駆動装置が形成されるチップの面積を小さくすることが可能になる。

20

## 【 0 0 8 3 】

## 実施の形態 4

実施の形態 4 にかかる負荷駆動装置 5 の回路図を図 1 4 に示す。図 1 4 に示すように、負荷駆動装置 5 は、実施の形態 2 における逆接続保護回路 1 5 a の変形例を示す逆接続保護回路 1 5 c を有する。負荷駆動装置 5 において負荷駆動装置 3 と同様のものについては、負荷駆動装置 3 と同じ符号を付して説明を省略する。逆接続保護回路 1 5 c は、逆接続保護回路 1 5 a に対して実施の形態 3 で用いたデプレッション型 NMOS トランジスタ MN 8 が追加されている。このデプレッション型 NMOS トランジスタ MN 8 の接続は、実施の形態 3 におけるものと同じである。

30

## 【 0 0 8 4 】

電源 1 0 が正常に接続されている場合における負荷駆動装置 5 の動作は実施の形態 2 の負荷駆動装置 3 の動作と同じであるため説明を省略する。また、電源 1 0 の逆接続時における負荷駆動装置 5 には上記実施の形態と同様に寄生素子が形成される。電源 1 0 の逆接続時における負荷駆動装置 5 の回路図を図 1 5 に示す。図 1 5 に示すように、電源 1 0 の逆接続時における負荷駆動装置 5 の回路図は、図 9 に示した負荷駆動装置 3 の回路図に対してデプレッション型 NMOS トランジスタ MN 8 を追加したものであるため、説明を省略する。さらに、負荷駆動装置 5 のゲート放電回路 1 4 a、逆接続保護回路 1 5 c 及び出力トランジスタ T 1 の断面図を図 1 6 に示す。図 1 6 に示す断面図では、ゲート放電回路 1 4 a、逆接続保護回路 1 5 c 及び出力トランジスタ T 1 が 1 つの N 型半導体基板に形成される例を示す。図 1 6 に示すように、負荷駆動装置 5 におけるデプレッション型 NMOS トランジスタ MN 8 は、図 1 3 で示したのと同じであるため説明を省略する。

40

## 【 0 0 8 5 】

負荷駆動装置 5 においても、デプレッション型 NMOS トランジスタ MN 8 は、電源 1 0 の逆接続時において保護トランジスタ MN 3 に流れる電流を制御する定電流源として動

50

作する。そのため、負荷駆動装置 5 は、負荷駆動装置 3 よりも保護トランジスタ MN 3 を小さく設計することが可能になる。つまり、負荷駆動装置 5 は、保護トランジスタ MN 3 の回路面積を縮小することで、負荷駆動装置が形成されるチップの面積を小さくすることが可能になる。

【 0 0 8 6 】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、上記実施の形態では、ゲート放電回路、逆接続保護回路及び出力トランジスタが 1 つの半導体基板上に形成される例を説明したが、本発明は、保護トランジスタと拡散抵抗が 1 つの半導体基板上に形成されていればよい。つまり、本発明は、1 つの半導体基板にゲート放電回路、逆接続保護回路及び出力トランジスタが形成されるものに限定されるものではない。

【 0 0 8 7 】

また、実施の形態 1 乃至 4 は、いわゆる通常の知識を有する当業者によって組合せることもできる。出力トランジスタ T 1 及び / 又は MOS トランジスタが、上述したゲート構造の代わりにトレンチゲート構造を有していてもよい。

【図面の簡単な説明】

【 0 0 8 8 】

【図 1】本発明に至る前の構想にかかる負荷駆動装置の回路図である。

【図 2】本発明に至る前の構想にかかる負荷駆動装置において電源の逆接続が発生した場合の回路図である。

【図 3】本発明に至る前の構想にかかる負荷駆動装置において形成される寄生素子を説明するための半導体装置の断面図である。

【図 4】本発明に至る前の構想において拡散抵抗の両端に形成される寄生ダイオードにおいて発生する電圧と寄生ダイオードに流れる電流の関係を示すグラフである。

【図 5】実施の形態 1 にかかる負荷駆動装置の回路図である。

【図 6】実施の形態 1 にかかる負荷駆動装置において電源の逆接続が発生した場合の回路図である。

【図 7】実施の形態 1 にかかる負荷駆動装置において形成される寄生素子を説明するための半導体装置の断面図である。

【図 8】実施の形態 2 にかかる負荷駆動装置の回路図である。

【図 9】実施の形態 2 にかかる負荷駆動装置において電源の逆接続が発生した場合の回路図である。

【図 10】実施の形態 2 にかかる負荷駆動装置において形成される寄生素子を説明するための半導体装置の断面図である。

【図 11】実施の形態 3 にかかる負荷駆動装置の回路図である。

【図 12】実施の形態 3 にかかる負荷駆動装置において電源の逆接続が発生した場合の回路図である。

【図 13】実施の形態 3 にかかる負荷駆動装置において形成される寄生素子を説明するための半導体装置の断面図である。

【図 14】実施の形態 4 にかかる負荷駆動装置の回路図である。

【図 15】実施の形態 4 にかかる負荷駆動装置において電源の逆接続が発生した場合の回路図である。

【図 16】実施の形態 4 にかかる負荷駆動装置において形成される寄生素子を説明するための半導体装置の断面図である。

【図 17】従来の負荷駆動装置の回路図である。

【図 18】従来の負荷駆動装置において発生する問題を説明するための図である。

【符号の説明】

【 0 0 8 9 】

1 ~ 5 負荷駆動装置

1 0 電源

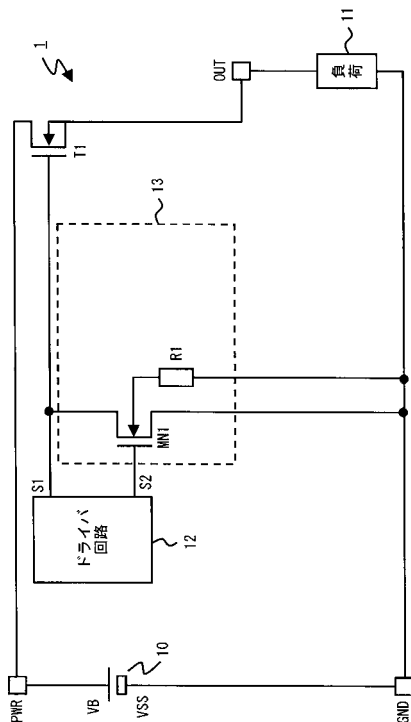


- 1 1 負荷
- 1 2 ドライバ回路
- 1 3、1 5、1 5 a、1 5 b 逆接続保護回路
- 1 4、1 4 a ゲート放電回路
- 1 4 a ゲート放電回路
- 1 6 バックゲート制御回路
- 1 6 a、1 6 b スイッチ部
- T 1 出力トランジスタ
- MN 1、MN 3 保護トランジスタ
- MN 2 放電トランジスタ
- MN 4 ~ MN 7 NMOSトランジスタ
- MN 8 デプレッション型NMOSトランジスタ
- R 1 ~ R 3 拡散抵抗
- R 1 0 電流制限抵抗
- D 1、D 1 a、D 1 b 寄生ダイオード
- D 2、D 2 a、D 2 b 寄生ダイオード
- D 3、D 3 a、D 3 b 寄生ダイオード
- D 4、D 5 ダイオード
- D 1 0 クランプダイオード
- Q 1 ~ Q 5 寄生トランジスタ

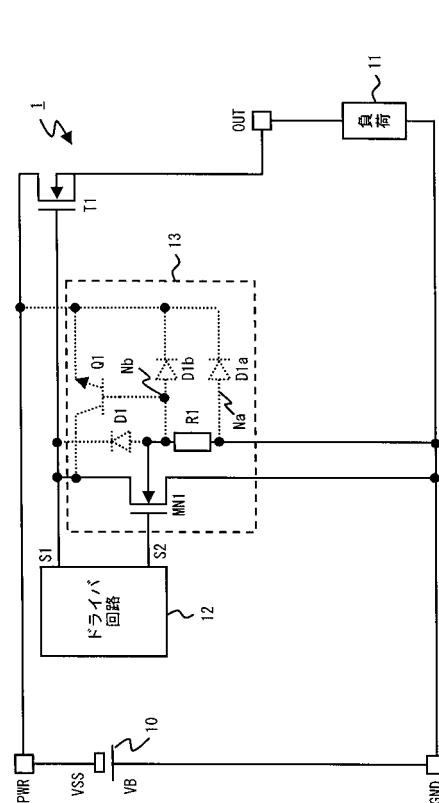
10

20

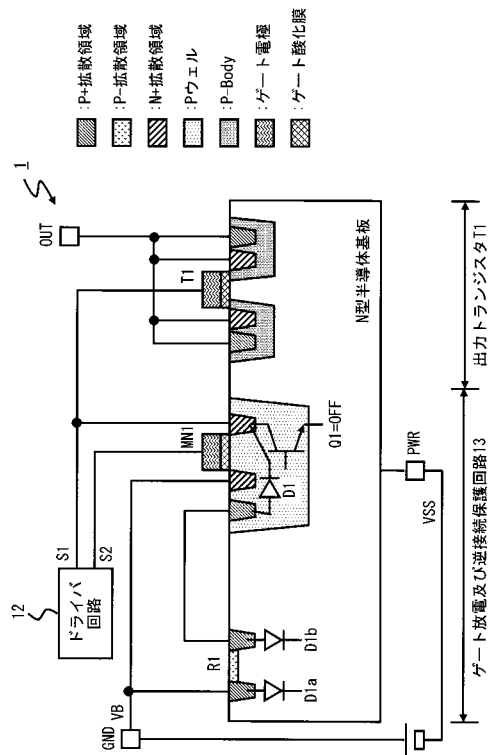
【図 1】



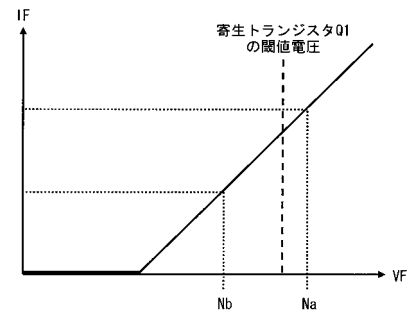
【図 2】



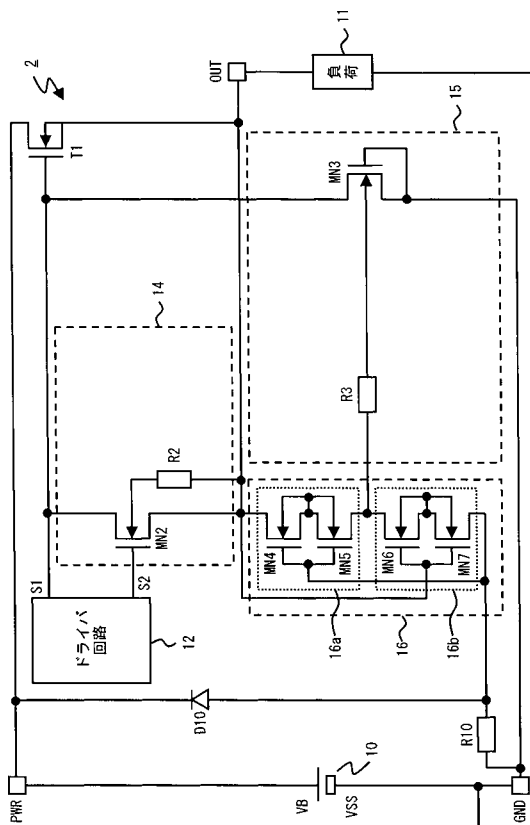
【図 3】



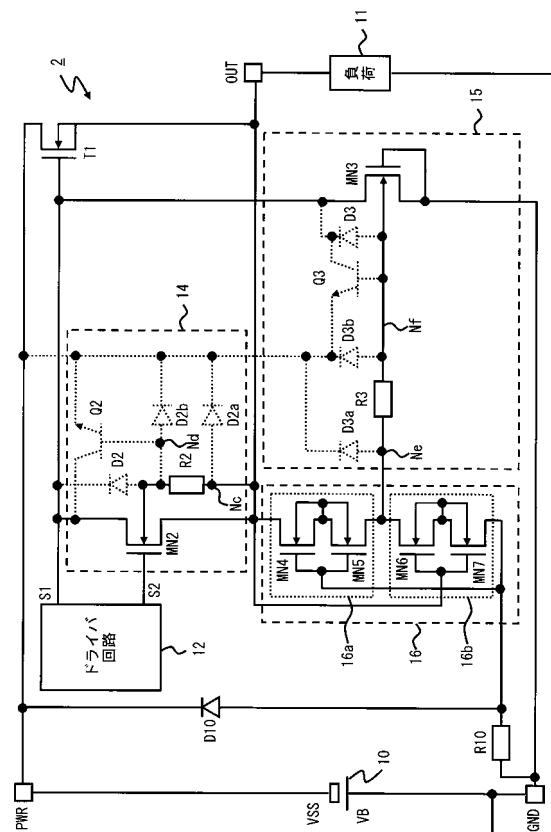
【図 4】



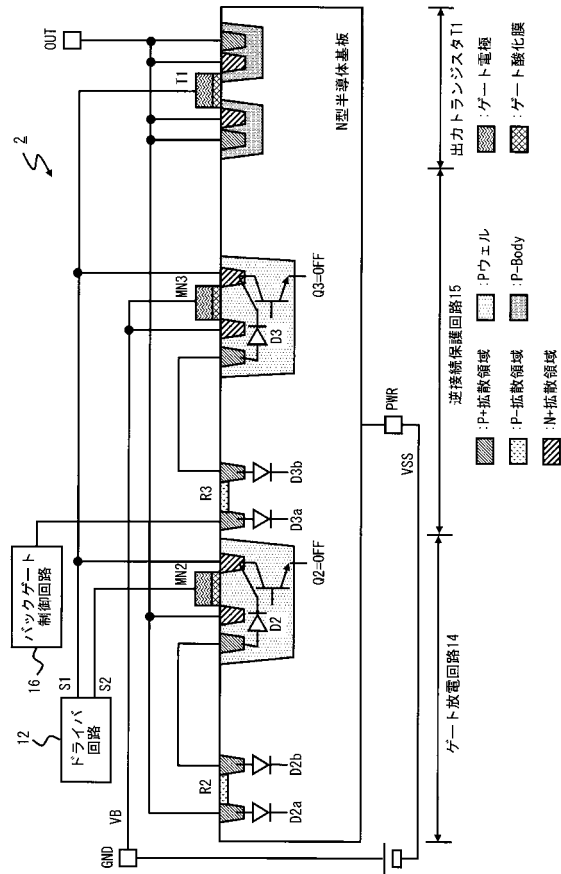
【図 5】



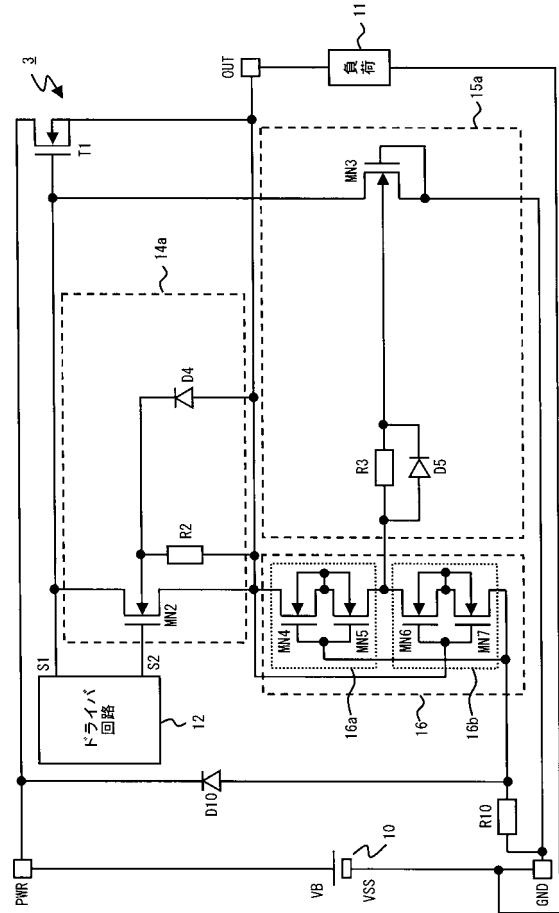
【図 6】



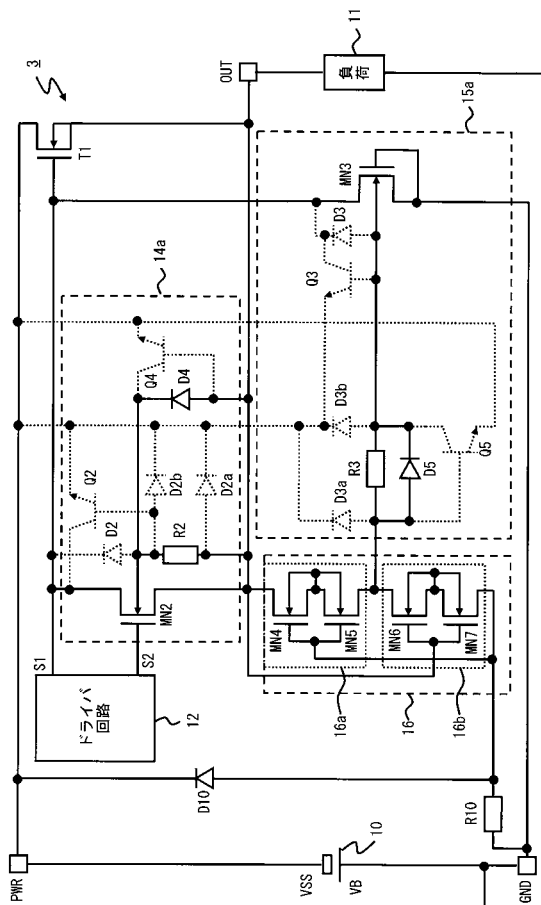
【図 7】



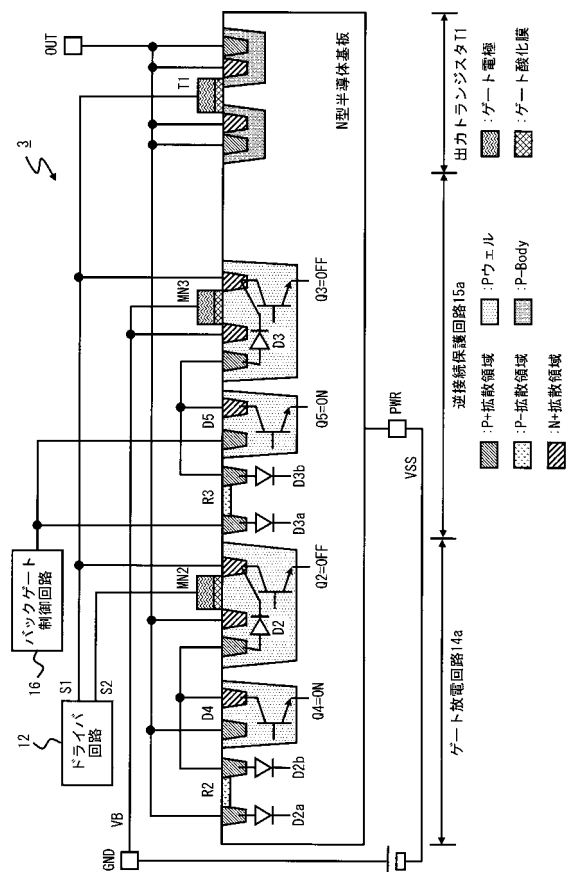
【図 8】



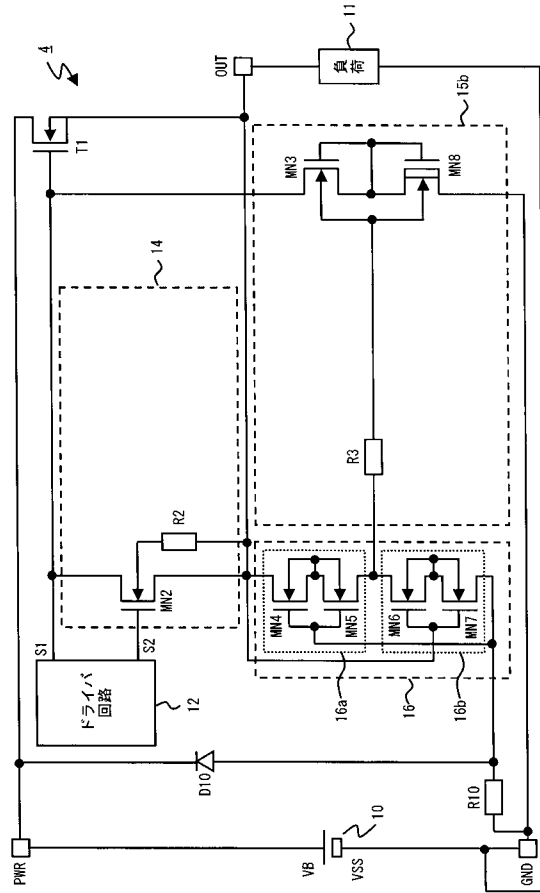
【図 9】



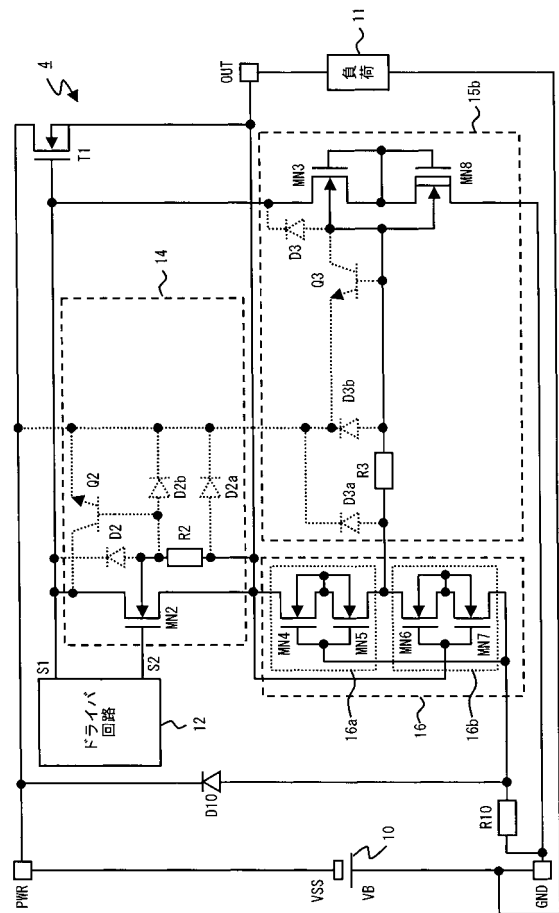
【図 10】



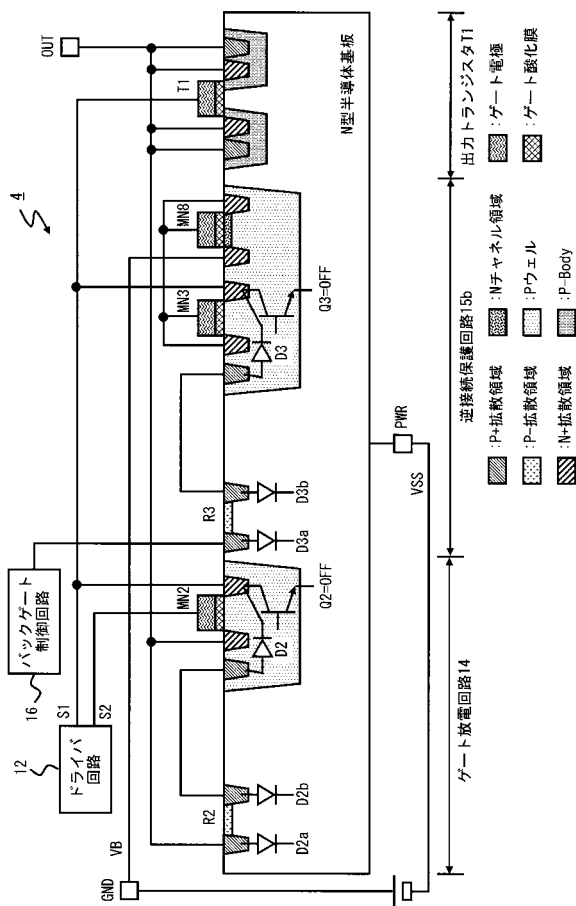
【図 1 1】



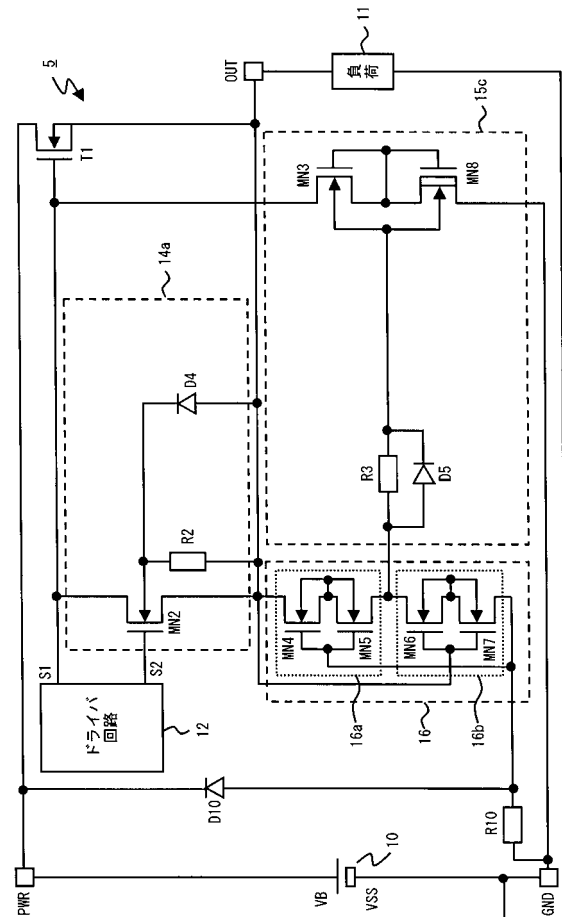
【図 1 2】



【図 1 3】



【図 1 4】





---

フロントページの続き

(56)参考文献 特開2005-137190(JP,A)  
実開平03-048330(JP,U)  
特開2007-019812(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H03K 17/00 - 17/70