

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 9 月 3 日 (03.09.2020)



(10) 国际公布号
WO 2020/173187 A1

(51) 国际专利分类号:

H01L 29/786 (2006.01) *H01L 27/32* (2006.01)

H01L 21/336 (2006.01) *G02F 1/1368* (2006.01)

H01L 29/423 (2006.01)

(21) 国际申请号: PCT/CN2019/126289

(22) 国际申请日: 2019 年 12 月 18 日 (18.12.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:

201910148181.5 2019 年 2 月 27 日 (27.02.2019) CN

(71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。 合肥鑫晟光电科技有
限公司 (HEFEI XINSHENG OPTOELECTRONICS

TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省
合肥市新站区工业园, Anhui 230012 (CN)。

(72) 发明人: 苏同上 (SU, Tongshang); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 王东方 (WANG, Dongfang); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 王庆贺 (WANG, Qinghe); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 刘宁 (LIU, Ning); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 黄勇潮 (HUANG, Yongchao); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 季雨 (JI, Yu); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 王政 (WANG, Zheng); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 闫梁臣

(54) Title: THIN FILM TRANSISTOR AND FABRICATION METHOD THEREFOR, ARRAY SUBSTRATE AND DISPLAY APPARATUS

(54) 发明名称: 薄膜晶体管及其制造方法、阵列基板和显示装置

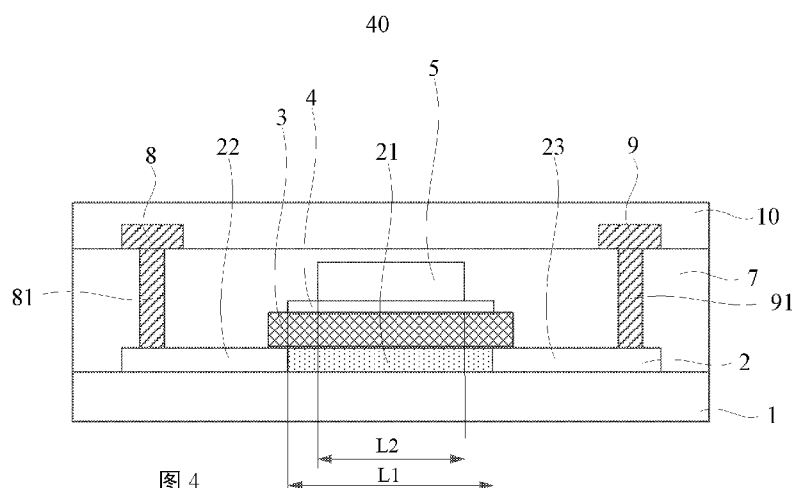


图 4

(57) Abstract: Provided are a thin film transistor and a fabrication method therefor, an array substrate, and a display apparatus. The thin film transistor is formed on a substrate, and comprises: an active layer disposed on the substrate, wherein the active layer is provided with a source region and a drain region, and a channel region located between the source region and the drain region; a first gate disposed at a side of the active layer away from the substrate; and a second gate disposed at a side of the first gate away from the substrate, the thickness of the first gate being less than the thickness of the second gate.

(57) 摘要: 提供一种薄膜晶体管及其制造方法、阵列基板和显示装置。所述薄膜晶体管形成在基板上, 它包括: 设置在基板上的有源层, 所述有源层具有源极区、漏极区以及位于源极区和漏极区之间的沟道区; 设置在所述有源层的远离所述基板一侧的第一栅极; 和设置在所述第一栅极的远离所述基板一侧的第二栅极, 其中, 所述第一栅极的厚度小于所述第二栅极的厚度。

(YAN, Liangchen); 中国北京市经济技术开发区
地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路
87号4-1105室, Beijing 100089 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

薄膜晶体管及其制造方法、阵列基板和显示装置

相关申请的交叉引用

本申请要求于 2019 年 2 月 27 日递交中国专利局的、申请号为 201910148181.5 的中国专利申请的权益，该申请的全部公开内容以引用方式并入本文。

技术领域

本公开的实施例涉及半导体技术领域，尤其涉及一种薄膜晶体管及其制造方法、包括该薄膜晶体管的阵列基板和显示装置。

背景技术

薄膜晶体管（TFT）用作诸如液晶显示装置（LCD）和有机发光显示装置（OLED）的显示装置中的开关器件和驱动器件。薄膜晶体管的性能受电荷载流子行进所穿过的沟道的材料和状态的影响。

顶栅型薄膜晶体管（Top Gate TFT）比底栅型薄膜晶体管（Bottom Gate TFT）有更优异的性能，包括更小的寄生电容、更大的开态电流、更小的亚阈值摆幅及更高的稳定性等优点，所以，顶栅型薄膜晶体管得到了越来越广泛的应用。然而，现有的顶栅型薄膜晶体管的制造方法中，会导致晶体管的沟道的长度被显著地缩短，产生短沟道效应。该短沟道效应会引起薄膜晶体管的阈值电压负向漂移，影响薄膜晶体管的稳定性，进而影响显示品质。

发明内容

在一个方面，提供一种薄膜晶体管，形成在基板上，所述薄膜晶体管包括：

设置在基板上的有源层，所述有源层具有源极区、漏极区以及位于源极区和漏极区之间的沟道区；

设置在所述有源层的远离所述基板一侧的第一栅极；和

设置在所述第一栅极的远离所述基板一侧的第二栅极，

其中，所述第一栅极的厚度小于所述第二栅极的厚度。

可选地，所述第一栅极在所述基板上的正投影覆盖所述第二栅极在所述基板上的正投影。

可选地，所述第一栅极在所述基板上的正投影与所述沟道区在所述基板上的正投影完全重合。

可选地，所述第一栅极和所述第二栅极中的任一个在所述基板上的正投影与所述源极区和所述漏极区中的任一个在所述基板上的正投影不重叠。

可选地，所述第一栅极靠近所述第二栅极的表面与所述第二栅极靠近所述第一栅极的表面直接接触。

可选地，所述第一栅极包括适用第一刻蚀液进行刻蚀的第一材料，所述第二栅极包括适用第二刻蚀液进行刻蚀的第二材料，所述第一刻蚀液与所述第二刻蚀液不同。

可选地，所述第一栅极包括适用第三刻蚀液进行刻蚀的第一材料，所述第二栅极包括适用所述第三刻蚀液进行刻蚀的第二材料，所述第三刻蚀液对所述第一材料的刻蚀速率不同于所述第三刻蚀液对所述第二材料的刻蚀速率。

可选地，所述第一栅极包括金属氧化物导电材料，所述第二栅极包括金属导电材料。

可选地，所述第一栅极包括第一金属材料，所述第二栅极包括不同于所述第一金属材料的第二金属材料。

可选地，所述第一栅极的厚度与所述第二栅极的厚度的比值在 $1/60 \sim 1/8$ 范围内。

可选地，所述第一栅极的厚度为 $150 \text{ \AA} \sim 1500 \text{ \AA}$ 。

可选地，所述源极区和所述漏极区中的任一个的导电率大于所述沟道区的导电率。

可选地，所述有源层的材料包括氧化物半导体材料、多晶硅半导体材料和非晶硅半导体材料中选择的一种。

可选地，所述薄膜晶体管还可以包括：设置在所述基板与所述有源层之间的遮光层，所述遮光层在所述基板上的正投影覆盖所述沟道区在所述基板上的正投影。

在另一方面，还提供一种阵列基板，包括上述任一项所述的薄膜晶体管。

在又一方面，还提供一种显示装置，包括如上所述的阵列基板。

在再一方面，还提供一种制造薄膜晶体管的方法，包括：

在基板上形成有源层；

在所述基板上依次形成第一栅极材料层和第二栅极材料层，所述第一栅极材料层的厚度小于所述第二栅极材料层的厚度；

对所述第一栅极材料层和所述第二栅极材料层执行构图工艺，以分别形成第一栅极和第二栅极；和

以所述第一栅极为掩模，对所述有源层执行导体化处理工艺，以使得所述有源层包括源极区、漏极区以及位于所述源极区和所述漏极区之间的沟道区。

可选地，对所述第一栅极材料层和所述第二栅极材料层执行构图工艺，以分别形成第一栅极和第二栅极包括：

在所述第二栅极材料层上形成光刻胶层；

通过曝光和显影工艺，形成光刻胶图案；

使用第二刻蚀液刻蚀所述第二栅极材料层，以形成第二栅极；和

使用不同于第二刻蚀液的第一刻蚀液刻蚀所述第一栅极材料层，以形成第一栅极。

可选地，对所述第一栅极材料层和所述第二栅极材料层执行构图工艺，以分别形成第一栅极和第二栅极包括：

在所述第二栅极材料层上形成光刻胶层；

通过曝光和显影工艺，形成光刻胶图案；和

使用第三刻蚀液同时刻蚀所述第二栅极材料层和所述第一栅极材料层，以形成第一栅极和第二栅极，所述第三刻蚀液对所述第一栅极材料层的刻蚀速率不同于所述第三刻蚀液对所述第二栅极材料层的刻蚀速率。

可选地，所述第一栅极在所述基板上的正投影覆盖所述第二栅极在所述基板上的正投影。

可选地，以所述第一栅极为掩模，对所述有源层执行导体化处理工艺，以使得所述有源层包括源极区、漏极区以及位于所述源极区和所述漏极区之间的沟道区包括：

对所述有源层未被所述第一栅极覆盖的部分执行导体化处理工艺，以使得所述有源层未被所述第一栅极覆盖的部分分别形成源极区和漏极区，所述有源层被所述第一栅极覆盖的部分形成沟道区。

可选地，所述第一栅极在所述基板上的正投影与所述沟道区在所述基板上的正投影完全重合。

可选地，所述第一栅极材料层的厚度与所述第二栅极材料层的厚度的比值在1/60~1/8 范围内。

可选地，所述第一栅极材料层的厚度为 150 Å ~1500 Å。

附图说明

通过下文中参照附图对本公开所作的描述，本公开的其它目的和优点将显而易见，并可帮助对本公开有全面的理解。

图 1A 至图 1H 示意性示出了根据本公开的一个示例性实施例的薄膜晶体管的制造方法的主要步骤被执行后形成的结构的截面图；

图 2 是根据本公开的另一示例性实施例的薄膜晶体管的制造方法的流程图；

图 3A 至图 3J 示意性示出了根据本公开的另一示例性实施例的薄膜晶体管的制造方法的主要步骤被执行后形成的结构的截面图；

图 4 是根据本公开实施例的薄膜晶体管的示意截面图；

图 5 是根据本公开另一实施例的薄膜晶体管的示意截面图；

图 6 是根据本公开实施例的阵列基板的结构示意图；和

图 7 是根据本公开实施例的显示装置的结构示意图。

需要注意的是，为了清晰起见，在用于描述本公开的实施例的附图中，层、结构或区域的尺寸可能被放大或缩小，即这些附图并非按照实际的比例绘制。

具体实施方式

下面通过实施例，并结合附图，对本公开的技术方案作进一步具体的说明。在说明书中，相同或相似的附图标号指示相同或相似的部件。下述参照附图对本公开实施方式的说明旨在对本公开的总体发明构思进行解释，而不应当理解为对本公开的一种限制。

另外，在下面的详细描述中，为便于解释，阐述了许多具体的细节以提供对本披露实施例的全面理解。然而明显地，一个或多个实施例在没有这些具体细节的情况下也可以被实施。

应该理解的是，尽管在这里可使用术语第一、第二等来描述不同的元件，但是这些元件不应受这些术语的限制。这些术语仅是用来将一个元件与另一个元件区分开来。

例如，在不脱离示例实施例的范围的情况下，第一元件可以被命名为第二元件，类似地，第二元件可以被命名为第一元件。如在这里使用的术语“和/或”包括一个或多个相关所列的项目的任意组合和所有组合。

应该理解的是，当元件或层被称作“形成在”另一元件或层“上”时，该元件或层可以直接地或间接地形成在另一元件或层上。也就是，例如，可以存在中间元件或中间层。相反，当元件或层被称作“直接形成在”另一元件或层“上”时，不存在中间元件或中间层。应当以类似的方式来解释其它用于描述元件或层之间的关系的词语（例如，“在...之间”与“直接在...之间”、“相邻的”与“直接相邻的”等）。

这里使用的术语仅是为了描述特定实施例的目的，而不意图限制示例实施例。如这里所使用的，除非上下文另外明确指出，否则单数形式也意图包括复数形式。还将理解的是，当在此使用术语“包含”和/或“包括”时，说明存在所述特征、整体、步骤、操作、元件和/或组件，但不排除存在或附加一个或多个其它特征、整体、步骤、操作、元件、组件和/或它们的组合。

在本文中，如无特别说明，表述“厚度”指的是层或部件在垂直于基板的上表面（在使用状态下，基板的上表面为面对使用者的表面）的方向上的尺寸。

在本文中，表述“以栅极为掩模”或“以第一栅极为掩模”表达的意思是：在进行导体化处理时，栅极或第一栅极起到掩模的作用，使得有源层的未被栅极或第一栅极覆盖的部分被导体化，并且，由于栅极或第一栅极的遮挡，有源层的被栅极或第一栅极覆盖的部分未被导体化。

图 1A 至图 1H 示意性示出了根据本公开的一个示例性实施例的薄膜晶体管的制造方法的主要步骤被执行后形成的结构的截面图。下面，结合图 1A 至图 1H 来具体描述根据本公开的一个示例性实施例的薄膜晶体管的制造方法。

在步骤 S101 中，参照图 1A，在基板 01 上形成有源层 02。具体地，可以在基板 01 上沉积半导体材料层，然后通过构图工艺处理该半导体材料层，以形成半导体材料层的图案，即图 1A 所示的有源层 02。

例如，有源层 02 的材料可以包括氧化物半导体材料、多晶硅半导体材料（例如低温多晶硅）或非晶硅半导体材料。

在步骤 S102 中，参照图 1B，在基板 01 上形成第一绝缘材料层 03' 和栅极材料层 04'。

例如，第一绝缘材料层 03' 可以包括氮化硅或氧化硅等绝缘材料。

例如，栅极材料层 04' 可以包括 ITO、IZO 等导电材料。

在步骤 S103 中，参照图 1C，在栅极材料层 04' 上执行构图工艺，以形成栅极 04。

具体地，可以在栅极材料层 04' 上形成光刻胶层，然后通过曝光、显影工艺，形成光刻胶图案 06'。接下来，刻蚀栅极材料层 04'，例如，可以采用湿法刻蚀工艺刻蚀栅极材料层 04'，以形成栅极 04。

本领域技术人员应该理解，湿法刻蚀具有各向同性，即，在湿法刻蚀的过程中，在垂直刻蚀材料层的同时，还会对该材料层进行横向刻蚀，并且，横向刻蚀的宽度与垂直刻蚀的深度成一定的比例，通常，横向刻蚀的宽度与垂直刻蚀的深度成正比。具体地，参照图 1C，在采用湿法刻蚀工艺刻蚀栅极材料层 04' 的过程中，不仅沿图 1C 的垂直方向（即垂直于基板 1 的上表面的方向）刻蚀栅极材料层 04'，还沿图 1C 的水平方向（即平行于基板 1 的上表面的方向）刻蚀栅极材料层 04'。这样，如图 1C 所示，形成的栅极 04 相对于光刻胶图案 06' 会向内凹，即，栅极 04 的长度 L_{G0} 小于光刻胶图案 06' 的长度 L_{CH0} ，栅极 04 在基板 01 上的正投影落入光刻胶图案 06' 在基板 01 上的正投影内。如图 1C 所示，栅极 04 在其两侧相对于光刻胶图案 06' 均向内凹，为了描述方便，将栅极 04 在其中一侧相对于光刻胶图案 06' 内凹的尺寸标记为 ΔL ，该 ΔL 可以称为刻蚀偏差，栅极 04 的长度 L_{G0} 与光刻胶图案 06' 的长度 L_{CH0} 存在这样的关系：

$$L_{CH0} = L_{G0} + 2 * \Delta L,$$

在上述关系式中， $2 * \Delta L$ 为光刻胶图案 06' 的长度与栅极 04 的长度之间的偏差 (CD bias)。

为了使得形成的栅极具有良好的导电性，栅极材料层 04' 需要形成得较厚，这样，在刻蚀栅极材料层 04' 时，由于刻蚀的各向同性，导致光刻胶图案 06' 的长度与栅极 04 的长度之间的偏差 (CD bias) 会比较大。在一个示例中，栅极材料层 04' 的厚度可以设置为 3000~9000 Å，例如 4000 Å，此时，发明人经多次试验发现，光刻胶图案 06' 的长度与栅极 04 的长度之间的偏差 (CD bias) 会高达 1.5 μm ~ 2.5 μm。

在步骤 S104 中，参照图 1D，在第一绝缘材料层 03' 上执行构图工艺，以形成第一绝缘材料层 03' 的图案，即形成栅极绝缘层 03。例如，可以使用干法刻蚀工艺形成栅极绝缘层 03。

在步骤 S105 中，参照图 1E，可以对有源层 02 的位于栅极 04 两侧的部分进行导体化处理，以形成源极区 022 和漏极区 023。例如，可以使用包含 He 的等离子体对有源层 02 的位于栅极 04 两侧的部分进行导体化处理，使得有源层 02 包括源极区 022、沟道区 021 和漏极区 023，并且经过导体化处理的源极区 022 和漏极区 023 的导电率大于沟道区 021 的导电率。

如图 1E 所示，沟道区 021 为有源层 02 被栅极 04 覆盖的部分，即，栅极 04 在基板 01 上的正投影覆盖沟道区 021 在基板 01 上的正投影。可选地，栅极 04 在基板 01 上的正投影与沟道区 021 在基板 01 上的正投影完全重合。

在该步骤中，以栅极 04 为掩模执行导体化处理工艺，被栅极 04 覆盖的有源层 02 的部分未被导体化，即仍为半导体；未被栅极 04 覆盖的有源层 02 的部分被导体化，形成具有较高导电率的源极区和漏极区。

发明人经研究发现，如上文所述，在刻蚀栅极材料层 04' 时，由于刻蚀的各向同性，导致光刻胶图案 06' 的长度与栅极 04 的长度之间的偏差 (CD bias) 会比较大，即形成的栅极 04 的长度比栅极的设计长度短。这样，在以栅极 04 为掩模执行导体化处理工艺时，被栅极 04 覆盖的有源层 02 的部分的长度也较短，所以，形成的沟道区 021 的长度比沟道区的设计长度短。由于形成的沟道区的长度较短，导致阈值电压负向漂移，最终会影响薄膜晶体管的阈值电压 V_{th} 的均匀性，进而降低显示面板的显示质量。

需要说明的是，此处的“设计长度”指的是在设计薄膜晶体管时计算出的沟道区的理论长度。本领域技术人员应该理解，在实际制造薄膜晶体管的过程中，受限于实际的制造工艺，实际制造出的沟道区的长度可能与沟道区的设计长度存在偏差。

根据本公开的一个示例，栅极材料层 04' 的材料为 ITO，栅极材料层 04' 的厚度为 4000 Å，湿法刻蚀栅极材料层 04' 后，光刻胶图案 06' 的长度与栅极 04 的长度之间的偏差 (CD bias) 会高达 1.5μm~2.5μm，相应地，形成的沟道区 021 的长度比沟道区的设计长度会短 1.5μm~2.5μm。所以，形成的沟道区的长度显著减小，导致阈值电压负向漂移，最终会影响薄膜晶体管的阈值电压 V_{th} 的均匀性，进而降低显示面板的显示质量。并且，对于高分辨率的显示产品，需要的薄膜晶体管的沟道区的长度一般比较短，例如，沟道区的长度可能要求为 2~3μm，如果形成的沟道区的长度的偏差高达 1.5μm~2.5μm，那么会对薄膜晶体管的性能产生极大的不利影响，从而不利于高分辨率显示产品的实现。

可选地，根据本公开的示例性实施例的薄膜晶体管的制造方法还可以包括下面的步骤。

在步骤 S106 中，参照图 1F，可以在基板 01 上沉积覆盖有源层 02、栅极绝缘层 03、栅极 04 的层间绝缘层 07，并在层间绝缘层 07 中形成过孔 071、072。

在步骤 S107 中，参照图 1G，可以在基板 01 上沉积源漏极金属层，以在层间绝缘层 07 的过孔 071、072 中分别形成导电塞 081、091 并且在层间绝缘层 07 上分别形成源极 08 和漏极 09。如图 1G 所示，源极 08 通过导电塞 081 与源极区 022 电连接，漏极 09 通过导电塞 091 与漏极区 023 电连接。

在步骤 S108 中，参照图 1H 所示，可以在基板 01 上形成覆盖层间绝缘层 07、源极 08 和漏极 09 的钝化层 010。

图 2 是根据本公开的另一示例性实施例的薄膜晶体管的制造方法的流程图；图 3A 至图 3J 示意性示出了根据本公开的另一示例性实施例的薄膜晶体管的制造方法的主要步骤被执行后形成的结构的截面图。下面，结合图 2、图 3A 至图 3J 来具体描述根据本公开的另一示例性实施例的薄膜晶体管的制造方法。

在步骤 S201 中，参照图 3A，在基板 1 上形成有源层 2。具体地，可以在基板 1 上沉积半导体材料层，然后通过构图工艺处理该半导体材料层，以形成半导体材料层的图案，即图 3A 所示的有源层 2。为了描述方便，将图 3A 中所示的有源层 2 的长度标记为 L_{ACT} 。

例如，基板 1 可以为刚性基板或柔性基板，诸如玻璃基板或塑料基板。

例如，有源层 2 的材料可以包括氧化物半导体材料、多晶硅半导体材料（例如低温多晶硅）或非晶硅半导体材料。

可选地，有源层 2 可以由氧化物半导体形成。例如，有源层 2 可以包括 ZnO 基氧化物层。在这种情况下，有源层 2 还可以包含诸如 In 或 Ga 的第 III 族元素、诸如 Sn 的第 IV 族元素、它们的组合或者其它元素。再例如，有源层 2 可以包括 Cu 氧化物层（CuBO₂ 层、CuAlO₂ 层、CuGaO₂ 层、CuInO₂ 层等）、Ni 氧化物层、掺杂有 Ti 的 Ni 氧化物层、掺杂有第 I 族、第 II 族和第 V 族元素中的至少一种的 ZnO 基氧化物层、掺杂有 Ag 的 ZnO 基氧化物层、PbS 层、LaCuOS 层或者 LaCuOSe 层。作为一个示例，有源层 2 可以包括铟镓锌氧化物（Indium Gallium Zinc Oxide，缩写为 IGZO）或铟锡锌氧化物（Indium Tin Zinc Oxide，缩写为 ITZO）。

在步骤 S202 中, 参照图 3B, 在基板 1 上形成覆盖有源层 2 的第一绝缘材料层 3', 然后在第一绝缘材料层 3' 上形成第一栅极材料层 4' 和第二栅极材料层 5'。

如图 3B 所示, 可以在基板 1 上依次沉积第一绝缘材料层 3'、第一栅极材料层 4' 和第二栅极材料层 5', 并且, 第一栅极材料层 4' 的厚度小于第二栅极材料层 5' 的厚度。在本文中, 层或部件的“厚度”指的是该层或该部件在垂直于基板的上表面的方向上的尺寸, 例如, 第一栅极材料层 4' 的厚度和第二栅极材料层 5' 的厚度分别指的是第一栅极材料层 4' 和第二栅极材料层 5' 在图 3B 所示的垂直方向的尺寸, 为了方便描述, 将第一栅极材料层 4' 的厚度和第二栅极材料层 5' 的厚度分别标记为 D_1 和 D_2 。

在一个示例中, 第一栅极材料层 4' 的厚度可以远小于第二栅极材料层 5' 的厚度, 即, $D_1 \ll D_2$, 例如, 第一栅极材料层 4' 的厚度与第二栅极材料层 5' 的厚度的比值可以在 $1/60 \sim 1/8$ 范围内。可选地, 第一栅极材料层 4' 的厚度可以为 $150 \text{ \AA} \sim 1500 \text{ \AA}$, 例如 $150 \text{ \AA}$ 、 $200 \text{ \AA}$; 第二栅极材料层 5' 的厚度可以为 $3000 \text{ \AA} \sim 8000 \text{ \AA}$, 例如 $4000 \text{ \AA}$ 。

需要说明的是, 发明人经研究发现, 当第一栅极材料层 4' 的厚度小于 $150 \text{ \AA}$ 时, 那么在基板 1 上形成第一栅极材料层 4' 时, 可能出现第一栅极材料层 4' 的膜层不均匀的情况, 所以第一栅极材料层 4' 的厚度需要大于等于 $150 \text{ \AA}$ 。当第一栅极材料层 4' 的厚度大于 $1500 \text{ \AA}$ 时, 那么在刻蚀第一栅极材料层 4' 时, 由于刻蚀的各向同性, 导致第一栅极材料层 4' 的横向刻蚀量会显著增加。

例如, 第一绝缘材料层 3' 可以包括氮化硅或氧化硅等绝缘材料。

例如, 第一栅极材料层 4' 和第二栅极材料层 5' 可以由导电材料形成。在一个示例中, 第一栅极材料层 4' 可以包括适用第一刻蚀液进行刻蚀的第一材料, 第二栅极材料层 5' 可以包括适用第二刻蚀液进行刻蚀的第二材料, 第一刻蚀液与第二刻蚀液不同。例如, 第一栅极材料层 4' 可以包括金属氧化物导电材料, 第二栅极材料层 5' 可以包括金属导电材料。具体地, 第一栅极材料层 4' 可以包括 ITO、IZO 等材料, 第一刻蚀液的成分可以包括 HNO_3 、 H_2SO_4 和 CH_3COOH , 第二栅极材料层 5' 可以包括 Cu 等材料, 第二刻蚀液的成分可以包括 H_2O_2 。

可选地, 第一栅极材料层 4' 可以包括适用第三刻蚀液进行刻蚀的第一材料, 第二栅极材料层 5' 可以包括适用第三刻蚀液进行刻蚀的第二材料, 第三刻蚀液对第一材料的刻蚀速率不同于第三刻蚀液对第二材料的刻蚀速率。例如, 第一栅极材料层 4' 可以包括第一金属材料, 第二栅极材料层 5' 可以包括不同于第一金属材料的第二金属材料。

具体地，第一栅极材料层 4' 可以包括 Al，第二栅极材料层 5' 可以包括 Cu，第三刻蚀液的成分可以包括 H_2O_2 ，并且包括 H_2O_2 的第三刻蚀液对 Al 和 Cu 具有不同的刻蚀速率。

在本公开的实施例中，在基板 1 上形成第一绝缘材料层 3'、第一栅极材料层 4' 和第二栅极材料层 5' 之后，可以通过构图工艺，来形成薄膜晶体管的叠层结构，该叠层结构包括堆叠设置在基板 1 上的栅极绝缘层 3、第一栅极 4 和第二栅极 5。

具体地，在步骤 S203 中，参照图 3C，在第二栅极材料层 5' 上形成光刻胶图案 6'。例如，可以在第二栅极材料层 5' 上形成光刻胶，然后通过曝光、显影工艺，来形成光刻胶图案 6'。

光刻胶图案 6' 的位置与有源层 2 中待形成的沟道区（下文中将详细描述）的位置对应，具体地，光刻胶图案 6' 在基板 1 上的正投影覆盖待形成的沟道区在基板 1 上的正投影。如图 3C 所示，将光刻胶图案 6' 的长度标记为 L_{CH} ，该长度 L_{CH} 与待形成的沟道区的设计长度相等。需要说明的是，此处的“设计长度”指的是在设计薄膜晶体管时计算出的沟道区的理论长度。本领域技术人员应该理解，在实际制造薄膜晶体管的过程中，受限于实际的制造工艺，实际制造出的沟道区的长度可能与沟道区的设计长度存在偏差。

在步骤 S204 中，参照图 3D，刻蚀第二栅极材料层 5'，以形成第二栅极 5。

在步骤 S205 中，参照图 3E，刻蚀第一栅极材料层 4'，以形成第一栅极 4。

例如，可以通过湿法刻蚀工艺，分别刻蚀第二栅极材料层 5' 和第一栅极材料层 4'，以分别形成第二栅极 5 和第一栅极 4。

例如，可以使用第二刻蚀液刻蚀第二栅极材料层 5'，使用第一刻蚀液刻蚀第一栅极材料层 4'，并且第二刻蚀液不能刻蚀第一栅极材料层 4'。

再例如，可以使用第三刻蚀液同时刻蚀第二栅极材料层 5' 和第一栅极材料层 4'，但是，第三刻蚀液对第二栅极材料层 5' 和第一栅极材料层 4' 具有不同的刻蚀速率。

在本实施例中，如上文所述，由于刻蚀的各向同性，形成的第一栅极 4 和第二栅极 5 相对于光刻胶图案 6' 均会向内凹，即，第一栅极 4 和第二栅极 5 均会具有刻蚀偏差。为了描述方便，将第一栅极 4 的长度标记为 L_1 ，第一栅极 4 的刻蚀偏差记为 ΔL_1 ，将第二栅极 5 的长度标记为 L_2 ，第二栅极 5 的刻蚀偏差记为 ΔL_2 ，如图 3D 和图 3E 所示。由于第一栅极材料层 4' 的厚度小于第二栅极材料层 5' 的厚度，所以，第一栅极

4 的刻蚀偏差 $\Delta L1$ 会小于第二栅极 5 的刻蚀偏差 $\Delta L2$ ，即 $\Delta L1 < \Delta L2$ 。相应地，第一栅极 4 的长度大于第二栅极 5 的长度，即 $L1 > L2$ 。

在步骤 S206 中，参照图 3F，在第一绝缘材料层 3' 上执行构图工艺，以形成第一绝缘材料层 3' 的图案，即形成栅极绝缘层 3。例如，可以采用干法刻蚀工艺刻蚀第一绝缘材料层 3'，以形成栅极绝缘层 3。

在步骤 S207 中，参照图 3G，可以对有源层 2 的位于栅极两侧的部分进行导体化处理，以形成源极区 22 和漏极区 23。

可选地，所述导体化处理可以包括等离子处理、退火处理、光照处理或离子掺杂等导体化处理工艺。

例如，可以使用单一气体等离子体（例如，氦（He）等离子体、氩（Ar）等离子体、氙（Xe）等离子体、氢（H）等离子体）或混合气体等离子体（例如，含有 SF_6 和 O_2 的混合气体等离子体）对有源层 2 的位于栅极两侧的部分进行导体化处理，即，对有源层 2 未被栅极覆盖的部分进行导体化处理，以提高有源层 2 未被栅极覆盖的部分的导电率。

再例如，可以采用真空退火处理对有源层 2 未被栅极覆盖的部分进行导体化处理，以提高有源层 2 未被栅极覆盖的部分的导电率。

又例如，可以使用预定光源（例如紫外光）照射例如由氧化物半导体形成的有源层 2，此时，有源层 2 未被栅极覆盖的部分被进行导体化处理，具体地，价带顶的电子吸收预定光源的能量可以被激发到导带，使得价带顶形成空穴层，导带底形成电子层，这样，有源层 2 未被栅极覆盖的部分的导电率得以提高。

再例如，可以对有源层 2 未被栅极覆盖的部分进行离子掺杂，以提高有源层 2 未被栅极覆盖的部分的导电率。

在本实施例中，可以使用导体化处理工艺对有源层 2 的位于栅极 4 两侧的部分（即未被栅极覆盖的部分）进行导体化处理，使得有源层 2 包括源极区 22、沟道区 21 和漏极区 23，如图 3G 所示，并且经过导体化处理的源极区 22 和漏极区 23 的导电率大于沟道区 21 的导电率。

由于第一栅极 4 的长度大于第二栅极 5 的长度，所以，在该步骤中，实际上是以第一栅极 4 为掩模执行导体化处理工艺，被第一栅极 4 覆盖的有源层 2 的部分未被导

体化，即仍为半导体，该部分形成沟道区 21；未被第一栅极 4 覆盖的有源层 2 的部分被导体化，分别形成具有较高导电率的源极区 22 和漏极区 23。

第一栅极 4 的刻蚀偏差 $\Delta L1$ 小于第二栅极 5 的刻蚀偏差 $\Delta L2$ ，例如，第一栅极 4 的刻蚀偏差 $\Delta L1$ 远小于第二栅极 5 的刻蚀偏差 $\Delta L2$ 。由于实际上是以第一栅极 4 为掩模形成沟道区 21，所以，形成的沟道区 21 的实际长度 L_{CH}' 与光刻胶图案 6' 的长度 L_{CH} （即沟道区的设计长度）存在如下关系：

$$L_{CH}' = L_{CH} - 2 * \Delta L1,$$

由于第一栅极材料层 4' 的厚度可以形成得较小，所以第一栅极 4 的刻蚀偏差 $\Delta L1$ 可以形成得较小。这样，形成的沟道区 21 的实际长度 L_{CH}' 可以接近于光刻胶图案 6' 的长度 L_{CH} （即沟道区的设计长度）。

根据本公开的另一个示例，第一栅极材料层 04' 的厚度为 150 Å，第一栅极材料层 04' 的材料为 ITO，用于刻蚀第一栅极材料层 04' 的第一刻蚀液的主要成分包括 HNO_3 、 H_2SO_4 和 CH_3COOH ；第二栅极材料层 05' 的厚度为 5000 Å，第二栅极材料层 5' 的材料包括 Cu，用于刻蚀第二栅极材料层 5' 的第二刻蚀液的主要成分包括 H_2O_2 。此时，湿法刻蚀后形成的第一栅极 4 的刻蚀偏差 $\Delta L1$ 小于 0.5 μm，湿法刻蚀后形成的第二栅极 5 的刻蚀偏差 $\Delta L2$ 小于 2.5 μm，由此可见，第一栅极 4 的刻蚀偏差 $\Delta L1$ 远小于第二栅极 5 的刻蚀偏差 $\Delta L2$ 。

所以，与根据图 1 所示的实施例的制造方法相比，在图 2、图 3A~3G 所示的实施例的制造方法中，形成的沟道区 21 的实际长度会得到显著增大，减轻了沟道长度变短的问题，从而可以避免阈值电压负向漂移、薄膜晶体管的阈值电压 V_{th} 的均匀性降低的问题，提升了显示面板的显示质量。特别有利地，在本实施例中，形成的薄膜晶体管的沟道长度不会显著减小，从而易于实现高分辨率的显示产品。

并且，在根据本公开实施例的制造方法中，利用栅极或第一栅极作为掩模进行导体化处理，以形成沟道区，即利用栅极自对准工艺形成沟道区。如图 3G 所示，源极区 22 和漏极区 23 中的任一个在基板 1 上的正投影与第一栅极 4 和第二栅极 5 中的任一个在基板 1 上的正投影不重叠。这样，避免了寄生电容的增大，从而提高了薄膜晶体管的性能。

可选地，根据本公开的另一示例性实施例的薄膜晶体管的制造方法还可以包括下面的步骤。

在步骤 S208 中, 参照图 3H, 可以在基板 1 上沉积覆盖有源层 2、栅极绝缘层 3、栅极 4、5 的层间绝缘层 7, 并在层间绝缘层 7 中形成过孔 71、72。

在步骤 S209 中, 参照图 3I, 可以在基板 1 上沉积源漏极金属层, 以在层间绝缘层 7 的过孔 71、72 中分别形成导电塞 81、91 并且在层间绝缘层 7 上分别形成源极 8 和漏极 9。如图 3I 所示, 源极 8 通过导电塞 81 与源极区 22 电连接, 漏极 9 通过导电塞 91 与漏极区 23 电连接。

在步骤 S210 中, 参照图 3J 所示, 可以在基板 1 上形成覆盖层间绝缘层 7、源极 8 和漏极 9 的钝化层 10。

图 4 是图 3A~图 3J 所示的制造方法制造出的薄膜晶体管的截面示意图。如图 4 所示, 薄膜晶体管 40 具有顶栅型薄膜晶体管的结构, 它形成在基板 1 上, 具体包括: 设置在基板 1 上的有源层 2, 有源层 2 具有源极区 22、漏极区 23 以及位于源极区 22 和漏极区 23 之间的沟道区 21; 设置在有源层 2 的远离基板 1 一侧的栅极绝缘层 3; 设置在栅极绝缘层 3 的远离基板 1 一侧的第一栅极 4; 和设置在第一栅极 4 的远离基板 1 一侧的第二栅极 5。

如图 4 所示, 第一栅极 4 的厚度小于第二栅极 5 的厚度。可选地, 第一栅极 4 的厚度可以远小于第二栅极 5 的厚度, 例如, 第一栅极 4 的厚度与第二栅极 5 的厚度的比值可以在 $1/60 \sim 1/8$ 范围内。可选地, 第一栅极 4 的厚度可以为 $150 \text{ \AA} \sim 1500 \text{ \AA}$, 例如 $150 \text{ \AA}$ 、 $200 \text{ \AA}$; 第二栅极 5 的厚度可以为 $3000 \text{ \AA} \sim 8000 \text{ \AA}$, 例如 $4000 \text{ \AA}$ 。在本公开的实施例中, 第一栅极 4 主要用于在导体化处理中起遮挡作用, 例如, 可以防止在导体化处理中的等离子体扩散到沟道区中, 所以, 第一栅极 4 的厚度可以较小, 甚至可以小至 $150 \text{ \AA}$ 。

需要说明的是, 发明人经研究发现, 当第一栅极 4 的厚度小于 $150 \text{ \AA}$ 时, 那么在基板 1 上形成第一栅极材料层 4' 时, 可能出现第一栅极材料层 4' 的膜层不均匀的情况, 所以第一栅极 4 的厚度需要大于等于 $150 \text{ \AA}$ 。

第一栅极 4 和第二栅极 5 可以由导电材料形成。在一个示例中, 第一栅极 4 可以包括适用第一刻蚀液进行刻蚀的第一材料, 第二栅极 5 可以包括适用第二刻蚀液进行刻蚀的第二材料, 第一刻蚀液与第二刻蚀液不同。例如, 第一栅极 4 可以包括金属氧化物导电材料, 第二栅极 5 可以包括金属导电材料。具体地, 第一栅极 4 可以包括 ITO、

IZO 等材料，第一刻蚀液的成分可以包括 HNO_3 、 H_2SO_4 和 CH_3COOH ，第二栅极 5 可以包括 Cu 等材料，第二刻蚀液的成分可以包括 H_2O_2 。

可选地，第一栅极 4 可以包括适用第三刻蚀液进行刻蚀的第一材料，第二栅极 5 可以包括适用第三刻蚀液进行刻蚀的第二材料，第三刻蚀液对第一材料的刻蚀速率不同于第三刻蚀液对第二材料的刻蚀速率。例如，第一栅极 4 可以包括第一金属材料，第二栅极 5 可以包括不同于第一金属材料的第二金属材料。具体地，第一栅极 4 可以包括 Al，第二栅极 5 可以包括 Cu，第三刻蚀液的成分可以包括 H_2O_2 ，并且包括 H_2O_2 的第三刻蚀液对 Al 和 Cu 具有不同的刻蚀速率。

进一步参照图 4，第一栅极 4 的长度 L_1 大于第二栅极 5 的长度 L_2 ，即，第一栅极 4 在基板 1 上的正投影覆盖第二栅极 5 在基板 1 上的正投影。在本公开的实施例中，形成第一栅极 4 时的刻蚀偏差小于形成第二栅极 5 时的刻蚀偏差，所以，第一栅极 4 的长度 L_1 大于第二栅极 5 的长度 L_2 。这样，在以栅极为掩模进行导体化处理时，可以使得形成的沟道区的长度不会显著减小，从而可以避免短沟道效应导致的薄膜晶体管的阈值电压 V_{th} 不均匀等问题。

进一步地，第一栅极 4 在基板 1 上的正投影可以覆盖沟道区 21 在基板 1 上的正投影，例如，第一栅极 4 在基板 1 上的正投影与沟道区 21 在基板 1 上的正投影重合。沟道区 21 在基板 1 上的正投影覆盖第二栅极 5 在基板 1 上的正投影。在本公开的实施例中，以第一栅极 4 为掩模对有源层 2 进行导体化处理以形成沟道区 21，可以使得形成的沟道区的长度不会显著减小，从而可以避免短沟道效应导致的各种问题，并且有利于实现高分辨率的显示产品。

如图 4 所示，第二栅极 5 电连接第一栅极 4，例如，第二栅极 5 直接接触第一栅极 4。更具体地，第一栅极 4 靠近第二栅极 5 的表面（图 4 中示出的第一栅极 4 的上表面）与第二栅极 5 靠近第一栅极 4 的表面（图 4 中示出的第二栅极 5 的下表面）直接接触。以此方式，第一栅极 4 与第二栅极 5 实现电连接。

如图 4 所示，源极区 22 和漏极区 23 均不与第一栅极 4 或第二栅极 5 叠置，即，第一栅极 4 和第二栅极 5 中的任一个在基板 1 上的正投影与源极区 22 和漏极区 23 中的任一个在基板 1 上的正投影不重叠。这样，避免了寄生电容的增大，从而提高了薄膜晶体管的性能。

有源层 2 的材料可以包括氧化物半导体材料、多晶硅半导体材料（例如低温多晶硅）或非晶硅半导体材料。

例如，所述氧化物半导体材料可以包括 ZnO 基氧化物层。在这种情况下，有源层 2 还可以包含诸如 In 或 Ga 的第 III 族元素、诸如 Sn 的第 IV 族元素、它们的组合或者其它元素。再例如，有源层 2 可以包括 Cu 氧化物层（CuBO₂ 层、CuAlO₂ 层、CuGaO₂ 层、CuInO₂ 层等）、Ni 氧化物层、掺杂有 Ti 的 Ni 氧化物层、掺杂有第 I 族、第 II 族和第 V 族元素中的至少一种的 ZnO 基氧化物层、掺杂有 Ag 的 ZnO 基氧化物层、PbS 层、LaCuOS 层或者 LaCuOSe 层。作为一个示例，有源层 2 可以包括铟镓锌氧化物（Indium Gallium Zinc Oxide，缩写为 IGZO）或铟锡锌氧化物（Indium Tin Zinc Oxide，缩写为 ITZO）。

如图 4 所示，栅极绝缘层 3 位于有源层 2 与第一栅极 4 之间，并且栅极绝缘层 3 在基板 1 上的正投影覆盖沟道区 21 在基板 1 上的正投影。栅极绝缘层 3 用于隔离有源层 2（特别是沟道区 21）与第一栅极 4。

例如，如图 4 所示，源极区 22 和漏极区 23 均与沟道区 21 共面，但不与沟道区 21 叠置。再例如，源极区 22 和漏极区 23 中的任一个的导电率可以大于沟道区 21 的导电率。

参照图 4，薄膜晶体管 40 还可以包括覆盖有源层 2、栅极绝缘层 3、栅极 4、5 的层间绝缘层 7；位于层间绝缘层 7 中的导电塞 81、91；位于层间绝缘层 7 上的源极 8 和漏极 9；和覆盖层间绝缘层 7、源极 8 和漏极 9 的钝化层 10。

源极 8 和漏极 9 分别连接至源极区 22 和漏极区 23，通过将源极区 22 和漏极区 23 中的任一个的导电率设置为大于沟道区 21 的导电率，可以提高源极、漏极的欧姆接触能力。

图 5 是根据本公开的另一示例性实施例的薄膜晶体管的截面示意图。图 5 示出的薄膜晶体管具有与图 4 示出的薄膜晶体管大致相同的结构，下面将重点描述二者的不同之处。

如图 5 所示，薄膜晶体管 50 形成在基板 1 上，具体包括：设置在基板 1 上的遮光层 11；设置在基板 1 上且覆盖遮光层 11 的第三绝缘层 12；设置在第三绝缘层 12 的远离基板 1 一侧的有源层 2，有源层 2 具有源极区 22、漏极区 23 以及位于源极区 22 和漏极区 23 之间的沟道区 21；设置在有源层 2 的远离基板 1 一侧的栅极绝缘层 3；设置

在栅极绝缘层 3 的远离基板 1 一侧的第一栅极 4；和设置在第一栅极 4 的远离基板 1 一侧的第二栅极 5。

例如，遮光层 11 可以由金属材料制成，诸如 Mo、Al 等金属，也可以由无机材料制成。

如图 5 所示，遮光层 11 在基板 1 上的正投影可以完全覆盖沟道区 21 在基板 1 上的正投影。通过设置该遮光层，可以保护沟道区不受背光或其他环境光的影响，提高薄膜晶体管的稳定性。

可选地，本公开的实施例还提供一种阵列基板。例如，如图 6 所示，阵列基板 60 包括基板 1 和设置在基板 1 上的多个薄膜晶体管 61。所述多个薄膜晶体管 61 中的至少一个可以为上述任一实施例中描述的薄膜晶体管。

可选地，本公开的实施例还提供一种显示装置，该显示装置可以包括上述阵列基板，上述阵列基板又包括上述任一种薄膜晶体管。所述显示装置可以包括但不限于：电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。应该理解，该显示装置具有与前述实施例提供的薄膜晶体管相同的有益效果。如图 7 所示，示意性示出了显示装置为智能手机的示例。

虽然根据本公开的总体发明构思的一些实施例已被图示和说明，本领域普通技术人员将理解，在不背离本公开的总体发明构思的原则和精神的情况下，可对这些实施例做出改变，本公开的范围以权利要求和它们的等同物限定。

权 利 要 求

- 1、一种薄膜晶体管，形成在基板上，所述薄膜晶体管包括：
设置在所述基板上的有源层，所述有源层具有源极区、漏极区以及位于源极区和漏极区之间的沟道区；
设置在所述有源层的远离所述基板一侧的第一栅极；和
设置在所述第一栅极的远离所述基板一侧的第二栅极，
其中，所述第一栅极的厚度小于所述第二栅极的厚度。
- 2、根据权利要求1所述的薄膜晶体管，其中，所述第一栅极在所述基板上的正投影覆盖所述第二栅极在所述基板上的正投影。
- 3、根据权利要求1或2所述的薄膜晶体管，其中，所述第一栅极在所述基板上的正投影与所述沟道区在所述基板上的正投影完全重合。
- 4、根据权利要求3所述的薄膜晶体管，其中，所述第一栅极和所述第二栅极中的任一个在所述基板上的正投影与所述源极区和所述漏极区中的任一个在所述基板上的正投影不重叠。
- 5、根据权利要求1或2所述的薄膜晶体管，其中，所述第一栅极靠近所述第二栅极的表面与所述第二栅极靠近所述第一栅极的表面直接接触。
- 6、根据权利要求1、2或4所述的薄膜晶体管，其中，所述第一栅极包括适用第一刻蚀液进行刻蚀的第一材料，所述第二栅极包括适用第二刻蚀液进行刻蚀的第二材料，所述第一刻蚀液与所述第二刻蚀液不同；或者，
其中，所述第一栅极包括适用第三刻蚀液进行刻蚀的第一材料，所述第二栅极包括适用所述第三刻蚀液进行刻蚀的第二材料，所述第三刻蚀液对所述第一材料的刻蚀速率不同于所述第三刻蚀液对所述第二材料的刻蚀速率。

7、根据权利要求6所述的薄膜晶体管，其中，所述第一栅极包括金属氧化物导电材料，所述第二栅极包括金属导电材料；或者，

其中，所述第一栅极包括第一金属材料，所述第二栅极包括不同于所述第一金属材料的第二金属材料。

8、根据权利要求1、2、4或7所述的薄膜晶体管，其中，所述第一栅极的厚度与所述第二栅极的厚度的比值在1/60~1/8范围内。

9、根据权利要求8所述的薄膜晶体管，其中，所述第一栅极的厚度为150 Å~1500 Å。

10、根据权利要求1、2、4、7或9所述的薄膜晶体管，其中，所述源极区和所述漏极区中的任一个的导电率大于所述沟道区的导电率。

11、根据权利要求1、2、4、7或9所述的薄膜晶体管，其中，所述有源层的材料包括氧化物半导体材料、多晶硅半导体材料和非晶硅半导体材料中选择的一种。

12、根据权利要求1、2、4、7或9所述的薄膜晶体管，还包括：设置在所述基板与所述有源层之间的遮光层，所述遮光层在所述基板上的正投影覆盖所述沟道区在所述基板上的正投影。

13、一种阵列基板，包括上述任一项权利要求所述的薄膜晶体管。

14、一种显示装置，包括权利要求13所述的阵列基板。

15、一种制造薄膜晶体管的方法，包括：

在基板上形成有源层；

在所述基板上依次形成第一栅极材料层和第二栅极材料层，所述第一栅极材料层的厚度小于所述第二栅极材料层的厚度；

对所述第一栅极材料层和所述第二栅极材料层执行构图工艺，以分别形成第一栅极和第二栅极；和

以所述第一栅极为掩模，对所述有源层执行导体化处理工艺，以使得所述有源层包括源极区、漏极区以及位于所述源极区和所述漏极区之间的沟道区。

16、根据权利要求 15 所述的方法，其中，对所述第一栅极材料层和所述第二栅极材料层执行构图工艺，以分别形成第一栅极和第二栅极包括：

在所述第二栅极材料层上形成光刻胶层；

通过曝光和显影工艺，形成光刻胶图案；

使用第二刻蚀液刻蚀所述第二栅极材料层，以形成第二栅极；和

使用不同于第二刻蚀液的第一刻蚀液刻蚀所述第一栅极材料层，以形成第一栅极。

17、根据权利要求 15 所述的方法，其中，对所述第一栅极材料层和所述第二栅极材料层执行构图工艺，以分别形成第一栅极和第二栅极包括：

在所述第二栅极材料层上形成光刻胶层；

通过曝光和显影工艺，形成光刻胶图案；和

使用第三刻蚀液同时刻蚀所述第二栅极材料层和所述第一栅极材料层，以形成第一栅极和第二栅极，所述第三刻蚀液对所述第一栅极材料层的刻蚀速率不同于所述第三刻蚀液对所述第二栅极材料层的刻蚀速率。

18、根据权利要求 15-17 中任一项所述的方法，其中，所述第一栅极在所述基板上的正投影覆盖所述第二栅极在所述基板上的正投影。

19、根据权利要求 18 所述的方法，其中，以所述第一栅极为掩模，对所述有源层执行导体化处理工艺，以使得所述有源层包括源极区、漏极区以及位于所述源极区和所述漏极区之间的沟道区包括：

对所述有源层未被所述第一栅极覆盖的部分执行导体化处理工艺，以使得所述有源层未被所述第一栅极覆盖的部分分别形成源极区和漏极区，所述有源层被所述第一栅极覆盖的部分形成沟道区。

20、根据权利要求 19 所述的方法，其中，所述第一栅极在所述基板上的正投影与所述沟道区在所述基板上的正投影完全重合。

21、根据权利要求 18 所述的方法，其中，所述第一栅极材料层的厚度与所述第二栅极材料层的厚度的比值在 $1/60 \sim 1/8$ 范围内。

22、根据权利要求 21 所述的方法，其中，所述第一栅极材料层的厚度为 $150 \text{ \AA} \sim 1500 \text{ \AA}$ 。

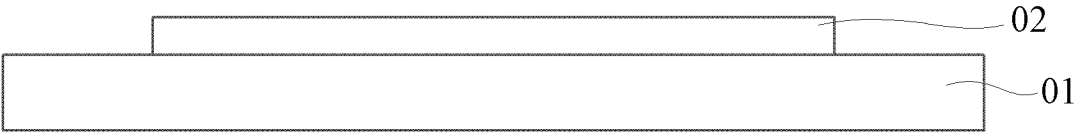


图 1A

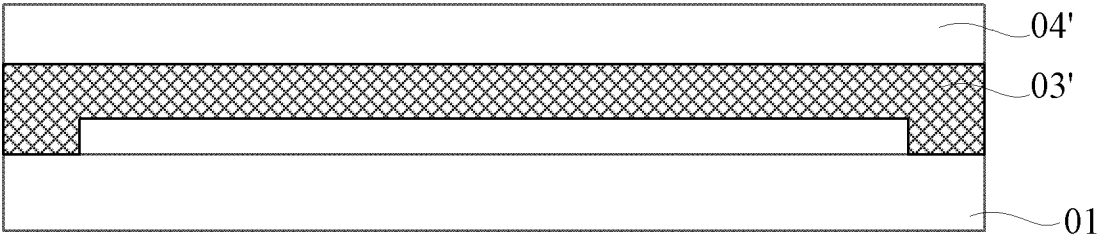


图 1B

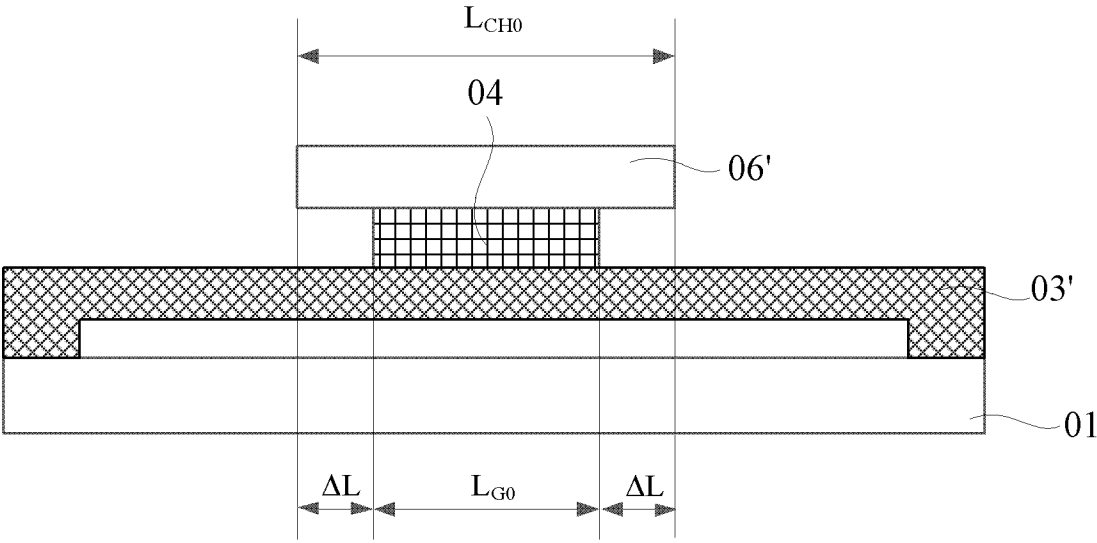


图 1C

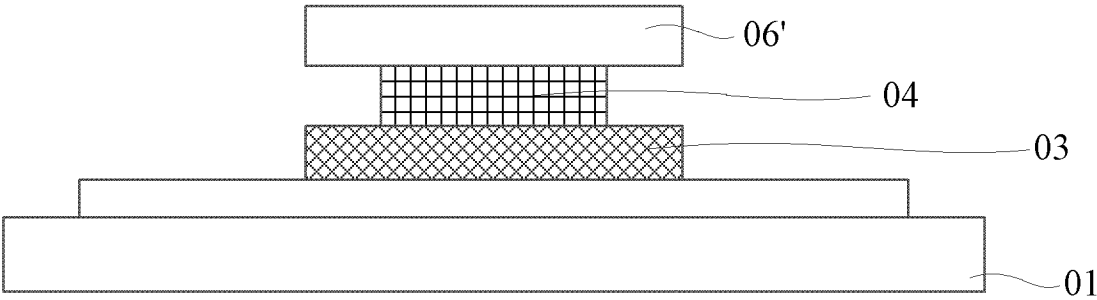


图 1D

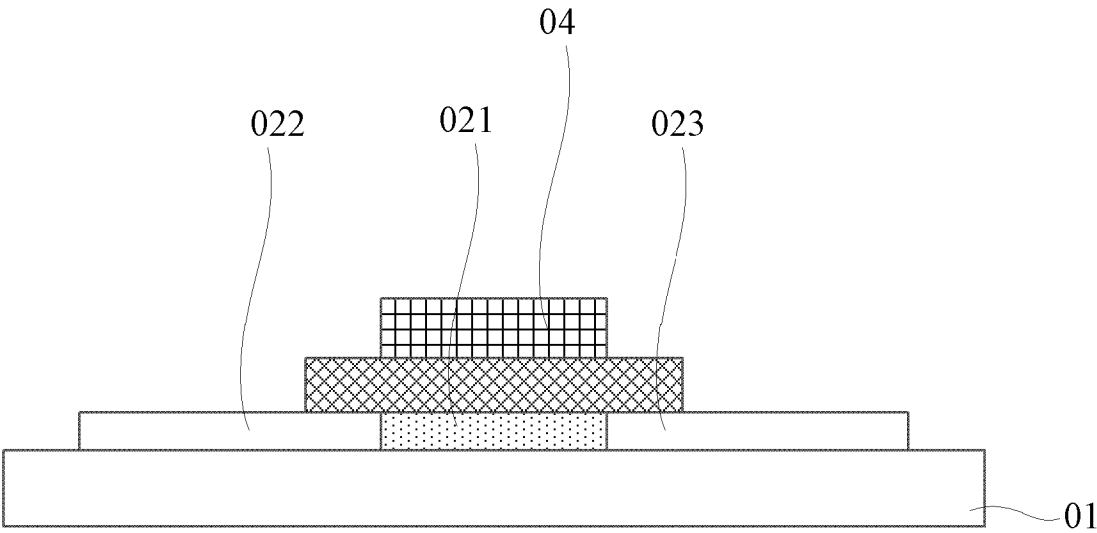


图 1E

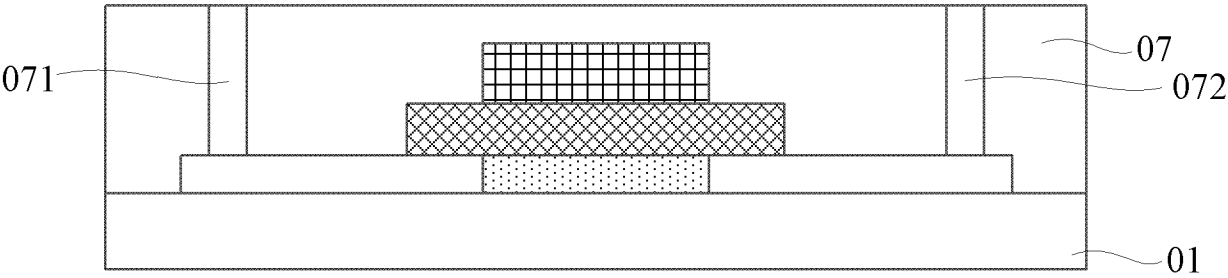


图 1F

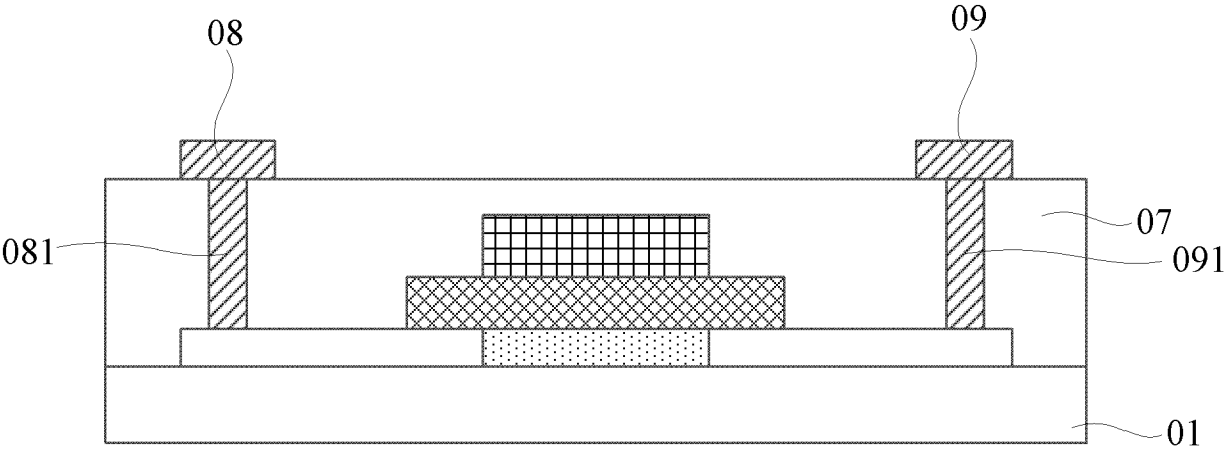


图 1G

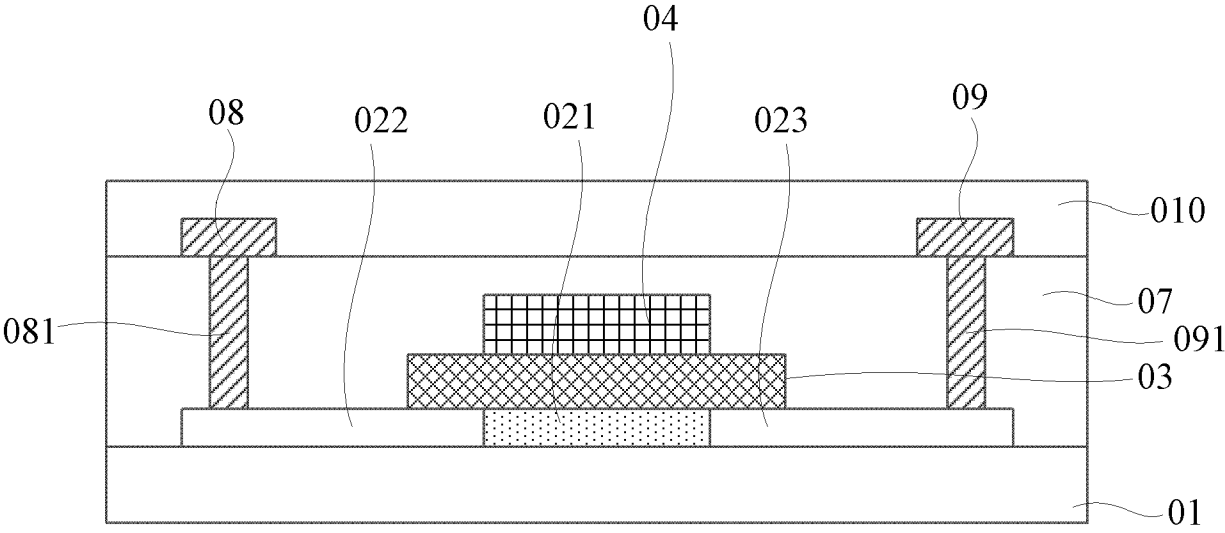


图 1H

5/12



图 2

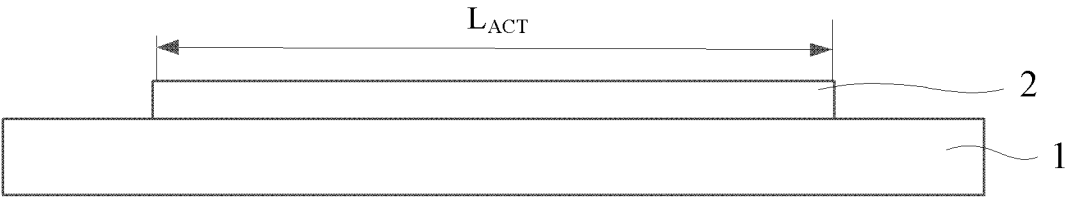


图 3A

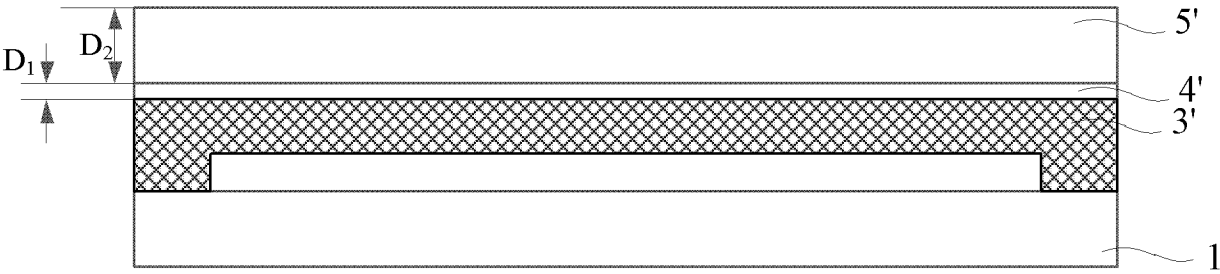


图 3B

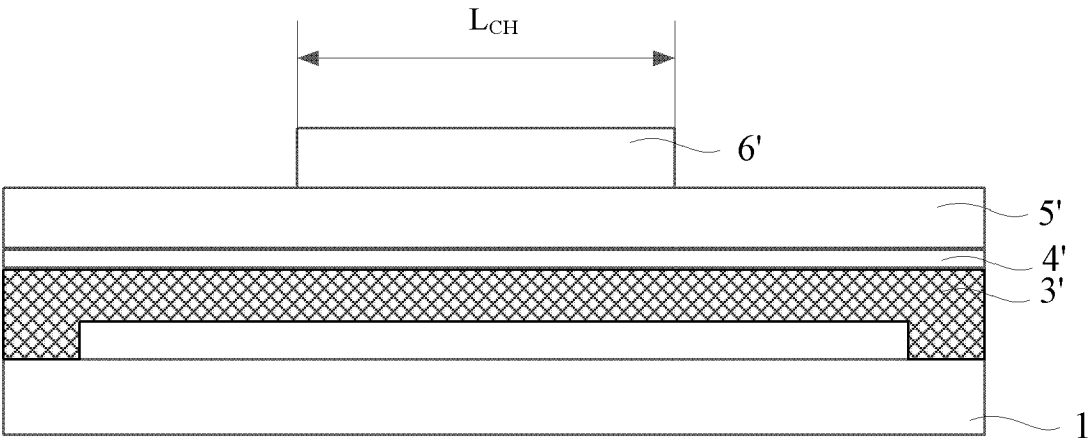


图 3C

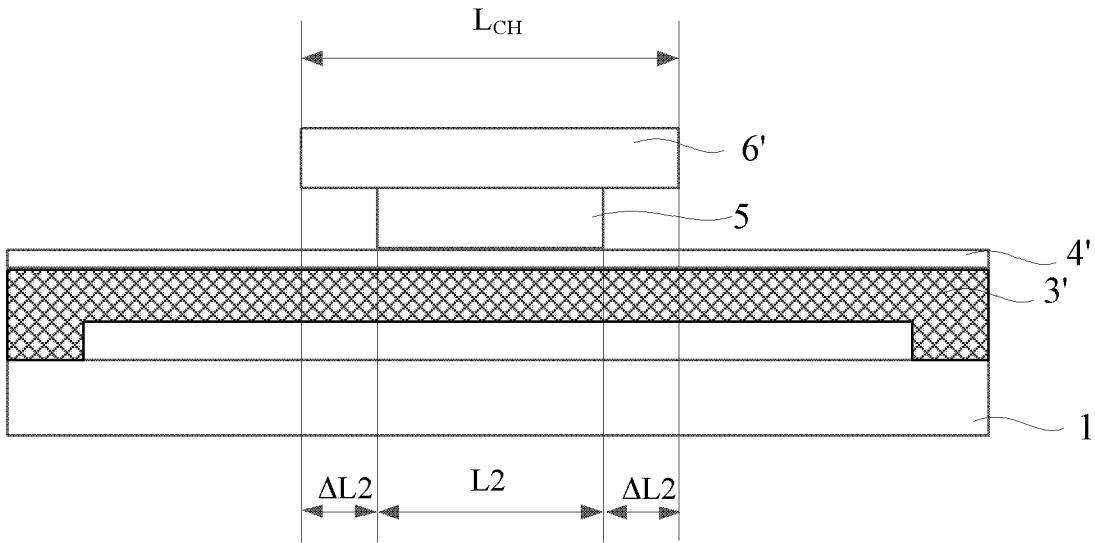


图 3D

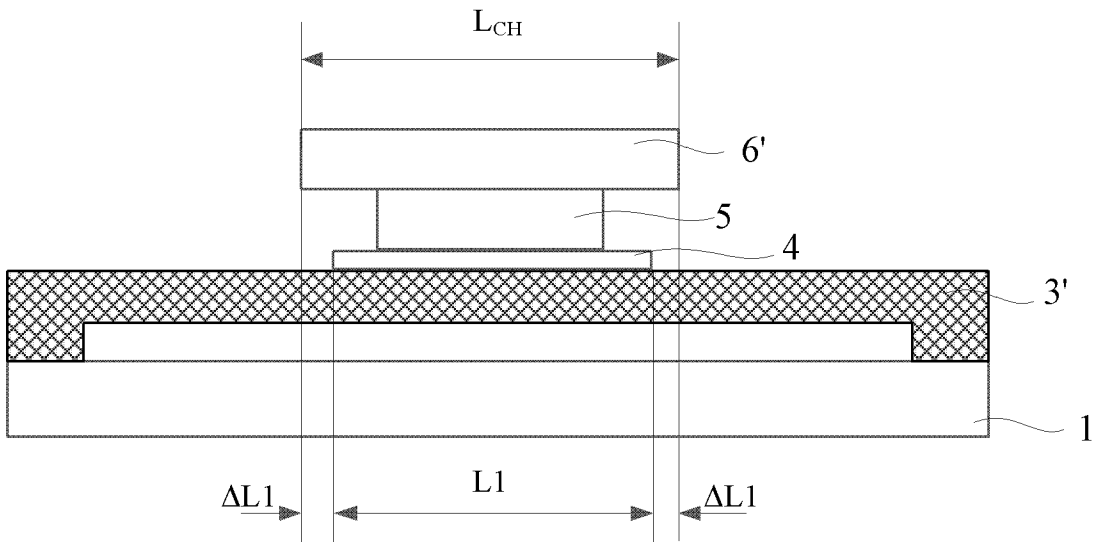


图 3E

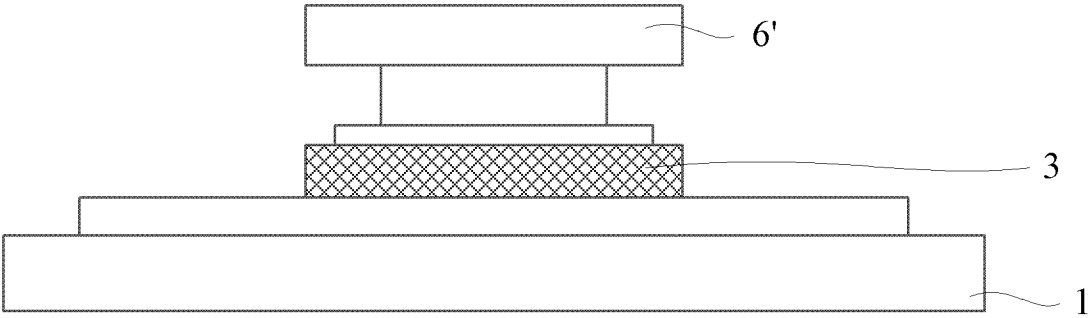


图 3F

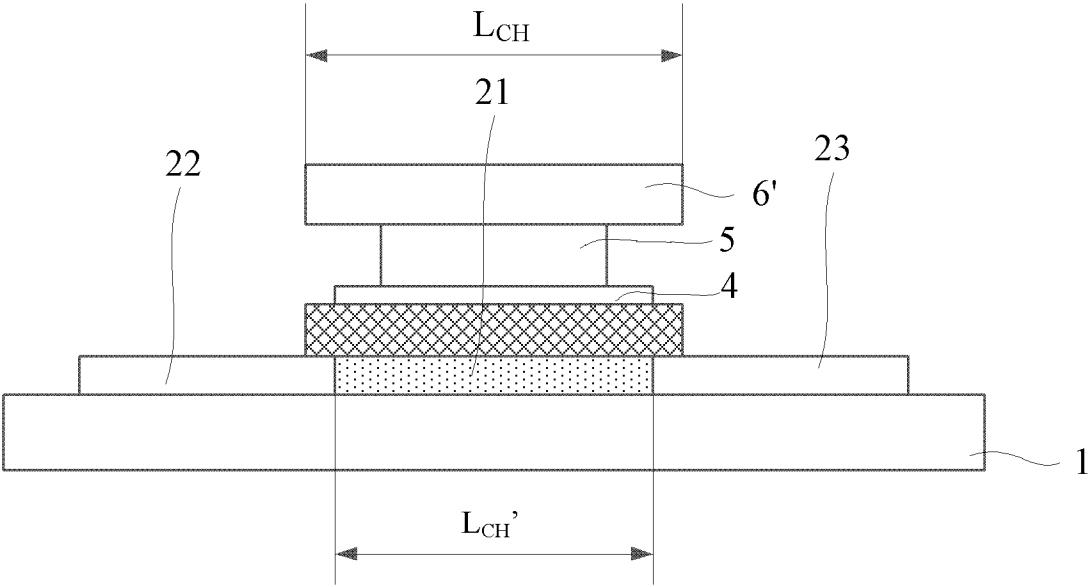


图 3G

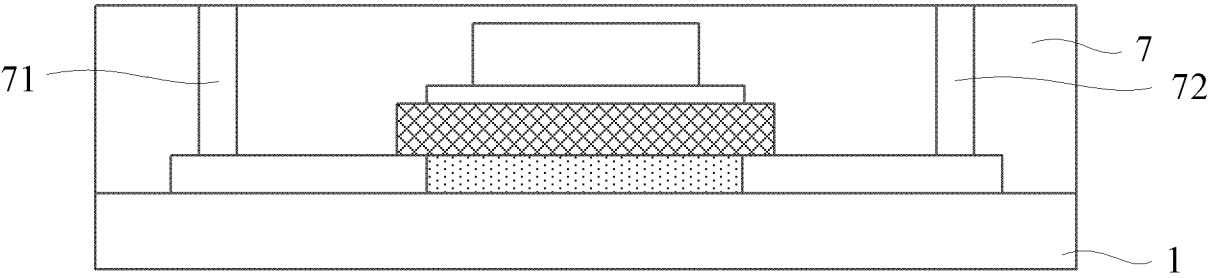


图 3H

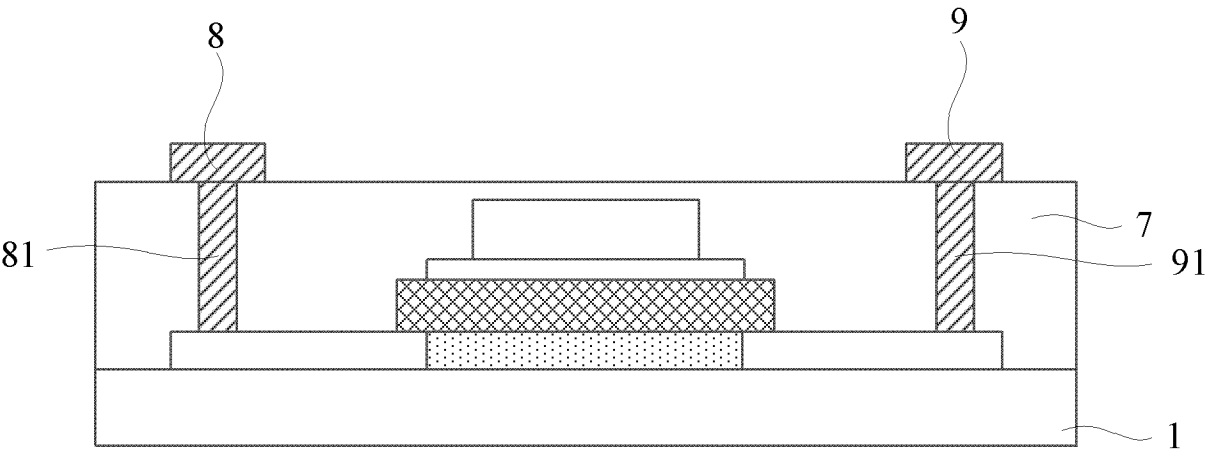


图 3I

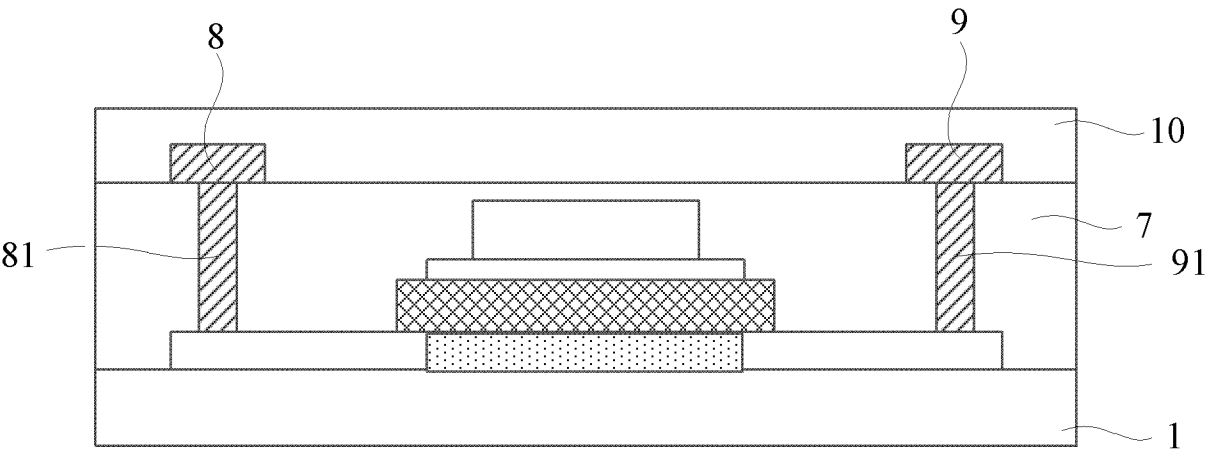


图 3J

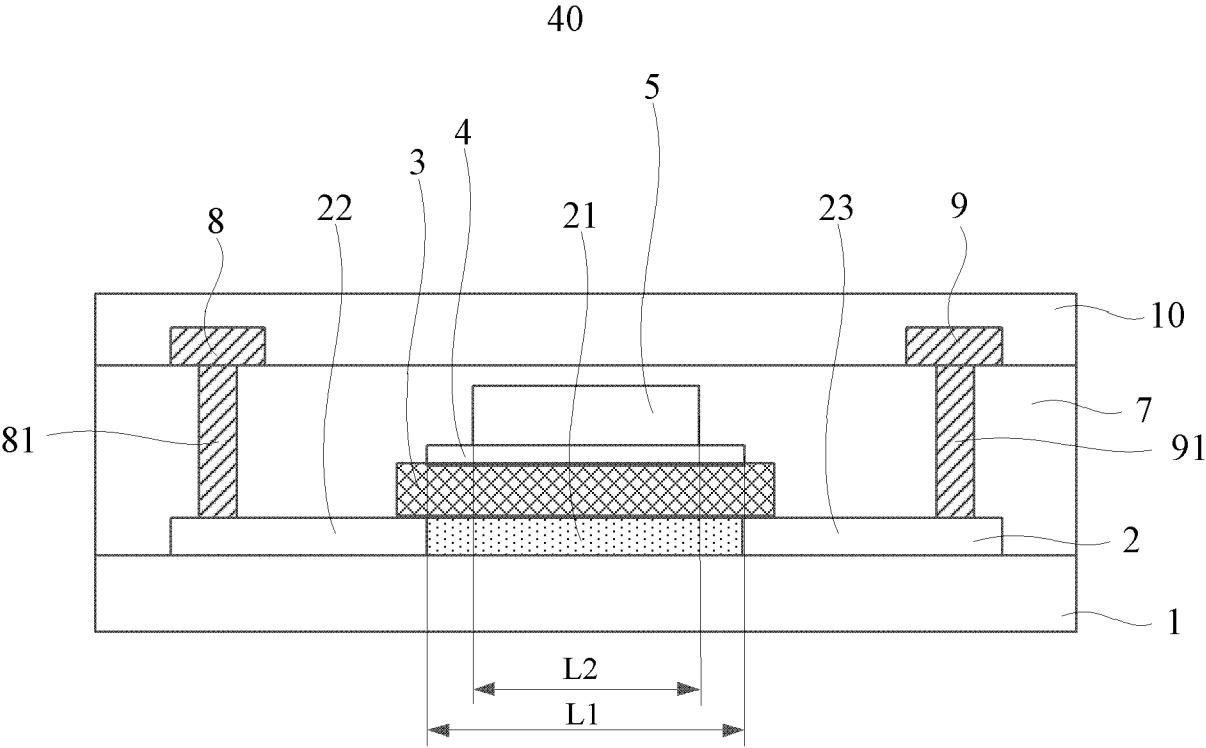


图 4

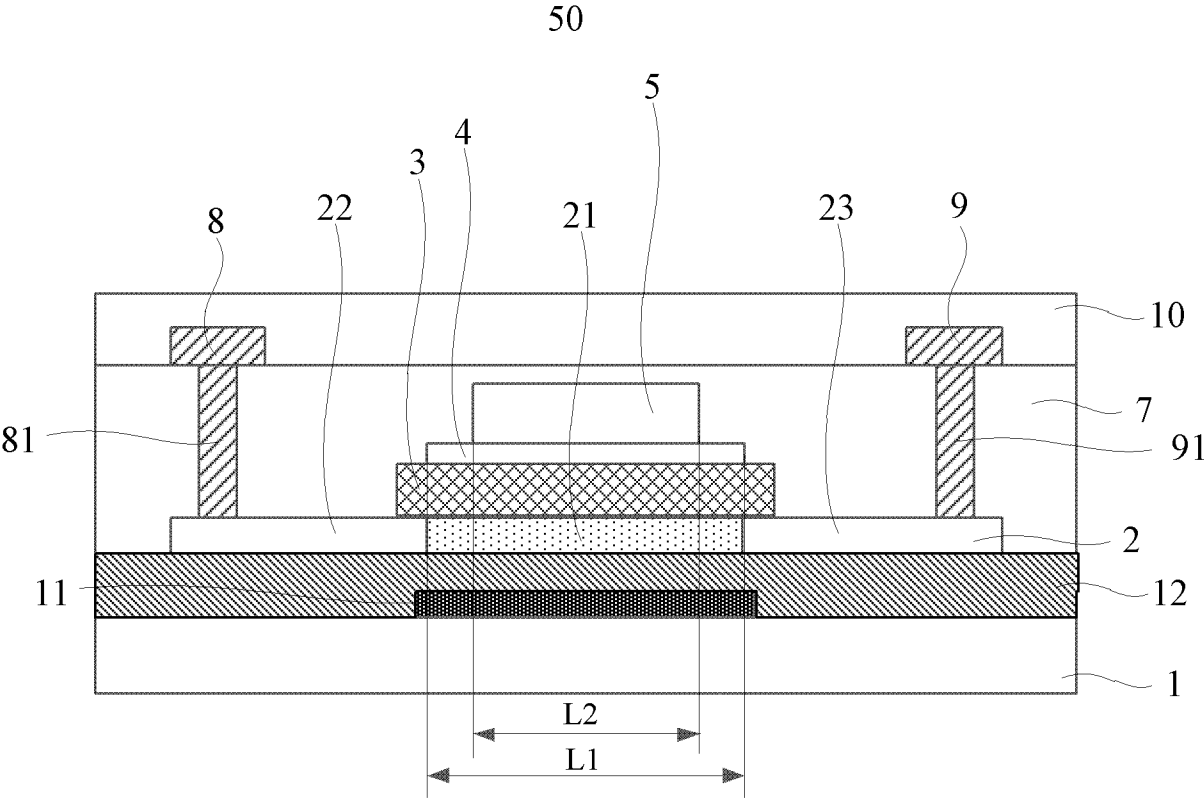


图 5

12/12

60

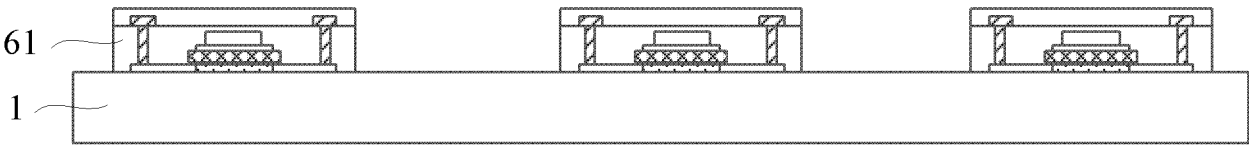


图 6

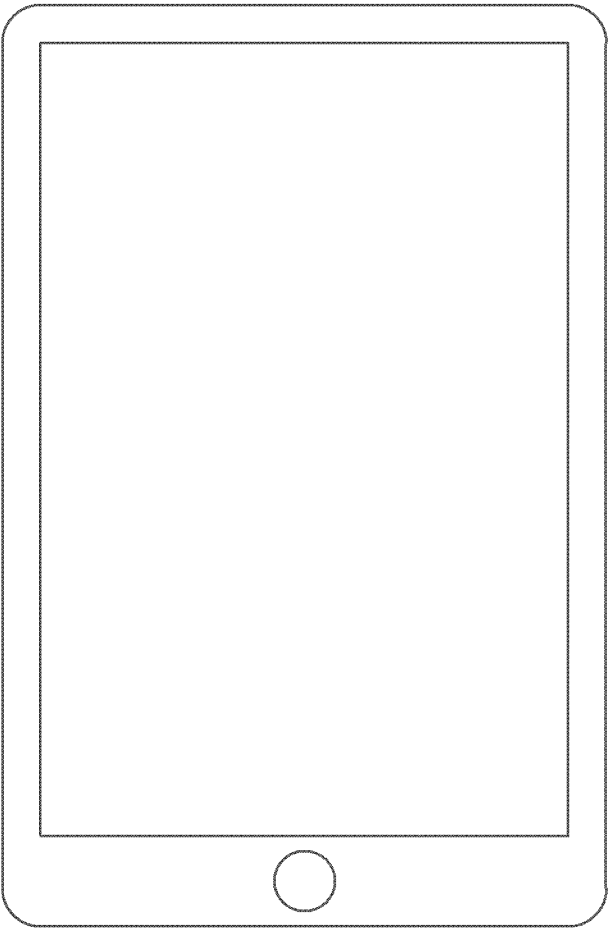


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/126289

A. CLASSIFICATION OF SUBJECT MATTER H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H01L 29/423(2006.01)i; H01L 27/32(2006.01)i; G02F 1/1368(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC																							
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L; G02F Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNKI; CNABS; SIPOABS; DWPI: 薄膜晶体管, 第二栅极, 叠层栅极, 堆叠栅极, 有源区, 有源区, TFT, thin film transistor, second gate, stack gate, active layer, active area																							
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">Category*</th> <th style="width: 70%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width: 20%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 109920856 A (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 21 June 2019 (2019-06-21) description, paragraphs 0061-0141, and figures 1A-7</td> <td>1-22</td> </tr> <tr> <td>Y</td> <td>CN 104681628 A (BOE TECHNOLOGY GROUP CO., LTD.) 03 June 2015 (2015-06-03) description, paragraphs 0067-0096, and figures 4-10</td> <td>1-22</td> </tr> <tr> <td>Y</td> <td>US 2006030089 A1 (CHUNG, Hoonju) 09 February 2006 (2006-02-09) description, paragraphs 0042-0060, and figure 10</td> <td>1-22</td> </tr> <tr> <td>A</td> <td>CN 105789117 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 20 July 2016 (2016-07-20) entire document</td> <td>1-22</td> </tr> <tr> <td>A</td> <td>CN 107818988 A (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 20 March 2018 (2018-03-20) entire document</td> <td>1-22</td> </tr> <tr> <td>A</td> <td>CN 106684155 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 17 May 2017 (2017-05-17) entire document</td> <td>1-22</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	PX	CN 109920856 A (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 21 June 2019 (2019-06-21) description, paragraphs 0061-0141, and figures 1A-7	1-22	Y	CN 104681628 A (BOE TECHNOLOGY GROUP CO., LTD.) 03 June 2015 (2015-06-03) description, paragraphs 0067-0096, and figures 4-10	1-22	Y	US 2006030089 A1 (CHUNG, Hoonju) 09 February 2006 (2006-02-09) description, paragraphs 0042-0060, and figure 10	1-22	A	CN 105789117 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 20 July 2016 (2016-07-20) entire document	1-22	A	CN 107818988 A (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 20 March 2018 (2018-03-20) entire document	1-22	A	CN 106684155 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 17 May 2017 (2017-05-17) entire document	1-22
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																					
PX	CN 109920856 A (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 21 June 2019 (2019-06-21) description, paragraphs 0061-0141, and figures 1A-7	1-22																					
Y	CN 104681628 A (BOE TECHNOLOGY GROUP CO., LTD.) 03 June 2015 (2015-06-03) description, paragraphs 0067-0096, and figures 4-10	1-22																					
Y	US 2006030089 A1 (CHUNG, Hoonju) 09 February 2006 (2006-02-09) description, paragraphs 0042-0060, and figure 10	1-22																					
A	CN 105789117 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 20 July 2016 (2016-07-20) entire document	1-22																					
A	CN 107818988 A (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 20 March 2018 (2018-03-20) entire document	1-22																					
A	CN 106684155 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 17 May 2017 (2017-05-17) entire document	1-22																					
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.																							
<table style="width: 100%;"> <tr> <td style="width: 50%; vertical-align: top;"> * Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed </td> <td style="width: 50%; vertical-align: top;"> “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family																			
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family																						
Date of the actual completion of the international search 09 March 2020		Date of mailing of the international search report 18 March 2020																					
Name and mailing address of the ISA/CN China National Intellectual Property Administration No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088 China Facsimile No. (86-10)62019451		Authorized officer Telephone No.																					

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/126289

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 8890156 B2 (YEH, Chengyen et al.) 18 November 2014 (2014-11-18) entire document	1-22

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/126289

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109920856	A	21 June 2019	None			
CN	104681628	A	03 June 2015	WO	2016145967	A9	02 February 2017
				US	9673333	B2	06 June 2017
				WO	2016145967	A1	22 September 2016
				US	2017018652	A1	19 January 2017
US	2006030089	A1	09 February 2006	US	7118944	B2	10 October 2006
CN	105789117	A	20 July 2016	CN	105789117	B	01 February 2019
				WO	2017161626	A1	28 September 2017
				US	2018083142	A1	22 March 2018
CN	107818988	A	20 March 2018	US	2019165072	A1	30 May 2019
				US	10374024	B2	06 August 2019
				WO	2019061780	A1	04 April 2019
CN	106684155	A	17 May 2017	WO	2018126703	A1	12 July 2018
US	8890156	B2	18 November 2014	TW	201338102	A	16 September 2013
				US	2013240886	A1	19 September 2013

国际检索报告

国际申请号

PCT/CN2019/126289

A. 主题的分类 H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H01L 29/423(2006.01)i; H01L 27/32(2006.01)i; G02F 1/1368(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																										
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L; G02F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNKI; CNABS; SIPOABS; DWPI: 薄膜晶体管, 第二栅极, 叠层栅极, 堆叠栅极, 有源层, 有源区, TFT, thin film transistor, second gate, stack gate, active layer, active area																										
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 109920856 A (合肥鑫晟光电科技有限公司等) 2019年 6月 21日 (2019 - 06 - 21) 说明书第0061段至0141段, 图1A-7</td> <td>1-22</td> </tr> <tr> <td>Y</td> <td>CN 104681628 A (京东方科技集团股份有限公司) 2015年 6月 3日 (2015 - 06 - 03) 说明书第0067段至0096段, 图4-10</td> <td>1-22</td> </tr> <tr> <td>Y</td> <td>US 2006030089 A1 (CHUNG H00N-JU) 2006年 2月 9日 (2006 - 02 - 09) 说明书第0042段至0060段, 图10</td> <td>1-22</td> </tr> <tr> <td>A</td> <td>CN 105789117 A (深圳市华星光电技术有限公司) 2016年 7月 20日 (2016 - 07 - 20) 全文</td> <td>1-22</td> </tr> <tr> <td>A</td> <td>CN 107818988 A (武汉华星光电半导体显示技术有限公司) 2018年 3月 20日 (2018 - 03 - 20) 全文</td> <td>1-22</td> </tr> <tr> <td>A</td> <td>CN 106684155 A (京东方科技集团股份有限公司等) 2017年 5月 17日 (2017 - 05 - 17) 全文</td> <td>1-22</td> </tr> <tr> <td>A</td> <td>US 8890156 B2 (YEH CHENG-YEN等) 2014年 11月 18日 (2014 - 11 - 18) 全文</td> <td>1-22</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 109920856 A (合肥鑫晟光电科技有限公司等) 2019年 6月 21日 (2019 - 06 - 21) 说明书第0061段至0141段, 图1A-7	1-22	Y	CN 104681628 A (京东方科技集团股份有限公司) 2015年 6月 3日 (2015 - 06 - 03) 说明书第0067段至0096段, 图4-10	1-22	Y	US 2006030089 A1 (CHUNG H00N-JU) 2006年 2月 9日 (2006 - 02 - 09) 说明书第0042段至0060段, 图10	1-22	A	CN 105789117 A (深圳市华星光电技术有限公司) 2016年 7月 20日 (2016 - 07 - 20) 全文	1-22	A	CN 107818988 A (武汉华星光电半导体显示技术有限公司) 2018年 3月 20日 (2018 - 03 - 20) 全文	1-22	A	CN 106684155 A (京东方科技集团股份有限公司等) 2017年 5月 17日 (2017 - 05 - 17) 全文	1-22	A	US 8890156 B2 (YEH CHENG-YEN等) 2014年 11月 18日 (2014 - 11 - 18) 全文	1-22
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																								
PX	CN 109920856 A (合肥鑫晟光电科技有限公司等) 2019年 6月 21日 (2019 - 06 - 21) 说明书第0061段至0141段, 图1A-7	1-22																								
Y	CN 104681628 A (京东方科技集团股份有限公司) 2015年 6月 3日 (2015 - 06 - 03) 说明书第0067段至0096段, 图4-10	1-22																								
Y	US 2006030089 A1 (CHUNG H00N-JU) 2006年 2月 9日 (2006 - 02 - 09) 说明书第0042段至0060段, 图10	1-22																								
A	CN 105789117 A (深圳市华星光电技术有限公司) 2016年 7月 20日 (2016 - 07 - 20) 全文	1-22																								
A	CN 107818988 A (武汉华星光电半导体显示技术有限公司) 2018年 3月 20日 (2018 - 03 - 20) 全文	1-22																								
A	CN 106684155 A (京东方科技集团股份有限公司等) 2017年 5月 17日 (2017 - 05 - 17) 全文	1-22																								
A	US 8890156 B2 (YEH CHENG-YEN等) 2014年 11月 18日 (2014 - 11 - 18) 全文	1-22																								
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																										
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																										
国际检索实际完成的日期 2020年 3月 9日		国际检索报告邮寄日期 2020年 3月 18日																								
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 刘红 电话号码 86-010-62089538																								

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/126289

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109920856	A	2019年 6月 21日	无			
CN	104681628	A	2015年 6月 3日	WO	2016145967	A9	2017年 2月 2日
				US	9673333	B2	2017年 6月 6日
				WO	2016145967	A1	2016年 9月 22日
				US	2017018652	A1	2017年 1月 19日
US	2006030089	A1	2006年 2月 9日	US	7118944	B2	2006年 10月 10日
CN	105789117	A	2016年 7月 20日	CN	105789117	B	2019年 2月 1日
				WO	2017161626	A1	2017年 9月 28日
				US	2018083142	A1	2018年 3月 22日
CN	107818988	A	2018年 3月 20日	US	2019165072	A1	2019年 5月 30日
				US	10374024	B2	2019年 8月 6日
				WO	2019061780	A1	2019年 4月 4日
CN	106684155	A	2017年 5月 17日	WO	2018126703	A1	2018年 7月 12日
US	8890156	B2	2014年 11月 18日	TW	201338102	A	2013年 9月 16日
				US	2013240886	A1	2013年 9月 19日