

WO 2013/005604 A1

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は、酸化物半導体を用いて形成された半導体装置およびその製造方法に関する。

背景技術

[0002] 液晶表示装置等に用いられるアクティブマトリクス基板は、画素毎に薄膜トランジスタ（Thin Film Transistor；以下、「T F T」）などのスイッチング素子を備えている。このようなスイッチング素子としては、従来から、アモルファスシリコン膜を活性層とするT F T（以下、「アモルファスシリコンT F T」）や多結晶シリコン膜を活性層とするT F T（以下、「多結晶シリコンT F T」）が広く用いられている。

[0003] 近年、T F Tの活性層の材料として、アモルファスシリコンや多結晶シリコンに代わって、酸化物半導体を用いることが提案されている。このようなT F Tを「酸化物半導体T F T」と称する。酸化物半導体は、アモルファスシリコンよりも高い移動度を有している。このため、酸化物半導体T F Tは、アモルファスシリコンT F Tよりも高速で動作することが可能である。また、酸化物半導体膜は、多結晶シリコン膜よりも簡便なプロセスで形成されるため、大面積が必要とされる装置にも適用できる。

[0004] 特許文献1には、トップゲート構造の酸化物半導体T F Tが開示されている。特許文献1に開示された酸化物半導体T F Tでは、プラズマ処理を行って、酸化物半導体層にソース・ドレイン領域を形成している。

先行技術文献

特許文献

[0005] 特許文献1：特開2009-278115号公報

特許文献2：特開2010-232647号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献 1 に開示された酸化物半導体 T F T では、ゲート絶縁膜をエッチングした後、プラズマ処理（例えば、水素プラズマ処理）を行う必要があるので、製造工程数が多いという問題がある。

[0007] 本発明は上記事情に鑑みてなされたものであり、その目的は、特許文献 1 に開示されている酸化物半導体 T F T の製造方法よりも製造工程数が削減された酸化物半導体 T F T の製造方法、およびそのような製造方法で製造され得る酸化物半導体 T F T を提供することにある。

課題を解決するための手段

[0008] 本発明による半導体装置は、基板と、前記基板に支持された薄膜トランジスタとを備えた半導体装置であって、前記薄膜トランジスタは、第 1 チャネル領域と、前記第 1 チャネル領域の両側のそれぞれに位置するソース領域およびドレイン領域とを有する酸化物半導体層と、前記酸化物半導体層の上に形成された、ゲート絶縁膜、ソース電極およびドレイン電極と、前記ゲート絶縁膜の上に形成され、前記第 1 チャネル領域と重なるように配置された第 1 ゲート電極とを有し、前記ソース領域は、前記第 1 ゲート電極にゲート電圧が印加されていない場合において、前記第 1 チャネル領域よりも抵抗の小さいソース低抵抗領域を有し、前記ドレイン領域は、前記第 1 ゲート電極にゲート電圧が印加されていない場合において、前記第 1 チャネル領域よりも抵抗の小さいドレイン低抵抗領域を有し、前記ソース低抵抗領域は、前記ソース電極に接続され、前記ドレイン低抵抗領域は、前記ドレイン電極に接続され、前記ソース低抵抗領域および前記ドレイン低抵抗領域のキャリア濃度は、前記ソース電極と前記ソース低抵抗領域との接続部分および前記ドレイン低抵抗領域と前記ドレイン電極との接続部分から前記第 1 チャネル領域へ向かうほど低くなっている。

[0009] ある実施形態において、前記基板の法線方向からみたとき、前記ソース低抵抗領域の端および前記ドレイン低抵抗領域の端の少なくとも一方は、前記第 1 ゲート電極の端と一致している。

- [0010] ある実施形態において、前記基板の法線方向からみたとき、前記ソース低抵抗領域の一部および前記ドレイン低抵抗領域の一部の少なくとも一方は、前記ゲート絶縁膜を介して前記第1ゲート電極と重なっている。
- [0011] ある実施形態において、前記第1ゲート電極の端と前記ソース低抵抗領域の端との距離、および前記第1ゲート電極の端と前記ドレイン低抵抗領域の端との距離の少なくとも一方は、 $0.2\mu\text{m}$ 以上 $2\mu\text{m}$ 以下である。
- [0012] ある実施形態において、前記ソース低抵抗領域および前記ドレイン低抵抗領域のうち前記第1チャネル領域側の端部分のキャリア濃度は、 10^{18}cm^{-3} 以上 10^{20}cm^{-3} 以下である。
- [0013] ある実施形態において、前記ソース電極は、前記ゲート絶縁膜に形成された第1コンタクトホール内で前記ソース低抵抗領域に接続され、前記ドレイン電極は、前記ゲート絶縁膜に形成された第2コンタクトホール内で前記ドレイン低抵抗領域に接続され、前記第1コンタクトホールと前記第1ゲート電極との距離と、前記第2コンタクトホールと前記第1ゲート電極との距離は、等しい。
- [0014] ある実施形態において、前記薄膜トランジスタは、前記酸化物半導体層に形成された、前記ソース領域と前記ドレイン領域との間に位置する中間半導体領域、および、前記中間半導体領域と前記ドレイン領域の間に位置する第2チャネル領域と、前記ゲート絶縁膜の上に形成され、前記第2チャネル領域と重なるように配置された第2ゲート電極と、前記酸化物半導体層上に形成された電極とをさらに有し、前記中間半導体領域は、前記第1ゲート電極および第2ゲート電極にゲート電圧が印加されていない場合において、前記第1チャネル領域および前記第2チャネル領域よりも抵抗の小さい低抵抗領域を有し、前記低抵抗領域は、前記電極に接続され、前記低抵抗領域のキャリア濃度は、前記電極との接続部分から前記第1チャネル領域へ向かうほど低くなり、かつ、前記電極との接続部分から前記第2チャネル領域へ向かうほど低くなっている。
- [0015] ある実施形態において、前記基板の法線方向からみたとき、前記ソース低

抵抗領域の端および前記低抵抗領域の端の少なくとも一方は、前記第 1 ゲート電極の端と一致している、または、前記低抵抗領域の端および前記ドレイン低抵抗領域の端の少なくとも一方は、前記第 2 ゲート電極の端と一致している。

[0016] ある実施形態において、前記基板の法線方向からみたとき、前記ソース低抵抗領域の一部および前記低抵抗領域の一部の少なくとも一方は、前記ゲート絶縁膜を介して前記第 1 ゲート電極と重なっている、または、前記ドレイン低抵抗領域の一部および前記低抵抗領域の一部の少なくとも一方は、前記ゲート絶縁膜を介して前記第 2 ゲート電極と重なっている。

[0017] ある実施形態において、前記ソース低抵抗領域の一部および前記低抵抗領域の一部の少なくとも一方は、前記ゲート絶縁膜を介して前記第 1 ゲート電極と重なっており、かつ、前記ドレイン低抵抗領域の一部および前記低抵抗領域の一部の少なくとも一方は、前記ゲート絶縁膜を介して前記第 2 ゲート電極と重なっている。

[0018] ある実施形態において、前記第 1 ゲート電極の端と前記低抵抗領域の端との距離、および前記第 2 ゲート電極の端と前記低抵抗領域の端との距離の少なくとも一方は、 $0.2\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下である。

[0019] ある実施形態において、前記低抵抗領域のうち前記第 1 チャネル領域側の端部分および前記第 2 チャネル領域側の端部分のキャリア濃度は、それぞれ 10^{18} cm^{-3} 以上 10^{20} cm^{-3} 以下である。

[0020] ある実施形態において、前記電極は、前記ゲート絶縁膜に形成された第 3 コンタクトホール内で前記中間半導体領域に接続され、前記第 1 ゲート電極と前記第 1 コンタクトホールとの距離、前記第 1 ゲート電極と前記第 3 コンタクトホールとの距離、前記第 2 ゲート電極と前記第 3 コンタクトホールとの距離、および前記第 2 ゲート電極と前記第 2 コンタクトホールとの距離は、互いに等しい。

[0021] ある実施形態において、前記ソース低抵抗領域、前記ドレイン低抵抗領域および前記低抵抗領域の少なくとも 1 つは、前記酸化物半導体層の前記基板

側の界面付近まで達している。

[0022] ある実施形態において、前記酸化物半導体層は In-Ga-Zn-O 系半導体を含む。

[0023] 本発明による半導体装置の製造方法は、（A）基板上に酸化物半導体層を形成する工程と、（B）前記酸化物半導体層上にゲート絶縁膜を形成する工程と、（C）前記ゲート絶縁膜の上に、第1ゲート電極を形成する工程と、（D）前記酸化物半導体層の上に、ソース電極および前記ソース電極と電氣的に分離されたドレイン電極を形成する工程と、（E）前記ソース電極および前記ドレイン電極に水素を付与する工程と、（F）アニール処理を行って、前記酸化物半導体層に前記ソース電極に含まれる水素を拡散させて、前記ソース電極に接するソース低抵抗領域と、前記酸化物半導体層に前記ドレイン電極に含まれる水素を拡散させて、前記ドレイン電極に接するドレイン低抵抗領域とを形成する工程を包含する。

[0024] ある実施形態において、前記工程（C）は、前記ゲート絶縁膜にコンタクトホールを形成する工程（C1）を含み、前記工程（C1）は、前記第1ゲート電極と前記コンタクトホールとをハーフトーン露光により形成する工程を包含する。

[0025] ある実施形態において、前記工程（C）は、前記基板上に第2ゲート電極をさらに形成する工程（C2）を含み、前記工程（D）は、前記第1ゲート電極と前記第2ゲート電極との間に電極をさらに形成する工程（D1）を含み、前記工程（E）は、前記電極に水素をさらに付与する工程（E1）を含み、前記工程（F）は、前記酸化物半導体層に前記電極に含まれる水素を拡散させて、前記電極に接する低抵抗領域をさらに形成する工程（F1）を含む。

[0026] ある実施形態において、前記酸化物半導体層は In-Ga-Zn-O 系半導体を含む。

[0027] ある実施形態において、前記アニール処理の温度は、 250°C 以上 400°C 以下である。

[0028] 本発明による他の実施形態における半導体装置の製造方法は、（Ａ）基板上に酸化物半導体層を形成する工程と、（Ｂ）前記酸化物半導体層上にゲート絶縁膜を形成する工程と、（Ｃ）前記ゲート絶縁膜の上に、第１ゲート電極を形成する工程と、（Ｄ）前記酸化物半導体層の上に、ソース電極および前記ソース電極と電氣的に分離されたドレイン電極を形成する工程と、（Ｅ）前記ソース電極および前記ドレイン電極上に水素を含む保護膜を形成する工程と、（Ｆ）アニール処理を行って、前記保護膜に含まれる水素を前記ソース電極または前記ドレイン電極を通過させ、前記酸化物半導体層に拡散させて、前記ソース電極に接するソース低抵抗領域と、前記ドレイン電極に接するドレイン低抵抗領域とを形成する工程を包含する。

発明の効果

[0029] 本発明の実施形態によると、特許文献１に開示されている酸化物半導体ＴＦＴの製造方法よりも製造工程数が削減された酸化物半導体ＴＦＴの製造方法、およびそのような製造方法で製造された酸化物半導体ＴＦＴが提供される。

図面の簡単な説明

[0030] [図１]（ａ）は、本発明による実施形態の半導体装置１００Ａの模式的な平面図であり、（ｂ）は、（ａ）のⅠ－Ⅰ'線に沿った半導体装置１００Ａの模式的な断面図である。

[図２]（ａ）は、ソース低抵抗領域１１ｓｘおよびドレイン低抵抗領域１１ｄｘを説明する模式的な断面図であり、（ｂ）は、（ａ）に示した長さ D_{sx} および D_{dx} の求め方を説明するグラフであり、（ｃ）は、（ｂ）の破線で囲んだ部分の線Ｔ２および線Ｔ３を拡大したグラフである。

[図３]（ａ）および（ｂ）は、それぞれ、半導体装置１００Ａの改変例の模式的な断面図である。

[図４]（ａ）～（ｅ）は、それぞれ、半導体装置１００Ａの製造方法の一例を説明するための工程断面図である。

[図５]（ａ）～（ｄ）は、それぞれ、半導体装置１００Ａの製造方法の一例を

説明するための工程断面図である。

[図6] (a) ~ (c) は、それぞれ、半導体装置 100A の製造方法の改変例を説明するための工程断面図である。

[図7] (a) ~ (d) は、それぞれ、半導体装置 100A の製造方法の改変例を説明するための工程断面図である。

[図8] (a) は、本発明による他の実施形態における半導体装置 100B の模式的な平面図であり、(b) は、(a) の I-I' 線に沿った半導体装置 100B の模式的な断面図である。

[図9] (a) および (b) は、それぞれ、半導体装置 100B の改変例の模式的な断面図である。

[図10] (a) ~ (d) は、それぞれ、半導体装置 100B の製造方法の一例を説明するための工程断面図である。

[図11] (a) ~ (c) は、それぞれ、半導体装置 100B の製造方法の一例を説明するための工程断面図である。

発明を実施するための形態

[0031] 以下、図面を参照しながら、本発明による半導体装置の実施形態を説明する。本実施形態の半導体装置は、酸化物半導体からなる活性層を有する薄膜トランジスタ（酸化物半導体 TFT）を備える。なお、本実施形態の半導体装置は、酸化物半導体 TFT を備えていればよく、アクティブマトリクス基板、各種表示装置、電子機器などを広く含む。

[0032] ここでは、酸化物半導体 TFT をスイッチング素子として備える TFT 基板を例に説明する。本実施形態の TFT 基板は、液晶表示装置に好適に用いられ得る。

[0033] 図 1 (a) は、本実施形態による半導体装置 100A の模式的な平面図であり、図 1 (b) は、半導体装置 100A の模式的な断面図である。図 3 (a) および図 3 (b) は、それぞれ半導体装置 100A の改変例の模式的な断面図である。

[0034] 本実施形態の半導体装置（TFT 基板）100A は、基板 1 と、基板 1 に

支持されたTFT10Aとを備える。TFT10Aは、例えばトップゲート型のTFTである。TFT10Aは、チャネル領域11cと、チャネル領域11cの両側のそれぞれに位置するソース領域11sおよびドレイン領域11dとを含む酸化物半導体層11を有する。さらに、TFT10Aは、酸化物半導体層11上に形成されたゲート絶縁膜15と、ゲート絶縁膜15の上に形成され、チャネル領域11cと重なるように配置されたゲート電極13とを有する。さらに、TFT10Aは、酸化物半導体層11上に形成された、ソース電極17およびドレイン電極18を有する。なお、基板1の上には絶縁膜5が形成されている。絶縁膜5は形成されない場合もある。

[0035] ソース領域11sは、ゲート電極13にゲート電圧（例えば、5V）が印加されていない場合において、チャネル領域11cよりも抵抗の小さいソース低抵抗領域11sxを有する。ドレイン領域11dは、ゲート電極13にゲート電圧（例えば、5V）が印加されていない場合において、チャネル領域11cよりも抵抗の小さいドレイン低抵抗領域11dxを有する。ソース低抵抗領域11sxは、ソース電極17に接続されている。ドレイン低抵抗領域11dxは、ドレイン電極18に接続されている。

[0036] ソース低抵抗領域11sxおよびドレイン低抵抗領域11dxのキャリア濃度は、ソース電極17とソース低抵抗領域11sxとの接続部分およびドレイン電極18とドレイン低抵抗領域11dxとの接続部分からチャネル領域11cへ向かうほど低くなっている。

[0037] 詳細は後述するが、酸化物半導体層11と接触するソース電極17およびドレイン電極18に含まれる水素が酸化物半導体層11の一部に拡散し、酸化物半導体層11に含まれる酸素を奪うことにより酸化物半導体層11の一部が還元される。このように、水素が拡散し、酸化物半導体層11に含まれる酸素が奪われた領域にソース低抵抗領域11sxおよびドレイン低抵抗領域11dxが形成される。なお、拡散した水素の濃度勾配により、上述したキャリアの濃度勾配が生じる。また、酸化物半導体層11のうち酸素が奪われず、水素も拡散していない領域は、高抵抗領域として残る。従って、ソー

ス低抵抗領域 11 s x およびドレイン低抵抗領域 11 d x に挟まれるように、ソース低抵抗領域 11 s x およびドレイン低抵抗領域 11 d x よりも抵抗の高いチャネル領域 11 c が形成される。

[0038] さらに、ソース電極 17 は、ゲート絶縁膜 15 に形成されたコンタクトホール 17 c 内でソース低抵抗領域 11 s x に接続され、ドレイン電極 18 は、ゲート絶縁膜 15 に形成されたコンタクトホール 18 c 内でドレイン低抵抗領域 11 d x に接続されている。コンタクトホール 17 c とゲート電極 13 との距離と、コンタクトホール 18 c とゲート電極 13 との距離は、等しいことが好ましい。このような構造を有すると、ゲート電極 13 とソース低抵抗領域 11 s x およびドレイン低抵抗領域 11 d x とがゲート絶縁膜 15 を介して重なるように形成され易くなる。その結果、TFT 10 A の電気的特性のばらつきを抑えることができる。また、詳細は後述するが、1 回のフォトリソグラフィでゲート電極 13 とコンタクトホール 17 c および 18 c とを形成できるという利点を得られる。

[0039] 図 1 (b) に示すように、基板 1 の法線方向からみたとき、ソース低抵抗領域 11 s x の一部およびドレイン低抵抗領域 11 d x の一部の少なくとも一方は、ゲート電極 13 と重なっている。また、チャネル領域 11 c のチャネル長 L_1 は、ゲート電極 13 のチャネル方向の長さ L_2 よりも小さい。また、ゲート電極 13 の下にあるソース低抵抗領域 11 s x の端 11 s a とゲート電極 13 のソース低抵抗領域 11 s x 側の端との距離 D_1 、および、ゲート電極 13 の下にあるドレイン低抵抗領域 11 d x の端 11 d a とゲート電極 13 のドレイン低抵抗領域 11 d x 側の端との距離 D_2 は、それぞれチャネル長 L_1 の 10% 以上 20% 以下が好ましい。距離 D_1 または D_2 は、 $0.2 \mu\text{m}$ 以上、 $2 \mu\text{m}$ 以下あることが好ましい。距離 D_1 および D_2 が上記のような範囲にあると、寄生抵抗が増大するのを防止できる。さらに、ゲート電極 13 に対する負荷容量が増大することを抑えるとともに、電流駆動力が増大するという利点を得られる。ここで、 $0.2 \mu\text{m}$ は、ソース低抵抗領域 11 s x およびドレイン低抵抗領域 11 d x を形成する水素の

拡散を制御できる限界値であり、 $2\mu\text{m}$ は、ゲート電極13の位置とコンタクトホール17cおよび18cのそれぞれの位置とのアライメントずれを考慮した値である。なお、ソース低抵抗領域11sxまたは／およびドレイン領域11dxは、酸化物半導体層11の基板1側の界面付近まで達していることが好ましい。ソース低抵抗領域11sxまたは／およびドレイン領域11dxが酸化物半導体層11の基板1側の界面付近まで達していると、TF T10Aの電気特性のばらつきを抑えることが出来る。

[0040] このように、ソース低抵抗領域11sxおよびドレイン低抵抗領域11dxを形成すると、良好なTF T特性を有するTF T10Aが製造される。さらに、詳細は後述するが、特許文献1に開示された酸化物半導体TF Tの製造方法よりも製造工程数が削減された製造方法でTF T10Aを形成し得る。

[0041] また、図1(b)に示したように、基板1の法線方向からみたとき、ソース低抵抗領域11sxの一部およびドレイン低抵抗領域11dxの一部が、ゲート絶縁膜15を介してゲート電極13と重なっているとき、ソース低抵抗領域11sxのうちソース電極17に接続されている部分からチャネル領域11c側の端11saまでの距離 D_{sx} およびドレイン低抵抗領域11dxのうちドレイン電極18に接続されている部分からチャネル領域11c側の端11daまでの距離 D_{dx} は、以下のように求めることができる。

[0042] 図2(a)は、距離 D_{sx} および D_{dx} の求め方を説明する模式的な断面図であり、図2(b)および図2(c)は、距離 D_{sx} および D_{dx} の求め方を説明するグラフである。

[0043] 図2(a)に示すように、基板1の法線方向からみたとき、ソース低抵抗領域11sxおよびドレイン低抵抗領域11dxの一部が、ゲート絶縁膜15を介してゲート電極13と重なっている。ソース低抵抗領域11sxのうちソース電極17に接続されている部分からチャネル領域11c側の端までの距離を距離 D_{sx} とし、ドレイン低抵抗領域11dxのうちドレイン電極18に接続されている部分からチャネル領域11c側の端までの距離を距離 D_{dx}

d_x とする。また、ソース電極17のうちソース低抵抗領域11s_xに接続されている部分からドレイン電極18のうちドレイン低抵抗領域11d_xに接続されている部分までの距離を距離 L_c とする。また、TFT10Aの電気的特性から算出されるチャネル領域11cのチャネル長を電氣的チャネル長 L_e とする。電氣的チャネル長 L_e は、公知の方法で算出されるので詳細な説明を省略する。また、距離 L_c とチャネル長 L_e との差を ΔL とする（ $\Delta L = L_c - L_e$ ）。このとき、距離 D_{sx} と距離 D_{dx} の和は、 ΔL である（ $\Delta L = D_{sx} + D_{dx}$ ）。さらに、距離 D_{sx} と距離 D_{dx} の大きさが等しい場合、 $\Delta L / 2 = D_{sx} = D_{dx}$ を満たす。

[0044] ゲート電極13およびソース電極17間の電圧を V_{gs} 、ドレイン電流を I_{meas} とすると、ソース電極17およびドレイン電極18間の抵抗値 R_{meas} は、 $R_{meas} = V_{gs} / I_{meas}$ を満たす。なお、 I_{meas} は、チャネル幅が1 μm あたりの電流である。つまり、 I_{meas} は、ソース電極17およびドレイン電極18間を流れる全電流をチャネル幅で割った値である。抵抗値 R_{meas} のうち電氣的チャネル長 L_e が規定されるチャネル領域の抵抗値を除いた抵抗値 R_{ext} は、上述した ΔL を規定する領域の抵抗値と、ソース低抵抗領域11s_xおよびドレイン低抵抗領域11d_xのうちソース電極17およびドレイン電極18に接続されているそれぞれの部分の抵抗値とを含む。ソース低抵抗領域11s_xおよびドレイン低抵抗領域11d_xのうちソース電極17およびドレイン電極18に接続されているそれぞれの部分の抵抗値は、非常に小さい（特許文献2参照）。従って、抵抗値 R_{ext} は、実質的に上述した ΔL を規定する領域の抵抗値である。

[0045] 上記 ΔL および抵抗値 R_{ext} は、ゲート電圧を変えたときのソース電極17およびドレイン電極18間の距離 L_c と、ソース電極17およびドレイン電極18間の抵抗値 R_{meas} との関係を表すグラフから、求めることができる。

[0046] 図2（b）は、図2（a）に示したTFT10Aのゲート電極13にそれぞれ電圧10V、15Vおよび20Vを印加したときの距離 L_c （横軸）と

抵抗値 R_{meas} （縦軸）との関係を説明するグラフである。図 2（c）は、図 2（b）の破線で囲んだ部分を拡大したグラフである。なお、図 2（c）において、線 T1 を省略している。図 2（b）および図 2（c）に示す、線 T1 は、ゲート電極 13 およびソース電極 17 間の電圧 V_{gs} が 10 V（ $V_{gs} = 10\text{ V}$ ）のときの距離 L_c と抵抗値 R_{meas} との関係を示し、線 T2 は、ゲート電極 13 およびソース電極 17 間の電圧 V_{gs} が 15 V（ $V_{gs} = 15\text{ V}$ ）のときの距離 L_c と抵抗値 R_{meas} との関係を示し、線 T3 は、ゲート電極 13 およびソース電極 17 間の電圧 V_{gs} が 20 V（ $V_{gs} = 20\text{ V}$ ）のときの距離 L_c と抵抗値 R_{meas} との関係を示す。

[0047] 図 2（c）に示すように、例えば線 T2 と線 T3 との交点の横軸の座標が、上述の長さ ΔL を表し、例えば線 T2 と線 T3 との交点の縦軸の座標が、上述の抵抗値 R_{ext} を表す。このようにして、長さ ΔL および抵抗値 R_{ext} を求めることができる。

[0048] また、図 3（a）に示すように、ソース低抵抗領域 11sx およびドレイン低抵抗領域 11dx が部分的にゲート電極 13 と重なっていてもよい。この場合、ソース低抵抗領域 11sx の端およびドレイン低抵抗領域 11dx の端の少なくとも一方とゲート電極 13 の端との距離 D_s が $0\text{ }\mu\text{m}$ 超 $0.5\text{ }\mu\text{m}$ 以下（ $0\text{ }\mu\text{m} < D_s \leq 0.5\text{ }\mu\text{m}$ ）となるようにソース低抵抗領域 11sx または／およびドレイン低抵抗領域 11dx を形成することが好ましい。

[0049] さらに、図 3（b）に示すように、基板 1 の法線方向からみたとき、ソース低抵抗領域 11sx の端およびドレイン低抵抗領域 11dx の端の少なくとも一方が、ゲート電極 13 の端と一致するように、ソース低抵抗領域 11sx または／およびドレイン低抵抗領域 11dx を形成してもよい。このようにソース低抵抗領域 11sx または／およびドレイン低抵抗領域 11dx を形成すると、ゲート電極 13 に対して負荷容量が増大しないという利点が得られる。

[0050] さらに、ソース低抵抗領域 11sx およびドレイン低抵抗領域 11dx の

うちチャネル領域 11c 側の端部分のキャリア濃度は、 10^{18} cm^{-3} 以上 10^{20} cm^{-3} 以下であることが好ましい。キャリア濃度がこのような範囲にあると、TFTの寄生抵抗が抑制され、ソース低抵抗領域 11sx およびド레인低抵抗領域 11dx がチャネル領域 11c 付近まで伸びるのを防ぎ、ソース低抵抗領域 11sx とド레인低抵抗領域 11dx との間に生じる寄生容量を削減できる。

[0051] 半導体装置 100A は、ゲート電極 13 を覆うように形成された層間絶縁膜 16 と、ソース電極 17 およびド레인電極 18 を覆うように形成された保護膜 19 とを有する。

[0052] 絶縁膜 5、ゲート絶縁膜 15、層間絶縁膜 16 および保護膜 19 は、例えば SiO_2 (二酸化シリコン) から形成されている。絶縁膜 5 の厚さは、例えば約 100 nm である。ゲート絶縁膜 15 の厚さは、例えば約 250 nm である。層間絶縁膜 16、および保護膜 19 の厚さは、それぞれ例えば約 1000 nm である。絶縁膜 5、ゲート絶縁膜 15、層間絶縁膜 16 および保護膜 19 は、例えば SiN_x (窒化シリコン) から形成される場合もあり、 SiN_x および SiO_2 から形成される場合もある。

[0053] 酸化物半導体層 11 は、例えば In-Ga-Zn-O (IGZO) 系半導体を含む。 In 、 Ga 、および Zn の元素比は、例えば $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ である。なお、 In 、 Ga および Zn の元素比はこれに限定されない。IGZO 系の代わりに、他の酸化物半導体膜を用いて酸化物半導体層 11 を形成してもよい。例えば Zn-O 系半導体 (ZnO) 膜、 In-Zn-O 系半導体 (IZO) 膜、 Zn-Ti-O 系半導体 (ZTO) 膜、 Cd-Ge-O 系半導体膜、 Cd-Pb-O 系半導体膜などを用いてもよい。酸化物半導体膜として、アモルファス酸化物半導体膜を用いることが好ましい。低温で製造でき、かつ、高い移動度を実現できるからである。酸化物半導体層 11 の厚さは、例えば約 40 nm である。

[0054] ゲート電極 13 は、例えば、下層が Ti 層で、中層が Al (アルミニウム) 層で、上層が Ti 層 ($\text{Ti}/\text{Al}/\text{Ti}$) である積層構造を有する。ゲー

ト電極 13 は、この他、Ti、Mo、Ta（タンタル）、W（タングステン）、Cu（銅）などからなる単層構造または積層構造を有してもよく、これらの金属の合金を含んでもよい。ゲート電極 13 の厚さは、例えば約 400 nm である。

[0055] ソース電極 17 およびドレイン電極 18 は、例えば、下層が Ti 層で、中層が Al 層で、上層が Ti 層（Ti/Al/Ti）である積層構造を有する。ソース電極 17 およびドレイン電極 18 のうちの酸化物半導体層 11 と接触する部分（下層）は、Ti、Mo、Sn（スズ）、Zn（亜鉛）などを含むことが好ましい。これらの元素は、酸化物半導体層 11 を還元させる効果を有する。ソース電極 17 およびドレイン電極 18 の厚さは、例えば約 500 nm である。

[0056] 次に、図 4 および図 5 を参照しながら本発明による実施形態における半導体装置 100A の製造方法を説明する。図 4（a）～図 4（e）、および図 5（a）～図 5（d）は、それぞれ半導体装置 100A の製造方法を説明する断面図である。

[0057] まず、図 4（a）に示すように、基板（例えば、ガラス基板）1 上に、公知の方法で絶縁膜 5 を形成する。次に、絶縁膜 5 上に、酸化物半導体層 11 をスパッタ法にて形成する。

[0058] 酸化物半導体層 11 は、In-Ga-Zn-O（IGZO）系半導体を含み、In、Ga および Zn の元素比は、例えば In : Ga : Zn = 1 : 1 : 1 である。なお、In、Ga および Zn の元素比はこれに限定されない。

[0059] 次に、図 4（b）に示すように、酸化物半導体層 11 を覆うように、ゲート絶縁膜 15 を公知の方法で形成する。

[0060] 次に、図 4（c）に示すように、ゲート絶縁膜 15 上に、ゲート電極 13 および補助容量電極 13cs をそれぞれ公知の方法で形成する。ゲート電極 13 は酸化物半導体層 11 上に形成される。補助容量電極 13cs は、ゲート電極 13 を形成する導電膜と同一の導電膜から形成される。なお、補助容量電極 13cs は、形成されない場合もある。

[0061] 次に、図4（d）に示すように、ゲート電極13を覆うように層間絶縁膜16を公知の方法により形成する。

[0062] 次に、図4（e）に示すように、酸化物半導体層11上のゲート絶縁膜15および層間絶縁膜16にコンタクトホールを形成した後、ソース電極17およびドレイン電極18をスパッタ法にて形成し、酸化物半導体層11とソース電極17およびドレイン電極18と酸化物半導体層11とを接触させる。ソース電極17およびドレイン電極18は、それぞれ、例えばTi／Al／Ti層からなる積層構造を有する。また、ソース電極17およびドレイン電極18のうちの酸化物半導体層11と接触する部分は、例えばTiを有する。上述したように、ソース電極17およびドレイン電極18のうちの酸化物半導体層11と接触する部分は、例えばMoを有してもよい。ドレイン電極18は、補助容量電極13csを覆うように形成される。

[0063] 次に、図5（a）に示すように、ソース電極17およびドレイン電極18を覆うように保護膜19を公知の方法（例えば、CVD（Chemical Vapor Deposition）法）で形成する。例えば、CVD法で保護膜19を成膜する際に行われる水素プラズマ処理により、ソース電極17およびドレイン電極18に水素が付与される。このように形成された保護膜19には、水素が含まれる場合もある。

[0064] 次に、図5（b）に示すように、保護膜19の上に、感光性の有機絶縁膜21を公知の方法で形成する。感光性の有機絶縁膜21の厚さは、例えば約2.5μmである。感光性の有機絶縁膜21は、形成されない場合もある。

[0065] 次に、図5（c）に示すように、ゲート電極13と補助容量電極13csの間に位置する保護膜19および感光性の有機絶縁膜21にコンタクトホール23を公知の方法で形成する。その後、250℃以上400℃以下（より好ましくは、300℃以上350℃以下）の温度でアニール処理を行う。アニール処理温度が250℃未満だと、TFTのしきい値電圧がばらつく可能性があり、400℃超だと、チャネル長L1がばらつき、TFTの特性がばらつく可能性がある。

[0066] このようなアニール処理によって、ソース電極 17 およびドレイン電極 18 に含まれる水素が酸化物半導体層 11 のチャネル長 L_1 と平行な方向に拡散する。また、保護膜 19 形成後のアニール処理により、保護膜 19 に含まれる水素がソース電極 17 またはドレイン電極 18 を通って、酸化物半導体層 11 に拡散する場合もある。拡散した水素が、酸化物半導体層 11 に含まれる、例えば I G Z O 系半導体と結合したり、酸化物半導体層 11 に含まれる酸素と結合し O H 基として離脱することにより、酸素空孔が生じる。その結果、酸化物半導体層 11 の一部でキャリア濃度が高くなりソース低抵抗領域 11 s x およびドレイン低抵抗領域 11 d x が形成される。また、水素の拡散により、ソース低抵抗領域 11 s x または / およびドレイン領域 11 d x が、酸化物半導体層 11 の基板 1 側の界面付近まで達することもある。さらに、ソース電極 17 およびドレイン電極 18 に含まれる金属（例えば、T i（チタン））と例えば I G Z O 系半導体との酸化還元反応により、ソース低抵抗領域 11 s x およびドレイン低抵抗領域 11 d x が形成される場合もある。

[0067] アニール処理時間は、特に限定されるものではないが、0.5 時間（30 分）以上 3 時間以下が好ましく、1 時間以上 2 時間以下がより好ましい。0.5 時間未満だと、T F T のしきい値電圧がばらつく可能性があり、3 時間超だと、製造効率が悪い。

[0068] 例えば、アニール処理条件を 300℃、1 時間とした場合、ソース低抵抗領域 11 s x およびドレイン低抵抗領域 11 d x のうちソース電極 17 およびドレイン電極 18 と接触している部分からチャネル領域 11 c 側の端部分までの長さは、それぞれ約 2 μ m である。

[0069] アニール処理の際に拡散される水素は、例えば、C V D 法で保護膜 19 を成膜する際に行われる水素プラズマ処理により、ソース電極およびドレイン電極に付与される。

[0070] 次に、図 5（d）に示すように、コンタクトホール 23 を介してドレイン電極 18 に電氣的に接続されるように透明電極 25 を公知の方法で形成する

。透明電極 25 は、例えば ITO (Indium Tin Oxide) から形成される。透明電極 25 の厚さは、例えば約 100 nm である。

[0071] このような製造方法により、半導体装置 100A は製造される。

[0072] また、上述した半導体装置 100A の製造方法は以下に説明する製造方法に改変できる。

[0073] 図 6 (a) ~ 図 6 (c) および図 7 (a) ~ 図 7 (d) は、それぞれ半導体装置 100A の製造方法の改変例を説明する模式的な断面図である。なお、図 6 および図 7 において、半導体装置 100A に形成される補助容量電極 13cs の製造方法についての説明を省略する。

[0074] 上述したように、基板（例えば、ガラス基板）1 上に、公知の方法で絶縁膜 5 を形成し、絶縁膜 5 上に、酸化物半導体層 11 をスパッタ法にて形成する。その後、酸化物半導体層 11 上に公知の方法でゲート絶縁膜 15 を形成する。

[0075] 次に、図 6 (a) に示すように、ゲート絶縁膜 15 上に、公知の方法で、ゲート電極 13 を形成する導電膜 13a を形成する。

[0076] 次に、導電膜 13a 上に、ハーフトーン露光法で、レジスト膜 R1 を形成する。レジスト膜 R1 のうち後述するコンタクトホール 17c および 18c を形成する部分は開口されるように形成され、後述するゲート電極 13 を形成する部分の厚さが、他の部分よりも厚くなるようにレジスト膜 R1 は形成される。

[0077] 次に、図 6 (b) に示すように、公知の方法で、ゲート絶縁膜 15 にコンタクトホール 17c および 18c を形成する。

[0078] 次に、図 6 (c) に示すように、アッシング処理を行い、レジスト膜 R1 の一部を剥離する。この処理により、ゲート電極 13 を形成する部分のレジスト膜 R1 が残存する。

[0079] 次に、図 7 (a) に示すように、導電膜 13a を公知の方法でエッチングし、ゲート電極 13 を形成する。

[0080] 次に、図 7 (b) に示すように、ゲート電極 13 上に、層間絶縁膜 16 を

公知の方法で形成する。

[0081] 次に、図7(c)に示すように、公知の方法で、層間絶縁膜16にコンタクトホール17cおよび18cを形成する。

[0082] 次に、図7(d)に示すように、公知の方法で、酸化物半導体層11とコンタクトホール17cおよび18c内で接するように、ソース電極17およびドレイン電極18を形成する。

[0083] その後、図5(a)～図5(d)に示したような、製造工程を経て、半導体装置100Aは製造される。

[0084] このような方法で半導体装置100Aを製造すると、ゲート電極13とコンタクトホール17cとの距離と、ゲート電極13とコンタクトホール18cとの距離が等しい半導体装置100Aが得られる。このような製造方法で製造された半導体装置100Aは、各コンタクトホール17cおよび18cとゲート電極13とのアライメントずれが生じないので、ゲート電極13とソース低抵抗領域11sxおよびドレイン低抵抗領域11dxとがゲート絶縁膜15を介して重なるように形成され易くなる。その結果、TFET10Aの電気的特性のばらつきを抑制できる。

[0085] 次に、図8を参照しながら、本発明による他の実施形態における半導体装置100Bを説明する。図8(a)は、半導体装置100Bの模式的な平面図であり、図8(b)は、半導体装置100Bの模式的な断面図である。なお、半導体装置100Aと共通する構成要素は同じ参照符号を付し、説明の重複を避ける。

[0086] 図8(a)および図8(b)に示すように、半導体装置100Bは、基板1と、基板1に支持されたTFET10Bを有する。TFET10Bは、いわゆるダブルゲート構造を有する。TFET10Bは、TFET10Aと異なり、ゲート電極13および13'、およびチャネル領域11cおよび11c'をそれぞれ2つ有する。さらに、TFET10Bは、ゲート電極13およびゲート電極13'の間に中間電極27を有する。TFET10Bの酸化物半導体層11は、ソース領域11sとドレイン領域11dとの間に中間半導体領域11

eを有する。チャネル領域11cは、ソース領域11sと中間半導体領域11eとの間に位置する。チャネル領域11c'は、中間半導体領域11eとドレイン領域11dとの間に位置する。中間電極27は、酸化物半導体層11上に形成されている。

[0087] 中間半導体領域11eは、ゲート電極13および13'にゲート電圧（例えば、5V）が印加されていない場合において、チャネル領域11cおよび11c'よりも抵抗の小さい低抵抗領域11exを有する。低抵抗領域11exは、中間電極27に接続されている。

[0088] 低抵抗領域11exのキャリア濃度は、中間電極27との接続部分からチャネル領域11cへ向かうほど低くなり、かつ、中間電極27との接続部分からチャネル領域11c'へ向かうほど低くなっている。なお、中間電極27の形成により、低抵抗領域11exが形成される。

[0089] 基板の法線方向からみたとき、ソース低抵抗領域11sxの一部および低抵抗領域11exの一部の少なくとも一方は、ゲート電極13と重なっている、または／および、ドレイン低抵抗領域11dxの一部および低抵抗領域11exの一部の少なくとも一方は、ゲート電極13'と重なっている。また、チャネル領域11cのチャネル長L1は、ゲート電極13のチャネル方向の長さL2よりも小さい。チャネル領域11c'のチャネル長L1'は、ゲート電極13'のチャネル方向の長さL2'よりも小さい。さらに、ゲート電極13の下にあるソース低抵抗領域11sxの端11saとゲート電極13のソース低抵抗領域11sx側の端との距離D1、および、ゲート電極13の下にある低抵抗領域11exの端11raとゲート電極13のソース低抵抗領域11sx側の端との距離D3は、それぞれチャネル長L1の10%以上20%以下が好ましい。同様に、ゲート電極13の下にあるドレイン低抵抗領域11dxの端11daとゲート電極13のドレイン低抵抗領域11dx側の端との距離D2、および、ゲート電極13'の下にある低抵抗領域11exの端11rbとゲート電極13の低抵抗領域11ex側の端との距離D4は、それぞれチャネル長L1'の10%以上20%以下が好ましい。

。距離D 1または／およびD 3は、0. 2 μ m以上、2 μ m以下が好ましい。距離D 2または／およびD 4は、それぞれ0. 2 μ m以上、2 μ m以下が好ましい。距離D 1、D 2、D 3およびD 4が上記のような範囲にあると、寄生抵抗が増大するのを防止できる。さらに、ゲート電極1 3および1 3'に対する負荷容量が増大することを抑えとともに、電流駆動力が増大するという利点を得られる。このように、ソース低抵抗領域1 1 s x、ドレイン低抵抗領域1 1 d x、および低抵抗領域1 1 e xを形成すると、良好なT F T特性を有するT F T 1 0 Bが製造できる。さらに、詳細は後述するが、特許文献1に開示された酸化物半導体T F Tの製造方法よりも製造工程数が削減された製造方法でT F T 1 0 Bを形成でき得る。

[0090] また、図9 (a)に示すように、ソース低抵抗領域1 1 s x、ドレイン低抵抗領域1 1 d xおよび低抵抗領域1 1 e xがそれぞれ、対応するゲート電極1 3および1 3'と部分的に重なっていてもよい。この場合、ソース低抵抗領域1 1 s xの端、ドレイン低抵抗領域1 1 d xの端、および低抵抗領域1 1 e xの端の少なくとも1つと対応するゲート電極1 3および1 3'の端との距離D s'が0 μ m超0. 5 μ m以下(0 μ m < D s' $\leq$ 0. 5 μ m)となるようにソース低抵抗領域1 1 s x、ドレイン低抵抗領域1 1 d xまたは／および低抵抗領域1 1 e xを形成してもよい。

[0091] さらに、図9 (b)に示すように、基板1の法線方向からみたとき、ソース低抵抗領域1 1 s xの端、ドレイン低抵抗領域1 1 d xの端および低抵抗領域1 1 e xの端の少なくとも1つが、対応するゲート電極1 3および1 3'の端と一致するように、ソース低抵抗領域1 1 s x、ドレイン低抵抗領域1 1 d xまたは／および低抵抗領域1 1 e xを形成してもよい。このようにソース低抵抗領域1 1 s xまたは／およびドレイン低抵抗領域1 1 d xを形成すると、ゲート電極1 3および1 3'に対する負荷容量が増大しないという利点を得られる。

[0092] 中間電極2 7は、例えば、下層がT i層で、中層がA l層で、上層がT i層(T i / A l / T i)である積層構造を有する。ソース電極1 7およびド

レイン電極 18 のうちの酸化物半導体層 11 と接触する部分（下層）は、Ti、Mo、Sn（スズ）、Zn（亜鉛）などを含むことが好ましい。これらの元素は、酸化物半導体層 11 を還元させる効果を有する。中間電極 27 の厚さは、例えば約 500 nm である。

[0093] 次に、図 10 および図 11 を参照しながら本発明による実施形態における半導体装置 100B の製造方法を説明する。図 10（a）～図 10（d）、および図 11（a）～図 11（c）は、それぞれ半導体装置 100B の製造方法を説明する断面図である。なお、半導体装置 100B も半導体装置 100A と同様に補助容量電極 13cs が形成されるが、以下に説明する半導体装置 100B の製造方法においては補助容量電極 13cs の説明を省略する。

[0094] 上述したように、基板（例えば、ガラス基板）1 上に、公知の方法で絶縁膜 5 を形成する。次に、絶縁膜 5 上に、酸化物半導体層 11 をスパッタ法にて形成する。

[0095] 酸化物半導体層 11 は、In-Ga-Zn-O（IGZO）系半導体を含み、In、Ga および Zn の元素比は、例えば In : Ga : Zn = 1 : 1 : 1 である。なお、In、Ga および Zn の元素比はこれに限定されない。

[0096] 次に、酸化物半導体層 11 を覆うように、ゲート絶縁膜 15 を公知の方法で形成する。

[0097] 次に、図 10（a）に示すように、ゲート絶縁膜 15 上に、ゲート電極 13 および 13' をそれぞれ公知の方法で形成する。ゲート電極 13 および 13' はそれぞれ、酸化物半導体層 11 上に形成される。ゲート電極 13 およびゲート電極 13' はそれぞれ同一の導電膜から形成される。

[0098] 次に、図 10（b）に示すように、ゲート電極 13 および 13' を覆うように層間絶縁膜 16 を公知の方法により形成する。

[0099] 次に、図 10（c）に示すように、酸化物半導体層 11 上のゲート絶縁膜 15 および層間絶縁膜 16 にコンタクトホールを形成させた後、ソース電極 17、ドレイン電極 18、および中間電極 27 をスパッタ法にて形成し、ソ

ース電極 17、ドレイン電極 18、および中間電極 27 と酸化物半導体層 11 とを接触させる。ソース電極 17、ドレイン電極 18、および中間電極 27 は、それぞれ、例えば Ti / Al / Ti 層からなる積層構造を有する。また、ソース電極 17、ドレイン電極 18、および中間電極 27 のうちの酸化物半導体層 11 と接触する部分は、それぞれ例えば Ti を有する。上述したように、ソース電極 17、ドレイン電極 18 および中間電極 27 のうちの酸化物半導体層 11 と接触する部分は、それぞれ例えば Mo を有してもよい。中間電極 27 は、ソース電極 17 とドレイン電極 18 との間に形成される。

[0100] 次に、図 10 (d) に示すように、ソース電極 17、ドレイン電極 18 および中間電極 27 を覆うように保護膜 19 を公知の方法で形成する。

[0101] 次に、図 11 (a) に示すように、保護膜 19 の上に、感光性の有機絶縁膜 21 を公知の方法で形成する。感光性の有機絶縁膜 21 の厚さは、例えば約 2.5 μm である。感光性の有機絶縁膜 21 は、形成されない場合もある。

[0102] 次に、図 11 (b) に示すように、ゲート電極 13 と補助容量電極 13c (不図示) の間に位置する保護膜 19 と感光性の有機絶縁膜 21 にコンタクトホール 23 を公知の方法で形成する。その後、上述した条件でアニール処理を行う。これにより、ソース低抵抗領域 11sx、ドレイン低抵抗領域 11dx および低抵抗領域 11ex が形成される。

[0103] 次に、図 11 (c) に示すように、コンタクトホール 23 を介してドレイン電極 18 に電氣的に接続されるように透明電極 25 を公知の方法で形成する。透明電極 25 は、例えば ITO から形成される。透明電極 25 の厚さは、例えば約 100 nm である。

[0104] このような製造方法により、半導体装置 100B は製造される。

[0105] 本発明の実施形態により、特許文献 1 に開示された酸化物半導体 TFT の製造方法よりも製造工程数が削減された酸化物半導体 TFT の製造方法、およびそのような製造方法で製造され得る酸化物半導体 TFT が提供される。

産業上の利用可能性

[0106] 本発明の実施形態は、アクティブマトリクス基板等の回路基板、液晶表示装置、有機エレクトロルミネセンス（ＥＬ）表示装置および無機エレクトロルミネセンス表示装置等の表示装置、イメージセンサー装置等の撮像装置、画像入力装置や指紋読み取り装置等の電子装置などの薄膜トランジスタを備えた装置に広く適用できる。特に、大型の液晶表示装置等に好適に適用され得る。

符号の説明

[0107]	1	基板
	5	絶縁膜
	10	薄膜トランジスタ（ＴＦＴ）
	11	酸化物半導体層
	11s	ソース領域
	11sx	ソース低抵抗領域
	11d	ドレイン領域
	11dx	ドレイン低抵抗領域
	11c	チャネル領域
	11sa	ソース領域の端
	11da	ドレイン領域の端
	13	ゲート電極
	15	ゲート絶縁膜
	16	層間絶縁膜
	17	ソース電極
	18	ドレイン電極
	17c、18c	コンタクトホール
	19	保護膜
	100A	半導体装置
	L1、L2	長さ
	D1、D2	距離

請求の範囲

- [請求項1] 基板と、前記基板に支持された薄膜トランジスタとを備えた半導体装置であって、
- 前記薄膜トランジスタは、
- 第1チャネル領域と、前記第1チャネル領域の両側のそれぞれに位置するソース領域およびドレイン領域とを有する酸化物半導体層と、
- 、
- 前記酸化物半導体層の上に形成された、ゲート絶縁膜、ソース電極およびドレイン電極と、
- 前記ゲート絶縁膜の上に形成され、前記第1チャネル領域と重なるように配置された第1ゲート電極とを有し、
- 前記ソース領域は、前記第1ゲート電極にゲート電圧が印加されていない場合において、前記第1チャネル領域よりも抵抗の小さいソース低抵抗領域を有し、
- 前記ドレイン領域は、前記第1ゲート電極にゲート電圧が印加されていない場合において、前記第1チャネル領域よりも抵抗の小さいドレイン低抵抗領域を有し、
- 前記ソース低抵抗領域は、前記ソース電極に接続され、前記ドレイン低抵抗領域は、前記ドレイン電極に接続され、
- 前記ソース低抵抗領域および前記ドレイン低抵抗領域のキャリア濃度は、前記ソース電極と前記ソース低抵抗領域との接続部分および前記ドレイン低抵抗領域と前記ドレイン電極との接続部分から前記第1チャネル領域へ向かうほど低くなっている、半導体装置。
- [請求項2] 前記基板の法線方向からみたとき、前記ソース低抵抗領域の端および前記ドレイン低抵抗領域の端の少なくとも一方は、前記第1ゲート電極の端と一致している、請求項1に記載の半導体装置。
- [請求項3] 前記基板の法線方向からみたとき、前記ソース低抵抗領域の一部および前記ドレイン低抵抗領域の一部の少なくとも一方は、前記ゲート

絶縁膜を介して前記第1ゲート電極と重なっている、請求項1に記載の半導体装置。

[請求項4] 前記第1ゲート電極の端と前記ソース低抵抗領域の端との距離、および前記第1ゲート電極の端と前記ドレイン低抵抗領域の端との距離の少なくとも一方は、 $0.2\mu\text{m}$ 以上 $2\mu\text{m}$ 以下である、請求項3に記載の半導体装置。

[請求項5] 前記ソース低抵抗領域および前記ドレイン低抵抗領域のうち前記第1チャネル領域側の端部分のキャリア濃度は、 10^{18}cm^{-3} 以上 10^{20}cm^{-3} 以下である、請求項1から4のいずれかに記載の半導体装置。

[請求項6] 前記ソース電極は、前記ゲート絶縁膜に形成された第1コンタクトホール内で前記ソース低抵抗領域に接続され、
前記ドレイン電極は、前記ゲート絶縁膜に形成された第2コンタクトホール内で前記ドレイン低抵抗領域に接続され、
前記第1コンタクトホールと前記第1ゲート電極との距離と、前記第2コンタクトホールと前記第1ゲート電極との距離は、等しい、請求項1から5のいずれかに記載の半導体装置。

[請求項7] 前記薄膜トランジスタは、
前記酸化物半導体層に形成された、前記ソース領域と前記ドレイン領域との間に位置する中間半導体領域、および、前記中間半導体領域と前記ドレイン領域の間に位置する第2チャネル領域と、
前記ゲート絶縁膜の上に形成され、前記第2チャネル領域と重なるように配置された第2ゲート電極と、
前記酸化物半導体層上に形成された電極とをさらに有し、
前記中間半導体領域は、前記第1ゲート電極および第2ゲート電極にゲート電圧が印加されていない場合において、前記第1チャネル領域および前記第2チャネル領域よりも抵抗の小さい低抵抗領域を有し、
前記低抵抗領域は、前記電極に接続され、

前記低抵抗領域のキャリア濃度は、前記電極との接続部分から前記第1チャネル領域へ向かうほど低くなり、かつ、前記電極との接続部分から前記第2チャネル領域へ向かうほど低くなっている、請求項1から6のいずれかに記載の半導体装置。

[請求項8] 前記基板の法線方向からみたとき、前記ソース低抵抗領域の端および前記低抵抗領域の端の少なくとも一方は、前記第1ゲート電極の端と一致している、または、前記低抵抗領域の端および前記ドレイン低抵抗領域の端の少なくとも一方は、前記第2ゲート電極の端と一致している、請求項7に記載の半導体装置。

[請求項9] 前記基板の法線方向からみたとき、前記ソース低抵抗領域の一部および前記低抵抗領域の一部の少なくとも一方は、前記ゲート絶縁膜を介して前記第1ゲート電極と重なっている、または、前記ドレイン低抵抗領域の一部および前記低抵抗領域の一部の少なくとも一方は、前記ゲート絶縁膜を介して前記第2ゲート電極と重なっている、請求項7に記載の半導体装置。

[請求項10] 前記ソース低抵抗領域の一部および前記低抵抗領域の一部の少なくとも一方は、前記ゲート絶縁膜を介して前記第1ゲート電極と重なっている、かつ、前記ドレイン低抵抗領域の一部および前記低抵抗領域の一部の少なくとも一方は、前記ゲート絶縁膜を介して前記第2ゲート電極と重なっている、請求項9に記載の半導体装置。

[請求項11] 前記第1ゲート電極の端と前記低抵抗領域の端との距離、および前記第2ゲート電極の端と前記低抵抗領域の端との距離の少なくとも一方は、 $0.2\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下である、請求項9または10に記載の半導体装置。

[請求項12] 前記低抵抗領域のうち前記第1チャネル領域側の端部分および前記第2チャネル領域側の端部分のキャリア濃度は、それぞれ 10^{18} cm^{-3} 以上 10^{20} cm^{-3} 以下である、請求項7から11のいずれかに記載の半導体装置。

[請求項13] 前記電極は、前記ゲート絶縁膜に形成された第3コンタクトホール内で前記中間半導体領域に接続され、

前記第1ゲート電極と前記第1コンタクトホールとの距離、前記第1ゲート電極と前記第3コンタクトホールとの距離、前記第2ゲート電極と前記第3コンタクトホールとの距離、および前記第2ゲート電極と前記第2コンタクトホールとの距離は、互いに等しい、請求項7から12のいずれかに記載の半導体装置。

[請求項14] 前記ソース低抵抗領域、前記ドレイン低抵抗領域および前記低抵抗領域の少なくとも1つは、前記酸化物半導体層の前記基板側の界面付近まで達している、請求項1から13のいずれかに記載の半導体装置。

[請求項15] 前記酸化物半導体層は In-Ga-Zn-O 系半導体を含む、請求項1から14のいずれかに記載の半導体装置。

[請求項16] (A) 基板上に酸化物半導体層を形成する工程と、
(B) 前記酸化物半導体層上にゲート絶縁膜を形成する工程と、
(C) 前記ゲート絶縁膜の上に、第1ゲート電極を形成する工程と、
(D) 前記酸化物半導体層の上に、ソース電極および前記ソース電極と電氣的に分離されたドレイン電極を形成する工程と、
(E) 前記ソース電極および前記ドレイン電極に水素を付与する工程と、
(F) アニール処理を行って、前記酸化物半導体層に前記ソース電極に含まれる水素を拡散させて、前記ソース電極に接するソース低抵抗領域と、前記酸化物半導体層に前記ドレイン電極に含まれる水素を拡散させて、前記ドレイン電極に接するドレイン低抵抗領域とを形成する工程を包含する、半導体装置の製造方法。

[請求項17] 前記工程(C)は、前記ゲート絶縁膜にコンタクトホールを形成する工程(C1)を含み、

前記工程（C 1）は、前記第 1 ゲート電極と前記コンタクトホールとをハーフトーン露光により形成する工程を包含する、請求項 1 6 に記載の半導体装置の製造方法。

[請求項18] 前記工程（C）は、前記基板上に第 2 ゲート電極をさらに形成する工程（C 2）を含み、

前記工程（D）は、前記第 1 ゲート電極と前記第 2 ゲート電極との間に電極をさらに形成する工程（D 1）を含み、

前記工程（E）は、前記電極に水素をさらに付与する工程（E 1）を含み、

前記工程（F）は、前記酸化物半導体層に前記電極に含まれる水素を拡散させて、前記電極に接する低抵抗領域をさらに形成する工程（F 1）を含む、請求項 1 6 または 1 7 に記載の半導体装置の製造方法。

[請求項19] 前記酸化物半導体層は In-Ga-Zn-O 系半導体を含む、請求項 1 6 から 1 8 のいずれかに記載の半導体装置の製造方法。

[請求項20] 前記アニール処理の温度は、 250°C 以上 400°C 以下である、請求項 1 6 から 1 9 のいずれかに記載の半導体装置の製造方法。

[請求項21] （A）基板上に酸化物半導体層を形成する工程と、
（B）前記酸化物半導体層上にゲート絶縁膜を形成する工程と、
（C）前記ゲート絶縁膜の上に、第 1 ゲート電極を形成する工程と、

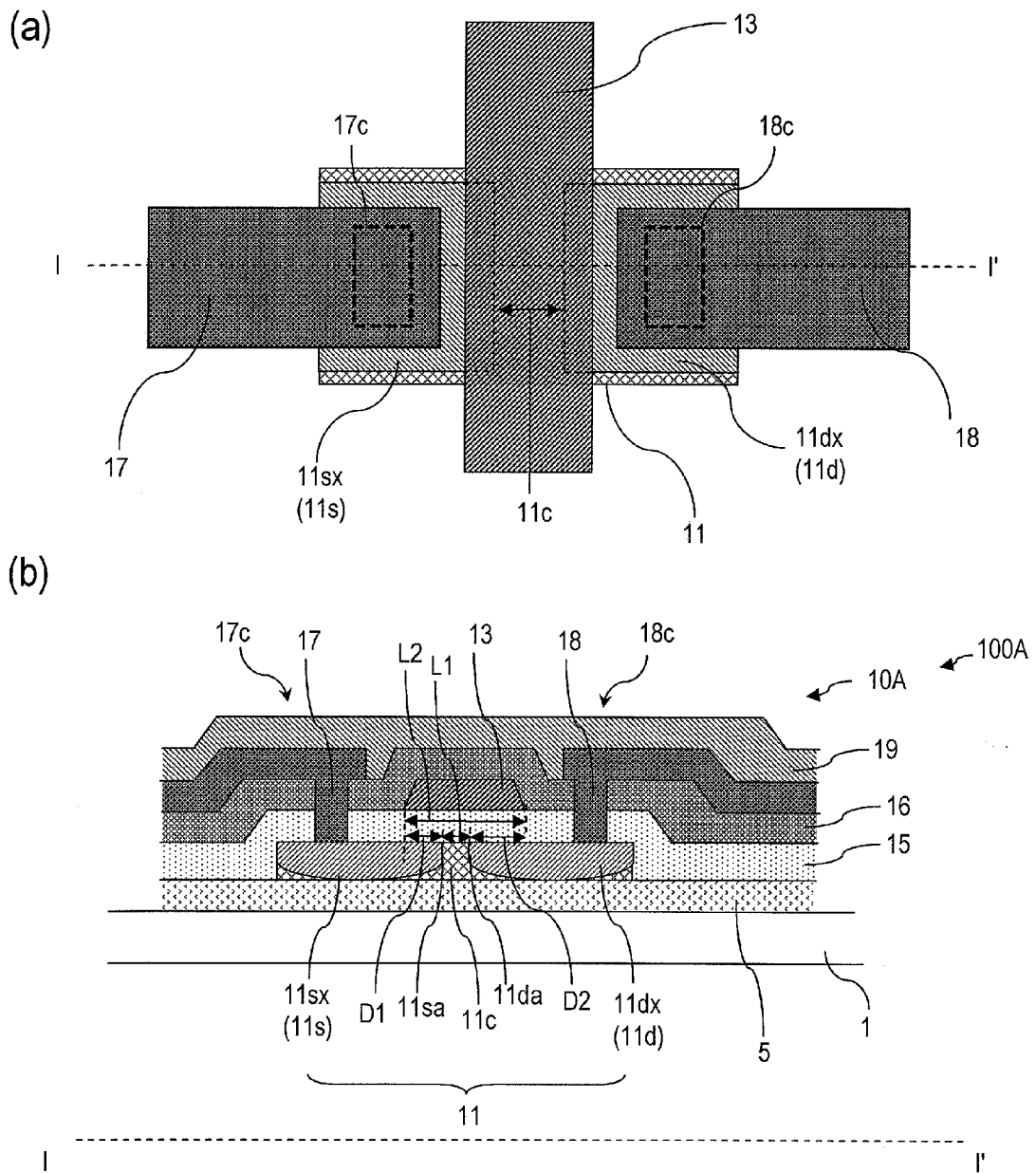
（D）前記酸化物半導体層の上に、ソース電極および前記ソース電極と電氣的に分離されたドレイン電極を形成する工程と、

（E）前記ソース電極および前記ドレイン電極上に水素を含む保護膜を形成する工程と、

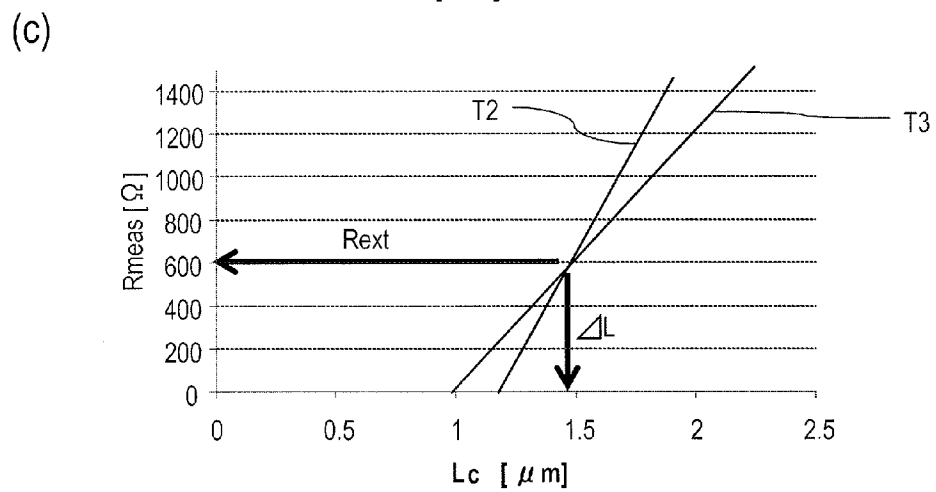
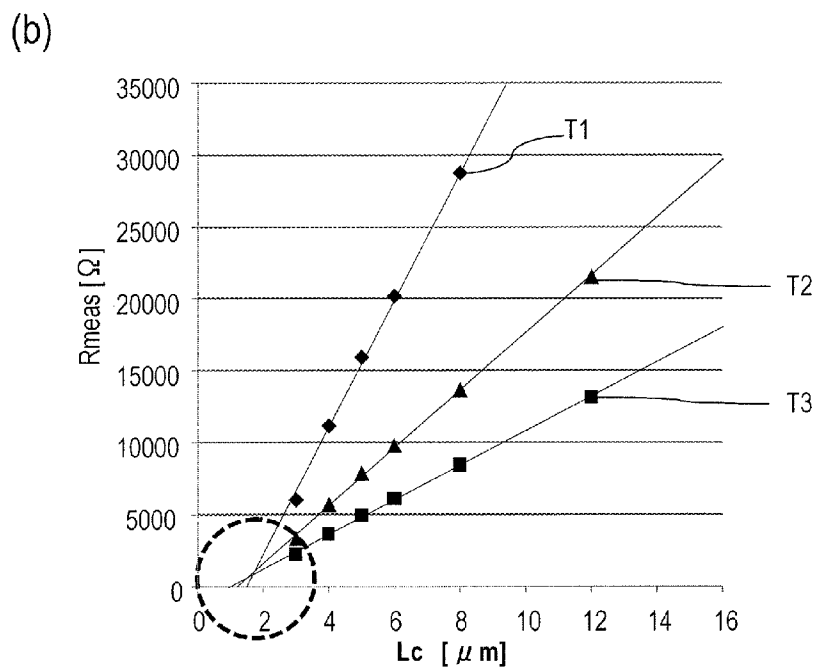
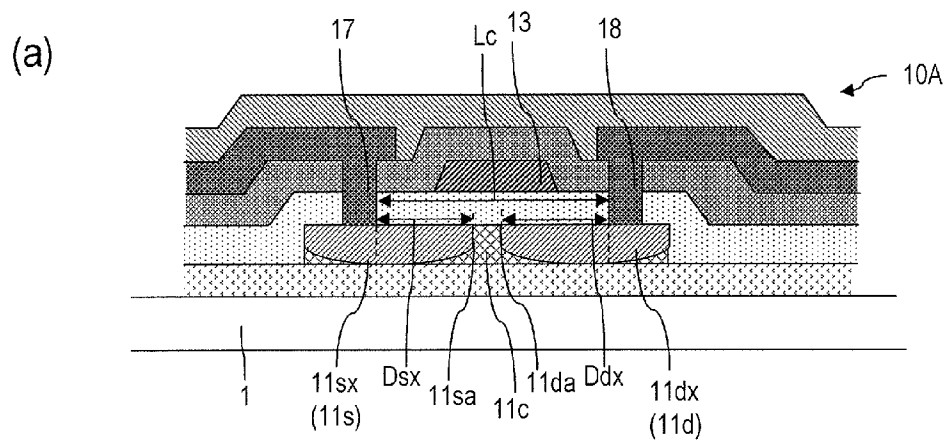
（F）アニール処理を行って、前記保護膜に含まれる水素を前記ソース電極または前記ドレイン電極を通過させ、前記酸化物半導体層に拡散させて、前記ソース電極に接するソース低抵抗領域と、前記ドレ

イン電極に接するドレイン低抵抗領域とを形成する工程を包含する、
半導体装置の製造方法。

[図1]

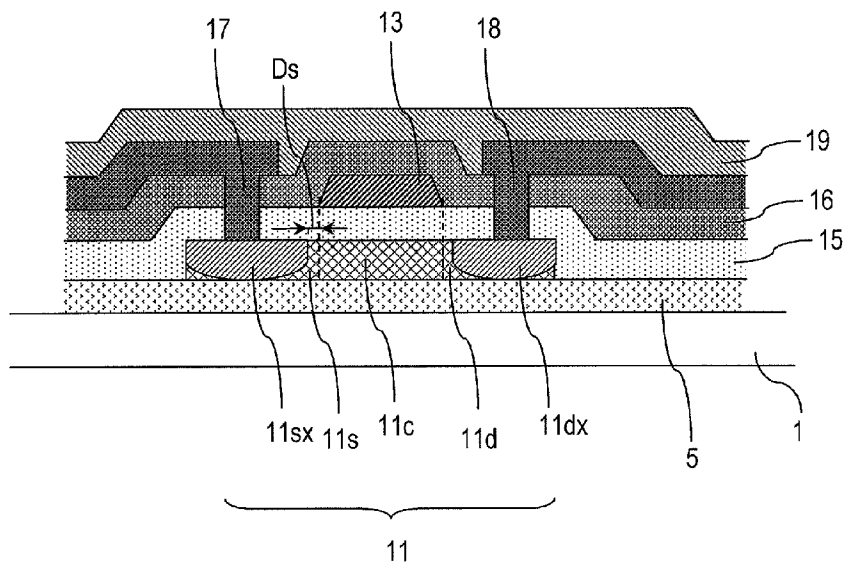


[図2]

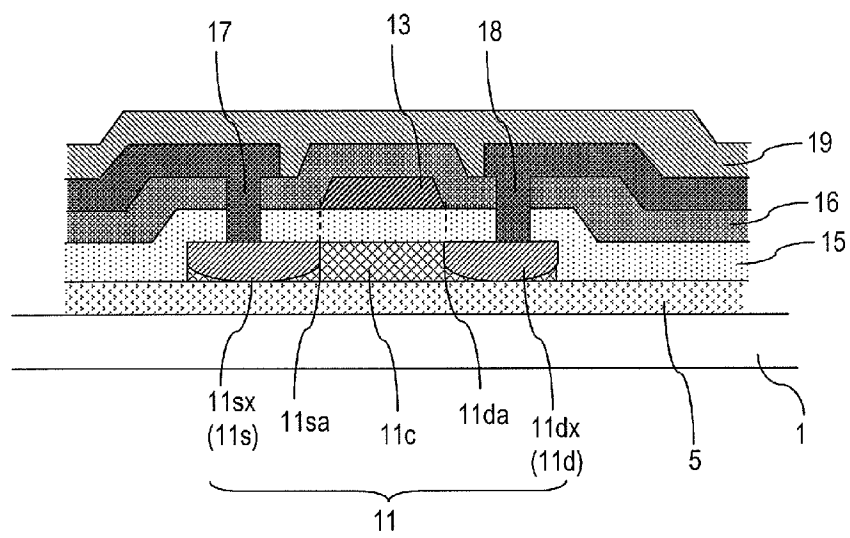


[図3]

(a)

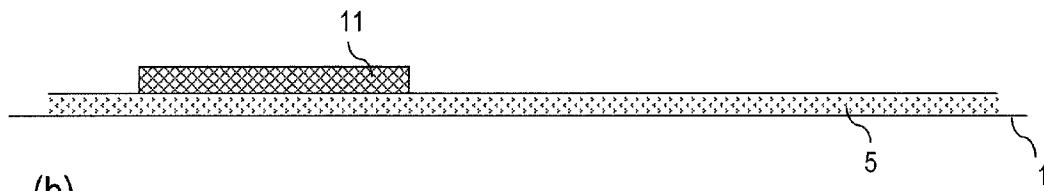


(b)

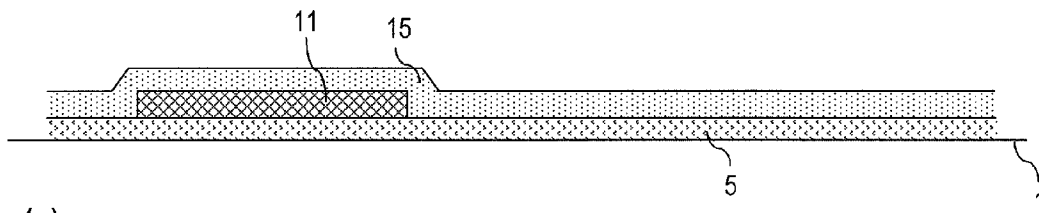


[図4]

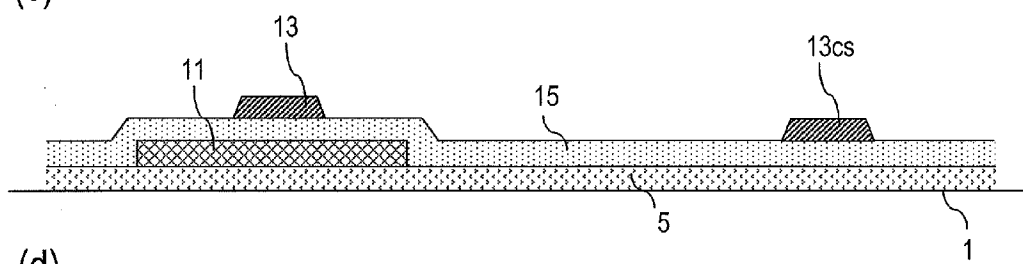
(a)



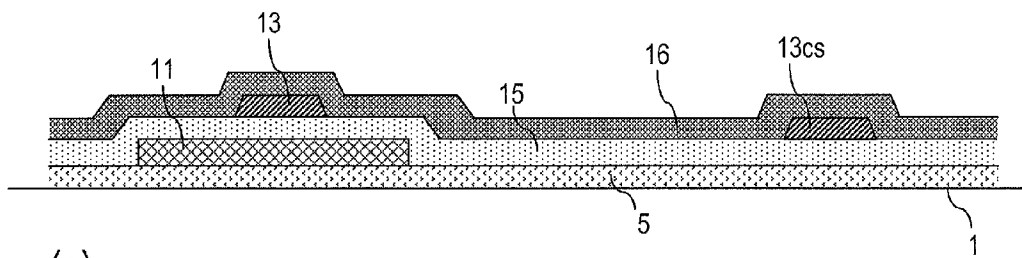
(b)



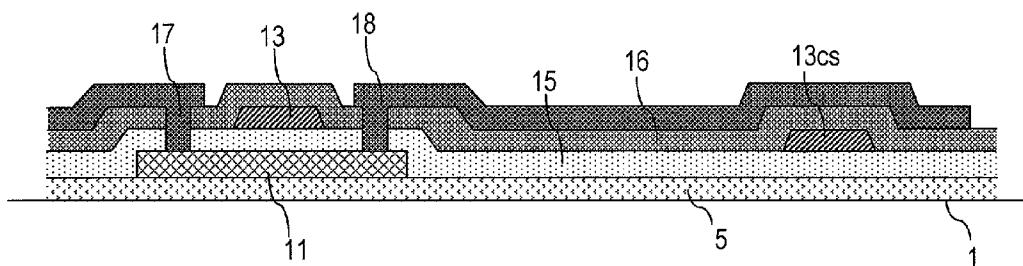
(c)



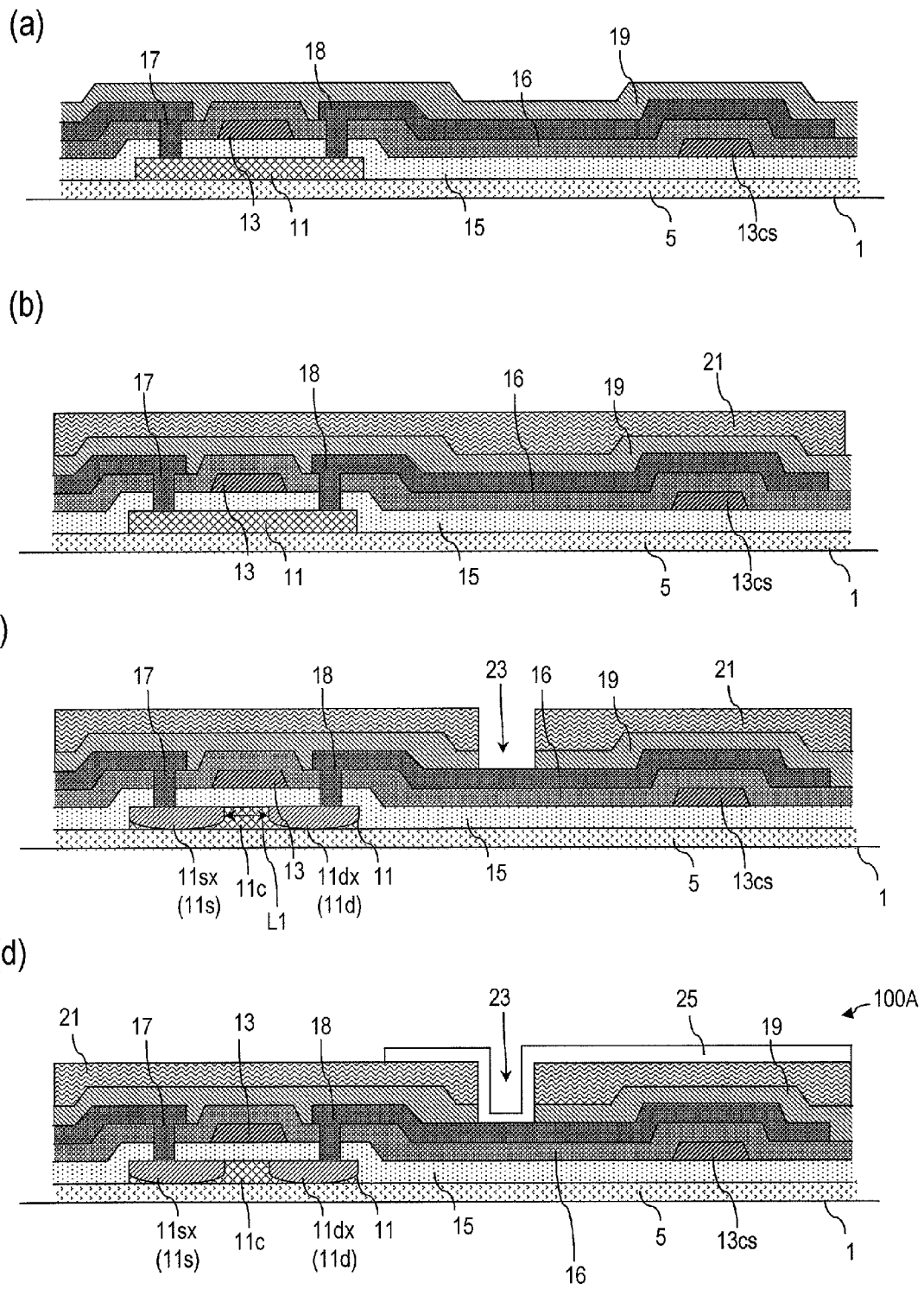
(d)



(e)

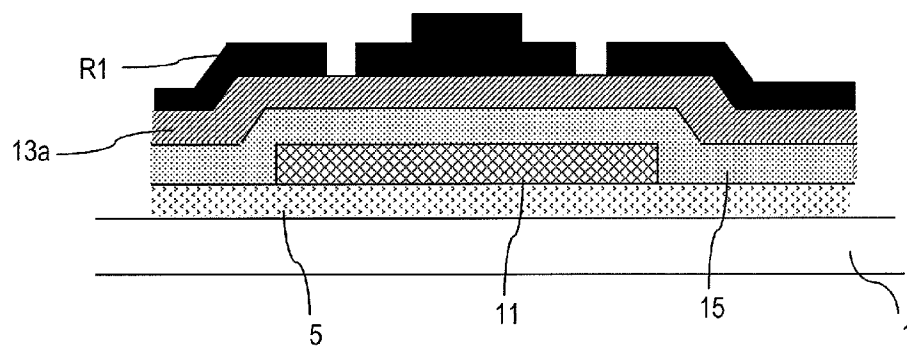


[図5]

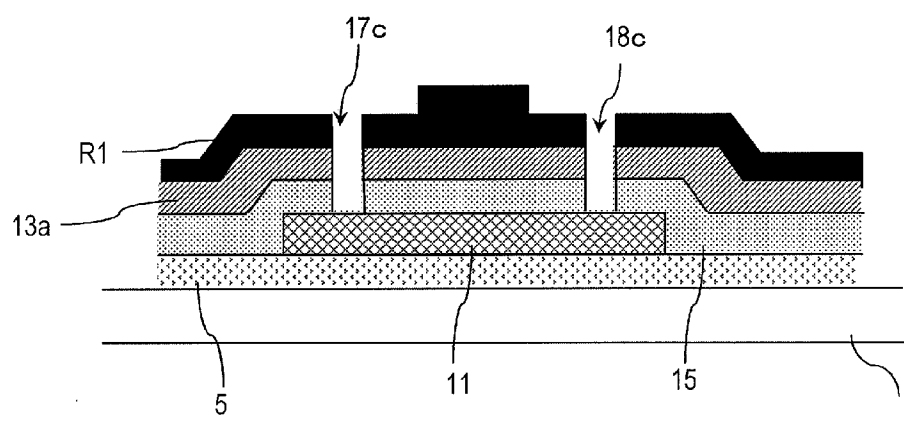


[図6]

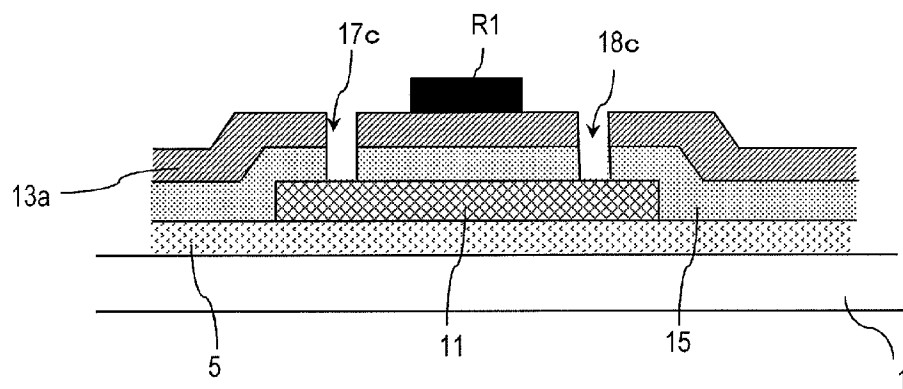
(a)



(b)

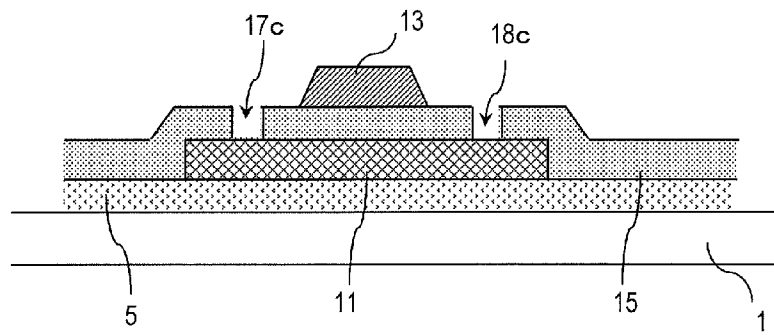


(c)

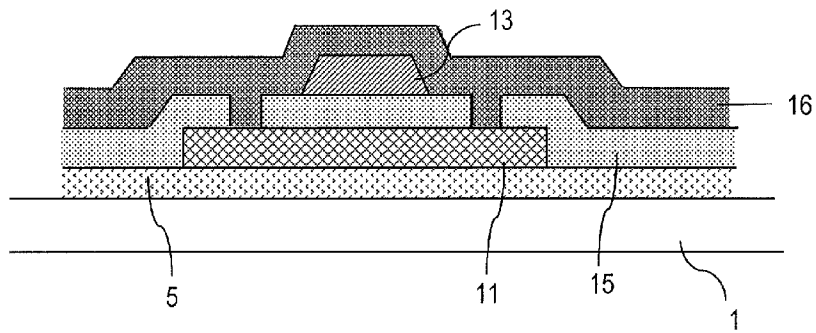


[図7]

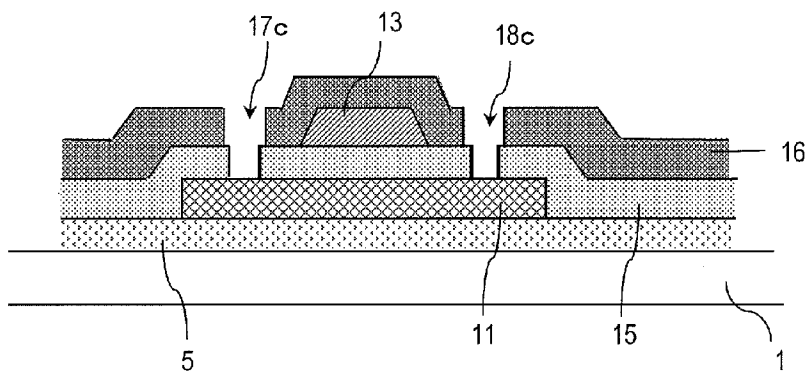
(a)



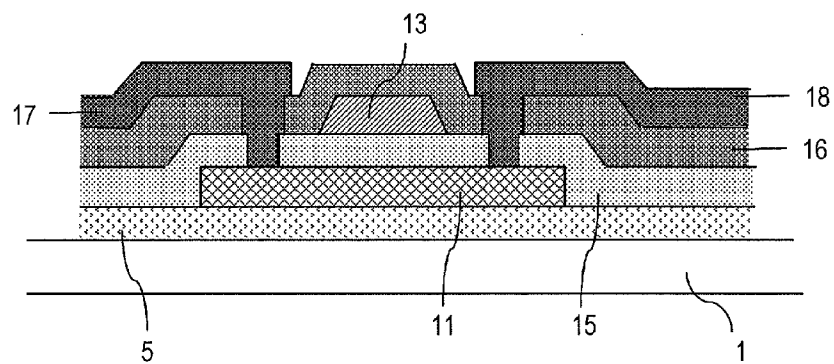
(b)



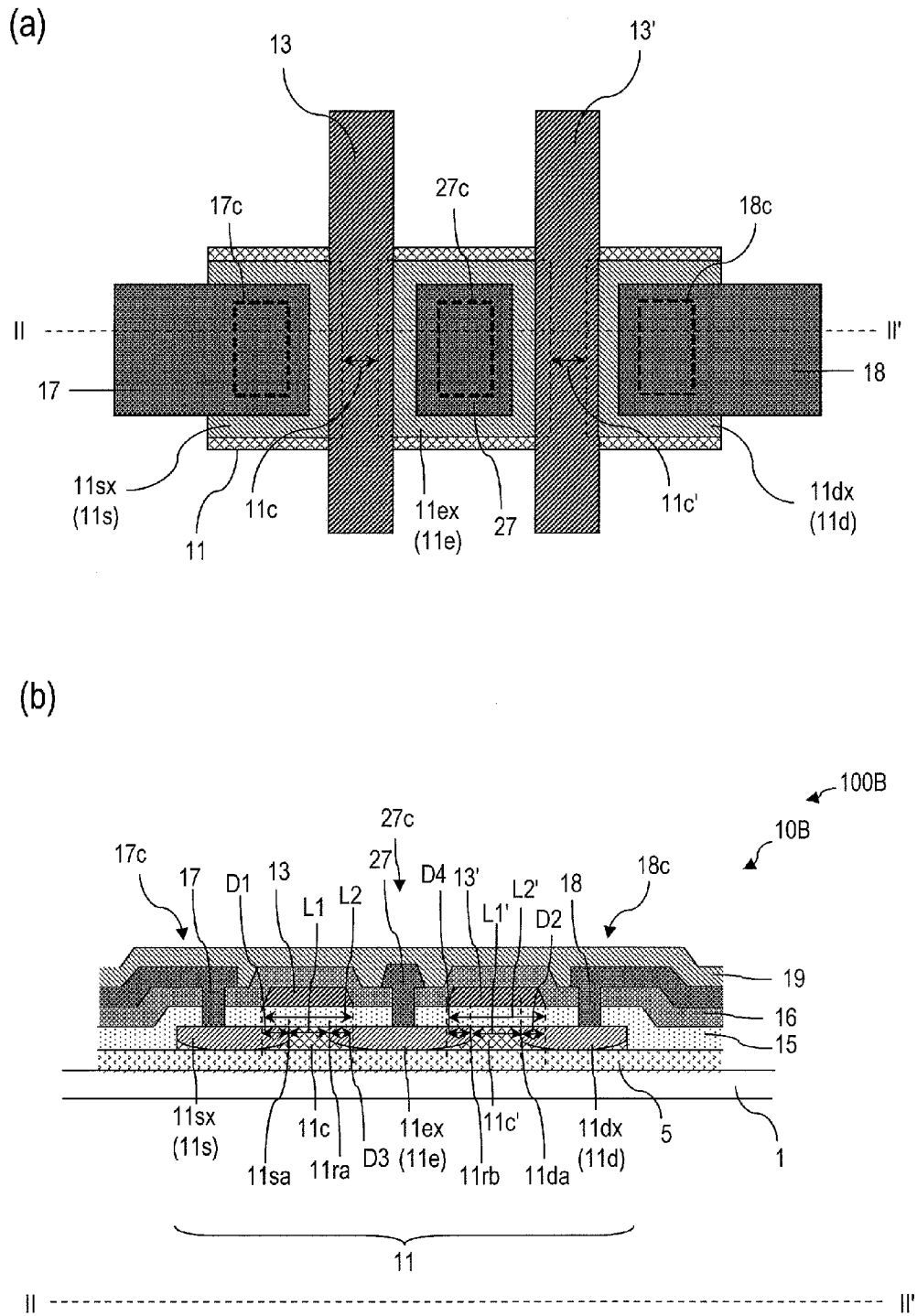
(c)



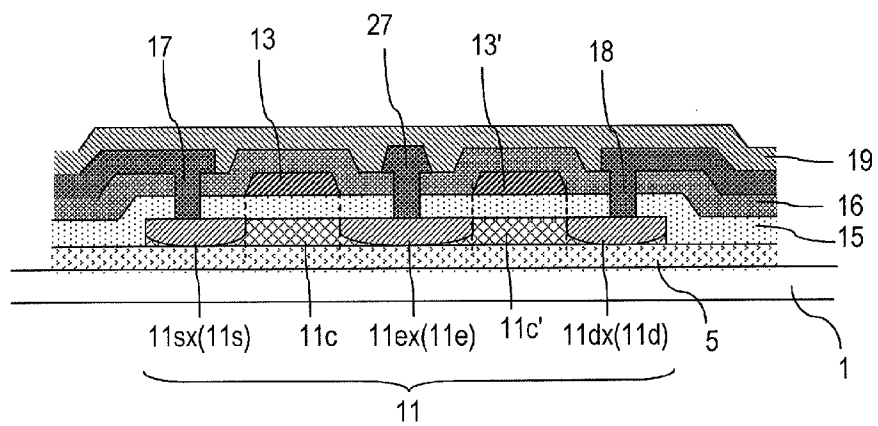
(d)



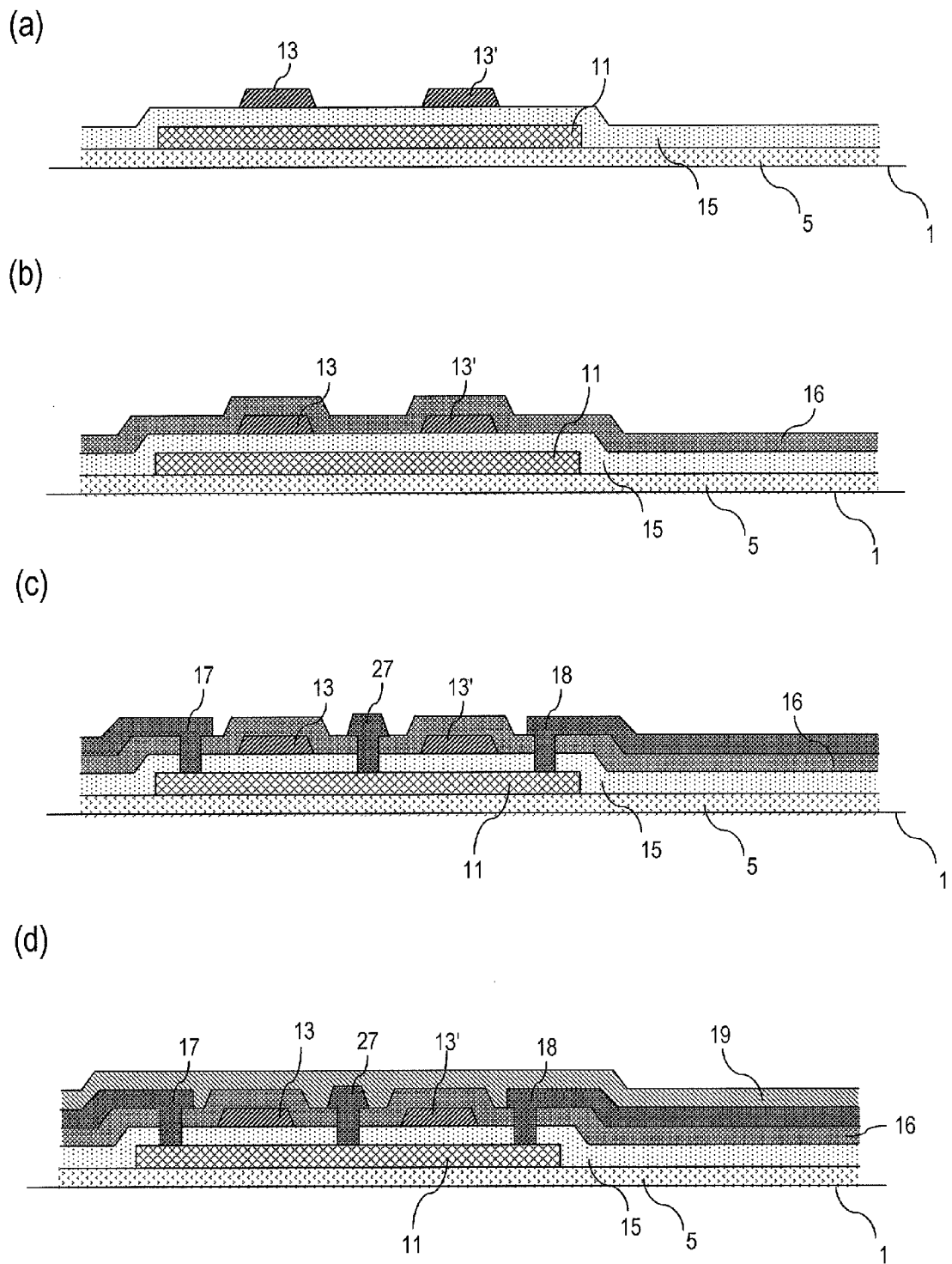
[図8]



(a)

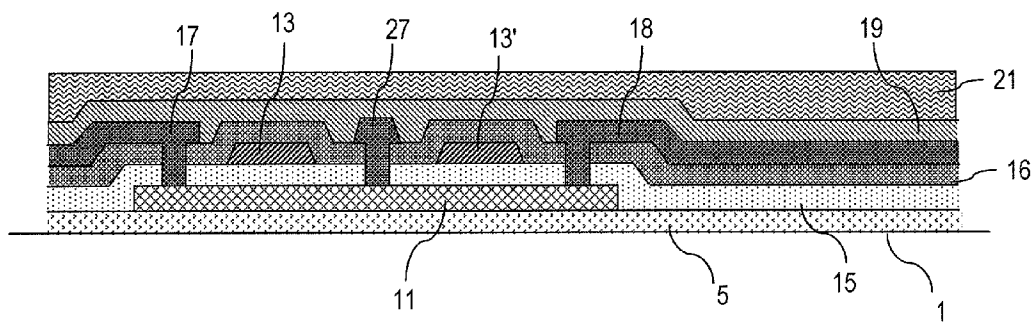


[図10]

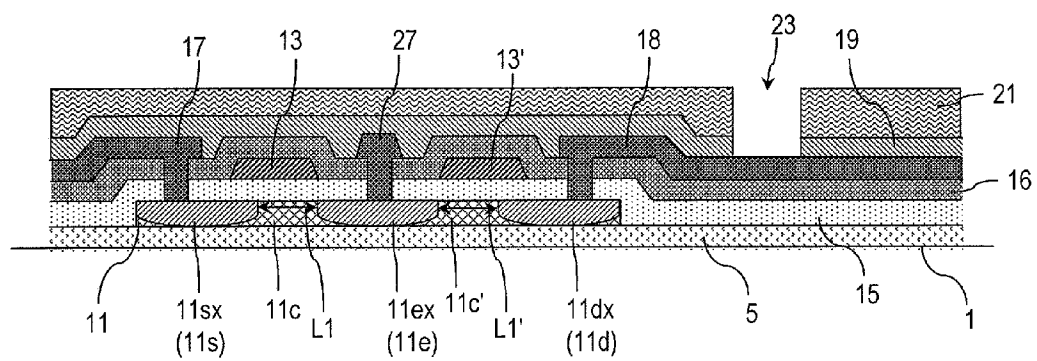


[図11]

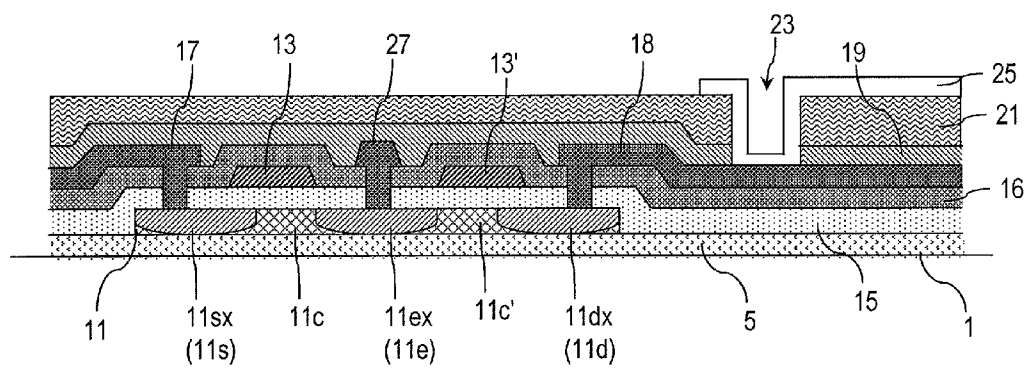
(a)



(b)



(c)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/066215

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, H01L21/225(2006.01)i, H01L21/28(2006.01)i,
H01L21/336(2006.01)i, H01L21/385(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, H01L21/225, H01L21/28, H01L21/336, H01L21/385

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2003-257989 A (Semiconductor Energy Laboratory Co., Ltd.), 12 September 2003 (12.09.2003), paragraphs [0014] to [0085]; fig. 1 to 7, 11 (Family: none)	1-16, 18-20 17, 21
Y	JP 2009-272427 A (Canon Inc.), 19 November 2009 (19.11.2009), paragraphs [0002] to [0013], [0061] to [0070] & WO 2009/136645 A2 & US 2011/0042670 A1 & TW 201005950 A	1-16, 18-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 August, 2012 (03.08.12)

Date of mailing of the international search report
14 August, 2012 (14.08.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/066215

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-157702 A (Semiconductor Energy Laboratory Co., Ltd.), 15 July 2010 (15.07.2010), paragraphs [0077] to [0095] & WO 2010/064590 A1 & US 2010/0133531 A1 & TW 201036162 A & KR 10-2011-0091035 A	1-16, 18-20
Y	JP 2000-294787 A (Sharp Corp.), 20 October 2000 (20.10.2000), paragraphs [0012], [0013] & US 6235558 B1 & KR 10-2001-0006941 A	3, 4, 9-11
Y	JP 2005-072531 A (Sharp Corp.), 17 March 2005 (17.03.2005), paragraphs [0005], [0006] (Family: none)	3, 4, 7-13, 18

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/786(2006.01)i, H01L21/225(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i,
H01L21/385(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/786, H01L21/225, H01L21/28, H01L21/336, H01L21/385

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2003-257989 A (株式会社半導体エネルギー研究所) 2003.09.12, 段落 0014-0085, 図 1-7, 11 (ファミリーなし)	1-16, 18-20 17, 21
Y	JP 2009-272427 A (キヤノン株式会社) 2009.11.19, 段落 0002-0013, 0061-0070 & WO 2009/136645 A2 & US 2011/0042670 A1 & TW 201005950 A	1-16, 18-20

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 3 . 0 8 . 2 0 1 2

国際調査報告の発送日

1 4 . 0 8 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

綿 引 隆

5 F

2 9 3 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-157702 A (株式会社半導体エネルギー研究所) 2010.07.15, 段落 0077-0095 & WO 2010/064590 A1 & US 2010/0133531 A1 & TW 201036162 A & KR 10-2011-0091035 A	1-16, 18-20
Y	JP 2000-294787 A (シャープ株式会社) 2000.10.20, 段落 0012, 0013 & US 6235558 B1 & KR 10-2001-0006941 A	3, 4, 9-11
Y	JP 2005-072531 A (シャープ株式会社) 2005.03.17, 段落 0005, 0006 (ファミリーなし)	3, 4, 7-13, 18