

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4843796号
(P4843796)

(45) 発行日 平成23年12月21日(2011.12.21)

(24) 登録日 平成23年10月21日(2011.10.21)

(51) Int.Cl. F I
G06K 19/07 (2006.01) G06K 19/00 J

請求項の数 10 (全 11 頁)

<p>(21) 出願番号 特願2007-530066 (P2007-530066) (86) (22) 出願日 平成17年8月24日 (2005. 8. 24) (65) 公表番号 特表2008-511921 (P2008-511921A) (43) 公表日 平成20年4月17日 (2008. 4. 17) (86) 国際出願番号 PCT/US2005/030036 (87) 国際公開番号 W02006/026282 (87) 国際公開日 平成18年3月9日 (2006. 3. 9) 審査請求日 平成19年4月18日 (2007. 4. 18) (31) 優先権主張番号 10/930, 524 (32) 優先日 平成16年8月31日 (2004. 8. 31) (33) 優先権主張国 米国 (US)</p>	<p>(73) 特許権者 510127664 ラウンド ロック リサーチ、エルエルシ ー アメリカ合衆国、ニューヨーク州 105 49、マウント キスコ、ディア クリー ク レーン 26 (74) 代理人 100077665 弁理士 千葉 剛宏 (72) 発明者 ルーパーバー、フランキー、エフ。 アメリカ合衆国、カリフォルニア州 95 030、モンテ セレノ、リッジクレスト 16255 審査官 村田 充裕</p>
--	--

最終頁に続く

(54) 【発明の名称】 高電力効率のメモリ及びカード

(57) 【特許請求の範囲】

【請求項 1】

相対的に低電圧で動作する第1動作モードと相対的に高電圧で動作する第2動作モードとで動作可能なメモリデバイスであって、

メモリセルのアレイと、

前記メモリセルに対する読出し処理、書込み処理及び消去処理を行う制御回路と、

アドレス信号を受信するアドレス入力端子と、

前記アドレス入力端子に接続され前記アドレス信号をラッチするアドレス回路と、

前記メモリデバイスにおける内部電源電圧の代わりに当該内部電源電圧よりも高い電圧を前記メモリデバイスに供給する内部電圧ポンプと、

前記第1動作モードで用いる第1接続ピンと、

前記第1接続ピンと同一のピン配列に含まれ、前記第2動作モードで用いるが前記第1動作モードで用いない第2接続ピンと、

前記第2接続ピンに接続され、前記第2接続ピンに外部電源が接続されたとき、前記外部電源からの外部電圧を前記内部電圧ポンプに昇圧させる検出機構と

を備える

ことを特徴とするメモリデバイス。

【請求項 2】

請求項1記載のメモリデバイスにおいて、

前記検出機構は、

前記第2接続ピンに接続され、前記第2接続ピンに前記外部電源が接続されていないとき、前記内部電圧ポンプに対する前記内部電源電圧を通過させるp型の第1トランジスタゲートと、

前記第2接続ピンに接続され、前記第2接続ピンに前記外部電源が接続されているとき、前記内部電圧ポンプに対する前記外部電源からの外部電圧を通過させるn型の第2トランジスタゲートと、

を有することを特徴とするメモリデバイス。

【請求項3】

請求項2記載のメモリデバイスにおいて、

前記第2トランジスタゲートは、前記内部電圧ポンプに対する前記外部電圧が前記内部電源電圧を越えたとき、前記内部電圧ポンプに対する前記外部電圧のみを通過させることを特徴とするメモリデバイス。

10

【請求項4】

請求項2又は3記載のメモリデバイスにおいて、

前記第2接続ピンと前記第1及び第2トランジスタゲートとの間に接続された抵抗をさらにする

ことを特徴とするメモリデバイス。

【請求項5】

請求項1～4のいずれか1項に記載のメモリデバイスにおいて、

前記第2接続ピンを複数備え、

前記第2接続ピンのうち第1ピンは、イネーブル信号を受信可能であり、

前記第2接続ピンのうち第2ピンは、前記外部電源に接続可能であり、

前記イネーブル信号の電圧レベルは、前記内部電源電圧又は前記第2ピンに接続された前記外部電源からの外部電圧を用いるかどうかをイネーブルする

ことを特徴とするメモリデバイス。

20

【請求項6】

請求項1～5いずれか1項に記載のメモリデバイスにおいて、

前記メモリデバイスは、メモリカード内に設けられている

ことを特徴とするメモリデバイス。

【請求項7】

請求項1～6いずれか1項に記載のメモリデバイスにおいて、

前記メモリデバイスは、前記メモリデバイスに接続されたマイクロプロセッサを有するシステムに設けられている

ことを特徴とするメモリデバイス。

30

【請求項8】

相対的に低電圧で動作する第1動作モードと相対的に高電圧で動作する第2動作モードとで動作可能なメモリカードを動作させるメモリカード動作方法であって、

前記メモリカードは、前記第1動作モードで用いる第1接続ピンと、前記第1接続ピンと同一のピン配列に含まれ、前記第2動作モードで用いるが前記第1動作モードで用いない第2接続ピンとを備え、

外部電源が前記第2接続ピンに接続されていないとき、内部電源電圧を内部電圧ポンプで昇圧する前記第1動作モードで前記メモリカードを動作させるステップと、

前記外部電源が前記第2接続ピンに接続されているとき、前記外部電源からの外部電圧を前記内部電圧ポンプで昇圧する前記第2動作モードで前記メモリカードを動作させるステップと、

を有するメモリカード動作方法。

40

【請求項9】

請求項8記載のメモリカード動作方法において、

前記外部電圧又は前記内部電源電圧のいずれを用いるかを検出回路を用いて検出するステップをさらに有する

50

ことを特徴とするメモリカード動作方法。

【請求項10】

請求項9記載のメモリカード動作方法において、

前記検出回路を用いて検出するステップは、

前記第2接続ピンの電圧レベルを監視するステップと、

前記第2接続ピンの電圧が、前記内部電源電圧を越えたとき、前記第1動作モードから前記第2動作モードに切り替えるステップと、

を有することを特徴とするメモリカード動作方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明はメモリ全般に関し、より詳細には、低電力消費メモリに関する。

【背景技術】

【0002】

カメラのフラッシュカードなどのカードにおいて、携帯可能な記憶手段として使用されるメモリデバイスは、利用可能な電源電圧(Vcc)よりも高い電圧を必要とする。今日用いられているそのようなメモリデバイスの1つとして、NAND型フラッシュメモリがある。この種のメモリデバイスは、20ボルト程度の電圧を要する。これらデバイスの動作に用いられるVccの範囲は、デバイスの日々の進歩と共に狭くなっている。このこと
20
の理由の1つとして、最終的なシステムの電力低下の要求があり、Vccの範囲を狭くすることが、そのような目標を達成する1つの方法であることが挙げられる。デバイスを動作させるのに十分な電圧を供給するため、内部ポンプを用いて電源電圧を適切な動作電圧まで昇圧する。しかし、NAND型メモリデバイスに用いられる内部ポンプは、近年、非効率となっている。例えば、1.6ボルトの電源電圧(最近のデバイスでは一般的な値である。)から5~6ボルトの電圧を生成する場合、チャージポンプの効率は約15パーセント(%)である。ポンプが1mAの電流を生成するためには、電源電圧の供給源から約7mAの電流を引き出さなければならない。

【発明の開示】

【発明が解決しようとする課題】

【0003】

30

NAND型デバイスは、単一の電源により動作されるスタンドアロン型メモリデバイスとして設計されており、このため、製造メーカーや組立業者は、その業界において要求される基準を維持するために低効率を受け容れている。メモリデバイスで用いられている一般的なポンプは、ディクソン・ポンプ(Dixon pumps)である。この種のポンプは、長年用いられているものであり、コンデンサとダイオードを用いて、利用可能な内部電源電圧よりも高い電圧まで供給電圧を昇圧する。より効率の良いインダクタを用いる別種類のポンプも存在する。この種のポンプの効率は80%近い。従って、このようなポンプを使用することで、デバイスに用いるカードの電力効率を向上させることができる。しかし、これにより、スタンドアロン型のNAND型メモリの一部を構成しない外部インダクタが必要となる。
40

【0004】

NAND型デバイスは、業界基準に従うため、及び複数のプラットフォームに対応し、複数の製造メーカーにより用いることができるようにするため、スタンドアロン型である必要がある。このため、デバイスに共通のピン配置と標準的な効率のポンプを維持することが好ましい。しかし、デバイスに用いられるカードにおいては、カード、カードの別のシステム又はメモリのサブシステムが利用可能な別の電圧が存在することがある。

【0005】

上記の理由により、及び、本明細書を読み、その内容を理解することで当業者に明らかになる後述する他の理由により、当該分野では、低電力消費のフラッシュメモリ及びフラッシュメモリカードの要望が存在する。
50

【0006】

電力の消費及び非効率に関する上述の課題及び他の課題は、本発明により解決可能であり、以下の説明を読み、その内容を検討することにより理解されよう。

【課題を解決するための手段】

【0007】

一実施形態に係るメモリデバイスは、メモリセルのアレイと、前記メモリセルに対する読出し処理、書込み処理及び消去処理を行う制御回路と、アドレス入力端子に供給されたアドレス信号をラッチするアドレス回路と、前記メモリデバイスにおける内部電源電圧よりも高い電圧を供給する内部電圧ポンプと、前記内部電圧ポンプに電圧を印加する外部機器の有無を検出する検出機構と、を備える。

10

【0008】

別の実施形態に係るメモリカードは、前記メモリカードを用いる機器に前記メモリカードを接続させる複数のピンと、前記メモリカードに設けられたメモリデバイスと、を備える。前記メモリデバイスは、メモリセルのアレイと、前記メモリセルに対する読出し処理、書込み処理及び消去処理を行う制御回路と、アドレス入力端子に供給されたアドレス信号をラッチするアドレス回路と、前記メモリデバイスにおける内部電源電圧よりも高い電圧を供給する内部電圧ポンプと、前記内部電圧ポンプに電圧を印加する外部機器の有無を検出する検出機構と、を備える。

【0009】

さらに別の実施形態に係るメモリデバイスは、メモリセルのアレイと、前記メモリセルに対する読出し処理、書込み処理及び消去処理を行う制御回路と、アドレス入力端子に供給されたアドレス信号をラッチするアドレス回路と、前記メモリデバイスにおける内部電源電圧よりも高い電圧を供給する内部電圧ポンプと、前記メモリデバイスの接続ピンに接続され、前記内部電圧ポンプに前記内部電源電圧を印加すべきか否か、又は外部機器を使用して前記内部電圧ポンプに外部電源電圧を印加すべきか否かを検出する検出回路と、を備える。

20

【0010】

さらに別の実施形態に係る処理システムは、プロセッサと、前記プロセッサに接続され、前記プロセッサから供給されるデータを記憶し、前記プロセッサにデータを供給するメモリと、を有する。前記メモリは、メモリセルのアレイと、前記メモリセルに対する読出し処理、書込み処理及び消去処理を行う制御回路と、アドレス入力端子に供給されたアドレス信号をラッチするアドレス回路と、前記メモリデバイスにおける内部電源電圧よりも高い電圧を供給する内部電圧ポンプと、前記内部電圧ポンプに電圧を印加する外部機器の有無を検出する検出機構と、を備える。

30

【0011】

さらに別の実施形態に係るメモリカード動作方法は、2つのモードを設定可能な(すなわち、デュアルモード型の)メモリカードを動作させるものであって、前記メモリカードの内部ポンプを作動させる外部電力が供給されていないとき、通常モードで動作させるステップと、外部電圧が供給され、前記内部ポンプを作動させているとき、高電力効率モードで動作させるステップと、を有する。

40

【0012】

さらに別の実施形態に係るメモリデバイス動作方法は、メモリデバイスを動作させるものであって、複数の電圧供給手段のうちいずれを用いて前記メモリデバイスの内部ポンプを作動させるかを示すコマンドをメモリコントローラから受信するステップと、前記コマンドに示された電圧供給手段により前記内部ポンプを作動させるステップと、を有する。

【0013】

他の実施形態は、別途説明され、特許請求の範囲に記載される。

【発明を実施するための最良の形態】

【0014】

以下、本発明を適用可能な特定の実施形態について、添付の図面を参照しつつ詳述する

50

。各図面において、実質的に同等の構成要素には、同様の参照符号を付すものとする。各実施形態は、当業者が本発明の実施をするのに十分な程度に開示されている。本発明の範囲から逸脱しない限り、他の実施形態も可能であり、また、構造的、論理的及び電気的変更も可能である。

【 0 0 1 5 】

従って、以下の説明は、限定的に解釈すべきではなく、本発明の範囲は、添付の特許請求の範囲及びその均等の範囲によってのみ特定される。

【 0 0 1 6 】

以下に詳述するように、2つのモードを設定可能な(デュアルモード型の)メモリデバイス又はメモリカードは、様々な実施形態として提供される。このメモリの外観、動作及び接続は、標準的なスタンドアロン型メモリと同様のものである。しかし、通常「無接続」(no connect)ピンである所定のピンに、所定の信号、電圧、又はこれらの組合せが供給されるようにメモリが接続されると、当該メモリは、より効率的な第2のモードで動作する。通常、メモリデバイス又はメモリカードは、検出機構、検出信号、コマンド信号などが、メモリデバイス又はメモリカードにより供給され又は検出されたときを除き、標準的な内部電源電圧により動作する。上記信号を受信したとき、又は外部電圧若しくは別の内部電圧若しくは外部インダクタと組み合わせた外部電圧が用いられていると判定したとき、本発明に係る実施形態としてのメモリデバイス及びメモリカードは、他の電源、インダクタ若しくはこれらの組合せ、又は標準的な内部電源とこれらを組み合わせて動作する。

【 0 0 1 7 】

本発明に係る実施形態及び添付の特許請求の範囲において、スタンドアロン型メモリデバイスは、業界標準のピン配置と実質的に同等のピン構成を有し、業界標準のシステムに接続されたとき従来の動作方法で動作するメモリとして規定される。このようなデバイスは、業界標準のシステムに存在するものの当該メモリの内部構成要素に接続されていない所定のピンを有する。通常、これらのピンは、「無接続」ピンと称される。上記のようなスタンドアロン型メモリには、例えば、DRAM、SDRAM、フラッシュメモリ、NAND型フラッシュメモリがあり、これらのメモリは、デバイスをシステムなどに接続する標準的な又は実質的に標準的なピン構成を有する。

【 0 0 1 8 】

図1は、メモリカード100の一実施形態を示す。メモリカード100は、デジタルカメラ、プリンタ、携帯電話などの機器に対するメモリカード100の接続に用いる複数のピンを備える。メモリカード100は、標準的なピン配置を有するものであり、余分な電力効率(extra power efficiencies)を有さないシステムに使用可能である。標準的なピン配置のうち、参照符号102、104が付された2本のピンは、標準的なメモリカードにおける従来の「無接続」ピンである。しかし、メモリカード100において、これらのピン102、104は、標準的でない電圧をカードに使用して、メモリカード100の内部電圧ポンプ106の効率を増加するか否かを検出する検出回路に内部で接続されている。

【 0 0 1 9 】

例えば、1.6ボルトで動作するが、より高い電圧(例えば、3.0ボルト)で動作する液晶表示ディスプレイ(LCD)などを有する携帯電話のメモリに、メモリカード100が使用されている場合、このより高い電圧は、様々な実施形態において内部ポンプに供給され、この内部ポンプは、メモリ又はメモリカードをより効率的にする。或いは、より高い電圧が、2本のピン102、104の一方を介して供給される一方、外部電圧を使用するか否かを示す信号が、ピン102、104の他方に供給される。

【 0 0 2 0 】

図2は、別の実施形態に係るメモリカード200を示す。メモリカード200は、標準的なメモリカードでも機能するピン配置を有する。追加のピン202は、標準的な構成において「無接続」ピンであるが、本実施形態では、メモリカード200のポンプ構成の電

10

20

30

40

50

力効率を変更するのに用いられる。この実施形態では、メモリカード200が、ポンプ効率の向上に利用可能な何らかの外部電源、外部インダクタ若しくはこれらの組合せに接続されているか否か、又は、標準的な内部ポンプ構成を用いるべきか否かをハードウェア検出機構206を用いて検出する。

【0021】

一実施形態において、ハードウェア検出システム206は、一對のトランジスタ208、210とプルダウン抵抗212を備える。プルダウン抵抗212を設けることは、任意である。ハードウェア検出システム206は、ピン202に接続され、このピン202には、外部電圧を接続可能である。ピン202は、プルダウン抵抗212を介してノード214に接続される。ノード214は、n型トランジスタ208のゲート及びp型トランジスタ210のゲートに接続される。外部電圧機器がピン202に接続されていない場合、又は、ピン202の電圧が変動(floating)している場合、ノード214の電圧は、プルダウン抵抗212を介して略ゼロになり、外部機器がピン202に接続されていないことを示す。この場合、トランジスタ210がオンとなり、トランジスタ208がオフとなり、電源電圧V_{cc}がポンプ216に印加されるため、メモリカード200は、内部電圧V_{cc}で動作する。ピン202に外部電圧が印加されている場合、ノード214における電圧が、トランジスタ210をオフとし、トランジスタ208をオンとするのに十分な高さになると、ピン202における電圧はポンプ216に供給される。

【0022】

上述のハードウェア検出機構206を変化させて、いずれの電圧を内部ポンプ216に印加するかを制御することが容易であることが理解されよう。また、メモリやメモリカードによっては、3つ以上の電圧を選択的に内部ポンプに接続可能であり、さらに、別の実施形態として、複数のポテンシャル電圧(potential voltages)を検出し、ポンプの作動のために最も高い電圧又は最も適切な電圧をポンプに印加可能であることも理解されよう。ポンプに印加される電圧の選択は、ハードウェア、ファームウェア、ソフトウェアを介する実施形態、又はメモリコントローラにより供給されるコマンド信号を用いる実施形態など様々な実施形態により行うことができる。本実施形態のハードウェア検出機構206は、別のピン上の外部インダクタの存在も検出可能であり、また、機器の動作を再設定し、外部インダクタのみの使用又は外部電圧と組み合わせての外部インダクタの使用により、より高い効率を実現する。一実施形態において、外部電圧及び外部インダクタの両方が検出された場合、外部電圧は、内部電圧ポンプの効率を向上させるのに用いられ、外部インダクタは、昇圧された電圧を用いてさらに効率を向上させる。

【0023】

図3に示す別の実施形態300において、外部ピン302は、検出機構としてのみ用いられ、ピン304は、外部電圧又はインダクタに接続される。この実施形態において、内部ポンプ306を用いる場合、メモリカード300は、検出ピン302をL₀信号とする。この実施形態では、ピン304に接続するものとして2つの外部機器が選択可能である。選択可能な2つの外部機器の一方が使用される場合、メモリカード300は、ピン302にH_i信号を接続する。そして、メモリは、検出ピン302におけるH_i信号から何らかの外部補助装置が使用されることを認識する。次いで、電圧検出機構を用いて、ピン304に接続される補助機器の種類を判定する。

【0024】

H_i信号を検出した場合、電圧検出機構は、ピン304に電源が接続されたと判定し、ピン304を新たな電源として用いてポンプ306をより効率化し、メモリカード300の電力性能を向上させる。ピン304にインダクタが接続されている場合、検出される電圧はなく、メモリは、ピン304にインダクタが接続されていると判定する。本実施形態に係るメモリデバイスは、ポンプ306を再構成して、内部ポンプの代わりにインダクタを用い、システムの電力効率をより高いものにする。別の実施形態として、インダクタを介して内部ポンプを作動させることもできる。さらに別の実施形態として、電源電圧よりも高い内部電圧と共に外部インダクタを用いることもできる。

10

20

30

40

50

【0025】

さらに別の実施形態として、2本の従来の「無接続」ピンに、外部電圧を印加し、外部インダクタを接続することもできる。メモリは、標準的なピン配置を有し、従来のシステムにおいて接続されるとき、スタンドアロン型の従来式メモリとして動作する。外部ピンにおいて何らかの存在を検出したとき、デバイスは、個々の構成要素それぞれに対して上述のように接続された外部素子を用いて動作する。しかし、外部インダクタと外部電源の両方がそれらのピンに接続されたとき、両方が使用される。一実施形態において、外部電圧が内部ポンプに印加され、より高効率の昇圧電圧が供給される。そして、その昇圧電圧は、外部インダクタを介してより高効率の動作を可能にする。

【0026】

本発明に係る実施形態では、標準的なピン配置を有するメモリを用いるが、この標準的なピン配置は、メモリをより高効率に動作させる付加的な特徴を有する。但し、外部電圧又は他の電圧供給要素がシステムに接続されているとき、その標準的な特徴は失われない。

【0027】

上述したメモリカードの各種構成では、メモリカードが従来の2本の余分な「無接続」ピンを備える標準的なピン構成を有する場合、上述のようにプルダウン抵抗を用いることができる。システムにプルアップピンが存在する場合、プルダウン抵抗に接続されているそのプルアップピンは、メモリ内部においてLoとされ、メモリカードが、他のNAND型メモリカードと同様に通常モードで動作する。メモリカードは、通常のピン配置を用いて動作するため、内部ポンプ用の高電圧電源を用いるようには構成されていない標準的なシステムで用いることができる。2本の余分なピンは、システムにおける「無接続」ピンである。しかし、外部電源又は別の内部電源を用いるように構成されたシステムでは、メモリカードをそのように用いることができる。

【0028】

或いは、単一の外部電力補助機構又は電圧をピン304に接続し、そして、検出ピン302がHi信号にされると、ピン304に接続された単一の外部電力補助機構を用いてポンプ306の初期電圧を供給する。

【0029】

動作に影響する構成要素は、メモリやメモリカードの標準的な構成における「無接続」ピンにのみ接続されるため、本発明に係る実施形態は、標準的なシステムに接続することが可能であり、また、標準的なシステムにおいて動作することができる。コマンドや指示がメモリやメモリカードに送信された場合、又は外部電圧が各種実施形態のピンに接続又は検出された場合のみ、当該動作が新たなモードで開始される。

【0030】

本発明に係る実施形態のいずれにおいても、本発明の範囲から逸脱することなしに、外部補助装置及び内部電源電圧Vccの組合せを用いることができる。別の実施形態において、電源電圧Vccよりも高い電圧を発生させ、メモリカード100、200、又は300などのメモリカードを使用可能なシステムの他の構成要素を動作させることができる。そのような別の電圧には、例えば、ディスプレイスクリーン用電圧、内部バッテリー供給電力などが含まれる。そのような構成では、本発明に係る実施形態及び回路を変形し、他の内部電圧を内部ポンプに印加すること、又は外部から接続されたインダクタを他の内部電圧と組み合わせて用いることは単純な事柄である。そのような変形は、当業者に理解可能であり、本発明及びその実施形態の範囲に含まれる。

【0031】

本発明の各種実施形態に係るメモリデバイスは、初期セットアップ時におけるコントローラからのコマンドを介して構成を変更可能である。別の実施形態において、このコマンドは、書込み処理又は消去処理の直前に供給することもできる。一実施形態において、メモリデバイスは、コマンドに応じて、メモリカード外部からの電源を用い、又は内部ポンプの代わりに、外部から接続されたインダクタを用いることができる。

10

20

30

40

50

【0032】

本発明に係るさらに別の実施形態は、上記コンセプトを用いるメモリデバイスを有する。例えば、図4には、本発明に係る実施形態を用いるのに適したメモリが示されている。図4は、本発明の一実施形態としてのメモリデバイス400（例えば、フラッシュメモリデバイス）の機能ブロック図であり、このメモリデバイス400は、プロセッサ410に接続されている。メモリデバイス400及びプロセッサ410は、電子システム420の一部を構成する。メモリデバイス400は、本発明の理解を容易化するためにメモリの特徴に焦点を当てるように簡略化されている。メモリデバイス400は、メモリセルのアレイ430を有する。メモリアレイ430は、行及び列のバンク単位で構成されている。

【0033】

アドレス入力端子A0 - Ax442に供給されたアドレス信号をラッチするため、アドレスバッファ回路440が設けられている。アドレス信号は、メモリアレイ430にアクセスするため、行デコーダ444及び列レコーダ446により受信及びデコードされる。当業者であれば、本願の開示に基づけば、アドレス入力端子の数が、メモリアレイの密度や構造に依存することを理解できるであろう。すなわち、アドレスの数は、メモリセルの数並びにバンク及びブロックの数が増加するにつれて増える。

【0034】

メモリデバイス400は、検出/ラッチ回路450を用いてメモリアレイ430の列における電圧又は電流の変化を検出することにより、メモリアレイ430のデータを読み出す。一実施形態において、検出/ラッチ回路450は、メモリアレイ430からのデータ列を読み出し、これをラッチすることができるように接続されている。複数のデータ(DQ)端子462を介してプロセッサ410と双方向にデータ通信をするために、データ入出力バッファ回路460が設けられている。また、このデータ入出力バッファ回路460は、メモリ400において読出し処理及び書込み処理を行うために、書込み回路455及び読出し/ラッチ回路450に接続されている。プロセッサ410から制御端子472を介して供給された信号は、コマンド制御回路470によりデコードされる。これらの信号は、データ読出し処理、データ書込み処理、及び消去処理を含むメモリアレイ430に対する処理を制御するために用いられる。フラッシュメモリデバイスは、メモリの特徴に関する基本的な理解を促進するために簡略化されている。内部回路及びフラッシュメモリの機能の詳細は、当業者にとって周知であろう。一実施形態において、検出回路490を用いて、内部電圧ポンプ(図示せず)を用いるか否か、又は本発明に係る各種実施形態について上述したような外部電源又はインダクタを用いるか否かを検出する。上述した実施形態は、図4に示す基礎的なメモリアレイ又はシステム構造における各実施形態において用いられる。

【0035】

結び

本発明の各種実施形態は、無接続ピンを介して外部電圧を供給する外部機器、又は標準的な機器として使用可能なものの有無を検出し、この検出結果に基づいて内部電圧ポンプの構成を変更させる内部検出機構を備えるメモリを有する。本実施形態により、システムにおける他の電源の利用可能性に応じて、又は、インダクタなど利用可能な機器に応じてカードの電力消費を減少させ、内部電圧をより効率的に供給する。

【0036】

ここでは、具体的な実施形態について説明してきたが、当該分野の当業者にとって、上記の実施形態に代えて、同一の目的を達成することのできるあらゆる構成が利用可能である。本願は、本発明に関するあらゆる応用及び改変を包含することを意図している。従って、本発明が添付の特許請求の範囲及びその均等の範囲によってのみ限定されることを明確に意図している。

【図面の簡単な説明】

【0037】

【図1】図1は、本発明の実施形態を適用可能なメモリカードのブロック図である。

10

20

30

40

50

【図2】図2は、本発明の一実施形態に係る高電力効率回路を有するメモリカードのブロック図である。

【図3】図3は、本発明の別の実施形態に係るメモリカードのブロック図である。

【図4】図4は、本発明の実施形態を適用可能なメモリのブロック図である。

【図1】

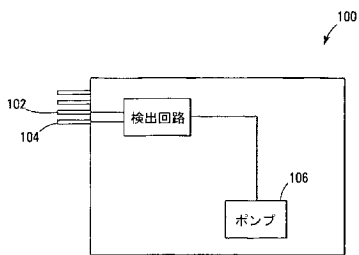


Fig. 1

【図2】

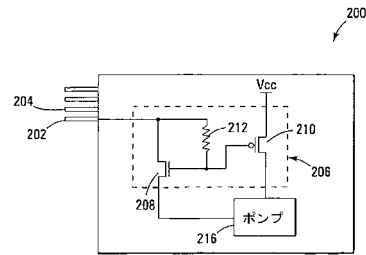


Fig. 2

【図3】

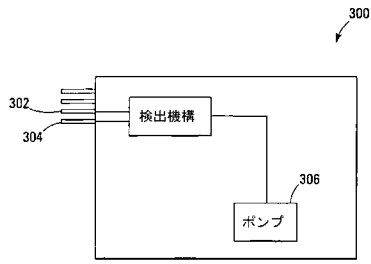


Fig. 3

【図4】

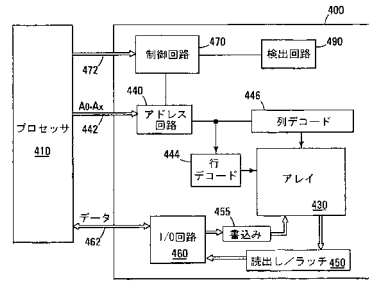


Fig. 4

フロントページの続き

- (56)参考文献 米国特許第05267218 (US, A)
特開2003-316664 (JP, A)
特開2003-085484 (JP, A)
特開2002-296515 (JP, A)
特開平06-096303 (JP, A)
特開2001-189091 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06K 19/00-19/08
G06K 17/00
B42D 15/10