

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年8月22日(22.08.2013)



(10) 国際公開番号
WO 2013/122176 A1

- (51) 国際特許分類:
H01L 21/338 (2006.01) *H01L 29/78* (2006.01)
H01L 21/336 (2006.01) *H01L 29/812* (2006.01)
H01L 29/778 (2006.01)
- (21) 国際出願番号: PCT/JP2013/053602
- (22) 国際出願日: 2013年2月7日(07.02.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-031734 2012年2月16日(16.02.2012) JP
特願 2012-278717 2012年12月20日(20.12.2012) JP
- (71) 出願人: ソニー株式会社 (SONY CORPORATION)
[JP/JP]; 〒1080075 東京都港区港南 1丁目7番1号 Tokyo (JP).
- (72) 発明者: 竹内 克彦 (TAKEUCHI, Katsuhiko); 〒1080075 東京都港区港南 1丁目7番1号 ソニー株式会社内 Tokyo (JP). 谷口 理 (TANIGUCHI, Satoshi); 〒1080075 東京都港区港南 1丁目7番1号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 杉浦 正知, 外 (SUGIURA, Masatomo et al.); 〒1710022 東京都豊島区南池袋 2丁目29番12号 メトロシティ南池袋 2階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置および半導体装置の製造方法

[図1]

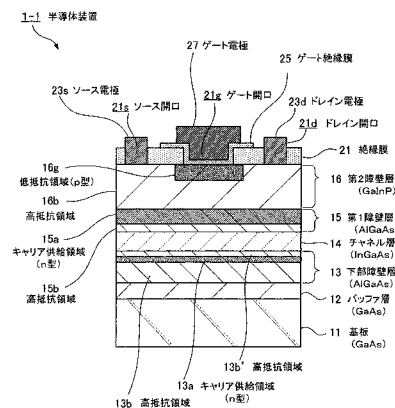


FIG. 1:
1-1 Semiconductor device
11 Substrate
12 Buffer layer
13 Lower barrier layer
13a, 15a Carrier supply region (n-type)
13b, 13b', 15b, 16b High resistance region
14 Channel layer
15 First barrier layer
16 Second barrier layer
16g Low resistance region (p-type)
21 Insulating film
21s Source opening
21d Drain opening
21g Gate opening
23d Drain electrode
23s Source electrode
25 Gate insulating film
27 Gate electrode

(57) Abstract: A semiconductor device has a first barrier layer (15) in an upper barrier layer provided on the upper portion of a channel layer (14), the first barrier layer (15) constituting an interface layer on the side of the channel layer (14) and consisting of a compound semiconductor in which an energy band on the carrier travel side in the junction with the channel layer (14) is farther from the intrinsic Fermi level in the channel layer (14) than the channel layer (14). The semiconductor device has a second barrier layer (16) provided in the surface layer of the upper barrier layer and consisting of a compound semiconductor in which while being joined to the first barrier layer (15), energy bands on the carrier travel side and the opposite side thereof which sandwich the bandgap in said junction are farther from the intrinsic Fermi level in the first barrier layer (15) than the first barrier layer (15). Further, the semiconductor device comprises: a low resistance region (16g) provided at least in the surface layer of the second barrier layer (16) and maintained lower resistance than the surrounding area by containing an impurity having a conductivity type opposite to the conductivity type of carriers; a source electrode (23s) and a drain electrode (23d) positioned on mutually opposite sides of the low resistance region (16g) and connected to the second barrier layer (16); and a gate electrode (27) provided over the low resistance region (16g) with a gate insulating film (25) interposed therebetween.

(57) 要約:

[続葉有]



ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

チャンネル層 14 の上部に設けられた上部障壁層において、チャンネル層 14 側の界面層を構成する層であって、チャンネル層 14 との接合部におけるキャリア走行側のエネルギー帯が、チャンネル層 14 よりもチャンネル層 14 内真性フェルミ準位から遠い化合物半導体で構成された第 1 障壁層 15 を有する。上部障壁層の表面層に設けられた層であって、第 1 障壁層 15 と接合させた状態において、当該接合部におけるバンドギャップを挟んでキャリア走行側と逆側のエネルギー帯が、第 1 障壁層 15 よりも第 1 障壁層 15 内真性フェルミ準位から遠い化合物半導体で構成された第 2 障壁層 16 を有する。さらに、第 2 障壁層 16 における少なくとも表面層に設けられ、キャリアと逆導電型の不純物を含有することにより周囲よりも低抵抗に保たれた低抵抗領域 16 g、低抵抗領域 16 g を挟んだ位置において第 2 障壁層 16 に接続されたソース電極 23 s およびドレイン電極 23 s、低抵抗領域 16 g 上にゲート絶縁膜 25 を介して設けられたゲート電極 27 を備えている。

明 細 書

発明の名称

半導体装置および半導体装置の製造方法

5 技術分野

[0 0 0 1]

本技術は半導体装置および半導体装置の製造方法に関し、特にはゲート電極とチャネル層との間の障壁層に低抵抗領域を備えた半導体装置およびその製造方法に関する。

10

背景技術

[0 0 0 2]

近年、携帯電話などの移動体通信システムにおいては、携帯通信端末の小型化および低消費電力化が強く求められている。これらを実現するためには、例えばアンテナスイッチに関し、オン抵抗 R_{on} の低減など

15 が必要である。現在、このようなアンテナスイッチ用として実用化されているデバイスには、接合形電界効果トランジスタ (J P H E M T ; J
unction Pseudo-morphic High Electron Mobility Transistor)
などがある。

20

[0 0 0 3]

J P H E M T は、p n 接合およびヘテロ接合を利用して電流変調を行う半導体装置である。このような半導体装置は、例えば I n G a A s よりなるチャネル層と、チャネル層 (I n G a A s) よりもバンドギャップの広い A l G a A s よりなる障壁層 (A l G a A s) とのヘテロ接合

25 を備えている。障壁層 (A l G a A s) 内においてチャネル層と反対の表面層には不純物を含有する低抵抗領域が設けられ、この低抵抗領域に

ゲート電極が接続されている。また、障壁層（AlGaAs）内において、低抵抗領域よりもチャネル層側には、キャリアとなる不純物を含有するキャリア供給領域が設けられている。さらに低抵抗領域およびゲート電極の両脇における障壁層（AlGaAs）には、ソース電極およびドレイン電極がオーミック接合されている。

[0004]

以上のような構成の半導体装置では、チャネル層における障壁層側の界面に、キャリアとなる電子が高濃度で閉じ込められた二次元電子ガス層が形成される。そしてゲート電極20に電圧を印加して二次元電子ガス層の濃度を制御することにより、低抵抗領域下方のチャネル層部分を介してソース電極ードレイン電極間に流れる電流が変調される（以上、例えば下記特許文献1参照）。

[先行技術文献]

[特許文献]

15 [0005]

特許文献1：特開平11-150264号公報

発明の概要

発明が解決しようとする課題

20 [0006]

ところで上述したJPHEMT構成の半導体装置においては、チャネル層の不純物濃度を低くすることにより、このチャネル層を介してソース電極ードレイン電極間に流れるキャリア（電子）の移動度を高くすることができる。しかしながら、このようなJPHEMT構造の半導体装置であっても、オフ電流値の低下など、さらなる高性能化が期待されている。

[0 0 0 7]

そこで本技術は、ゲート電極とチャネル層との間の障壁層に低抵抗領域を備えた構成において、オフ電流値の低下を図ることが可能な半導体装置、およびその製造方法を提供することを目的とする。

5

課題を解決するための手段

[0 0 0 8]

このような目的を達成するための本技術の半導体装置は、化合物半導体で構成されたチャネル層と、チャネル層上に設けられた上部障壁層とを備えている。上部障壁層は、チャネル層側の界面層を構成する第1障壁層と、当該上部障壁層の表面層に設けられた第2障壁層とを備えている。このうち第1障壁層は、チャネル層との接合部におけるキャリア走行側のエネルギー帯が、当該チャネル層よりも当該チャネル層内真性フェルミ準位から遠い化合物半導体で構成されている。一方、第2障壁層は、第1障壁層と接合させた状態において、当該接合部におけるバンドギャップを挟んで前記キャリア走行側と逆側のエネルギー帯が、当該第1障壁層よりも当該第1障壁層内真性フェルミ準位から遠い化合物半導体で構成されている。このような第2障壁層における少なくとも表面層には、キャリアと逆導電型の不純物を含有することにより周囲よりも低抵抗に保たれた低抵抗領域が設けられている。また、この低抵抗領域を挟んだ位置において上部障壁層に接続されたソース電極およびドレイン電極を備えている。さらに、低抵抗領域上には、ゲート絶縁膜を介してゲート電極が設けられている。

[0 0 0 9]

25 このような構成の半導体装置は、チャネル層との接合部におけるキャリア走行側のエネルギー帯が、当該チャネル層よりも当該チャネル層内

真性フェルミ準位から遠い化合物半導体で構成された第1障壁層を設けたことにより、チャネル層にはキャリアが高濃度で閉じ込められる。そして、ゲート電極に印加するゲート電圧によって、ゲート電極下の低抵抗領域に対応するチャネル層部分におけるキャリア欠乏領域が拡大または縮小され、チャネル層を介してソース電極－ドレイン電極間に流れる電流が変調される。ここで、先の第1障壁層を含む上部障壁層の表面層に形成された低抵抗領域上には、ゲート絶縁膜を介してゲート電極が設けられている。これにより、ゲート電極に、低抵抗領域とその周囲の領域に対する順方向電圧を印加した場合であっても、ゲート電極とソース電極／ドレイン電極との間にゲートリーク電流が流れることを防止できる。

[0 0 1 0]

そして特に、低抵抗領域が設けられる上部障壁層の表面層には、前述の第1障壁層と接合させた状態において当該接合部におけるバンドギャップを挟んでキャリア走行側と逆側のエネルギー帯が、当該第1障壁層よりも当該第1障壁層内真性フェルミ準位から遠い化合物半導体で構成された第2障壁層が設けられている。これにより、ゲート電極をオフ電圧とした場合、上部障壁層が第1障壁層のみの単層構造である場合と比較して、チャネル層におけるキャリア走行側のエネルギー帯がフェルミ準位から遠ざけられ、チャネル層にキャリアが供給され難くなる。

[0 0 1 1]

また本技術は、上述した構成の半導体装置の製造方法でもあり、次の手順を行う。まず、化合物半導体で構成されたチャネル層上に、当該チャネル層との接合部におけるキャリア走行側のエネルギー帯が、当該チャネル層よりも当該チャネル層内真性フェルミ準位から遠い化合物半導体で構成された第1障壁層を形成する。その後、第1障壁層の上方に、

この第1障壁層と接合させた状態において、当該接合部におけるバンドギャップを挟んで前記キャリア走行側と逆側のエネルギー帯が、当該第1障壁層よりも当該第1障壁層内真性フェルミ準位から遠い化合物半導体で構成された第2障壁層を形成する。この第2障壁層は、少なくとも
5 表面層にキャリアと逆導電型の不純物を含有することにより周囲よりも低抵抗に保たれた低抵抗領域を備えるように形成される。また、第1障壁層によって前記チャネル層側の界面層が構成されると共に、前記第2障壁層が表面層に設けられた上部障壁層に対して、前記低抵抗領域を挟む各位置で接続されたソース電極およびドレイン電極を形成する。さら
10 に、低抵抗領域の上部にゲート絶縁膜を形成し、その後ゲート絶縁膜を介して低抵抗領域の上部にゲート電極を形成する。

発明の効果

[0012]

15 以上説明した本技術によれば、ゲート電極とチャネル層との間の障壁層に低抵抗領域を備えた構成の半導体装置において、ゲート電極をオフ電圧とした場合に、チャネル層にキャリアが供給され難くなるため、オフリーク電流の低減を図ることが可能になる。

20 図面の簡単な説明

[0013]

[図1] 図1は、第1実施形態の半導体装置の要部構成を示す断面図である。

[図2] 図2は、第1実施形態の半導体装置のオフ動作時におけるエネ
25 ルギーバンド構成図である。

[図3] 図3は、第1実施形態の半導体装置のオン動作時におけるエネ

ルギーバンド構成図である。

〔図 4〕 図 4 は、第 1 実施形態の半導体装置のオフ動作時におけるキャリア欠乏領域の形成を示す断面図である。

〔図 5〕 図 5 A は、第 1 実施形態の半導体装置の製造手順を示す断面工程図（その 1）である。図 5 B は、第 1 実施形態の半導体装置の製造手順を示す断面工程図（その 1）である。

〔図 6〕 図 6 A は、第 1 実施形態の半導体装置の製造手順を示す断面工程図（その 2）である。図 6 B は、第 1 実施形態の半導体装置の製造手順を示す断面工程図（その 2）である。

10 〔図 7〕 図 7 は、第 1 実施形態の効果を示すゲート電圧ードレイン電流のグラフである。

〔図 8〕 図 8 は、第 1 実施形態の構造において高抵抗領域が各不純物濃度の場合のゲート電圧ードレイン電流のグラフである。

〔図 9〕 図 9 は、第 2 実施形態の半導体装置の要部構成を示す断面図である。

〔図 10〕 図 10 は、第 2 実施形態の半導体装置のオフ動作時におけるエネルギーバンド構成図である。

〔図 11〕 図 11 は、第 3 実施形態の半導体装置の要部構成を示す断面図である。

20 〔図 12〕 図 12 は、第 4 実施形態の半導体装置の要部構成を示す断面図である。

〔図 13〕 図 13 は、第 5 実施形態の半導体装置の要部構成を示す断面図である。

〔図 14〕 図 14 は、第 6 実施形態の半導体装置の要部構成を示す断面図である。

〔図 15〕 図 15 A は、第 6 実施形態の半導体装置の製造手順を示す断

面工程図（その１）である。図１５Ｂは、第６実施形態の半導体装置の製造手順を示す断面工程図（その１）である。

５ [図１６] 図１６Ａは、第６実施形態の半導体装置の製造手順を示す断面工程図（その２）である。図１６Ｂは、第６実施形態の半導体装置の製造手順を示す断面工程図（その２）である。

[図１７] 図１７Ａは、第６実施形態を第５実施形態と組み合わせる場合の製造手順を示す断面工程図（その１）である。図１７Ｂは、第６実施形態を第５実施形態と組み合わせる場合の製造手順を示す断面工程図（その１）である。

10 [図１８] 図１８Ａは、第６実施形態を第５実施形態と組み合わせる場合の製造手順を示す断面工程図（その２）である。図１８Ｂは、第６実施形態を第５実施形態と組み合わせる場合の製造手順を示す断面工程図（その２）である。

15 [図１９] 図１９は、第７実施形態の半導体装置の要部構成を示す断面図である。

[図２０] 図２０は、第８実施形態の半導体装置の要部構成を示す断面図である。

20 [図２１] 図２１Ａは、第８実施形態の半導体装置の製造手順を示す断面工程図である。図２１Ｂは、第８実施形態の半導体装置の製造手順を示す断面工程図である。

[図２２] 図２２は、第９実施形態の半導体装置の要部構成を示す断面図である。

[図２３] 図２３は、第１０実施形態の半導体装置の要部構成を示す断面図である。

25 [図２４] 図２４Ａは、第１０実施形態の半導体装置の製造手順を示す断面工程図である。図２４Ｂは、第１０実施形態の半導体装置の製造手

順を示す断面工程図である。

〔図 2 5〕図 2 5 は、第 1 1 実施形態の半導体装置の要部構成を示す断面図である。

〔図 2 6〕図 2 6 A は、第 1 例を示す断面工程図（その 1）である。図 2 6 B は、第 1 例を示す断面工程図（その 1）である。

〔図 2 7〕図 2 7 A は、第 1 例を示す断面工程図（その 2）である。図 2 7 B は、第 1 例を示す断面工程図（その 2）である。

〔図 2 8〕図 2 8 A は、第 1 例を示す断面工程図（その 3）である。図 2 8 B は、第 1 例を示す断面工程図（その 3）である。

10 〔図 2 9〕図 2 9 は、第 1 2 実施形態の半導体装置の要部構成を示す断面図である。

〔図 3 0〕図 3 0 A は、第 2 例を示す断面工程図（その 1）である。図 3 0 B は、第 2 例を示す断面工程図（その 1）である。

〔図 3 1〕図 3 1 A は、第 2 例を示す断面工程図（その 2）である。図 3 1 B は、第 2 例を示す断面工程図（その 2）である。

〔図 3 2〕図 3 2 A は、第 2 例を示す断面工程図（その 3）である。図 3 2 B は、第 2 例を示す断面工程図（その 3）である。

〔図 3 3〕図 3 3 は、第 2 例を示す断面工程図（その 4）である。

〔図 3 4〕図 3 4 は、第 1 3 実施形態半導体装置の要部構成を示す断面
20 図である。

〔図 3 5〕図 3 5 A は、第 3 例を示す断面工程図（その 1）である。図 3 5 B は、第 3 例を示す断面工程図（その 1）である。

〔図 3 6〕図 3 6 A は、第 3 例を示す断面工程図（その 2）である。図 3 6 B は、第 3 例を示す断面工程図（その 2）である。

25 〔図 3 7〕図 3 7 A は、第 3 例を示す断面工程図（その 3）である。図 3 7 B は、第 3 例を示す断面工程図（その 3）である。

〔図 3 8〕 図 3 8 は、第 3 例を示す断面工程図（その 4）である。

〔図 3 9〕 図 3 9 は、第 1 4 実施形態半導体装置の要部構成を示す断面図である。

〔図 4 0〕 図 4 0 A は、第 4 例を示す断面工程図（その 1）である。図 4 0 B は、第 4 例を示す断面工程図（その 1）である。

〔図 4 1〕 図 4 1 A は、第 4 例を示す断面工程図（その 2）である。図 4 1 B は、第 4 例を示す断面工程図（その 2）である。

〔図 4 2〕 図 4 2 A は、第 4 例を示す断面工程図（その 3）である。図 4 2 B は、第 4 例を示す断面工程図（その 3）である。

10

発明を実施するための形態

〔 0 0 1 4 〕

以下、図面に基づいて、本技術の実施の形態を次に示す順に説明する。

1. 第 1 実施形態（第 1 障壁層の表面層にキャリア供給領域を設けた例）
2. 第 2 実施形態（第 1 障壁層の中央にキャリア供給領域を設けた例）
3. 第 3 実施形態（キャリア供給領域と低抵抗領域とを接合させた例）
4. 第 4 実施形態（低抵抗領域を囲む第 2 障壁層を低抵抗とした例）
5. 第 5 実施形態（第 2 障壁層とソース電極およびドレイン電極との間にキャップ層を設けた例）
6. 第 6 実施形態（第 2 障壁層の全面をゲート絶縁膜で覆った例）
7. 第 7 実施形態（低抵抗領域をゲート電極で覆った例）
8. 第 8 実施形態（第 2 障壁層の表面層を低抵抗領域としてパターンニングした例）
9. 第 9 実施形態（第 1 障壁層上の第 2 障壁層を低抵抗領域としてパターンニングした例）

10. 第10実施形態（低抵抗領域とは逆導電型のソース領域およびドレイン領域を設けた例）
11. 第11実施形態（低抵抗領域を覆うゲート電極をセルフアラインで設けた第1例）
- 5 12. 第12実施形態（低抵抗領域を覆うゲート電極をセルフアラインで設けた第2例）
13. 第13実施形態（低抵抗領域を覆うゲート電極をセルフアラインで設けた第3例）
14. 第14実施形態（低抵抗領域を覆うゲート電極をセルフアライン
- 10 で設けた第4例）
15. 変形例－1
16. 変形例－2
17. 適用例（無線通信装置）

尚、各実施形態において共通の構成要素には同一の符号を付し、重複

15 する説明は省略する。

[0015]

＜1. 第1実施形態＞

（第1障壁層の表面層にキャリア供給領域を設けた例）

本第1実施形態においては、各図に基づいて、本技術を適用した第1

20 実施形態の半導体装置の構成、第1実施形態の半導体装置の動作、第1実施形態の半導体装置の製造方法、および第1実施形態の半導体装置の作用効果の順に説明を行う。

[0016]

＜第1実施形態の半導体装置の構成＞

25 図1は、本技術を適用した第1実施形態の半導体装置の要部構成を示す断面図である。

また図2は第1実施形態の半導体装置のオフ動作時におけるエネルギーバンド構成図であり、図3は第1実施形態の半導体装置のオン動作時におけるエネルギーバンド構成図である。以下、これらの図に基づいて第1実施形態の半導体装置の詳細な構成を説明する。

5 [0017]

図1に示す第1実施形態の半導体装置1-1は、ゲート電極とチャネル層との間に障壁層を備え、さらに障壁層内に逆導電型の低抵抗領域を設けた、いわゆるJPHEMTである。この半導体装置1-1は、化合物半導体からなる基板11上に、各化合物半導体材料からなるバッファ層12、下部障壁層13、チャネル層14、第1障壁層15および第2障壁層16で構成された上部障壁層がこの順に積層されている。下部障壁層13内にはキャリア供給領域13aが設けられており、上部障壁層の第1障壁層15にはキャリア供給領域15aが設けられている。さらに、上部障壁層の第2障壁層16内には低抵抗領域16gが設けられている。

15 [0018]

特に本第1実施形態においては、以下で詳細に説明するように、第1障壁層15と第2障壁層16との接合部では、第2障壁層16においてのバンドギャップを挟んでキャリア走行側と逆側のエネルギー帯が、第1障壁層15においてのバンドギャップを挟んでキャリア走行側と逆側のエネルギー帯よりも第1障壁層内真性フェルミ準位から遠いところが第1の特徴部である。

[0019]

ここで、キャリア走行側のエネルギー帯とは、多数キャリアが占めるエネルギー帯である。また、バンドギャップを挟んでキャリア走行側と逆側のエネルギー帯とは、少数キャリアが占めるエネルギー帯である。一例として、キャリアが電子であるn型の半導体装置であれば、キャリ

ア走行側のエネルギー帯はコンダクションバンド（伝導帯）であり、バンドギャップを挟んでキャリア走行側と逆側のエネルギー帯はバレンスバンド（価電子帯）である。一方、キャリアが正孔である p 型の半導体装置であれば、キャリア走行側のエネルギー帯はバレンスバンド（価電子帯）であり、バンドギャップを挟んでキャリア走行側と逆側のエネルギー帯はコンダクションバンド（伝導帯）である。以下、バンドギャップを挟んでキャリア走行側と逆側のエネルギー帯は、単にキャリア走行側と逆側のエネルギー帯とも記す。

[0020]

10 以上のような化合物半導体材料からなる各層の積層体上には、絶縁膜 21 が設けられている。この絶縁膜 21 には、ソース開口 21 s / ドレイン開口 21 d、およびこれらの間のゲート開口 21 g が設けられている。またこのような絶縁膜 21 上には、ソース開口 21 s およびドレイン開口 21 d を介して第 2 障壁層 16 に接続されたソース電極 23 s /
15 ドレイン電極 23 d が設けられている。

[0021]

また特に本第 1 実施形態においては、ゲート開口 21 g の底部に露出している低抵抗領域 16 g 上に、ゲート絶縁膜 25 を介してゲート電極 27 が設けられているところが第 2 の特徴部分である。

20 [0022]

以下、半導体装置 1-1 を構成する上記の各構成要素の詳細な構成を、基板 11 側から順次説明する。

[0023]

[基板 11]

25 基板 11 は、半絶縁性の化合物半導体材料で構成されている。このような基板 11 は、例えば III-V 族化合物半導体材料で構成され、例

例えば半絶縁性の単結晶 $GaAs$ 基板や、 InP 基板が用いられる。

[0024]

[バッファ層 12]

バッファ層 12 は、例えば基板 11 上にエピタキシャル成長させた化合物半導体層で構成され、基板 11 および下部障壁層 13 に対して、良好に格子整合する化合物半導体を用いて構成される。例えば、基板 11 が単結晶 $GaAs$ 基板からなる場合、このようなバッファ層 12 の一例として、不純物を添加しない $u-GaAs$ (u は不純物を添加していないことを表す；以下同様) のエピタキシャル成長層が用いられる。

10 [0025]

[下部障壁層 13]

下部障壁層 13 は、バッファ層 12 および上部のチャネル層 14 に対して良好に格子整合している。このような下部障壁層 13 の一例として、 $AlGaAs$ 混晶のエピタキシャル成長層が用いられる。ここでは一例として、III 族元素におけるアルミニウム (Al) の組成比が 0.2 である、 $Al_{0.2}Ga_{0.8}As$ 混晶により下部障壁層 13 が構成されていることとする。

[0026]

このような下部障壁層 13 は、キャリアを供給する不純物を含むキャリア供給領域 13a を有している。ここでは、キャリアとして電子が用いられることとし、電子を供給する不純物として n 型不純物を含む n 型のキャリア供給領域 13a が、下部障壁層 13 の膜厚方向の中間部分に配置されている。 $Al_{0.2}Ga_{0.8}As$ 混晶により構成された下部障壁層 13 における n 型不純物としては、シリコン (Si) が用いられる。

25 [0027]

また、下部障壁層 13 におけるキャリア供給領域 13a 以外の膜厚部

分は、不純物が添加されていないか、低濃度のn型不純物またはp型不純物を含有する高抵抗領域13b, 13b'として形成されていて良い。これらの高抵抗領域13b, 13b'は、不純物濃度が 1×10^{17} 個/cm³以下、比抵抗が $1 \times 10^{-2} \Omega \text{ cm}$ 以上であることが好ましい。

5 [0028]

以上のような下部障壁層13の具体的な構成の一例は、次のようである。バッファ層12側に膜厚200nm程度で不純物を含有しない高抵抗領域13bが設けられている。この上部に、膜厚4nm程度でシリコン(Si)を 1.6×10^{12} 個/cm²程度含有するキャリア供給領域13aが積層されている。さらにこの上部に膜厚2nm程度で不純物を含有しない高抵抗領域13b'が積層されている。

[0029]

尚、下部障壁層13は、高抵抗領域13b, 13b'を含まず、全領域がキャリア供給領域13aとして構成されていても良い。

15 [0030]

[チャネル層14]

チャネル層14は、ソース電極23sとドレイン電極23dとの間の電流通路であって、下部障壁層13のキャリア供給領域13a、および後述する第1障壁層15のキャリア供給領域15aから供給されたキャリアが蓄積される層である。このようなチャネル層14は、下部障壁層13に対してヘテロ接合する化合物半導体で構成され、下部障壁層13に対して良好に格子整合している。またチャネル層14は、下部障壁層13とのヘテロ接合部におけるキャリア走行側のエネルギー帯が、下部障壁層13の界面領域を構成する化合物半導体材料におけるキャリア走行側のエネルギー帯よりも、チャネル層内真性フェルミ準位に近い化合物半導体を用いて構成されていることとする。また言い換えれば、チャ

ネル層 1 4 は、下部障壁層 1 3 とのヘテロ接合部における多数キャリア
走行側のエネルギー帯が、下部障壁層 1 3 の界面領域を構成する化合物
半導体材料における多数キャリア走行側のエネルギー帯よりも、少数キ
ャリア走行側のエネルギー帯に近い化合物半導体を用いて構成されてい
5 ることとする。尚、図 2 に示すように、チャンネル層内真性フェルミ準位
 E_{f14} は、チャンネル層 1 4 のコンダクションバンドの最低エネルギー
(以下、コンダクションバンドエネルギー E_c と記す) と、バレンスバ
ンドの最高エネルギー (以下、バレンスバンドエネルギー E_v と記す)
との中間に位置している。

10 [0031]

キャリアが電子である場合、キャリア走行側のエネルギー帯はコンダ
クションバンド (伝導帯) である。このため、チャンネル層 1 4 は、下部
障壁層 1 3 との接合部において、下部障壁層 1 3 を構成する化合物半導
体材料よりも、コンダクションバンドエネルギー E_c が低い III-V
15 族化合物半導体材料を用いて構成される。このようなチャンネル層 1 4 は、
下部障壁層 1 3 との接合部において、下部障壁層 1 3 に対してコンダク
ションバンドエネルギー E_c の差が大きいほど良い。キャリアが正孔で
ある場合、キャリア走行側のエネルギー帯はバレンスバンド (価電子帯
) である。このため、チャンネル層 1 4 は、下部障壁層 1 3 との接合部に
20 において、下部障壁層 1 3 を構成する化合物半導体材料よりも、バレンス
バンドエネルギー E_v が高い化合物半導体材料を用いて構成される。こ
のようなチャンネル層 1 4 は、下部障壁層 1 3 との接合部における下部障
壁層 1 3 との間のバレンスバンドエネルギー E_v の差が大きいほど良い。
尚、以下においてはキャリアが電子である場合を例示して説明を行うが、
25 キャリアが正孔である場合は不純物およびエネルギーバンドの説明は逆
導電型にすれば良い。

[0032]

以上のようなチャネル層14は、例えば下部障壁層13がAlGaAs混晶により構成されている場合、AlGaAs混晶よりもバンドギャップの狭いInGaAs混晶により構成される。この場合、インジウム
5 (In)の組成比を高くするほどInGaAs混晶におけるバンドギャップを狭くでき、AlGaAs混晶からなる下部障壁層13とのコンダクションバンドエネルギー E_c の差を大きくできる。このため、チャネル層14を構成するInGaAs混晶は、III族元素におけるインジウム(In)の組成比を0.1以上として良い。

10 [0033]

以上のようなチャネル層14の一例として、III族元素におけるインジウム(In)の組成比が0.2である $In_{0.2}Ga_{0.8}As$ 混晶が用いられる。これによりチャネル層14は、下部障壁層13に対する格子整合性を確保しつつ十分なコンダクションバンドエネルギー E_c の差が
15 得られたものとなる。

[0034]

またこのようなチャネル層14は、不純物を添加しない $u-InGaAs$ 混晶層であって良い。これにより、チャネル層14におけるキャリアの不純物散乱が抑えられ、高移動度でのキャリア移動が実現される。

20 [0035]

尚、チャネル層14は、15nm以下の膜厚で形成されたエピタキシャル成長層であって良く、これによって結晶性が確保されキャリアの走行性に優れた層とすることができる。

[0036]

25 [第1障壁層15(上部障壁層)]

第1障壁層15は、チャネル層14の上部に設けた上部障壁層の一部

を構成する層であって、チャネル層 1 4 に接する界面層を構成し、チャネル層 1 4 に対して良好に格子整合している。このような第 1 障壁層 1 5 は、チャネル層 1 4 との接合部において、チャネル層 1 4 を構成する化合物半導体材料よりも、キャリア走行側のエネルギー帯がチャネル層 5 内真性フェルミ準位 E_{f14} から遠い化合物半導体を用いて構成されている。つまり第 1 障壁層 1 5 は、チャネル層 1 4 との接合部において、チャネル層 1 4 を構成する化合物半導体材料よりも、多数キャリア走行側のエネルギー帯が、少数キャリア走行側のエネルギー帯から遠い化合物半導体を用いて構成されていることとする。キャリアが電子である場合、第 1 障壁層 1 5 は、チャネル層 1 4 を構成する化合物半導体材料よりも、コンダクションバンドエネルギー E_c が高い III-V 族化合物半導体材料を用いて構成される。このような第 1 障壁層 1 5 は、チャネル層 1 4 との接合部におけるチャネル層 1 4 との間のコンダクションバンドエネルギー E_c の差が大きいほど良い。

15 [0037]

以上のような第 1 障壁層 1 5 は、チャネル層 1 4 が InGaAs 混晶により構成されていれば、例えば InGaAs 混晶よりもバンドギャップが広い AlGaAs 混晶により構成される。この場合、アルミニウム (Al) の組成比を低く保つことで、いわゆるソース抵抗が増大することを防止できる。このため、第 1 障壁層 1 5 を構成する AlGaAs 混晶は、III 族元素におけるアルミニウム (Al) の組成比を 0.25 以下として良い。

[0038]

以上のような第 1 障壁層 1 5 の一例として、III 族元素におけるアルミニウム (Al) の組成比が 0.2 である $Al_{0.2}Ga_{0.8}As$ 混晶が 25 用いられる。これにより、チャネル層 1 4 との格子整合も確保される。

尚、このような第1障壁層15は、下部障壁層13と同一組成である必要はなく、それぞれに適した組成のAlGaAs混晶によって構成されれば良い。

[0039]

- 5 このような第1障壁層15は、キャリアを供給する不純物を含むキャリア供給領域15aを有している。ここでは、第1障壁層15の表面層に、電子を供給するn型不純物としてシリコン(Si)を含むn型のキャリア供給領域15aが配置されている。

[0040]

- 10 また、第1障壁層15におけるキャリア供給領域15a以外の膜厚部分は、不純物が添加されていないか、低濃度の不純物を含有する高抵抗領域15bとして形成されていて良い。この高抵抗領域15bが不純物を含有する場合、n型不純物またはp型不純物を含有する。この場合、不純物濃度が 1×10^{17} 個/cm³以下、比抵抗が $1 \times 10^{-2} \Omega \text{cm}$ 以上であることが好ましい。

[0041]

- 以上のような第1障壁層15の具体的な構成の一例は、次のようである。第1障壁層15は膜厚6nm程度であり、チャネル層14側から順に、膜厚2nm程度で不純物を含有しない高抵抗領域15b、膜厚4nm程度でシリコン(Si)を 1.6×10^{12} 個/cm²程度含有するキャリア供給領域15aを積層してなる。

[0042]

- 尚、チャネル層14がInGaAs混晶で構成されている場合、第1障壁層15はAlGaAs混晶に限定されず、III-V族化合物半導体であるIn(AlGa)AsP混晶で構成されて構成されていても良い。これにより、InGaAs混晶で構成されたチャネル層14におけ

る I_n の組成比を大きくでき、チャネル層 14 におけるキャリアの移動度を高めることができる。

[0043]

またこの第 1 障壁層 15 は、下部障壁層 13 と同様に、全領域がキャリア供給領域として構成されていても良い。

[0044]

[第 2 障壁層 16 (上部障壁層)]

第 2 障壁層 16 は、チャネル層 14 の上部に設けた上部障壁層の一部を構成する層であって、上部障壁層の表面層を構成している。このような第 2 障壁層 16 は、第 1 障壁層 15 に対して良好に格子整合すると共に、第 1 障壁層 15 に対してヘテロ接合している。また特に、この第 2 障壁層 16 は、第 1 障壁層 15 との接合部におけるキャリア走行側と逆側のエネルギー帯が、第 1 障壁層 15 よりも第 1 障壁層内真性フェルミ準位から遠い化合物半導体を用いて構成される。つまり、第 2 障壁層 16 は、第 1 障壁層 15 との接合部における少数キャリア走行側のエネルギー帯が、第 1 障壁層 15 よりも多数キャリア走行側のエネルギー帯から遠い化合物半導体を用いて構成されていることとする。尚、図 2 に示すように、第 1 障壁層内真性フェルミ準位 E_{f15} は、第 1 障壁層 15 のコンダクションバンドエネルギー E_c と、バレンスバンドエネルギー E_v との中間に位置している。キャリアが電子である場合、第 1 障壁層 15 との接合部における第 2 障壁層 16 のバレンスバンドエネルギー E_v が、チャネル層 14 との接合部における第 1 障壁層 15 のバレンスバンドエネルギー E_v よりも低くなるような化合物半導体を用いて第 2 障壁層 16 が構成されている。このような第 2 障壁層 16 は、第 1 障壁層 15 との接合部における第 1 障壁層 15 との間のバレンスバンドエネルギー E_v の差が大きいほど良い。

[0045]

以上のような第2障壁層16は、第1障壁層15がAlGaAs混晶で構成されている場合、例えばAlGaAs混晶よりもバンドギャップが広いGaInP混晶により構成される。この場合、第2障壁層16は、
5 III族元素におけるガリウム(Ga)の組成比を0.5としたGa_{0.5}In_{0.5}P混晶により構成されている。これにより、第1障壁層15との格子整合が確保される。

[0046]

尚、この第2障壁層16も、GaInP混晶に限定されることはなく、
10 例えばIII-V族化合物半導体であるIn(AlGa)AsP混晶、AlAs混晶、InAlP、AlGaAs混晶で構成されて構成されていても良い。ただし、AlGaAs混晶は、Alの組成比0.2以上とする。また、第2障壁層16を構成する化合物半導体は、第1障壁層15を構成する化合物半導体よりも、バレンスバンドエネルギーE_vが低
15 ければ良く、コンダクションバンドエネルギーE_cは高くても低くても良い。

[0047]

このような第2障壁層16は、不純物が添加されていないか、低濃度のn型不純物を含有することで高抵抗な領域（高抵抗領域16b）とな
20 っている。この第2障壁層16がn型の不純物を含有する場合、不純物濃度が 1×10^{17} 個/cm³以下、比抵抗が $1 \times 10^{-2} \Omega \text{cm}$ 以上であることが好ましい。

[0048]

以上のような第2障壁層16の一例としては、不純物を含有せずに膜
25 厚30nmで第1障壁層15上に設けられていることとする。

[0049]

[低抵抗領域 16 g]

低抵抗領域 16 g は、第 2 障壁層 16 内であって、少なくともチャネル層 14 とは反対側の表面層に、キャリア供給領域 15 a に対して間隔を有して設けられている。この低抵抗領域 16 g は、キャリアとは逆導電型の不純物を含有し、周囲よりも低抵抗に保たれている。したがって、キャリアが電子の場合、低抵抗領域 16 g には p 型不純物が拡散されていることとなる。

[0050]

このような低抵抗領域 16 g の厚さと p 型不純物濃度の値は、第 2 障壁層 16 の膜厚と、第 2 障壁層 16 の n 型不純物濃度と共に、半導体装置 1-1 が次のような状態となるように設定されている。すなわちこれらの値は、ゲート電極 27 に負の電圧を印加した場合にチャネル層 14 内の電子が枯渇し、一方ゲート電極 27 に正の電圧を印加した場合には低抵抗領域 16 g が空乏化するように、先の厚さと p 型不純物濃度が設定されている。尚、低抵抗領域 16 g が設けられる第 2 障壁層 16 は、低抵抗領域 16 g 以外の領域はこれと比較して抵抗値が高い高抵抗領域 16 b となっている。

[0051]

ここでゲート電極 27 に負の電圧を印加した場合のチャネル層 14 内の電子の枯渇は、低抵抗領域 16 g と、これに接する第 2 障壁層 16 の高抵抗領域 16 b との間の p n 接合の空乏層による。一方、ゲート電極 27 に正の電圧を印加した場合の低抵抗領域 16 g の空乏化は、p 型の低抵抗領域 16 g とゲート絶縁膜 25 とゲート電極 27 とによる M I S 構造によって発生する空乏層による。そして p 型の低抵抗領域 16 g が空乏化することにより、低抵抗領域 16 g と、高抵抗領域 16 b との間の空乏層が消滅し、チャネル層 14 内の電子の枯渇が解消され、チャネ

ル層 1 4 内に電子が蓄積される。

[0052]

このような低抵抗領域 1 6 g には、一例として、 1×10^{18} 個/cm³以上の p 型不純物が含有されていて良く、一例として 1×10^{19} 個/cm³ 程度である。尚、Ga_{0.5}In_{0.5}P 混晶や In (AlGa) As P 混晶により構成された第 2 障壁層 1 6 に、p 型の低抵抗領域 1 6 g を形成するための p 型不純物としては亜鉛 (Zn) が用いられる。

[0053]

[絶縁膜 2 1]

10 絶縁膜 2 1 は、第 2 障壁層 1 6 の全面を覆う状態で設けられている。この絶縁膜 2 1 は、第 2 障壁層 1 6 を構成する化合物半導体に対して絶縁性を有し、かつ、イオンなどの不純物より下地（ここでは第 2 障壁層 1 6）の表面を保護する機能を持つ材料が用いられ、例えば厚さが 200 nm の窒化シリコン (Si₃N₄) により構成されている。

15 [0054]

このような絶縁膜 2 1 には、第 2 障壁層 1 6 に設けた低抵抗領域 1 6 g を挟む位置で、低抵抗領域 1 6 g に重ならない位置、つまり第 2 障壁層 1 6 における高抵抗領域 1 6 b に達するソース開口 2 1 s / ドレイン開口 2 1 d が設けられている。また絶縁膜 2 1 におけるソース開口 2 1 s とドレイン開口 2 1 d との間には、低抵抗領域 1 6 g を露出する形状のゲート開口 2 1 g が設けられている。このゲート開口 2 1 g は、ここでは一例として底部に低抵抗領域 1 6 g のみを露出させた開口幅であることとする。

[0055]

25 以上のソース開口 2 1 s 、ドレイン開口 2 1 d 、およびゲート開口 2 1 g は、それぞれが独立した開口部分として、絶縁膜 2 1 に設けられて

いる。

[0056]

[ソース電極23s／ドレイン電極23d]

ソース電極23sおよびドレイン電極23dは、低抵抗領域16gを
5 挟む位置において、それぞれがソース開口21sおよびドレイン開口2
1dを介して第2障壁層16にオーミック接合されている。このような
ソース電極23sおよびドレイン電極23dは、第2障壁層16側から
順に、金-ゲルマニウム(AuGe)、ニッケル(Ni)、および金(Au)
10 極23sおよびドレイン電極23dの各膜厚は、例えばそれぞれ100
0nmである。

[0057]

[ゲート絶縁膜25]

ゲート絶縁膜25は、絶縁膜21に形成されたゲート開口21gの底
15 部に設けられ、ゲート開口21gを完全に塞ぐ状態で設けられていて良
く、端縁が絶縁膜21上に積層されている。このようなゲート絶縁膜2
5は、酸化物または窒化物を用いて構成され、例えば厚さが10nmの
酸化アルミニウム(Al_2O_3)により構成されている。

[0058]

20 [ゲート電極27]

ゲート電極27は、ゲート絶縁膜25を介して低抵抗領域16gの上
部に設けられている。ここでは、ゲート電極27は、ゲート開口21g
を埋め込む状態で設けられ、ゲート開口21gの底部における全域にお
いて低抵抗領域16g上に設けられていることとする。このようなゲー
25 ト電極27は、基板11側からニッケル(Ni)、および金(Au)を
順次積層した構成となっている。

[0 0 5 9]

[バンド構造]

図2は、上記構成の半導体装置1-1のゲート電極27下方におけるエネルギーバンド構成図であり、ゲート電圧 $V_g = 0$ V程度を印加した
5 オフ動作時のものである。尚、このエネルギーバンド構成図は、下部障壁層13を $Al_{0.2}-Ga_{0.8}As$ 混晶により、チャネル層14を $In_{0.2}Ga_{0.8}As$ 混晶により、第1障壁層15を $Al_{0.2}-Ga_{0.8}As$ 混晶により、第2障壁層16を $Ga_{0.5}In_{0.5}P$ 混晶により構成した場合について表している。

10 [0 0 6 0]

図2に示すように、本第1実施形態の半導体装置1-1は、バンドギャップの狭いチャネル層14を、これよりもバンドギャップが広くバレンスバンドエネルギー E_v が低い下部障壁層13と第1障壁層15とで挟んだ構成である。このため、チャネル層14は、下部障壁層13および第1障壁層15のキャリア供給領域13a, 15aからキャリアとして電子が供給された場合に、この電子が蓄積される二次電子ガス層となる。

[0 0 6 1]

また、チャネル層14と第1障壁層15とのヘテロ接合部におけるコンダクションバンドの不連続量 ΔE_c が十分に大きい（ここでは0.31 eV）。さらに、第1障壁層15におけるコンダクションバンドエネルギー E_c の極小点と、チャネル層14内におけるコンダクションバンドエネルギー E_c との差も十分に大きく（ここでは0.20 eV以上）なるように構成されており、第1障壁層15内に分布する電子数はチャ
25 ネル層14内に分布する電子数に比べて無視できる程度に少なくなっている。

[0 0 6 2]

＜第1実施形態の半導体装置の動作＞

次に、図1を用いて説明した上記構成の半導体装置1-1の動作を、
先の図2と共に、図3のエネルギーバンド構成図、および図4の半導体
5 装置1-1の断面図を用いて説明する。

尚、図3はゲート電圧 $V_g = 3\text{ V}$ 程度を印加したオン動作時のものであ
って、図2と同様に各層が構成されている場合について表している。

[0 0 6 3]

先ず、図1および図2を参照し、半導体装置1-1におけるゲート電
10 極27に、ゲート電圧 $V_g = 0\text{ V}$ 程度を印加した状態では、ゲート絶縁
膜25下のp型の低抵抗領域16g内のバレンスバンドエネルギー E_v
は一定であり、フェルミレベル E_f とほぼ一致している。尚、ゲート電
圧 V_g を負バイアスとした場合、p型の低抵抗領域16gの表面で正孔
の蓄積が起こるため、表面付近のコンダクションバンドエネルギー E_c 、
15 およびバレンスバンドエネルギー E_v が低くなるものの、チャネル層1
4付近のバンド形状は図2と同様である。

[0 0 6 4]

またこの状態においては、図4に示すように、半導体装置1-1にお
ける低抵抗領域16gの直下に位置するチャネル層14内の領域に、電
20 子が空乏化したキャリア欠乏領域Aが形成され、チャネル層14は高抵
抗になる。これにより、ソース電極23sードレイン電極23d間には、
チャネル層14を介してドレイン電流 I_d が流れることはなく、オフ状
態となる。尚、キャリア供給領域15aバレンスバンドエネルギー E_v
と高抵抗領域16bのバレンスバンドエネルギー E_v との差が大きいほ
25 どオフ状態におけるチャネル層14のコンダクションバンド E_c を高く
することができ、オフ状態におけるドレイン電流を低くすることができ

る。

[0065]

一方、図1および図3を参照し、半導体装置1-1におけるゲート電極27に、ゲート電圧 $V_g = 3.0\text{ V}$ 程度の正のゲート電圧 V_g を印加した状態では、ゲート絶縁膜25を介してp型の低抵抗領域16gのコンダクションバンド E_c が下がる。これにより、低抵抗領域16g内の正孔が空乏化する。すると図4において示したチャネル層14内におけるキャリア欠乏領域Aは消失し、チャネル層14内における電子数が増大し、チャネル層14を介してソース電極23sードレイン電極23d間にドレイン電流 I_d が流れる。このドレイン電流 I_d は、ゲート電圧 V_g によって変調される。

[0066]

<第1実施形態の半導体装置の製造方法>

次に、上述した構成の半導体装置1-1の製造方法の一例を、図5および図6の断面工程図に基づいて説明する。

[0067]

[図5A]

先ず図5Aに示すように、例えばGaAsよりなる基板11上に、例えば不純物を添加しないu-GaAs層をエピタキシャル成長させてバッファ層12を形成する。その後、バッファ層12上に、例えばAlGaAs ($\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶) 層をエピタキシャル成長させて下部障壁層13を形成する。この際、例えば不純物を添加しないu-AlGaAs層からなる高抵抗領域13b、シリコン(Si)を添加したn型AlGaAs層からなるキャリア供給領域13a、および不純物を添加しないu-AlGaAs層からなる高抵抗領域13b'を順次エピタキシャル成長させる。これにより、膜厚方向の中央にn型のキャリア供給

領域 13a を備えた下部障壁層 13 を得る。

[0068]

次に、下部障壁層 13 上に、例えば不純物を添加しない $u\text{-InGaAs}$ 層をエピタキシャル成長させてチャネル層 14 を形成する。

5 [0069]

その後、チャネル層 14 上に、例えば AlGaAs ($\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶) 層をエピタキシャル成長させて第 1 障壁層 15 を形成する。この際、例えば不純物を添加しない $u\text{-AlGaAs}$ 層からなる高抵抗領域 15b、シリコン (Si) を添加した n 型の AlGaAs 層からなるキャリア供給領域 15a を順次エピタキシャル成長させる。これにより、高抵抗領域 15b とこの上部のキャリア供給領域 15a を備えた第 1 障壁層 15 を得る。

[0070]

続いて、キャリア供給領域 15a 上に、例えば GaInP ($\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 混晶) 層をエピタキシャル成長させ、不純物を添加しない $u\text{-GaInP}$ 層からなる第 2 障壁層 16 を形成する。この第 2 障壁層 16 は、高抵抗領域 16b として形成される。またこれにより、第 1 障壁層 15 と第 2 障壁層 16 とからなる上部障壁層を得る。

[0071]

20 以上の後には、ここでの図示を省略した素子分離の形成を行う。この場合、例えばボロンのイオン注入によって高抵抗化された非活性領域を形成し、これを素子分離とする。

[0072]

[図 5B]

25 次に図 5B に示すように、第 2 障壁層 16 上に、例えば CVD (Chemical Vapor Deposition) 法により、窒化シリコン (Si_3N_4)

よりなる絶縁膜 2 1 を成膜する。その後、絶縁膜 2 1 をパターンエッチングすることにより、第 2 障壁層 1 6 の表面を露出させるゲート開口 2 1 g を絶縁膜 2 1 に形成する。この状態で、ゲート開口 2 1 g の底部に露出する第 2 障壁層 1 6 の表面層からの p 型不純物の導入により、第 2 障壁層 1 6 内に p 型の低抵抗領域 1 6 g を形成する。ここでは、キャリア供給領域 1 5 a に達することのない位置、すなわち第 2 障壁層 1 6 内の表面層のみに、p 型不純物である亜鉛 (Zn) を拡散させて低抵抗領域 1 6 g を形成する。亜鉛 (Zn) の拡散は、例えば 600℃ 程度の温度での亜鉛化合物気体を用いた気相拡散によって行う。これにより、ゲート開口 2 1 g の底部にセルフアラインで低抵抗領域 1 6 g を形成する。

[0073]

[図 6 A]

次に図 6 A に示すように、低抵抗領域 1 6 g およびゲート開口 2 1 g の内壁を覆う状態で、絶縁膜 2 1 上にゲート絶縁膜 2 5 を成膜する。ここでは例えば原子層蒸着法 (Atomic Layer Deposition: ALD) 法により、膜厚 10 nm 程度の酸化アルミニウム (Al_2O_3) よりなるゲート絶縁膜 2 5 を高精度に成膜する。

[0074]

その後、ゲート開口 2 1 g を埋め込む形状のゲート電極 2 7 を、ゲート絶縁膜 2 5 を介して低抵抗領域 1 6 g 上に形成する。この際、ゲート絶縁膜 2 5 上に、ニッケル (Ni)、および金 (Au) を順次マスク蒸着してゲート電極 2 7 をパターン形成する。

[0075]

[図 6 B]

次に図 6 B に示すように、ゲート絶縁膜 2 5 および絶縁膜 2 1 をパターンエッチングすることにより、低抵抗領域 1 6 g を挟む位置において、

第2障壁層16の高抵抗領域16bを露出させたソース開口21sおよびドレイン開口21dを形成する。

[0076]

[図1]

- 5 その後は図1に示したように、ソース開口21sおよびドレイン開口21dを介して第2障壁層16の高抵抗領域16bにオーミック接合されたソース電極23sおよびドレイン電極23dを形成する。この際、金-ゲルマニウム(AuGe)、ニッケル(Ni)、および金(Au)を順次蒸着してパターンニングし、さらに例えば400℃程度の加熱処理により金系合金形成をしてソース電極23s/ドレイン電極23dを形成し、半導体装置1-1を完成させる。
- 10

[0077]

- 以上の説明した製造方法により、第1実施形態の半導体装置1-1を形成することができる。この方法によれば、絶縁膜21に形成したゲート開口21gからのp型不純物の拡散によって低抵抗領域16gを形成した後、ゲート開口21gを埋め込む状態でゲート絶縁膜25を介してゲート電極27を形成する。このため、低抵抗領域16g上には、低抵抗領域16gに対してセルフアラインでゲート電極27が形成される。したがって、第1実施形態の半導体装置1-1を容易に得ることが可能である。
- 15
- 20

[0078]

- 尚、ゲート開口21g、ゲート絶縁膜25、およびゲート電極27の形成は、ソース開口21s/ドレイン開口21dおよびソース電極23s/ドレイン電極23dの形成の後に行っても良い。この場合であっても、ゲート絶縁膜25を介して低抵抗領域16gに対してセルフアラインでゲート電極27が形成されるため、第1実施形態の半導体装置1-1
- 25

を容易に得ることが可能である。

[0079]

＜第1実施形態の半導体装置の効果＞

以上説明した半導体装置 1-1 は、不純物を含有しないかまたは低濃
5 度の n 型の高抵抗領域 16 b 中に p 型の低抵抗領域 16 g を設けた構成
において、この上部にゲート絶縁膜 25 を介してゲート電極 27 を設け
ている。このため、ゲート電極 27 に対して、順方向電圧（ここでは正
電圧）を印加した場合であっても、ゲート電極 27 とソース電極 23 s
／ドレイン電極 23 d との間にゲートリーク電流が流れることが防止さ
10 れる。これにより、ゲート絶縁膜 25 を設けていない従来構成の半導体
装置（J P H E M T）と比較して、ゲート電極 27 に対してより高い正
のゲート電圧 V_g を印加することが可能になる。この結果、チャネル層
14 のオン抵抗 R_{on} をより低く引き下げることができ、最大ドレイン
電流 I_{dmax} の向上を図ることができる。またこれにより、素子サイ
15 ズを縮小すること、およびこの素子に対する寄生容量の低減を図ること
が可能になる。

[0080]

またこの半導体装置 1-1 は、下部障壁層 13 内に n 型のキャリア供
給領域 13 a を設け、さらに第 1 障壁層 15 内に n 型のキャリア供給領
20 域 15 a を設けた構成である。このため、これらにキャリア供給領域 1
3 a, 15 a からチャネル層 14 に電子が供給されることによって、チャ
ネル層 14 内のシートキャリア密度が高くなり、チャネル抵抗を小さ
くすることができる。これによっても、オン抵抗 R_{on} の低下と、これ
による最大ドレイン電流 I_{dmax} の向上を図ることが可能である。

25 [0081]

そして特に、低抵抗領域 16 g が設けられた上部障壁層を、チャネル

層 1 4 側の第 1 障壁層 1 5 と、この上部の第 2 障壁層 1 6 との多層構造
としている。この多層構造において、第 2 障壁層 1 6 と第 1 障壁層 1 5
との接合部においては、第 2 障壁層 1 6 のバレンスバンドエネルギー E_v
5 がある。これにより、以下に図 2 のバンド図を用いて説明するように、チ
ャネル層 1 4 のコンダクションバンドエネルギー E_c が、当該チャネル
層 1 4 のバンドギャップの分だけフェルミ準位 E_f から遠ざかる方向に
持ち上がる。尚、図 2 のバンド図には、比較例として、チャネル層 1 4
に接して設けられた上部障壁層を $AlGaAs$ からなる単一層とした場
10 合を二点鎖線で示した。

[0 0 8 2]

すなわち図 2 のバンド図に示すように、ゲート電極 2 7 をオフ電圧状
態にすると、ゲート絶縁膜 2 5 に接する低抵抗領域 1 6 g のバレンスバ
ンドエネルギー E_v は、フェルミ準位 E_f にほぼ一致する。ここで、低
15 抵抗領域 1 6 g を構成する第 2 障壁層 1 6 のバレンスバンドエネルギー
 E_v は、第 1 障壁層 1 5 との接合部において第 1 障壁層 1 5 のバレンス
バンドエネルギー E_v よりも低い。したがって、第 2 障壁層 1 6 と第 1
障壁層 1 5 とのヘテロ接合部では、第 1 障壁層 1 5 のバレンスバンドエ
ネルギー E_v が、第 2 障壁層 1 6 のバレンスバンドエネルギー E_v より
20 もフェルミ準位 E_f 側に持ち上がった状態となる。また、第 1 障壁層 1
5 にヘテロ接合されたチャネル層 1 4 も、バレンスバンドエネルギー E_v
がフェルミ準位 E_f 側に持ち上がった状態となる。この影響によりチ
ャネル層 1 4 のコンダクションバンドエネルギー E_c は、当該チャネル
層 1 4 のバンドギャップを維持してフェルミ準位 E_f から遠ざかる方向
25 に持ち上がる。

[0 0 8 3]

これにより、チャネル層 14 におけるコンダクションバンドエネルギー E_c とフェルミ準位 E_f とのエネルギー差 ΔE は、図中に二点鎖線で示した比較例におけるエネルギー差 ΔE_0 より大きくなる。

[0084]

- 5 以上により、本第 1 実施形態の構造の半導体装置では、比較例よりも、オフ状態においてチャネル層 14 のコンダクションバンドに電子が存在し難くなり、オフリーク電流を低減させることが可能になるのである。

[0085]

- 10 図 7 には、本第 1 実施形態の構造の半導体装置 (InGaP/AlGaAs)、および上述した上部障壁層を単層構造にした比較例 (AlGaAs) についての、ゲート電圧ードレイン電流のグラフを示す。このグラフに示すように、ゲート電圧がマイナス側のオフ時において、本第 1 実施形態の半導体装置 (InGaP/AlGaAs) のドレイン電流が、比較例 (AlGaAs) よりも 2 桁近く低減されていることが判る。

- 15 [0086]

また本第 1 実施形態の構造の半導体装置では、このようなオフリーク電流の低減が図られることにより、p 型の低抵抗領域 16g に接する領域 (高抵抗領域 16b) における n 型不純物の濃度を高くすることができる。

- 20 [0087]

- 図 8 には、本第 1 実施形態の半導体装置 (InGaP/AlGaAs) において、高抵抗領域 16b の n 型の不純物濃度がそれぞれの場合、および上述した上部障壁層を単層構造にした比較例 (AlGaAs) についての、ゲート電圧ードレイン電流のグラフを示す。このグラフに示すように、本第 1 実施形態の半導体装置 (InGaP/AlGaAs) では、高抵抗領域 16b の n 型の不純物濃度を $1.1 \times 10^{18} [\text{cm}^{-3}]$
- 25

程度にまで上げて、比較例 (AlGaAs) における高抵抗領域 16 b の n 型の不純物濃度を $5 \times 10^{17} [\text{cm}^{-3}]$ と同程度のオフ電流に抑えられることがわかる。

[0088]

- 5 以上のように本第 1 実施形態の半導体装置においては、低抵抗領域 16 g に接する領域において逆導電型の不純物濃度を高くできることにより、チャネル層 14 のシートキャリア密度を高くすることができ、チャネル抵抗およびアクセス抵抗を低くすることができる。この結果、オン状態における抵抗 (オン抵抗 R_{on}) を低減することができる。これ
- 10 によっても、最大ドレイン電流 I_{dmax} の向上、素子サイズ縮小、およびこの素子に対する寄生容量の低減を図る効果を期待できる。

[0089]

- また以上のような効果は、チャネル層 14 を構成する化合物半導体層として用いられる InGaAs に対して、バンドギャップは広いが 5 族
- 15 材料が異なるため、エピタキシャル成長時に As から P への切り替えが必要となる化合物半導体 (例えば InGaP) を、第 2 障壁層 16 の構成材料として用いて実現される。

[0090]

- さらにゲート電極 27 に負電圧を印加するオフ動作においては、印加
- 20 した負電圧により発生する電界はすべてゲート絶縁膜 25 に掛かる。このため、低抵抗領域 16 g を含む第 2 障壁層 16 より基板 11 側の化合物半導体で構成された層内の空乏層の変化がない。すなわち、オフ時の容量のゲートバイアス依存がほとんどなく、高調波歪特性の向上が図られる。

- 25 [0091]

尚、以上の第 1 実施形態は、半導体装置 1-1 をデプレッション型とし

た場合を説明したが、エンハンスメント型とした場合であっても同様に考えることができ、上述した説明はよりよく当てはまる。

[0092]

《2. 第2実施形態》

5 (第1障壁層の中央にキャリア供給領域を設けた例)

図9は第2実施形態の半導体装置の要部構成を示す断面図であり、図10は第2実施形態の半導体装置の動作を説明するエネルギーバンド図である。以下、これらの各図に基づいて、本技術を適用した第2実施形態の半導体装置の構成、第2実施形態の半導体装置の動作、第2実施形態の半導体装置の作用効果の順に説明を行う。

[0093]

<第2実施形態の半導体装置の構成>

図9に示すように、本第2実施形態の半導体装置1-2が、図1を用いて説明した第1実施形態の半導体装置と異なるところは、第1障壁層15に設けたキャリア供給領域15aを、膜厚方向の中央部としたところにあり、他の構成は同様である。よって、第1実施形態と同一の構成要素には同一の符号を付し、本第2実施形態での詳細な説明は省略する。

[0094]

[第1障壁層15]

20 すなわち第1障壁層15は、第1実施形態の第1障壁層と同様のものであり、チャネル層14に対して良好に格子整合すると共に、チャネル層14を構成する化合物半導体材料よりもコンダクションバンドエネルギー E_c が高いIII-V族化合物半導体材料で構成され、チャネル層14に対してヘテロ接合している。

25 [0095]

このような第1障壁層15において、キャリア供給領域15aを挟ん

で配置される高抵抗領域 15 b, 15 b' は、それぞれ独立に、不純物が添加されていないか、低濃度の不純物を含有する高抵抗領域 15 b として形成されていて良い。この高抵抗領域 15 b, 15 b' が不純物を含有する場合、n 型不純物または p 型不純物を含有する。この場合、不
 5 純物濃度が 1×10^{17} 個/cm³ 以下、比抵抗が $1 \times 10^{-2} \Omega \text{ cm}$ 以上であることが好ましい。

[0096]

以上のような第 1 障壁層 15 の具体的な構成の一例は、次のようである。第 1 障壁層 15 は膜厚 8 nm 程度であり、チャネル層 14 側から順
 10 に、膜厚 2 nm 程度で不純物を含有しない高抵抗領域 15 b、膜厚 4 nm 程度でシリコン (Si) を 1.6×10^{12} 個/cm² 程度含有するキャリア供給領域 15 a、膜厚 2 nm 程度で不純物を含有しない高抵抗領域 15 b' を積層してなる。

[0097]

15 尚、この第 1 障壁層 15 は、第 2 障壁層 16 と接する側の層のみを高抵抗領域 15 b' とし、チャネル層 14 と接する側の層がキャリア供給領域として構成されていても良い。

[0098]

[第 2 障壁層 16]

20 以上のように、第 1 障壁層 15 の中央にキャリア供給領域 15 a を設けた構成であっても、この第 1 障壁層 15 上部の第 2 障壁層 16 は、第 1 実施形態と同様の構成が適用される。すなわち、第 2 障壁層 16 は、第 1 障壁層 15 に対して良好に格子整合すると共に、第 1 障壁層 15 に対してヘテロ接合している。また特に、この第 2 障壁層 16 は、第 1 障
 25 壁層 15 を構成する化合物半導体材料よりもバレンスバンドエネルギー E_v が低い III-V 族化合物半導体材料で構成されているところが特

微的である。このような第2障壁層16は、第1障壁層15に対してバ
 レンスバンドエネルギー E_v の差が大きいほど良い。

[0099]

[低抵抗領域16g]

- 5 また低抵抗領域16gは、第1実施形態と同様の構成が適用され、キ
 ャリア供給領域15aに対して間隔を有して設けられている。このため
 本第2実施形態において低抵抗領域16gは、第2障壁層16から第1
 障壁層15の高抵抗領域15b'にまでまたがる深さで配置されていて
 も良く、第1障壁層15のキャリア供給領域15aにまで達していても
 10 良い。

[0100]

[バンド構造]

- 図10は、上記構成の半導体装置1-2のエネルギーバンド構成図で
 あり、ゲート電圧 $V_g = 0V$ 程度を印加したオフ動作時のものである。
 15 尚、このエネルギーバンド構成図は、下部障壁層13および第1障壁層
 15を $Al_{0.2}-Ga_{0.8}As$ 混晶によりそれぞれ構成し、第2上部障壁層
 を $Ga_{0.5}In_{0.5}P$ 混晶によって構成し、チャネル層14を $In_{0.2}Ga_{0.8}As$
 混晶により構成した場合について表している。

[0101]

- 20 図10に示すように上記構成の半導体装置1-2は、第1実施形態の半
 導体装置と同様にバンドギャップの狭いチャネル層14を、これよりも
 バンドギャップが広くバレンスバンドエネルギー E_v が低い下部障壁層
 13と第1障壁層15とで挟んだ構成である。このため、チャネル層1
 4は、下部障壁層13および第1障壁層15のキャリア供給領域13a,
 25 15aからキャリアが供給された場合に、このキャリアが蓄積される二
 次電子ガス層となる。

[0102]

また、チャネル層14と第1障壁層15とのヘテロ接合部におけるコンダクションバンドの不連続量 ΔE_c が十分に大きい（ここでは0.31 eV）。さらに、第1障壁層15におけるコンダクションバンドエネルギー E_c の極小点と、チャネル層14内におけるコンダクションバンドエネルギー E_c との差も十分に大きく（ここでは0.20 eV以上）なるように構成されており、第1障壁層15内に分布する電子数はチャネル層14内に分布する電子数に比べて無視できる程度に少なくなっている。

10 [0103]

<第2実施形態の半導体装置の動作>

このような構成を有する半導体装置1-2は、第1実施形態の半導体装置と同様に動作する。

[0104]

15 <第2実施形態の半導体装置の製造方法>

このような構成を有する半導体装置1-2の製造は、第1実施形態の半導体装置の製造手順において第1障壁層15を形成する際、高抵抗領域15b、キャリア供給領域15a、高抵抗領域15b'を順にエピタキシャル成長させる工程のみ異なる。また低抵抗領域16gの形成は、
20 例えばGaInP混晶からなる第2障壁層16に対して、p型不純物である亜鉛（Zn）を拡散させることによって行われるが、さらにAlGaAs混晶からなる第1障壁層15のキャリア供給領域15aにまで達するようにp型不純物を拡散させても良い。

[0105]

25 <第2実施形態の半導体装置の効果>

以上説明した半導体装置1-2は、第1実施形態の構成と同様に、チ

チャネル層 14 上に、第 1 障壁層 15 を介して当該第 1 障壁層 15 よりもバレンスバンドエネルギー E_v の低い第 2 障壁層 16 を設け、この表面層に設けた p 型の低抵抗領域 16 g の上部にゲート絶縁膜 25 を介してゲート電極 27 を設けた構成である。このため、第 1 実施形態と同様の

5 効果を得ることができる。

[0106]

《 3. 第 3 実施形態 》

(キャリア供給領域と低抵抗領域とを接合させた例)

図 11 は第 3 実施形態の半導体装置の要部構成を示す断面図である。

10 以下、この図に基づいて、本技術を適用した第 3 実施形態の半導体装置の構成を説明する。

[0107]

＜第 3 実施形態の半導体装置の構成＞

図 11 に示す本第 3 実施形態の半導体装置 1-3 が、図 1 を用いて説明した第 1 実施形態の半導体装置と異なるところは、第 2 障壁層 16 に設けられた p 型の低抵抗領域 16 g が、第 1 障壁層 15 のキャリア供給領域 15 a に接して配置されているところにある。他の構成は第 1 実施形態と同様である。よって、第 1 実施形態と同一の構成要素には同一の符号を付し、本第 3 実施形態での詳細な説明は省略する。

20 [0108]

すなわち、第 2 障壁層 16 に設けられた p 型の低抵抗領域 16 g の深さは、第 2 障壁層 16 の膜厚と一致している。そして p 型の低抵抗領域 16 g は、第 1 障壁層 15 に設けた n 型不純物を含有する n 型のキャリア供給領域 15 a に接合して設けられている。

25 [0109]

＜第 3 実施形態の半導体装置の動作および製造方法＞

以上のような構成を有する半導体装置 1-3 は、第 1 実施形態の半導体装置と同様に動作する。またこの半導体装置 1-3 の製造は、第 1 実施形態の半導体装置の製造手順において第 2 障壁層 1 6 を成膜する際、後に形成する p 型の低抵抗領域 1 6 g の深さに合わせた膜厚で成膜すれば良い。また p 型の低抵抗領域 1 6 g を形成する際には、第 1 障壁層 1 5 のキャリア供給領域 1 5 a に達するように、第 2 障壁層 1 6 に p 型の不純物を導入する。

[0 1 1 0]

<第 3 実施形態の半導体装置の効果>

10 以上説明した半導体装置 1-3 は、第 1 実施形態の構成と同様に、チャンネル層 1 4 上に、第 1 障壁層 1 5 を介して当該第 1 障壁層 1 5 よりもバレンスバンドエネルギー E_v の低い第 2 障壁層 1 6 を設け、この表面層に設けた p 型の低抵抗領域 1 6 g の上部にゲート絶縁膜 2 5 を介してゲート電極 2 7 を設けた構成である。このため、第 1 実施形態と同様の

15 効果を得ることができる。

[0 1 1 1]

これに加えて、第 3 実施形態の半導体装置 1-3 は、p 型の低抵抗領域 1 6 g をキャリア供給領域 1 5 a に接して設けたことによる効果を得ることができる。すなわち、p 型の低抵抗領域 1 6 g をキャリア供給領域 1 5 a に接して設けた構成であるため、p 型の低抵抗領域 1 6 g とチャンネル層 1 4 との間の距離を短くすることができる。これにより、ゲート電圧によるチャンネル層 1 4 内ポテンシャルの制御性を高めることが可能であり、これによっても最大ドレイン電流 I_{dmax} の向上、素子サイズ縮小、およびこの素子に対する寄生容量の低減を図る効果を期待で

20 きる。さらに低抵抗領域 1 6 g からチャンネル層 1 4 までの間隔を狭くすることができるため、閾値電圧を比較的高い値に設定する事が可能とな

25

る。

[0 1 1 2]

さらに、p型の低抵抗領域16gと比較したキャリア供給領域15aの不純物濃度が比較的高い条件においては、キャリア供給領域15a内へ拡散した亜鉛はキャリア供給領域15a内の不純物により打ち消される。このため、亜鉛（Zn）のようなp型の不純物の拡散によって形成されるp型の低抵抗領域16gの深さと、第2障壁層16の膜厚とを等しくすることができる。これにより、p型の低抵抗領域16gの深さが、第2障壁層16の膜厚によって高精度に制御され、薄い低抵抗領域16gを精度良く形成することが可能である。またこのことから、p型の低抵抗領域16gとチャネル層14との間の距離を短くし、ゲート電圧によるチャネル層14内ポテンシャルの制御性を高めることが可能である。

[0 1 1 3]

尚、本第3実施形態では、第1実施形態で図1を用いて説明した構成において、p型の低抵抗領域16gをキャリア供給領域15aに接して配置した構成を説明した。しかしながら、本第3実施形態は、第1実施形態への適用に限定されることはなく、第2実施形態と組み合わせることも可能である。この場合、図9を用いて説明した第2実施形態で説明した構成において、第2障壁層16に設けられたp型の低抵抗領域16gを、第1障壁層15内のキャリア供給領域15aに接するように設ける。このような構成であっても、p型の低抵抗領域16gの深さが、第2障壁層16と第1障壁層15における高抵抗領域15b'の膜厚によって高精度に制御され、薄い低抵抗領域16gを精度良く形成することが可能である。

[0 1 1 4]

《 4. 第 4 実施形態 》

(低抵抗領域を囲む第 2 障壁層を低抵抗とした例)

図 1 2 は第 4 実施形態の半導体装置の要部構成を示す断面図である。
以下、この図に基づいて、本技術を適用した第 4 実施形態の半導体装置
5 の構成を説明する。

[0 1 1 5]

＜第 4 実施形態の半導体装置の構成＞

図 1 2 に示す本第 4 実施形態の半導体装置 1-4 が、図 1 を用いて説明
した第 1 実施形態の半導体装置と異なるところは、第 2 障壁層 1 6 に
10 いて p 型の低抵抗領域 1 6 g を囲む部分を、高抵抗領域に換えて低抵抗
領域 1 6 a とした構成したところにあり、他の構成は第 1 実施形態と同
様である。よって、第 1 実施形態と同一の構成要素には同一の符号を付
し、本第 4 実施形態での詳細な説明は省略する。

[0 1 1 6]

15 すなわち、第 2 障壁層 1 6 において、その表面層に設けられた p 型の
低抵抗領域 1 6 g は、n 型の不純物を含有する n 型の低抵抗領域 1 6 a
で囲まれている。言い換えれば、全体的に n 型の低抵抗領域 1 6 a とし
て構成された第 2 障壁層 1 6 の表面層に、p 型の低抵抗領域 1 6 g が設
けられている。このような n 型の低抵抗領域 1 6 a は、第 1 障壁層 1 5
20 における n 型のキャリア供給領域 1 5 a と連続していても良い。

[0 1 1 7]

＜第 4 実施形態の半導体装置の動作および製造方法＞

以上のような構成を有する半導体装置 1-4 は、第 1 実施形態の半導
体装置と同様に動作する。またこの半導体装置 1-4 の製造は、第 1 実
25 施形態の半導体装置の製造手順において第 2 障壁層 1 6 として n 型不純
物を含有する低抵抗領域 1 6 a をエピタキシャル成長させ、この表面層

に p 型不純物を導入して低抵抗領域 16 g を形成すれば良い。

[0 1 1 8]

<第 4 実施形態の半導体装置の効果>

以上説明した半導体装置 1-4 は、第 1 実施形態の構成と同様に、チャネル層 14 上に、第 1 障壁層 15 を介して当該第 1 障壁層 15 よりもバレンスバンドエネルギー E_v の低い第 2 障壁層 16 を設け、この表面層に設けた p 型の低抵抗領域 16 g の上部にゲート絶縁膜 25 を介してゲート電極 27 を設けた構成である。このため、第 1 実施形態と同様の効果を得ることができる。

10 [0 1 1 9]

以上に加えて、特に本第 4 実施形態の半導体装置 1-4 は、p 型の低抵抗領域 16 g を n 型の低抵抗領域 16 a 内に設けた構成としたことで、チャネル層 14 のシートキャリア密度を高くすることができ、チャネル抵抗およびアクセス抵抗を低くすることができる。この結果、第 1 実施形態において図 8 を用いても説明したように、オン抵抗 R_{on} を小さくする事ができ、さらに最大ドレイン電流 I_{dmax} を高くする効果を期待できる。

[0 1 2 0]

尚、本第 4 実施形態では、第 1 実施形態で図 1 を用いて説明した構成において、p 型の低抵抗領域 16 g を囲む第 2 障壁層 16 の高抵抗な領域を n 型の低抵抗領域 16 a に変更した構成を説明した。しかしながら本第 4 実施形態は、第 1 実施形態への適用に限定されることはなく、第 2 ~ 第 3 実施形態と組み合わせることも可能である。この場合、第 2 ~ 第 3 実施形態において、p 型の低抵抗領域 16 g を囲む領域を、これとは逆導電型 (n 型) の低抵抗領域とすれば良い。これにより、第 2 ~ 第 3 実施形態の効果と合わせて、さらに本第 4 実施形態と同様の効果を得

ることが可能になる。

[0 1 2 1]

《 5. 第 5 実施形態 》

(第 2 障壁層とソース電極およびドレイン電極との間にキャップ層を設
5 けた例)

図 1 3 は第 5 実施形態の半導体装置の要部構成を示す断面図である。
以下、この図に基づいて、本技術を適用した第 5 実施形態の半導体装置
の構成を説明する。

[0 1 2 2]

10 < 第 5 実施形態の半導体装置の構成 >

図 1 3 に示す本第 5 実施形態の半導体装置 1-5 が、図 1 を用いて説
明した第 1 実施形態の半導体装置と異なるところは、第 2 障壁層 1 6 と
ソース電極 2 3 s / ドレイン電極 2 3 d 間に、キャップ層 3 1 を設けた
ところにある。キャップ層 3 1 は、低抵抗領域 1 6 g とは逆導電型の不
15 純物を含有する層として設けられている。他の構成は第 1 実施形態と同
様である。よって、第 1 実施形態と同一の構成要素には同一の符号を付
し、本第実施形態での詳細な説明は省略する。

[0 1 2 3]

キャップ層 3 1 は、上部障壁層を構成する第 2 障壁層 1 6 と、ソース
20 電極 2 3 s / ドレイン電極 2 3 d との間に、低抵抗領域 1 6 g とは逆導
電型の不純物（ここでは n 型の不純物）を含有する層として設けられて
いる。このようなキャップ層 3 1 は、第 2 障壁層 1 6 に対して格子整合
する化合物半導体材料を用いて構成されていれば良く、第 2 障壁層 1 6
のバンドギャップと一致している必要はない。ただし、極端にバンドギ
25 ャップが異なると、接合部にポテンシャルの障壁ができるため、オーミ
ック接合における抵抗が高くなるおそれがある。したがって、キャップ

層 3 1 のバンドギャップは、下地となる第 2 障壁層 1 6 のバンドギャップに対して、半導体装置 1-5 の特性に影響のない程度の範囲で一致させることとする。

[0 1 2 4]

- 5 以上のようなキャップ層 3 1 は、第 2 障壁層 1 6 が Ga In P 混晶からなる場合、例えば n 型の不純物を含有する Ga As により構成されていることとする。

[0 1 2 5]

<第 5 実施形態の半導体装置の動作および製造方法>

- 10 以上のような構成を有する半導体装置 1-5 は、第 1 実施形態の半導体装置と同様に動作する。またこの半導体装置 1-5 の製造は、第 1 実施形態の半導体装置の製造手順において、第 2 障壁層 1 6 の成膜に続けてキャップ層 3 1 となる n 型 Ga As 層をエピタキシャル成長させる工程を行う。また、ボロンのイオン注入によって高抵抗化された非活性領域を素子分離として形成した後に、n 型 Ga As 層をパターンエッチングしてキャップ層 3 1 を形成し、次に絶縁膜 2 1 の成膜と、これ以降の工程を行えば良い。

[0 1 2 6]

<第 5 実施形態の半導体装置の効果>

- 20 以上説明した構成の半導体装置 1-5 は、第 1 実施形態の構成と同様に、チャネル層 1 4 上に、第 1 障壁層 1 5 を介して当該第 1 障壁層 1 5 よりもバレンスバンドエネルギー E_v の低い第 2 障壁層 1 6 を設け、この表面層に設けた p 型の低抵抗領域 1 6 g の上部にゲート絶縁膜 2 5 を介してゲート電極 2 7 を設けた構成である。このため、第 1 実施形態と同様の効果を得ることができる。

[0 1 2 7]

以上に加えて、特に本第5実施形態の半導体装置1-5は、第2障壁層16とソース電極23s／ドレイン電極23dとの間に、化合物半導体からなるキャップ層31を設けた構成である。このため、キャップ層31直下のチャネル層14のシートキャリア密度を高くすることができ、
5 チャネル抵抗およびアクセス抵抗を低くすることができる。この結果、オン抵抗 R_{on} を小さくする事ができ、さらに最大ドレイン電流 I_{dmax} を高くする効果を期待できる。

[0128]

尚、本第5実施形態では、第1実施形態で図1を用いて説明した構成
10 において、第2障壁層16とソース電極23s／ドレイン電極23d間に、低抵抗領域16gとは逆導電型の不純物を含有する層としてキャップ層31を設けた構成を説明した。しかしながら本第5実施形態は、第1実施形態への適用に限定されることはなく、第2～第4実施形態と組み合わせることも可能である。この場合、第2～第4実施形態における
15 第2障壁層とソース電極23s／ドレイン電極23d間に、p型の低抵抗領域16gとは逆導電型のn型不純物を含有する層としてキャップ層31を設ければ良い。これにより、第2～第4実施形態の効果と合わせて、さらに本第5実施形態と同様の効果を得ることが可能になる。

[0129]

20 << 6. 第6実施形態 >>

(第2障壁層の全面をゲート絶縁膜で覆った例)

図14は第6実施形態の半導体装置の要部構成を示す断面図である。
以下、この図に基づいて、本技術を適用した第6実施形態の半導体装置の構成を説明する。

25 [0130]

<第6実施形態の半導体装置の構成>

図 1 4 に示す本第 6 実施形態の半導体装置 1-6 が、図 1 を用いて説明した第 1 実施形態の半導体装置と異なるところは、第 2 障壁層 1 6 の表面全体をゲート絶縁膜 2 5 で覆い、下層の絶縁膜 (2 1) を除去したところであり、他の構成は第 1 実施形態と同様である。よって、第 1 実施形態と同一の構成要素には同一の符号を付し、本第実施形態での詳細な説明は省略する。

[0 1 3 1]

すなわち第 2 障壁層 1 6 の表面は、全面がゲート絶縁膜 2 5 で覆われている。このゲート絶縁膜 2 5 に対して、第 2 障壁層 1 6 に設けた低抵抗領域 1 6 g を挟む位置で、低抵抗領域 1 6 g に重ならない位置に、第 2 障壁層 1 6 の高抵抗領域 1 6 b に達するソース開口 2 5 s / ドレイン開口 2 5 d が設けられている。第 2 障壁層 1 6 の上部には、このソース開口 2 5 s / ドレイン開口 2 5 d を介して第 2 障壁層 1 6 の高抵抗領域 1 6 b に接続されたソース電極 2 3 s およびドレイン電極 2 3 d が設けられている。

[0 1 3 2]

<第 6 実施形態の半導体装置の動作>

このような構成を有する半導体装置 1-6 は、第 1 実施形態の半導体装置と同様に動作する。

20 [0 1 3 3]

<第 6 実施形態の半導体装置の製造方法>

次に、上述した構成の半導体装置 1-7 の製造方法の一例を、図 1 5 および図 1 6 の断面工程図に基づいて説明する。

[0 1 3 4]

25 [図 1 5 A]

先ず図 1 5 A に示すように、第 1 実施形態において図 5 A を用いて説

明したと同様の手順で、基板 1 1 上に、バッファ層 1 2、下部障壁層 1 3、チャネル層 1 4、第 1 障壁層 1 5 および第 2 障壁層 1 6 からなる上部障壁層をこの順にエピタキシャル成長させる。次いで、ここでの図示を省略した素子分離を行う。

5 [0 1 3 5]

その後、第 2 障壁層 1 6 上に、GaAs からなるキャップ層 3 3 をエピタキシャル成長させる。

 [0 1 3 6]

[図 1 5 B]

10 次いで図 1 5 B に示すように、キャップ層 3 3 上に絶縁膜 3 5 を成膜し、この絶縁膜 3 5 をパターンエッチングすることにより、キャップ層 3 3 の表面を露出するゲート開口 3 5 g を絶縁膜 3 5 に形成する。

 [0 1 3 7]

[図 1 6 A]

15 次に図 1 6 A に示すように、ゲート開口 3 5 g の底部に露出するキャップ層 3 3 の表面からの p 型不純物の導入により、キャップ層 3 3 から第 2 障壁層 1 6 の高抵抗領域 1 6 b の表面層に達する低抵抗領域 1 6 g を形成する。ここでは、第 1 障壁層 1 5 内のキャリア供給領域 1 5 a に達することのない位置、すなわち第 2 障壁層 1 6 内の表面層のみに、p
20 型不純物である亜鉛 (Zn) を拡散させて低抵抗領域 1 6 g を形成する。亜鉛 (Zn) の拡散は、例えば 600℃ 程度の温度での亜鉛化合物気体を用いた気相拡散によって行う。

 [0 1 3 8]

[図 1 6 B]

25 その後、図 1 6 B に示すように、絶縁膜 3 5 とキャップ層 3 3 とをエッチング除去し、p 型不純物を導入した低抵抗領域 1 6 g が形成された

第2障壁層16を残す。

[0139]

以上の後には、図14に示したように、低抵抗領域16gが形成された第2障壁層16の上部にゲート絶縁膜25を成膜する。次に、ゲート
5 絶縁膜25において低抵抗領域16gを挟む位置に、ソース開口25s
およびドレイン開口25dを形成し、さらにソース開口25s／ドレイン開口25dを介して第2障壁層16の高抵抗領域16bに接続された
ソース電極23s／ドレイン電極23dを形成する。またゲート絶縁膜
25上には、低抵抗領域16gの上方に重なる位置に、ゲート電極27
10 を形成し、半導体装置1-6を完成させる。

[0140]

<第6実施形態の半導体装置の効果>

以上説明した構成の半導体装置1-6は、第1実施形態の構成と同様に、チャネル層14上に、第1障壁層15を介して当該第1障壁層15
15 よりもバレンスバンドエネルギー E_v の低い第2障壁層16を設け、この表面層に設けたp型の低抵抗領域16gの上部にゲート絶縁膜25を介してゲート電極27を設けた構成である。このため、第1実施形態と同様の効果を得ることができる。

[0141]

20 また特に本第6実施形態の製造方法では、図16Aを用いて説明したように、第2障壁層16に低抵抗領域16gを形成する際、キャップ層33を介して第2障壁層16にp型不純物である亜鉛(Zn)を拡散させている。このため、第2障壁層16におけるp型不純物の拡散深さを小さくすることができ、このp型不純物を第2障壁層16に拡散させて
25 なる低抵抗領域16gを浅く形成することが容易になる。つまり、キャップ層33を介さずに第2障壁層16に対して直接的な拡散を行う低抵

抗領域 16 g の形成手法では、50 nm 以下程度の極浅い不純物領域の形成は困難であったが、この手法を用いることで、極浅い低抵抗領域 16 g の形成が可能になる。

[0142]

- 5 尚、本第 6 実施形態では、第 1 実施形態で説明した構成において、下層の絶縁膜 (21) を除去し、第 2 障壁層 16 の表面全体をゲート絶縁膜 25 で覆った構成を説明した。しかしながら、本第 6 実施形態は、第 2 ～ 第 5 実施形態で説明した構成において、下層の絶縁膜 (21) を除去し、第 2 障壁層 16 の表面全体をゲート絶縁膜 25 で覆った構成とする
10 こともできる。

[0143]

また本第 6 実施形態で説明した製造方法は、第 1 ～ 第 5 実施形態で説明したように、ゲート絶縁膜 25 とは別に絶縁膜 21 を設けた構成の半導体装置の製造にも同様に適用することが可能である。

- 15 [0144]

第 1 ～ 第 4 実施形態に適用する場合の製造方法は、図 16 B に示したように低抵抗領域 16 g を形成してキャップ層 33 を除去する。その後、図 5 B を用いて説明したと同様にゲート開口 21 g を設けた絶縁膜 21 を形成し、さらに絶縁膜 21 も覆う状態でゲート絶縁膜 25 を形成する
20 手順を行えば良く、同様の効果を得ることが可能である。

[0145]

また第 5 実施形態に適用する場合であれば、図 16 A に示したように低抵抗領域 16 g を形成した後、図 17 A に示すように絶縁膜 35 をマスクにしてキャップ層 33 を等方性エッチングする。これにより、キャ
25 ップ層 33 に形成された低抵抗領域 16 g 部分を完全に除去すると共に、第 2 障壁層 16 に形成された低抵抗領域 16 g を露出させる。次に図 1

7 Bに示すように、キャップ層 3 3 上の絶縁膜 3 5 を除去する。次いで
図 1 8 A に示すように、キャップ層 3 3 および第 2 障壁層 1 6 を覆う状
態でゲート絶縁膜 2 5 を形成し、さらに低抵抗領域 1 6 g 上にゲート絶
縁膜 2 5 を介してゲート電極 2 7 を形成する。その後は図 1 8 B に示す
5 ように、ゲート絶縁膜 2 5 にソース開口 2 5 s / ドレイン開口 2 5 d を
形成し、このソース開口 2 5 s / ドレイン開口 2 5 d を介してゲート電
極 2 7 脇にキャップ層 3 3 に接続されたソース電極 2 3 s / ドレイン電
極 2 3 d を形成する。これにより、第 6 実施形態の製造方法と同様の効
果を得ることができる。尚、キャップ層 3 3 は、第 5 実施形態で説明し
10 たキャップ層 3 1 (図 1 3 参照) と同様の構成である。

[0 1 4 6]

《 7 . 第 7 実施形態 》

(低抵抗領域をゲート電極で覆った例)

図 1 9 は第 7 実施形態の半導体装置の要部構成を示す断面図である。
15 以下、この図に基づいて、本技術を適用した第 7 実施形態の半導体装置
の構成を説明する。

[0 1 4 7]

< 第 7 実施形態の半導体装置の構成 >

図 1 9 に示す本第 7 実施形態の半導体装置 1 -7 が、図 1 を用いて説明
20 した第 1 実施形態の半導体装置と異なるところは、第 2 障壁層 1 6 の表
面全体をゲート絶縁膜 2 5 で覆い、下層の絶縁膜 (2 1) を除去したと
ころ、およびゲート電極 2 7 のゲート長 L_g にある。他の構成は第 1 実
施形態と同様である。よって、第 1 実施形態と同一の構成要素には同一
の符号を付し、本第実施形態での詳細な説明は省略する。

25 [0 1 4 8]

すなわち第 2 障壁層 1 6 の表面は、全面がゲート絶縁膜 2 5 で覆われ

ている。このゲート絶縁膜 2 5 に対して、第 2 障壁層 1 6 に設けた低抵抗領域 1 6 g を挟む位置で、低抵抗領域 1 6 g に重ならない位置に、第 2 障壁層 1 6 の高抵抗領域 1 6 b に達するソース開口 2 5 s / ドレイン開口 2 5 d が設けられている。第 2 障壁層 1 6 の上部には、このソース開口 2 5 s / ドレイン開口 2 5 d を介して高抵抗領域 1 6 b に接続されたソース電極 2 3 s およびドレイン電極 2 3 d が設けられている。以上までは、第 6 実施形態と同様である。

[0 1 4 9]

本第 7 実施形態では、ゲート電極 2 7 が低抵抗領域 1 6 g の上部を完全に覆う形状を有しているところが特徴的である。このゲート電極 2 7 は、ソース電極 2 3 s - ドレイン電極 2 3 d 間方向の長さ、すなわちゲート長 L_g が、低抵抗領域 1 6 g の長さ L よりも大きく設定されている。これにより、ゲート電極 2 7 は、低抵抗領域 1 6 g の上部を完全に覆う形状を有する。ここで、ゲート電極 2 7 のゲート長 L_g は、詳しくはゲート絶縁膜 2 5 のみを介して第 2 障壁層 1 6 上に配置されている部分の長さであって、実効的なゲート長さであることとする。

[0 1 5 0]

< 第 7 実施形態の半導体装置の動作 >

このような構成を有する半導体装置 1 - 7 は、第 1 実施形態の半導体装置と同様に動作する。

[0 1 5 1]

< 第 7 実施形態の半導体装置の製造方法 >

次に、上述した構成の半導体装置 1 - 7 の製造方法は、第 6 実施形態において図 1 5 および図 1 6 の断面工程図を用いて説明した手順と同様に行われ、ゲート電極 2 7 の形状（ゲート長 L_g ）のみが異なる。

[0 1 5 2]

＜第7実施形態の半導体装置の効果＞

以上説明した構成の半導体装置1-7は、第1実施形態の構成と同様に、チャネル層14上に、第1障壁層15を介して当該第1障壁層15よりもバレンスバンドエネルギー E_v の低い第2障壁層16を設け、この表面層に設けたp型の低抵抗領域16gの上部にゲート絶縁膜25を介してゲート電極27を設けた構成である。このため、第1実施形態と同様の効果を得ることができる。

[0153]

以上に加えて、特に本第7実施形態の半導体装置1-7は、ゲート電極27が低抵抗領域16gの上部を完全に覆う形状を有している。このため、ゲート電極27にゲート電圧（正電圧）を印加する際に、p型の低抵抗領域16gを完全に空乏化させることが容易となる。すなわちオン動作時にチャネル層14内ゲート端部におけるキャリア欠乏領域の発生を防ぐことができ、寄生抵抗の増加を抑えることができる。この結果、オン抵抗 R_{on} を小さくする事ができ、さらに最大ドレイン電流 I_{dm}
 a_x を高くする効果を期待できる。

[0154]

尚、本第7実施形態の半導体装置の構成は、第1～第5実施形態で説明したように、ゲート絶縁膜25とは別に絶縁膜21を設けた構成の半導体装置と組み合わせることも可能である。本第7実施形態の半導体装置の構成を第1～第5実施形態に適用する場合の製造方法は、第11実施形態以降において説明する。

[0155]

＜8. 第8実施形態＞

25 （第2障壁層の表面層を低抵抗領域としてパターンニングした例）

図20は第8実施形態の半導体装置の要部構成を示す断面図である。

以下、この図に基づいて、本技術を適用した第8実施形態の半導体装置の構成を説明する。

[0156]

＜第8実施形態の半導体装置の構成＞

- 5 図20に示す本第8実施形態の半導体装置1-8が、図1を用いて説明した第1実施形態の半導体装置と異なるところは、第2障壁層16の表面層がp型の低抵抗領域16gとしてパターニングされているところにある。また、パターニングされた低抵抗領域16gを表面層に設けた第2障壁層16上の表面全面をゲート絶縁膜25で覆い、下層の絶縁膜（
10 21）を除去したところにあり、他の構成は同様である。よって、第1実施形態と同一の構成要素には同一の符号を付し、本第実施形態での詳細な説明は省略する。

[0157]

[第1障壁層15、第2障壁層16]

- 15 第1障壁層15および第2障壁層16は、第1実施形態と同様に構成されたものであり、第2障壁層16における表面層が低抵抗領域16gとしてパターニングされているところが異なる。第2障壁層16において、パターニングされた低抵抗領域16g以外の部分は、不純物を含有しないかまたはn型の不純物を含有する高抵抗領域16bとして構成されて
20 れていることとする。尚、第2障壁層16における低抵抗領域16g以外の部分は、全領域がn型の低抵抗領域として構成されていて、第1障壁層15におけるn型のキャリア供給領域15aと連続していても良い。

[0158]

[低抵抗領域16g]

- 25 低抵抗領域16gは、第2障壁層16の表面層をパターニングした部分であり、パターニングされた全ての領域がp型不純物を含有するp型

の低抵抗領域 16 g として構成されている。

[0159]

このような低抵抗領域 16 g は、第 2 障壁層 16 の表面層がパターニングされたものであるため、第 1 障壁層 15 を構成する化合物半導体材料よりもバレンスバンドエネルギー E_v の低い III-V 族化合物半導体材料を用いて構成されている。

[0160]

以上のような低抵抗領域 16 g は、他の実施形態と同様に、GaInP 混晶からなる第 2 障壁層 16 に、p 型不純物としてベリリウム (Be)、炭素 (C)、マグネシウム (Mg)、および亜鉛 (Zn) からなるうちの少なくとも 1 種を含有している。

[0161]

またこのようにパターニングされた低抵抗領域 16 g を表面層に備えた第 2 障壁層 16 上は、低抵抗領域 16 g の側壁も含んで、全面がゲート絶縁膜 25 で覆われている。このゲート絶縁膜 25 に対して、低抵抗領域 16 g を挟む位置に、第 2 障壁層 16 に達するソース開口 25 s / ドレイン開口 25 d が設けられている。第 2 障壁層 16 の上部には、このソース開口 25 s / ドレイン開口 25 d を介して、第 2 障壁層 16 の高抵抗領域 16 b に接続されたソース電極 23 s およびドレイン電極 23 d が設けられている。

[0162]

またゲート電極 27 は、ゲート絶縁膜 25 を介して低抵抗領域 16 g の上部および側面を完全に覆う状態で、低抵抗領域 16 g の長さよりも大きく形成されている。尚、ゲート電極 27 は、低抵抗領域 16 g の上部のみに積層して設けても良い。

[0163]

<第8実施形態の半導体装置の動作>

このような構成を有する半導体装置1-8は、第1実施形態の半導体装置と同様に動作する。

[0164]

5 <第8実施形態の半導体装置の製造方法>

次に、上述した構成の半導体装置1-8の製造方法の一例を、図21の断面工程図に基づいて説明する。

[0165]

[図21A]

- 10 先ず図21Aに示すように、基板11上に、バッファ層12、下部障壁層13、チャンネル層14、および第1障壁層15をこの順にエピタキシャル成長させ、さらに不純物を添加しない u-GaInP ($\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 混晶) 層からなる高抵抗の第2障壁層16を形成する。ここまでの工程は、第1実施形態において図5Aを用いて説明したと同様の
- 15 手順で行う。

[0166]

- その後引き続き、高抵抗の第2障壁層16（すなわち高抵抗領域16b）の上部に、例えばベリリウム、炭素、マグネシウムおよび亜鉛からなるうちの少なくとも1種をp型不純物として添加した GaInP ($\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 混晶) 層を、第2障壁層16の低抵抗領域16gとしてエピタキシャル成長させて第2障壁層16を形成する。次いで、ボロンのイオン注入を行って高抵抗化された非活性領域を形成し、ここでの図示を省略した素子分離とする。
- 20

[0167]

- 25 [図21B]

次に図21Bに示すように、第2障壁層16上においてp型の低抵抗

領域となる予定領域上に、リソグラフィ法を適用してレジストパターン 39 を形成する。次いで、このレジストパターン 39 をマスクした異方性エッチングにより、第 2 障壁層 16 の低抵抗領域 16 g をパターンニングする。パターンニング終了後にはレジストパターン 39 を除去する。

5 [0168]

以上の後には、図 20 に示したように、パターンニングされた低抵抗領域 16 g を覆う状態で、第 2 障壁層 16 上に酸化アルミニウムからなるゲート絶縁膜 25 を成膜する。次いで、ゲート絶縁膜 25 を介して第 2 障壁層 16 上にゲート電極 27 をパターン形成し、さらにゲート絶縁膜 25 にソース開口 25 s / ドレイン開口 25 d を形成した後、ソース電極 23 s / ドレイン電極 23 d を形成し、半導体装置 1-8 を完成させる。

 [0169]

<第 8 実施形態の半導体装置の効果>

15 以上説明した構成の半導体装置 1-8 であっても、第 1 実施形態の構成と同様に、チャネル層 14 上に、第 1 障壁層 15 を介して当該第 1 障壁層 15 よりもバレンスバンドエネルギー E_v の低い第 2 障壁層 16 を設け、この表面層に設けた p 型の低抵抗領域 16 g の上部にゲート絶縁膜 25 を介してゲート電極 27 を設けた構成である。このため、第 1 実施形態と同様の効果を得ることができる。

 [0170]

以上に加えて特に本第 8 実施形態の半導体装置 1-8 は、p 型の低抵抗領域 16 g として、p 型不純物を含有してエピタキシャル成長させた第 2 障壁層 16 部分をパターンニングしたものをを用いた。これにより、低抵抗領域 16 g は、厚さが高精度で制御されたものとなる。この結果、不純物の拡散によって形成された低抵抗領域を設けた構成と比較して、

閾値電圧、オン抵抗 R_{on} 、最大ドレイン電流 I_{dmax} の安定化を図ることが可能である。

[0171]

さらに本第8実施形態の半導体装置1-8は、ゲート電極27が低抵抗領域16gの上部を完全に覆う形状を有している。このため、ゲート電極27にゲート電圧（正電圧）を印加する際に、p型の低抵抗領域16gを完全に空乏化させることが容易となる。すなわちオン動作時にチャンネル層14内ゲート端部におけるキャリア欠乏領域の発生を防ぐことができ、寄生抵抗の増加を抑えることができる。この結果、オン抵抗 R_{on} を小さくする事ができ、さらに最大ドレイン電流 I_{dmax} を高くする効果を期待できる。

[0172]

尚、本第8実施形態の半導体装置の構成は、第1～第5実施形態で説明したように、ゲート絶縁膜25とは別に絶縁膜21を設けた構成の半導体装置と組み合わせることも可能である。

[0173]

第1～第4実施形態に適用する場合の製造方法は、図21Bに示したように低抵抗領域16gをパターン形成した後、図5Bを用いて説明したと同様に絶縁膜21を形成してこれにゲート開口21gする。その後は、ゲート絶縁膜25を形成し、さらにソース電極23s／ドレイン電極23dおよびゲート電極27を形成する。

[0174]

《9. 第9実施形態》

（第1障壁層上の第2障壁層を低抵抗領域としてパターンニングした例）

図22は第9実施形態の半導体装置の要部構成を示す断面図である。

以下、この図に基づいて、本技術を適用した第9実施形態の半導体装置

の構成を説明する。

[0175]

＜第9実施形態の半導体装置の構成＞

図22に示す本第9実施形態の半導体装置1-9が、図1を用いて説明
5 した第1実施形態の半導体装置と異なるところは、第1障壁層15上に、
低抵抗領域16gとしてパターニングされた第2障壁層16が設けられ
ているところにある。また、第1障壁層15の膜厚方向の中央部にキャ
リア供給領域15aを設けているところ、さらに低抵抗領域16gとな
る第2障壁層16が形成された第1障壁層15上の全面をゲート絶縁膜
10 25で覆い、下層の絶縁膜(21)を除去したところにあり、他の構成
は同様である。よって、第1実施形態と同一の構成要素には同一の符号
を付し、本第実施形態での詳細な説明は省略する。

[0176]

[第1障壁層15]

15 すなわち第1障壁層15は、第1実施形態の第1障壁層と同様のもの
であり、チャネル層14に対して良好に格子整合すると共に、チャネル
層14を構成する化合物半導体材料よりもコンダクションバンドEcが
高いIII-V族化合物半導体材料で構成され、チャネル層14に対し
てヘテロ接合している。このような第1障壁層15は、チャネル層14
20 に対してバンドギャップの差(コンダクションバンドEcの差)が大き
いほど良い。

[0177]

このような第1障壁層15は、第2実施形態と同様であって、キャリ
ア供給領域15aを挟んで配置される高抵抗領域15b、15b'は、
25 それぞれ独立に、不純物が添加されていないか、低濃度の不純物を含有
する高抵抗領域15bとして形成されていて良い。また、このような第

1 障壁層 1 5 は、全領域がキャリア供給領域 1 5 a として構成されていても良く、チャネル層 1 4 と接する側の層のみを高抵抗領域 1 5 b としても良く、第 2 障壁層 1 6 側の層のみを高抵抗領域 1 5 b' としても良い。

5 [0 1 7 8]

[第 2 障壁層 1 6 および低抵抗領域 1 6 g]

第 2 障壁層 1 6 は、第 1 障壁層 1 5 を介してチャネル層 1 4 の上部にパターン形成された層であり、全ての領域が p 型不純物を含有する低抵抗領域 1 6 g として構成されている。

10 [0 1 7 9]

このような第 2 障壁層 1 6 は、第 1 障壁層 1 5 に対して格子整合する化合物半導体材料を用いて構成されており、第 1 障壁層 1 5 を構成する化合物半導体材料よりもバレンスバンドエネルギー E_v の低い III-V 族化合物半導体材料を用いて構成されている。

15 [0 1 8 0]

以上のような第 2 障壁層 1 6 は、例えば GaInP 混晶からなり、p 型不純物としてベリリウム (Be)、炭素 (C)、マグネシウム (Mg)、および亜鉛 (Zn) からなるうちの少なくとも 1 種を含有している。

[0 1 8 1]

20 またこのような第 2 障壁層 1 6 および第 1 障壁層 1 5 上の全面は、ゲート絶縁膜 2 5 で覆われている。このゲート絶縁膜 2 5 に対して、低抵抗領域 1 6 g を構成する第 2 障壁層 1 6 を挟む位置に、第 1 障壁層 1 5 に達するソース開口 2 5 s / ドレイン開口 2 5 d が設けられている。第 1 障壁層 1 5 の上部には、このソース開口 2 5 s / ドレイン開口 2 5 d
25 を介して、第 1 障壁層 1 5 に接続されたソース電極 2 3 s およびドレイン電極 2 3 d が設けられている。

[0182]

またゲート電極 27 は、ゲート絶縁膜 25 を介して第 2 障壁層 16 の上部および側面を完全に覆う状態で、低抵抗領域 16g としての第 2 障壁層 16 の長さよりも大きく形成されている。尚、ゲート電極 27 は、
5 低抵抗領域 16g としての第 2 障壁層 16 の上部のみに積層して設けても良い。

[0183]

<第 9 実施形態の半導体装置の動作>

このような構成を有する半導体装置 1-9 は、第 1 実施形態の半導体
10 装置と同様に動作する。

[0184]

<第 9 実施形態の半導体装置の製造方法>

次に、上述した構成の半導体装置 1-9 の製造方法は、基板 11 上に、バッファ層 12、下部障壁層 13、チャネル層 14、および 3 層構造の
15 第 1 障壁層 15 をこの順にエピタキシャル成長させる。その後、p 型不純物として添加した GaInP ($\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 混晶) 層を、第 2 障壁層 16 の低抵抗領域 16g としてエピタキシャル成長させて第 2 障壁層 16 を形成する。次いで、ボロンのイオン注入を行って高抵抗化された非活性領域を形成し、ここでの図示を省略した素子分離とする。

20 [0185]

その後は第 8 実施形態で図 21B の断面工程図を用いて説明したと同様に、第 2 障壁層 16 (低抵抗領域 16g) をパターニングする。しかる後、図 22 に示したように、パターニングされた低抵抗領域 16g を覆う状態で、第 2 障壁層 16 上に酸化アルミニウムからなるゲート絶縁
25 膜 25 を成膜する。次いで、ゲート絶縁膜 25 を介して第 2 障壁層 16 および第 1 障壁層 15 上にゲート電極 27 をパターン形成し、さらにゲ

ート絶縁膜 25 にソース開口 25 s /ドレイン開口 25 d を形成した後、ソース電極 23 s /ドレイン電極 23 d を形成し、半導体装置 1-9 を完成させる。

[0186]

5 <第9実施形態の半導体装置の効果>

以上説明した構成の半導体装置 1-9 であってもチャネル層 14 上に、第1障壁層 15 を介して当該第1障壁層 15 よりもバレンスバンドエネルギー E_v の低い第2障壁層 16 を設け、これを p 型の低抵抗領域 16 g としてこの上部にゲート絶縁膜 25 を介してゲート電極 27 を設けた
10 構成である。このため、第1実施形態と同様の効果を得ることができる。

[0187]

以上に加えて本第9実施形態の半導体装置 1-9 は、p 型の低抵抗領域 16 g として、p 型不純物を含有してエピタキシャル成長させた第2障壁層 16 をパターニングしたものを用いた。これにより、低抵抗領域
15 16 g は、厚さが高精度で制御されたものとなる。この結果、不純物の拡散によって形成された低抵抗領域を設けた構成と比較して、閾値電圧、オン抵抗 R_{on} 、最大ドレイン電流 I_{dmax} の安定化を図ることが可能である。

[0188]

20 さらにデバイス加工時に、第2障壁層 16 を p 型の低抵抗領域 16 g としてパターニングする際、第1障壁層 15 と第2障壁層 16 とで半導体材料が異なっているため、選択エッチングを行うことが可能である。すなわち、低抵抗領域 16 g のみを制御良くエッチングする事ができ、第1障壁層 15 の膜減りを抑えることができる。その結果、オン抵抗 R_{on} の増加を抑えることができ、加えて最大ドレイン電流 I_{dmax} を
25 低下を抑えることが可能である。

[0189]

尚、本第9実施形態の半導体装置の構成は、第8実施形態で説明したと同様に、第1～第5実施形態と組み合わせることも可能である。

[0190]

5 《10. 第10実施形態》

（低抵抗領域とは逆導電型のソース領域およびド레인領域を設けた例）

図23は第10実施形態の半導体装置の要部構成を示す断面図である。以下、この図に基づいて、本技術を適用した第10実施形態の半導体装置の構成を説明する。

[0191]

＜第10実施形態の半導体装置の構成＞

図23に示す本第10実施形態の半導体装置1-10が、図1を用いて説明した第1実施形態の半導体装置と異なるところは、第2障壁層16にn型のソース領域16s／ド레인領域16dが設けられているところにある。また第2障壁層16の表面全体をゲート絶縁膜25で覆い、下層の絶縁膜（21）を除去したところにあり、他の構成は同様である。よって、第1実施形態と同一の構成要素には同一の符号を付し、本第実施形態での詳細な説明は省略する。

20 [0192]

すなわち、第2障壁層16には、ゲート電極27を挟む位置、すなわちp型の低抵抗領域16gを挟む位置に、n型不純物を含有する低抵抗な領域としてソース領域16s／ド레인領域16dが設けられている。これらのソース領域16s／ド레인領域16dは、p型の低抵抗領域16gに接して設けられていて良い。また、これらのソース領域16s／ド레인領域16dは、第1障壁層15内に設けたn型のキャリア供

給領域 15 a に達している。

[0193]

第2障壁層 16 上の全面は、ゲート絶縁膜 25 で覆われている。このゲート絶縁膜 25 に対して、低抵抗領域 16 g を挟んで配置されたソース領域 16 s / ドレイン領域 16 d に達するソース開口 25 s / ドレイン開口 25 d が設けられている。第2障壁層 16 の上部には、このソース開口 25 s / ドレイン開口 25 d を介して、ソース領域 16 s / ドレイン領域 16 d に接続されたソース電極 23 s およびドレイン電極 23 d が設けられている。

10 [0194]

またゲート電極 27 は、ゲート絶縁膜 25 を介して第2障壁層 16 における低抵抗領域 16 g の上部に設けられている。

[0195]

<第10実施形態の半導体装置の動作>

15 このような構成を有する半導体装置 1-10 は、第1実施形態の半導体装置と同様に動作する。

[0196]

<第10実施形態の半導体装置の製造方法>

次に、上述した構成の半導体装置 1-10 の製造方法の一例を、図 24 の断面工程図に基づいて説明する。

[0197]

[図 24 A]

まず図 24 A に示すように、基板 11 上に、バッファ層 12、下部障壁層 13、チャネル層 14、および第1障壁層 15 をこの順にエピタキシャル成長させ、さらに不純物を添加しない u-GaInP ($\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 混晶) 層からなる高抵抗の第2障壁層 16 を形成する。ここ

までの工程は、第1実施形態において図5Aを用いて説明したと同様の手順で行う。

[0198]

その後引き続き、高抵抗の第2障壁層16（すなわち高抵抗領域16
5 b）の上部に、例えばベリリウム、炭素、マグネシウムおよび亜鉛からなるうちの少なくとも1種をp型不純物として添加したGaInP（Ga_{0.5}In_{0.5}P混晶）層を、第2障壁層16の低抵抗領域16gとしてエピタキシャル成長させて第2障壁層16を形成する。次いで、ボロンのイオン注入を行って高抵抗化された非活性領域を形成し、ここでの図
10 示を省略した素子分離とする。

[0199]

[図24B]

次に図24Bに示すように、第2障壁層16上においてp型の低抵抗領域16gを残す領域上に、リソグラフィ法を適用してレジストパターン41を形成する。次いで、このレジストパターン41をマスクした
15 不純物拡散により、第2障壁層16にn型の不純物を導入する。これにより、p型の低抵抗領域16gの両脇に、n型のキャリア供給領域15aに達する深さで、n型のソース領域16s／ドレイン領域16dを形成する。この不純物拡散は例えばイオン注入によって行う。不純物拡散
20 後には、レジストパターン41を除去する。

[0200]

以上の後には、図23に示したように、p型の低抵抗領域16gおよびn型のソース領域16s／ドレイン領域16dが形成された第2障壁層16上に、酸化アルミニウムからなるゲート絶縁膜25を成膜する。
25 次いで、ゲート絶縁膜25を介してp型の低抵抗領域16g上にゲート電極27をパターン形成する。また、ゲート絶縁膜25に、n型のソー

ス領域 1 6 s / ドレイン領域 1 6 d に達するソース開口 2 5 s / ドレイン開口 2 5 d を形成する。その後、これらを介してソース領域 1 6 s / ドレイン領域 1 6 d に接続されたソース電極 2 3 s / ドレイン電極 2 3 d を形成し、半導体装置 1 -10 を完成させる。

5 [0 2 0 1]

<第 1 0 実施形態の半導体装置の効果>

以上説明した構成の半導体装置 1 -10 であっても、第 1 実施形態の半導体装置と同様に、チャンネル層 1 4 上に、第 1 障壁層 1 5 を介して当該第 1 障壁層 1 5 よりもバレンスバンドエネルギー E_v の低い第 2 障壁層 10 1 6 を設け、この表面層を p 型の低抵抗領域 1 6 g としてこの上部にゲート絶縁膜 2 5 を介してゲート電極 2 7 を設けた構成である。このため、第 1 実施形態と同様の効果を得ることができる。

[0 2 0 2]

以上に加えて特に本第 1 0 実施形態の半導体装置 1 -10 は、p 型の低抵抗領域 1 6 g を挟む状態で n 型のソース領域 1 6 s / ドレイン領域 15 1 6 d を設けたことにより、n 型のソース領域 1 6 s / ドレイン領域 1 6 d 直下のチャンネル層 1 4 内シートキャリア密度を高くすることができ、チャンネル抵抗およびアクセス抵抗を低くすることができる。すなわち、オン抵抗 R_{on} を小さくする事ができ、加えて最大ドレイン電流 I_{dm} 20 a_x を高くすることが可能である。

[0 2 0 3]

さらに p 型の低抵抗領域 1 6 g として、エピタキシャル成長により形成した第 2 障壁層 1 6 を用いた。これにより、低抵抗領域 1 6 g は、厚さが高い精度で制御されたものとなる。この結果、不純物の拡散によって形成された低抵抗領域を設けた構成と比較して、閾値電圧、オン抵抗 25 R_{on} 、最大ドレイン電流 I_{dm} a_x の安定化を図ることが可能である。

[0204]

尚、本第10実施形態の半導体装置の構成は、第1～第5実施形態で説明したように、ゲート絶縁膜25とは別に絶縁膜21を設けた構成の半導体装置と組み合わせることも可能である。また、本第10実施形態
5 の半導体装置の構成は、第8～第9実施形態で説明した様に、パターンニングされたp型の低抵抗領域16gを備えた半導体装置と組み合わせることも可能である。

[0205]

《11. 第11実施形態》

10 (低抵抗領域を覆うゲート電極をセルフアラインで設けた第1例)

図25には、第11実施形態の半導体装置の要部構成を示す断面図である。以下、この図に基づいて、本技術を適用した第11実施形態の半導体装置の構成を説明する。

[0206]

15 <第11実施形態の半導体装置の構成>

図25に示す本第11実施形態の半導体装置1-11が、図1を用いて説明した第1実施形態の半導体装置と異なるところは、ゲート電極27が低抵抗領域16gを覆っているところ、およびこのゲート電極27が低抵抗領域16gに対してセルフアラインで形成されているところにある。
20 他。他の構成は第1実施形態と同様である。よって、第1実施形態と同一の構成要素には同一の符号を付し、本第実施形態での詳細な説明は省略する。

[0207]

すなわち本第11実施形態の半導体装置1-11においては、絶縁膜2
25 1に設けたゲート開口21gの底部に、低抵抗領域16gの全体が露出しており、この上部がゲート絶縁膜25で覆われている。さらに詳しく

は、ゲート絶縁膜 25 で覆われたゲート開口 21 g の周縁から所定の間隔 L_d を均等に有した状態で、ゲート開口 21 g の底部における中央に低抵抗領域 16 g が露出した状態となっている。この間隔 L_d は、ゲート開口 21 g の周囲において均等であり、低抵抗領域 16 g に対してセルフアラインで設けられている。間隔 L_d は、 $L_d > 0 \text{ nm}$ であれば良く、製造工程のマージンを考慮した大きさで有ればよい。

[0208]

またこの半導体装置 1-11 は、以降に説明する製造方法に起因して、ゲート開口 21 g の底部に対応して、第 2 障壁層 16 の表面がエッチングされた段差を有する。

[0209]

またゲート電極 27 は、ゲート絶縁膜 25 を介して、ゲート開口 21 g の底部を完全に覆う状態で設けられているところが重要である。このようなゲート電極 27 の実効的なゲート長 L_g は、絶縁膜 21 におけるゲート開口 21 g の底部の幅、さらに詳しくはゲート絶縁膜 25 で覆われたゲート開口 21 g の開口幅である。つまり、ゲート電極 27 において実効的なゲート長 L_g として機能する部分は、低抵抗領域 16 g の長さ L よりも、低抵抗領域 16 g の全周方向に間隔 L_d だけ拡幅した大きさを有し、低抵抗領域 16 g の上部を完全に覆っている。

20 [0210]

<第 11 実施形態の半導体装置の動作>

このような構成を有する半導体装置 1-11 は、第 1 実施形態の半導体装置と同様に動作する。

[0211]

25 <第 11 実施形態の半導体装置の製造方法>

次に、上述した構成の半導体装置 1-11 の製造方法の一例を、図 26

$[0 \ 2 \ 1 \ 2]$

5 先ず、図 2 6 A に示すように、基板 1 1 上に、バッファ層 1 2、3 層構造の下部障壁層 1 3、チャネル層 1 4、2 層構造の第 1 障壁層 1 5、および第 2 障壁層 1 6（高抵抗領域 1 6 b）をこの順に成膜する。この際、各層の成膜は、各実施形態で説明したと同様の手順で成膜すれば良く、さらに各層の成膜後には素子分離を形成する。

10 [図 26 B]

15 [0 2 1 4]

$$[0 \ 2 \ 1 \ 5]$$

68

に、p型不純物である亜鉛（Zn）を拡散させて低抵抗領域16gを形成する。亜鉛（Zn）の拡散は、例えば600℃程度の温度での亜鉛化合物気体を用いた気相拡散によって行う。これにより、ゲート開口21gの底部にセルフアラインで低抵抗領域16gを形成する。

5 [0216]

[図27A]

その後、図27Aに示す工程が、本第11実施形態の製造方法として特徴的な工程となる。

[0217]

10 すなわちここでは、絶縁膜21の等方的なエッチングを行うことにより、絶縁膜21を横方向に後退させ、低抵抗領域16gが完全に露出される大きさにまでゲート開口21gを拡幅する。等方的なエッチングとしては、例えばフッ酸（HF）系の薬液を用いたウェットエッチング、またはドライエッチングであればプラズマエッチングを行う。

15 [0218]

ただし、これらの薬液を用いたウェットエッチングを行う場合には、絶縁膜21の下地であるGaInP層の第2障壁層16もエッチングされる。このため、エッチングレートの遅いフッ酸（HF）系の薬液を用いたエッチングを行うことにより、第2障壁層16のエッチングを小さく抑えることが好ましい。

[0219]

[図27B]

次に図27Bに示すように、ゲート開口21gから露出する第2障壁層16、および拡幅されたゲート開口21gの内壁を覆う状態で、絶縁膜21上にゲート絶縁膜25を成膜する。ここでは例えば原子層蒸着法（Atomic Layer Deposition: ALD）法により、膜厚10nm程度

25

の酸化アルミニウム (Al_2O_3) よりなるゲート絶縁膜 25 を高精度に成膜する。尚、この状態において、ゲート絶縁膜 25 で内壁が覆われたゲート開口 21 g の開口幅が、次に形成するゲート電極の実効的なゲート長 L_g となる。このゲート長 L_g は、低抵抗領域 16 g の幅よりも大きく、低抵抗領域 16 g の全周に均一な間隔 L_d を介して、ゲート絶縁膜 25 で覆われたゲート開口 21 g の側壁が位置する構成となる。

[0220]

[図28A]

次いで図28Aに示すように、ゲート絶縁膜 25 を介してゲート開口 21 g の底部を完全に覆う状態で、ゲート電極 27 を形成する。この際、ゲート絶縁膜 25 上に、ニッケル (Ni)、および金 (Au) を順次マスク蒸着してゲート電極 27 をパターン形成する。これにより、低抵抗領域 16 g の上部を完全に覆う形状のゲート電極 27 を得る。

[0221]

15 [図28B]

以上の後には図28Bに示すように、ゲート絶縁膜 25 および絶縁膜 21 をパターンエッチングすることにより、低抵抗領域 16 g を挟む位置において、第2障壁層 16 の高抵抗領域 16 b を露出させたソース開口 21 s およびドレイン開口 21 d を形成する。

20 [0222]

[図25]

その後は図25に示したように、ソース開口 21 s およびドレイン開口 21 d を介して第2障壁層 16 の高抵抗領域 16 b にオーミック接合されたソース電極 23 s およびドレイン電極 23 d を形成する。この際、金-ゲルマニウム (AuGe)、ニッケル (Ni)、および金 (Au) を順次蒸着してパターンニングし、さらに例えば 400℃ 程度の加熱処

理により金系合金形成をしてソース電極 2 3 s / ドレイン電極 2 3 d を形成し、半導体装置 1-11 を完成させる。

[0 2 2 3]

以上の説明した製造方法により、第 1 1 実施形態の半導体装置 1-11
5 を形成することができる。この方法によれば、絶縁膜 2 1 に形成したゲート開口 2 1 g からの p 型不純物の拡散によって低抵抗領域 1 6 g を形成し、ウェットエッチングにより絶縁膜 2 1 を横方向に後退させた後、ゲート絶縁膜 2 5 を介してゲート電極 2 7 を形成する。このため、低抵抗領域 1 6 g 上には、低抵抗領域 1 6 g に対してセルフアラインで、低
10 抵抗領域 1 6 g を完全に覆う形状のゲート電極 2 7 が形成される。したがって、第 1 1 実施形態の半導体装置 1-11 を容易に得ることが可能である。

[0 2 2 4]

尚、ゲート開口 2 1 g、ゲート絶縁膜 2 5、およびゲート電極 2 7 の
15 形成は、ソース開口 2 1 s / ドレイン開口 2 1 d およびソース電極 2 3 s / ドレイン電極 2 3 d の形成の後に行っても良い。この場合であっても、ゲート絶縁膜 2 5 を介して低抵抗領域 1 6 g に対してセルフアラインで、低抵抗領域 1 6 g より大きい幅で、ゲート電極 2 7 が形成されるため、第 1 1 実施形態の半導体装置 1-11 を容易に得ることが可能であ
20 る。

[0 2 2 5]

< 第 1 1 実施形態の半導体装置の効果 >

以上説明した半導体装置 1-11 は、ゲート電極 2 7 が低抵抗領域 1 6 g の上部を完全に覆う形状を有している。このため、ゲート電極 2 7 に
25 ゲート電圧（正電圧）を印加する際に、p 型の低抵抗領域 1 6 g を完全に空乏化させることが容易となる。すなわちオン動作時にチャネル層 1

4内ゲート端部におけるキャリア欠乏領域の発生を防ぐことができ、寄生抵抗の増加を抑えることができる。この結果、オン抵抗 R_{on} を小さくする事ができ、さらに最大ドレイン電流 I_{dmax} を高くする効果を期待できる。

5 [0226]

そして特に、ゲート電極27は、低抵抗領域16gに対してセルフアラインで形成されているため、ソース電極23s／ドレイン電極23dとの間の耐圧を確保するための間隔に対するマージンを小さくすることができる。したがって、素子構造の微細化を達成することが可能である。

10 [0227]

尚、本第11実施形態を、図9を用いて説明した第2実施形態の半導体装置と組み合わせる場合、図25に示した第1障壁層15における膜厚方向の中央部にキャリア供給領域15aを設ければ良く、第2実施形態と同様の効果を合わせて得ることができる。

15 [0228]

また本第11実施形態を、図11を用いて説明した第3実施形態の半導体装置と組み合わせる場合、図25に示した低抵抗領域16gをキャリア供給領域15aに達する深さにまで延設すれば良く、第3実施形態と同様の効果を合わせて得ることができる。

20 [0229]

さらに本第11実施形態を、図12を用いて説明した第4実施形態の半導体装置と組み合わせる場合、図25に示した第2障壁層16においてp型の低抵抗領域16gを囲む部分を、低抵抗領域として構成すれば良く、第4実施形態と同様の効果を合わせて得ることができる。

25 [0230]

また本第11実施形態を、図9～図12を用いて説明した第2～4実

施形態の各半導体装置と組み合わせる場合の別の例として、例えば第2障壁層16を設けずに、第1障壁層15内におけるキャリア供給領域15aよりも上層に、低抵抗領域または高抵抗領域を設けた構成にも適用できる。この場合、例えばAlGaAs層で構成された第1障壁層15内におけるキャリア供給領域15aよりも上層に低抵抗領域を拡散形成し、この上部において窒化シリコン(Si_3N_4)よりなる絶縁膜21の等方的なエッチングを行うことになるが、このエッチングは第11実施形態において図27Aを用いて説明した手順と同様のエッチングが行われる。このような場合であっても、第11実施形態で追加された効果を得ることが可能である。

[0231]

＜12. 第12実施形態＞

(低抵抗領域を覆うゲート電極をセルフアラインで設けた第2例)

図29には、第12実施形態の半導体装置の要部構成を示す断面図である。以下、この図に基づいて、本技術を適用した第12実施形態の半導体装置の構成を説明する。

[0232]

＜第12実施形態の半導体装置の構成＞

図29に示す本第12実施形態の半導体装置1-12が、図1を用いて説明した第1実施形態の半導体装置と異なるところは、先の第11実施形態(図25参照)での相違点に加えて、第2障壁層16がエッチングストップ層16eを備えているところにある。よってここでは、第11実施形態との相違点を中心に第12実施形態の構成を説明する。

[0233]

すなわち本第12実施形態の半導体装置1-12においては、第2障壁層16における表面側にエッチングストップ層16eが設けられている。

このため第2障壁層16は、図示したように、高抵抗領域16b、エッチングストップ層16e、および高抵抗領域16bがこの順に積層された3層構造となっている。

[0234]

- 5 エッチングストップ層16eは、第2障壁層16を構成する他の部分（すなわち高抵抗領域16b）に対して、エッチング選択比が低くなりかつ格子整合する材料で構成される。またエッチングストップ層16eは、第2障壁層16の電気特性に影響を及ぼすことのない程度の薄膜であり、例えば3nm程度であることとする。ここでは第2障壁層16が、
10 GaInP混晶によって構成されているため、エッチングストップ層16eは、GaAs、またはAlGaAsによって構成する。

[0235]

- 以上のようなエッチングストップ層16eは、例えば第2障壁層16の表面側の中間層であり、次に説明する製造工程中における絶縁膜21
15 の等方的なエッチングにおいて、エッチングストップ層16eが露出されない程度の深さに設けられることとする。

[0236]

- このようなエッチングストップ層16eを有する第2障壁層16の上部には、ゲート開口21gが設けられた絶縁膜21が設けられ、このゲート開口21gの底部に低抵抗領域16gの全体が露出し、この上部が
20 ゲート絶縁膜25で覆われていることは、第11実施形態と同様である。また、ゲート開口21gの底部における低抵抗領域16gの配置状態は、第11実施形態と同様であり、ゲート絶縁膜25で覆われたゲート開口21gの周縁から所定の間隔 L_d ($L_d > 0$) を均等に有した状態で、
25 ゲート開口21gの底部における中央に低抵抗領域16gが露出した状態となっている。

[0237]

特に本第12実施形態の半導体装置1-12においては、ゲート開口21gの深さは、絶縁膜21の膜厚を越えて第2障壁層16の表面層にも彫り込まれており、さらにエッチングストップ層16eよりも深い位置にまで達している。これにより、ゲート開口21gの底部には、エッチングストップ層16eよりも下層の第2障壁層16部分が露出しており、この第2障壁層16部分に設けられた低抵抗領域16gが、ゲート開口21gから完全に露出した状態となっている。

[0238]

10 またゲート電極27は、ゲート絶縁膜25を介して、ゲート開口21gの底部を完全に覆う状態で設けられているところが重要である。このようなゲート電極27の実効的なゲート長 L_g は、絶縁膜21におけるゲート開口21gの底部の幅、さらに詳しくはゲート絶縁膜25で覆われたゲート開口21gの開口幅である。つまり、ゲート電極27において
15 実効的なゲート長 L_g として機能する部分は、低抵抗領域16gの長さ L よりも、低抵抗領域16gの全周方向に間隔 L_d だけ拡幅した大きさを有し、低抵抗領域16gの上部を完全に覆っている。

[0239]

<第12実施形態の半導体装置の動作>

20 このような構成を有する半導体装置1-12は、第1実施形態の半導体装置と同様に動作する。

[0240]

<第12実施形態の半導体装置の製造方法>

次に、上述した構成の半導体装置1-12の製造方法の一例を、図30
25 ～図33の断面工程図に基づいて説明する。

[0241]

[図 3 0 A]

先ず図 3 0 A に示すように、基板 1 1 上に、バッファ層 1 2、3 層構造の下部障壁層 1 3、チャネル層 1 4、2 層構造の第 1 障壁層 1 5、第 2 障壁層 1 6 の高抵抗領域 1 6 b、第 2 障壁層 1 6 のエッチングストップ層 1 6 e、および第 2 障壁層 1 6 の高抵抗領域 1 6 b を、この順に成膜する。各層の成膜は、エッチングストップ層 1 6 e も含めて、各実施形態で説明したと同様に下層側から順次エピタキシャル成長させれば良く、各層の成膜後には素子分離を形成する。尚、エッチングストップ層 1 6 e を形成する位置により、以降に形成するゲート電極とチャネル層 1 4 との距離を任意に設定することが可能である。

[0 2 4 2]

[図 3 0 B]

その後図 3 0 B に示すように、第 2 障壁層 1 6 上に、ゲート開口 2 1 g を設けた絶縁膜 2 1 を形成する。この際、第 1 1 実施形態と同様に、例えば C V D (Chemical Vapor Deposition) 法により、窒化シリコン (Si_3N_4) よりなる絶縁膜 2 1 を成膜し、その後、絶縁膜 2 1 をパターンエッチングすることにより、第 2 障壁層 1 6 の表面を露出させるゲート開口 2 1 g を絶縁膜 2 1 に形成する。

[0 2 4 3]

この状態で、ゲート開口 2 1 g の底部に露出する第 2 障壁層 1 6 の表面層からの p 型不純物の導入により、第 2 障壁層 1 6 内に p 型の低抵抗領域 1 6 g を形成する。この際、エッチングストップ層 1 6 e よりも深い位置にまで p 型不純物である亜鉛 (Zn) を拡散させることにより、エッチングストップ層 1 6 e よりも深い位置にまで低抵抗領域 1 6 g が延設されるように形成することが重要である。亜鉛 (Zn) の拡散は、他の実施形態と同様に、例えば 6 0 0 °C 程度の温度での亜鉛化合物気体

を用いた気相拡散によって行う。これにより、ゲート開口 2 1 g の底部にセルフアラインで低抵抗領域 1 6 g を形成する。

[0 2 4 4]

[図 3 1 A]

- 5 次に図 3 1 A に示すように、絶縁膜 2 1 の等方的なエッチングを行うことにより、絶縁膜 2 1 を横方向に後退させてゲート開口 2 1 g を拡幅する。等方的なエッチングとしては、例えばフッ酸 (HF) 系の薬液またはリン酸系の薬液を用いたウェットエッチング、またはドライエッチングであればプラズマエッチングを行う。

10 [0 2 4 5]

- ただし、ここでのエッチングにおいて絶縁膜 2 1 の下地である Ga I n P 層の第 2 障壁層 1 6 もエッチングされる場合、エッチングストップ層 1 6 e 上に高抵抗領域 1 6 b が残されるようにする。この場合、第 2 障壁層 1 6 に対するエッチング速度が遅い薬液を選択したエッチングを
15 行うことが好ましい。

[0 2 4 6]

- 一方、ここでのエッチングにおいて絶縁膜 2 1 の下地である Ga I n P 層の第 2 障壁層 1 6 がエッチングされない場合には、例えば塩酸系またはリン酸系の薬液を用いることにより、エッチングストップ層 1 6 e
20 の上部に第 2 障壁層 1 6 が極薄く残される程度にまで第 2 障壁層 1 6 をエッチングする工程を追加しても良い。

[0 2 4 7]

[図 3 1 B]

- 以上の後、図 3 1 B に示すように、ウェットエッチング法によって、
25 エッチングストップ層 1 6 e の上部の高抵抗領域 1 6 b を除去し、さらにエッチングストップ層 1 6 e を除去する。ここでは、エッチングスト

ップ層 1 6 e のエッチングを高精度に制御できるように、先ず、GaAs で構成されたエッチングストップ層 1 6 e に対するエッチング速度が遅い薬液を用いて高抵抗領域 1 6 b のウェットエッチングを行う。このような薬液としては、例えば塩酸系またはリン酸系の薬液を用いる。その後 GaAs で構成されたエッチングストップ層 1 6 e の除去においては、クエン酸系の薬液を用いたウェットエッチングを行う。

[0248]

尚、クエン酸系薬液または塩酸系またはリン酸系の薬液を用いた第 2 障壁層 1 6 およびエッチングストップ層 1 6 e のウェットエッチングにおいては、絶縁膜 2 1 のエッチングは進行しない。このため、絶縁膜 2 1 下の第 2 障壁層 1 6 およびエッチングストップ層 1 6 e が等方的にエッチングされ、絶縁膜 2 1 が、わずかに底状に張り出す形状となる。

[0249]

[図 3 2 A]

次の図 3 2 A 以降の工程は、第 1 1 実施形態において図 2 7 B 以降の図を用いて説明した工程と同様の工程を行えば良い。

[0250]

すなわち先ず、ゲート開口 2 1 g から露出する第 2 障壁層 1 6、および拡幅されたゲート開口 2 1 g の内壁を覆う状態で、絶縁膜 2 1 上にゲート絶縁膜 2 5 を成膜する。

[0251]

[図 3 2 B]

次いで図 3 2 B に示すように、ゲート絶縁膜 2 5 を介してゲート開口 2 1 g の底部を完全に覆う状態で、ゲート電極 2 7 を形成する。

[0252]

[図 3 3]

以上の後には図 3 3 に示すように、ゲート絶縁膜 2 5 および絶縁膜 2 1 をパターンエッチングすることにより、低抵抗領域 1 6 g を挟む位置において、第 2 障壁層 1 6 の高抵抗領域 1 6 b を露出させたソース開口 2 1 s およびドレイン開口 2 1 d を形成する。

5 [0 2 5 3]

[図 2 9]

その後は図 2 9 に示したように、ソース開口 2 1 s およびドレイン開口 2 1 d を介して第 2 障壁層 1 6 の高抵抗領域 1 6 b にオーミック接合されたソース電極 2 3 s およびドレイン電極 2 3 d を形成し、半導体装置 1-12 を完成させる。

10 [0 2 5 4]

以上の説明した製造方法により、第 1 2 実施形態の半導体装置 1-12 を形成することができる。この方法によれば、絶縁膜 2 1 に形成したゲート開口 2 1 g からの p 型不純物の拡散によって低抵抗領域 1 6 g を形成し、ウェットエッチングにより絶縁膜 2 1 を横方向に後退させた後、ゲート絶縁膜 2 5 を介してゲート電極 2 7 を形成する。このため、低抵抗領域 1 6 g 上には、低抵抗領域 1 6 g に対してセルフアラインで、低抵抗領域 1 6 g を完全に覆う形状のゲート電極 2 7 が形成される。したがって、第 1 2 実施形態の半導体装置 1-12 を容易に得ることが可能である。

20 [0 2 5 5]

<第 1 2 実施形態の半導体装置の効果>

以上説明した半導体装置 1-12 は、ゲート電極 2 7 が低抵抗領域 1 6 g の上部を完全に覆う形状を有している。このため第 1 1 実施形態と同様に、ゲート電極 2 7 にゲート電圧（正電圧）を印加する際に、p 型の低抵抗領域 1 6 g を完全に空乏化させることが容易となる。すなわちオ

ン動作時にチャネル層 14 内ゲート端部におけるキャリア欠乏領域の発生を防ぐことができ、寄生抵抗の増加を抑えることができる。この結果、オン抵抗 R_{on} を小さくする事ができ、さらに最大ドレイン電流 I_{dmax} を高くする効果を期待できる。

5 [0256]

またゲート電極 27 は、低抵抗領域 16g に対してセルフアラインで形成されているため、ソース電極 23s / ドレイン電極 23d との間の耐圧を確保するための間隔に対するマージンを小さくすることができる。したがって、素子構造の微細化を達成することが可能である。

10 [0257]

そして特に、第 2 障壁層 16 の表面側の中間層にエッチングストップ層 16e を設け、絶縁膜 21 のゲート開口 21g を拡幅する際には、エッチングストップ層 16e の上部で一旦エッチングを停止させた後、エッチングストップ層 16e をウェットエッチングで除去する手順である。

15 このため、エッチングの底面である低抵抗領域 16g の表面、すなわちゲート絶縁膜 25 との界面を、低抵抗領域 16g 形成時のダメージや絶縁膜 21 のパターンエッチング時のダメージが除去され、ダメージが最小限に抑えられた表面とすることができる。界面特性が良好でドレイン電流 I_d の低減などを回避することができる。しかも、エッチング深さが
20 がエッチングストップ層 16e の成膜設計で制御されるため、ゲート絶縁膜 25 とチャネル層 14 との距離の制御性が良好であり、素子特性の均一性も良好である。

 [0258]

尚、本第 12 実施形態においては、第 2 障壁層 16 の表面側の中間層
25 としてエッチングストップ層 16e を設けた構成を説明した。しかしながら、エッチングストップ層 16e は、第 2 障壁層 16 の表面層を構成

する層として設けても良い。この場合、低抵抗領域 1 6 g を形成し、絶縁膜 2 1 のゲート開口 2 1 g を広げた後、クエン酸系の薬液を用いたウェットエッチングによって GaAs で構成されたエッチングストップ層 1 6 e を除去すれば良い。

5 [0 2 5 9]

また本第 1 2 実施形態を、図 9 を用いて説明した第 2 実施形態の半導体装置と組み合わせる場合、図 2 9 に示した第 1 障壁層 1 5 における膜厚方向の中央部にキャリア供給領域 1 5 a を設ければ良く、第 2 実施形態と同様の効果を合わせて得ることができる。

10 [0 2 6 0]

また本第 1 2 実施形態を、図 1 1 を用いて説明した第 3 実施形態の半導体装置と組み合わせる場合、図 2 9 に示した低抵抗領域 1 6 g をキャリア供給領域 1 5 a に達する深さにまで延設すれば良く、第 3 実施形態と同様の効果を合わせて得ることができる。

15 [0 2 6 1]

さらに本第 1 2 実施形態を、図 1 2 を用いて説明した第 4 実施形態の半導体装置と組み合わせる場合、図 2 9 に示した第 2 障壁層 1 6 において p 型の低抵抗領域 1 6 g を囲む部分を、低抵抗領域 1 6 として構成すれば良く、第 4 実施形態と同様の効果を合わせて得ることができる。

20 [0 2 6 2]

また本第 1 2 実施形態を、図 9 ～図 1 2 を用いて説明した第 2 ～ 4 実施形態の各半導体装置と組み合わせる場合の別の例として、例えば第 2 障壁層 1 6 を設けずに、第 1 障壁層 1 5 内におけるキャリア供給領域 1 5 a よりも上層に、低抵抗領域または高抵抗領域を設けた構成にも適用
25 できる。この場合、例えば AlGaAs 層で構成された第 1 障壁層 1 5 内におけるキャリア供給領域 1 5 a よりも上層側の中間層または表面層

として、AlAs層で構成されたエッチングストップ層を設ければ良く、このエッチングストップ層を越える深さで低抵抗領域が拡散形成される。この場合であっても、窒化シリコン (Si_3N_4) よりなる絶縁膜21の等方的なエッチングは、第12実施形態において図31Aおよび図31Bを用いて説明した手順と同様のエッチングが行われる。このような場合であっても、第12実施形態で追加された効果を得ることが可能である。

[0263]

《13. 第13実施形態》

10 (低抵抗領域を覆うゲート電極をセルフアラインで設けた第3例)

図34には、第13実施形態の半導体装置の要部構成を示す断面図である。以下、この図に基づいて、本技術を適用した第13実施形態の半導体装置の構成を説明する。

[0264]

15 <第13実施形態の半導体装置の構成>

図34に示す本第13実施形態の半導体装置1-13が、図1を用いて説明した第1実施形態の半導体装置と異なるところは、先の第11実施形態(図25参照)での相違点に加えて、第2障壁層16とソース電極23s/ドレイン電極23d間にキャップ層31を設けたところにある。

20 つまり、本第13実施形態は、第11実施形態と第5実施形態(図13参照)とを組み合わせた構成である。

[0265]

すなわち本第13実施形態の半導体装置1-13においては、第2障壁層16と、ソース電極23s/ドレイン電極23dとの間に、低抵抗領域16gとは逆導電型の不純物(ここではn型の不純物)を含有するキャップ層31が設けられている。このようなキャップ層31は、第2障

壁層 16 に対して格子整合する化合物半導体材料を用いて構成されてい
れば良く、第 2 障壁層 16 のバンドギャップと一致している必要はない。
ただし、極端にバンドギャップが異なると、接合部にポテンシャルの障
壁ができるため、オーミック接合における抵抗が高くなるおそれがある。

- 5 したがって、キャップ層 31 のバンドギャップは、下地となる第 2 障壁
層 16 のバンドギャップに対して、半導体装置 1-13 の特性に影響のな
い程度の範囲で一致させることとする。

[0266]

- 10 以上のようなキャップ層 31 は、第 2 障壁層 16 が GaInP 混晶か
らなる場合、例えば n 型の不純物を含有する GaAs により構成されて
いることとする。

[0267]

- 15 また第 2 障壁層 16 の上部には、キャップ層 31 を覆う状態で絶縁膜
21 が設けられており、この絶縁膜 21 に設けられたゲート開口 21g
の底部に低抵抗領域 16g の全体が露出し、この上部がゲート絶縁膜 2
5 5 で覆われていることは、第 1 実施形態と同様である。また、ゲート
開口 21g の底部における低抵抗領域 16g の配置状態は、第 1 実施
形態と同様であり、ゲート絶縁膜 25 で覆われたゲート開口 21g の周
縁から所定の間隔 L_d ($L_d > 0$) を均等に有した状態で、ゲート開口
20 21g の底部における中央に低抵抗領域 16g が露出した状態となっ
ている。

[0268]

<第 1 3 実施形態の半導体装置の動作>

- 25 このような構成を有する半導体装置 1-13 は、第 1 実施形態の半導体
装置と同様に動作する。

[0269]

＜第 1 3 実施形態の半導体装置の製造方法＞

次に、上述した構成の半導体装置 1-13 の製造方法の一例を、図 3 5 ～図 3 8 の断面工程図に基づいて説明する。

[0 2 7 0]

5 [図 3 5 A]

先ず図 3 5 A に示すように、基板 1 1 上に、バッファ層 1 2、3 層構造の下部障壁層 1 3、チャネル層 1 4、2 層構造の第 1 障壁層 1 5、第 2 障壁層 1 6（低抵抗領域 1 6 b）、さらにはキャップ層 3 1 となる n 型 GaAs 層を、この順に成膜する。各層の成膜は、各実施形態で説明
10 したと同様に下層側から順次エピタキシャル成長させれば良く、各層の成膜後には素子分離を形成する。その後、n 型 GaAs 層をパターンエッチングしてキャップ層 3 1 を形成する。

[0 2 7 1]

[図 3 5 B]

15 次いで図 3 5 B に示すように、キャップ層 3 1 を覆う状態で絶縁膜 2 1 を形成し、この絶縁膜 2 1 にゲート開口 2 1 g を形成する。この工程は、第 1 実施形態において図 5 B を用いて説明したと同様の手順で行えば良い。すなわちここでは、キャップ層 3 1 を覆う状態で、第 2 障壁層 1 6 上に、例えば CVD（Chemical Vapor Deposition）法によって
20 窒化シリコン（ Si_3N_4 ）よりなる絶縁膜 2 1 を成膜する。その後、絶縁膜 2 1 をパターンエッチングすることにより、第 2 障壁層 1 6 の表面を露出させるゲート開口 2 1 g を絶縁膜 2 1 に形成する。ゲート開口 2 1 g は、キャップ層 3 1 を露出することのない位置に形成する。

[0 2 7 2]

25 [図 3 6 A]

次に図 3 6 A に示すように、ゲート開口 2 1 g の底部に露出する第 2

障壁層 1 6 の表面層からの p 型不純物の導入により、第 2 障壁層 1 6 内に p 型の低抵抗領域 1 6 g を形成する。ここでは図示したように、キャリア供給領域 1 5 a に達することのない位置、すなわち第 2 障壁層 1 6 内の表面層のみに、p 型不純物である亜鉛 (Zn) を拡散させて低抵抗領域 1 6 g を形成する。亜鉛 (Zn) の拡散は、例えば 600℃ 程度の温度での亜鉛化合物気体を用いた気相拡散によって行う。これにより、ゲート開口 2 1 g の底部にセルフアラインで低抵抗領域 1 6 g を形成する。

[0273]

10 [図 3 6 B]

その後図 3 6 B 以降の工程は、第 1 1 実施形態において図 2 7 A 以降の図を用いて説明した工程と同様の工程を行えば良い。

[0274]

すなわち先ず、絶縁膜 2 1 の等方的なエッチングを行うことにより、
15 絶縁膜 2 1 を横方向に後退させてゲート開口 2 1 g を拡幅する。ここでは絶縁膜 2 1 の下地である GaInP 層の第 2 障壁層 1 6 もエッチングされる。

[0275]

[図 3 7 A]

20 次に図 3 7 A に示すように、ゲート開口 2 1 g から露出する第 2 障壁層 1 6、および拡幅されたゲート開口 2 1 g の内壁を覆う状態で、絶縁膜 2 1 上にゲート絶縁膜 2 5 を成膜する。

[0276]

[図 3 7 B]

25 次いで図 3 7 B に示すように、ゲート絶縁膜 2 5 を介してゲート開口 2 1 g の底部を完全に覆う状態で、ゲート電極 2 7 を形成する。

[0277]

[図38]

以上の後には図38に示すように、ゲート絶縁膜25および絶縁膜21をパターンエッチングすることにより、低抵抗領域16gを挟む位置5において、キャップ層31を露出させたソース開口21sおよびドレイン開口21dを形成する。

[0278]

[図34]

その後は図34に示したように、ソース開口21sおよびドレイン開口21dを介してキャップ層31にオーミック接合されたソース電極23sおよびドレイン電極23dを形成し、半導体装置1-13を完成させる。

[0279]

以上の説明した製造方法により、第13実施形態の半導体装置1-13を形成することができる。この方法によれば、絶縁膜21に形成したゲート開口21gからのp型不純物の拡散によって低抵抗領域16gを形成し、ウェットエッチングにより絶縁膜21を横方向に後退させた後、ゲート絶縁膜25を介してゲート電極27を形成する。このため、低抵抗領域16g上には、低抵抗領域16gに対してセルフアラインで、低抵抗領域16gを完全に覆う形状のゲート電極27が形成される。したがって、第13実施形態の半導体装置1-13を容易に得ることが可能である。

[0280]

<第13実施形態の半導体装置の効果>

25 以上説明した半導体装置1-13は、ゲート電極27が低抵抗領域16gの上部を完全に覆う形状を有している。このため第11実施形態と同

様に、ゲート電極 27 にゲート電圧（正電圧）を印加する際に、p 型の低抵抗領域 16g を完全に空乏化させることが容易となる。すなわちオン動作時にチャネル層 14 内ゲート端部におけるキャリア欠乏領域の発生を防ぐことができ、寄生抵抗の増加を抑えることができる。この結果、

5 オン抵抗 R_{on} を小さくする事ができ、さらに最大ドレイン電流 I_{dmax} を高くする効果を期待できる。

[0281]

また以上に加えて、第 2 障壁層 16 とソース電極 23s / ドレイン電極 23d との間に、化合物半導体からなるキャップ層 31 を設けた構成

10 であるため、キャップ層 31 直下のチャネル層 14 のシートキャリア密度を高くすることができる。これによってもチャネル抵抗およびアクセス抵抗を低くしてオン抵抗 R_{on} を小さくする事ができ、さらに最大ドレイン電流 I_{dmax} を高くする効果を期待できる。

[0282]

15 またゲート電極 27 は、低抵抗領域 16g に対してセルフアラインで形成されているため、ソース電極 23s / ドレイン電極 23d との間の耐圧を確保するための間隔に対するマージンを小さくすることができる。したがって、素子構造の微細化を達成することが可能である。

[0283]

20 尚、本第 13 実施形態を、図 9 を用いて説明した第 2 実施形態の半導体装置と組み合わせる場合、図 34 に示した第 1 障壁層 15 における膜厚方向の中央部にキャリア供給領域 15a を設ければ良く、第 2 実施形態と同様の効果を合わせて得ることができる。

[0284]

25 また本第 13 実施形態を、図 11 を用いて説明した第 3 実施形態の半導体装置と組み合わせる場合、図 34 に示した低抵抗領域 16g をキャ

リア供給領域 15 a に達する深さにまで延設すれば良く、第 3 実施形態と同様の効果を合わせて得ることができる。

[0 2 8 5]

さらに本第 1 3 実施形態を、図 1 2 を用いて説明した第 4 実施形態の
5 半導体装置と組み合わせる場合、図 3 4 に示した第 2 障壁層 1 6 において p 型の低抵抗領域 1 6 g を囲む部分を、低抵抗領域 1 6 a として構成すれば良く、第 4 実施形態と同様の効果を合わせて得ることができる。

[0 2 8 6]

また本第 1 3 実施形態を、図 9 ~ 図 1 2 を用いて説明した第 2 ~ 4 実
10 施形態の各半導体装置と組み合わせる場合の別の例として、例えば第 2 障壁層 1 6 を設けずに、第 1 障壁層 1 5 におけるキャリア供給領域 1 5 a よりも上層に、低抵抗領域または高抵抗領域を設け、第 1 障壁層 1 5 上にキャップ層 3 1 を設けた構成にも適用できる。この場合、例えば A l G a A s 層で構成された第 1 障壁層 1 5 内におけるキャリア供給領域
15 1 5 a よりも上層に低抵抗領域を拡散形成し、この上部において窒化シリコン (S i ₃ N₄) よりなる絶縁膜 2 1 の等方的なエッチングを行うことになるが、このエッチングは第 1 1 実施形態において図 2 7 A を用いて説明した手順と同様のエッチングが行われる。このような場合であっても、第 1 3 実施形態で追加された効果を得ることが可能である。

20 [0 2 8 7]

《 1 4 . 第 1 4 実施形態 》

(低抵抗領域を覆うゲート電極をセルフアラインで設けた第 4 例)

図 3 9 には、第 1 4 実施形態の半導体装置の要部構成を示す断面図である。以下、この図に基づいて、本技術を適用した第 1 4 実施形態の半
25 導体装置の構成を説明する。

[0 2 8 8]

＜第 1 4 実施形態の半導体装置の構成＞

図 3 9 に示す本第 1 4 実施形態の半導体装置 1-14 が、図 1 を用いて説明した第 1 実施形態の半導体装置と異なるところは、ゲート電極 2 7 が低抵抗領域 1 6 g を覆っているところ、およびこのゲート電極 2 7 が低抵抗領域 1 6 g に対してセルフアラインで形成されているところにある。他の構成は第 1 実施形態と同様である。よってここでは、第 1 1 実施形態との相違点を中心に第 1 4 実施形態の構成を説明する。

[0 2 8 9]

すなわち本第 1 4 実施形態の半導体装置 1-14 においては、第 2 障壁層 1 6 の上部には、ゲート開口 2 1 g が設けられた絶縁膜 2 1 が設けられており、このゲート開口 2 1 g の底部に低抵抗領域 1 6 g の全体が露出していて、この上部がゲート絶縁膜 2 5 で覆われていることは、第 1 1 実施形態と同様である。また、ゲート開口 2 1 g の底部における低抵抗領域 1 6 g の配置状態は、第 1 1 実施形態と同様であり、ゲート絶縁膜 2 5 で覆われたゲート開口 2 1 g の周縁から所定の間隔 L_d ($L_d > 0$) を均等に有した状態で、ゲート開口 2 1 g の底部における中央に低抵抗領域 1 6 g が露出した状態となっている。

[0 2 9 0]

またゲート電極 2 7 は、ゲート絶縁膜 2 5 を介して、ゲート開口 2 1 g の底部を完全に覆う状態で設けられているところが重要である。このようなゲート電極 2 7 の実効的なゲート長 L_g は、絶縁膜 2 1 におけるゲート開口 2 1 g の底部の幅、さらに詳しくはゲート絶縁膜 2 5 で覆われたゲート開口 2 1 g の開口幅である。つまり、ゲート電極 2 7 は、実効的なゲート長 L_g として機能する部分が、低抵抗領域 1 6 g の全周方向に、低抵抗領域 1 6 g の長さ L よりも間隔 L_d だけ拡幅した大きさであって、低抵抗領域 1 6 g の上部を完全に覆って設けられている。

[0 2 9 1]

<第 1 4 実施形態の半導体装置の動作>

このような構成を有する半導体装置 1-14 は、第 1 実施形態の半導体装置と同様に動作する。

5 [0 2 9 2]

<第 1 4 実施形態の半導体装置の製造方法>

次に、上述した構成の半導体装置 1-14 の製造方法の一例を、図 4 0 ~ 図 4 2 の断面工程図に基づいて説明する。

[0 2 9 3]

10 [図 4 0 A]

先ず図 4 0 A に示すように、基板 1 1 上に、バッファ層 1 2、3 層構造の下部障壁層 1 3、チャネル層 1 4、2 層構造の第 1 障壁層 1 5、および第 2 障壁層 1 6（低抵抗領域 1 6 b）を、この順に成膜する。各層の成膜は、各実施形態で説明したと同様に下層側から順次エピタキシャル成長させれば良く、各層の成膜後には素子分離を形成する。

15

[0 2 9 4]

[図 4 0 B]

その後図 4 0 B に示すように、第 2 障壁層 1 6 上に、ゲート開口 2 1 g を設けた絶縁膜 2 1 を形成する。この際、第 1 1 実施形態と同様に、例えば C V D（Chemical Vapor Deposition）法により、窒化シリコン（ Si_3N_4 ）よりなる絶縁膜 2 1 を成膜し、その後、絶縁膜 2 1 をパターンエッチングすることにより、第 2 障壁層 1 6 の表面を露出させるゲート開口 2 1 g を絶縁膜 2 1 に形成する。

20

[0 2 9 5]

25 次いで絶縁膜 2 1 の側壁にサイドウォール 4 5 を形成し、ゲート開口 2 1 g の開口幅をサイドウォール 4 5 の幅だけ狭くする。ここでは、先

ず絶縁膜 2 1 を覆う状態で、サイドウォール 4 5 を形成する材料膜を成膜する。この材料膜は、絶縁膜 2 1 および第 2 障壁層 1 6 に対してエッチング選択比が高くなる材料を用いて構成される。ここでは例えば成膜方法によってエッチング速度が制御された窒化シリコン、酸化アルミニウム、または窒化アルミニウムで構成された材料膜を形成する。ただし、絶縁膜 2 1 と同じ材料である窒化シリコンを用いてサイドウォール 4 5 を形成する場合は、成膜ガスとして用いる窒素ガス (N_2) やアンモニアガス (NH_3) の流量を調整することにより、以降に行なう等方的なエッチングでのエッチングレートが調整された窒化シリコン (Si_3N_4) よりなる絶縁膜を成膜する。

[0 2 9 6]

次いで、成膜した材料膜をドライエッチングによって異方性エッチングし、絶縁膜 2 1 の側壁のみに残す。これにより、絶縁膜 2 1 の側壁に、先の材料膜で構成されたサイドウォール 4 5 を形成し、ゲート開口 2 1 g の開口幅を狭くする。

[0 2 9 7]

[図 4 1 A]

次いで図 4 1 A に示すように、サイドウォール 4 5 で狭められたゲート開口 2 1 g の底部からの p 型不純物の導入により、第 2 障壁層 1 6 内に p 型の低抵抗領域 1 6 g を形成する。ここでは図示したように、キャリア供給領域 1 5 a に達することのない位置、すなわち第 2 障壁層 1 6 内の表面層のみに、p 型不純物である亜鉛 (Zn) を拡散させて低抵抗領域 1 6 g を形成する。亜鉛 (Zn) の拡散は、例えば 6 0 0 °C 程度の温度での亜鉛化合物気体を用いた気相拡散によって行う。これにより、ゲート開口 2 1 g の底部にセルフアラインで低抵抗領域 1 6 g を形成する。

[0298]

[図41B]

その後図41Bに示すように、窒化シリコン (Si_3N_4) で構成されたサイドウォール45を、窒化シリコン (Si_3N_4) で構成された絶縁膜21、およびGaInP混晶で構成された第2障壁層16に対して選択的にエッチングすることによって除去する。このようなエッチングは、例えばフッ酸 (HF) 系の薬液を用いたウェットエッチング、またはドライエッチングであればプラズマエッチングを行う。これにより、ゲート開口21gの開口幅を広げる。

10 [0299]

[図42A]

その後図42A以降の工程は、第11実施形態において図27B以降の図を用いて説明した工程と同様の工程を行えば良い。

[0300]

15 すなわちまず、ゲート開口21gから露出する第2障壁層16、および拡幅されたゲート開口21gの内壁を覆う状態で、絶縁膜21上にゲート絶縁膜25を成膜する。次いで、ゲート絶縁膜25を介してゲート開口21gの底部を完全に覆う状態で、ゲート電極27を形成する。

[0301]

20 [図42B]

以上の後には図42Bに示すように、ゲート絶縁膜25および絶縁膜21をパターンエッチングすることにより、低抵抗領域16gを挟む位置において、第2障壁層16の高抵抗領域16bを露出させたソース開口21sおよびドレイン開口21dを形成する。

25 [0302]

[図39]

その後は図 3 9 に示したように、ソース開口 2 1 s およびドレイン開口 2 1 d を介して第 2 障壁層 1 6 の高抵抗領域 1 6 b にオーミック接合されたソース電極 2 3 s およびドレイン電極 2 3 d を形成し、半導体装置 1-14 を完成させる。

5 [0 3 0 3]

以上の説明した製造方法により、第 1 4 実施形態の半導体装置 1-14 を形成することができる。この方法によれば、サイドウォール 4 5 を備えたゲート開口 2 1 g からの p 型不純物の拡散によって低抵抗領域 1 6 g を形成し、ウェットエッチングによりサイドウォール 4 5 を除去して
10 ゲート開口 2 1 g を拡幅した後、ゲート絶縁膜 2 5 を介してゲート電極 2 7 を形成する。このため、低抵抗領域 1 6 g 上には、低抵抗領域 1 6 g に対してセルフアラインで、低抵抗領域 1 6 g を完全に覆う形状のゲート電極 2 7 が形成される。したがって、第 1 4 実施形態の半導体装置 1-14 を容易に得ることが可能である。

15 [0 3 0 4]

<第 1 4 実施形態の半導体装置の効果>

以上説明した半導体装置 1-14 は、ゲート電極 2 7 が低抵抗領域 1 6 g の上部を完全に覆う形状を有している。このため第 1 1 実施形態と同様に、ゲート電極 2 7 にゲート電圧（正電圧）を印加する際に、p 型の
20 低抵抗領域 1 6 g を完全に空乏化させることが容易となる。すなわちオン動作時にチャネル層 1 4 内ゲート端部におけるキャリア欠乏領域の発生を防ぐことができ、寄生抵抗の増加を抑えることができる。この結果、オン抵抗 R_{on} を小さくする事ができ、さらに最大ドレイン電流 I_{dm}
 a_x を高くする効果を期待できる。

25 [0 3 0 5]

またゲート電極 2 7 が低抵抗領域 1 6 g に対してセルフアラインで形

成されていることにより、ソース電極 2 3 s / ドレイン電極 2 3 d との間の耐圧を確保するための間隔に対するマージンを小さくすることができる。これに加えて、サイドウォール 4 5 によって開口幅が狭められたゲート開口 2 1 g を介しての不純物の導入によって低抵抗領域 1 6 g が形成されているため、低抵抗領域 1 6 g の微細化が図られる。したがって、第 1 1 ~ 1 3 実施形態と比較して、さらに素子構造の微細化を達成することが可能である。

[0 3 0 6]

尚、本第 1 4 実施形態を、図 9 を用いて説明した第 2 実施形態の半導体装置と組み合わせる場合、図 3 9 に示した第 1 障壁層 1 5 における膜厚方向の中央部にキャリア供給領域 1 5 a を設ければ良く、第 2 実施形態と同様の効果を合わせて得ることができる。

[0 3 0 7]

また本第 1 4 実施形態を、図 1 1 を用いて説明した第 3 実施形態の半導体装置と組み合わせる場合、図 3 9 に示した低抵抗領域 1 6 g をキャリア供給領域 1 5 a に達する深さにまで延設すれば良く、第 3 実施形態と同様の効果を合わせて得ることができる。

[0 3 0 8]

さらに本第 1 4 実施形態を、図 1 2 を用いて説明した第 4 実施形態の半導体装置と組み合わせる場合、図 3 9 に示した第 2 障壁層 1 6 において p 型の低抵抗領域 1 6 g を囲む部分を、低抵抗領域 1 6 a として構成すれば良く、第 4 実施形態と同様の効果を合わせて得ることができる。

[0 3 0 9]

また本第 1 4 実施形態を、図 9 ~ 図 1 2 を用いて説明した第 2 ~ 4 実施形態の各半導体装置と組み合わせる場合の別の例として、例えば第 2 障壁層 1 6 を設けずに、第 1 障壁層 1 5 内におけるキャリア供給領域 1

5 aよりも上層に、低抵抗領域または高抵抗領域を設けた構成にも適用できる。この場合、例えばAlGaAs層で構成された第1障壁層15内におけるキャリア供給領域15aよりも上層に低抵抗領域を拡散形成し、この上部において窒化シリコン(Si₃N₄)よりなる絶縁膜21の等方的なエッチングを行うことになるが、このエッチングは第11実施形態において図27Aを用いて説明した手順と同様のエッチングが行われる。このような場合であっても、第14実施形態で追加された効果を得ることが可能である。

[0310]

10 またさらに本第14実施形態は、図29を用いて説明した第12実施形態の製造方法と組み合わせても良い。この場合、第2障壁層16にエッチングストップ層を設け、図42を用いて説明したゲート絶縁膜25を形成する工程の前に、絶縁膜21をマスクにしてエッチングストップ層までをウェットエッチングする工程を加えれば良い。これにより、第12実施形態と同様の効果を合わせて得ることができる。

[0311]

15 またさらに本第14実施形態は、図32を用いて説明した第13実施形態と組み合わせても良い。この場合、図40Bを用いて説明した絶縁膜21を形成する前に、キャップ層を設ける工程を行い、キャップ層を覆って絶縁膜21を形成すれば良い。これにより、第13実施形態と同様の効果を合わせて得ることができる。

[0312]

《15. 変形例ー1》

25 以上説明した第1実施形態～第14実施形態においては、基板11の上部に形成される化合物半導体を用いた各層は、各層間において格子整合しているとした。しかしながら、本技術は、このような構成に限定さ

- れることはなく、基板 11 の上部に形成される化合物半導体を用いた各層は、シュードモルフィック技術により成長させた化合物半導体層や、メタモルフィック技術により成長させた格子定数の異なる化合物半導体層を用いても良い。例えば、GaAs からなる基板上に、GaAs とは
- 5 格子定数が異なる化合物半導体からなる各層を成長させても良い。

[0313]

例えばメタモルフィック技術を適用した構成の一例としては、次のようである。

基板 11 およびバッファ層 12 … GaAs

- 10 下部障壁層 13 … InAlAs ($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)

チャネル層 14 … InGaAs ($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$)

第 1 障壁層 15 … InAlAs ($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)

第 2 障壁層 16 … InAlP または InAlAs または AlGaAs Sb

- 15 ただし、第 2 障壁層 16 として InAlP または InAlAs を用いる場合、Al の組成比を高くすることで第 1 障壁層に対しての格子整合を図る。

[0314]

《16. 変形例 - 2》

- 20 また以上説明した第 1 実施形態～第 14 実施形態においては、第 1 障壁層 15 と第 2 障壁層 16 とで、チャネル層 14 の上方の上部障壁層を構成するとした。しかしながら、上部障壁層は、これらの 2 層構造に限定されることはなく、第 1 障壁層 15 と第 2 障壁層 16 との間に、さらに異なる化合物半導体材料からなる追加の障壁層を設けても良い。この
- 25 ような場合であっても、第 1 障壁層 15 と第 2 障壁層 16 とを直接接合させた状態において、当該接合部においての第 2 障壁層 16 のキャリア

走行側とは逆側のエネルギー帯が、当該接合部においての第1障壁層15のキャリア走行側とは逆側のエネルギー帯よりも第1障壁層内真性フェルミ準位から遠い関係が保たれば良い。また追加の障壁層は、第1障壁層15と第2障壁層16に対して格子整合する半導体材料を用いて
5 構成されれば良く、この追加の障壁層にキャリア供給領域を設けても良く、また第2障壁層16の表面層から低抵抗領域16gが延設されて設けられても良い。

[0315]

《17. 適用例》

10 (無線通信装置)

以上のような各実施形態で説明した半導体装置は、例えば、移動体通信システムなどにおける無線通信装置に用いられ、特にそのアンテナスイッチとして用いられる。このような無線通信装置としては、通信周波数がUHF (ultra high frequency) 帯以上のもので効果が特に発揮
15 される。

[0316]

つまり第1～第14実施形態で説明した、オフ電流が小さく、最大ドレイン電流 I_{dmax} が高く高調波歪特性に優れた半導体装置を無線通信装置のアンテナスイッチに用いることにより、無線通信装置の小型化
20 および低消費電力化を図ることが可能になる。特に、携帯通信端末においては、装置の小型化および低消費電力化による使用時間の延長により、携帯性の向上を図ることが可能になる。

[0317]

尚、本技術は以下のような構成も取ることができる。

25 [0318]

(1)

化合物半導体で構成されたチャネル層と、

化合物半導体で構成され前記チャネル層上に設けられた上部障壁層と、

前記上部障壁層において前記チャネル層側の界面層を構成する層であ
って、当該チャネル層との接合部におけるキャリア走行側のエネルギー

5 帯が、当該チャネル層よりも当該チャネル層内真性フェルミ準位から遠
い化合物半導体で構成された第1障壁層と、

前記上部障壁層の表面層に設けられた層であって、前記第1障壁層と
接合させた状態において、当該接合部におけるバンドギャップを挟んで
前記キャリア走行側と逆側のエネルギー帯が、当該第1障壁層よりも当

10 該第1障壁層内真性フェルミ準位から遠い化合物半導体で構成された第
2障壁層と、

前記第2障壁層における少なくとも表面層に設けられ、キャリアと逆
導電型の不純物を含有することにより周囲よりも低抵抗に保たれた低抵
抗領域と、

15 前記低抵抗領域を挟んだ位置において前記第2障壁層に接続されたソ
ース電極およびドレイン電極と、

前記低抵抗領域上に設けられたゲート絶縁膜と、

前記ゲート絶縁膜を介して前記低抵抗領域上に設けられたゲート電極
とを備えた

20 半導体装置。

[0319]

(2)

前記低抵抗領域は、前記第2障壁層の表面層から前記第1障壁層に達
するまでの深さを有する

25 (1) 記載の半導体装置。

[0320]

(3)

前記上部障壁層との間に前記チャネル層を挟む位置に、当該チャネル層との接合部におけるキャリア走行側のエネルギー帯が、当該チャネル層よりも当該チャネル層内真性フェルミ準位から遠い化合物半導体で構成

5 成された下部障壁層を有する

(1) または (2) 記載の半導体装置。

[0321]

(4)

前記上部障壁層とソース電極およびドレイン電極との間に、キャリア
10 となる不純物を含有する層が設けられている

(1) ~ (3) の何れかに記載の半導体装置。

[0322]

(5)

前記第2障壁層は、前記第1障壁層の上方において前記低抵抗領域と
15 してパターン形成されている

(1) ~ (4) の何れかに記載の半導体装置。

[0323]

(6)

前記ゲート電極は、前記低抵抗領域の上部を完全に覆う形状を有する
20 (1) ~ (5) の何れかに記載の半導体装置。

[0324]

(7)

前記第1障壁層における伝導帯の最低エネルギーは、前記チャネル層における伝導帯の最低エネルギーよりも高く、

25 前記第2障壁層における価電子帯の最大エネルギーは、前記第1障壁層における価電子帯の最大エネルギーよりも低い

(1) ~ (6) の何れかに記載の半導体装置。

[0325]

(8)

前記チャネル層は、III-V族化合物半導体であるInGaAs混
5 晶で構成され、

前記第1障壁層は、III-V族化合物半導体であるAlGaAs混
晶で構成され、

前記第2障壁層は、III-V族化合物半導体であるGaInP混晶
で構成された

10 (1) ~ (7) の何れかに記載の半導体装置。

[0326]

(9)

前記チャネル層は、III-V族化合物半導体であるInGaAs混
晶で構成され、

15 前記第1障壁層または第2障壁層は、III-V族化合物半導体であ
るIn(AlGa)AsP混晶で構成された

(1) ~ (8) の何れかに記載の半導体装置。

[0327]

(10)

20 前記チャネル層は、GaAsで構成された基板の上に設けられた

(1) ~ (9) の何れかに記載の半導体装置。

[0328]

(11)

前記チャネル層は、前記基板の上にGaAsとは格子定数の異なる化合
25 物半導体をメタモルフィック成長させてなる

(10) 記載の半導体装置。

[0 3 2 9]

(1 2)

化合物半導体で構成されたチャネル層上に、当該チャネル層との接合部におけるキャリア走行側のエネルギー帯が、当該チャネル層よりも当該チャネル層内真性フェルミ準位から遠い化合物半導体で構成された第1障壁層を形成することと、

前記第1障壁層の上方に、前記第1障壁層と接合させた状態において、当該接合部におけるバンドギャップを挟んでキャリア走行側と逆側のエネルギー帯が、当該第1障壁層よりも当該第1障壁層内真性フェルミ準位から遠い化合物半導体で構成されると共に、少なくとも表面層にキャリアと逆導電型の不純物を含有することにより周囲よりも低抵抗に保たれた低抵抗領域を備えた第2障壁層を形成することと、

前記第1障壁層によって前記チャネル層側の界面層が構成されると共に、前記第2障壁層が表面層に設けられた上部障壁層に対して、前記低抵抗領域を挟む各位置で接続されたソース電極およびドレイン電極を形成することと、

前記低抵抗領域の上部にゲート絶縁膜を形成することと、

前記ゲート絶縁膜を介して前記低抵抗領域の上部にゲート電極を形成することとを行う

半導体装置の製造方法。

[0 3 3 0]

(1 3)

前記ゲート絶縁膜を形成する際には、原子層蒸着法によって当該ゲート絶縁膜を成膜する

(1 2) 記載の半導体装置の製造方法。

[0 3 3 1]

(14)

前記第2障壁層を形成する際には、化合物半導体で構成された当該第2障壁層を成膜した後、当該第2障壁層に不純物を拡散させることによって前記低抵抗領域を形成する

5 (12) または (13) 記載の半導体装置の製造方法。

[0332]

(15)

前記不純物として亜鉛を拡散させる

(14) 記載の半導体装置の製造方法。

10 [0333]

(16)

前記低抵抗領域を形成する際には、前記第2障壁層上に開口を有する絶縁膜を形成し、当該絶縁膜の開口から当該第2障壁層に不純物を拡散させ、

15 前記ゲート絶縁膜を形成する前には、エッチングによって前記絶縁膜の開口を広げ、

前記ゲート絶縁膜を形成する際には、前記開口から露出する前記第2障壁層を覆う状態で、当該ゲート絶縁膜を形成し、

20 前記ゲート電極を形成する際には、前記ゲート絶縁膜を介して前記開口の底部を完全に覆う状態で当該ゲート電極を形成する

(14) または (15) 記載の半導体装置の製造方法。

[0334]

(17)

25 前記第2障壁層を成膜する際には、表面側に当該第2障壁層を構成する化合物半導体に対するエッチングストップ層を形成し、

前記低抵抗領域を形成する際には、前記エッチングストップ層を越え

る深さにまで当該低抵抗領域を形成し、

前記絶縁膜の開口を広げる際には、前記絶縁膜の等方的なエッチングを行い、

その後前記ゲート絶縁膜を形成する前に前記エッチングストップ層を

5 除去する

(16) 記載の半導体装置の製造方法。

[0335]

(18)

前記低抵抗領域を形成する際には、前記第2障壁層上に開口を有する
10 絶縁膜を形成し、当該開口の側壁にサイドウォールを設け、当該絶縁膜
および当該サイドウォールをマスクにして当該第2障壁層に不純物を拡
散させ、

前記ゲート絶縁膜を形成する前には、前記サイドウォールを除去し、

前記ゲート絶縁膜を形成する際には、前記開口から露出する前記第2
15 障壁層を覆う状態で、当該ゲート絶縁膜を形成し、

前記ゲート電極を形成する際には、前記ゲート絶縁膜を介して前記開
口の底部を完全に覆う状態で当該ゲート電極を形成する

(14) または (15) 記載の半導体装置の製造方法。

[0336]

20 (19)

前記第2障壁層を成膜する際には、表面側に当該第2障壁層を構成す
る化合物半導体に対するエッチングストップ層を形成し、

前記低抵抗領域を形成する際には、前記エッチングストップ層を越え
る深さにまで当該低抵抗領域を形成し、

25 前記サイドウォールを除去した後、前記ゲート絶縁膜を形成する前に、
前記エッチングストップ層を除去する

(18) 記載の半導体装置の製造方法。

[0337]

(20)

前記第2障壁層の形成は、前記チャネル層上に前記上部障壁層をエピ
5 タキシャル成長によって形成する際、不純物を添加したエピタキシャル
成長によって第2障壁層を形成し、当該第2障壁層を前記低抵抗領域と
して用いる

(12) または (13) 記載の半導体装置の製造方法。

10 符号の説明

[0338]

1-1～1-14…半導体装置、13…下部障壁層、14…チャネル層、
15…第1障壁層（上部障壁層）、16…第2障壁層（上部障壁層）、
16e…エッチングストップ層、16g…低抵抗領域、21…絶縁膜、
15 21g…ゲート開口、25…ゲート絶縁膜、27…ゲート電極、23s
…ソース電極、23d…ドレイン電極、31…キャップ層、45…サイ
ドウォール

請 求 の 範 囲

[請求項 1]

- 化合物半導体で構成されたチャネル層と、
- 5 化合物半導体で構成され前記チャネル層上に設けられた上部障壁層と、
前記上部障壁層において前記チャネル層側の界面層を構成する層であ
って、当該チャネル層との接合部におけるキャリア走行側のエネルギー
帯が、当該チャネル層よりも当該チャネル層内真性フェルミ準位から遠
い化合物半導体で構成された第1障壁層と、
- 10 前記上部障壁層の表面層に設けられた層であって、前記第1障壁層と
接合させた状態において、当該接合部にけるバンドギャップを挟んでキ
ャリア走行側と逆側のエネルギー帯が、当該第1障壁層よりも当該第1
障壁層内真性フェルミ準位から遠い化合物半導体で構成された第2障壁
層と、
- 15 前記第2障壁層における少なくとも表面層に設けられ、キャリアと逆
導電型の不純物を含有することにより周囲よりも低抵抗に保たれた低抵
抗領域と、
前記低抵抗領域を挟んだ位置において前記第2障壁層に接続されたソ
ース電極およびドレイン電極と、
- 20 前記低抵抗領域上に設けられたゲート絶縁膜と、
前記ゲート絶縁膜を介して前記低抵抗領域上に設けられたゲート電極
とを備えた
半導体装置。

[請求項 2]

- 25 前記低抵抗領域は、前記第2障壁層の表面層から前記第1障壁層に達
するまでの深さを有する

請求項 1 記載の半導体装置。

[請求項 3]

前記上部障壁層との間に前記チャネル層を挟む位置に、当該チャネル層との接合部におけるキャリア走行側のエネルギー帯が、当該チャネル層よりも当該チャネル層内真性フェルミ準位から遠い化合物半導体で構成された下部障壁層を有する

請求項 1 記載の半導体装置。

[請求項 4]

前記上部障壁層とソース電極およびドレイン電極との間に、キャリアとなる不純物を含有する層が設けられている

請求項 1 記載の半導体装置。

[請求項 5]

前記第 2 障壁層は、前記第 1 障壁層の上方において前記低抵抗領域としてパターン形成されている

15 請求項 1 記載の半導体装置。

[請求項 6]

前記ゲート電極は、前記低抵抗領域の上部を完全に覆う形状を有する

請求項 1 記載の半導体装置。

[請求項 7]

20 前記第 1 障壁層における伝導帯の最低エネルギーは、前記チャネル層における伝導帯の最低エネルギーよりも高く、

前記第 2 障壁層における価電子帯の最大エネルギーは、前記第 1 障壁層における価電子帯の最大エネルギーよりも低い

請求項 1 記載の半導体装置。

25 [請求項 8]

前記チャネル層は、III-V 族化合物半導体である InGaAs 混

晶で構成され、

前記第1障壁層は、III-V族化合物半導体であるAlGaAs混晶で構成され、

5 前記第2障壁層は、III-V族化合物半導体であるGaInP混晶で構成された

請求項1記載の半導体装置。

[請求項9]

前記チャネル層は、III-V族化合物半導体であるInGaAs混晶で構成され、

10 前記第1障壁層または第2障壁層は、III-V族化合物半導体であるIn(AI Ga)AsP混晶で構成された

請求項1記載の半導体装置。

[請求項10]

前記チャネル層は、GaAsで構成された基板上に設けられた

15 請求項1記載の半導体装置。

[請求項11]

前記チャネル層は、前記基板上にGaAsとは格子定数の異なる化合物半導体をメタモルフィック成長させてなる

請求項10記載の半導体装置。

20 [請求項12]

化合物半導体で構成されたチャネル層上に、当該チャネル層との接合部におけるキャリア走行側のエネルギー帯が、当該チャネル層よりも当該チャネル層内真性フェルミ準位から遠い化合物半導体で構成された第1障壁層を形成することと、

25 前記第1障壁層の上方に、前記第1障壁層と接合させた状態において、当該接合部におけるバンドギャップを挟んで前記キャリア走行側と逆側

のエネルギー帯が、当該第1障壁層よりも当該第1障壁層内真性フェルミ準位から遠い化合物半導体で構成されると共に、少なくとも表面層にキャリアと逆導電型の不純物を含有することにより周囲よりも低抵抗に保たれた低抵抗領域を備えた第2障壁層を形成することと、

- 5 前記第1障壁層によって前記チャネル層側の界面層が構成されると共に、前記第2障壁層が表面層に設けられた上部障壁層に対して、前記低抵抗領域を挟む各位置で接続されたソース電極およびドレイン電極を形成することと、

前記低抵抗領域の上部にゲート絶縁膜を形成することと、

- 10 前記ゲート絶縁膜を介して前記低抵抗領域の上部にゲート電極を形成することとを行う

半導体装置の製造方法。

[請求項13]

前記ゲート絶縁膜を形成する際には、原子層蒸着法によって当該ゲ

- 15 ト絶縁膜を成膜する

請求項12記載の半導体装置の製造方法。

[請求項14]

前記第2障壁層を形成する際には、化合物半導体で構成された当該第2障壁層を成膜した後、当該第2障壁層に不純物を拡散させることによ

- 20 って前記低抵抗領域を形成する

請求項12記載の半導体装置の製造方法。

[請求項15]

前記不純物として亜鉛を拡散させる

請求項14記載の半導体装置の製造方法。

- 25 [請求項16]

前記低抵抗領域を形成する際には、前記第2障壁層上に開口を有する

絶縁膜を形成し、

当該絶縁膜の開口から当該第2障壁層に不純物を拡散させ、

前記ゲート絶縁膜を形成する前には、エッチングによって前記絶縁膜の開口を広げ、

- 5 前記ゲート絶縁膜を形成する際には、前記開口から露出する前記第2障壁層を覆う状態で、当該ゲート絶縁膜を形成し、

前記ゲート電極を形成する際には、前記ゲート絶縁膜を介して前記開口の底部を完全に覆う状態で当該ゲート電極を形成する

請求項14記載の半導体装置の製造方法。

- 10 [請求項17]

前記第2障壁層を成膜する際には、表面側に当該第2障壁層を構成する化合物半導体に対するエッチングストップ層を形成し、

前記低抵抗領域を形成する際には、前記エッチングストップ層を越える深さにまで当該低抵抗領域を形成し、

- 15 前記絶縁膜の開口を広げる際には、前記絶縁膜の等方的なエッチングを行い、

その後前記ゲート絶縁膜を形成する前に前記エッチングストップ層を除去する

請求項16記載の半導体装置の製造方法。

- 20 [請求項18]

前記低抵抗領域を形成する際には、前記第2障壁層上に開口を有する絶縁膜を形成し、当該開口の側壁にサイドウォールを設け、当該絶縁膜および当該サイドウォールをマスクにして当該第2障壁層に不純物を拡散させ、

- 25 前記ゲート絶縁膜を形成する前には、前記サイドウォールを除去し、
前記ゲート絶縁膜を形成する際には、前記開口から露出する前記第2

障壁層を覆う状態で、当該ゲート絶縁膜を形成し、

前記ゲート電極を形成する際には、前記ゲート絶縁膜を介して前記開口の底部を完全に覆う状態で当該ゲート電極を形成する

請求項 1 4 記載の半導体装置の製造方法。

5 [請求項 1 9]

前記第 2 障壁層を成膜する際には、表面側に当該第 2 障壁層を構成する化合物半導体に対するエッチングストップ層を形成し、

前記低抵抗領域を形成する際には、前記エッチングストップ層を越える深さにまで当該低抵抗領域を形成し、

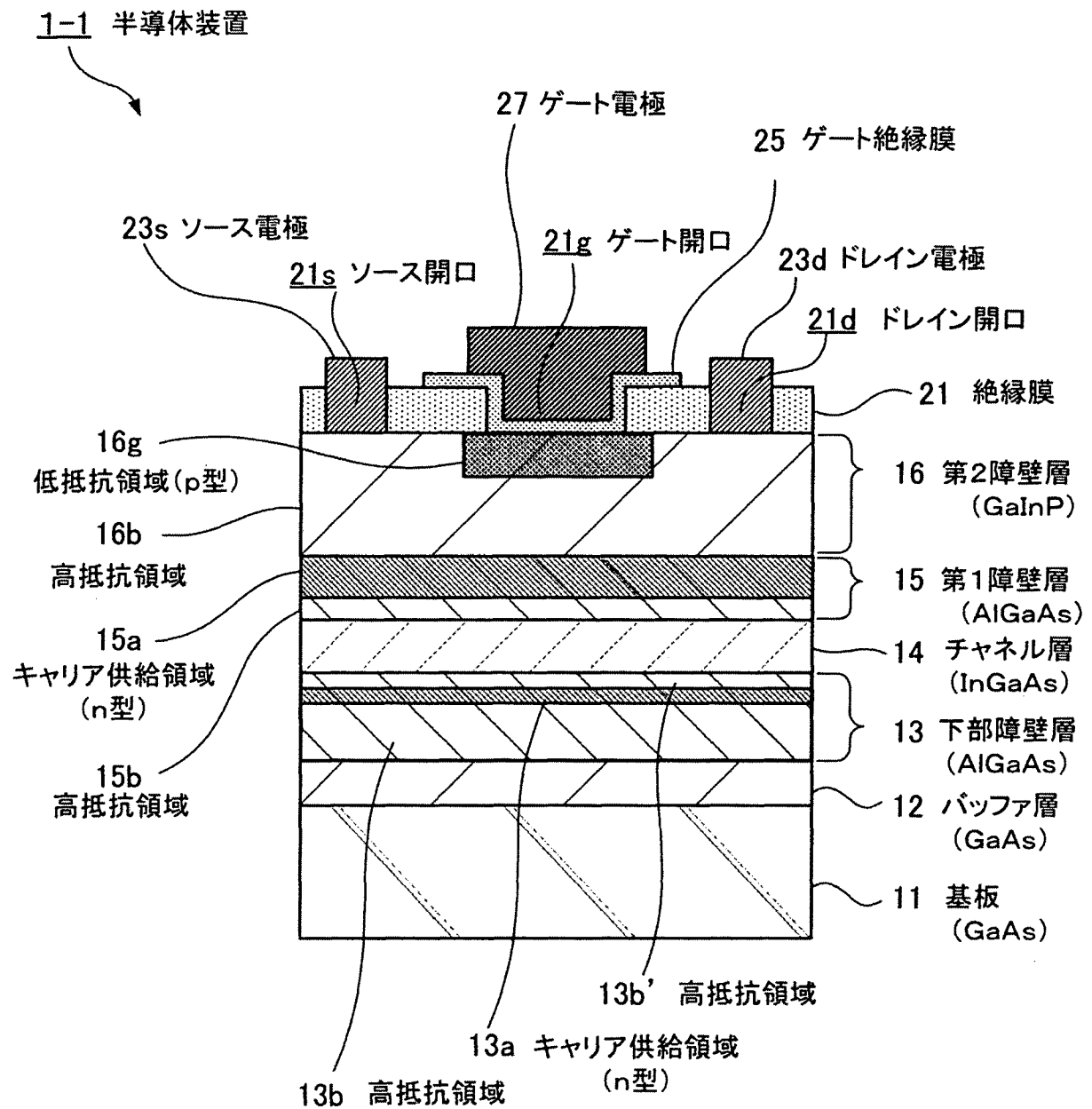
- 10 前記サイドウォールを除去した後、前記ゲート絶縁膜を形成する前に、前記エッチングストップ層を除去する

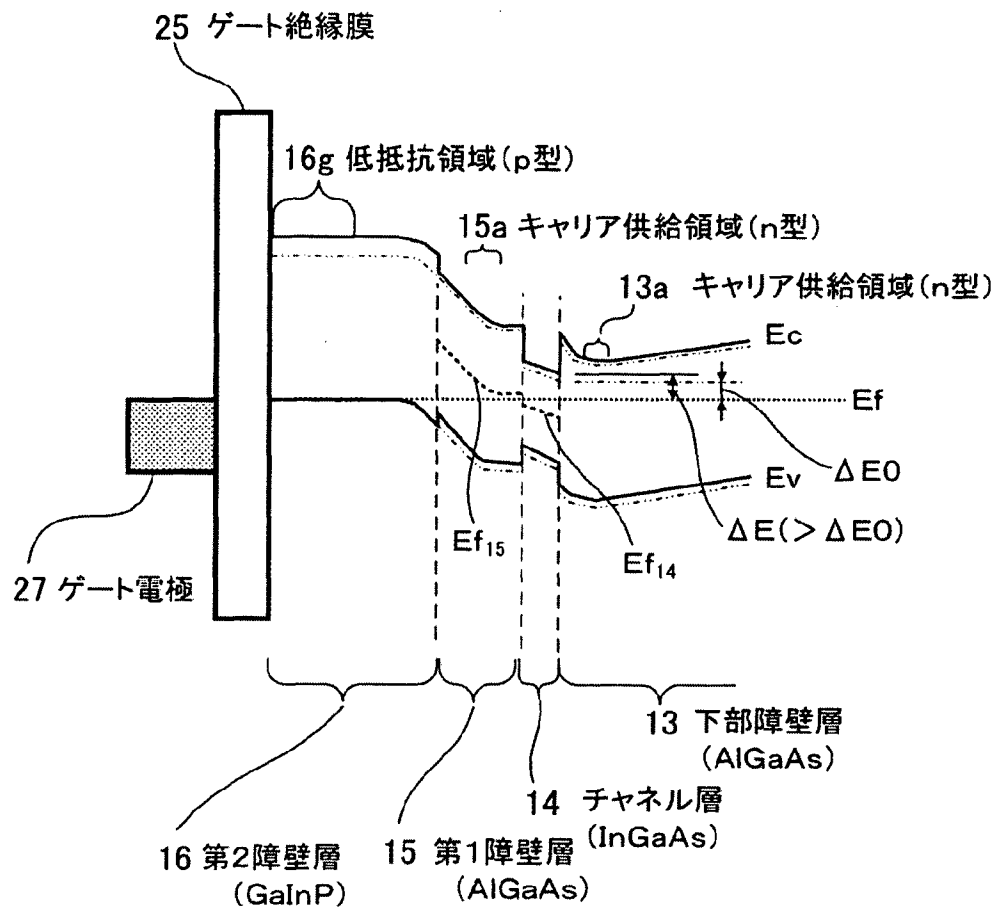
請求項 1 8 記載の半導体装置の製造方法。

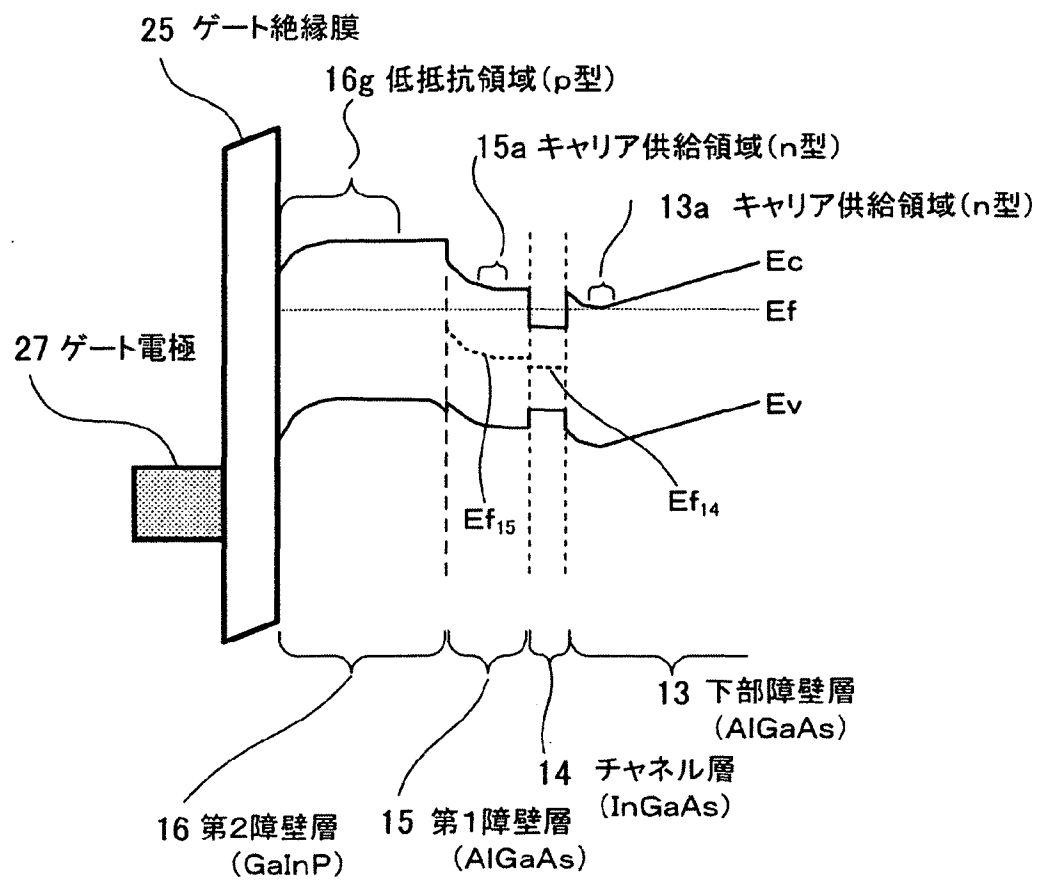
[請求項 2 0]

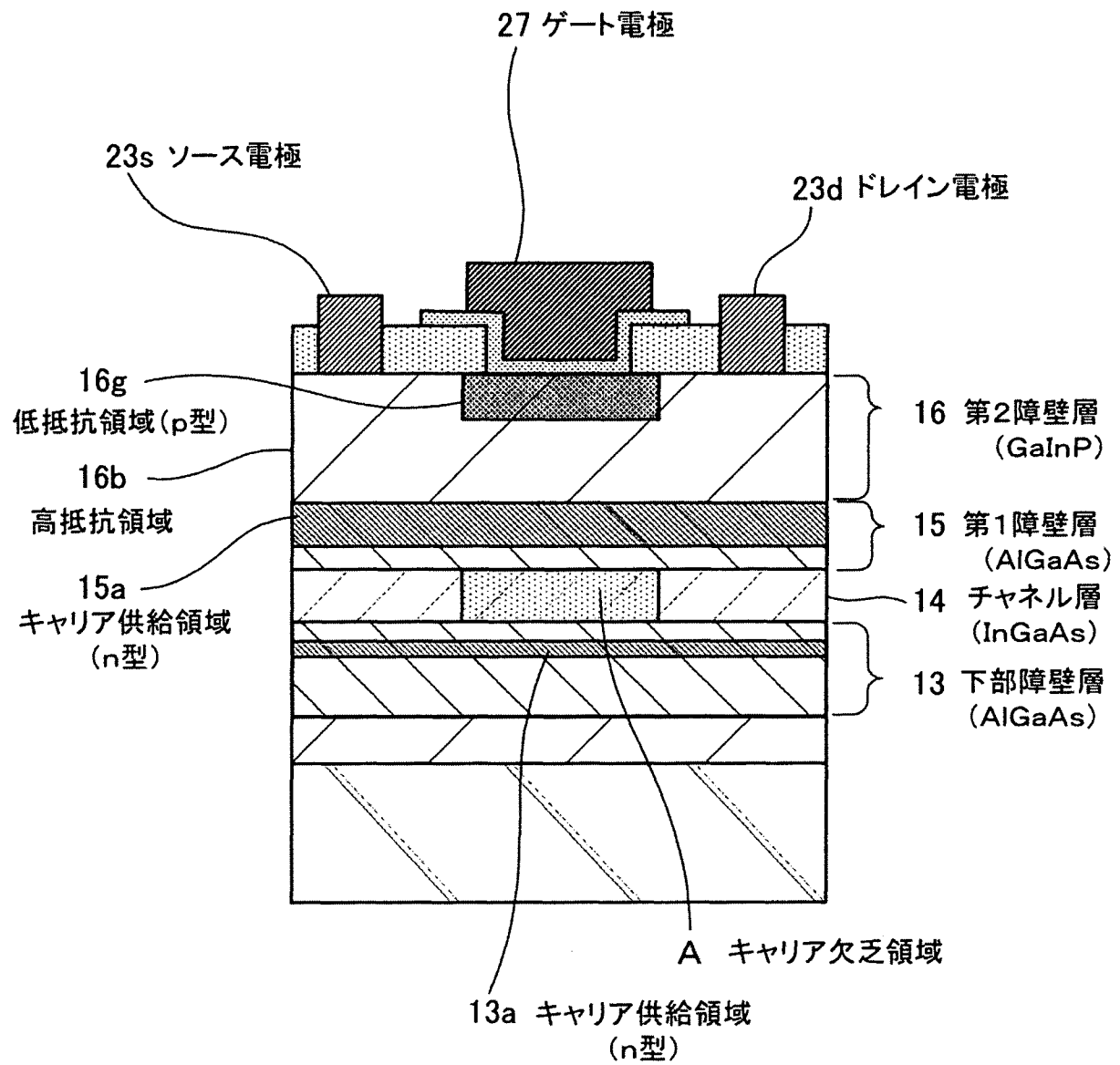
- 15 前記第 2 障壁層の形成は、前記チャネル層上に前記上部障壁層をエピタキシャル成長によって形成する際、不純物を添加したエピタキシャル成長によって第 2 障壁層を形成し、当該第 2 障壁層を前記低抵抗領域として用いる

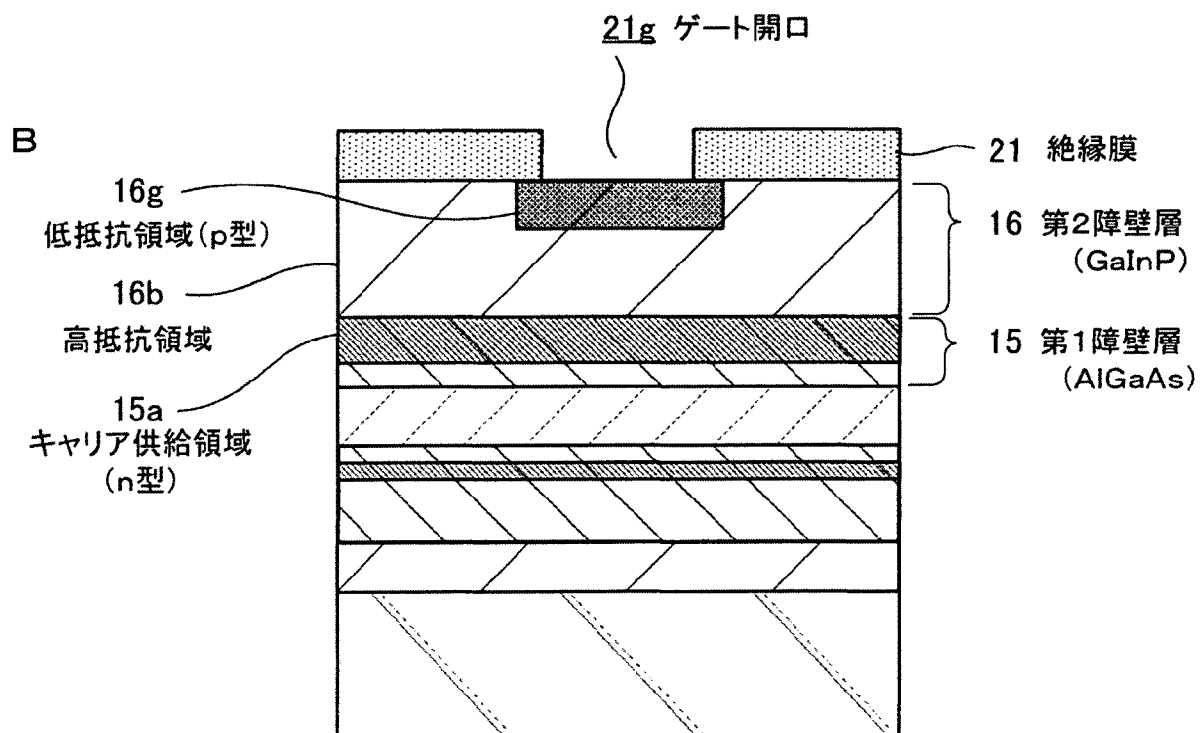
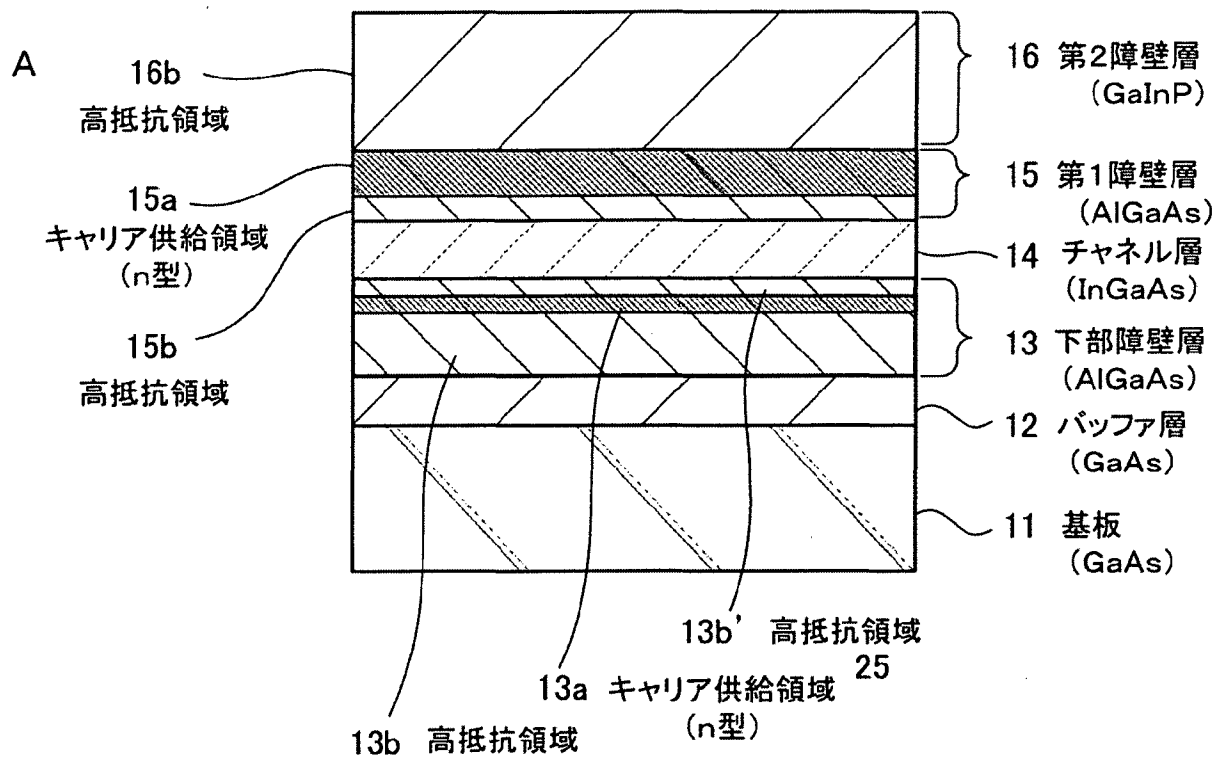
請求項 1 2 記載の半導体装置の製造方法。

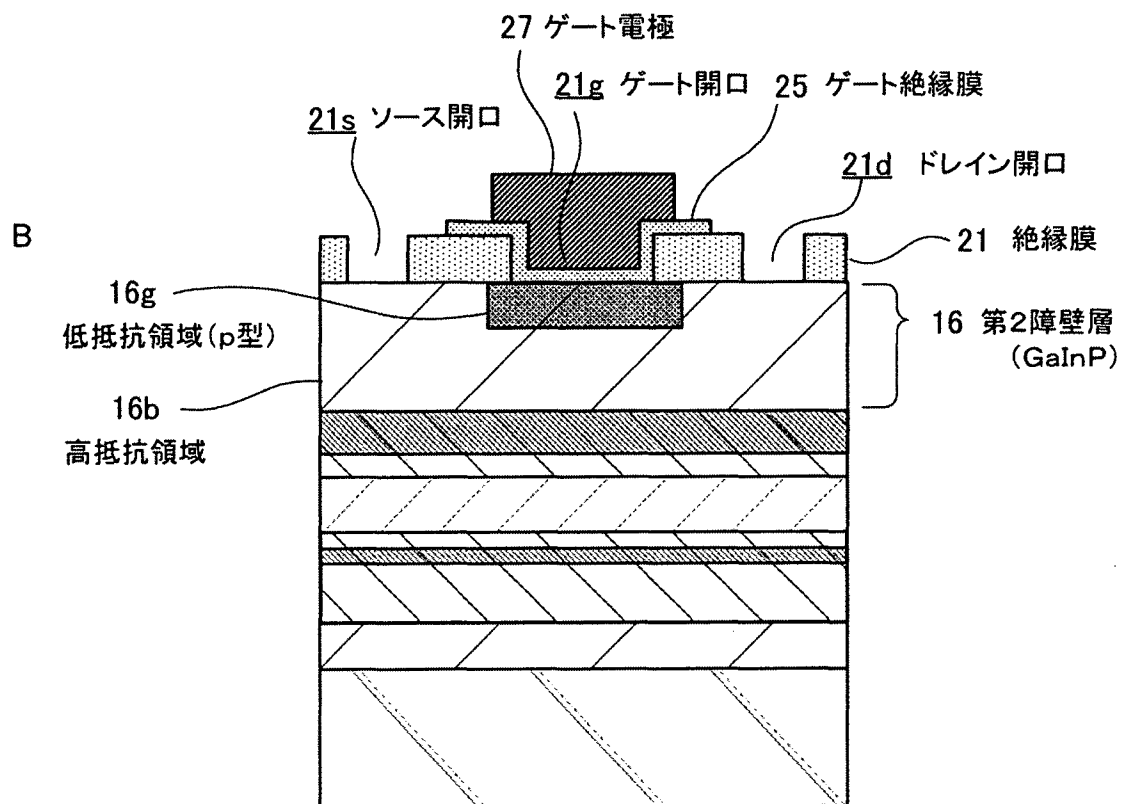
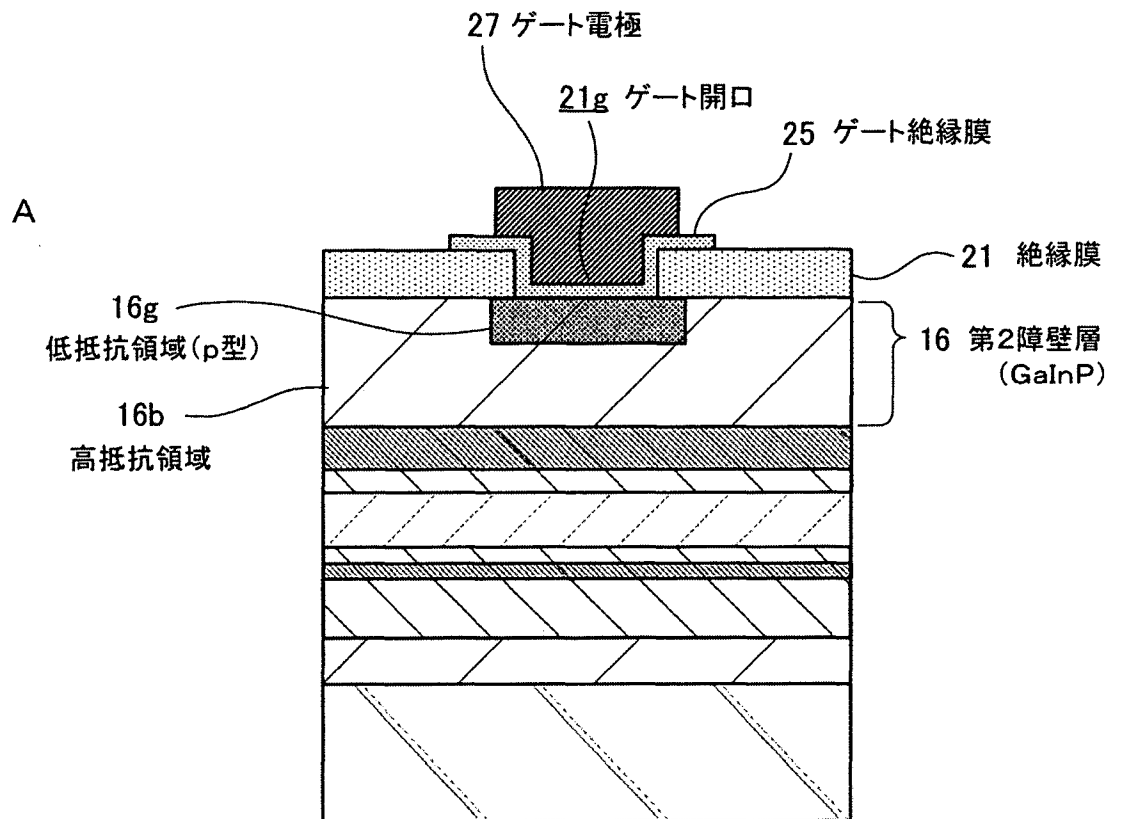


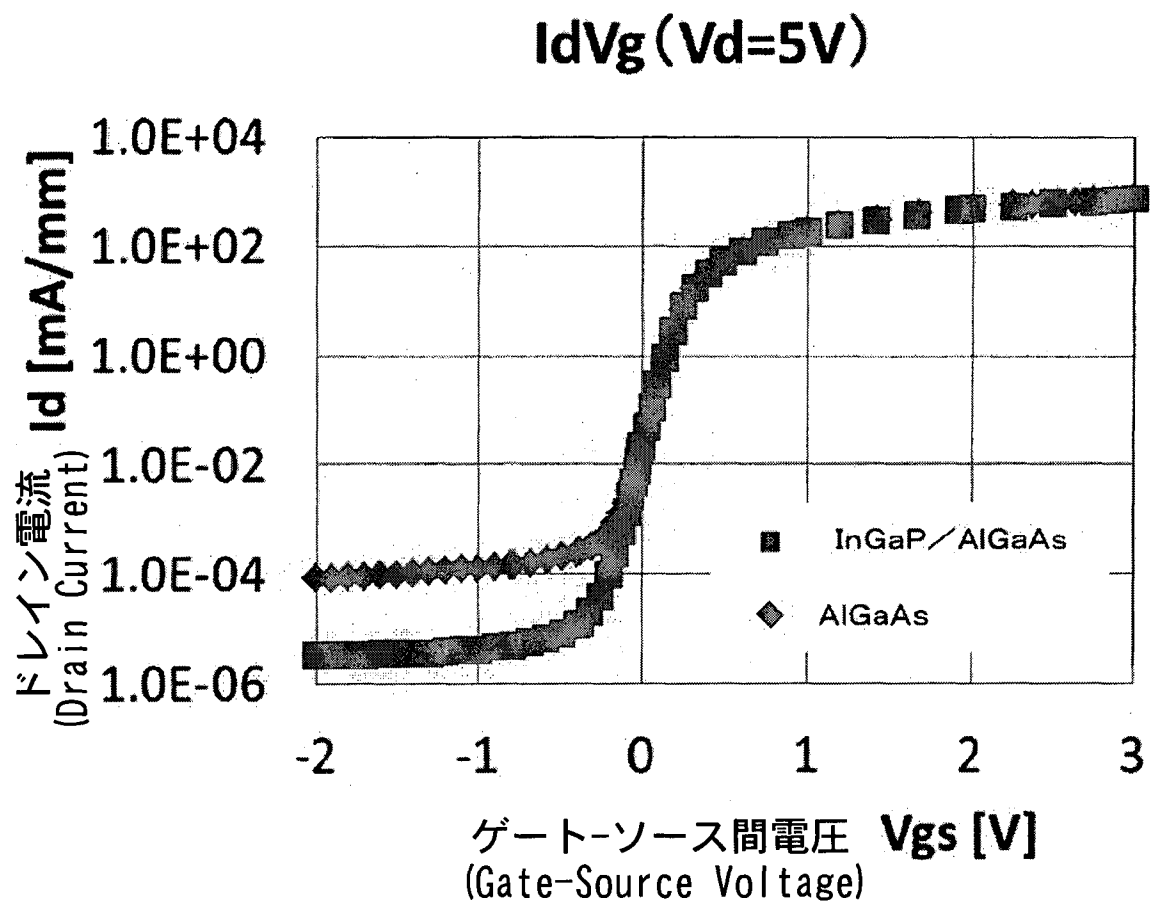


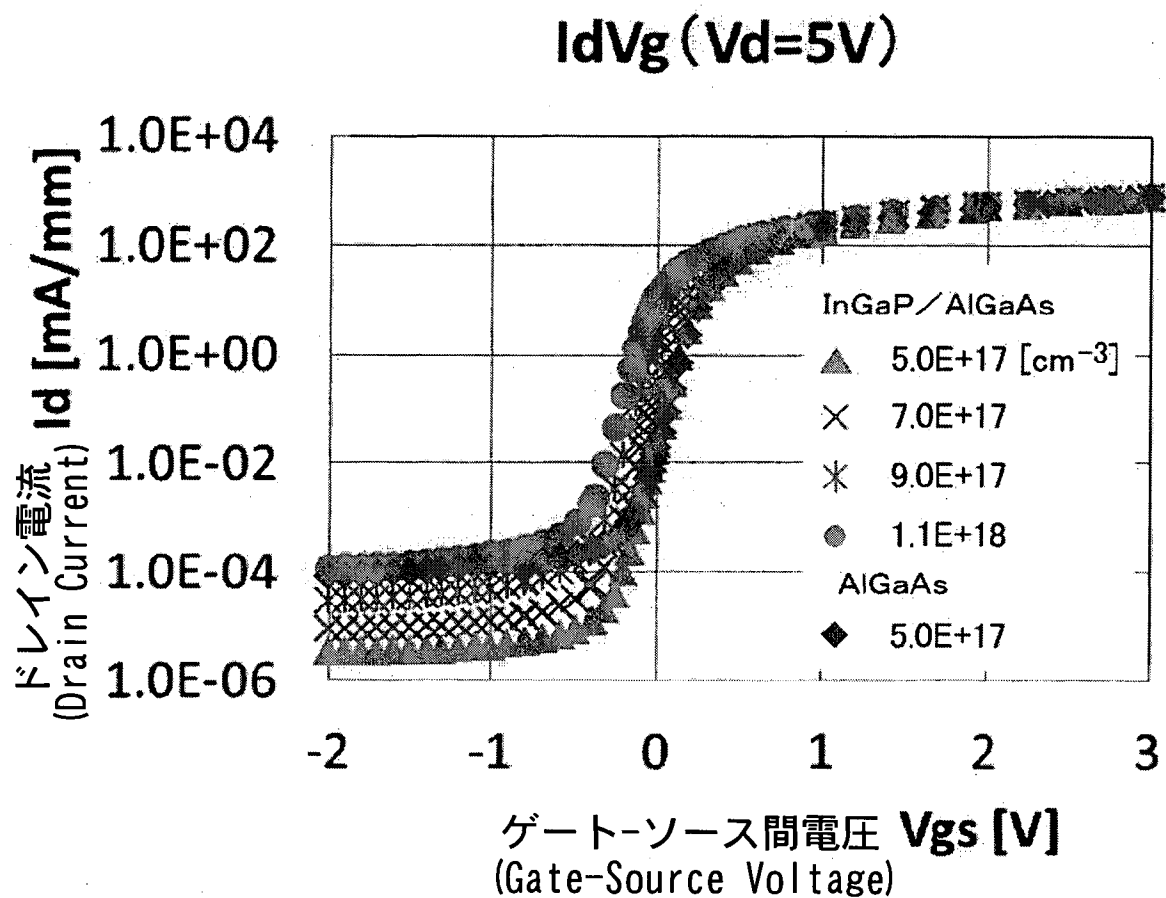






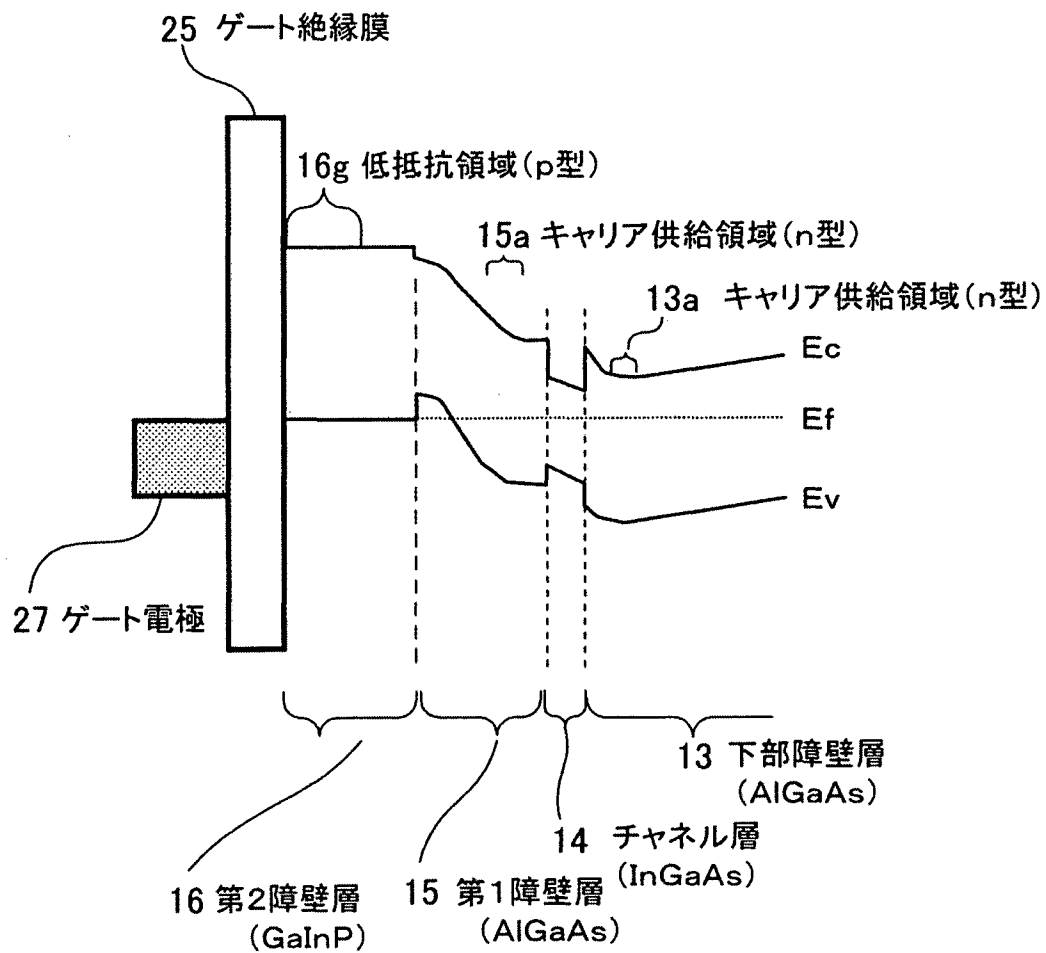


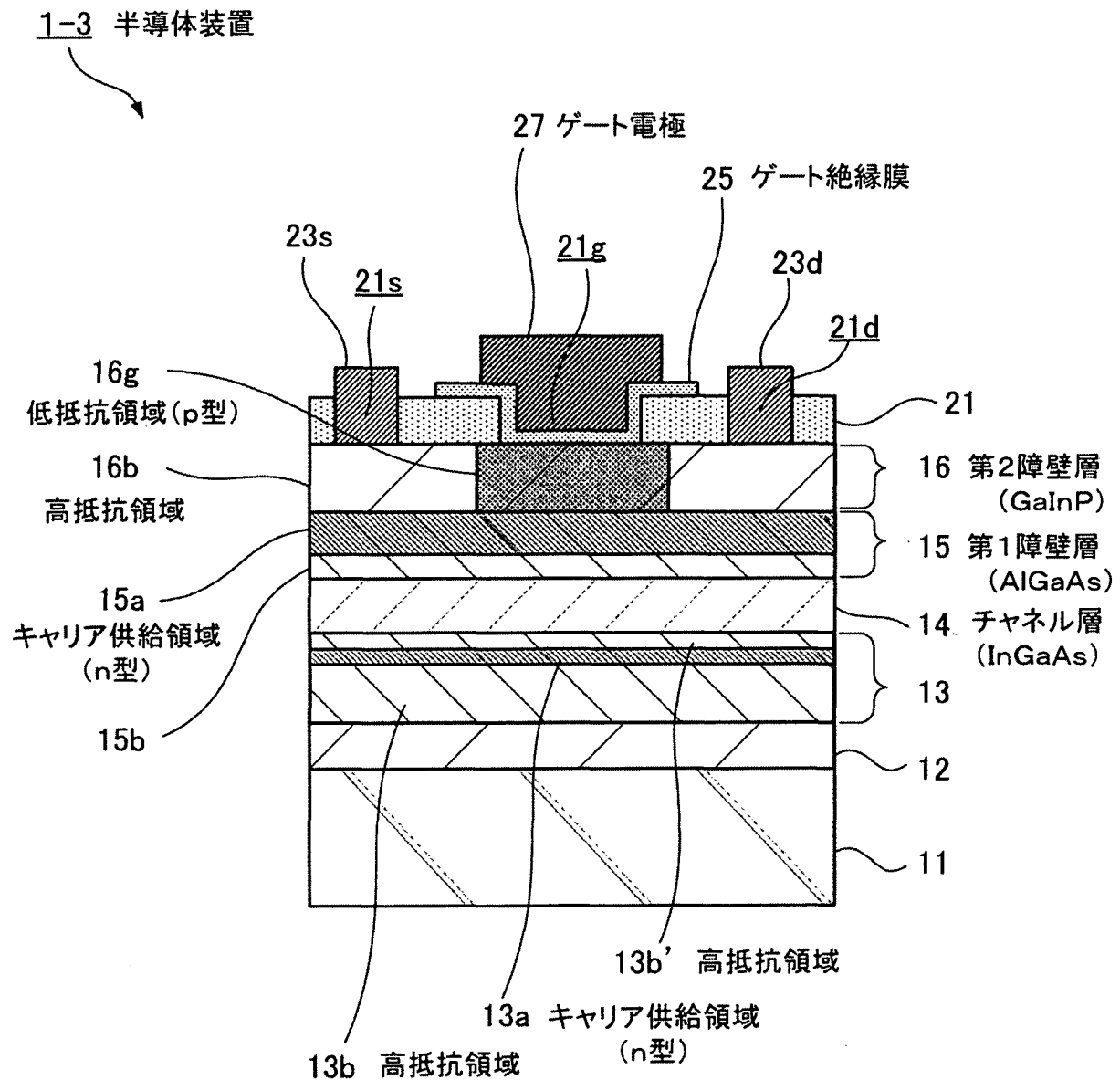




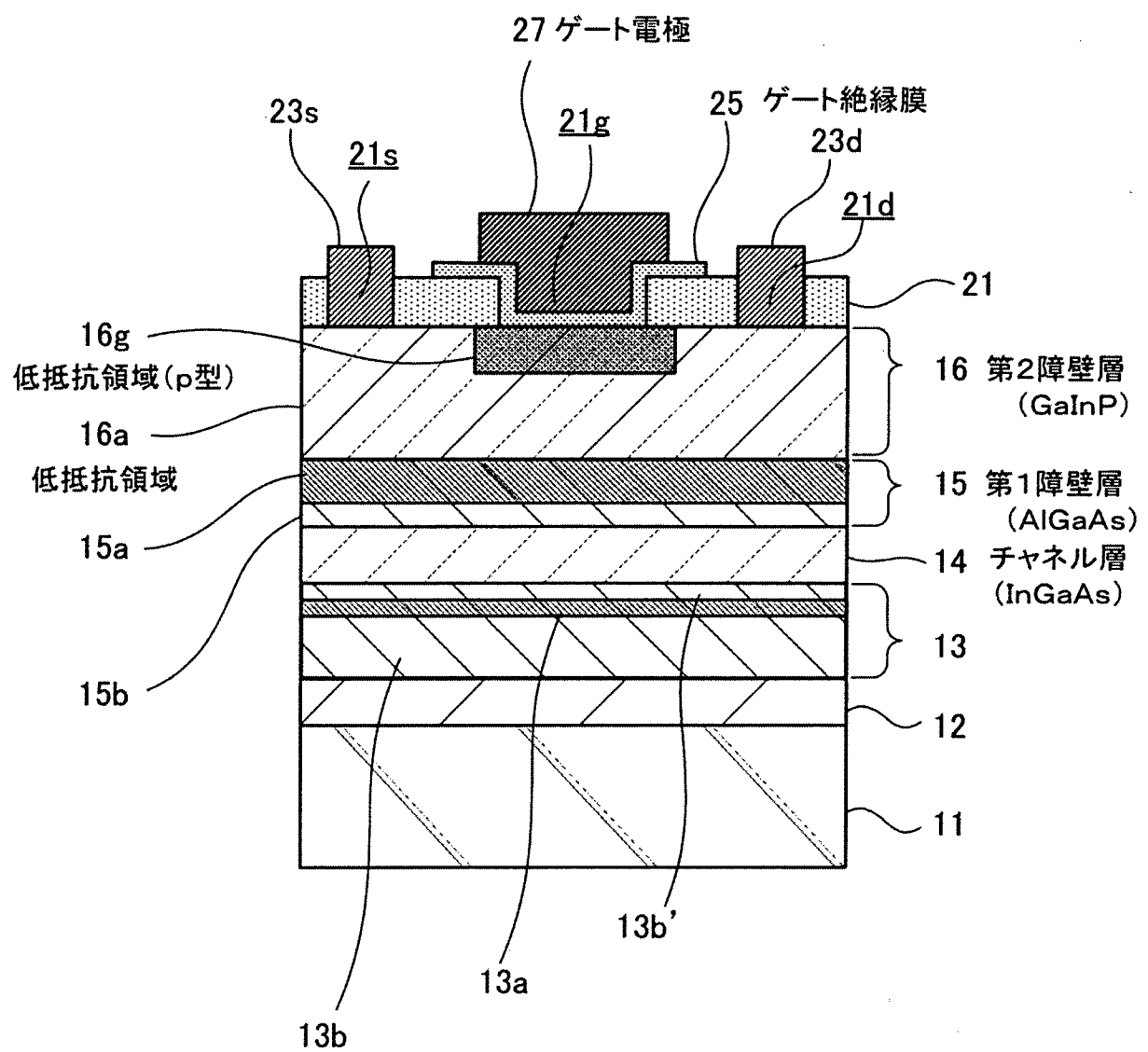
[図9]

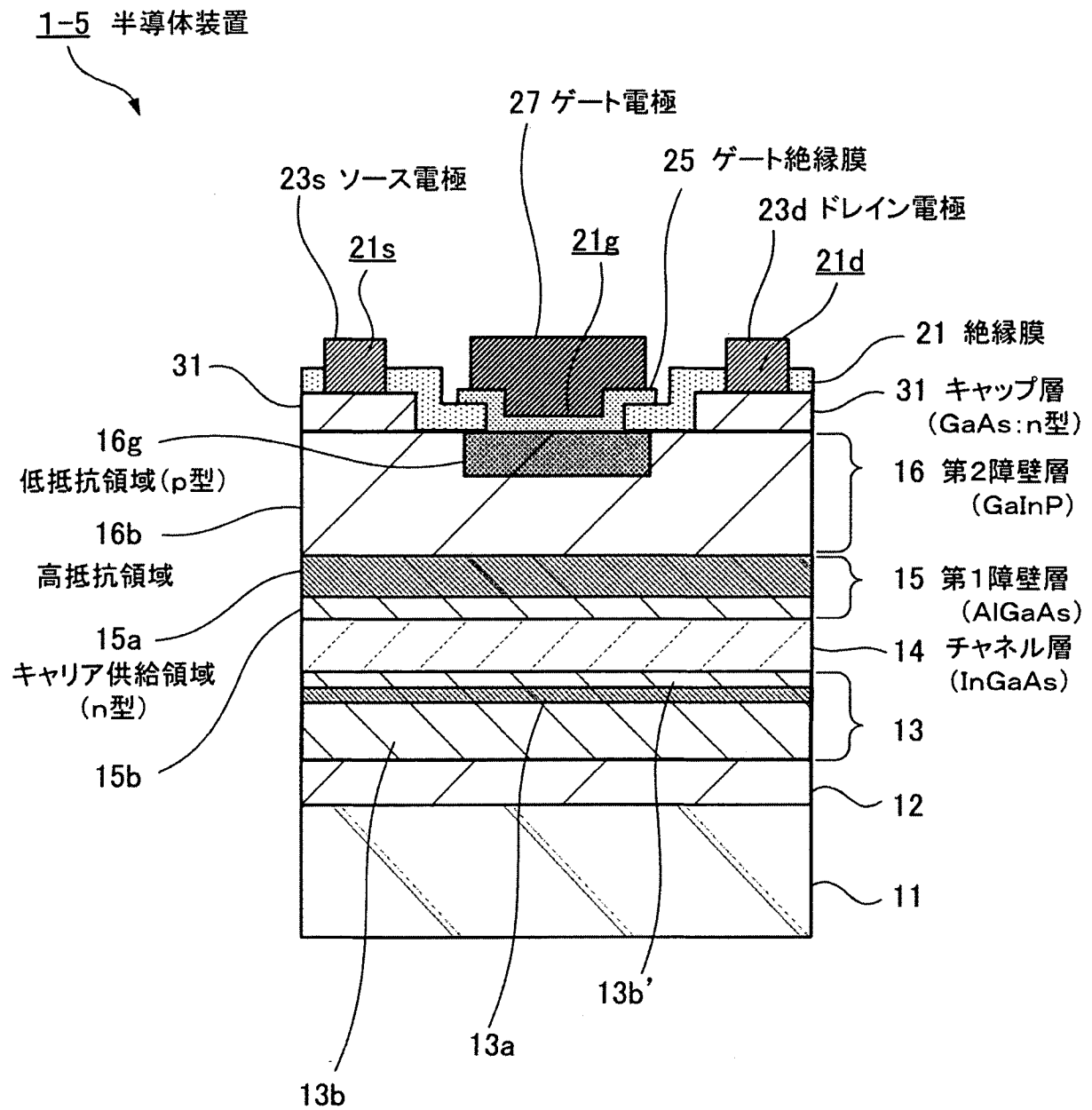




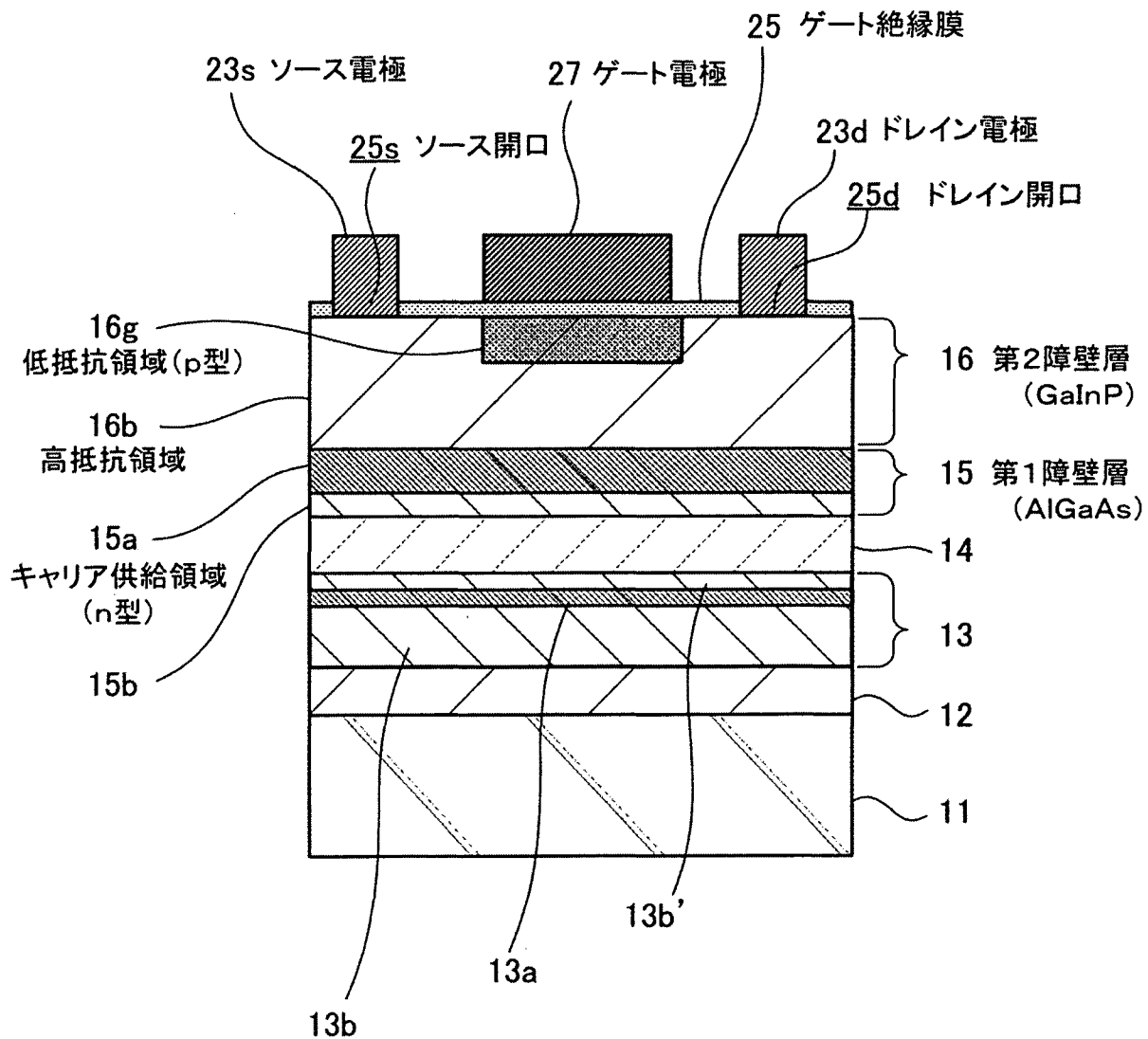


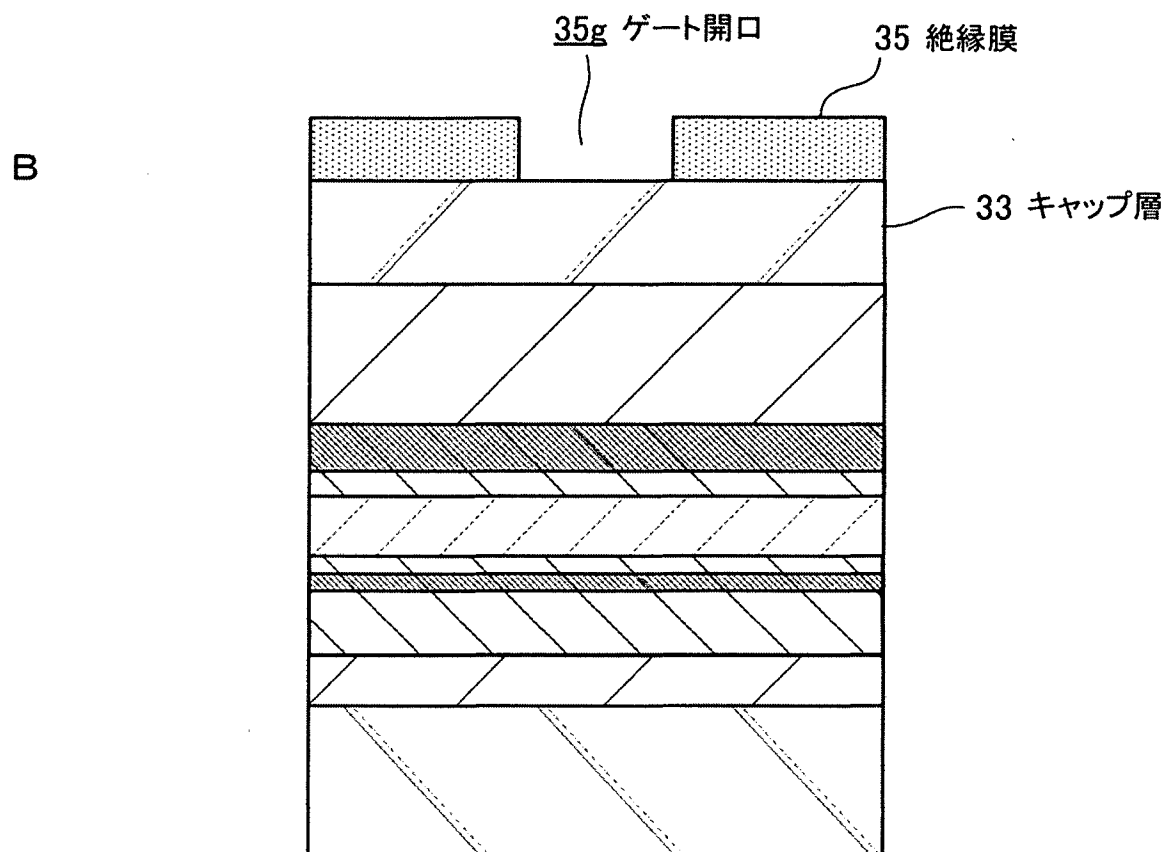
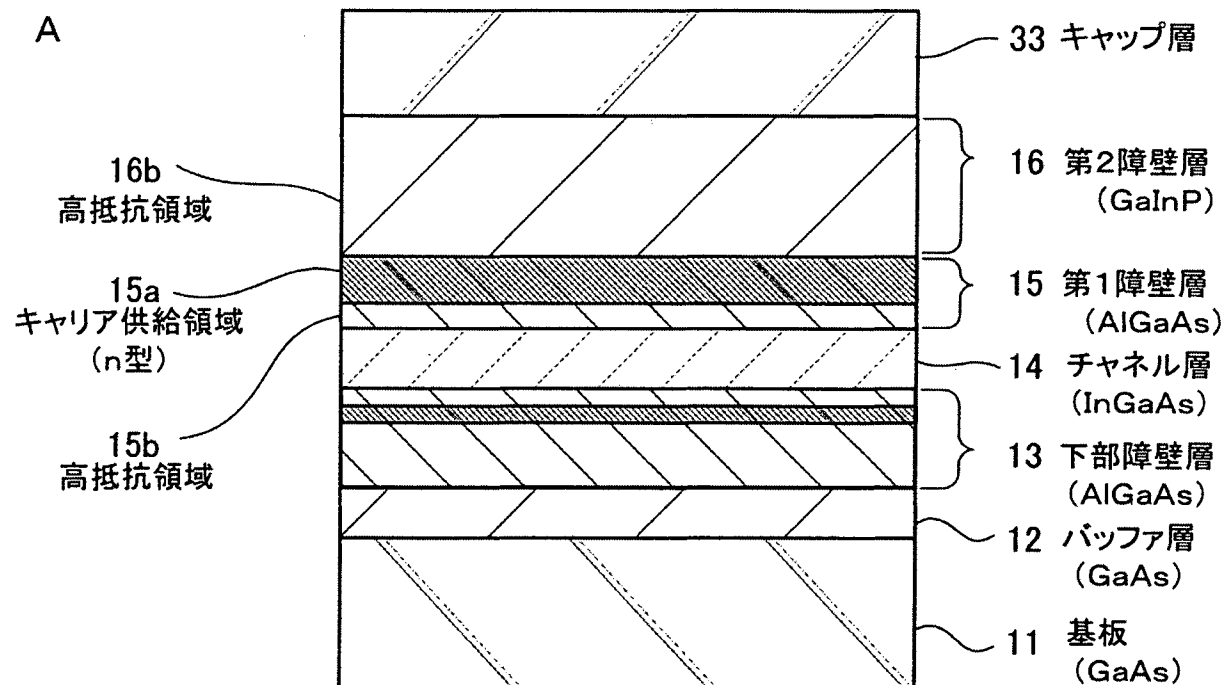
1-4 半導体装置

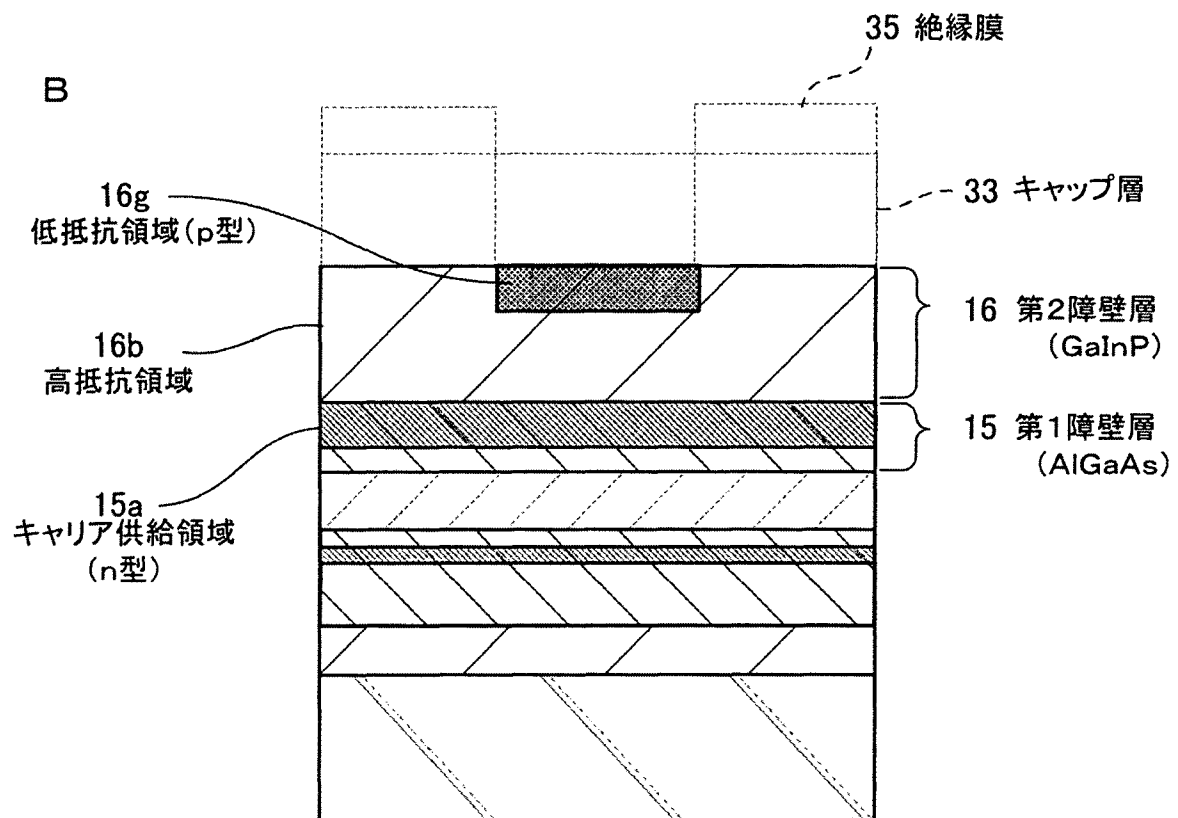
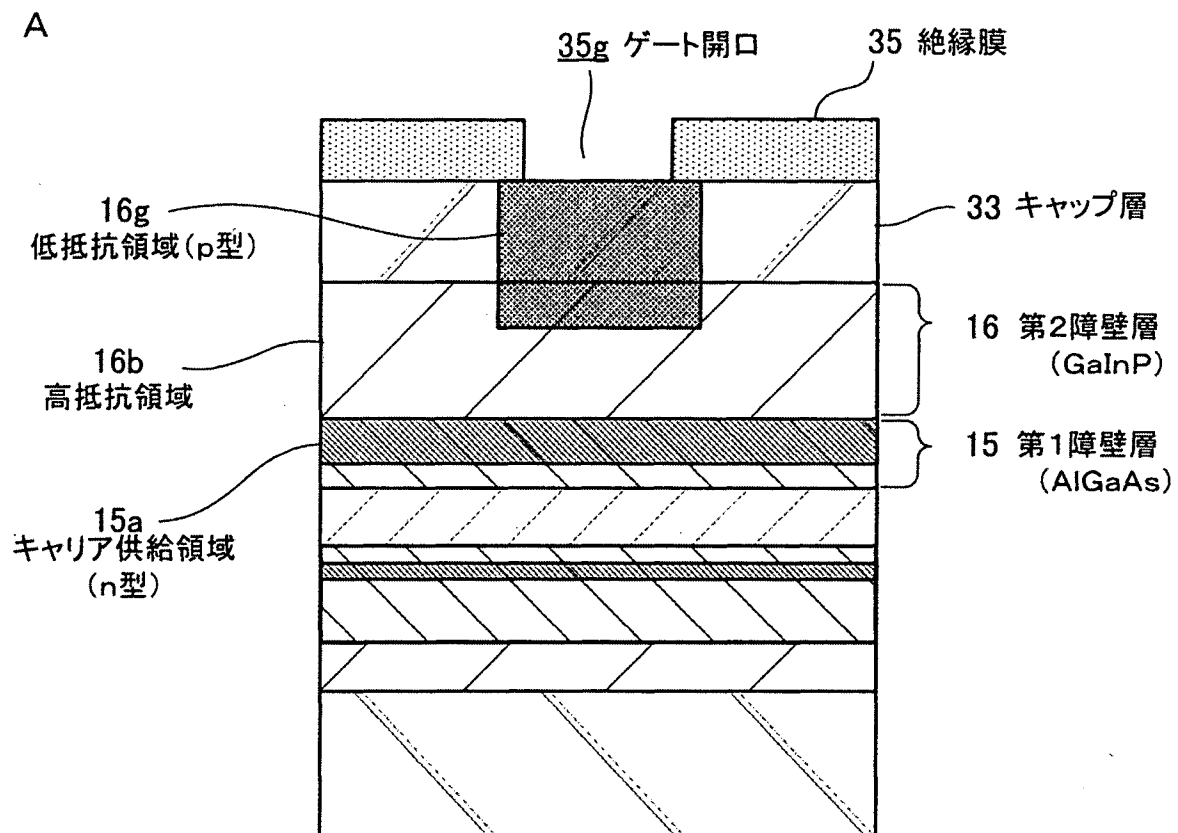




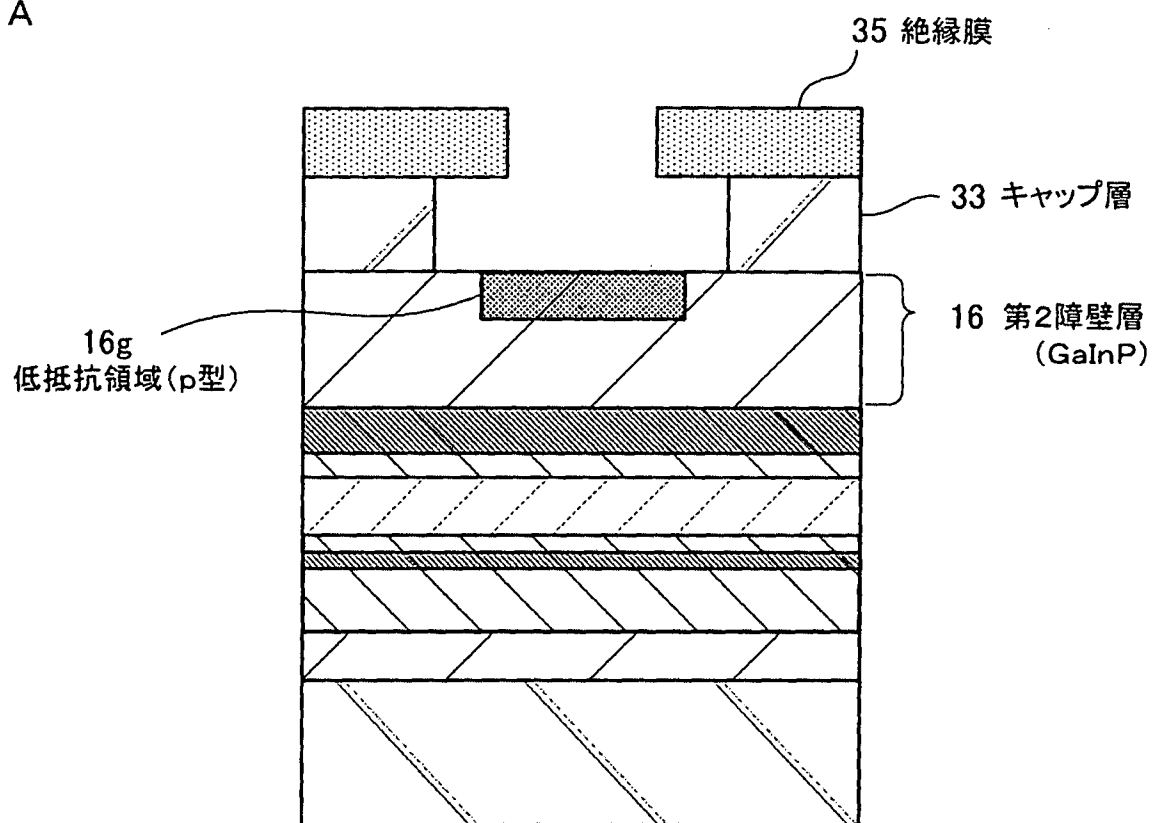
1-6 半導体装置



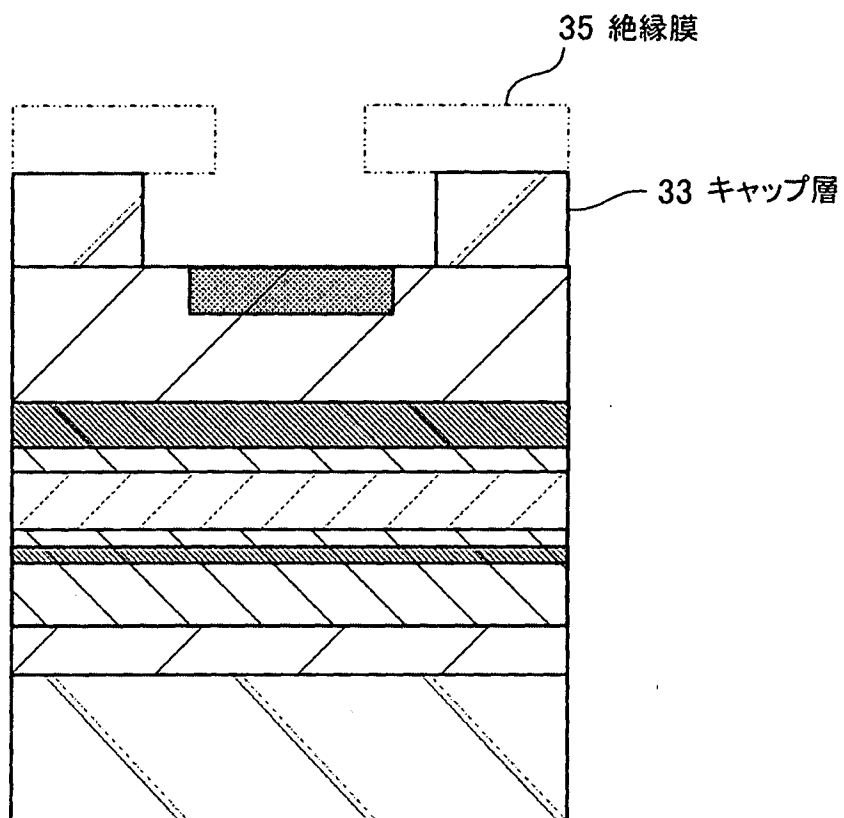


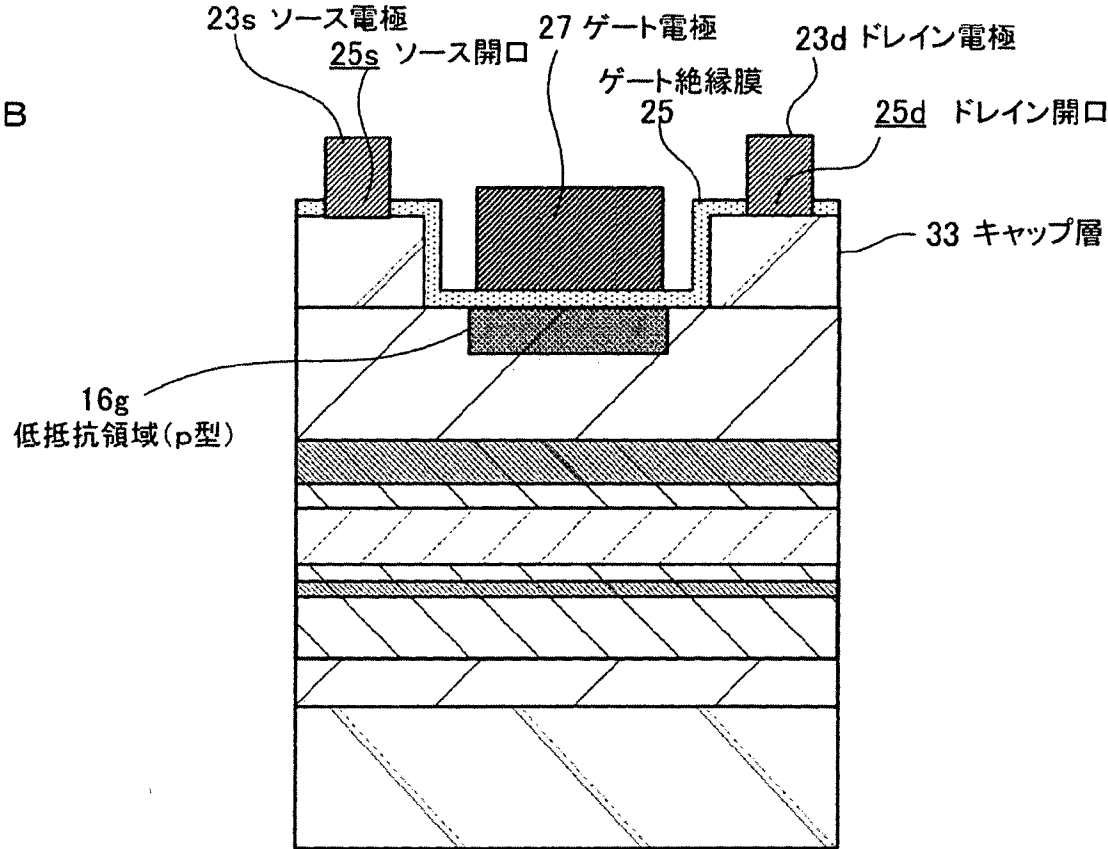
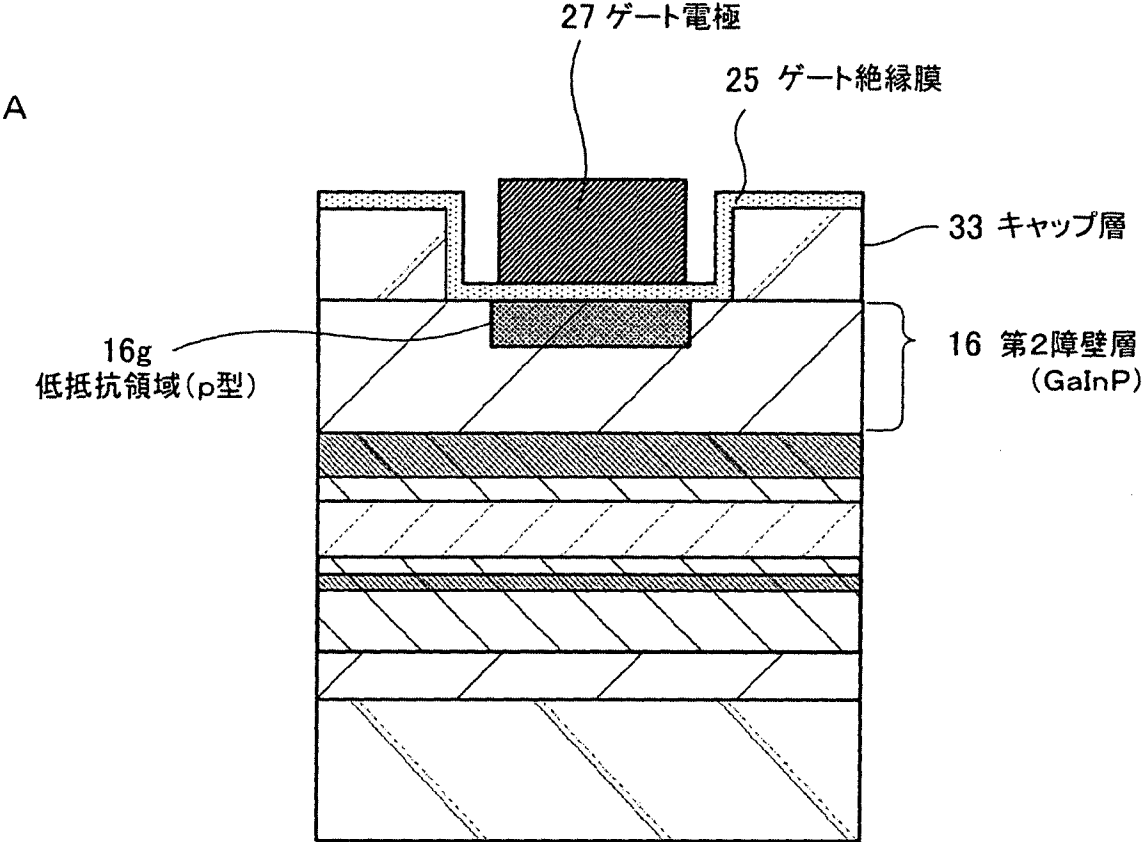


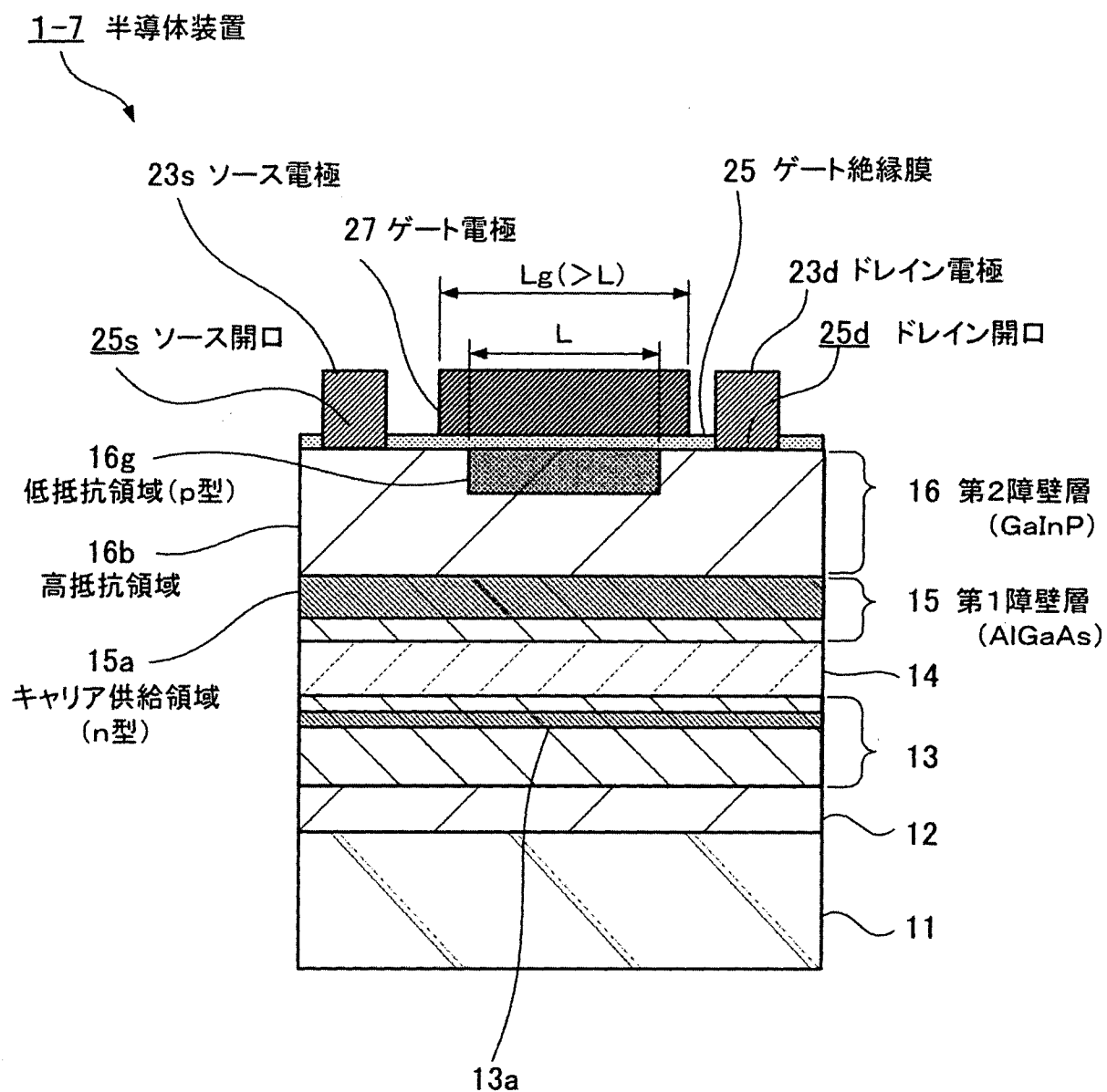
A



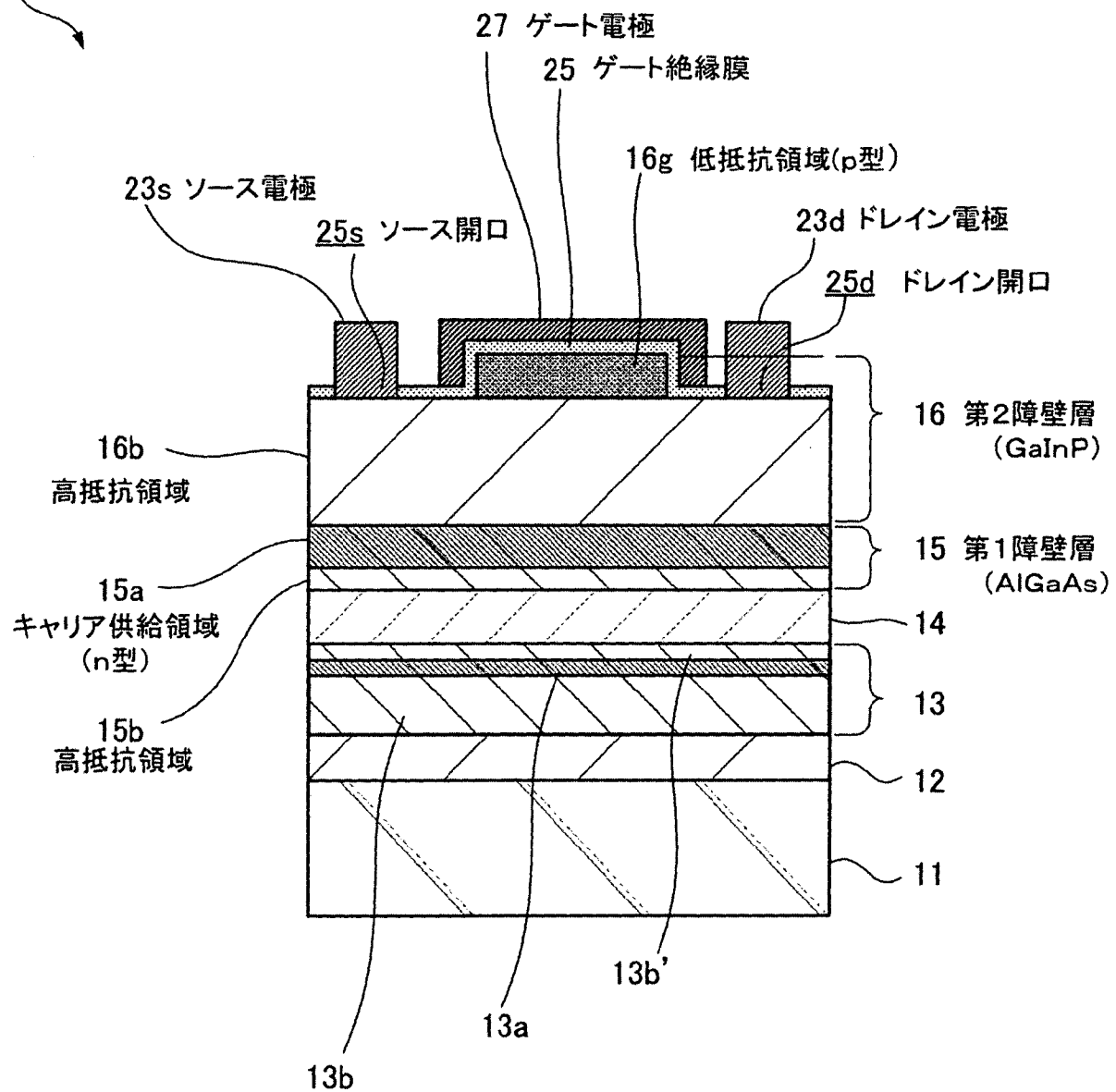
B

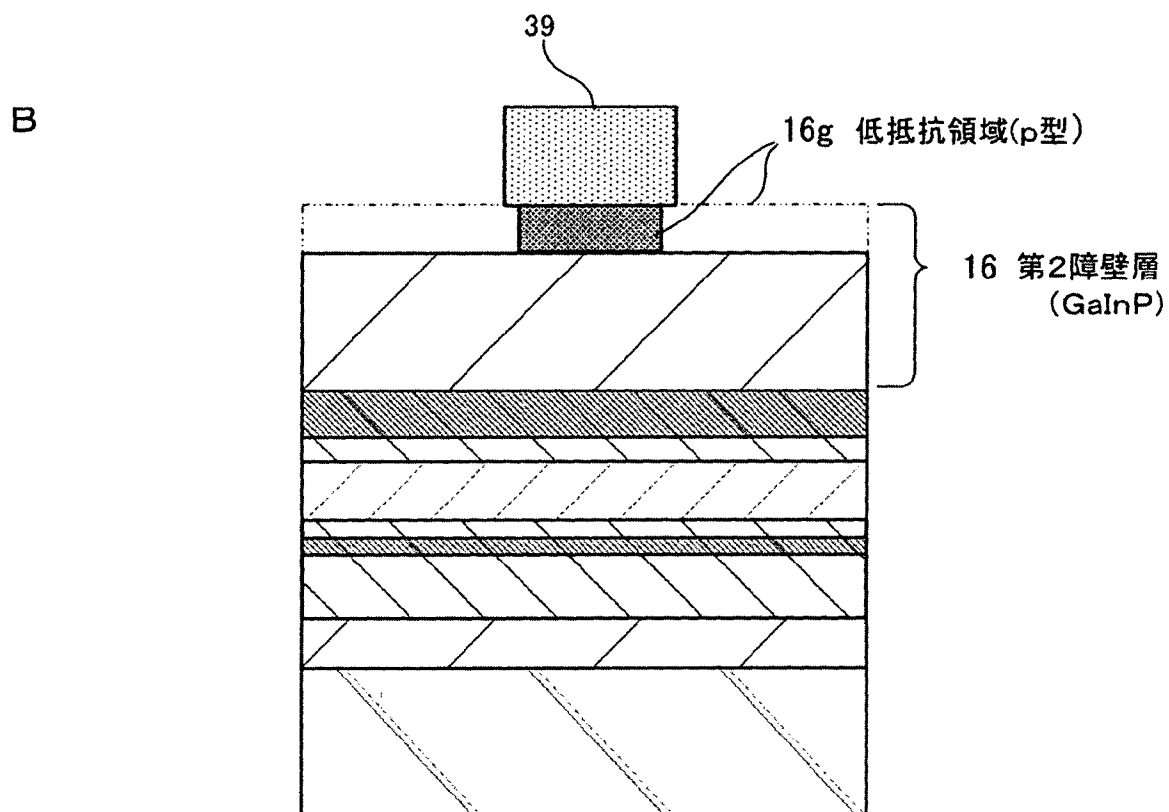
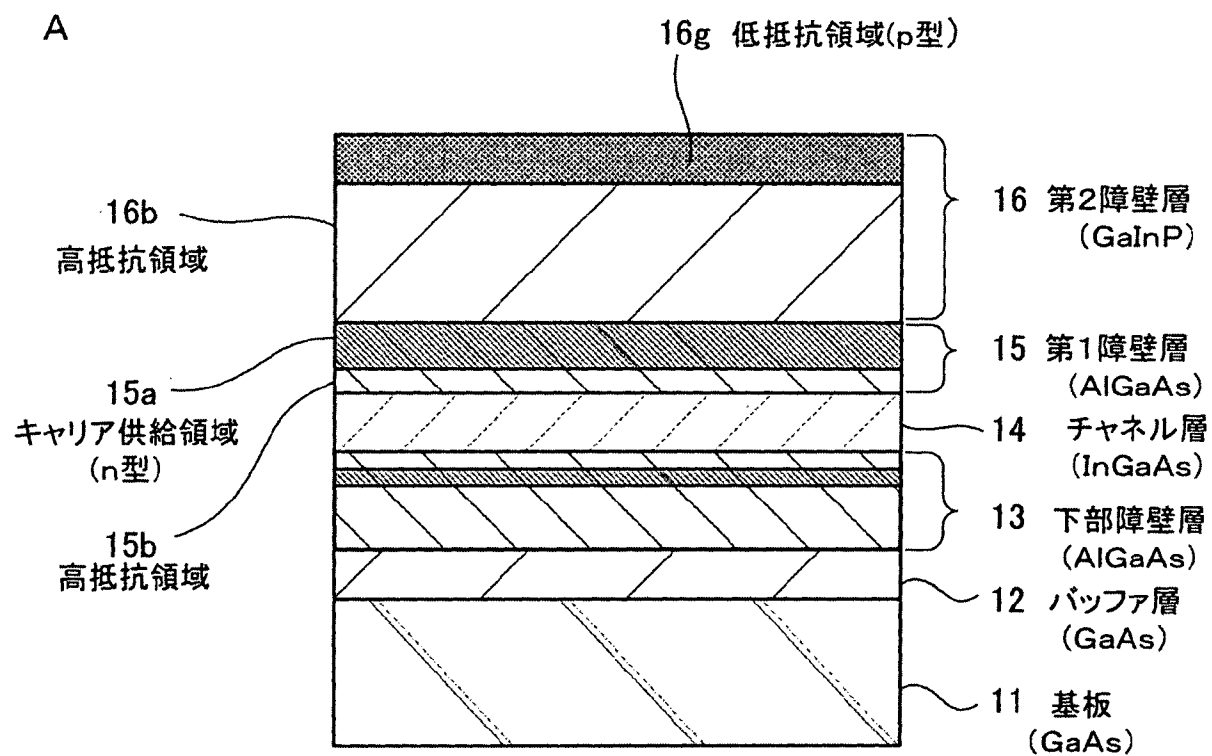


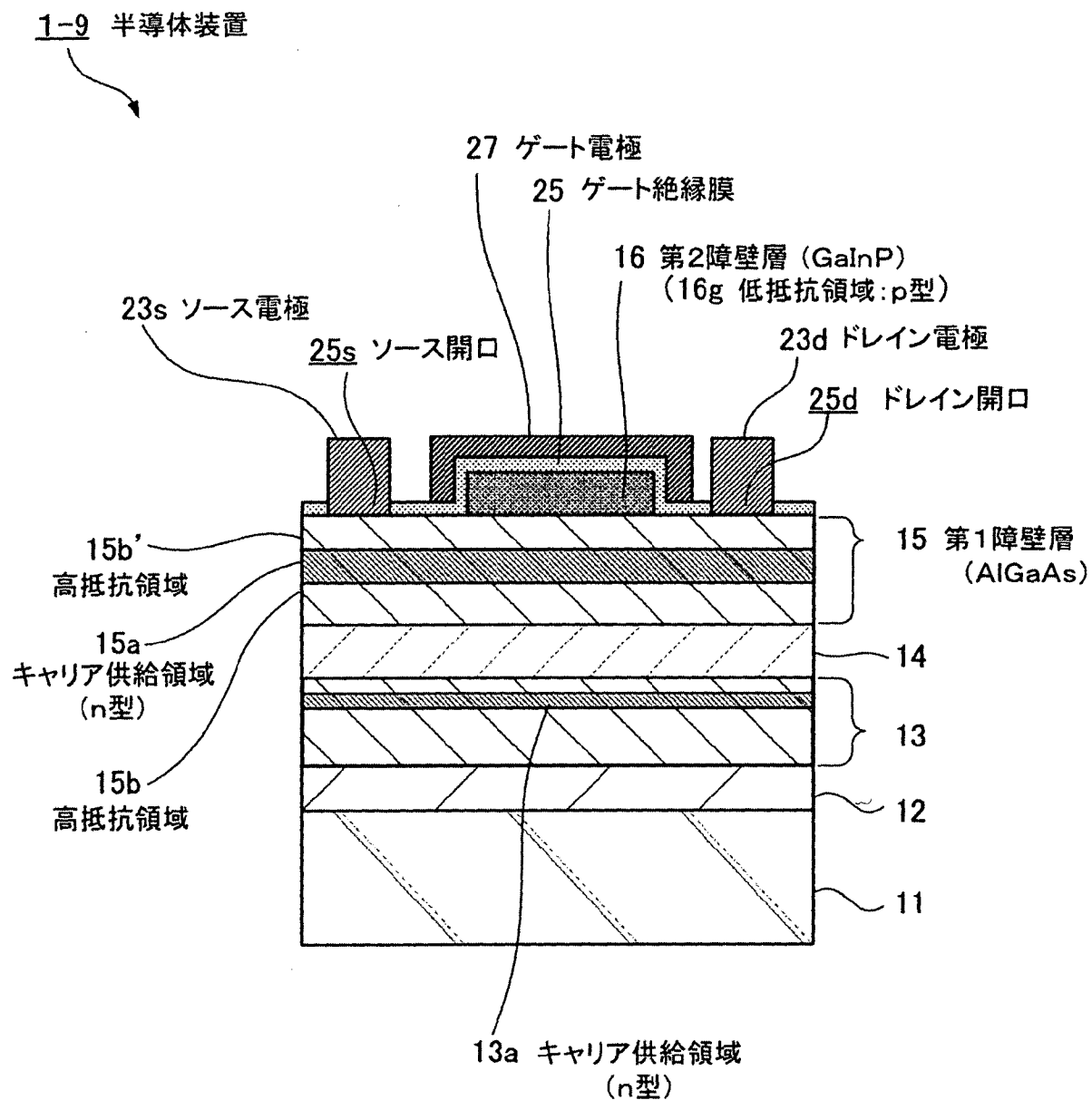




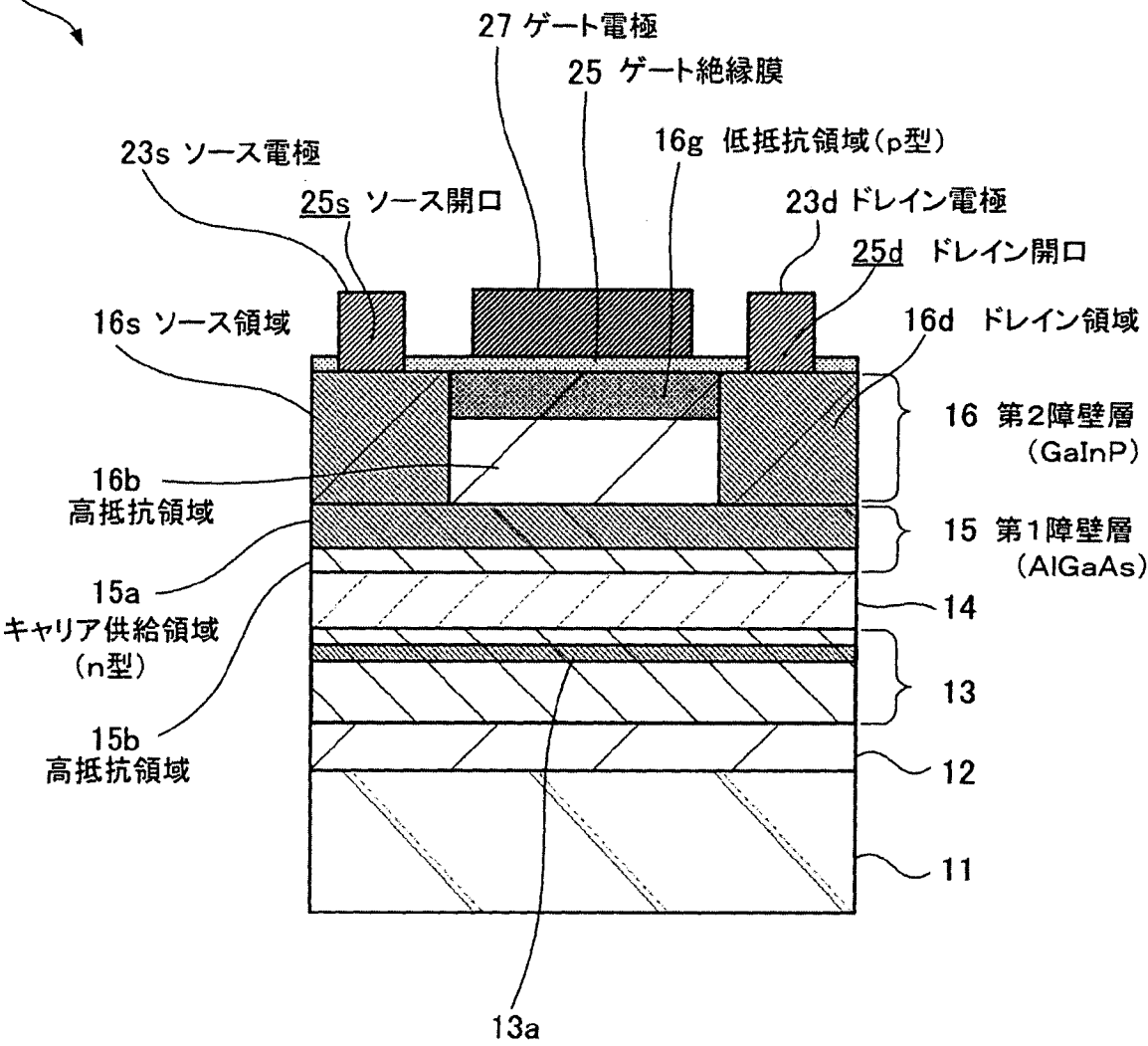
1-8 半導体装置



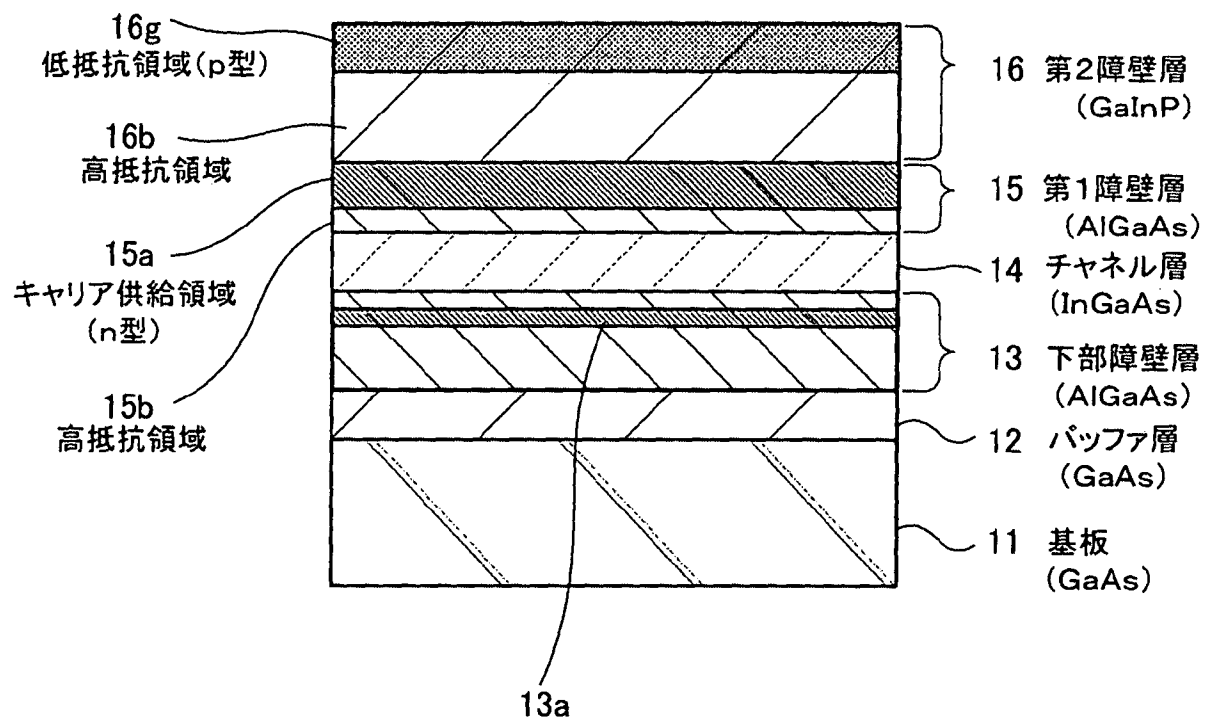




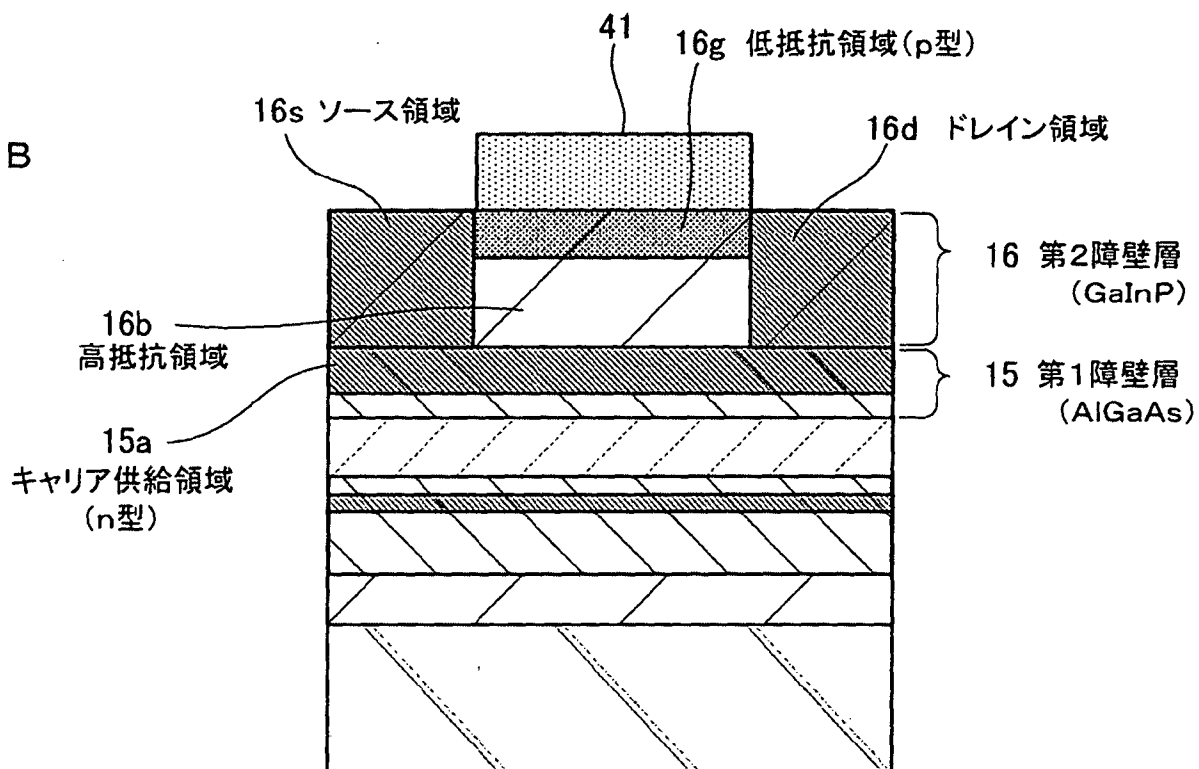
1-10 半導体装置

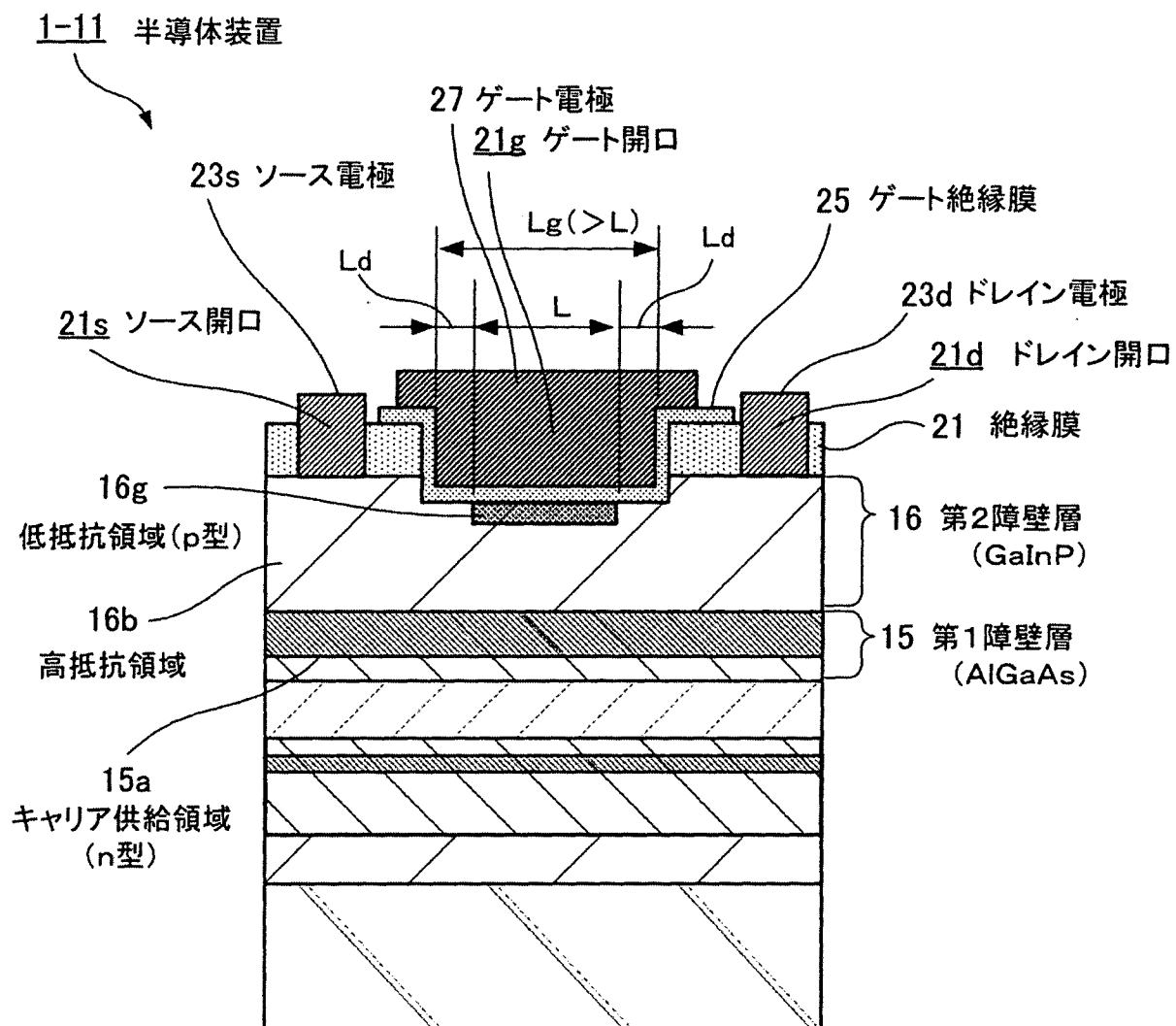


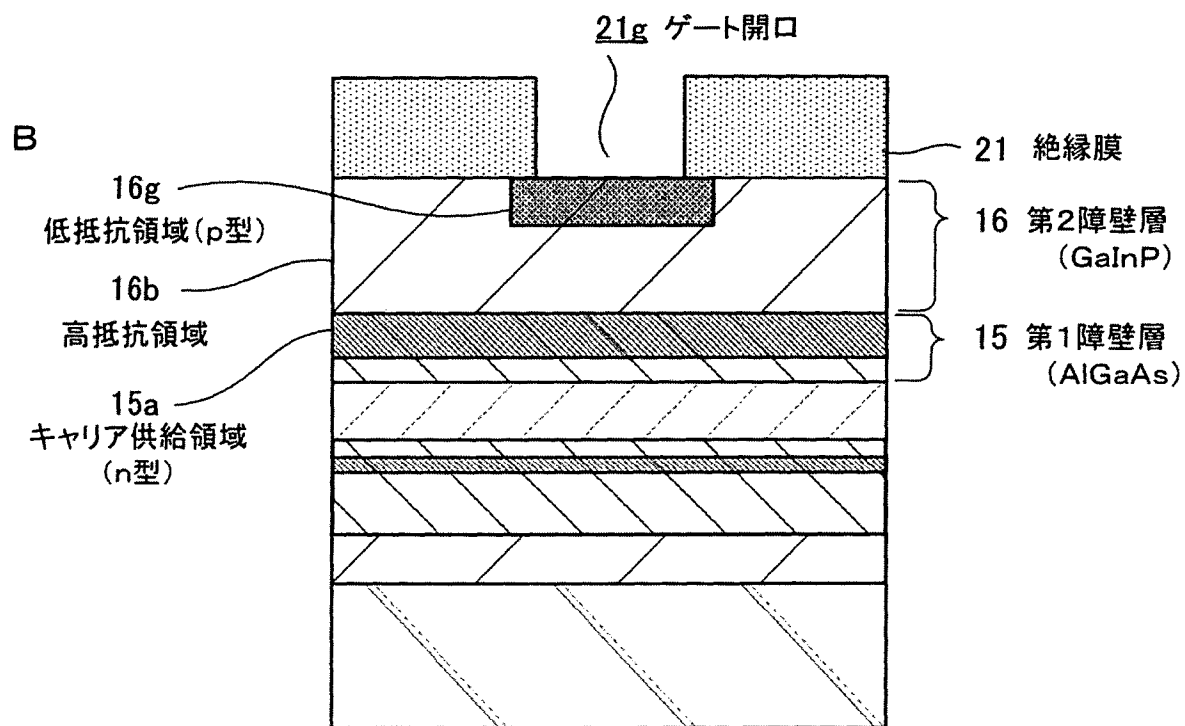
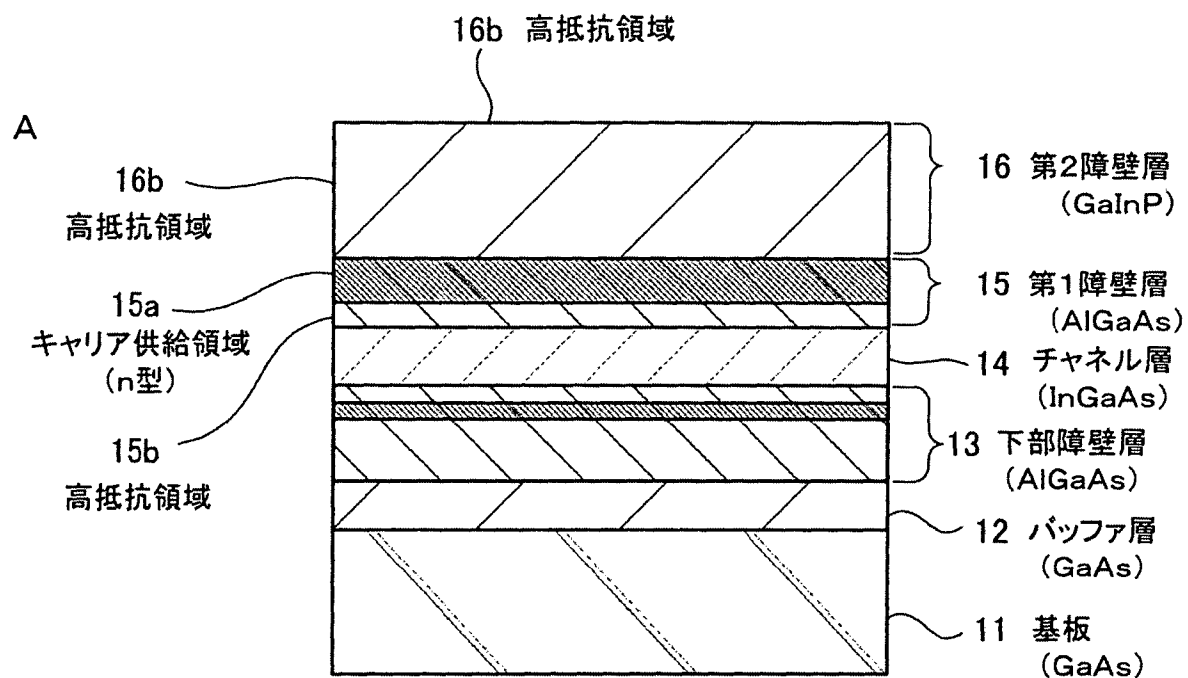
A

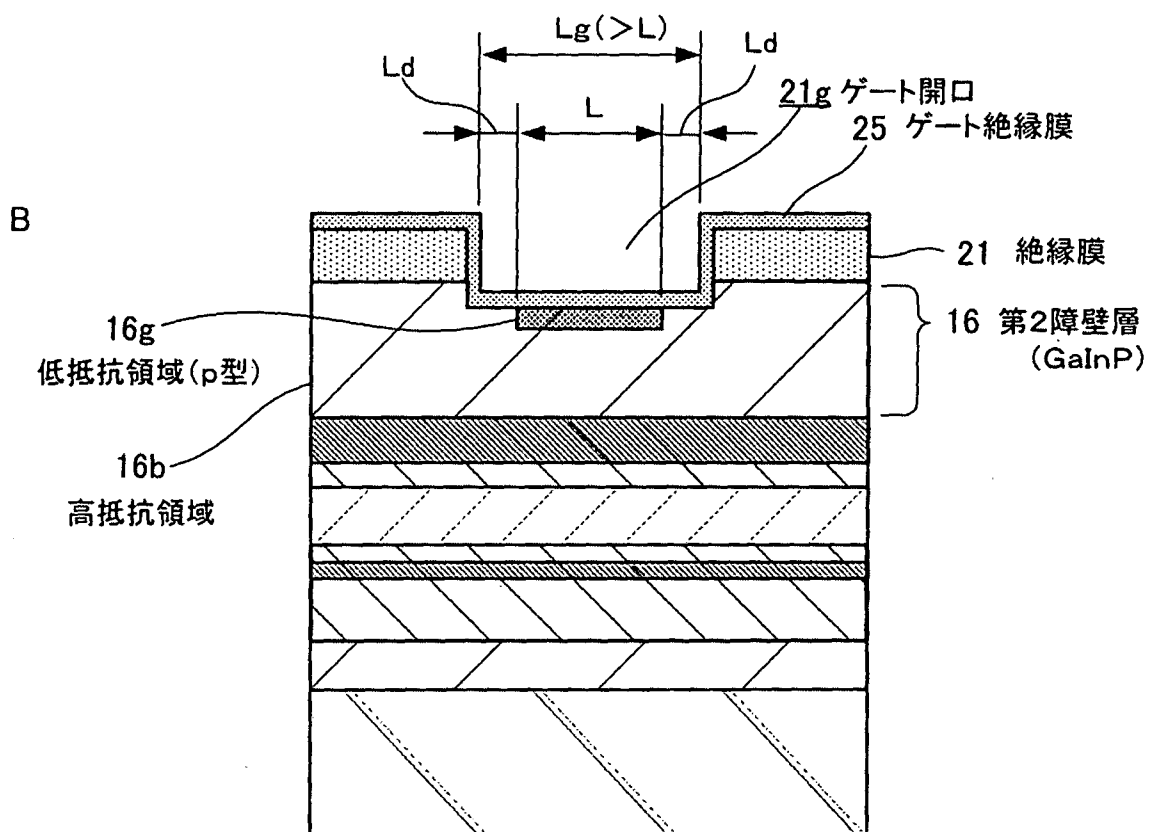
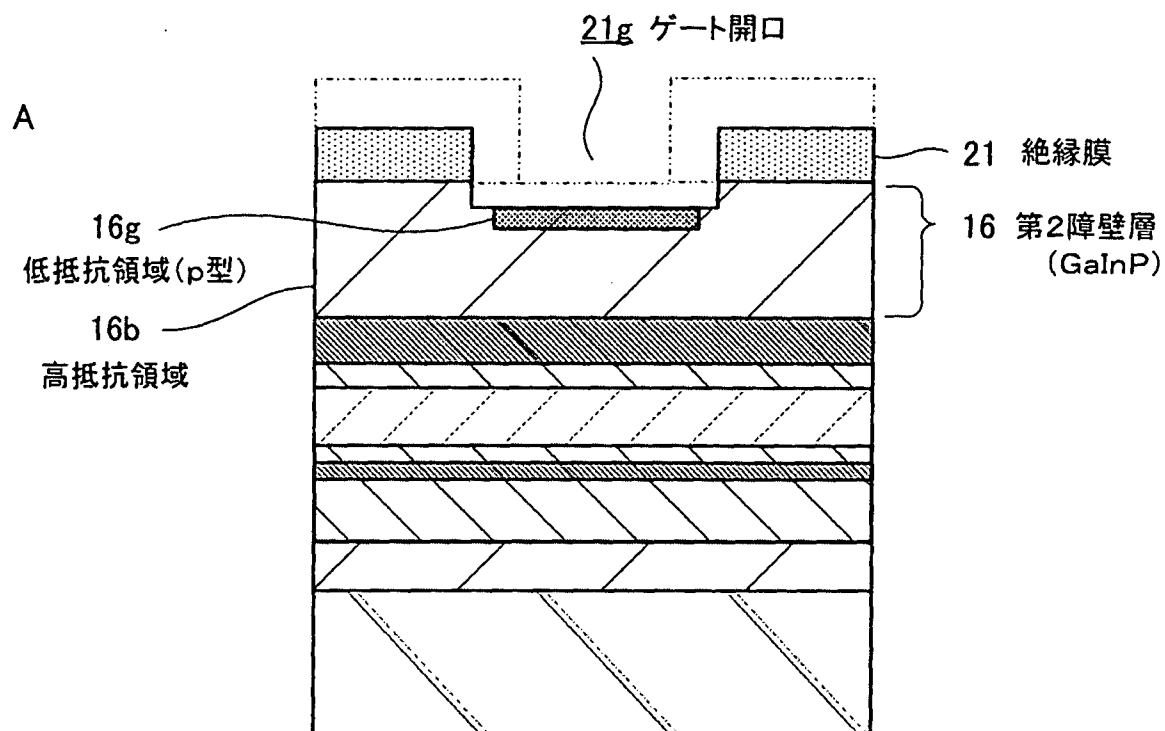


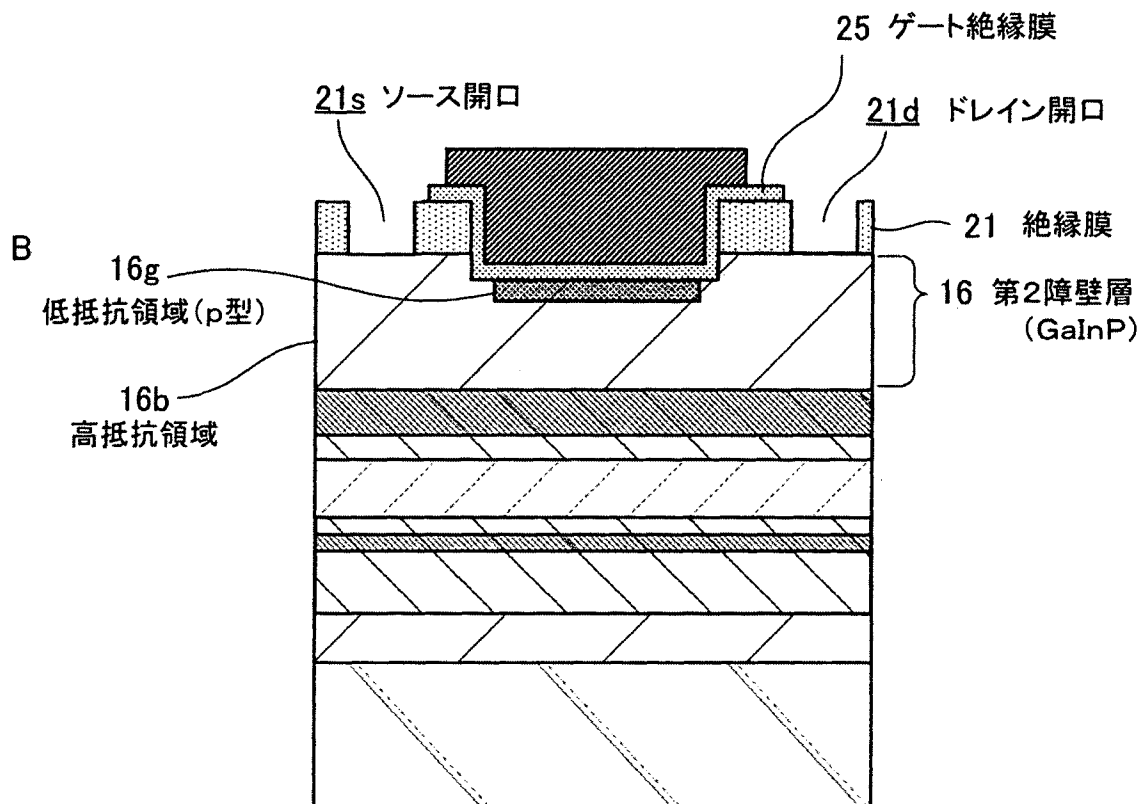
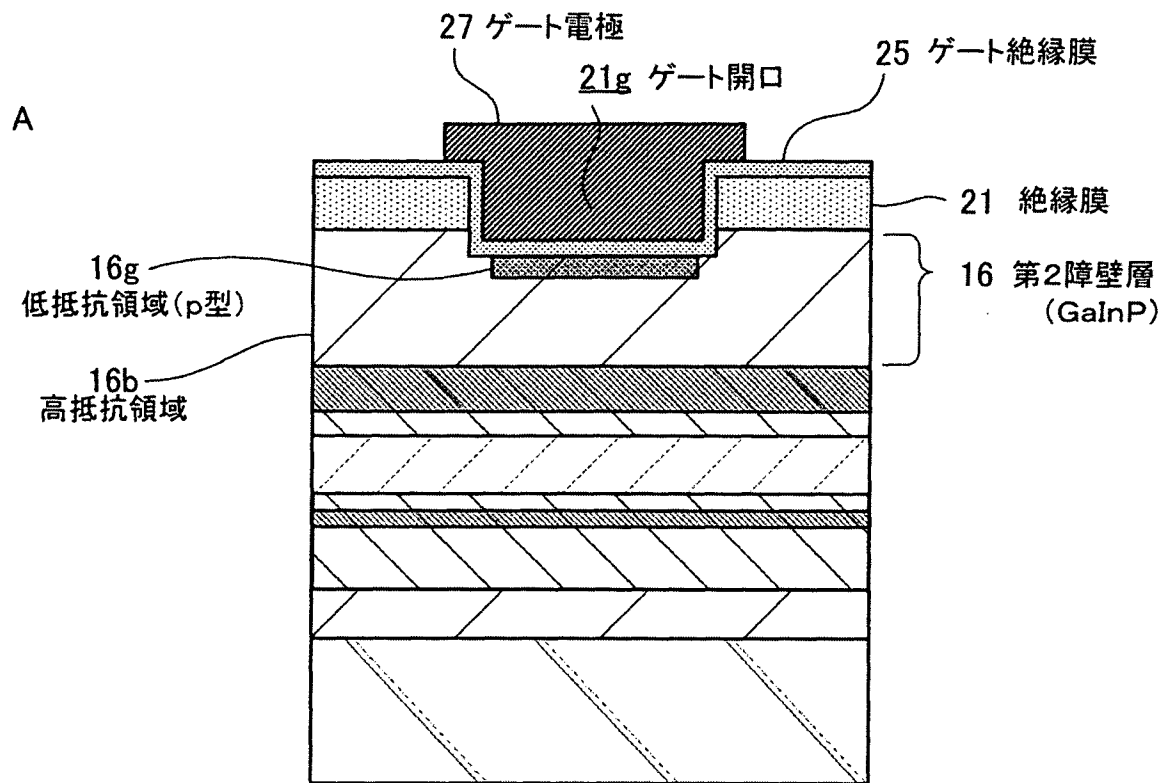
B

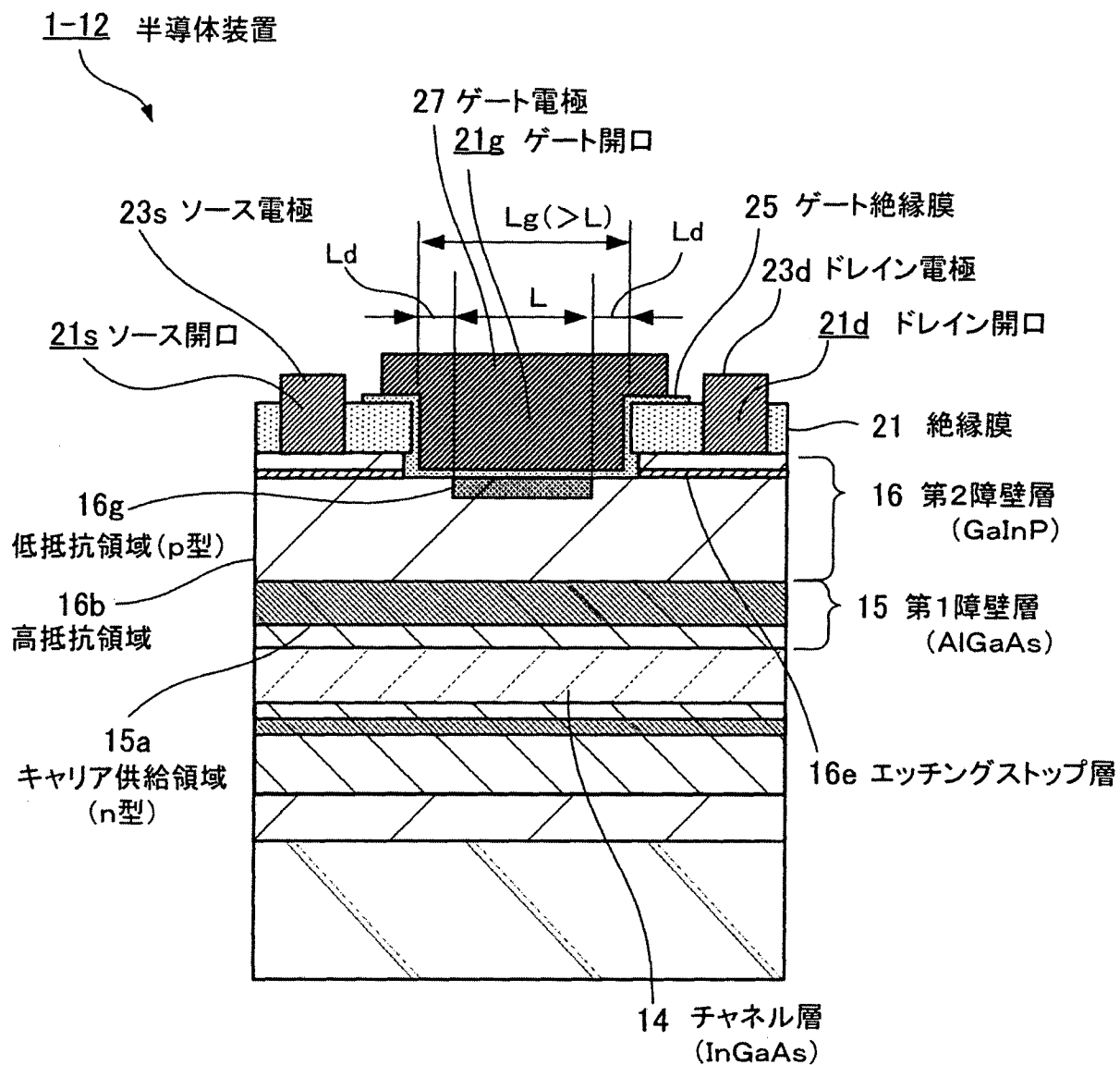


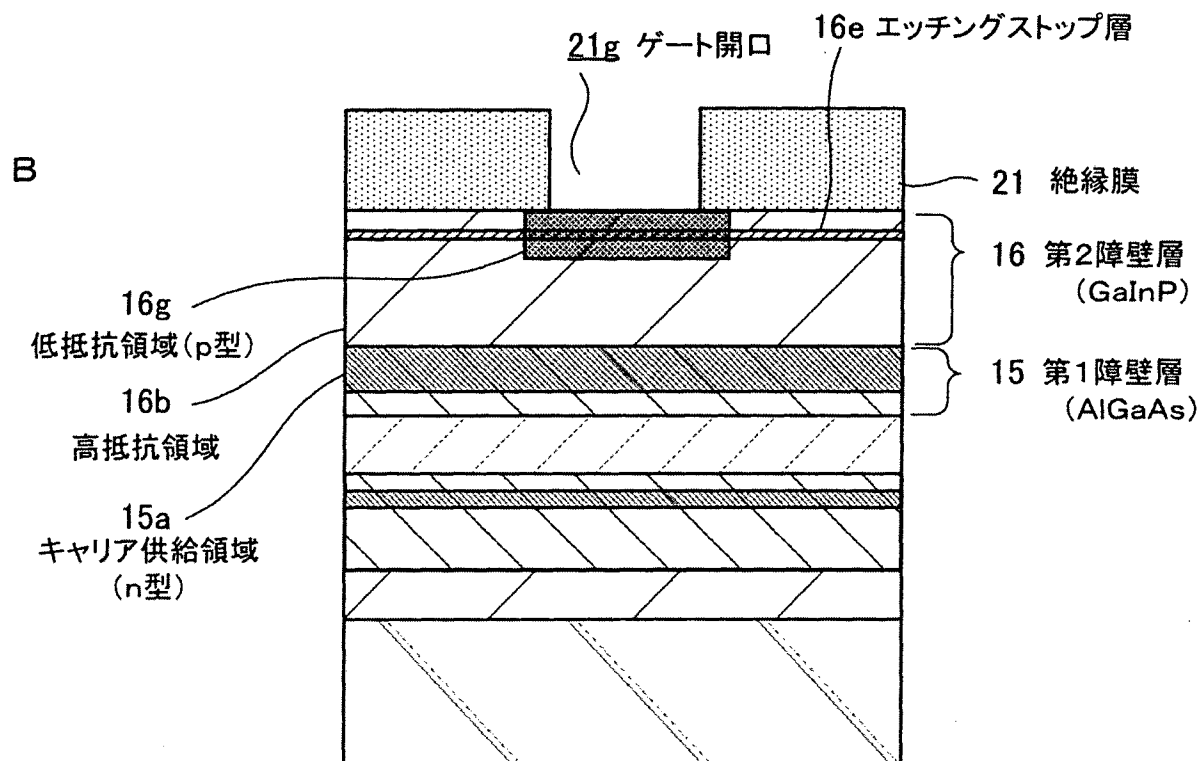
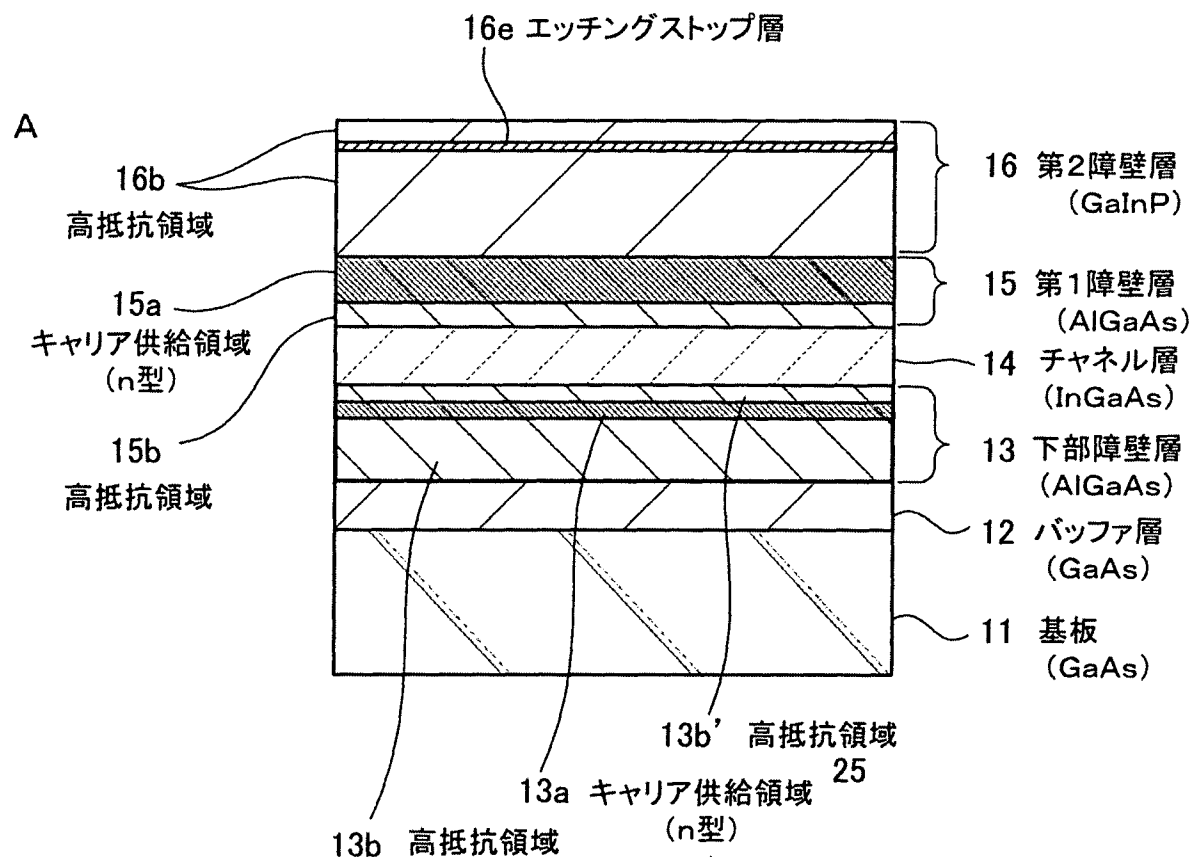


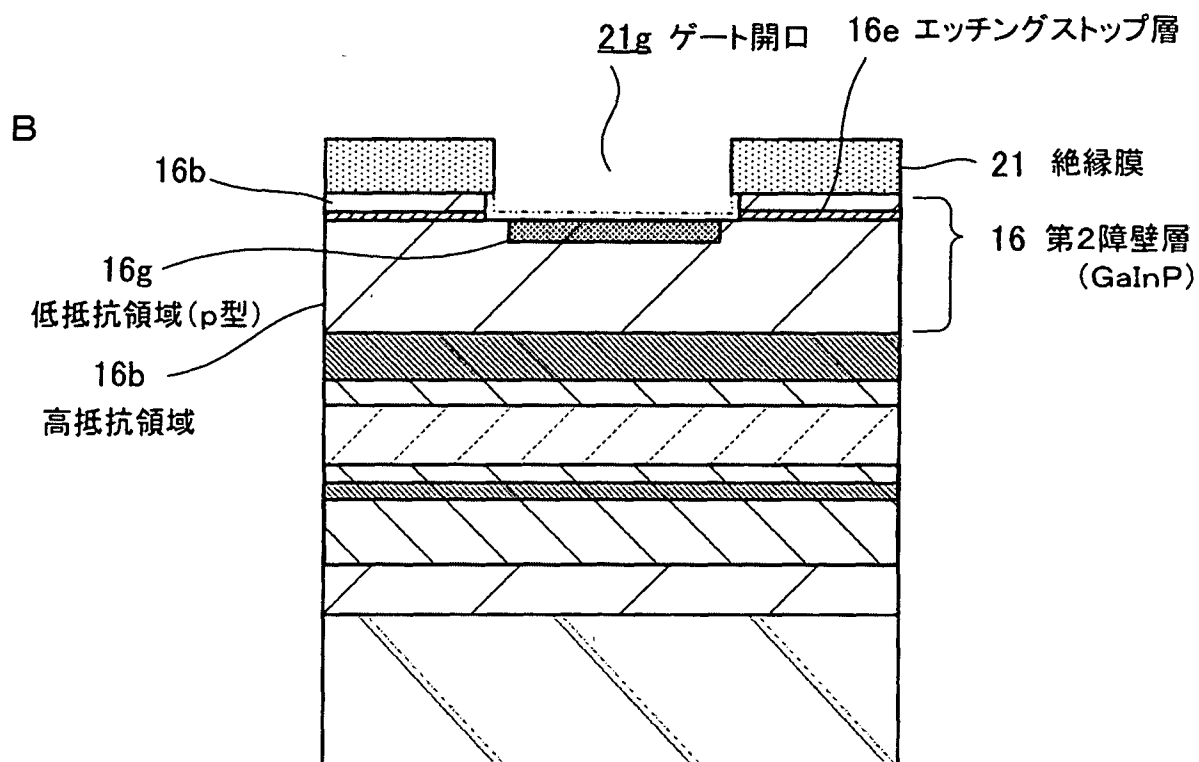
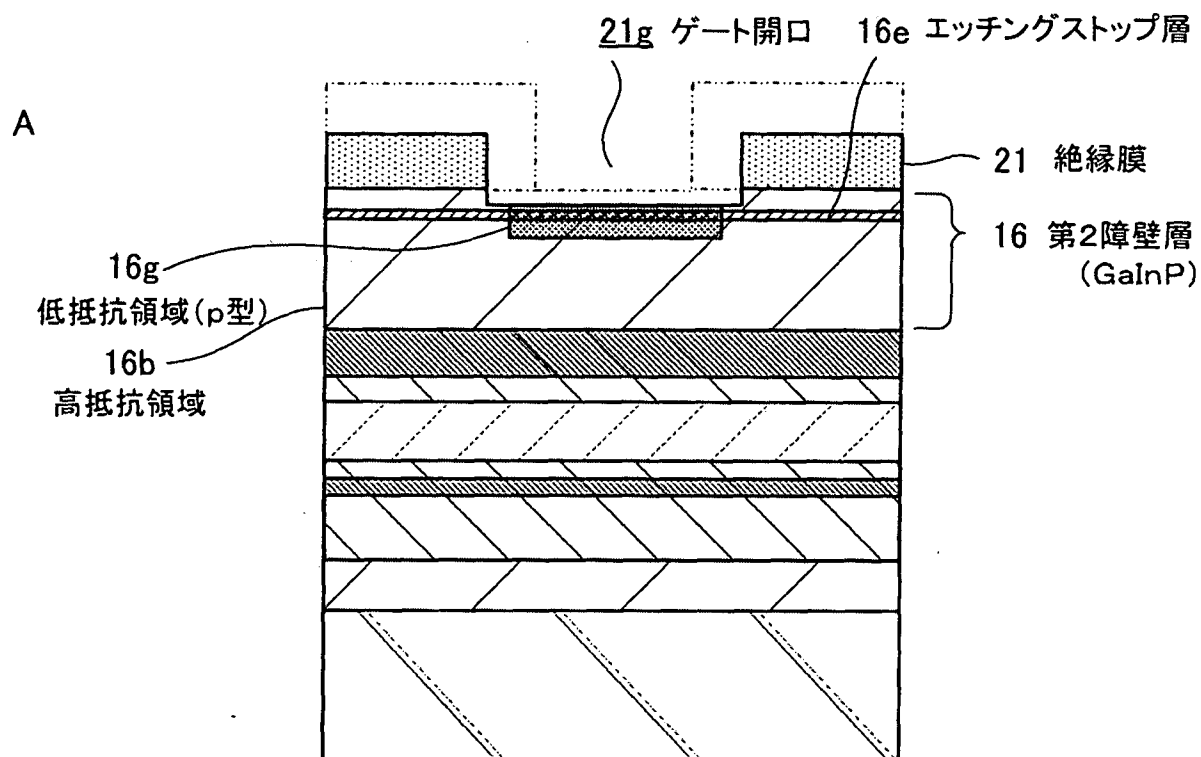


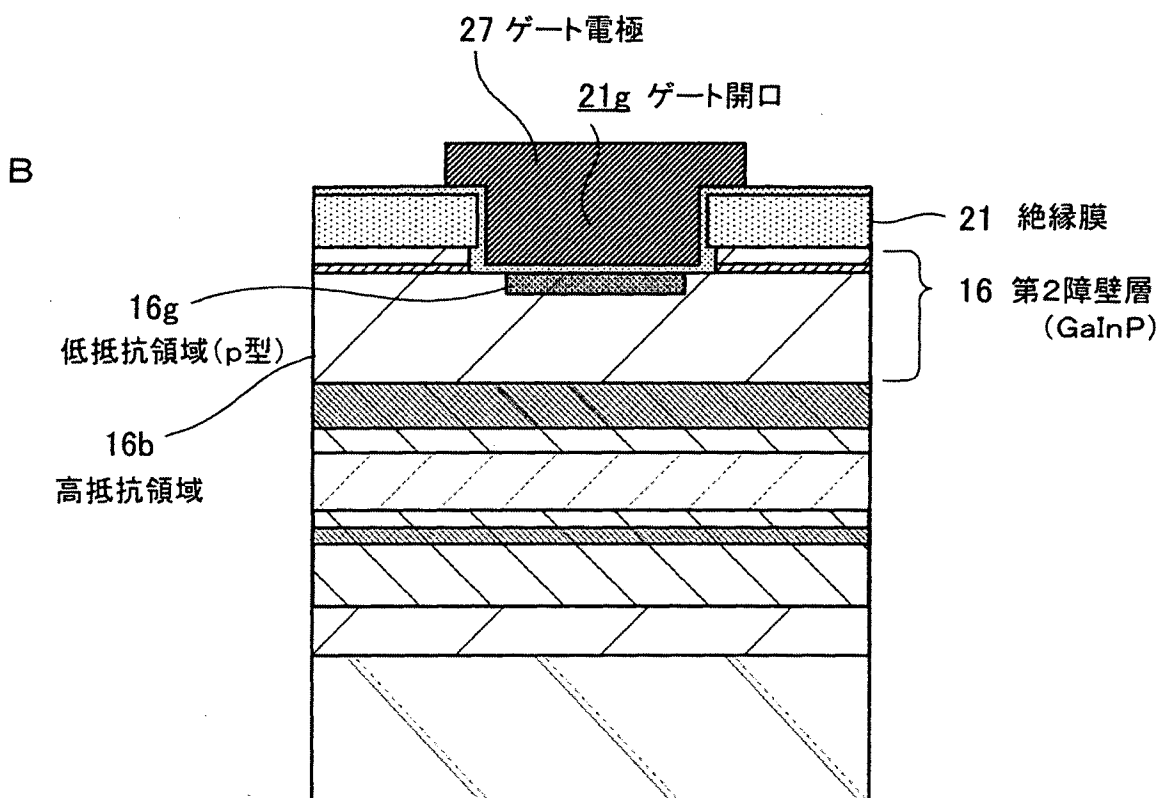
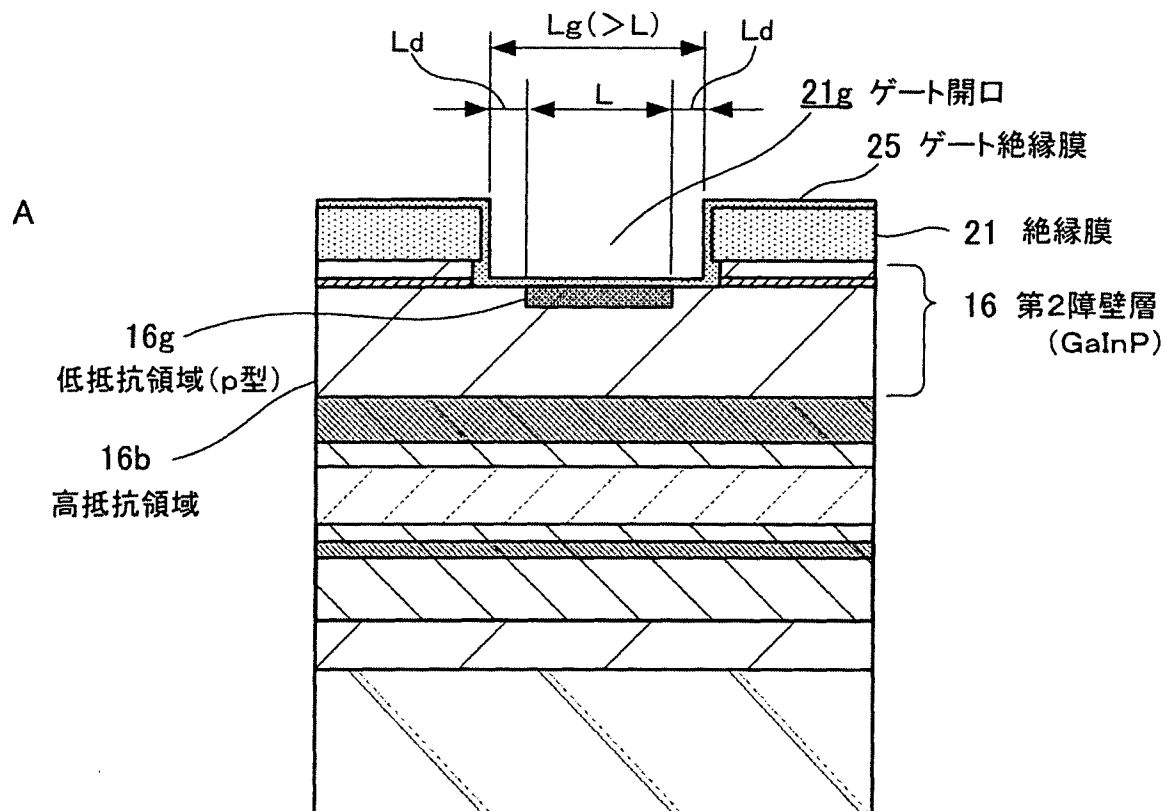


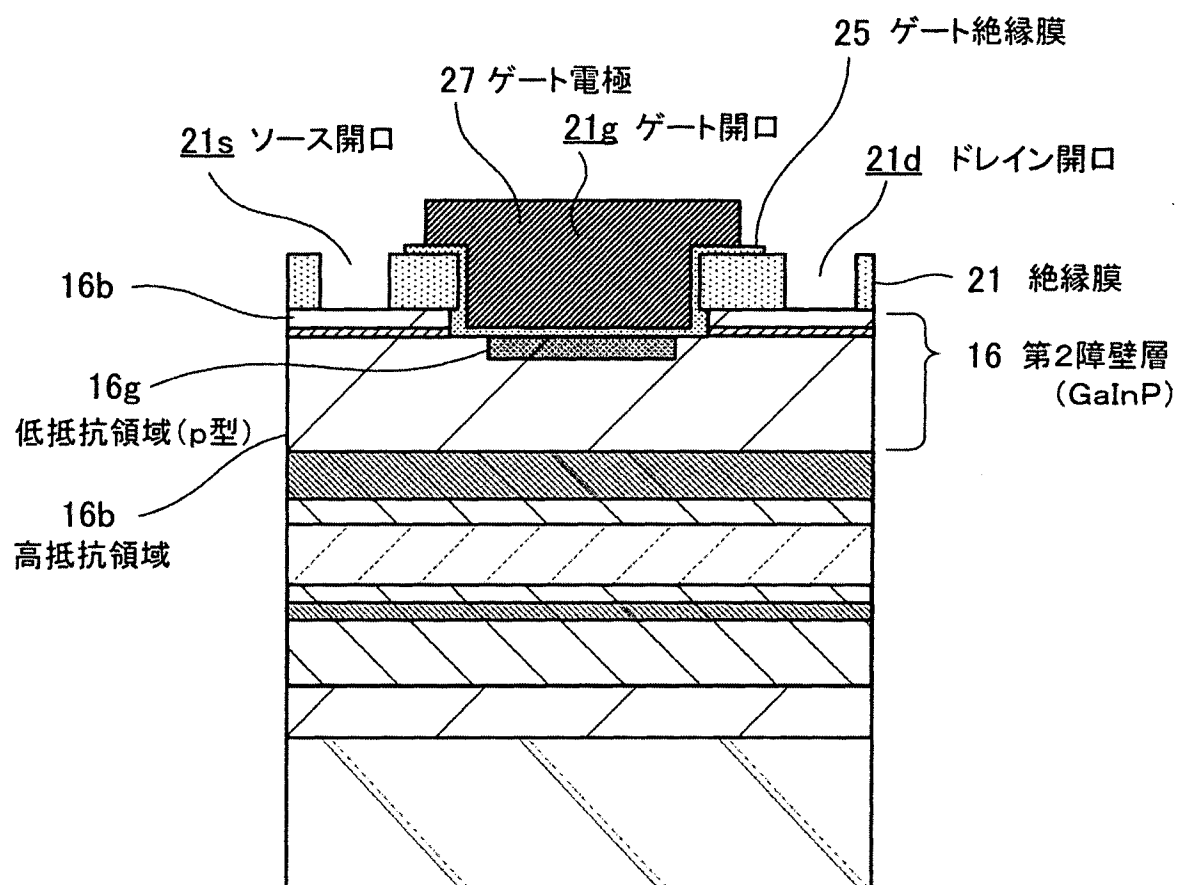


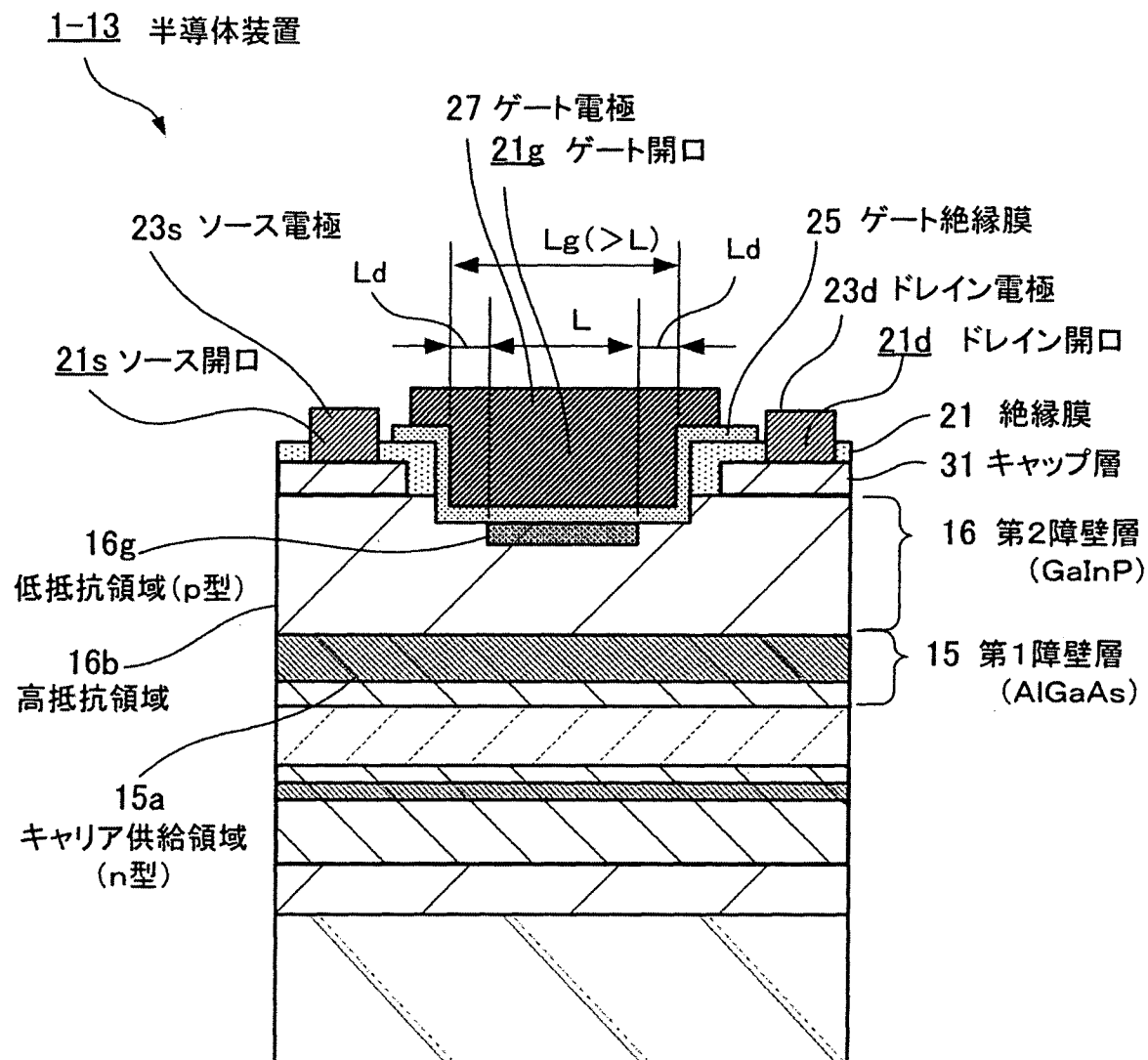


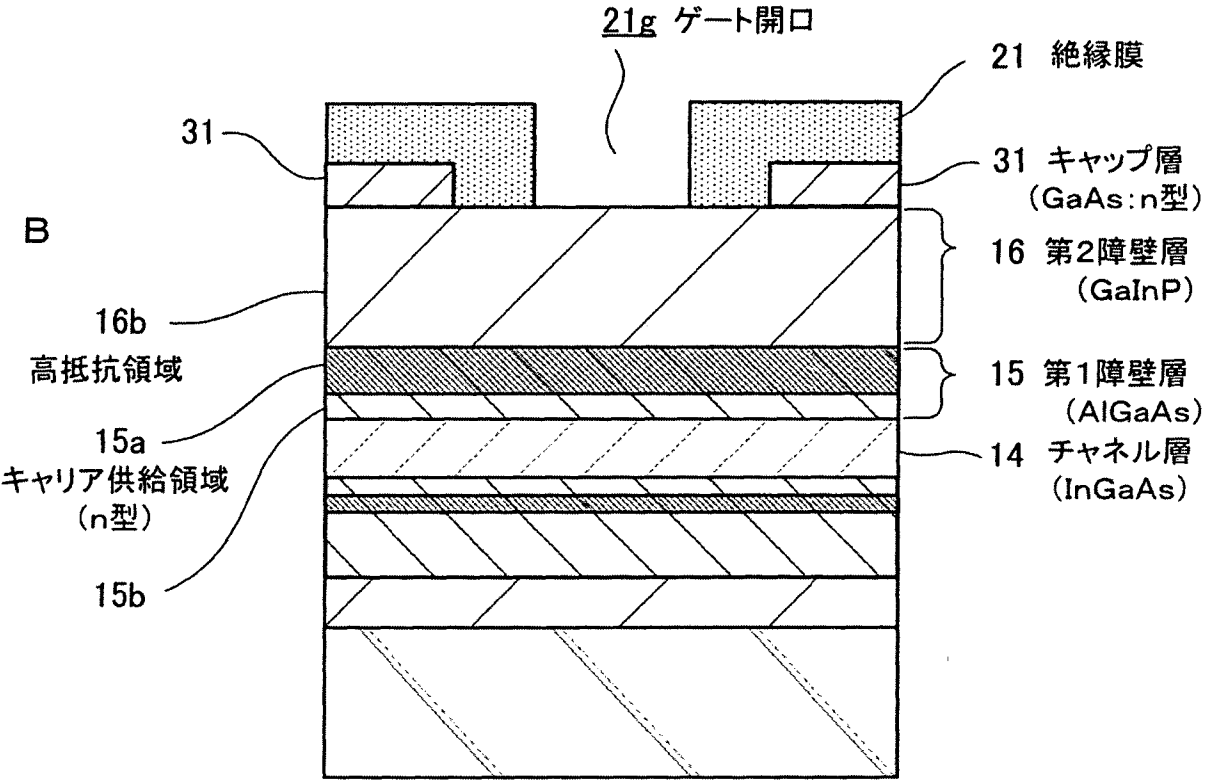
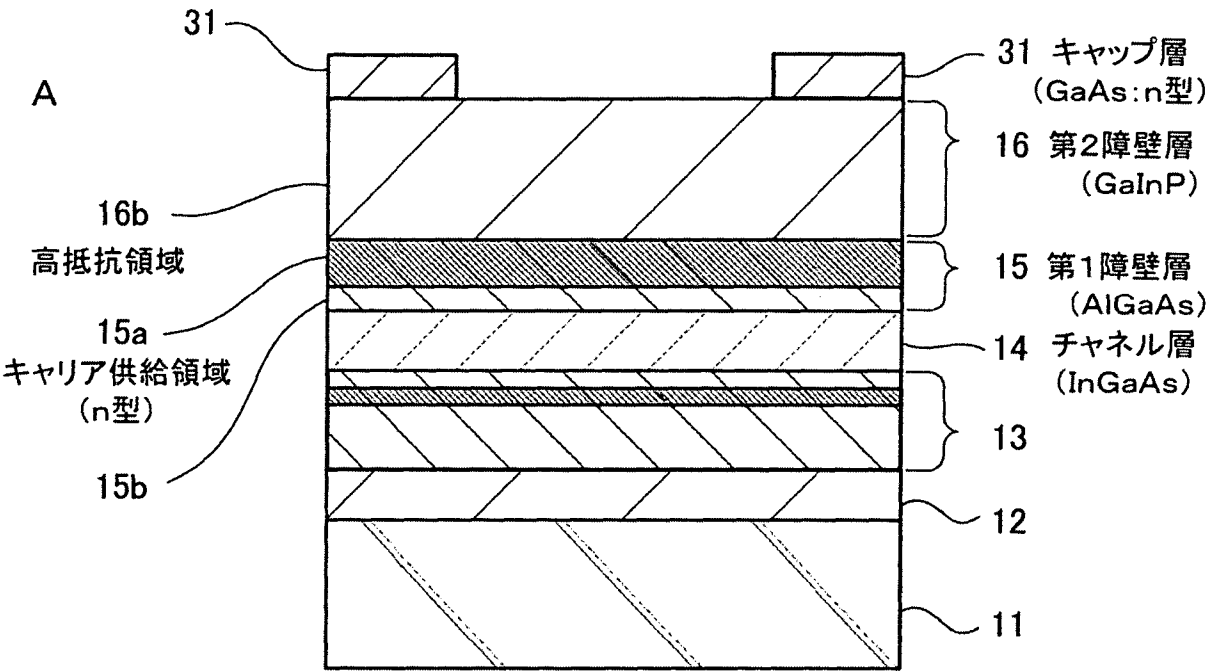


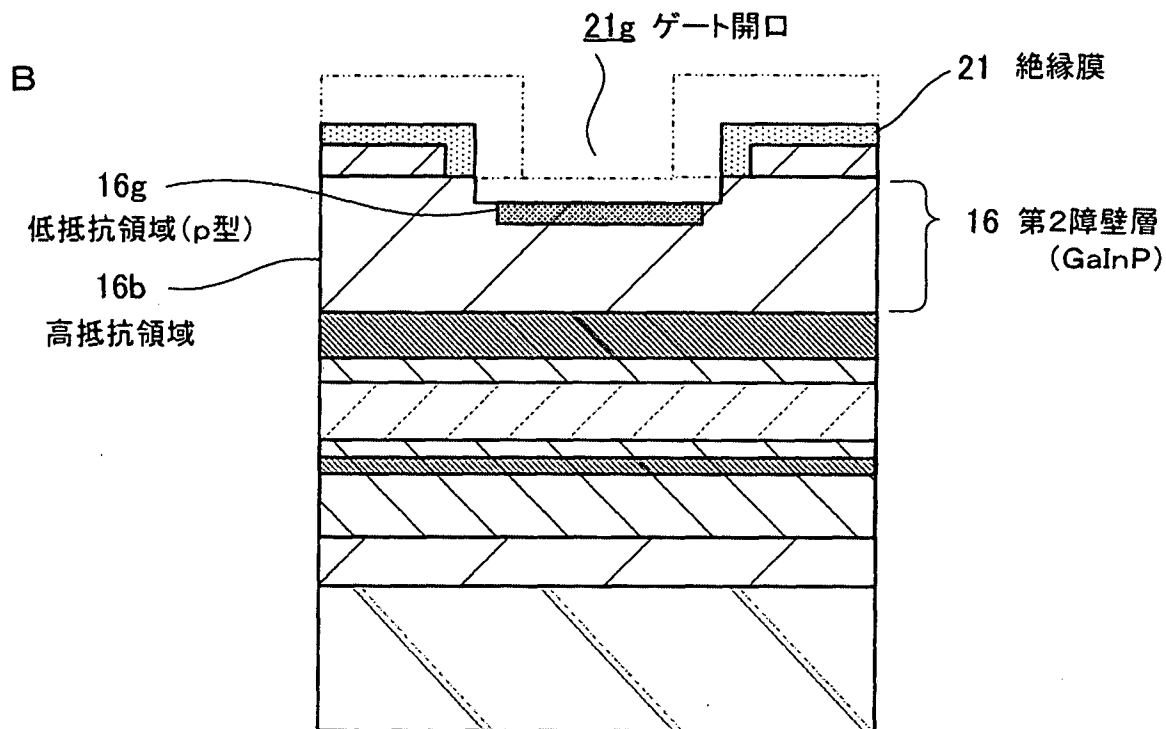
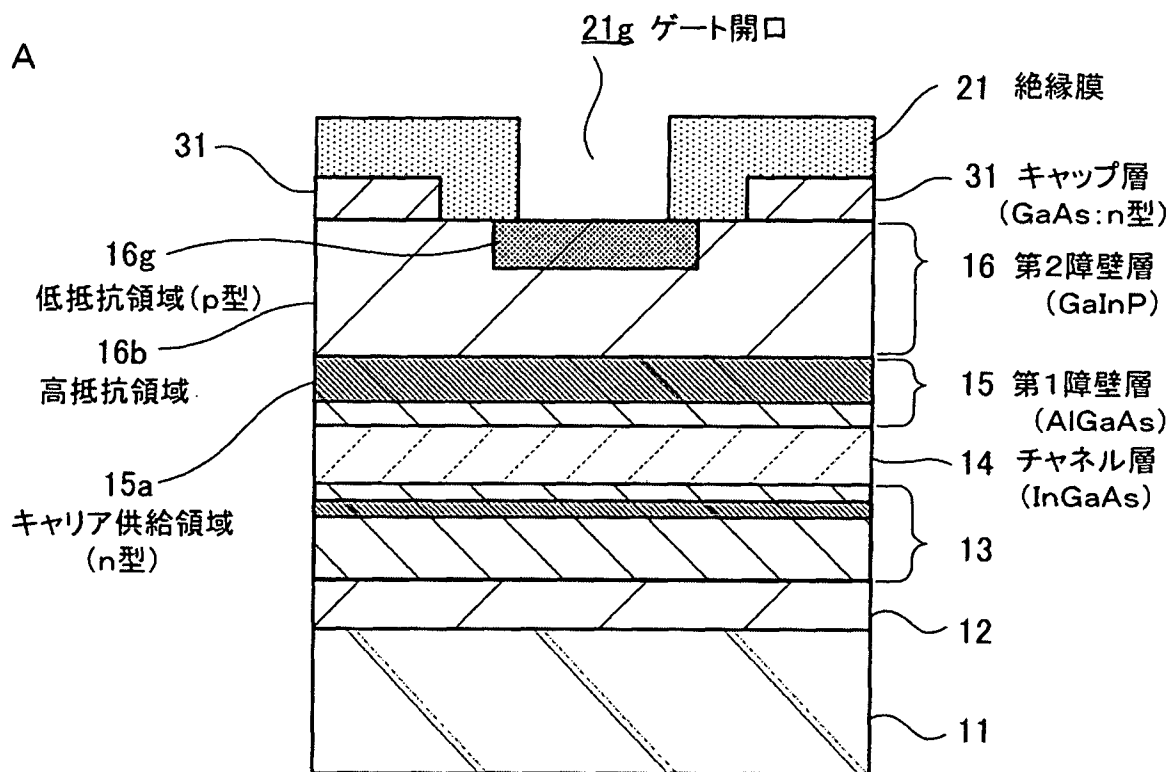


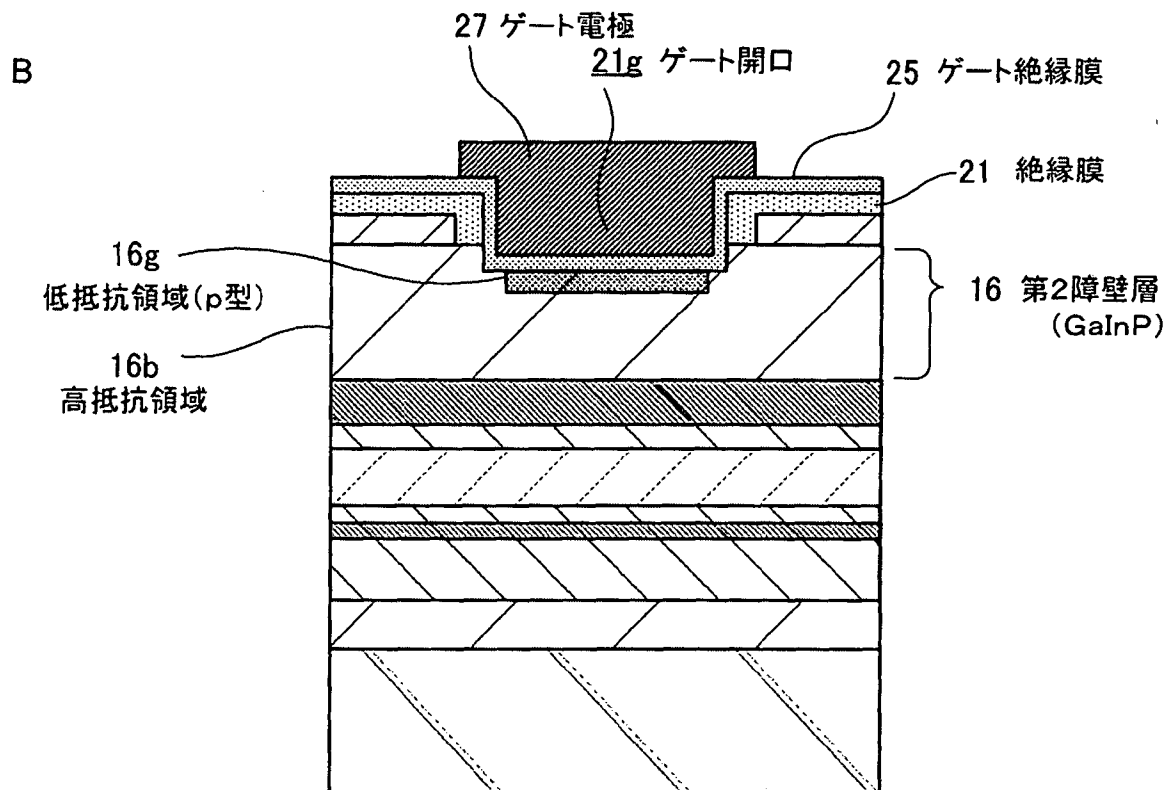
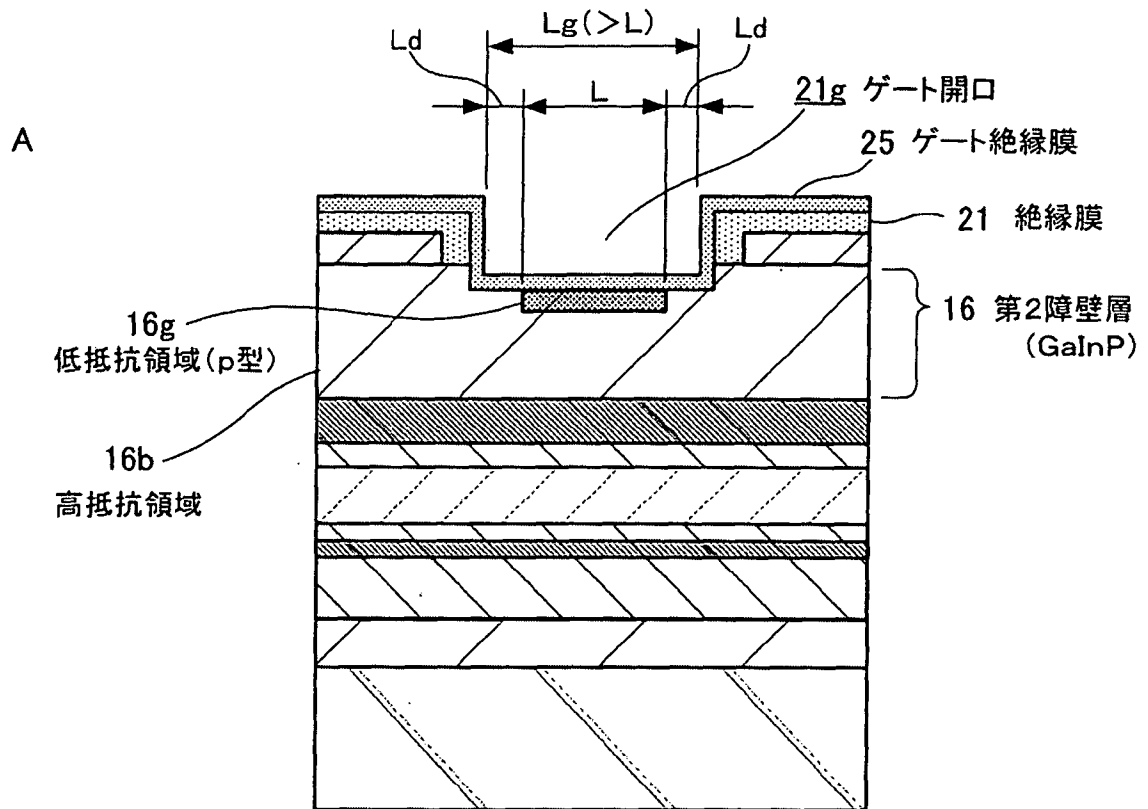


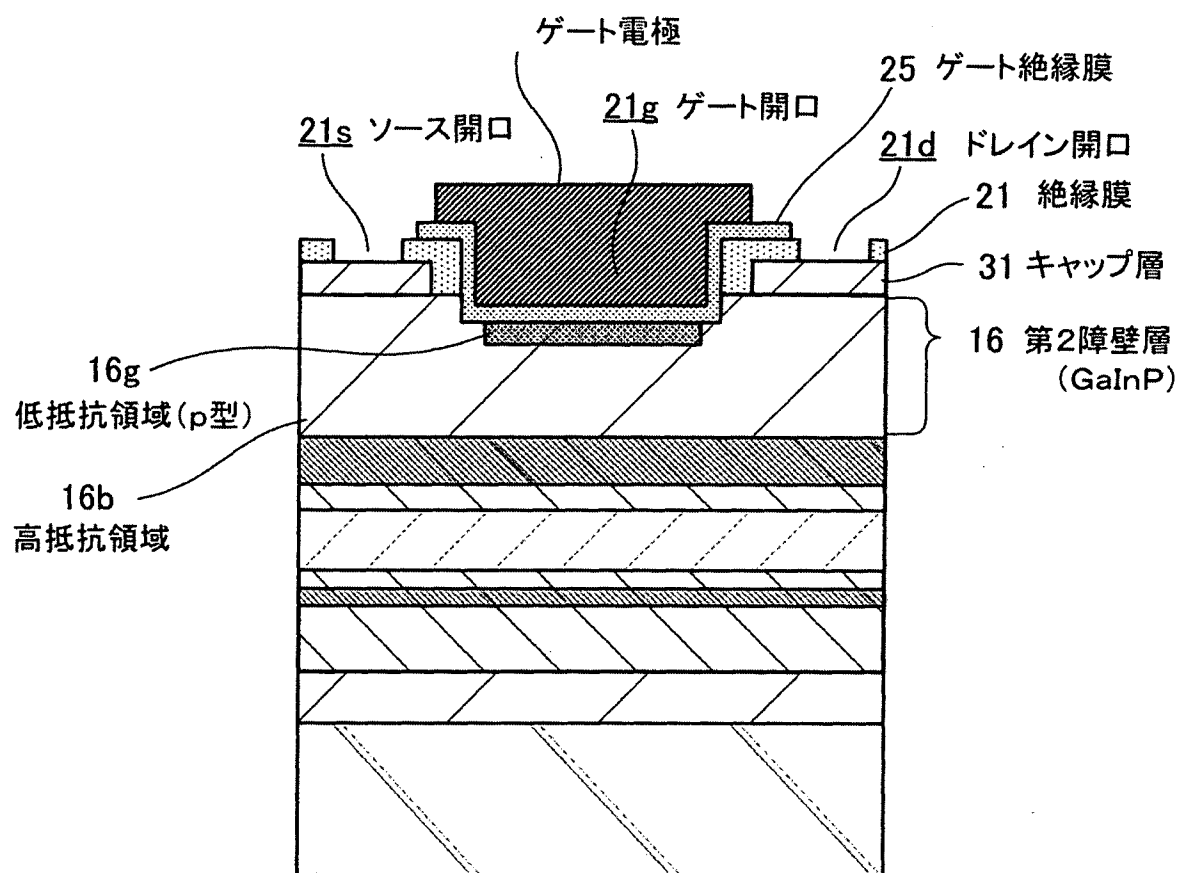


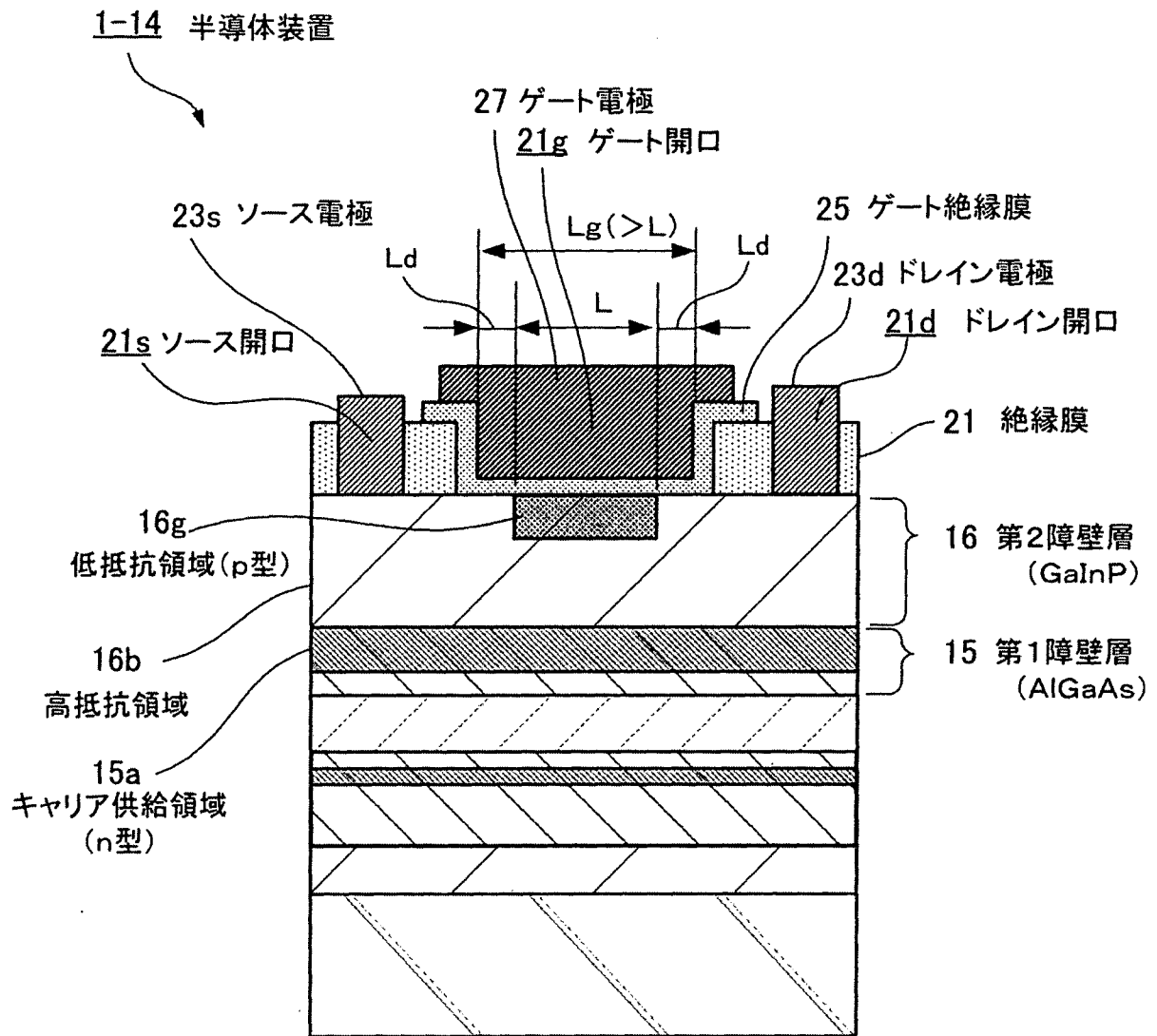


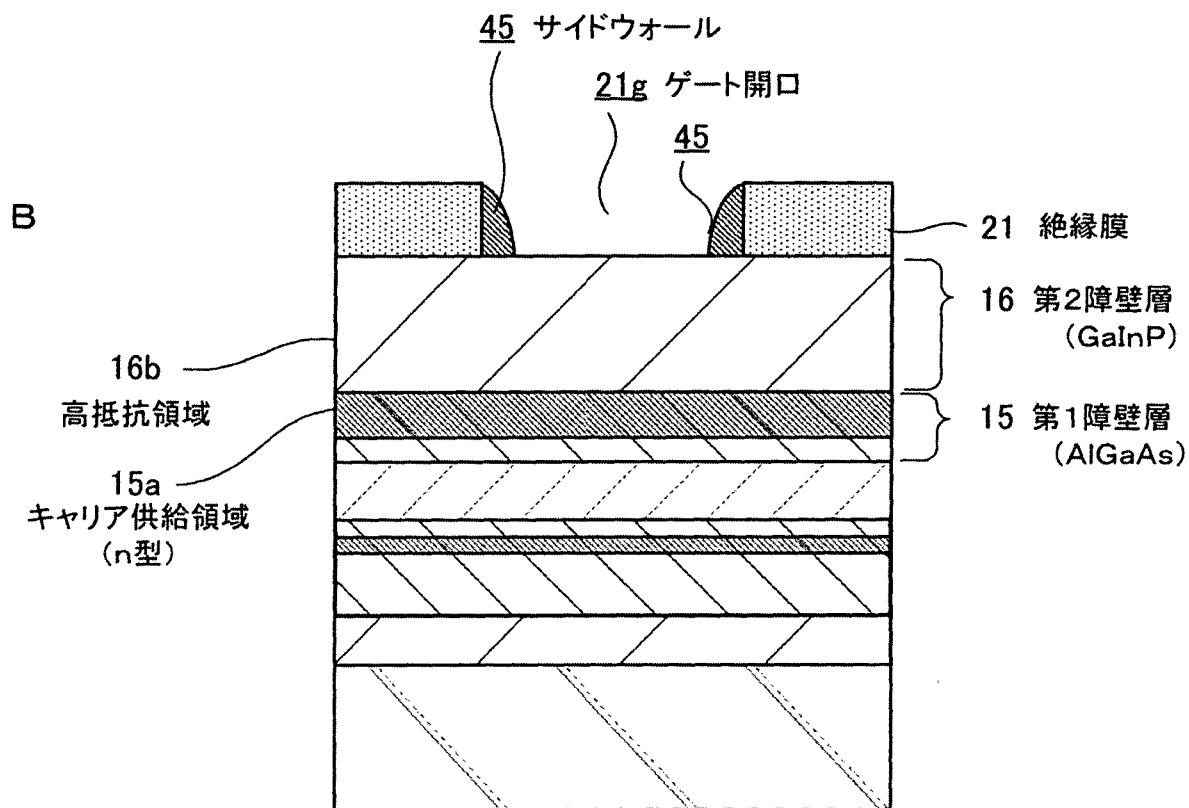
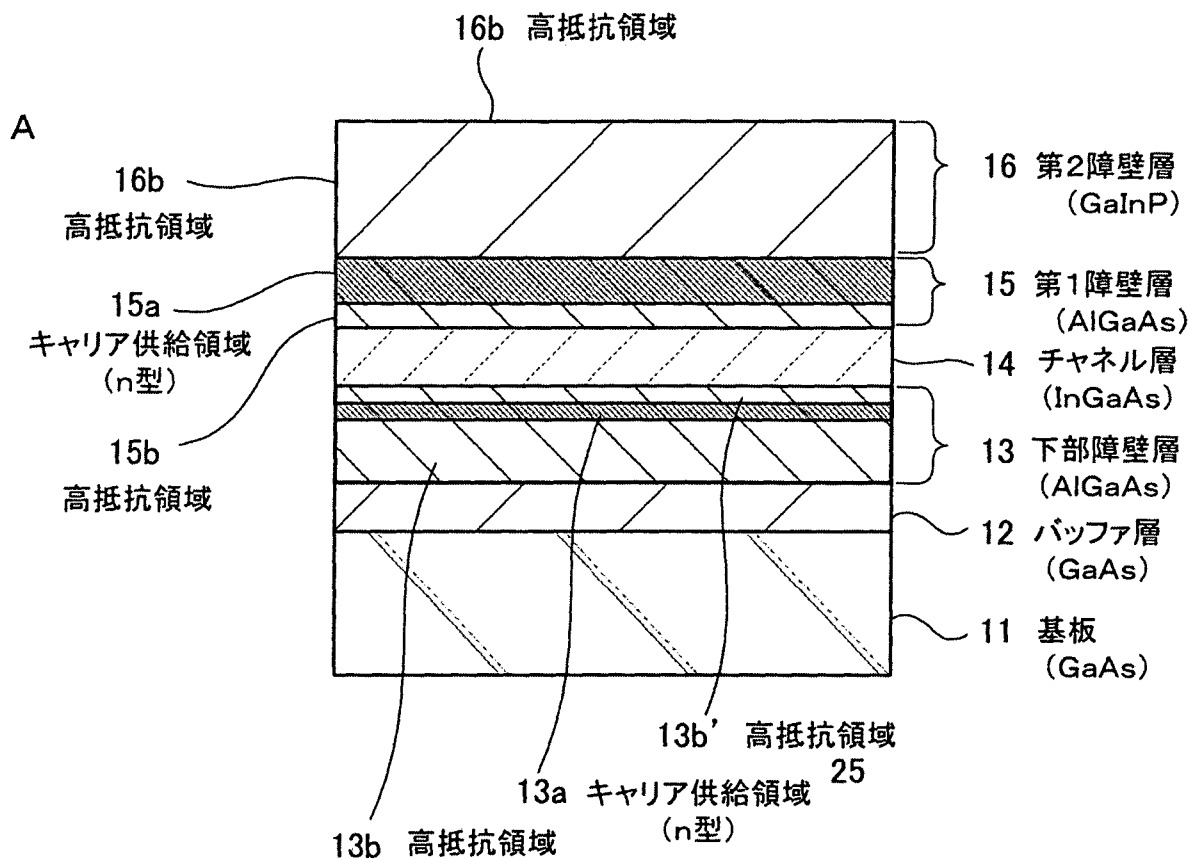


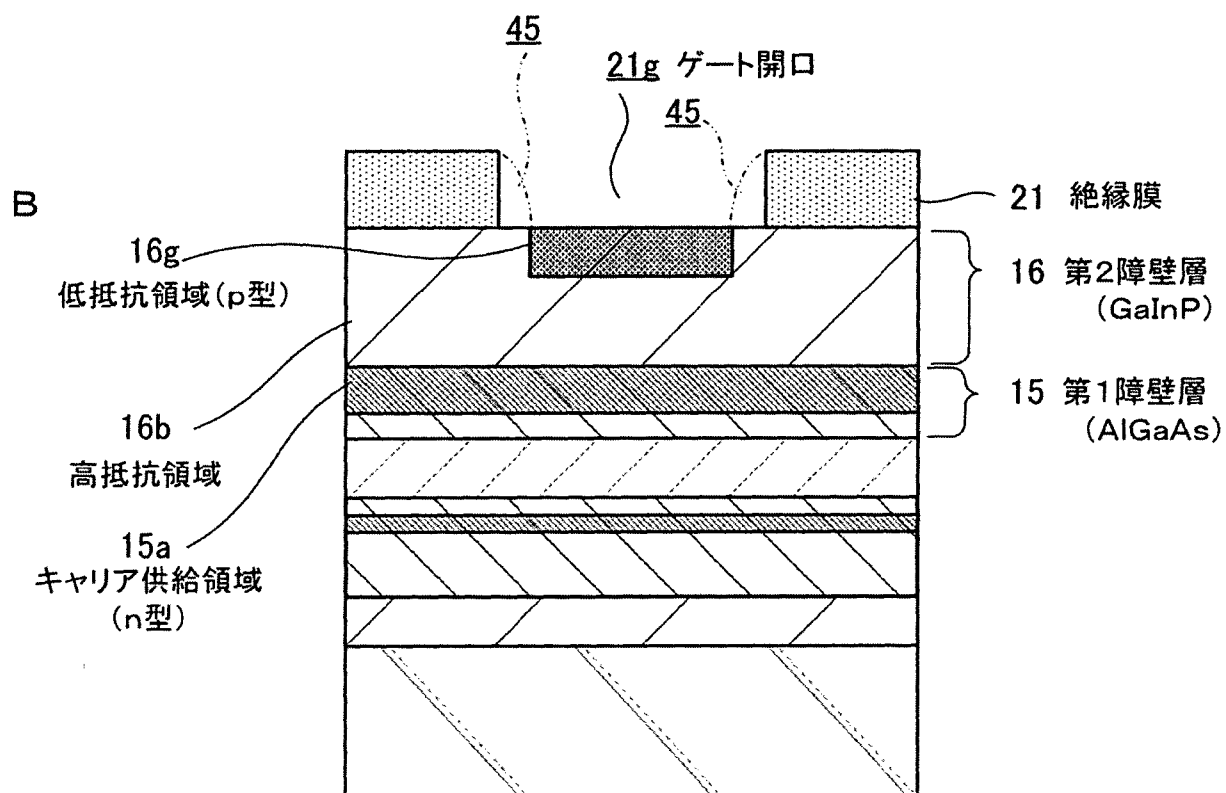
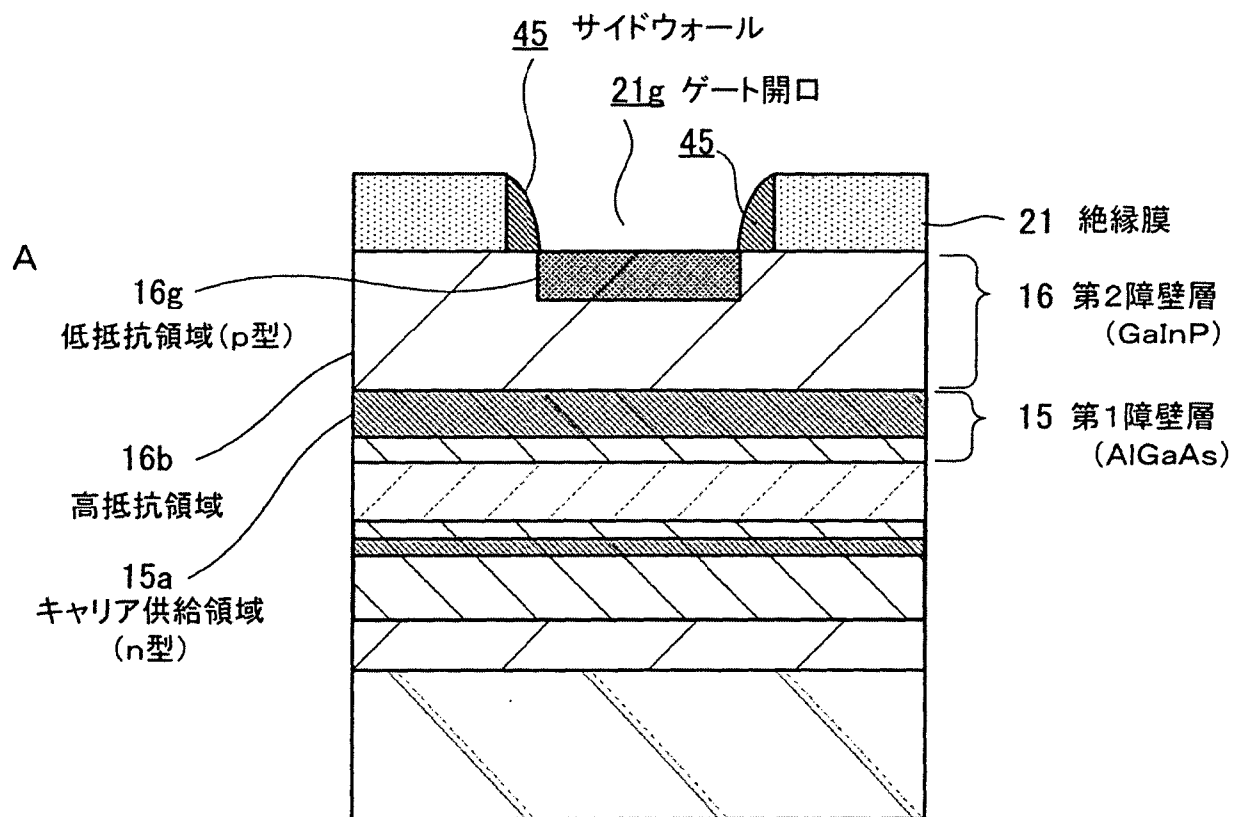


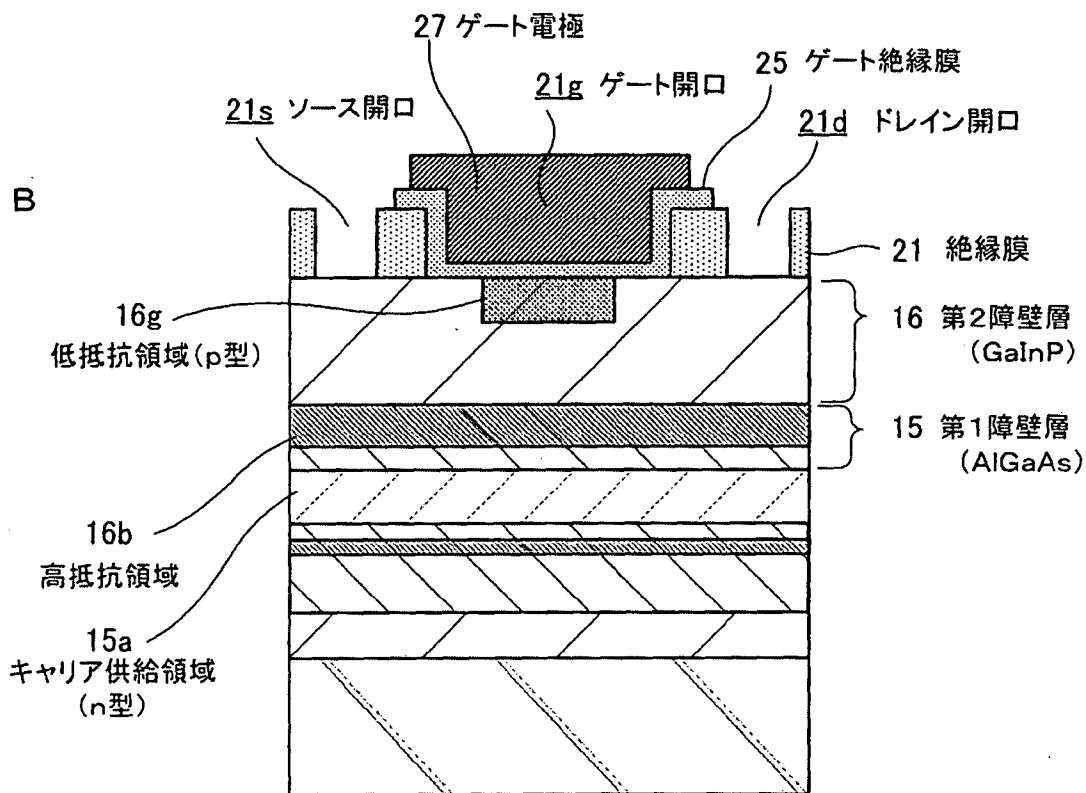
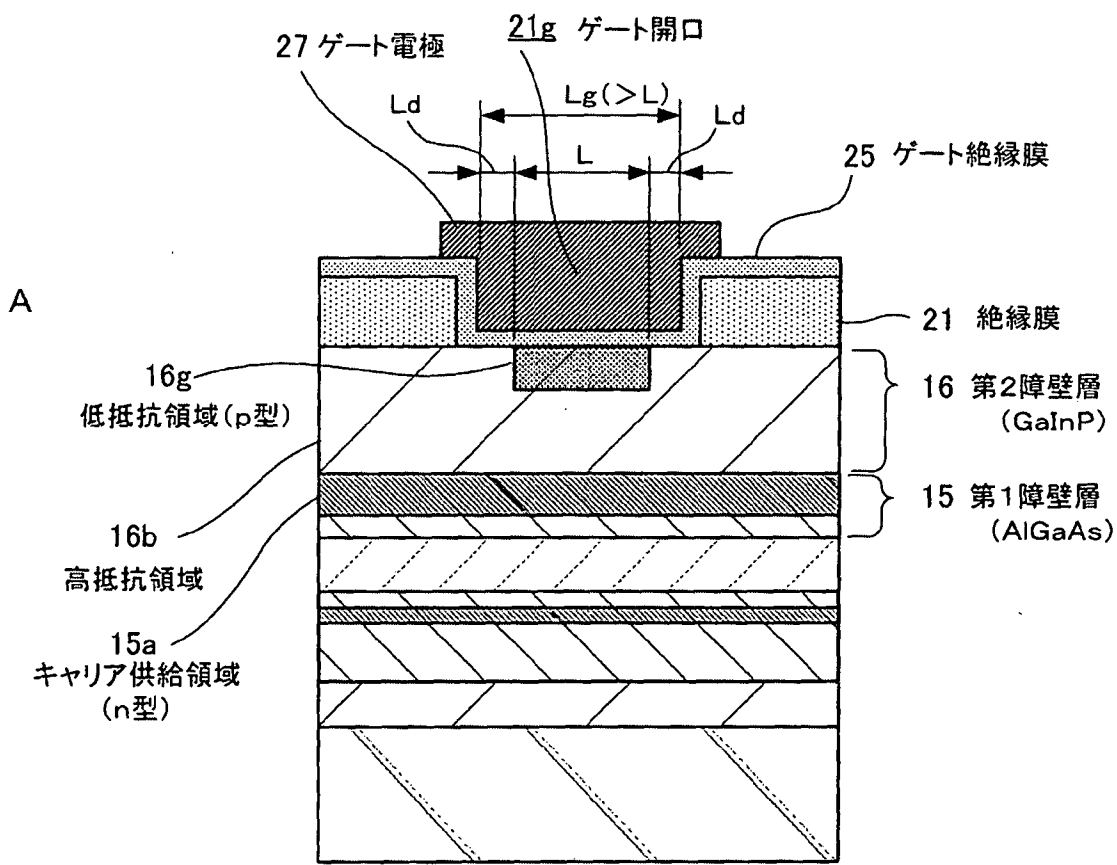












INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/053602

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01)i, H01L21/336(2006.01)i, H01L29/778(2006.01)i,
H01L29/78(2006.01)i, H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/338, H01L21/336, H01L29/778, H01L29/78, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2001-217257 A (Sony Corp.), 10 August 2001 (10.08.2001), fig. 1, 2, 8 & US 2001/0013604 A1 & KR 10-2001-0078191 A	1-15, 20 16-19
Y A	JP 5-63946 B2 (NEC Corp.), 13 September 1993 (13.09.1993), column 3, line 32 to column 4, line 14 & JP 59-193063 A	1-15, 20 16-19
Y	JP 7-50410 A (Hitachi, Ltd.), 21 February 1995 (21.02.1995), paragraph [0068] & US 5495115 A	9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05 April, 2013 (05.04.13)

Date of mailing of the international search report
16 April, 2013 (16.04.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/053602

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-102312 A (Kyocera Corp.), 13 April 2001 (13.04.2001), paragraph [0016] (Family: none)	11
Y	JP 2010-98073 A (Sumitomo Electric Device Innovations, Inc.), 30 April 2010 (30.04.2010), paragraph [0004] (Family: none)	13
Y	JP 2000-100828 A (Sony Corp.), 07 April 2000 (07.04.2000), paragraph [0034] & US 6281528 B1 & KR 10-2000-0023237 A	14-15
A	JP 2004-165341 A (New Japan Radio Co., Ltd.), 10 June 2004 (10.06.2004), fig. 1, 3 (Family: none)	1-20
A	JP 2004-55788 A (Sony Corp.), 19 February 2004 (19.02.2004), fig. 1 to 2 & US 2006/0220165 A1 & GB 2406970 A & WO 2004/010488 A1 & TW 261322 B & CN 1669131 A	1-20

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/338(2006.01)i, H01L21/336(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/338, H01L21/336, H01L29/778, H01L29/78, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2001-217257 A (ソニー株式会社) 2001.08.10, 図 1, 2, 8 & US 2001/0013604 A1 & KR 10-2001-0078191 A	1-15, 20 16-19
Y A	JP 5-63946 B2 (日本電気株式会社) 1993.09.13, 第 3 欄第 3 2 行 - 第 4 欄第 1 4 行 & JP 59-193063 A	1-15, 20 16-19
Y	JP 7-50410 A (株式会社日立製作所) 1995.02.21, 段落 0 0 6 8 & US 5495115 A	9

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 0 4 . 2 0 1 3

国際調査報告の発送日

1 6 . 0 4 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

儀 同 孝 信

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

5 0

3 5 6 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-102312 A (京セラ株式会社) 2001.04.13, 段落 0 0 1 6 (ファミリーなし)	11
Y	JP 2010-98073 A (住友電工デバイス・イノベーション株式会社) 2010.04.30, 段落 0 0 0 4 (ファミリーなし)	13
Y	JP 2000-100828 A (ソニー株式会社) 2000.04.07, 段落 0 0 3 4 & US 6281528 B1 & KR 10-2000-0023237 A	14-15
A	JP 2004-165341 A (新日本無線株式会社) 2004.06.10, 図 1, 3 (ファミリーなし)	1-20
A	JP 2004-55788 A (ソニー株式会社) 2004.02.19, 図 1 - 2 & US 2006/0220165 A1 & GB 2406970 A & WO 2004/010488 A1 & TW 261322 B & CN 1669131 A	1-20