

申請日期： 88. 3. 17 案號：88104135

類別： G11C 14/00

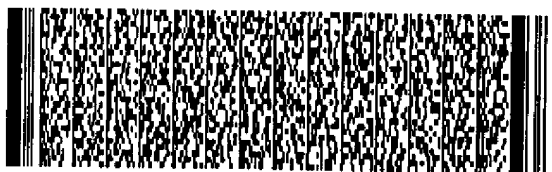
(以上各欄由本局填註)

公告本

發明專利說明書

446948

一、 發明名稱	中文	非揮發性半導體記憶裝置
	英文	NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE
二、 發明人	姓名 (中文)	1. 高田 榮和
	姓名 (英文)	1. HIDEKAZU TAKATA
	國籍	1. 日本
	住、居所	1. 日本國奈良縣奈良市南紀寺町3-292-3
三、 申請人	姓名 (名稱) (中文)	1. 日商夏普股份有限公司
	姓名 (名稱) (英文)	1. SHARP KABUSHIKI KAISHA
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國大阪府大阪市阿倍野區長池町22番22號
	代表人 姓名 (中文)	1. 町田 勝彦
	代表人 姓名 (英文)	1. KATSUHIKO MACHIDA



本案已向

國(地區)申請專利

日本 JP

申請日期

1998/03/18 特願平10-068025

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

1. 發明領域：

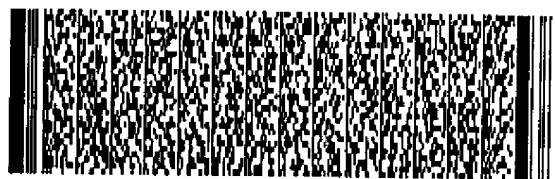
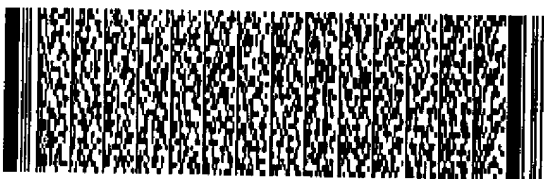
本發明係關於一種非揮發性半導體記憶裝置用於儲存及留置資料，非揮發性半導體記憶裝置結合一電容器，其包括一磁電性膜介置於相對立電極之間，使得磁電膜之不同極化狀態可用於做資料之儲存與留置。

2. 相關技術說明：

大體上結合一磁電材料之半導體記憶裝置(以下稱為磁電式半導體記憶裝置)即一非揮發性半導體記憶裝置，可根據磁電膜之極化方向而儲存及留置數據，文後將說明習知非揮發性磁電式半導體記憶裝置之範例(例如6-223583號日本先前公開專利公告案、4873664號美國專利及類此者)。

圖4係一電路圖，說明一習知非揮發性半導體記憶裝置，圖8係一電路圖，說明一應用於圖4所示半導體記憶裝置中之感應放大器30，圖5係一時計圖，說明圖4所示半導體記憶裝置之時計圖，圖6係一圖表揭示習知半導體記憶裝置之一主記憶細胞內電容器(以下稱為主記憶細胞電容器)所用之磁電膜磁滯特徵，圖7係一圖表揭示習知半導體記憶裝置之一虛設記憶細胞內電容器(以下稱為虛設主記憶細胞電容器)所用之磁電膜磁滯特徵。

圖4之電路圖說明習知非揮發性半導體記憶裝置，一位元線(BIT)26及一位元線(/BIT)28係耦合於一感應放大器30，主記憶細胞20a，20b，20c及一虛設記憶細胞46係耦合於位元線(BIT)26，而主記憶細胞20d，20e及一虛設記



五、發明說明 (2)

憶細胞36耦合於位元線(/BIT)28。

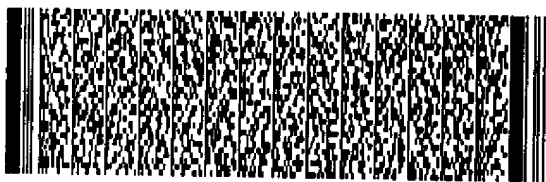
主記憶細胞20a包括一MOS電晶體24及一主記憶細胞電容器22，主記憶細胞電容器22包括一磁電膜介置於第一、二電極之間。MOS電晶體24之一閘極耦合於一字元線32，MOS電晶體24之一汲極耦合於位元線(BIT)26，及MOS電晶體24之一源極耦合於主記憶細胞電容器22之第一電極，主記憶細胞電容器22之第二電極則耦合於一細胞板線34。

同樣地，虛設記憶細胞36包括一MOS電晶體38及一虛設記憶細胞電容器40，虛設記憶細胞電容器40包括一磁電膜介置於第一、二電極之間。虛設記憶細胞36之MOS電晶體38之一閘極係耦合於一虛設字元線42，MOS電晶體38之一汲極耦合於位元線(/BIT)28，及MOS電晶體38之一源極耦合於虛設記憶細胞電容器40之第一電極，虛設記憶細胞電容器40之第二電極則耦合於一虛設細胞板線44。

如圖8所示，感應放大器30包括p-MOS電晶體110，111，112及n-MOS電晶體118，120，參考編號114，116分別對應於位元線(BIT)26及位元線(/BIT)28。

文後將參考圖5所示之時計圖以說明習知非揮發性半導體記憶裝置之操作情形，圖6之圖表揭示一主記憶細胞電容器中之磁電膜磁滯特徵，及圖7之圖表揭示一虛設記憶細胞電容器中之磁電膜磁滯特徵。

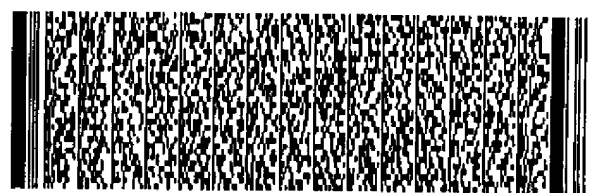
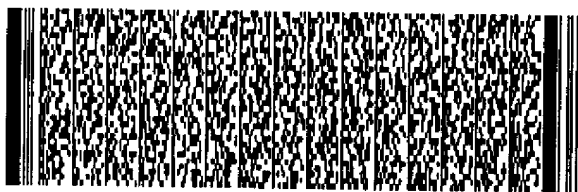
在圖6、7之各磁滯特徵圖中，水平軸線代表一施加於記憶細胞電容器之電場，而對應之電荷則代表於垂直軸線上，由圖6、7可知，一電容器結合於一磁電膜時之功能係



五、發明說明 (3)

可令一頑磁極化現象存在(如B.E.H.K點所示)，甚至當施加電壓為零時。在一非揮發性半導體記憶裝置中，此種頑磁極化現象係用於以一非揮發性方式留置數據，當數據"1"儲存於記憶細胞中時，主記憶細胞電容器即採取B點之狀態(如圖6)，而當數據"0"儲存記憶細胞中，其即採取E點狀態(如圖6)，虛設記憶細胞電容器則採取K點之初始狀態(如圖7)。為了方便說明，假設主記憶細胞中發生數據讀取前所存在之一初始狀態期間，位元線(BIT)26及位元線(/BIT)28，字元線32、虛設字元線42、細胞板線34及虛設細胞板線44皆在一邏輯電壓"L"(=接地電位GND)，隨後將位元線(BIT)26與位元線(/BIT)28置於浮接狀態，及一反相之感應訊號(/SE)在一邏輯電壓"H"(=供給電壓Vcc)。

其次如圖5所示，字元線32、虛設字元線42、細胞板線34及虛設細胞板線44皆變移至其各別之邏輯電壓"H"，假設字元線32之邏輯電壓"H"為藉由升高供給電壓(Vcc)而得之高電壓(Vpp)，則用於虛設字元線42、細胞板線34、及虛設細胞板線44之邏輯電壓"H"即為供給電壓(Vcc)。因此，主記憶細胞20a之MOS電晶體24及虛設記憶細胞36之MOS電晶體38皆接通，致使一電場施加通過主記憶細胞電容器22及虛設記憶細胞電容器40。若數據"1"儲存於主記憶細胞中，主記憶細胞之狀況由B點移至D點(如圖6)，因而讀出B、D點電荷之間之差異Q1，其有如位元線(BIT)26上之一電壓。虛設記憶細胞之狀態由K點移至J點(如圖7)，因而讀出K、J點電荷之間之差異Qd，其有如位元線

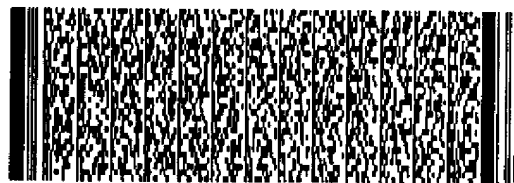


五、發明說明 (4)

(/BIT)28 上之一電壓。隨後將反相之感應訊號(/SE)移至其邏輯電壓"L"(即接地電壓)，使得已讀至位元線(BIT)26 上之主記憶細胞電壓與已讀至位元線(/BIT)28 上之虛設記憶細胞電壓之間差異係由感應放大器30 放大，且位元線(BIT)26 攜上至供給電壓位準(Vcc)及位元線(/BIT)28 攜下至接地電壓位準(GND)，因而讀取主記憶細胞中之數據"1"。

另一方面，若數據"0"儲存於主記憶細胞中，主記憶細胞之狀態即由E點移至D點(如圖6)，因而讀出E、D點電荷之間差異Q0，其有如位元線(BIT)26 上之一電壓，虛設記憶細胞之狀態由K點移至J點(如圖7)，因而讀出K、J點電荷之間差異Qd，其有如位元線(/BIT)28 上之一電壓。隨後，已讀至位元線(BIT)26 上之主記憶細胞電壓與已讀至位元線(/BIT)28 上之虛設記憶細胞電壓之間差異係由感應放大器30 放大，且位元線(BIT)26 降至接地電壓位準(GND)及位元線(/BIT)28 昇至供給電壓位準(Vcc)，因而讀取主記憶細胞中之數據"0"。

由於感應放大器30 放大結果，當數據"1"儲存於主記憶細胞中時，位元線(BIT)26 即在供給電壓位準(Vcc)，細胞板線34 亦在供給電壓位準(Vcc)，結果無電場施加通過主記憶細胞電容器22(圖6中之E點)。此後，為了將儲存於主記憶細胞電容器22 中之數據回復至B點，細胞板線34 係置於接地電壓(圖6中之A點)，且隨後字元線32 置於其邏輯電壓"L"，結果無電場施加通過主記憶細胞電容器22(回到圖



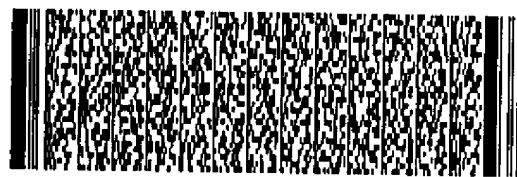
五、發明說明 (5)

6之B點)，因此數據"1"已重寫至主記憶細胞。通常在對應於A點之狀態中，升高之電壓(V_{pp})供給至字元線32，使得位元線(BIT)26上之邏輯電壓"H"充份供給至主記憶細胞電容器22。

同樣地，當數據"0"儲存於主記憶細胞中，位元線(BIT)26即在接地電壓，而細胞板線34在供給電壓位準(V_{cc})，因此主記憶細胞電容器在圖6中之D點，隨後細胞板線34置於其邏輯電壓"L"，因此無電場施加通過主記憶細胞電容器22(圖6中之E點)。然後字元線32置於其邏輯電壓"L"，但是仍無電場施加通過主記憶細胞電容器22，因此主記憶細胞仍在圖6中之E點，故數據"0"已重寫至主記憶細胞。

相關於虛設記憶細胞，當數據"1"儲存於主記憶細胞中，位元線(/BIT)28即在接地電壓(GND)，且虛設細胞板線44在供給電壓(V_{cc})，因此虛設記憶細胞電容器40在圖7中之J點。此後，當虛設字元線42置於接地電壓時，虛設細胞板線44亦置於接地電壓，結果無電場施加通過虛設記憶細胞電容器40(即回到圖7中之K點)。

同樣地，當數據"0"儲存於主記憶細胞中，位元線(/BIT)28在供給電壓(V_{cc})且虛設細胞板線44亦在供給電壓(V_{cc})，因此虛設記憶細胞電容器40在圖7中之K點。此後當虛設字元線42置於接地電壓時，虛設細胞板線44亦在接地電壓，但是仍無電場施加通過虛設記憶細胞電容器40，因此虛設記憶細胞仍在圖7中之K點，故數據已重寫至虛設記憶細胞。



五、發明說明 (6)

惟，上述習知非揮發性半導體記憶裝置仍具有以下問題：

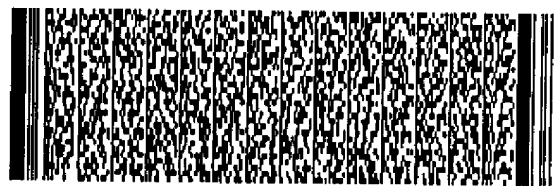
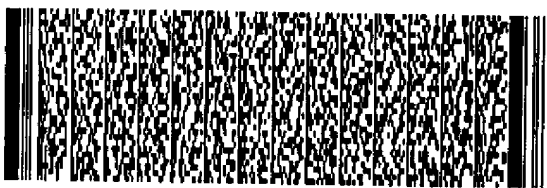
由於感應放大器係在習知非揮發性半導體記憶裝置中僅感應放大位元線之低電壓位準至接地電壓，故其難以在記憶細胞電容器中取得足夠之極化，結果在數據"0"儲存於主記憶細胞之情況中，其即無法在一感應操作期間提供一大電壓邊際於位元線之間。

發明概述

本發明之一種非揮發性半導體記憶裝置包括：一記憶細胞，包括一電容器，具有一磁電膜介置於一第一電極與一第二電極之間，電容器係因應於磁電膜採取第一、二極化狀態其中一者而可留置二元式資料，及一電晶體，具有一源極、一汲極、及一閘極，源極係耦合於電容器之第一電極；一字元線，耦合於電晶體之閘極；一位元線，耦合於電晶體之汲極；一板線，耦合於電容器之第二電極；及一感應放大器，耦合於位元線。當執行一讀取操作於記憶細胞時，若磁電膜在第一極化狀態，則位元線上之一電壓即由感應放大器放大至一供給電壓；及若磁電膜在第二極化狀態，則位元線上之電壓即由感應放大器放大至一負電壓。

本發明之一實例中，非揮發性半導體記憶裝置進一步包括：一驅動電路，耦合於字元線；及一切換段，用於選擇性供給電壓與一較高於供給電壓之電壓其中一者至驅動電路。

本發明之另一實例中，感應放大器包括：一n-MOS電晶



五、發明說明 (7)

體，具有一源極及一閘極，源極接收負電壓且閘極接收一感應訊號；及一p-MOS電晶體，具有一源極及一閘極，源極接收供給電壓且閘極接收一藉由將感應訊號反相而得之訊號。

本發明之又一實例中，非揮發性半導體記憶裝置進一步包括一耦合於感應放大器之虛設細胞。

本發明之再一實例中，非揮發性半導體記憶裝置包括配置成一行列狀矩陣之複數該記憶細胞。

因此，文內所述之本發明有利於提供一種非揮發性半導體記憶裝置，其係在數據"0"儲存於主記憶細胞內之情況下，可於一感應操作期間提供一增大之電壓於位元線之間。

本發明之上述及其他優點可由習於此技者在審讀以下詳細說明且參考相關圖式後瞭解之。

圖式簡單說明

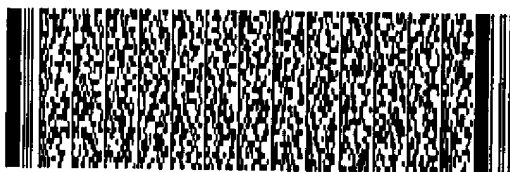
圖1係一電路圖，說明本發明之一非揮發性半導體記憶裝置範例。

圖2係一時計圖，說明圖1所示半導體記憶裝置之時計圖。

圖3係一電路圖，說明圖1所示半導體記憶裝置中之一感應放大器30。

圖4係一電路圖，說明一習知非揮發性半導體記憶裝置。

圖5係一時計圖，說明圖4所示半導體記憶裝置之時計



五、發明說明(8)

圖。

圖6係一圖表，揭示使用於習知半導體記憶裝置之一主記憶細胞電容器中之一磁電膜磁滯特徵。

圖7係一圖表，揭示使用於習知半導體記憶裝置之一虛設記憶細胞電容器中之一磁電膜磁滯特徵。

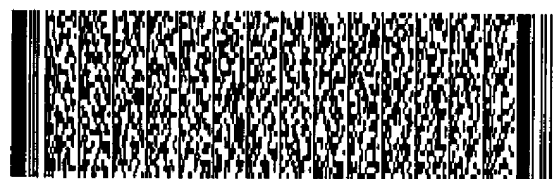
圖8係一電路圖，說明圖4所示半導體記憶裝置中之一感應放大器30。

較佳實例說明

文後本發明將舉例並參考相關圖式說明之。

圖1係一電路圖，說明本發明一範例之非揮發性半導體記憶裝置，圖1中，出現於圖4所示習知非揮發性半導體記憶裝置內之諸元件亦以相同編號表示，惟不再贅述其內容。本發明非揮發性半導體記憶裝置(如圖1)不同於習知非揮發性半導體記憶裝置(如圖4)之處在於其結合一切換段12，用以選擇性供給一供給電壓(V_{cc})或一高電壓(V_{pp})，後者係由升高供給電壓(V_{cc})而得，做為一欲供給至驅動電路10之驅動電壓，以利驅動一字元線32。切換段12並未構成本發明之一重要組件，或者其亦可依先前技藝所示，以一高電壓(V_{pp})驅動字元線。

本發明之非揮發性半導體記憶裝置可以有利地結合一如圖3所示之感應放大器30，以相對於前述習知非揮發性半導體記憶裝置中所採用之感應放大器(如圖8)。感應放大器30 p-MOS電晶體110，111，112及n-MOS電晶體118，119，120。



五、發明說明 (9)

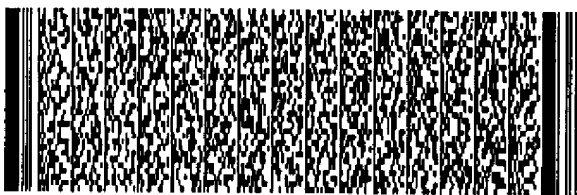
參考編號114，116分別代表一位元線(BIT)26及一位元線(BIT)28，供給電壓(V_{cc})及一反相感應訊(/SE)則分別供給至p-MOS電晶體111之一閘極及一源極，負電壓($-V_{BB}$)及一感應訊號(SE)則分別供給至n-MOS電晶體119之一源極及一閘極。此處之負電壓係定義為一電壓在一供給至半導體基材之基材偏壓電壓與接地電壓(GND)之間者。

以下之說明將揭述一開放式位元線系統，其利用記憶細胞結合一電晶體及一電容器，而虛設細胞則耦合於位元線(/BIT)28，惟，本發明並不限於此，本發明一般可應用於多種情況，即一感應放大器耦合於一與選定主記憶細胞耦合之位元線，及感應放大器亦耦合於另一與產生參考位準裝置耦合之位元線，使得感應放大器放大第一位元線與另一位元線之間之一電位差。

雖然在以下說明中假設主記憶細胞電容器之磁電膜與本發明虛設記憶細胞之磁電膜皆具有先前技藝(如圖6、7所示)中所用之磁滯特徵，但是本發明並不限於此磁滯特徵。

文後本發明非揮發性半導體記憶裝置之一讀取操作及一重寫操作將參考圖2所示之時計圖說明之。

當數據"1"儲存於記憶細胞內，主記憶細胞電容器22(如圖1)即採取B點時之狀態(如圖6)，而當數據"0"儲存於記憶細胞內，則採取E點時之狀態(如圖6)，虛設記憶細胞電容器係採取K點時之狀態(如圖7)。為了方便闡釋，假設在主記憶細胞中之一數據讀取發生前所存在之一初始狀態期

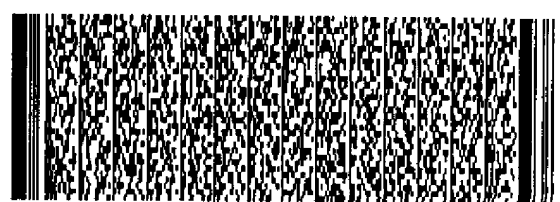
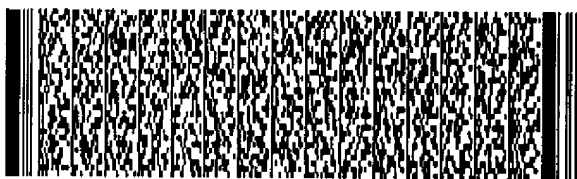


五、發明說明 (10)

間，位元線(BIT)26及位元線(/BIT)28、一字元線32、一虛設字元線42、一細胞板線34、及一虛設細胞板線44皆在接地電壓(GND)，此後位元線(BIT)26及位元線(/BIT)28設成浮接狀態，且感應訊號(SE)在一邏輯電壓"L"。

其次，字元線32、虛設字元線42、細胞板線34及虛設細胞板線44皆變移至供給電壓(Vcc)，因此，主記憶細胞20a之一MOS電晶體24及虛設記憶細胞36之一MOS電晶體38即接通，使得一電場施加通過主記憶細胞電容器22及虛設記憶細胞電容器40。由於位元線(BIT)26及位元線(/BIT)28各具有一較大之線路電容，因此位元線(BIT)26與位元線(/BIT)28之電壓僅做少許增加，結果主記憶細胞電容器22與虛設記憶細胞電容器40之各別第一電極會有相同於位元線(BIT)26(位元線(/BIT)28)者之電位。應注意的是，此發生情況並不需如先前技藝中施加一高電壓，即由昇高供給電壓(Vcc)至字元線32與虛設字元線42而取得者。由於字元線32與虛設字元線42之位準並未提昇，因此本發明之非揮發性半導體記憶裝置需要一比習知非揮發性半導體記憶裝置者為小之驅動電流。

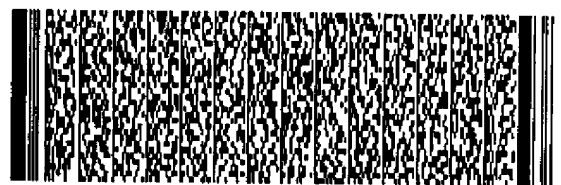
若數據"1"儲存於主記憶細胞中，主記憶細胞之狀態即由B點移至D點(如圖6)，因此可讀出一電位差相當於B、D點電荷之間之差異Q1，其有如位元線(BIT)26上一電壓。另方面，若數據"0"儲存於主記憶細胞中，主記憶細胞之狀態即由E點移至D點(如圖6)，因此可讀出一電位差相當於E、D點電荷之間之差異Q0，其如有位元線(BIT)上之一



五、發明說明 (11)

電壓。虛設記憶細胞之狀態為由K點移至J點(如圖7)，因此可讀出一電位差相當於K、J點電荷之間之差異 Q_d ，其有如位元線(/BIT)28上之一電壓。此處之 Q_0 、 Q_1 、 Q_d 僅具有以下關係： $Q_1 > Q_d > Q_0$ ，其係由出現於各別位元線上之對應電壓所致。

隨後當來自感應放大器30之感應訊號SE移至一邏輯電壓"H"時(即供給電壓 V_{cc})，來自主記憶細胞而已讀出於位元線(BIT)26上之電壓與來自虛設記憶細胞而已讀出於位元線(/BIT)28上之電壓之間差異係由感應放大器30放大。若數據"1"儲存於主記憶細胞中，則已讀至位元線(BIT)26上之電壓即大於已讀至位元線(/BIT)28上之電壓，使位元線(BIT)26之位準升高趨近於供給電壓 V_{cc} ，主記憶細胞由D點移至E點，位元線(/BIT)28之位準降低趨近於負電壓 $(-V_{BB})$ ，虛設細胞進一步接近J點。然後請參閱圖2，當細胞板線34移至接地電壓(GND)時，主記憶細胞即由E點移至A點，主記憶細胞仍接近J點，因為虛設細胞板線上之電壓保持在供給電壓 V_{cc} 。另一方面，若數據"0"儲存於主記憶細胞中，則已讀至位元線(BIT)26上之電壓即小於已讀至位元線(/BIT)28上之電壓，使得位元線(BIT)26之位準降低趨近於負電壓 $(-V_{BB})$ ，主記憶細胞進一步接近D點。位元線(/BIT)28升高趨近於供給電壓 V_{cc} ，而虛設記憶細胞由J點移向K點。隨後請參閱圖2，當細胞板線34移至接地電壓(GND)時，主記憶細胞即由D點移向E點。虛設記憶細胞仍接近於K點，因為虛設細胞板線44上之電壓保



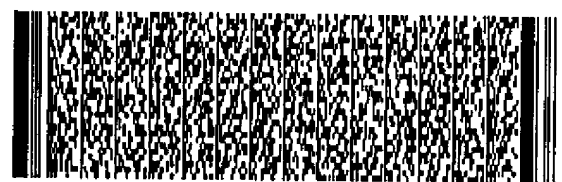
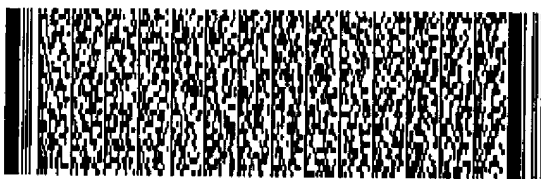
五、發明說明 (12)

持在供給電壓(V_{cc})。

現在即說明一重寫操作，請參閱圖2，字元線32之位準係先升高至高電壓(V_{pp})，由於感應放大器30之放大結果，位元線(BIT)26在數據"1"儲存於主記憶細胞中時即採取供給電壓(V_{cc})。由於字元線32之位準已升高，主記憶細胞電容器22之第一電極亦採用供給電壓(V_{cc})，結果，供給電壓(V_{cc})以正向施加通過主記憶細胞電容器，藉以提供一足夠之極化點A。此時，位元線(/BIT)28與虛設記憶細胞電容器40之第一電極係在負電壓($-V_{BB}$)，因此虛設記憶細胞在J點，隨後當細胞板線34之位準回到供給電壓(V_{cc})時，主記憶細胞即移至B點，因此數據"1"已做重寫。

若數據"0"儲存於主記憶細胞中，位元線(BIT)26與主記憶細胞電容器22之第一電極在負電壓($-V_{BB}$)，因此主記憶細胞在D、E點之間之一點處，此時位元線(/BIT)28與虛設記憶細胞電容器40之第一電極在供給電壓(V_{cc})，因此虛設記憶細胞在K點。此後當細胞板線34之位準回到供給電壓(V_{cc})時，主記憶細胞即在負方向中充份極化，上昇至D點，故數據"0"已做重寫。

最後，字元線32、虛設字元線42、細胞板線34及虛設細胞板線44皆在接地電壓(GND)，因此無電場施加通過主記憶細胞電容器22或虛設記憶細胞電容器40，結果，若數據"1"儲存於主記憶細胞中，則主記憶細胞採取B點時之狀態，而虛設記憶細胞採取K點時之狀態；若數據"0"儲存在

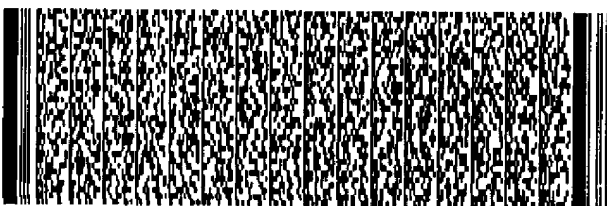


五、發明說明 (13)

主記憶細胞中，主記憶細胞採取E點之狀態，而虛設記憶細胞採取K點時之狀態。因此，初始狀態已重寫至主記憶細胞電容器22及虛設記憶細胞電容器40。

如上所述，依本發明之非揮發性半導體記憶裝置所示，位元線(BIT)26及(/BIT)28上之較低電位係由感應放大器30放大至負電壓(-VBB)，因此當數據"0"儲存於主記憶細胞中，一足夠之負電壓即可供給至電容器之第一電極，結果可達成充份之極化化，藉以在一感應操作期間提供一增大之電壓邊際於位元線之間。

許多不同之變化型式可為習於此技者瞭解及達成，而未脫離本發明之精神範疇，據此，申請範圍應不限於前述說明中，而應有廣義之解釋。



四、中文發明摘要 (發明之名稱：非揮發性半導體記憶裝置)

本發明之一種非揮發性半導體記憶裝置包括：一記憶細胞，包括一電容器，具有一磁電膜介置於一第一電極與一第二電極之間，電容器係因應於磁電膜採取第一、二極化狀態其中一者而可留置二元式資料，及一電晶體，具有一源極、一汲極、及一閘極，源極係耦合於電容器之第一電極；一字元線，耦合於電晶體之閘極；一位元線，耦合於電晶體之汲極；一板線，耦合於電容器之第二電極；及一感應放大器，耦合於位元線。當執行一讀取操作於記憶細胞時，若磁電膜在第一極化狀態，則位元線上之一電壓即由感應放大器放大至一供給電壓；及若磁電膜在第二極化狀態，則位元線上之電壓即由感應放大器放大至一負電壓。

英文發明摘要 (發明之名稱：NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE)

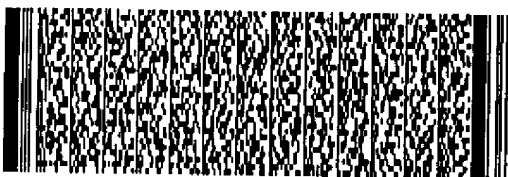
A non-volatile semiconductor memory device according to the present invention includes: a memory cell including a capacitor having a ferroelectric film interposed between and a first electrode and a second electrode, the capacitor being capable of retaining binary information responsive to the ferroelectric film taking one of first and second polarization states, and a transistor having a source, a drain, and a gate, the source being coupled to the first electrode of



四、中文發明摘要 (發明之名稱：非揮發性半導體記憶裝置)

英文發明摘要 (發明之名稱：NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE)

the capacitor; a word line coupled to the gate of the transistor; a bit line coupled to the drain of the transistor; a plate line coupled to the second electrode of the capacitor; and a sense amplifier coupled to the bit line. When performing a read operation for the memory cell, a voltage on the bit line is amplified to a supply voltage by the sense amplifier if the ferroelectric film is in the first polarization state; and the voltage on the bit line is amplified to a negative voltage by



四、中文發明摘要 (發明之名稱：非揮發性半導體記憶裝置)

英文發明摘要 (發明之名稱：NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE)

the sense amplifier if the ferroelectric film is in the second polarization state.



六、申請專利範圍

1. 一種非揮發性半導體記憶裝置，包含：

一記憶細胞，包括：

一電容器，具有一磁電膜介置於一第一電極與一第二電極之間，電容器係因應於磁電膜採取第一、二極化狀態其中一者而可留置二元式資料；及

一電晶體，具有一源極、一汲極、及一閘極，源極係耦合於電容器之第一電極；

一字元線，耦合於電晶體之閘極；

一位元線，耦合於電晶體之汲極；

一板線，耦合於電容器之第二電極；及

一感應放大器，耦合於位元線，

其中，當執行一讀取操作於記憶細胞時，

若電膜在第一極化狀態，則位元線上之一電壓即由感應放大器放大至一供給電壓；及

若磁電膜在第二極化狀態，則位元線上之電壓即由感應放大器放大至一負電壓。

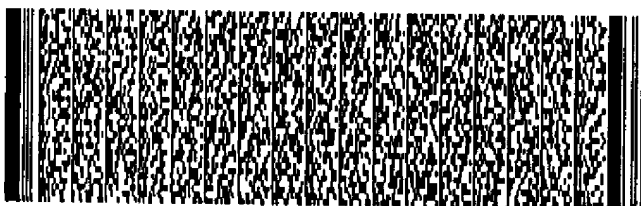
2. 如申請專利範圍第1項之非揮發性半導體記憶裝置，進一步包含：

一驅動電路，耦合於字元線；及

一切換段，用於選擇性供給電壓與一較高於供給電壓之電壓其中一者至驅動電路。

3. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中感應放大器包含：

一n-MOS電晶體，具有一源極及一閘極，源極接收負電壓



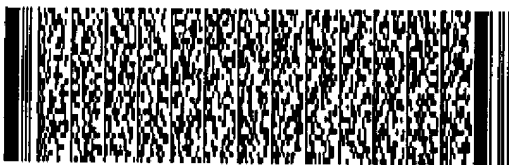
六、申請專利範圍

且閘極接收一感應訊號；及

一p-MOS電晶體，具有一源極及一閘極，源極接收供給電壓且閘極接收一藉由將感應訊號反相而得之訊號。

4. 如申請專利範圍第1項之非揮發性半導體記憶裝置，進一步包含一耦合於感應放大器之虛設細胞。

5. 如申請專利範圍第1項之非揮發性半導體記憶裝置，包含配置成一行列狀矩陣之複數該記憶細胞。



圖式

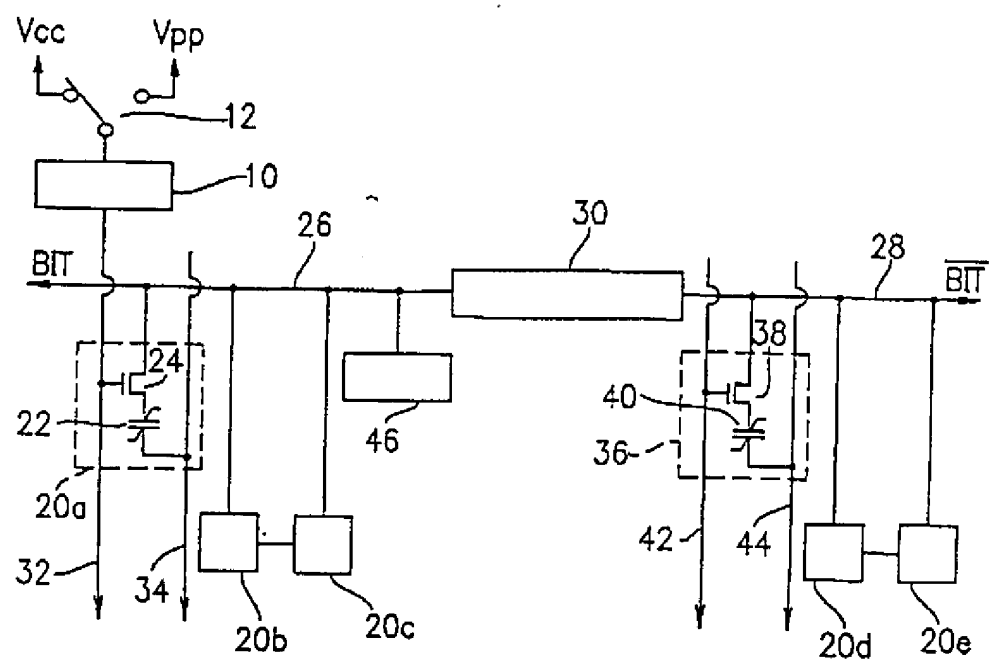


圖 1

圖式

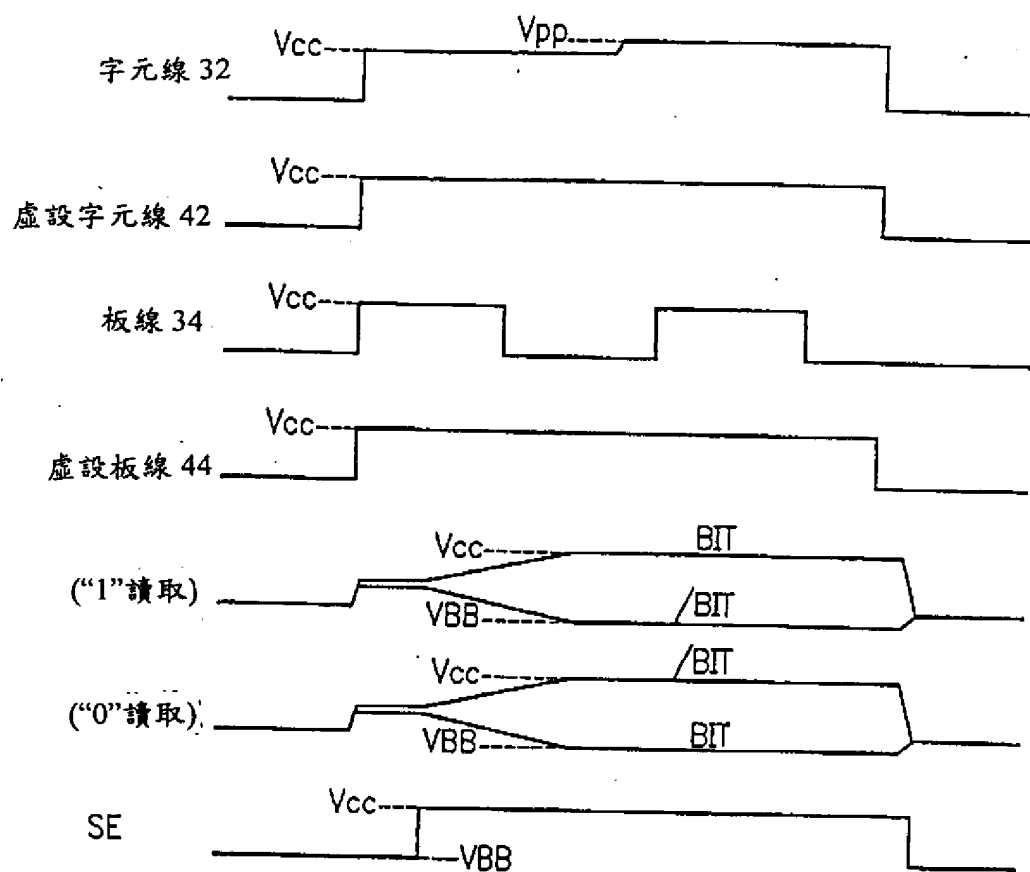


圖 2

圖式

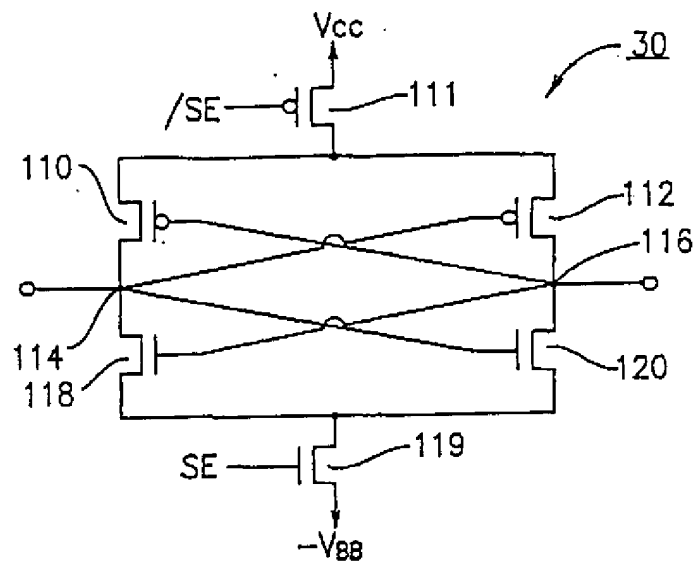


圖 3

圖式

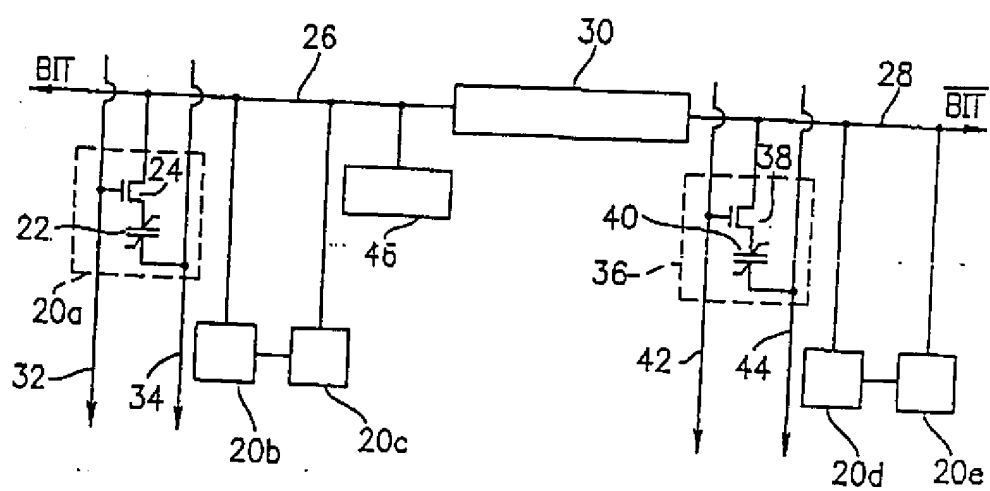


圖 4

圖式

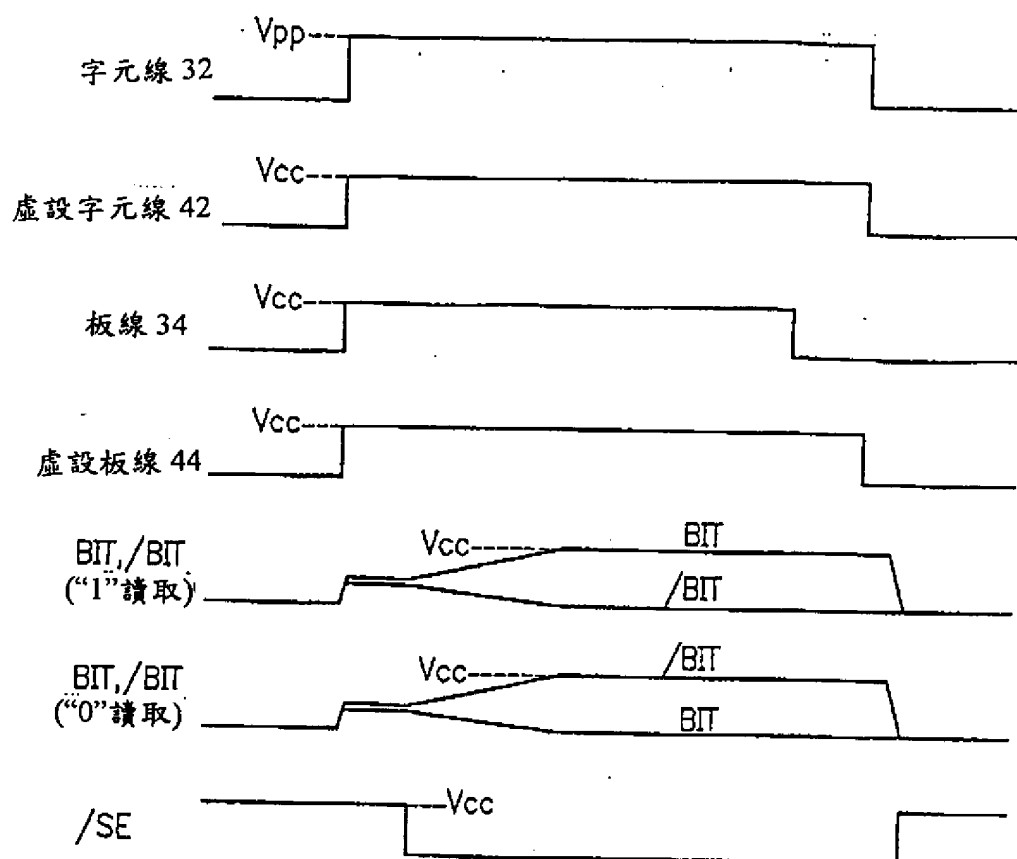


圖 5

圖式

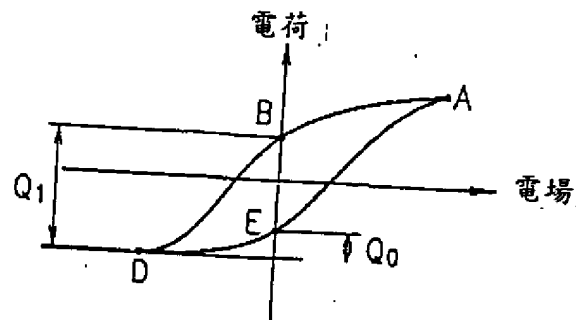


圖 6

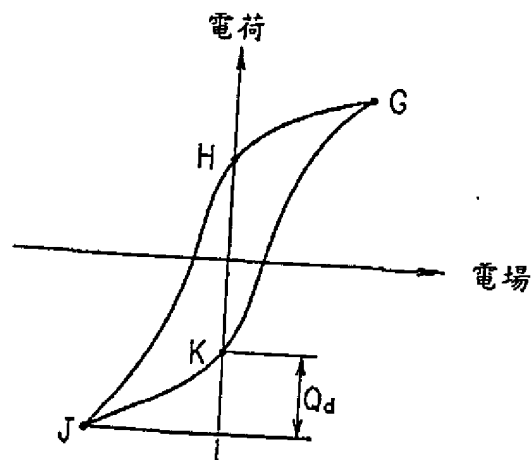


圖 7

圖式

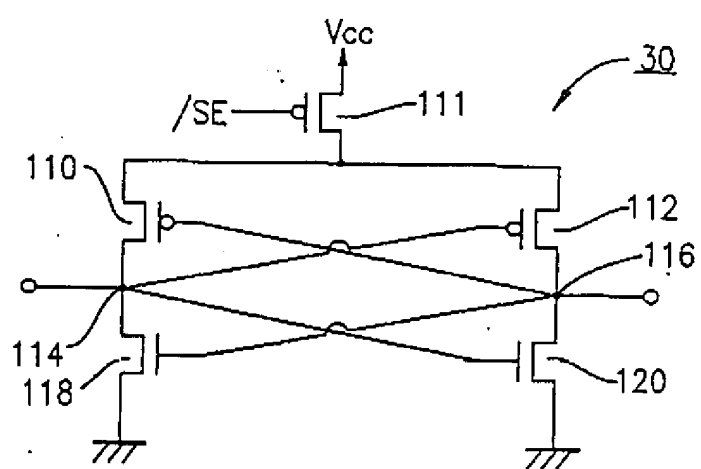


圖 8