

PCT

- ら被保護部を保護する保護層を設ける段階と、ベース基板の全体に電磁波を照射することにより被熱処理部をアニールする段階とを備える半導体基板の製造方法を提供する。



GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

半導体基板の製造方法、半導体基板、電子デバイスの製造方法、および反応装置

技術分野

[0001] 本発明は、半導体基板の製造方法、半導体基板、電子デバイスの製造方法、および反応装置に関する。

背景技術

[0002] 近年、活性領域にGaAs等の化合物半導体を用いた各種の高機能電子デバイスが開発されている。上記化合物半導体の結晶性は、電子デバイスの性能に大きく影響するので、結晶性に優れた化合物半導体を形成することが求められている。例えば、GaAs系の化合物半導体を活性領域に用いた電子デバイスを製造する場合には、上記化合物半導体と格子整合できるGaAs基板上またはGe基板上などに結晶薄膜をエピタキシャル成長させることで、良質な結晶薄膜を得ている。

[0003] 例えば、特許文献1は、GaAs基板、AlGaAsのバッファ層、GaAsのチャネル層およびGaAsのコンタクト層がこの順に配置された、化合物半導体エピタキシャルウエハおよび化合物半導体装置を開示する。化合物半導体の結晶薄膜は気相エピタキシャル成長法により形成される。

[0004] 一方、非特許文献1は、Si基板（ベース基板）にエピタキシャル成長したGeの結晶薄膜にサイクル熱アニールを施すことで、結晶薄膜の結晶性が向上することを開示する。例えば、800～900℃で熱アニールを施すことで、平均転位密度が $2.3 \times 10^6 \text{ cm}^{-2}$ のGe結晶薄膜が得られる。ここで、平均転位密度は格子欠陥密度の一例である。

先行技術文献

特許文献

[0005] 特許文献1：特開平11-345812号公報

非特許文献

- [0006] 非特許文献1: Hsin-Chiao Luan et. al. 「High-quality Ge epilayers on Si with low threading-dislocation densities」、APPLIED PHYSICS LETTERS、VOLUME 75, NUMBER 19、8 NOVEMBER 1999.

発明の概要

発明が解決しようとする課題

- [0007] GaAs基板上またはGe基板上にGaAs系の化合物半導体を結晶成長させることで、チャネル層の結晶性を向上させることができるが、GaAs基板およびGe基板等はSi基板より高価なので、電子デバイスの製造コストが増加する。また、これらの基板は放熱特性が十分ではないので、デバイスの形成密度が制限され、または、デバイスの使用温度が制限される。そこで、Si基板のような安価で放熱特性に優れた基板を用いて、良質な化合物半導体の結晶薄膜を備えた半導体基板および電子デバイスが求められている。
- [0008] Si基板に形成されたGe薄膜に、800～900℃のアニールを施すことで、Ge薄膜の結晶性を向上させることができる。しかし、基板が耐熱性の低い部分を有する場合には、800～900℃でアニールを実施できない。即ち、係る方法を電子デバイスの製造に用いる場合には、電子デバイスの製造工程が大きく制限される。また、電子デバイスの熱設計が非常に複雑になる。

課題を解決するための手段

- [0009] 上記課題を解決するために、本発明の第1の態様においては、単結晶層を有し熱処理される被熱処理部と、熱処理で加えられる熱から保護されるべき被保護部とが設けられたベース基板を熱処理して半導体基板を製造する方法であって、被保護部の上方に、ベース基板に照射される電磁波から被保護部

を保護する保護層を設ける段階と、ベース基板の被熱処理部および被保護部に電磁波を照射することにより被熱処理部をアニールする段階とを備える半導体基板の製造方法を提供する。当該製造方法は、例えば、被保護部として電子素子をベース基板に形成する段階をさらに備える。ここで、電子素子はシリコンデバイスを含む。被保護部として電子素子の活性領域をベース基板に形成する段階をさらに備えてもよい。ベース基板は、例えば、Si基板、SOI基板、Ge基板、GOI基板、およびGaAs基板のいずれか1つである。

[0010] 保護層を設ける段階の前に、被保護部として金属配線を形成する段階をさらに備え、保護層を設ける段階において、金属配線の上に保護層を設けてもよい。金属配線を形成する段階においては、例えば、複数の金属配線と、複数の金属配線の各々の間を絶縁する絶縁膜とを形成する。金属配線は例えばAlである。アニールする段階においては、金属配線の温度を650℃以下に維持することが好ましい。

[0011] $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) を含む被熱処理部をベース基板に設ける段階をさらに備えてもよい。この場合、例えばアニールする段階の後に、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) に格子整合または擬格子整合する3-5族化合物半導体を結晶成長させる段階をさらに備える。アニールする段階において、被熱処理部を設ける段階の後、ベース基板を大気に曝すことなく、被熱処理部をアニールしてもよい。さらに、被熱処理部を設ける段階とアニールする段階とを同一反応容器内で実行してもよい。3-5族化合物半導体を結晶成長させる段階においては、アニールする段階で電磁波を照射した光源を用いて、ベース基板に再度電磁波を照射してもよい。

[0012] アニールする段階において、ベース基板全体に均一に電磁波を照射してもよい。アニールする段階においては、例えば、パルス状に複数回ベース基板に電磁波を照射する。アニールする段階においては、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) の格子欠陥密度を例えば 10^5 cm^{-2} 以下に低減させる。被熱処理部が設けられたベース基板の主面の裏面側から加熱しながら、ベース基板の

主面側から電磁波を照射してもよい。

- [0013] 保護層を設ける段階において、被熱処理部の前駆体が結晶に成長することを阻害し、かつ、ベース基板に照射される電磁波から被保護部を保護する阻害層をベース基板上に形成し、ベース基板にまで貫通する開口を阻害層に形成する段階と、開口内に被熱処理部としてのシード結晶を設ける段階とをさらに備え、アニールする段階において、電磁波を照射することによりシード結晶もアニールしてもよい。保護層を設ける段階において、阻害層上に電磁波の少なくとも一部を遮蔽する遮蔽層をさらに形成してもよい。
- [0014] アニールする段階の後に、一例として、当該シード結晶に格子整合または擬格子整合する化合物半導体を結晶成長させる段階をさらに備える。例えば、シード結晶は $\text{Si}_x\text{Ge}_{1-x}$ 結晶（ $0 \leq x < 1$ ）であり、化合物半導体は、3-5族化合物半導体である。
- [0015] 保護層は、例えば、被保護部よりも電磁波の反射率が高い。保護層は、熱伝導を抑制する熱伝導抑制層と、熱伝導抑制層上に設けられ、熱伝導抑制層よりも電磁波の反射率が高い遮蔽層を有し、熱伝導抑制層の熱伝導率は遮蔽層の熱伝導率よりも小さくてもよい。熱伝導抑制層の熱伝導率は、被保護部の熱伝導率よりも小さいことが好ましい。
- [0016] 熱伝導抑制層は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、またはポリイミドのいずれかを含む。遮蔽層は、例えば、電磁波の少なくとも一部を反射する反射層を有する。遮蔽層は、電磁波の少なくとも一部を散乱する散乱層を有してもよい。遮蔽層は、電磁波の少なくとも一部を吸収する吸収層を有してもよい。電磁波に対する吸収層の吸収係数は、電磁波に対する被熱処理部の吸収係数より大きい。
- [0017] 本発明の第2の態様においては、ベース基板と、ベース基板上に形成され、活性領域を有する電子素子と、ベース基板上に設けられた $\text{Si}_x\text{Ge}_{1-x}$ 結晶（ $0 \leq x < 1$ ）と、活性領域を覆い、ベース基板に照射される電磁波から活性領域を保護する保護層とを備える半導体基板を提供する。半導体基板は、電子素子上に形成され、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の前駆体が結晶に成長すること

を阻害し、かつ、保護層として機能する阻害層をさらに備え、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) は、ベース基板にまで阻害層を貫通する開口内に設けられていてもよい。阻害層上に、電磁波の少なくとも一部を遮蔽する遮蔽層をさらに備えてもよい。

[0018] 本発明の第3の態様においては、第1の電子素子と第2の電子素子とを備える電子デバイスの製造方法であって、ベース基板上に第1の電子素子を形成する段階と、ベース基板に照射される電磁波から第1の電子素子を保護する保護層を設ける段階と、ベース基板上に $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) を設ける段階と、ベース基板に電磁波を照射することにより $\text{Si}_x\text{Ge}_{1-x}$ 結晶をアニールする段階と、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶に格子整合または擬格子整合する3-5族化合物半導体を結晶成長させる段階と、3-5族化合物半導体上に、第1の電子素子と電氣的に結合される第2の電子素子を形成する段階とを備える電子デバイスの製造方法が提供される。

[0019] 電子デバイスの製造方法は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の前駆体が結晶に成長することを阻害し、且つ、電磁波から第1の電子素子を保護する阻害層を、少なくとも第1の電子素子を覆うように形成する段階と、第1の電子素子を覆う領域以外の阻害層の領域に、ベース基板にまで貫通する開口を形成する段階と、開口内で $\text{Si}_x\text{Ge}_{1-x}$ 結晶の前駆体を結晶に成長させ、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶を設ける段階とをさらに備えてもよい。第1の電子素子を覆う阻害層の領域上に電磁波を遮蔽する遮蔽層を設ける段階をさらに備えてもよい。

[0020] 例えば、第1の電子素子は、第2の電子素子の駆動回路、第2の電子素子の入出力特性における線形性を改善する補正回路、および第2の電子素子の入力段の保護回路のうちの少なくとも1つの回路に含まれる電子素子であり、第2の電子素子は、アナログ電子デバイス、発光デバイス、および受光デバイスのうちの少なくとも1つのデバイスに含まれる電子素子である。

[0021] 本発明の第4の態様においては、単結晶層を有し熱処理される被熱処理部と、熱処理で加えられる熱から保護されるべき被保護部とを備えるベース基板を保持する反応容器と、ベース基板における、被保護部および被熱処理部

が形成されている主面側から電磁波を照射する照射部と、主面の裏面側からベース基板全体を加熱する加熱部と、ベース基板の温度を測定する加熱温度測定部と、被保護部の温度および被熱処理部の温度を測定する温度測定部と、加熱温度測定部および温度測定部の測定結果に基づいて照射部および加熱部を制御する制御部とを備える反応装置を提供する。

[0022] 温度測定部は、一例として、被保護部からの放射熱および被熱処理部からの放射熱に基づいて、被保護部の温度および被熱処理部の温度を測定する。温度測定部は、被保護部の温度および被熱処理部の温度を順次測定してもよい。

[0023] 制御部は、例えば、加熱温度測定部の測定結果に基づいて、照射部が電磁波を照射する照射期間と、照射部が電磁波を照射しない非照射期間とを決定する。ベース基板と照射部との間に、被保護部の吸収係数が被熱処理部の吸収係数よりも大きい電磁波の波長成分を遮断するフィルタをさらに備えてもよい。

[0024] 反応装置は、例えば、反応容器の内部に原料ガスを供給するガス供給部をさらに備え、反応容器の内部で原料ガスを反応させて被熱処理部上に化合物半導体を結晶成長させる。反応装置においては、原料ガスの温度および原料ガスとともに供給されるキャリアガスの温度がベース基板の温度よりも低く、原料ガスは、化合物半導体を結晶成長させる間にベース基板を冷却してもよい。

図面の簡単な説明

[0025] [図1]半導体基板 1 1 0 の断面の一例を概略的に示す。

[図2]半導体基板 2 1 0 の断面の一例を概略的に示す。

[図3]熱伝導抑制層 2 5 4 の表面温度および裏面温度の変化の一例を示す。

[図4]半導体基板 4 1 0 の断面の一例を概略的に示す。

[図5]電子デバイス 5 0 0 の断面の一例を概略的に示す。

[図6]電子デバイス 5 0 0 の製造方法の一例を表すフローチャートを示す。

[図7]半導体基板 5 1 0 の製造過程における断面の一例を概略的に示す。

[図8]半導体基板510の製造過程における断面の一例を概略的に示す。

[図9]半導体基板510の製造過程における半導体基板910の一例を概略的に示す。

[図10]半導体基板510の製造過程における半導体基板910の一例を概略的に示す。

[図11]半導体基板510の断面の一例を概略的に示す。

[図12]熱処理装置1200の断面の一例を概略的に示す。

[図13]半導体基板110の断面の一例を概略的に示す。

[図14]半導体基板510の製造過程における半導体基板910の一例を概略的に示す。

[図15]熱処理炉1210から取り出した半導体基板910の断面TEM写真である。

[図16]熱処理されていない $\text{Si}_x\text{Ge}_{1-x}$ 結晶2000を有する半導体基板910の断面TEM写真である。

[図17]HBTのコレクタ電圧に対するコレクタ電流を示す。

[図18]電流増幅率が1となる最大発振周波数を得るための実験データを示す。

[図19]3-5族化合物半導体566の成長速度と、被覆領域の大きさおよび開口556の大きさとの関係を示す。

発明を実施するための形態

[0026] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。以下、図面を参照して、実施形態について説明するが、図面の記載において、同一または類似の部分には同一の参照番号を付して重複する説明を省く場合がある。なお、図面は模式的なものであり、厚みと平面寸法との関係、比率等は現実のものとは異なる場合がある。また、説明の都合上、図面相互間においても互いの寸法の関係又は比率が異なる部分が含まれる場合

がある。

[0027] 図1は、半導体基板110の断面の一例を概略的に示す。半導体基板110は、ベース基板120を熱処理することによって製造される。ベース基板120は、第1主面122および第2主面124を有する。ベース基板120には、単結晶層を有し熱処理される被熱処理部130と、熱処理で加えられる熱から保護されるべき被保護部140とが設けられている。被熱処理部130は第1主面上に設けられている。被保護部140は、一例として、第1主面122上の被熱処理部130が設けられる領域以外の領域に設けられている。

[0028] 半導体基板110の製造において、被保護部140の上方に保護層150を設けた後に、被熱処理部130および被保護部140を含むベース基板120の領域に電磁波を照射する。例えばベース基板120の表面の全体に電磁波を照射する。保護層150は、ベース基板120に照射される電磁波10から被保護部140を保護する。これにより、被熱処理部130を選択的に加熱する。つまり、被熱処理部130を選択的に加熱することにより、被熱処理部130および被保護部140のうち、被熱処理部130だけが選択的にアニールされた半導体基板110を製造できる。

[0029] ここで、選択的に加熱するとは、ベース基板120上の特定の領域に、他の領域に比べて多くの熱を与えることをいう。また、本明細書において、「Aの上方」とは、「A」を起点として、被熱処理部130に照射される電磁波10の照射源に向かう方向に延伸する線上における、「A」の面上を含む任意の位置をいう。「A」は、例えば、ベース基板120、被熱処理部130、および被保護部140などである。

[0030] つまり「Aの上方」とは、「A」および電磁波10を照射する照射源の間の任意の位置を指してよい。より具体的には、保護層150およびベース基板120の間に被保護部140が挟まれるように、保護層150が設けられる。例えば、「被保護部140の上方」とは、被保護部140の表面を起点として、ベース基板120の第2主面124から第1主面122に向かう方

向に延伸する線上の位置に相当する。

[0031] 同様に、「Aの下方」とは、「A」を起点として、被熱処理部130に照射される電磁波の照射源に向かう方向と反対の方向に延伸する線上における任意の位置をいう。つまり「Aの下方」とは、「A」を起点として、「Aの上方」とは逆側の任意の位置を指してよい。

[0032] ベース基板120は、例えば、Si基板、SOI (silicon-on-insulator) 基板、Ge基板、GOI (germanium-on-insulator) 基板、およびGaAs基板のうち、いずれか1つの基板である。Si基板は単結晶Si基板であってもよい。また、ベース基板120は、サファイア基板、ガラス基板、PETフィルム等の樹脂基板であってもよい。

[0033] ベース基板120をアニールする場合に、被熱処理部130は選択的に加熱される。被熱処理部130は半導体の単結晶である。被熱処理部130は、例えば、化学気相析出法 (CVD法と称する場合がある。)、有機金属気相成長法 (MOCVD法と称する場合がある。)、分子線エピタキシ法 (MBE法と称する場合がある。)、または原子層成長法 (ALD法と称する場合がある。) により形成される。被熱処理部130は、例えば3-5族化合物半導体または $\text{Si}_x\text{Ge}_{1-x}$ 結晶である。

[0034] アニールするときの雰囲気は、水素と不活性ガスの混合雰囲気が好ましい。大気中または不活性ガス中でアニールすると、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の表面にピット (穴) が形成されることがある。アニールするときの雰囲気が水素と不活性ガスの混合雰囲気の場合、水素濃度は混合雰囲気の90%以上であることが好ましく、さらに好ましくは95%以上である。アニールするときの圧力は、例えば約20 kPa以下の圧力である。

[0035] 被熱処理部130は、例えば、ベース基板120の第1主面122に接して形成された $\text{Si}_x\text{Ge}_{1-x}$ 結晶を含む。ここで、 x は、 $0 \leq x < 1$ を満たす実数を表す。ベース基板と上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶との間に、例えばSi結晶などの層が設けられていてもよい。上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の内部には、ペー

ス基板 120 と上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶との格子定数の違い等により、格子欠陥等の欠陥が発生する場合がある。上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶を加熱してアニールを施すことにより、上記欠陥が上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の内部を移動して、上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の界面もしくは表面、または、上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の内部ゲッタリングシンク等に捕捉される。その結果、上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の表面まで到達する貫通転位に代表される欠陥の密度が低減された領域を有する、良質の $\text{Si}_x\text{Ge}_{1-x}$ 結晶が得られる。

[0036] 例えば、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶は、結晶内部を移動する欠陥を捕捉する欠陥捕捉部を有する。一例として、欠陥捕捉部は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶に含まれる任意の点からの最大距離が、上記アニールの温度および時間において欠陥が移動可能な距離以下となるように配置される。ここで、上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の界面、阻害層に設けられた開口の側壁と上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶との界面、または、上記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の内部ゲッタリングシンクは、欠陥捕捉部の一例である。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶は、最大の幅が、上記アニールの温度および時間において上記欠陥が移動する距離の 2 倍を越えない大きさに形成されてもよい。

[0037] 被熱処理部 130 はベース基板の一部であってもよい。例えば、ベース基板 120 として Ge 基板または GOI 基板を用いる場合には、Ge 基板または GOI 基板に含まれる $\text{Si}_x\text{Ge}_{1-x}$ 結晶層 ($0 \leq x < 1$) の少なくとも一部が被熱処理部 130 となる。この場合には、ベース基板 120 は被熱処理部 130 の少なくとも一部を囲む保温部を有してもよい。保温部の材料は、熱伝導率が小さな材料であることが好ましい。これにより、被熱処理部 130 に照射された電磁波 10 のエネルギーが効率よく利用される。

[0038] 被熱処理部 130 は、半導体デバイスの不純物領域となる領域であってもよい。例えば、被熱処理部 130 は、イオン注入等により不純物が導入された不純物注入領域である。この場合、例えば、不純物注入領域となる領域の少なくとも一部に、イオン注入等により不純物が導入される。その後、上記領域を加熱してアニールを施すことにより、当該領域の結晶性が回復して、

不純物が活性化された不純物注入領域が形成される。

[0039] また、被熱処理部 130 は、熱処理により不純物が拡散した不純物拡散領域であってもよい。この場合、例えば、不純物拡散領域となる領域の少なくとも一部に、塗布法または CVD 法等により不純物拡散源が形成される。その後、上記領域を加熱してアニールを施すことにより、不純物拡散領域が形成される。

[0040] 不純物領域は、例えば、MISFET (metal-Insulator-semiconductor field-effect transistor) のウェル、ソース領域またはドレイン領域である。MISFET は、MOSFET (metal-oxide-semiconductor field-effect transistor) であってもよい。

[0041] 被保護部 140 は、保護層 150 によって、ベース基板 120 に照射される電磁波 10 から保護される。具体的には、被保護部 140 は、ベース基板 120 の表面全体に電磁波 10 が照射された場合に、被熱処理部 130 の最高到達温度よりも低い温度に維持される。被保護部 140 は、ベース基板 120 の被熱処理部 130 以外の部分に配置される。一例として、被保護部 140 は、ベース基板 120 の第 1 主面 122 に形成される。

[0042] 被保護部 140 は、被熱処理部 130 よりも耐熱性が低い領域を含む。例えば被保護部 140 は、被熱処理部 130 よりも低い温度で、特性が許容範囲外まで変化する領域を含む。被保護部 140 には、例えば、Si 半導体素子もしくは 3-5 族化合物半導体素子などの電子素子、または、それらの電子素子の一部が形成される。

[0043] 被保護部 140 は、例えば、半導体基板 110 に形成される電子素子の活性領域を含む。電子素子は、例えば、MOSFET、MISFET、HBT (Heterojunction Bipolar Transistor)、HEMT (High Electron Mobility Transistor) 等の半導体デバイス、半導体レーザー、発光ダイオード、発光サイリスタ等の発光デバイス、光センサー、受光ダイオード等の受光デバ

イス、太陽電池のようなデバイスに含まれる能動素子である。電子素子の活性領域は、例えば、電界効果トランジスタのチャネル領域、バイポーラトランジスタのベース・エミッタ接合領域、またはダイオードのアノード・カソード接合領域である。電子素子は、抵抗、キャパシタ、インダクタ等の受動素子であってもよい。

[0044] 被保護部 140 は、接触して設けられる半導体および誘電体を含んでもよい。半導体および誘電体の界面は、例えば、MOSFET の活性領域に形成される MOS ゲート界面として用いられる。MOS ゲート界面は耐熱性が低い。従って、当該界面が高温条件に長時間晒されると、上記 MOSFET の特性が悪化する場合があるので、電磁波 10 から保護されることが好ましい。

[0045] 被保護部 140 は、半導体デバイスの不純物領域、または、高濃度に不純物ドーピングされたエピタキシャル成長層を含んでもよい。不純物領域は、例えば、上述した不純物注入領域または不純物拡散領域である。不純物領域またはエピタキシャル成長層は、例えば、MOSFET 等の MISFET のウェル、ソース領域、またはドレイン領域である。

[0046] 不純物領域およびエピタキシャル成長層は、加熱により特性が変化する。例えば、不純物拡散領域に含まれる不純物は、加熱により拡散する。不純物領域およびエピタキシャル成長層が形成された後で、当該不純物領域等が高温に晒される場合には、半導体デバイスの熱設計が複雑になるので、不純物領域等は電磁波 10 から保護されることが好ましい。

[0047] 被保護部 140 は、金属配線を含んでもよい。被保護部 140 の少なくとも一部として金属配線を形成した後に、金属配線の上に保護層 150 を設けてもよい。保護層 150 は、金属配線の温度を、当該金属配線の融点よりも低く維持する。例えば、金属配線が Al を含む場合、Al の融点が 660 °C なので、保護層 150 は、金属配線の温度を例えば 650 °C 以下に維持することが好ましい。金属配線はベース基板 120 に形成される電子素子と接続されてもよい。

[0048] 被保護部 140 には、複数の金属配線が形成されてもよい。被保護部 14

0は、当該複数の金属配線の各々の間を絶縁する絶縁膜を有することが好ましい。絶縁膜は、例えばポリイミドにより形成される。絶縁膜がポリイミドで形成される場合には、保護層150は、絶縁膜の温度を例えば500℃以下に維持することが好ましい。

[0049] 保護層150は、被保護部140を電磁波10から保護する。保護層150は、例えば、被保護部140に到達する電磁波10の強度を弱めることで、被保護部140を保護する。また、保護層150は、例えば電磁波10を吸収することで保護層150において発生した熱が、被保護部140に伝導するのを抑制することにより、被保護部140を保護する。

[0050] 保護層150は、電磁波10の透過方向Zに対して、保護層150、被保護部140の順に配置される。透過方向Zとは、ベース基板120の第1主面122から第2主面124に向かい、第1主面122に略垂直な方向である。電磁波10は、透過方向Z以外の方向に照射されてもよい。

[0051] ここで、本明細書において、「略垂直な方向」とは、厳密に垂直な方向だけでなく、基板および各部材の製造誤差を考慮して、垂直からわずかに傾いた方向をも含む。また、「透過方向Z」とは、方向を表現する目的で「透過」という文言が用いられており、現実には、電磁波10が透過することを要件とするものではない。例えば、電磁波10が保護層150により遮蔽される場合も含まれる。

[0052] 保護層150は、例えば、電磁波10の少なくとも一部を遮蔽して、被保護部140に到達する電磁波の強度を弱める。保護層150は、電磁波10の少なくとも一部を反射、散乱、または吸収することで、被保護部140に到達する電磁波10の強度を弱めてもよい。このように、保護層150は被保護部140を電磁波10から保護する。従って、被熱処理部130および被保護部140に電磁波10が照射された場合であっても、被保護部140の最高到達温度は、被熱処理部130の最高到達温度より低い温度に維持される。即ち、ベース基板120にフラッシュアニールを施す場合のように、電磁波10により、ベース基板120の広い面積を一度に加熱する場合であ

っても、被熱処理部 130 を選択的に加熱することができる。

[0053] 保護層 150 は、例えば、Ag、Au、Al 等の金属薄膜を有する。これにより、保護層 150 は、電磁波 10 の少なくとも一部を反射できる。保護層 150 は、微粒子を含む樹脂層、または、屈折率の異なる誘電体に微粒子を分散させた層を有してもよい。これにより、保護層 150 は電磁波 10 の少なくとも一部を散乱できる。保護層 150 は、アモルファスシリコンを有してもよい。これにより、保護層 150 は電磁波 10 の少なくとも一部を吸収できる。保護層 150 はそれぞれ異なる材質の複数の層を有してよい。

[0054] 被熱処理部 130 の平均転位密度を低減することを目的として、ベース基板 120 に電磁波 10 が照射される。電磁波 10 の波長は、被熱処理部 130 における電磁波 10 の吸収係数がピークを示す波長であってよい。また、電磁波 10 の波長は、電磁波 10 の一部が被保護部 140 に吸収されずに透過する波長であってもよい。電磁波 10 の波長を上記の通り選択することで、被熱処理部 130 および被保護部 140 に直接電磁波 10 が照射された場合であっても、被熱処理部 130 を選択的に加熱できる。

[0055] 例えば、照射される電磁波 10 の波長において、被熱処理部 130 における電磁波 10 の吸収係数は、被保護部 140 における電磁波 10 の吸収係数より大きい。具体的には、電磁波 10 は、波長が 1200 nm 以上 1800 nm 以下の光である。上記光は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) には吸収されるが、Si 結晶には吸収されないで透過する。これにより、Si デバイスの熱損傷を抑制しつつ、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) を選択的に加熱できる。

[0056] 図 2 は、半導体基板 210 の断面の一例を概略的に示す。半導体基板 210 は、図 1 に示した半導体基板 110 の保護層 150 に代えて、遮蔽層 252 と熱伝導抑制層 254 とを有する保護層 250 を設けて製造される。遮蔽層 252、熱伝導抑制層 254、および被保護部 140 は、電磁波 10 の透過方向 Z に対して、この順に配置される。半導体基板 210 が保護層 150 の代わりに保護層 250 を備える以外は、半導体基板 210 と半導体基板 1

１０とは同様の構成を有し、また、同様の工程で製造される。そこで、保護層２５０以外の構成については説明を省略する。

[0057] 遮蔽層２５２は、電磁波１０の少なくとも一部を遮蔽する。遮蔽層２５２は、例えば、電磁波１０の少なくとも一部を反射する反射層を有する。遮蔽層２５２における電磁波１０の反射率は、被保護部１４０における電磁波１０の反射率よりも大きいことが好ましい。

[0058] 反射層は金属薄膜を含んでもよい。金属薄膜は、例えば、Ａｇ、Ａｕ、Ａｌ等の金属を含む薄膜である。反射層は、例えば、真空蒸着法により形成できる。遮蔽層２５２は複数の材料から構成されてよい。遮蔽層２５２は、例えば、酸化シリコン層、窒化シリコン層、酸窒化シリコン層もしくは酸化アルミニウム層、または、これらを積層した層を含む。金属薄膜は、これらの層の内部に埋め込まれるように配置されてもよい。

[0059] 遮蔽層２５２は、電磁波１０の少なくとも一部を散乱させる散乱層を有してもよい。散乱層は、例えば、微粒子を含む樹脂層、または、屈折率の異なる誘電体に微粒子を分散させた層を含む。散乱層は、例えば、塗布法により形成できる。微粒子は、コロイダルシリカ等のセラミックの透明な微粒子であってもよい。微粒子は、酸化シリコン層、窒化シリコン層、酸窒化シリコン層もしくは酸化アルミニウム層、または、これらを積層した層の内部に埋め込まれるように配置されてもよい。

[0060] 散乱層は、遮蔽層２５２の内部に入射した電磁波１０の少なくとも一部を散乱させて電磁波１０の進行方向を変化させる。これにより、遮蔽層２５２の内部における電磁波１０の移動距離が長くなり、遮蔽層２５２における電磁波１０の吸収量を向上させる。

[0061] 遮蔽層２５２は、電磁波１０の少なくとも一部を吸収して熱エネルギー等に変換する吸収層を有してもよい。電磁波１０の吸収層における吸収係数は、電磁波１０の被熱処理部１３０における吸収係数より大きいことが好ましい。吸収層は、アモルファスシリコン、ゲルマニウム等の吸収体を含んでもよい。吸収層は、例えば、ＣＶＤ法により形成できる。吸収体は、酸化シリコ

ン層、窒化シリコン層、酸窒化シリコン層もしくは酸化アルミニウム層、または、これらを積層した層の内部に埋め込まれるように配置されてもよい。

[0062] 遮蔽層 252 は、散乱層および吸収層において電磁波 10 を吸収して生じる熱を、遮蔽層 252 表面および側面からの熱輻射、および、遮蔽層 252 表面に接する空間中の気流への電熱により放散することが好ましい。以上の構成を採用することにより、遮蔽層 252 は、電磁波 10 の少なくとも一部を遮蔽できる。これにより、保護層 250 は、被保護部 140 を電磁波 10 から保護できる。なお、遮蔽層 252 は、反射層、散乱層、および吸収層のうちの複数の層を有してよい。

[0063] 熱伝導抑制層 254 は、遮蔽層 252 と被保護部 140 との間に配置される。熱伝導抑制層 254 は、電磁波 10 の照射により遮蔽層 252 で発生した熱が被保護部 140 に到達することを抑制する。

[0064] 遮蔽層 252 で発生した熱エネルギーの一部は、遮蔽層 252 と熱伝導抑制層 254 との間の接触熱抵抗により熱伝導が抑制される。また、遮蔽層 252 で発生した熱が熱伝導抑制層 254 の内部を伝熱する間に、熱伝導抑制層 254 の内部に温度分布が発生する。その結果、遮蔽層 252 の表面 257、熱伝導抑制層 254 の表面 258 および裏面 259 における最高到達温度は、この順に低下する。熱伝導抑制層 254 の熱伝導率は、遮蔽層 252 の熱伝導率より小さいことが好ましい。また、熱伝導抑制層 254 の熱伝導率は、被熱処理部 130 の熱伝導率より小さいことが好ましい。

[0065] ベース基板 120 の第 2 主面 124 は、遮蔽層 252 の表面 257 よりも低い温度に維持されることが好ましい。これにより、熱伝導抑制層 254 の内部に温度分布を生じさせることができ、熱伝導抑制層 254 の裏面 259 における最高到達温度を低下させることができる。

[0066] 熱伝導抑制層 254 は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、または、ポリイミド等の耐熱樹脂を含んでよい。熱伝導抑制層 254 は、複数の層から形成されてもよい。具体的には、熱伝導抑制層 254 は、被保護部 140 に接する断熱層を有してもよい。さらに、熱伝

導抑制層 254 は、熱伝導率の大きな材料で形成された伝熱路により、電磁波 10 の照射により発生した熱を被保護部 140 に接する面以外の面に誘導して放熱させてもよい。

[0067] 図 3 は、熱伝導抑制層 254 の表面 258 の温度および裏面 259 の温度の変化の一例を示す。同図において、横軸および縦軸はそれぞれ時間および温度を表す。図 3 の例では、遮蔽層 252 として電磁波 10 を吸収する吸収層を用いる。また、図 3 は、ベース基板 120 が予備加熱されており、第 2 主面 124 が表面 258 より低い温度に維持されている場合の温度変化を示す。

[0068] 時間 t_0 において、点線 32 に示すパルス状の電磁波 10 が、ベース基板 120 に照射される。その結果、熱伝導抑制層 254 の表面 258 の温度は急速に上昇する。そして、Z 方向に熱が伝わり、表面 258 から裏面 259 に向かって一定の熱流が生じる。実線 34 は、熱伝導抑制層 254 の表面 258 における温度の経時変化の一例を示す。実線 36 は、熱伝導抑制層 254 の裏面 259 における温度の経時変化の一例を示す。

[0069] 実線 34 および実線 36 に示すとおり、時間 t_0 における表面 258 および裏面 259 の温度は、ほぼ T_0 で等しい。電磁波 10 の照射に伴い、遮蔽層 252 の表面 257 の温度は、瞬間的に上昇する。遮蔽層 252 で発生した熱は、熱伝導抑制層 254 の表面 258 に到達する。

[0070] 実線 34 に示すとおり、熱伝導抑制層 254 の表面 258 の温度は、時間 t_0 の後しばらくすると上昇し始める。その後、時間 t_4 において、最高到達温度 T_4 に到達した後、徐々に低下する。熱伝導抑制層 254 の表面 258 に到達した熱は、熱伝導抑制層 254 の内部を伝わり、熱伝導抑制層 254 の裏面 259 に到達する。実線 36 に示すとおり、熱伝導抑制層 254 の裏面 259 の温度は、表面 258 より遅れて上昇し始め、時間 t_6 において、最高到達温度 T_6 に到達した後、徐々に低下する。

[0071] 熱伝導抑制層 254 の裏面 259 の最高到達温度 T_6 は、熱伝導抑制層 254 の厚さおよび熱伝導率等に応じて、表面 258 の最高到達温度 T_4 よりも低

くなる。これにより、遮蔽層 252 と被保護部 140 との間に熱伝導抑制層 254 を配置することで、被保護部 140 を電磁波 10 から保護できることがわかる。

- [0072] 最高到達温度 T_0 は、式 (1) より求まる。式 (1) は一次元の熱拡散方程式であり、式 (1) に示すとおり、熱伝導抑制層 254 の Z 方向の厚みが大きいほど、最高到達温度 T_0 は低くなる。式 (1) において、 t は、時間 [s] を表す。 z は、Z 方向の位置 [m] を表す。 T は、位置 z における温度 [K] を表す。 α は、熱伝導抑制層 254 の熱拡散率 [m^2/s] を表す。

[数1]

$$\frac{\partial T}{\partial t} = \alpha \left(\frac{\partial^2 T}{\partial z^2} \right) \quad \dots(1)$$

- [0073] 熱拡散率 α は、式 (2) で表される。式 (2) において、 λ は、熱伝導抑制層 254 の熱伝導率 [$\text{J}/\text{s} \cdot \text{m} \cdot \text{K}$] を表す。 C_p は、熱伝導抑制層 254 の定圧比熱 [$\text{J}/\text{kg} \cdot \text{K}$] を表す。 ρ は、熱伝導抑制層 254 の密度 [kg/m^3] を表す。式 (2) より、熱伝導抑制層 254 の熱伝導率が小さいほど、また、熱伝導抑制層 254 の定圧比熱および密度が大きいほど、熱伝導抑制層 254 の裏面 259 が最高到達温度 T_0 に到達する時間は遅くなり、また、その最高到達温度 T_0 は低くなる。

$$\alpha = \lambda / (C_p \times \rho) \quad \dots (2)$$

- [0074] 以上より、熱伝導抑制層 254 の熱拡散率は、被熱処理部 130 の熱拡散率より小さいことが好ましい。なお、熱伝導抑制層 254 の熱拡散率が、被熱処理部 130 の熱拡散率より大きい場合であっても、熱伝導抑制層 254 の厚みを適切に設定すれば、被保護部 140 に接する熱伝導抑制層 254 の裏面 259 の最高到達温度 T_0 は低くなるので、被保護部 140 を保護できる。

- [0075] 図 4 は、半導体基板 410 の断面の他の例を概略的に示す。本例の半導体基板 410 は、ベース基板 420、阻害層 426、シード結晶 462、化合物半導体 466、および半導体デバイス 480 を備える。

- [0076] ベース基板 420 は、例えば、Si 基板、SOI 基板、Ge 基板、GOI 基板、および GaAs 基板のうち、いずれか 1 つの基板である。ベース基板 420 は第 1 主面 422 および第 2 主面 424 を有する。
- [0077] 半導体基板 410 は、以下の手順により製造される。まず、ベース基板 420 の第 1 主面 422 に阻害層 426 が形成される。次に、ベース基板 420 にまで阻害層 426 を貫通する開口 428 が形成される。さらに、開口 428 の内部にシード結晶 462 が設けられる。
- [0078] 続いて、シード結晶 462 上に化合物半導体 466 を結晶成長させる。さらに、化合物半導体 466 上に半導体デバイス 480 を形成する。半導体デバイス 480 は、例えば、不純物が導入された領域 432 および領域 434、活性領域 440、および保護層 450 を有する。保護層 450 は、ゲート電極 452 およびゲート絶縁膜 454 を含む。
- [0079] 活性領域 440 は、化合物半導体 466 において、不純物が導入された領域 432 および領域 434 に挟まれて設けられる。活性領域 440 は、図 1 から図 3 に関連して説明した被保護部 140 に対応する。また、領域 432 および領域 434 は、図 1 から図 3 に関連して説明した被熱処理部 130 に対応する。
- [0080] ゲート絶縁膜 454 は、活性領域 440 上に形成される。また、ゲート電極 452 は、ゲート絶縁膜 454 上に形成される。ゲート電極 452 およびゲート絶縁膜 454 は、活性領域 440 を電磁波 10 から保護する。そして、ベース基板 420 の上方から電磁波 10 を照射することにより、領域 432 および領域 434 を選択的に加熱することができる。ゲート電極 452 は、図 2 に関連して説明した遮蔽層 252 のひとつである反射層として機能する。また、ゲート絶縁膜 454 は、図 2 に関連して説明した熱伝導抑制層 254 として機能する。
- [0081] 阻害層 426 は、シード結晶 462 および化合物半導体 466 の前駆体が結晶に成長することを阻害する。また、MOCVD 法を用いて化合物半導体 466 の結晶をエピタキシャル成長させる場合においては、阻害層 426 は

、上記化合物半導体 4 6 6 の結晶が阻害層 4 2 6 の表面でエピタキシャル成長することを阻害する。

[0082] 阻害層 4 2 6 は、例えば、酸化シリコン層、酸化アルミニウム層、窒化シリコン層、酸窒化シリコン層、窒化タンタル層もしくは窒化チタン層、または、これらのうちの複数を積層した層である。阻害層 4 2 6 の厚みは、例えば、0.05～5 μm である。阻害層 4 2 6 はベース基板 4 2 0 の第 1 主面 4 2 2 に接して形成される。阻害層 4 2 6 は、例えば、CVD 法により形成できる。

[0083] 開口 4 2 8 は、第 1 主面 4 2 2 に略垂直な方向に、阻害層 4 2 6 を貫通する。開口 4 2 8 は、第 1 主面 4 2 2 を露出させる。これにより、開口 4 2 8 の内部に選択的に結晶を成長させることができる。開口 4 2 8 は、例えば、エッチング等のフォトリソグラフィ法により形成できる。

[0084] 開口 4 2 8 は、例えば $(\sqrt{3})/3$ 以上のアスペクト比を有する。アスペクト比が $(\sqrt{3})/3$ 以上の開口 4 2 8 の内部に、ある程度の厚さを有する結晶が形成されると、当該結晶に含まれる格子欠陥等の欠陥が、開口 4 2 8 の壁面でターミネートされる。その結果、開口 4 2 8 に露出した上記結晶の表面は、当該結晶が形成された時点で、優れた結晶性を備える。開口 4 2 8 の面積は、1 mm^2 以下であってよく、好ましくは0.25 mm^2 未満であってよい。

[0085] ここで、本明細書において、「開口のアスペクト比」とは、「開口の深さ」を「開口の幅」で除した値をいう。例えば、電子情報通信学会編、「電子情報通信ハンドブック 第 1 分冊」751 ページ、1988 年、オーム社発行、によると、アスペクト比として（エッチング深さ／パターン幅）と記載されている。本明細書においても、同様の意義でアスペクト比の用語を用いる。

[0086] なお、「開口の深さ」とは、基板上に薄膜を積層した場合の積層方向の深さをいい、「開口の幅」は、積層方向に垂直な方向の幅をいう。開口の幅が複数ある場合には、開口のアスペクト比の算出にあたり、最小の幅を用いる

。たとえば、開口の積層方向から見た形状が長方形である場合、長方形の短辺の長さをアスペクト比の計算に用いる。

[0087] シード結晶 462 は、化合物半導体 466 を成長させるのに良好なシード面を提供する。シード結晶 462 は、ベース基板 420 または第 1 主面 422 に存在する不純物が化合物半導体 466 の結晶性に悪影響を及ぼすことを抑制する。シード結晶 462 は、例えば、第 1 主面 422 に接して形成される。シード結晶 462 は半導体の結晶を含んでもよい。シード結晶 462 は、例えば、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) を含む。

[0088] シード結晶 462 は、例えば、CVD 法などのエピタキシャル成長法により形成される。このとき、阻害層 426 の表面では結晶成長が阻害されるので、シード結晶 462 は、開口 428 の内部に選択的に成長する。シード結晶 462 は、アニールされることが好ましい。これにより、シード結晶 462 の内部の欠陥密度を低減でき、化合物半導体 466 に対して良好なシード面を提供できる。上記アニールは、被熱処理部 130 のアニールと同様の条件で実施してよい。

[0089] 化合物半導体 466 は、例えば、シード結晶 462 がアニールされた後に、シード結晶 462 に接して形成される。化合物半導体 466 は、シード結晶 462 に格子整合または擬格子整合する化合物半導体である。化合物半導体 466 は、例えば、GaAs 等の 3-5 族化合物半導体である。シード結晶 462 と化合物半導体 466 との界面は、開口 428 の内部にあってもよい。化合物半導体 466 は、例えば、MOCVD 法等のエピタキシャル成長法により形成できる。なお、ベース基板 420 が、Ge 基板または GOI 基板のように、第 1 主面 422 に $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) を有する基板である場合には、化合物半導体 466 は、当該 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) をシード結晶として、第 1 主面 422 に接して形成されてもよい。

[0090] 化合物半導体 466 が、GaAs または GaAs に格子整合もしくは擬格子整合する半導体である場合、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶における x は、 $0 \leq x \leq 0.1$ であることが好ましく、さらに好ましくは $x = 0$ である。 x が 0.1 以

下であると、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶と3-5族化合物半導体との格子定数の差がより小さくなるので、欠陥が生じにくい。

[0091] ここで、本明細書において、「擬格子整合」とは、完全な格子整合ではないが、2つの半導体の格子定数の差が小さく、格子不整合による欠陥の発生が顕著でない範囲で、2つの半導体を積層できる状態をいう。このとき、各半導体の結晶格子が、弾性変形できる範囲内で変形することで、上記格子定数の差が吸収される。例えば、GeとGaAsとの積層状態は、擬格子整合と呼ばれる。

[0092] 半導体デバイス480は、例えば、化合物半導体466の一部を活性領域440として用いたMOSFETである。領域432および領域434は、それぞれ、半導体デバイス480のソース領域およびドレイン領域となる領域である。

[0093] 化合物半導体466をMOCVD法で成長させる場合、成長圧力は0.1 kPa以上100 kPa以下の条件を用いることができる。成長圧力が高いと阻害層上にも結晶が付きやすくなり好ましくない。好ましい成長圧力は50 kPa以下である。化合物半導体466の成長速度は、阻害層426に設けられた開口428の面積比（（開口の底面積）／（阻害層と基板とが接する面の面積））に依存する。開口428の面積比が小さくなると多くの原料が開口に集中し、成長速度が大きくなる。

[0094] 領域432および領域434は、例えば、以下の手順で形成される。まず、化合物半導体466に接するゲート絶縁膜454を形成する。ゲート絶縁膜454として、AlGaAs膜、AlInGaP膜、酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化ガリウム膜、酸化ガドリニウム膜、酸化ハフニウム膜、酸化ジルコニウム膜、酸化ランタン膜、および、これらの混合物または積層膜を例示できる。ゲート絶縁膜454は、例えば、MOCVD法、MBE法、ALD法により薄膜を形成した後に、当該薄膜をパターニングして形成できる。

[0095] 次に、ゲート絶縁膜454に接するゲート電極452を形成する。ゲート

電極 4 5 2 は、A g、A u、A l、P t、P d 等の金属であってよく、また伝導性の T a C、T a N、T i N 上に A g、A u、A l、P t、P d 等の金属を積層した構造物であってもよい。ゲート電極 4 5 2 は、例えば、スパッタリング法または真空蒸着法により薄膜を形成した後、当該薄膜をエッチング等によりパターニングして形成できる。

[0096] 次に、領域 4 3 2 および領域 4 3 4 の形状に合わせて、図示しないレジストを化合物半導体 4 6 6 上に形成する。その後、例えば、ゲート電極 4 5 2 およびゲート絶縁膜 4 5 4 をマスクに用いたイオン注入により、化合物半導体 4 6 6 に不純物を導入する。上記レジストを除去して、領域 4 3 2 および領域 4 3 4 が得られる。

[0097] 続いて、ベース基板 4 2 0 の上方から電磁波 1 0 を照射する。電磁波 1 0 は、例えば、フラッシュランプのフラッシュ光である。電磁波 1 0 は、領域 4 3 2 および領域 4 3 4 に吸収されやすく、ゲート電極 4 5 2 に反射されやすい波長を有する。

[0098] これにより、ゲート電極 4 5 2 は、電磁波 1 0 の少なくとも一部を反射する。また、ゲート絶縁膜 4 5 4 は、電磁波 1 0 の照射によりゲート電極 4 5 2 で発生した熱が、活性領域 4 4 0 に到達することを抑制する。これにより、耐熱性が小さい活性領域 4 4 0 とゲート絶縁膜 4 5 4 との界面を、電磁波 1 0 の照射により生じた熱から保護する。

[0099] 一方、領域 4 3 2 および領域 4 3 4 は、電磁波 1 0 を吸収して温度が上昇する。これにより、領域 4 3 2 および領域 4 3 4 の結晶性が回復して、イオン注入された不純物が活性化する。以上により、活性領域 4 4 0 または活性領域 4 4 0 とゲート絶縁膜 4 5 4 との界面の温度上昇を抑制しながら、領域 4 3 2 および領域 4 3 4 を選択的に加熱して、半導体デバイス 4 8 0 のソース領域およびド레인領域を形成できる。なお、ソース領域およびド레인領域などの不純物領域の形成方法は、上記の方法に限定されない。不純物領域は、不純物を拡散することにより形成されてもよい。

[0100] 半導体デバイス 4 8 0 は、化合物半導体 4 6 6 を核として、開口 4 2 8 に

沿って成長した化合物半導体に形成されてもよい。また、保護層450は、半導体デバイス480のゲート電極452およびゲート絶縁膜454に限られない。保護層450は、ゲート電極452のゲート側壁に形成されてもよい。これにより、熱拡散および不純物拡散によるゲート部への悪影響を抑制できる。

[0101] 図5は、電子デバイス500の断面の他の例を概略的に示す。電子デバイス500は、半導体基板510上に形成された第2の電子素子580、配線592、配線594、および配線596を備える。

[0102] 半導体基板510は、ベース基板520、第1の電子素子570、障害層554、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562、および3-5族化合物半導体566を有する。ベース基板520は、第1主面522および第2主面524を有する。ベース基板520は、例えば、Si基板、SOI基板、Ge基板、GOI基板、およびGaAs基板のうち、いずれか1つの基板である。

[0103] ベース基板520には第1の電子素子570が形成される。第1の電子素子570は、ウェル571、ソース領域572、ドレイン領域574、ゲート電極576、およびゲート絶縁膜578を含む。第1の電子素子570は、図4に関連して説明した半導体デバイス480と同一の構成を有してよい。第1の電子素子570は、図1から図3に関連して説明した被保護部140に対応する。

[0104] 障害層554は、図4に関連して説明した障害層426と同一の材料および方法で、ベース基板520および第1の電子素子570上に形成される。また、障害層554には、開口556、開口593、および開口595が形成される。第2の電子素子580は、入出力電極587、入出力電極588、およびゲート電極589を有する。第2の電子素子580は、3-5族化合物半導体566に形成される。

[0105] 障害層554および開口556と、障害層426および開口428とは同等である。そこで、障害層426および開口428との相違点以外については、障害層554および開口556の説明を省略する。障害層554は、阻

害層 4 2 6 と比較して、開口 5 9 3 および開口 5 9 5 を有する点で相違する。また、阻害層 5 5 4 は、被保護部の一例である第 1 の電子素子 5 7 0 を電磁波から保護する保護層として機能する。阻害層 5 5 4 は、上述した熱伝導抑制層として機能してもよい。

[0106] 開口 5 9 3 および開口 5 9 5 は、第 1 主面 5 2 2 に略垂直な方向に阻害層 5 5 4 を貫通する。開口 5 9 3 および開口 5 9 5 は、それぞれ、ソース領域 5 7 2 およびドレイン領域 5 7 4 を露出させる。開口 5 9 3 および開口 5 9 5 の内部には、それぞれ、配線 5 9 2 および配線 5 9 4 の一部が形成される。これにより、第 1 の電子素子 5 7 0 は、第 2 の電子素子 5 8 0 等の他の電子素子と電氣的に結合される。開口 5 9 3 および開口 5 9 5 は、例えば、反応性イオンエッチングにより形成できる。

[0107] $\text{Si}_x\text{Ge}_{1-x}$ 結晶 5 6 2 は、3-5 族化合物半導体 5 6 6 の成長に良好なシード面を提供するシード結晶の一例である。ここで、 x は、 $0 \leq x < 1$ を満たす実数を表す。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 5 6 2 は、ベース基板 5 2 0 または第 1 主面 5 2 2 に存在する不純物が 3-5 族化合物半導体 5 6 6 の結晶性に悪影響を及ぼすことを抑制する。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 5 6 2 は、開口 5 5 6 の内部に設けられる。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 5 6 2 は、第 1 主面 5 2 2 に接して形成されてよい。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 5 6 2 は、図 4 に関連して説明したシード結晶 4 6 2 と同様の方法および条件で形成されてよい。

[0108] 第 1 の電子素子 5 7 0 を電磁波から保護する阻害層 5 5 4 が形成された後に、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 5 6 2 が吸収できる電磁波 1 0 を半導体基板 5 1 0 に照射することで、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 5 6 2 が被熱処理部として選択的に加熱される。保護層は、半導体基板 5 1 0 の阻害層 5 5 4 において、開口以外の部分の少なくとも一部の領域を指してよい。

[0109] 3-5 族化合物半導体 5 6 6 は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 5 6 2 に格子整合または擬格子整合する。3-5 族化合物半導体 5 6 6 は、例えば GaAs である。3-5 族化合物半導体 5 6 6 は、例えば、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 5 6 2 に接して結晶成長する。

[0110] 3-5族化合物半導体566を結晶成長させる場合には、ベース基板520に電磁波を照射して、3-5族化合物半導体566の温度を結晶成長に必要な温度にまで上昇させる。3-5族化合物半導体566を結晶成長させる場合、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562をアニールした光源を用いて、再度同一の電磁波を照射してもよい。

[0111] $\text{Si}_x\text{Ge}_{1-x}$ 結晶562と3-5族化合物半導体566との界面は、開口556の内部にあってもよい。3-5族化合物半導体566は、例えば、MOCVD法等のエピタキシャル成長法により形成される。なお、ベース基板520が、Ge基板、GOI基板のように、第1主面522に $\text{Si}_x\text{Ge}_{1-x}$ 結晶($0 \leq x < 1$)を有する基板である場合には、3-5族化合物半導体566は第1主面522に接して形成されてもよい。

[0112] MOCVD法により、3-5族化合物半導体566をエピタキシャル成長させる場合には、第1の電子素子570を電磁波から保護する障害層554がベース基板520に形成された状態で、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562が吸収できる電磁波をベース基板520に照射しながら、反応容器に原料ガスを供給してもよい。これにより、アニールされた $\text{Si}_x\text{Ge}_{1-x}$ 結晶562に格子整合または擬格子整合する3-5族化合物半導体を選択成長させることができる。

[0113] この場合、ベース基板520の温度、特に、第1の電子素子570が形成された領域の温度は、例えば650℃以下、好ましくは450℃以下に維持される。これにより、熱により第1の電子素子570が劣化することを抑制できる。なお、ベース基板520の温度は、ベース基板520に $\text{Si}_x\text{Ge}_{1-x}$ 結晶562を形成する場合、および、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562をアニールする場合のいずれでも、650℃以下、好ましくは450℃以下に維持される。

[0114] 第1の電子素子570は、ベース基板520の開口556に露出する領域以外の領域に形成される。第1の電子素子570は、MISFET、HBT、およびHEMT等の半導体デバイス、LED等の発光デバイス、光センサ

一等の受光デバイスに含まれる能動素子、またはキャパシタ等に含まれる受動素子であってもよい。また、第1の電子素子570は、第2の電子素子580の駆動回路、第2の電子素子580の入出力特性における線形性を改善する補正回路、および、第2の電子素子580の入力段の保護回路のいずれかの回路に含まれる電子素子であってもよい。

[0115] 第2の電子素子580は、アナログ電子デバイス、LED等の発光デバイスおよび光センサー等の受光デバイスのいずれかのデバイスに含まれる電子素子であってもよい。また、第2の電子素子580は、MOSFET、MISFET、HBT、およびHEMT等の半導体デバイス、または、キャパシタ等に含まれる受動素子であってもよい。

[0116] 入出力電極587、入出力電極588、およびゲート電極589の材料は、導電性の材料である。例えば、Al、W、Ti等の金属、または、高濃度に不純物がドーピングされた半導体を利用できる。入出力電極587、入出力電極588、およびゲート電極589は、例えば、真空蒸着法またはめっき法などにより形成できる。

[0117] 配線592、配線594、および配線596は、第1の電子素子570または第2の電子素子580を、他の電子素子等と電気的に結合する。配線592、配線594、および配線596の材料は、導電性の材料である。例えば、Al、Cu、Au、W、Ti等の金属、または、不純物がドーピングされた半導体を利用できる。配線592、配線594、および配線596は、例えば、真空蒸着法またはめっき法などにより形成できる。

[0118] なお、半導体基板510は複数の第1の電子素子570を有してもよい。1つの第1の電子素子570は、複数の第2の電子素子580と電気的に結合されてよい。また、半導体基板510は、複数の第2の電子素子580を有してもよい。1つの第2の電子素子580は、複数の第1の電子素子570と電気的に結合されてもよい。

[0119] 図6は、電子デバイス500の製造方法の一例を表すフローチャートを示す。S602の工程において、ベース基板520上に第1の電子素子570

を形成する。続いて、S 6 0 4 の工程において、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 5 6 2 が結晶成長することを阻害し、且つ、電磁波 1 0 から第 1 の電子素子 5 7 0 を保護する阻害層 5 5 4 を、少なくとも第 1 の電子素子 5 7 0 を覆うように形成する。次に、S 6 0 6 の工程において、ベース基板 5 2 0 にまで貫通する開口 5 5 6 を、第 1 の電子素子 5 7 0 を覆う領域以外の阻害層 5 5 4 の領域に形成する。

[0120] 続いて、S 6 0 8 の工程において、被熱処理部としての $\text{Si}_x\text{Ge}_{1-x}$ 結晶 5 6 2 を開口 5 5 6 内に形成する。つまり、開口 5 5 6 内で、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 5 6 2 の前駆体を結晶に成長させる。さらに、S 6 1 0 の工程において、ベース基板 5 2 0 を全体的に加熱しながら電磁波 1 0 を照射することにより $\text{Si}_x\text{Ge}_{1-x}$ 結晶 5 6 2 をアニールする。

[0121] 次に、S 6 1 2 の工程において、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 5 6 2 上に 3-5 族化合物半導体 5 6 6 を結晶成長させる。S 6 1 4 の工程において、3-5 族化合物半導体 5 6 6 に第 2 の電子素子 5 8 0 を形成する。最後に、S 6 1 6 の工程において、開口 5 9 3 および開口 5 9 5 を阻害層 5 5 4 に形成する。さらに、配線 5 9 2、配線 5 9 4、および配線 5 9 6 を形成して、電子デバイス 5 0 0 が得られる。

[0122] 以下、図 7 から図 1 1 を用いて、半導体基板 5 1 0 を製造する方法の一例について説明する。図 7 は、半導体基板 5 1 0 の製造過程における断面の一例を概略的に示す。本実施形態において、まず、ベース基板 5 2 0 に第 1 の電子素子 5 7 0 が形成される。ベース基板 5 2 0 は、例えば、Si 基板または SOI 基板である。

[0123] 図 8 は、半導体基板 5 1 0 の製造過程における断面の一例を概略的に示す。図 8 に示すとおり、ベース基板 5 2 0 の第 1 主面 5 2 2 に接して、阻害層 5 5 4 が形成される。阻害層 5 5 4 は、例えば SiO_2 である。阻害層 5 5 4 の厚みは、一例として、 $0.05 \sim 5 \mu\text{m}$ である。阻害層 5 5 4 は、CVD 法により形成してよい。阻害層 5 5 4 には、例えば、エッチング等のフォトリソグラフィ法により開口 5 5 6 が形成される。開口 5 5 6 は、 $(\sqrt{3}) /$

3以上のアスペクト比を有してもよい。

[0124] 図9は、半導体基板510の製造過程における半導体基板910の一例を概略的に示す。図9に示すとおり、エピタキシャル成長法により、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962が開口556に形成される。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962は、図1から図3に関連して説明した被熱処理部130に対応する。

[0125] $\text{Si}_x\text{Ge}_{1-x}$ 結晶962は、例えば、原料ガスの一部にハロゲンを含むCVD法により形成できる。障害層554の表面では $\text{Si}_x\text{Ge}_{1-x}$ 結晶962の前駆体が結晶に成長することが障害されるので、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962は開口556の内部に選択成長する。このとき、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962の内部には、格子欠陥等の欠陥が発生する場合がある。

[0126] $\text{Si}_x\text{Ge}_{1-x}$ 結晶962をアニールすることで、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562の内部の欠陥密度を低減できる。しかし、ベース基板520には、すでに第1の電子素子570の一部が形成されているので、ベース基板520に電磁波を照射して800～900℃での高温アニールを実施すると、第1の電子素子570が損傷する場合がある。また、ウェル571、ソース領域572、およびドレイン領域574に含まれる不純物がさらに拡散する。そこで、保護層950により、第1の電子素子570を電磁波から保護する。その結果、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962を選択的に加熱することができる。

[0127] 図9に示すとおり、第1の電子素子570を覆う領域の障害層554の表面には遮蔽層952が形成されてよい。障害層554および遮蔽層952が保護層950として機能する。遮蔽層952は、図2に関連して説明した遮蔽層252と同一の機能および構造を有してよい。遮蔽層952は、例えば、電磁波の少なくとも一部を反射する金属薄膜である。金属薄膜は、例えば、真空蒸着法により形成できる。遮蔽層952は、第1の電子素子570を電磁波から保護するのに十分な大きさに形成される。遮蔽層952、障害層554、および第1の電子素子570は、電磁波の透過方向に対して、この順に配置されてよい。

[0128] 図10は、半導体基板510の製造過程における半導体基板910の一例

を概略的に示す。図 10 に示すとおり、ベース基板 520 の上方から電磁波 10 が照射される。電磁波 10 は、例えばフラッシュランプのフラッシュ光である。

[0129] 電磁波 10 の波長は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 に吸収されやすく、遮蔽層 952 に遮蔽されやすい波長が選択されることが好ましい。例えば、遮蔽層 952 が金属薄膜である場合には、遮蔽層 952 に反射されやすい波長が選択される。また、電磁波の波長は、阻害層 554 に吸収されにくい波長が選択されてもよい。これにより、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 が選択的に加熱され、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 にアニールが施される。上記アニールは、被熱処理部 130 のアニールと同様の条件で実施できる。このとき、第 1 の電子素子 570 は電磁波 10 から保護されているので、第 1 の電子素子 570 の温度上昇が抑制される。

[0130] なお、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 を選択的に加熱する段階の前に、半導体基板 910 を予備加熱してもよい。予備加熱は、例えば、ベース基板 520 の第 2 主面 524 に一定温度に加熱された支持体を接触させ、上記支持体から半導体基板 910 への熱伝導により半導体基板 910 を全体的に加熱することで実施できる。これにより、少なくとも $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 および第 1 の電子素子 570 が加熱される。

[0131] また、予備加熱は、ベース基板 520 の第 2 主面 524 側からベース基板 520 に吸収される電磁波を照射して、半導体基板 910 を全体的に加熱することでも実施できる。予備加熱は、第 1 の電子素子 570 の温度が、第 1 の電子素子 570 が熱劣化する温度を超えないように実施される。

[0132] 上記アニールにより、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 の欠陥密度が低減して、結晶性に優れた $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 が得られる。例えば、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 の表面にまで貫通する貫通転位の平均転位密度は、 10^5 cm^{-2} 以下に低減される。平均転位密度は、エッチピット法または透過型電子顕微鏡による平面断面観察により測定できる。

[0133] 図 9 に関連して説明した $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 の前駆体を結晶に成長さ

せる段階と、図 10 に関連して説明した $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 を選択的に加熱する段階とは、一例として、同一の反応容器の内部で実施される。また、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 の前駆体を結晶に成長させる段階の後、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 が大気に曝露することなく、連続して、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 を選択的に加熱する段階を実施してもよい。

[0134] 図 11 は、半導体基板 510 の断面の一例を概略的に示す。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 上に 3-5 族化合物半導体 566 が形成される。3-5 族化合物半導体 566 は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 に格子整合または擬格子整合する。例えば、3-5 族化合物半導体 566 は、優れた結晶性を有する $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 (962 に、図面もあわせて統一する) の表面をシード面として、エピタキシャル成長する。3-5 族化合物半導体 566 は、例えば、MOCVD 法により形成できる。

[0135] 3-5 族化合物半導体 566 は、半導体基板 910 に保護層 950 が形成された状態で結晶成長させることが好ましい。これにより、第 1 の電子素子 570 の温度上昇を抑制しながら、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 に格子整合または擬格子整合する 3-5 族化合物半導体 566 を得られる。例えば、第 1 の電子素子 570 を覆う阻害層 554 と、第 1 の電子素子 570 を電磁波から保護する遮蔽層 952 が形成された状態で、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 が吸収できる電磁波を基板に照射しながら、反応容器に原料ガスを供給する。これにより、アニールされた $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 の表面に、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 に格子整合または擬格子整合する 3-5 族化合物半導体を選択成長させることができる。

[0136] このとき、ベース基板 520 の温度、特に、第 1 の電子素子 570 が形成された領域の温度は、例えば 650°C 以下、好ましくは 450°C 以下に維持される。これにより、熱により第 1 の電子素子 570 が劣化することをより抑制できる。なお、ベース基板 520 に $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 が形成される間、半導体基板 910 が予備加熱される間、および、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 がアニールされる間においても、ベース基板 520 の温度は 650°C 以

下、好ましくは450℃以下に維持される。

[0137] 3-5族化合物半導体566が形成された後、遮蔽層952がエッチング等により除去されて、半導体基板510が得られる。その後、第2の電子素子580、配線592、配線594、配線596等が形成され、第1の電子素子570と、第2の電子素子580とを電氣的に結合させて電子デバイス500が得られる。

[0138] なお、本実施形態において、遮蔽層952を除去する場合について説明したが、遮蔽層952の一部を残して、配線592または配線594の一部として利用してもよい。また、本実施形態において、遮蔽層952が形成された状態で、3-5族化合物半導体566を結晶成長させる場合について説明したが、遮蔽層952が除去された後に3-5族化合物半導体566を結晶成長させてもよい。

[0139] また、本実施形態において、遮蔽層952、障害層554、および第1の電子素子570が、電磁波の透過方向に対して、この順に配される場合について説明したが、障害層554、遮蔽層952、および第1の電子素子570が、電磁波の透過方向に対して、この順に配置されてもよい。即ち、障害層、保護層、および被保護部が電磁波の透過方向に対して、この順に配置されてもよい。当該配置によっても、保護層を形成した後で $\text{Si}_x\text{Ge}_{1-x}$ 結晶962を選択的に加熱できる。

[0140] 本実施形態において、半導体基板910に保護層950を配置して、電磁波から第1の電子素子570を保護しつつ、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962を選択的に加熱する場合について説明した。しかしながら、その他の方法によって、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962を選択的に加熱してもよい。

[0141] 具体的には、半導体基板910は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962の近傍に、電磁波を吸収して熱を発生する発熱層を備えてもよい。これにより、半導体基板910に電磁波を照射して発熱層を選択的に加熱することで、半導体基板910の温度を全体的に上昇させることなく、発熱層で発生した熱により $\text{Si}_x\text{Ge}_{1-x}$ 結晶962を選択的に加熱できる。発熱層は、例えば、アモルフ

アスシリコンを含む。上記の加熱方法を、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 の表面に 3-5 族化合物半導体 566 をエピタキシャル成長させる場合に適用してもよい。

[0142] また、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 を選択的に加熱する別の例として、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 に吸収されやすく、ベース基板 520 および第 1 の電子素子 570 に吸収されにくい電磁波を、ベース基板 520 に照射してもよい。これにより、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 を選択的に加熱できる。上記の方法を、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 の表面に 3-5 族化合物半導体 566 をエピタキシャル成長させる場合に適用してもよい。

[0143] 図 12 は、熱処理装置 1200 の断面の一例を概略的に示す。熱処理装置 1200 は、ベース基板 1280 を收容する。ベース基板 1280 は、例えば、ベース基板 120、ベース基板 420、およびベース基板 520 のいずれかと同様の構成を有する。ベース基板 1280 の第 1 主面 1282 には、一例として、単結晶層を有し熱処理される被熱処理部 130 と、熱処理で加えられる熱から保護されるべき被保護部 140 と、被保護部を電磁波から保護する保護層 150 が設けられている。

[0144] 熱処理装置 1200 は反応装置の一例である。例えば、熱処理装置 1200 は、ベース基板 1280 に、フラッシュアニール等の熱処理を施す。また、熱処理装置 1200 は、ベース基板 1280 に、 Si 結晶、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$)、および化合物半導体結晶等を形成する CVD 装置を兼ねてもよい。

[0145] 熱処理装置 1200 は、熱処理炉 1210、ランプユニット 1230、ランプユニット 1240、放射温度計 1252、および制御部 1260 を備える。熱処理炉 1210 は、ウエハ搬入口 1212、ガス流入部 1214、ガス排出部 1216、および蓋部 1222 を有する。ランプユニット 1230 は、ランプ 1232、反射部材 1234、フィルタ 1236、および電源部 1238 を有する。ランプユニット 1240 は、ランプ 1242、反射部材 1244、および電源部 1248 を有する。

- [0146] 熱処理炉 1210 は、内部にベース基板 1280 を收容する。熱処理炉 1210 は、反応容器の一例である。熱処理炉 1210 は、例えば中空の円筒形状を有する。ウエハ搬入口 1212 は、ベース基板 1280 の搬入または取り出しに用いられる。蓋部 1222 は、ウエハ搬入口 1212 を密閉する。また、蓋部 1222 は、熱処理装置 1200 の内部でベース基板 1280 を支持する支持体 1224 を含んでもよい。これにより、熱処理炉 1210 は、内部にベース基板 1280 を保持できる。
- [0147] 支持体 1224 は、例えば、グラファイト製のサセプタである。支持体 1224 には、支持体 1224 の温度を計測する加熱温度測定部としての温度センサーが配置されてもよい。ベース基板 1280 は、支持体 1224 に接するように載置されてもよい。この場合には、支持体 1224 とベース基板 1280 の下部温度は略同一である。従って、上記温度センサーはベース基板 1280 の裏面の温度を測定することができる。例えば、上記温度センサーは、ベース基板 1280 に形成された耐熱性の小さな部分の温度を測定することができる。上記温度センサーは、ベース基板 1280 に形成された Si デバイスまたは 3-5 族化合物半導体デバイスの近傍の温度を計測してもよい。
- [0148] 熱処理炉 1210 において、ガス流入部 1214 から、不活性ガス等が熱処理炉 1210 の内部に供給される。また、ガス排出部 1216 から、熱処理炉 1210 の内部のガスが排出されてもよい。また、ガス流入部 1214 は、熱処理炉 1210 の内部に、CVD、MOCVD 等の原料ガスを供給する。例えば、ガス流入部 1214 は、熱処理炉 1210 の内部に原料ガス 1290 およびキャリアガス等を供給する。キャリアガスは、例えば水素ガスである。
- [0149] 熱処理炉 1210 の内部では、原料ガス 1290 が反応することにより、熱処理炉 1210 の内部に保持されたベース基板 1280 に半導体の結晶がエピタキシャル成長する。反応容器内の残存ガス等は、ガス排出部 1216 から排出される。図示されていないが、ガス排出部 1216 は真空系に接続

されてもよい。

- [0150] 原料ガス 1290 の温度は、ベース基板 1280 の温度よりも低い。ベース基板 1280 に電磁波を照射して半導体の結晶をエピタキシャル成長させている間、原料ガス 1290 によりベース基板 1280 を冷却することが好ましい。ベース基板 1280 を冷却しながら電磁波を照射することにより、ベース基板 1280 の被熱処理部 130 以外の領域の温度差を維持しながら被熱処理部 130 を選択的に加熱することができる。
- [0151] ランプユニット 1230 は、照射部の一例である。ランプユニット 1230 は、ベース基板 1280 の第 1 主面 1282 の側に配置される。ランプユニット 1230 は、ベース基板 1280 の第 1 主面 1282 の側からベース基板 1280 に対して電磁波を照射する。これにより、ランプユニット 1230 は、ベース基板 1280 を加熱する。
- [0152] それぞれのランプ 1232 は電磁波を発生させる。ランプ 1232 は、例えば赤外線を含む光を発生させる。それぞれのランプ 1232 は、ベース基板 1280 全体に均一に電磁波を照射するインコヒーレントな光を発生させてもよい。熱処理装置 1200 は、例えば、複数の安価な光源を多数並列配置してベース基板 120 全体に均一に電磁波を照射することにより、大面積のベース基板 120 を一括して熱処理することができる。ランプ 1232 は、例えば、高輝度放電ランプ、ハロゲンランプ、キセノンランプ、または LED ランプである。高輝度放電ランプは、例えば、高圧水銀ランプ、メタルハライドランプ、またはナトリウムランプである。
- [0153] ランプユニット 1230 は、連続的に電磁波を照射してもよく、電磁波をパルス状に複数回照射してもよい。ランプユニット 1230 は、電磁波をパルス状に照射する時間および回数を、電磁波を照射する用途に応じて決定してもよい。
- [0154] 例えば、ランプユニット 1230 は、ベース基板 1280 に電磁波をパルス状に複数回照射することにより、フラッシュアニールを施す。フラッシュアニールにおいて、ランプユニット 1230 は、キセノンランプ等のフラッ

シュランプを用いて、フラッシュ光をベース基板 1280 に照射する。ベース基板 1280 の表層部分は、例えば 1000℃ 以上の高温に短時間で加熱される。また、ベース基板 1280 をスキャンしながら、フラッシュランプからのフラッシュ光をベース基板 1280 に照射することで、ベース基板 1280 の全面が加熱される。

[0155] フラッシュランプが照射する電磁波のパルス幅は、例えば、1 ns ~ 100 ms である。ベース基板 1280 を高い温度で熱処理する場合には、電磁波のパルス幅は短いほうが好ましい。しかし、上記パルス幅が 0.1 ms より小さい場合には、光パルスの制御が難しくなる。そこで、電磁波のパルス幅は 0.1 ms ~ 10 ms であることが好ましい。ここで、本明細書において、パルス幅とは、パルス波形のレベルが、ピーク値の 1/2 以上の大きさを維持する時間幅を意味する。

[0156] フラッシュ光の光照射量は、熱処理対象および利用可能なランプにより任意に選択できる。光照射量は、例えば 2 ~ 50 J/cm² である。なお、本明細書において、フラッシュランプの光照射量とは、フラッシュランプが出力する電磁波のエネルギー（単位：J）を、ベース基板 1280 においてフラッシュランプが照射される領域の面積（単位：cm²）で除した値のことを言う。

[0157] フラッシュ光を複数回照射する場合、フラッシュ光のパルス間隔は、フラッシュ光源の出力性能および繰り返し充放電性能、ならびに被熱処理部 130 の放熱性を考慮して設定される。例えば、被熱処理部 130 の温度が必要アニール温度に到達して、かつ、被保護部 140 の温度が所定の温度以上にならないよう設定される。上記パルス間隔は、例えば 1 s 以上である。

[0158] パルス間隔が短すぎる場合には、充放電に要する設備負担が過大になる。また、ベース基板 1280 における熱エネルギーの放散が間に合わないことにより、被保護部 140 の不要な温度上昇を招く場合がある。一方、上記パルス間隔が長すぎる場合には、処理時間が長くなるとともに、熱処理に要するエネルギーが増加する。

- [0159] フラッシュランプのパルス点灯回数、および、各パルスのパルス幅は、被熱処理部 130 が十分なアニール効果を受けるよう自由に設定してもよい。フラッシュランプのパルス回数、または、各パルスのパルス幅を調整することで、熱処理の温度および時間を調整できる。
- [0160] 例えば、被熱処理部 130 が $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) を含み、連続光を用いた連続アニールにより被熱処理部 130 をアニールする場合には、上記熱処理の温度および時間は $850 \sim 900^\circ\text{C}$ で $2 \sim 10$ 分間である。アニールの温度は、例えば、被熱処理部 130 の融点より低い温度である。
- [0161] フラッシュアニールにおいては、一例として、光照射量が 5 J/cm^2 のランプを用いて、 $0.2 \mu\text{m} \sim 1.5 \mu\text{m}$ の波長範囲で広い発光スペクトル成分を有するフラッシュ光を、パルス幅が 1 ms 、パルス間隔が 30 s の条件で 5 回程度照射する。これにより、累計で 5 ms 程度の照射で、被熱処理部 130 の最高到達温度を $750 \sim 800^\circ\text{C}$ にできる。
- [0162] ベース基板 1280 を予め $400 \sim 600^\circ\text{C}$ 程度に予備加熱しておき、同様に光照射量が 5 J/cm^2 のランプを用いて、同様の波長帯を有するフラッシュ光を、パルス幅が 5 ms 、パルス間隔が 30 s の条件で 5 回程度照射してもよい。これにより、被熱処理部 130 の最高到達温度を $850 \sim 900^\circ\text{C}$ にできる。
- [0163] ベース基板 1280 に対して複数段階のアニールを施してもよい。例えば、被熱処理部 130 の融点に達しない温度で高温アニールを実施した後、高温アニールの温度より低い温度で低温アニールを実施する。また、このような 2 段階のアニールを、複数回繰り返して実施してよい。高温アニールの温度および時間は、被熱処理部 130 が $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) を含む場合には、例えば、 $850 \sim 900^\circ\text{C}$ で $2 \sim 10$ 分間である。低温アニールの温度および時間は、例えば、 $600 \sim 780^\circ\text{C}$ で $2 \sim 10$ 分間である。このような 2 段階アニールが、例えば 10 回繰り返される。
- [0164] フラッシュアニールにより被熱処理部 130 をアニールする場合には、パルス幅およびパルス間隔等の条件を調整することで、上記複数段階のアニール

ルを実施できる。例えば、フラッシュアニールにより２段階のアニールを実施する場合には、１回のフラッシュ光の照射による被熱処理部１３０の最高到達温度が高温アニールの温度範囲に含まれるように、パルス幅等の条件を調整する。また、次のフラッシュ光を照射するまでの間に、被熱処理部１３０の温度は低下する。そこで、次のフラッシュ光の照射による被熱処理部１３０の温度が低温アニールの温度範囲に含まれるように、パルス間隔を調整してもよい。

[0165] 反射部材１２３４は、ランプ１２３２から照射された電磁波のうち、ベース基板１２８０に向かわない電磁波を、ベース基板１２８０に向かうように反射する。電源部１２３８は、例えば、制御部１２６０から入力された信号に基づき、ランプ１２３２に供給する電流を調整する。

[0166] フィルタ１２３６は、ベース基板１２８０とランプ１２３２との間に配置される。フィルタ１２３６は、ベース基板１２８０が吸収することができる電磁波の波長成分の少なくとも一部を遮断してもよい。フィルタ１２３６は、ランプ１２３２が発生させた電磁波のうち、特定の波長成分を吸収する。例えば、フィルタ１２３６は、ランプ１２３２が照射する電磁波の波長成分のうち、ベース基板１２８０の被保護部１４０における吸収係数が、ベース基板１２８０の被熱処理部１３０における吸収係数よりも大きい波長成分を遮断する。

[0167] フィルタ１２３６は、ベース基板１２８０が被保護部１４０を有する場合には、被保護部１４０と同じ材料を含んでもよい。例えば、被保護部１４０がＳｉ基板、ＳＯＩ基板等のＳｉ結晶に形成されたＭＯＳＦＥＴである場合には、Ｓｉ結晶基板のようにＳｉ結晶を含むフィルタを用いることで、Ｓｉ結晶には吸収されず $\text{Si}_x\text{Ge}_{1-x}$ 結晶（ $0 \leq x < 1$ ）を選択的に加熱できる電磁波が得られる。また、例えば、フィルタとして SiO_2 層が形成されたＳｉ結晶基板を用いることで、Ｓｉ結晶および SiO_2 には吸収されず $\text{Si}_x\text{Ge}_{1-x}$ 結晶（ $0 \leq x < 1$ ）を選択的に加熱できる電磁波が得られる。

[0168] 熱処理装置１２００が、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶を含む被熱処理部１３０をフラ

ツシュアニールによりアニールする場合には、加熱部を用いて、ベース基板 1280 の全体を予め 400～600℃程度に予備加熱してもよい。また、熱処理装置 1200 は、第 2 主面 1284 の側からベース基板 1280 を予備加熱した後、ベース基板 1280 全体の温度を所定の温度に維持しながら、第 1 主面 1282 側からベース基板 1280 に電磁波を照射してもよい。

[0169] 熱処理装置 1200 は、ベース基板 1280 の下方に設けられた熱源によりベース基板 1280 全体に加える熱量が、ベース基板 1280 から放射される熱量と略等しくなるように、ベース基板 1280 を加熱してもよい。熱処理装置 1200 は、ベース基板 1280 を予備加熱することにより、電磁波のパルス振幅を小さくすることができる。

[0170] 予備加熱は、被保護部 140 の温度が、被保護部 140 が熱劣化する温度を超えないように実施される。ここで、被保護部 140 が熱劣化する温度とは、被保護部 140 の特性が、設計で決定した許容範囲を超える温度を意味する。

[0171] 予備加熱は、例えば、反応容器中でベース基板 1280 を支持する支持体を一定温度に加熱することで実施できる。例えば、ベース基板 1280 の第 2 主面 1284 に一定温度に加熱された支持体を接触させ、当該支持体からベース基板 1280 への熱伝導により、被熱処理部 130 および被保護部 140 が予備加熱される。支持体は、例えば、支持体が吸収可能な電磁波を第 1 主面 1282 に照射することで加熱される。また、支持体はヒーター等によって電熱加熱されてもよい。予備加熱においては、ベース基板 1280 が吸収可能な電磁波を第 2 主面 1284 の側から照射することによりベース基板 1280 を加熱してもよい。

[0172] ランプユニット 1240 は加熱部の一例である。ランプユニット 1240 は、ベース基板 1280 の第 2 主面 1284 の側に配置される。ランプユニット 1240 は、ベース基板 1280 の第 2 主面 1284 の側からベース基板 1280 に対して電磁波を照射する。これにより、ランプユニット 1240 は支持体 1224 を加熱できる。また、ランプユニット 1240 は、支持

体 1 2 2 4 を介してベース基板 1 2 8 0 を全体的に加熱できる。ベース基板 1 2 8 0 は、例えば、支持体 1 2 2 4 からの伝熱により加熱される。

[0173] それぞれのランプ 1 2 4 2 は電磁波を発生させる。ランプ 1 2 4 2 は、例えば赤外線を含む光を発生させる。ランプ 1 2 4 2 はインコヒーレントな光を発生させてもよい。これにより、複数の安価なランプ 1 2 4 2 を多数並列配置することにより、大面積のベース基板 1 2 8 0 を一括して熱処理することができる。ランプ 1 2 4 2 は、例えば、高輝度放電ランプ、ハロゲンランプ、キセノンランプ、LED ランプである。高輝度放電ランプは、例えば、高圧水銀ランプ、メタルハライドランプ、ナトリウムランプである。なお、加熱部はランプユニット 1 2 4 0 に限定されない。加熱部は、抵抗加熱により支持体 1 2 2 4 またはベース基板 1 2 8 0 を全体的に加熱してもよい。

[0174] 熱処理装置 1 2 0 0 は、ランプユニット 1 2 4 0 を用いて電磁波を照射しながら、ベース基板 1 2 8 0 の上方からランプ 1 2 3 2 によって電磁波を照射してもよい。熱処理装置 1 2 0 0 は、ランプユニット 1 2 4 0 を用いて電磁波を照射し続けることにより、ベース基板 1 2 8 0 の裏面の温度を一定温度範囲内に保った状態で、被熱処理部 1 3 0 を加熱することができる。その結果、被熱処理部 1 3 0 の温度制御が容易になる。

[0175] 反射部材 1 2 4 4 は、ランプ 1 2 4 2 から照射された電磁波のうち、ベース基板 1 2 8 0 に向かわない電磁波を、ベース基板 1 2 8 0 に向かうように反射する。電源部 1 2 4 8 は、例えば、制御部 1 2 6 0 から入力された信号に基づき、ランプ 1 2 4 2 に供給する電流を調整する。

[0176] 放射温度計 1 2 5 2 は、ベース基板 1 2 8 0 の温度を計測する。放射温度計 1 2 5 2 は温度測定部の一例である。ベース基板 1 2 8 0 の表面近傍に、ランプユニット 1 2 3 0 の照射した電磁波により加熱される被熱処理部 1 3 0 が形成されている場合には、放射温度計 1 2 5 2 は、被熱処理部 1 3 0 の放射熱を計測する。これにより、被熱処理部 1 3 0 の温度を非接触で測定できる。また、放射温度計 1 2 5 2 は、被保護部 1 4 0 の放射熱を計測することにより、被保護部 1 4 0 の温度を被接触で測定する。

- [0177] 放射温度計 1252 は、ランプユニット 1230 が電磁波を照射していない期間に、ベース基板 1280 等の温度を測定してもよい。これにより、ベース基板 1280 等の温度をより正確に測定できる。放射温度計 1252 は、ランプ 1232 が消灯した直後に、ベース基板 1280 等の温度を測定してもよい。また、放射温度計 1252 は、被保護部 140 の温度と被熱処理部 130 の温度とを順次測定してもよい。例えば、放射温度計 1252 は、被保護部 140 の温度と被熱処理部 130 の温度とを交互に測定する。放射温度計 1252 は、被保護部 140 の温度を複数回測定した後に、被熱処理部 130 の温度を複数回測定してもよい。
- [0178] 制御部 1260 は、ランプユニット 1230 およびランプユニット 1240 を制御して、ベース基板 1280 の温度を調節する。制御部 1260 は、例えば、電源部 1238 および電源部 1248 からランプ 1232 およびランプ 1242 に供給される電流または電圧を制御する。制御部 1260 は、ランプユニット 1240 が支持体 1224 に電磁波を連続的に照射してベース基板 1280 を予備加熱した後に、ランプユニット 1230 がベース基板 1280 に電磁波をパルス状に照射してもよい。
- [0179] 制御部 1260 は、ランプユニット 1230 およびランプユニット 1240 を各々独立に制御してもよい。ランプユニット 1230 およびランプユニット 1240 の電磁波の出力を制御してもよい。制御部 1260 は、例えば、ランプユニット 1230 およびランプユニット 1240 の点滅状態、点滅間隔、発生させる電磁波の強度、平均出力、および一定時間における総照射量等を制御する。
- [0180] 制御部 1260 は、電磁波を照射する照射期間と電磁波を照射しない非照射期間とが設けられるようにランプユニット 1230 を制御して、パルス状に電磁波を照射させてもよい。制御部 1260 は、出力の大きな電磁波を照射する期間と、上記電磁波より出力の小さな電磁波を照射する期間とが設けられるように、ランプユニット 1230 を制御して、パルス状に電磁波を照射させてもよい。

- [0181] 制御部 1260 は、支持体 1224 に配置された温度センサーが計測した支持体 1224 の温度に基づいて、ランプユニット 1240 の出力を制御してもよい。制御部 1260 は、放射温度計 1252 が計測した温度に基づいて、ランプユニット 1230 の出力を制御してもよい。例えば、制御部 1260 は、放射温度計 1252 が計測した被熱処理部 130 の温度に基づいて、ランプユニット 1230 が照射する電磁波の強度を調整する。一例として、制御部 1260 は、ランプユニット 1230 の非照射期間に、放射温度計 1252 により、ベース基板 1280、被熱処理部 130、および被保護部 140 等の温度を計測する。
- [0182] 制御部 1260 は、計測した被熱処理部 130 の温度がアニールに必要な温度に達していない場合には、ランプユニット 1230 のパルス幅を大きくすることにより、被熱処理部 130 の温度を上昇させてもよい。制御部 1260 は、ランプユニット 1230 による照射期間を長くすることにより、被熱処理部 130 の温度を上昇させてもよい。制御部 1260 は、被保護部 140 の温度が劣化する温度に基づいて定められた被保護部 140 の最高許容温度を上回っている場合には、ランプユニット 1230 のパルス幅を小さくすることにより、被保護部 140 の温度を下げてよい。
- [0183] 制御部 1260 は、加熱温度測定部として機能する温度センサーによる測定結果に基づいて、照射部として機能するランプユニット 1230 が電磁波を照射する照射期間と、ランプユニット 1230 が電磁波を照射しない非照射期間とを決定してもよい。具体的には、制御部 1260 は、温度センサーが測定したベース基板 1280 の裏面の温度に応じて、ランプユニット 1230 による加熱量を制御する。例えば、ベース基板 1280 の裏面の温度が 300℃ の場合には、ベース基板 1280 の裏面の温度が 400℃ の場合に比べてランプユニット 1230 の照射期間を長くすることにより、アニールに必要な温度にまで被熱処理部 130 の温度を短時間で上昇させることができる。
- [0184] 以上のとおり、熱処理装置 1200 は、被熱処理部 130、被保護部 14

0、および保護層150を有するベース基板1280に電磁波を照射して熱処理することにより、被熱処理部130を選択的に加熱できる。これにより、被熱処理部130の結晶内部の欠陥密度を低減できる。

[0185] また、熱処理装置1200は、第1主面1282の側からベース基板1280を加熱するランプユニット1230と、第2主面1284の側からベース基板1280を加熱するランプユニット1240とを備えるので、ベース基板1280を両面から加熱できる。また、熱処理装置1200は、ランプユニット1230およびランプユニット1240を各々独立に制御できるので、ベース基板1280を両面から各々独立に加熱できる。これにより、熱処理装置1200は、基板の温度を様々な態様で制御できる。

[0186] 図13は、半導体基板110の断面の一例を概略的に示す。図13を用いて、図1に関連して説明した半導体基板110の被熱処理部130の表面に、3-5族化合物半導体1366をエピタキシャル成長させる方法を説明する。3-5族化合物半導体1366は、3-5族化合物半導体の一例である。

[0187] 3-5族化合物半導体1366は、例えば、以下の手順で形成できる。まず、被熱処理部130、被保護部140、および保護層150を有する半導体基板110を準備して、例えば、半導体基板110をCVD装置の反応容器に保持する。

[0188] 次に、被熱処理部130が吸収できる電磁波10を半導体基板110に全体的に照射しながら、反応容器に原料ガス1390を供給する。半導体基板110に電磁波10を照射すると、被熱処理部130が選択的に加熱され、加熱された被熱処理部130の表面に、3-5族化合物半導体1366が選択的にエピタキシャル成長する。このとき、第2主面124の側から半導体基板110を全体的に加熱しながら、半導体基板110に電磁波10を照射してよい。

[0189] 被熱処理部130は、3-5族化合物半導体1366をエピタキシャル成長させる段階の前に、アニールされてもよい。上記アニールは、例えば、図

1から図11に関連して説明した被熱処理部の選択的加熱に用いた電磁波を用いて実施される。このとき、被熱処理部への加熱と、上記3-5族化合物半導体1366をエピタキシャル成長とが、同一の反応容器の内部で実施されてもよい。また、被熱処理部への加熱が実施された後、半導体基板110を大気に曝露することなく、連続して、上記3-5族化合物半導体1366をエピタキシャル成長してもよい。また、保護層150の代わりに、図2に関連して説明した保護層250を用いてもよい。

[0190] 被熱処理部130の表面に3-5族化合物半導体1366を選択的にエピタキシャル成長させる方法は、上記の方法に限定されない。被熱処理部と、電磁波を吸収して熱を発生して、被熱処理部を選択的に加熱する発熱部とを有する基板に、発熱部が吸収できる電磁波を基板に照射してもよい。反応容器に原料ガス1390を供給すれば、加熱された被熱処理部の表面に、3-5族化合物半導体をエピタキシャル成長させることができる。

[0191] また、被熱処理部130の表面に、3-5族化合物半導体1366を選択的にエピタキシャル成長させる方法の別の例として、SOI基板およびSi基板から選ばれ、半導体デバイスの少なくとも一部が形成されたベース基板に $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) を含む被熱処理部を設ける方法もある。この場合においては、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶への吸収係数が、ベース基板に含まれるSiへの吸収係数より大きい電磁波を基板に照射して、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶を加熱する。当該電磁波の照射をしながら反応容器に原料ガス1390を供給して、加熱された被熱処理部の表面に、3-5族化合物半導体をエピタキシャル成長させてもよい。

[0192] 図14は、半導体基板510の製造過程における半導体基板910の一例を概略的に示す。図14を用いて、図10に関連して説明した方法で製造した半導体基板910に3-5族化合物半導体566をエピタキシャル成長させる方法の一例について説明する。図14に示すとおり、半導体基板910は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962を加熱して得られた $\text{Si}_x\text{Ge}_{1-x}$ 結晶562を有する。また、半導体基板910は保護層950を有する。

- [0193] 3-5族化合物半導体566は、例えば、以下の手順で形成できる。まず、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562が形成された半導体基板910を、CVD装置の反応容器に保持する。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962を加熱するのに用いられた熱処理装置は、上記CVD装置を兼ねてもよい。
- [0194] 次に、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562が吸収できる電磁波10を半導体基板910に全体的に照射しながら、反応容器に原料ガス1490を供給する。続いて、熱処理装置は、半導体基板910に電磁波10を照射する。電磁波10によって $\text{Si}_x\text{Ge}_{1-x}$ 結晶562が選択的に加熱され、加熱された $\text{Si}_x\text{Ge}_{1-x}$ 結晶562の表面に、3-5族化合物半導体566が選択的にエピタキシャル成長する。このとき、熱処理装置は、第2主面524の側から半導体基板910を全体的に加熱しながら、半導体基板910に電磁波10を照射してもよい。
- [0195] 3-5族化合物半導体566を選択的にエピタキシャル成長させる方法は、上記の方法に限定されない。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562の近傍の障害層554の内部に発熱層を配置して、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶562を選択的に加熱しながら、反応容器に原料ガス1490を供給してもよい。半導体基板910は、上記発熱層と保護層950とを有してもよい。

実施例

- [0196] (実施例1)

電子デバイス500を、図6に示す手順に従って製作した。ベース基板520として、市販のSOI基板を準備した。被保護部の一例である第1の電子素子570として、MOSFETをベース基板520のSi結晶層に形成した。障害層554として、ベース基板520の第1主面522に接する SiO_2 層を、CVD法により形成した。 SiO_2 層の厚さの平均値は、 $1\mu\text{m}$ であった。フォトリソグラフィ法により、障害層554の一部に開口556を形成した。開口556の大きさは、 $15\mu\text{m} \times 15\mu\text{m}$ とした。

- [0197] 障害層554および開口556が形成されたベース基板520を、熱処理装置1200の熱処理炉1210の内部に配置して、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶96

2としてのGe結晶層を形成した。上記のベース基板520は、支持体1224の上面に、ベース基板520の第2主面524が支持体1224に接するように載置した。支持体1224には、グラファイト製のサセプタを用いた。Ge結晶層は、CVD法により、開口556の内部に選択的に形成した。Ge結晶層は、GeH₄を原料ガスに用いて、熱処理炉1210内の圧力が2.6kPa、成長温度が400℃の条件で、いったん約20nmの厚さまで成膜した後、600℃に昇温して、引き続き約1μmの厚さに成膜した。

[0198] 遮蔽層952として、Ag薄膜とSiO₂層とを有する構造体を形成した。上記構造体の形成においては、予め真空蒸着法により阻害層554の表面にAg薄膜を形成した。さらに、Ag保護層として、真空蒸着法によりAg薄膜の表面に100nmのSiO₂層を成膜した後、フォトリソグラフィ法により上記Ag薄膜およびAg保護層としてのSiO₂層をパターンニングして、上記構造体を得た。Ag薄膜およびAg保護層としてのSiO₂層は、第1主面522に垂直な方向からみて、第1の電子素子570を覆い隠す大きさにパターンニングした。以上の工程により、半導体基板910を作製した。

[0199] 次に、熱処理炉1210中で、半導体基板910を載置した支持体1224の裏面からランプユニット1240により赤外線を照射することで、支持体1224を加熱した。支持体1224から半導体基板910の第2主面524への熱伝導により、半導体基板910の予備加熱を実施した。予備加熱は、支持体1224の温度が400℃になるよう実施した。このとき、Si_xGe_{1-x}結晶962近傍および第1の電子素子570近傍の温度も、約400℃であった。

[0200] 上記温度は、赤外表面温度計により計測した。予備加熱により半導体基板910の温度が安定した後、ランプユニット1240により半導体基板910を全体的に加熱しながら、阻害層554および遮蔽層952を保護層として、ランプユニット1230により、赤外線を含むランプ光を第1主面522の側から半導体基板910に対して照射した。これにより、Si_xGe_{1-x}結晶962を選択的に加熱して、Si_xGe_{1-x}結晶962をアニールした。

- [0201] ランプ光の照射は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 を形成した後、半導体基板 910 を熱処理炉 1210 から取り出すことなく実施した。即ち、本実施例において、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 の前駆体を結晶に成長させる段階の後、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 を大気に曝露することなく、連続して、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 を選択的に加熱した。また、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 の前駆体を結晶に成長させる段階と、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 を選択的に加熱する段階とを、同一の反応容器の内部で実行した。
- [0202] 上記の赤外線を含むランプ光の光源として、最大出力が 1.6 kW のハロゲンランプ（ウシオ電機株式会社製）を 20 本使用した。ハロゲンランプの出力は、次のように調整した。まず、Si 基板上の全面に、厚さ約 $1\ \mu\text{m}$ の Ge 単結晶層を有する参照基板を準備して、ハロゲンランプの出力と上記参照基板の表面温度との相関特性を得た。次に、この相関特性に基づいて、半導体基板 910 の第 1 主面 522 の表面温度が 850°C になるようにハロゲンランプの出力を設定して、半導体基板 910 にランプ光を 20 分間照射した。また、上記ハロゲンランプと半導体基板 910 との間には、フィルタ 1236 として、Si 単結晶板を設置して、その透過光を半導体基板 910 の第 1 主面 522 に照射した。
- [0203] 上記のハロゲンランプの出力と参照基板の表面温度との相関特性は、以下の手順で得られた。まず、熱処理炉 1210 中の支持体 1224 上に上記参照基板を載置した。上記参照基板は、Ge 単結晶層が形成された面（第 1 主面と称する場合がある。）とは反対側の面（第 2 主面と称する場合がある。）が支持体 1224 の上面に接するように載置した。
- [0204] 次に、参照基板を予備加熱した。予備加熱は、熱処理炉 1210 中で、支持体 1224 の下面側から赤外線を照射して、支持体 1224 を加熱することで実施した。これにより、支持体 1224 から上記参照基板への熱伝導により、参照基板を全体的に加熱した。予備加熱は、支持体 1224 の温度が 400°C になるよう実施した。このとき、赤外表面温度計の校正も実施した。上記校正は、赤外表面温度計により計測された上記参照基板の第 1 主面の表

面温度が約 400℃となるように上記赤外表面温度計の設定を調整することで実施した。

[0205] 予備加熱により上記参照基板の温度が安定した後、上記参照基板の第 1 主面側から赤外線を含むランプ光を、約 10 秒間隔で間歇的に上記参照基板に対して照射した。ランプ光がオフになった直後の上記第 1 主面の表面温度を赤外表面温度計により計測することで、第 1 主面側から照射されるハロゲンランプの出力と、上記参照基板の第 1 主面の表面温度との相関特性が得られた。

[0206] なお、半導体基板 910 および上記参照基板にランプ光を照射している間、支持体 1224 に埋め込まれた熱電対により温度を検出して、かつ、支持体 1224 の下面に照射する赤外線のエネルギー量をフィードバック制御することで、支持体 1224 の温度を調整した。支持体 1224 の温度が 400℃になるように、上記赤外線のエネルギー量を調整した。

[0207] 以上のとおり、半導体基板 910 の $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 をアニールした後、半導体基板 910 を熱処理炉 1210 から取り出すことなく、MOCVD 法により、3-5 族化合物半導体 566 として GaAs 層を形成した。GaAs 層は、トリメチルガリウムおよびアルシンを原料ガスに用いて、成長温度が 650℃、熱処理炉 1210 内の圧力が 9.9 kPa の条件で成膜した。GaAs 層は、アニールして得られた $\text{Si}_x\text{Ge}_{1-x}$ 結晶 562 が吸収できる電磁波を半導体基板 910 に照射しながら、熱処理炉 1210 の内部に原料ガスを供給して形成した。GaAs 層は、ランプユニット 1240 により半導体基板 910 を全体的に加熱しながら形成した。このとき、グラファイト製支持体の温度は、400℃となるよう調整した。その後、エッチングにより、最表面の Ag 保護層としての SiO_2 層と Ag 薄膜とを除去して、半導体基板 510 を作製した。

[0208] 第 2 の電子素子 580 として、上記 GaAs 層を活性層に用いた HBT を形成した。その後、配線を形成して、電子デバイス 500 を作製した。電子デバイス 500 の動作試験を実施したところ、電子デバイス 500 は、1 k

A/c m²コレクタ電流密度における電流増幅率として181を示して、電流増幅素子として、正常な動作が確認された。ベース基板520のSi結晶層に形成された第1の電子素子570としてのMOSFETは、初期特性と変わらないしきい値および電流電圧特性が確認された。

[0209] また、アニールされたGe結晶層を、SEMにより観察したところ、Ge結晶層の厚さは約1 μmであり、GaAs層の厚さは2.5 μmで設計通りであった。また、エッチピット法によりGaAs層の表面を検査したところ、GaAs層の表面に欠陥は発見されなかった。TEMにより面内断面観察をしたところ、Ge結晶層からGaAs層に貫通する転位は発見されなかった。

[0210] (実施例2)

電子デバイス500を、図6に示す手順に従って製作した。実施例1と同様にして、ベース基板520上に阻害層554および開口556を形成した。上記ベース基板520を、熱処理炉1210の内部に配置して、Si_xGe_{1-x}結晶962として、Ge結晶層を形成した。Ge結晶層は、CVD法により、開口556の内部に選択的に形成した。Ge結晶層は、GeH₄を原料ガスに用いて、熱処理炉1210内の圧力が2.6 kPa、成長温度400℃でいったん約20 nm成膜した後、600℃に昇温して、引き続き約1 μmの厚さで成膜した。

[0211] 遮蔽層952として、Ag薄膜とSiO₂層とを有する構造体を形成した。上記構造体は、予め真空蒸着法により阻害層554の表面にAg薄膜を形成して、さらに、Ag保護層として、真空蒸着法によりAg薄膜の表面に100 nmのSiO₂層を成膜した後、フォトリソグラフィ法により、上記Ag薄膜およびAg保護層としてのSiO₂層をパターニングして得られた。Ag薄膜およびAg保護層としてのSiO₂層は、第1主面522に垂直な方向からみて、第1の電子素子570を覆い隠す大きさにパターニングした。以上の工程により、半導体基板910を作製した。

[0212] 次に、半導体基板910を熱処理炉1210からいったん取り出して、別

の反応容器中のグラファイト製支持体上に、ベース基板 520 の第 2 主面 524 がグラファイト製支持体に接するように、半導体基板 910 を載置した。上記の別の反応容器中で、半導体基板 910 を載置したグラファイト製支持体の裏面から電熱加熱により上記グラファイト製支持体を加熱して、グラファイト製支持体に接触する半導体基板 910 の第 2 主面 524 の側への熱伝導により、半導体基板 910 の予備加熱を実施した。予備加熱は、グラファイト製支持体の温度が 200 ~ 600 °C になるよう実施した。

[0213] 予備加熱により半導体基板 910 の温度が安定した後、ランプユニット 1240 により半導体基板 910 を全体的に加熱しながら、障害層 554 および遮蔽層 952 を保護層として、 N_2 または Ar の不活性ガス雰囲気下において、フラッシュ光を第 1 主面 522 の側から半導体基板 910 に対して照射した。これにより、 Si_xGe_{1-x} 結晶 962 を選択的に加熱して、 Si_xGe_{1-x} 結晶 962 をアニールした。

[0214] フラッシュランプとして、半導体基板 910 の単位面積当たりの入力エネルギーの値が、約 $15 J/cm^2$ のキセノンランプ（ウシオ電機株式会社製）を用いた。フラッシュ光のパルス幅を 1 ms、繰り返し照射時のフラッシュ光のパルス間隔を 30 s として、フラッシュ光を 5 回照射した。このとき、グラファイト製支持体の温度は、400 °C となるよう調整した。また、上記フラッシュランプと半導体基板 910 の間には、フィルタ 1236 として、 Si 単結晶板を設置して、その透過光を半導体基板 910 の第 1 主面 522 に照射した。

[0215] 以上のとおり、半導体基板 910 の Si_xGe_{1-x} 結晶 962 をアニールした後、半導体基板 910 を熱処理に用いた反応容器から取り出した。その後、さらに別の反応装置を用いて、MOCVD 法により、3-5 族化合物半導体 566 として $GaAs$ 層を形成した。 $GaAs$ 層は、トリメチルガリウムおよびアルシンを原料ガスに用いて、成長温度が 650 °C、反応容器内の圧力が 9.9 kPa の条件で成膜した。

[0216] $GaAs$ 層は、アニールして得られた Si_xGe_{1-x} 結晶 562 が吸収でき

る電磁波を半導体基板 910 に照射しながら、熱処理炉 1210 の内部に原料ガスを供給して形成した。GaAs 層は、ランプユニット 1240 により半導体基板 910 を全体的に加熱しながら形成した。このとき、グラファイト製支持体の温度は、400℃となるよう調整した。その後、エッチングにより、最表面の Ag 保護層としての SiO₂ 層と Ag 薄膜とを除去して、半導体基板 510 を作製した。

[0217] 第2の電子素子 580 として、上記 GaAs 層を活性層に用いた HBT を形成した。その後、配線を形成して、電子デバイス 500 を作製した。電子デバイス 500 の動作試験を実施したところ、電子デバイス 500 は、1 kA/cm² コレクタ電流密度における電流増幅率として 178 を示して、電流増幅素子として、正常な動作が確認された。ベース基板 520 の Si 結晶層に形成された第1の電子素子 570 としての MOSFET は、初期特性と変わらないしきい値および電流電圧特性が確認された。

[0218] また、アニールされた Ge 結晶層を SEM により観察したところ、Ge 結晶層の厚さは約 1 μm であり、GaAs 層の厚さは約 2.5 μm で設計通りであった。また、エッチピット法により GaAs 層の表面を検査したところ、GaAs 層の表面に欠陥は発見されなかった。TEM により面内断面観察をしたところ Ge 結晶層から GaAs 層に貫通する転位は発見されなかった。

[0219] (実施例 3)

電子デバイス 500 を、図 6 に示す手順に従って製作した。ベース基板 520 として、市販の Si 基板を準備した。被保護部の一例である電子素子 570 として、MOSFET をベース基板 520 の Si 結晶層に形成した。阻害層 554 として、ベース基板 520 の第1主面 522 に接する SiO₂ 層を、CVD 法により形成した。SiO₂ 層の厚さの平均値は、1 μm であった。フォトリソグラフィ法により、阻害層 554 の一部に開口 556 を形成した。開口 556 の大きさは、15 μm × 15 μm とした。

[0220] 阻害層 554 および開口 556 が形成されたベース基板 520 を、熱処理

装置 1200 の熱処理炉 1210 の内部に配置して、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 として、Ge 結晶層を形成した。上記のベース基板 520 は、支持体 1224 の上面に、ベース基板 520 の第 2 主面 524 が支持体 1224 に接するように載置した。支持体 1224 は、グラファイト製のサセプタを用いた。Ge 結晶層は、CVD 法により、開口 556 の内部に選択的に形成した。Ge 結晶層は、 GeH_4 を原料ガスに用いて、熱処理炉 1210 内の圧力が 2.6 kPa、成長温度が 400°C の条件で、いったん約 20 nm の厚さまで成膜した後、600°C に昇温して、引き続き約 1 μm の厚さに成膜した。

[0221] 遮蔽層 952 として、Ag 薄膜と SiO_2 層とを有する構造体を形成した。上記構造体は、予め真空蒸着法により阻害層 554 の表面に Ag 薄膜を形成して、さらに、Ag 保護層として、真空蒸着法により Ag 薄膜の表面に 100 nm の SiO_2 層を成膜した後、フォトリソグラフィ法により、上記 Ag 薄膜および Ag 保護層としての SiO_2 層をパターニングして得られた。Ag 薄膜および Ag 保護層としての SiO_2 層は、第 1 主面 522 に垂直な方向からみて、電子素子 570 を覆い隠す大きさにパターニングした。以上の工程により、半導体基板 910 を作製した。

[0222] 次に、熱処理炉 1210 中で、ランプユニット 1240 により、半導体基板 910 を載置した支持体 1224 の裏面から赤外線を照射することで支持体 1224 を加熱して、支持体 1224 から半導体基板 910 の第 2 主面 524 の側への熱伝導により、半導体基板 910 の予備加熱を実施した。予備加熱は、支持体 1224 の温度が 400°C になるよう実施した。このとき、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 近傍および電子素子 570 近傍の温度も、約 400°C であった。上記温度は、赤外表面温度計により計測した。

[0223] 予備加熱により半導体基板 910 の温度が安定した後、ランプユニット 1240 により半導体基板 910 を全体的に加熱しながら、阻害層 554 および遮蔽層 952 を保護層として、ランプユニット 1230 により、赤外線を含むランプ光を第 1 主面 522 の側から半導体基板 910 に対して照射した。これにより、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 962 を選択的に加熱して、 $\text{Si}_x\text{Ge}_{1-x}$

結晶 9 6 2 をアニールした。

[0224] ランプ光の照射は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 9 6 2 を形成した後、半導体基板 9 1 0 を熱処理炉 1 2 1 0 から取り出すことなく実施した。即ち、本実施例において、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 9 6 2 の前駆体を結晶に成長させる段階の後、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 9 6 2 を大気に曝露することなく、連続して、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 9 6 2 を選択的に加熱した。また、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 9 6 2 の前駆体を結晶に成長させる段階と、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 9 6 2 を選択的に加熱する段階とを、同一の反応容器の内部で実行した。

[0225] 上記の赤外線を含むランプ光の光源として、最大出力が 1.6 kW のハロゲンランプ（ウシオ電機株式会社製）を 20 本使用した。ハロゲンランプの出力は、次のように調整した。まず、Si 基板上の全面に、厚さ約 $1\ \mu\text{m}$ の Ge 単結晶層を有する参照基板を準備して、ハロゲンランプの出力と上記参照基板の表面温度との相関特性を得た。次に、この相関特性に基づいて、半導体基板 9 1 0 の第 1 主面 5 2 2 の表面温度が 850°C になるようにハロゲンランプの出力を設定して、ランプ光を半導体基板 9 1 0 の第 1 主面 5 2 2 にフィルタ 1 2 3 6 を通さず直接 20 分間照射した。

[0226] 上記のハロゲンランプの出力と参照基板の表面温度との相関特性は、以下の手順で得られた。まず、熱処理炉 1 2 1 0 中の支持体 1 2 2 4 の上に上記参照基板を載置した。上記参照基板は、Ge 単結晶層が形成された面（第 1 主面と称する場合がある。）とは反対側の面（第 2 主面と称する場合がある。）が支持体 1 2 2 4 の上面に接するように載置した。

[0227] 次に、参照基板を予備加熱した。予備加熱は、熱処理炉 1 2 1 0 中で、支持体 1 2 2 4 の下面側から赤外線を照射して、支持体 1 2 2 4 を加熱することを実施した。これにより、支持体 1 2 2 4 から上記参照基板への熱伝導により、参照基板を全体的に加熱した。予備加熱は、支持体 1 2 2 4 の温度が 400°C になるよう実施した。このとき、赤外表面温度計の校正も実施した。上記校正は、赤外表面温度計により計測された上記参照基板の第 1 主面の表面温度が約 400°C となるように上記赤外表面温度計の設定を調整するこ

とで実施した。

[0228] 予備加熱により上記参照基板の温度が安定した後、上記参照基板の第1主面側から赤外線を含むランプ光を、約10秒間隔で間歇的に上記参照基板に対して照射した。ランプ光がオフになった直後の上記第1主面の表面温度を赤外表面温度計により計測することで、第1主面側から照射されるハロゲンランプの出力と、上記参照基板の第1主面の表面温度との相関特性が得られた。

[0229] なお、半導体基板910および上記参照基板にランプ光を照射している間、支持体1224に埋め込まれた熱電対により温度を検出して、かつ、支持体1224の下面に照射する赤外線のエネルギー量をフィードバック制御することで、支持体1224の温度を調整した。上記赤外線のエネルギー量は、支持体1224の温度が400℃になるように調整した。半導体基板910の $\text{Si}_x\text{Ge}_{1-x}$ 結晶962をアニールした後、半導体基板910を熱処理炉1210から取り出した。

[0230] 図15は、熱処理炉1210から取り出した半導体基板910の断面TEM写真である。ベース基板520とその上に形成された $\text{Si}_x\text{Ge}_{1-x}$ 結晶962との界面部分を観察した。図16は、熱処理されていない $\text{Si}_x\text{Ge}_{1-x}$ 結晶2000を有する半導体基板910の断面TEM写真である。図16に示す $\text{Si}_x\text{Ge}_{1-x}$ 結晶2000は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶962とは異なりアニールを施していない。 $\text{Si}_x\text{Ge}_{1-x}$ 結晶2000中には多数の転位が観察された。図15と図16とを比較すれば明らかに、アニールした $\text{Si}_x\text{Ge}_{1-x}$ 結晶962中には転位が存在しないことがわかる。

[0231] (実施例4)

ベース基板520として、市販のSi基板を用いたこと、および電子素子570が形成されていないこと以外は、実施例1と同様に半導体基板510を作製した。電子素子580として、上記GaAs層を活性層に用いたHBTを形成した。HBTのコレクタ、ベースおよびエミッタに接続する各配線を形成して、電子デバイス500とした。

[0232] 図17は、上記の通り作成したHBTのコレクタ電圧に対するコレクタ電流を示す。同図は、ベース電圧を変化させたときのデータを4系列示している。同図によって、広いコレクタ電圧の範囲でコレクタ電流が安定して流れることが示された。図18は、電流増幅率が1となる最大発振周波数を得るための実験データを示す。ベースーエミッタ間電圧が1.6Vである場合において最大発振周波数9GHzの値が得られた。すなわち、作成したHBTは電流電圧特性および高周波特性において良好な特性を示した。

[0233] (実施例5)

ベース基板520として市販のSi基板を用いたこと、電子素子570が形成されていないこと、および3-5族化合物半導体566としてGaAs層を形成する際の熱処理炉1210内の圧力を0.5kPaとしたこと以外は、実施例1と同様に半導体基板510を作製した。

[0234] 図19は、3-5族化合物半導体566の成長速度と、被覆領域の大きさおよび開口556の大きさとの関係を示す。縦軸は、被覆領域がない場合における一定時間の間に成長した化合物半導体466の膜厚に対する被覆領域がある場合の膜厚比を示し、横軸は被覆領域（障害部）の一辺の長さ[μm]を示す。本実施例において、3-5族化合物半導体566の膜厚は一定時間の間に成長した膜厚比なので、当該膜厚を当該時間で除することで、3-5族化合物半導体566の成長速度比の近似値が得られる。

[0235] 菱形のプロットは、開口556の底面形状が一辺10μmの正方形である場合の実験データを示し、四角形のプロットは、開口556の底面形状が一辺20μmの正方形である場合の実験データを示す。三角形のプロットは、開口556の底面形状が、長辺40μm、短辺30μmの長方形である場合の実験データを示す。比較のため、8kPaで成長した場合のデータを塗りつぶしの菱形、塗りつぶしの四角形および塗りつぶしの三角形として示す。

[0236] 図19より、3-5族化合物半導体566の成長速度は、被覆領域の大きさが大きくなるに従い、単調増加することがわかるが、その影響は成長圧力を下げることで少なくなっていることがわかる。これより、開口及び被覆領

域の大きさが一定でない基板上に成長する場合は、低い圧力が好ましい。好ましい成長圧力は、1 kPa以下、さらに好ましくは0.5 kPa以下であることがわかった。

[0237] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0238] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0239] 10 電磁波、32 点線、34 実線、36 実線、110 半導体基板、120 ベース基板、122 第1主面、124 第2主面、130 被熱処理部、140 被保護部、150 保護層、210 半導体基板、250 保護層、252 遮蔽層、254 熱伝導抑制層、257 表面、258 表面、259 裏面、410 半導体基板、420 ベース基板、422 第1主面、424 第2主面、426 阻害層、428 開口、432 領域、434 領域、440 活性領域、450 保護層、452 ゲート電極、454 ゲート絶縁膜、462 シード結晶、466 化合物半導体、480 半導体デバイス、500 電子デバイス、510 半導体基板、520 ベース基板、522 第1主面、524 第2主面、554 阻害層、556 開口、562 $\text{Si}_x\text{Ge}_{1-x}$ 結晶、566 3-5族化合物半導体、570 電子素子、571 ウェル、572 ソース領域、574

ドレイン領域、576 ゲート電極、578 ゲート絶縁膜、580 電子素子、587 入出力電極、588 入出力電極、589 ゲート電極、592 配線、593 開口、594 配線、595 開口、596 配線、910 半導体基板、950 保護層、952 遮蔽層、962 $\text{Si}_x\text{Ge}_{1-x}$ 結晶、1200 熱処理装置、1210 熱処理炉、1212 ウエハ搬入口、1214 ガス流入部、1216 ガス排出部、1222 蓋部、1224 支持体、1230 ランプユニット、1232 ランプ、1234 反射部材、1236 フィルタ、1238 電源部、1240 ランプユニット、1242 ランプ、1244 反射部材、1248 電源部、1260 制御部、1252 放射温度計、1280 ベース基板、1282 第1主面、1284 第2主面、1290 原料ガス、1366 3-5族化合物半導体、1390 原料ガス、1490 原料ガス、2000 $\text{Si}_x\text{Ge}_{1-x}$ 結晶

請求の範囲

- [請求項1] 単結晶層を有し熱処理される被熱処理部と、前記熱処理で加えられる熱から保護されるべき被保護部とが設けられたベース基板を熱処理して半導体基板を製造する方法であって、
前記被保護部の上方に、前記ベース基板に照射される電磁波から前記被保護部を保護する保護層を設ける段階と、
前記ベース基板の前記被熱処理部および前記被保護部に前記電磁波を照射することにより前記被熱処理部をアニールする段階と
を備える半導体基板の製造方法。
- [請求項2] 前記被保護部として電子素子を前記ベース基板に形成する段階をさらに備える請求項1に記載の半導体基板の製造方法。
- [請求項3] 前記被保護部として電子素子の活性領域を前記ベース基板に形成する段階をさらに備える請求項1に記載の半導体基板の製造方法。
- [請求項4] 前記電子素子はシリコンデバイスを含む請求項2に記載の半導体基板の製造方法。
- [請求項5] 前記保護層を設ける段階の前に、前記被保護部として金属配線を形成する段階をさらに備え、
前記保護層を設ける段階において、前記金属配線の上方に前記保護層を設ける請求項1に記載の半導体基板の製造方法。
- [請求項6] 前記金属配線を形成する段階は、複数の金属配線と、前記複数の金属配線の各々の間を絶縁する絶縁膜とを形成する請求項5に記載の半導体基板の製造方法。
- [請求項7] 前記金属配線はAlを含む請求項5に記載の半導体基板の製造方法。
- [請求項8] 前記アニールする段階における前記金属配線の温度を650℃以下に維持する請求項7に記載の半導体基板の製造方法。
- [請求項9] $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) を含む前記被熱処理部を前記ベース基板に設ける段階をさらに備える請求項1に記載の半導体基板の

製造方法。

- [請求項10] 前記アニールする段階の後に、前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) に格子整合または擬格子整合する 3-5 族化合物半導体を結晶成長させる段階をさらに備える請求項 9 に記載の半導体基板の製造方法。
- [請求項11] 前記アニールする段階において、前記被熱処理部を設ける段階の後、前記ベース基板を大気に曝すことなく、前記被熱処理部をアニールする請求項 10 に記載の半導体基板の製造方法。
- [請求項12] 前記被熱処理部を設ける段階と前記アニールする段階とを同一反応容器内で実行する請求項 11 に記載の半導体基板の製造方法。
- [請求項13] 前記 3-5 族化合物半導体を結晶成長させる段階において、前記アニールする段階で前記電磁波を照射した光源を用いて、前記ベース基板に再度前記電磁波を照射する請求項 10 に記載の半導体基板の製造方法。
- [請求項14] 前記アニールする段階において、前記ベース基板全体に均一に前記電磁波を照射する請求項 1 に記載の半導体基板の製造方法。
- [請求項15] 前記アニールする段階において、パルス状に複数回前記ベース基板に前記電磁波を照射する請求項 14 に記載の半導体基板の製造方法。
- [請求項16] 前記被熱処理部の下方から加熱しながら、前記ベース基板の上方から前記電磁波を照射する請求項 1 に記載の半導体基板の製造方法。
- [請求項17] 前記アニールする段階において、前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) の格子欠陥密度を 10^5 cm^{-2} 以下に低減させる請求項 9 に記載の半導体基板の製造方法。
- [請求項18] 前記保護層を設ける段階において、前記被熱処理部の前駆体が結晶に成長することを阻害し、かつ、前記ベース基板に照射される前記電磁波から前記被保護部を保護する阻害層を前記ベース基板上に形成し、
- 前記ベース基板にまで貫通する開口を前記阻害層に形成する段階と

、

前記開口内に前記被熱処理部としてのシード結晶を設ける段階と
をさらに備え、

前記アニールする段階において、前記電磁波を照射することにより
前記シード結晶もアニールする請求項 1 に記載の半導体基板の製造方法。

[請求項19] 前記保護層を設ける段階において、前記阻害層上に前記電磁波の少なくとも一部を遮蔽する遮蔽層をさらに形成する請求項 18 に記載の半導体基板の製造方法。

[請求項20] 前記アニールする段階の後に、前記シード結晶に格子整合または擬格子整合する化合物半導体を結晶成長させる段階をさらに備える請求項 18 に記載の半導体基板の製造方法。

[請求項21] 前記シード結晶は $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) であり、前記化合物半導体は、3-5 族化合物半導体である請求項 20 に記載の半導体基板の製造方法。

[請求項22] 前記保護層は、前記被保護部よりも前記電磁波の反射率が高い請求項 1 に記載の半導体基板の製造方法。

[請求項23] 前記保護層は、
熱伝導を抑制する熱伝導抑制層と、
前記熱伝導抑制層上に設けられ、前記熱伝導抑制層よりも前記電磁波の反射率が高い遮蔽層を有し、
前記熱伝導抑制層の熱伝導率は前記遮蔽層の熱伝導率よりも小さい請求項 22 に記載の半導体基板の製造方法。

[請求項24] 前記熱伝導抑制層の熱伝導率は、前記被保護部の熱伝導率よりも小さい請求項 23 に記載の半導体基板の製造方法。

[請求項25] 前記熱伝導抑制層は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、またはポリイミドのいずれかを含む請求項 23 に記載の半導体基板の製造方法。

- [請求項26] 前記遮蔽層は、前記電磁波の少なくとも一部を反射する反射層を有する請求項23に記載の半導体基板の製造方法。
- [請求項27] 前記遮蔽層は、前記電磁波の少なくとも一部を散乱する散乱層を有する請求項23に記載の半導体基板の製造方法。
- [請求項28] 前記遮蔽層は、前記電磁波の少なくとも一部を吸収する吸収層を有する請求項23に記載の半導体基板の製造方法。
- [請求項29] 前記電磁波に対する前記吸収層の吸収係数は、前記電磁波に対する前記被熱処理部の吸収係数より大きい請求項28に記載の半導体基板の製造方法。
- [請求項30] 前記ベース基板はSi基板、SOI基板、Ge基板、GOI基板、およびGaAs基板のいずれか1つである請求項1に記載の半導体基板の製造方法。
- [請求項31] ベース基板と、
前記ベース基板上に形成され、活性領域を有する電子素子と、
前記ベース基板上に設けられた $\text{Si}_x\text{Ge}_{1-x}$ 結晶（ $0 \leq x < 1$ ）と、
前記活性領域を覆い、前記ベース基板に照射される電磁波から前記活性領域を保護する保護層と
を備える半導体基板。
- [請求項32] 前記電子素子上に形成され、前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の前駆体が結晶に成長することを阻害し、かつ、前記保護層として機能する阻害層をさらに備え、
前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶（ $0 \leq x < 1$ ）は、前記ベース基板にまで前記阻害層を貫通する開口内に設けられている請求項31に記載の半導体基板。
- [請求項33] 前記阻害層上に、前記電磁波の少なくとも一部を遮蔽する遮蔽層をさらに備える請求項32に記載の半導体基板。
- [請求項34] 第1の電子素子と第2の電子素子とを備える電子デバイスの製造方

法であって、

ベース基板上に前記第 1 の電子素子を形成する段階と、

前記ベース基板に照射される電磁波から前記第 1 の電子素子を保護する保護層を設ける段階と、

前記ベース基板上に $\text{Si}_x\text{Ge}_{1-x}$ 結晶 ($0 \leq x < 1$) を設ける段階と、

前記ベース基板に前記電磁波を照射することにより前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶をアニールする段階と、

前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶に格子整合または擬格子整合する 3-5 族化合物半導体を結晶成長させる段階と、

前記 3-5 族化合物半導体上に、前記第 1 の電子素子と電氣的に結合される前記第 2 の電子素子を形成する段階と

を備える電子デバイスの製造方法。

[請求項35]

前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の前駆体が結晶に成長することを阻害し、且つ、前記電磁波から前記第 1 の電子素子を保護する阻害層を、少なくとも前記第 1 の電子素子を覆うように形成する段階と、

前記第 1 の電子素子を覆う領域以外の前記阻害層の領域に、前記ベース基板にまで貫通する開口を形成する段階と、

前記開口内で前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶の前駆体を結晶に成長させ、前記 $\text{Si}_x\text{Ge}_{1-x}$ 結晶を設ける段階と

をさらに備える請求項 34 に記載の電子デバイスの製造方法。

[請求項36]

前記第 1 の電子素子を覆う前記阻害層の領域上に前記電磁波を遮蔽する遮蔽層を設ける段階をさらに備える請求項 35 に記載の電子デバイスの製造方法。

[請求項37]

前記第 1 の電子素子は、前記第 2 の電子素子の駆動回路、前記第 2 の電子素子の入出力特性における線形性を改善する補正回路、および前記第 2 の電子素子の入力段の保護回路のうちの少なくとも 1 つの回路に含まれる電子素子であり、

前記第2の電子素子は、アナログ電子デバイス、発光デバイス、および受光デバイスのうちの少なくとも1つのデバイスに含まれる電子素子である請求項34に記載の電子デバイスの製造方法。

[請求項38]

単結晶層を有し熱処理される被熱処理部と、前記熱処理で加えられる熱から保護されるべき被保護部とを備えるベース基板を保持する反応容器と、

前記ベース基板における、前記被保護部および前記被熱処理部が形成されている主面側から電磁波を照射する照射部と、

前記主面の裏面側から前記ベース基板全体を加熱する加熱部と、

前記ベース基板の温度を測定する加熱温度測定部と、

前記被保護部の温度および前記被熱処理部の温度を測定する温度測定部と、

前記加熱温度測定部および前記温度測定部の測定結果に基づいて前記照射部および前記加熱部を制御する制御部と

を備える反応装置。

[請求項39]

前記温度測定部は、前記被保護部からの放射熱および前記被熱処理部からの放射熱に基づいて、前記被保護部の温度および前記被熱処理部の温度を測定する請求項38に記載の反応装置。

[請求項40]

前記温度測定部は、前記被保護部の温度および前記被熱処理部の温度を順次測定する請求項38に記載の反応装置。

[請求項41]

前記制御部は、前記加熱温度測定部の測定結果に基づいて、前記照射部が前記電磁波を照射する照射期間と、前記照射部が前記電磁波を照射しない非照射期間とを決定する請求項38に記載の反応装置。

[請求項42]

前記ベース基板と前記照射部との間に、前記被保護部の吸収係数が前記被熱処理部の吸収係数よりも大きい前記電磁波の波長成分を遮断するフィルタをさらに備える請求項38に記載の反応装置。

[請求項43]

前記反応容器の内部に原料ガスを供給するガス供給部をさらに備え、

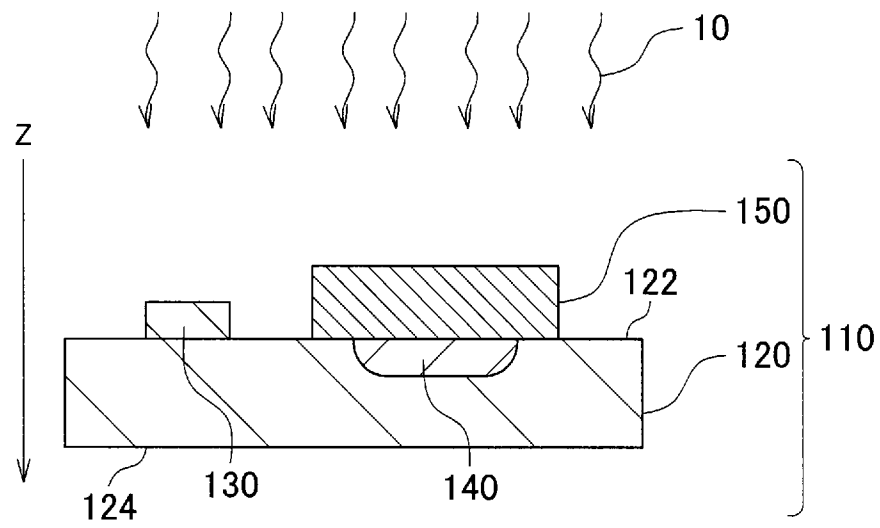
前記反応容器の内部で前記原料ガスを反応させて前記被熱処理部上に化合物半導体を結晶成長させる請求項 38 に記載の反応装置。

[請求項44]

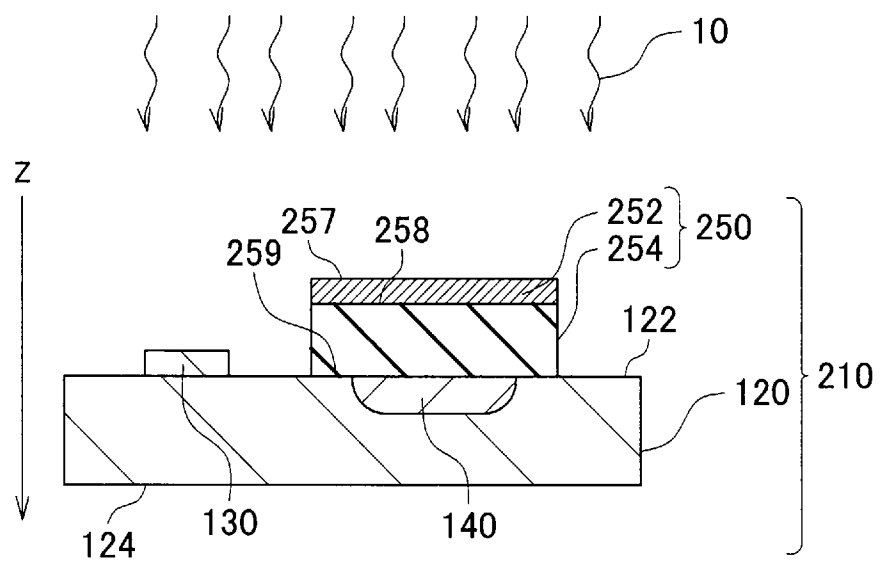
前記原料ガスの温度が前記ベース基板の温度よりも低く、

前記原料ガスは、前記化合物半導体を結晶成長させる間に前記ベース基板を冷却する請求項 43 に記載の反応装置。

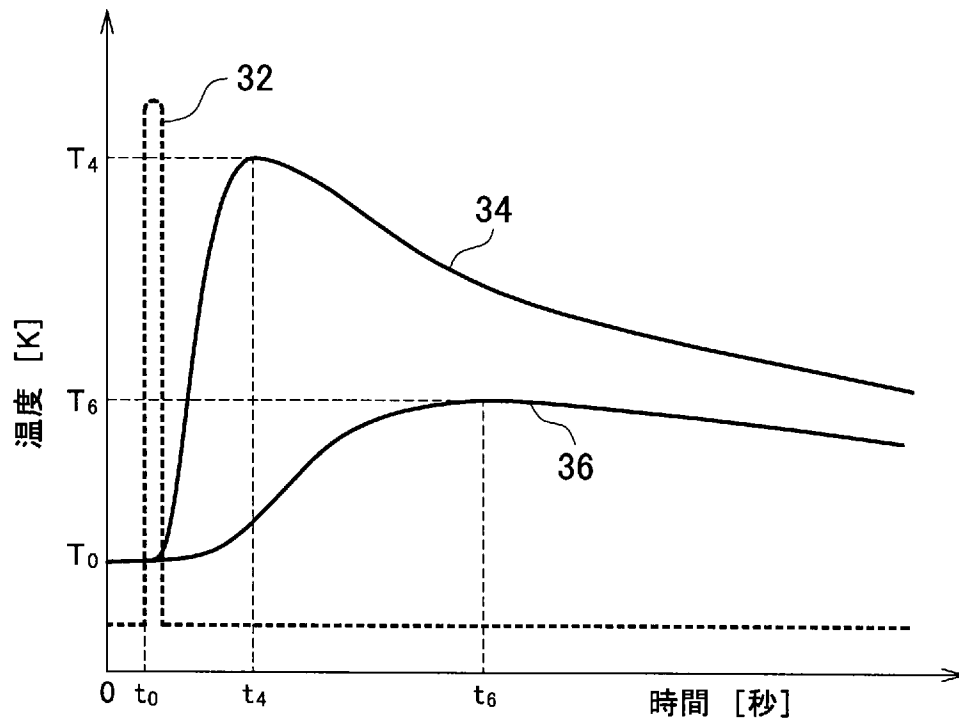
[図1]

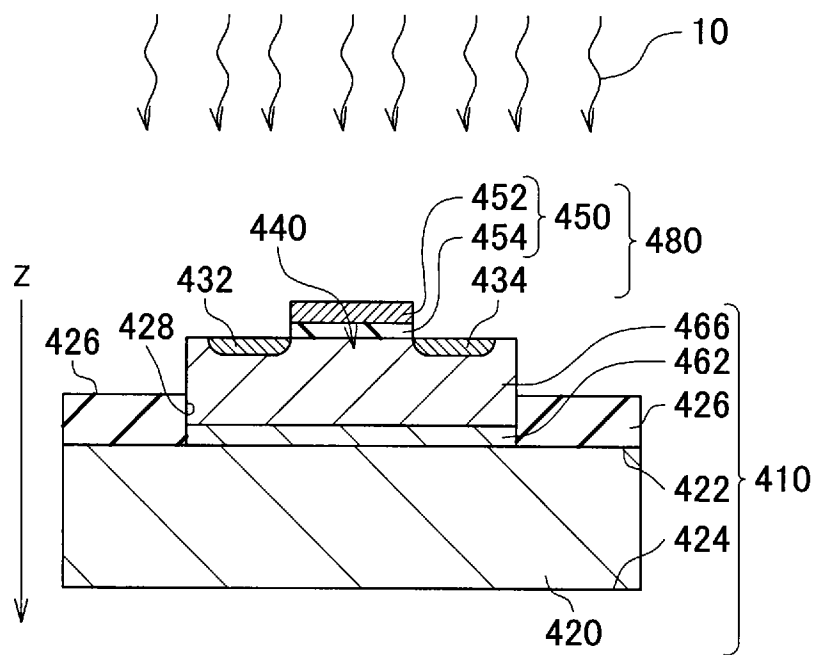


[図2]

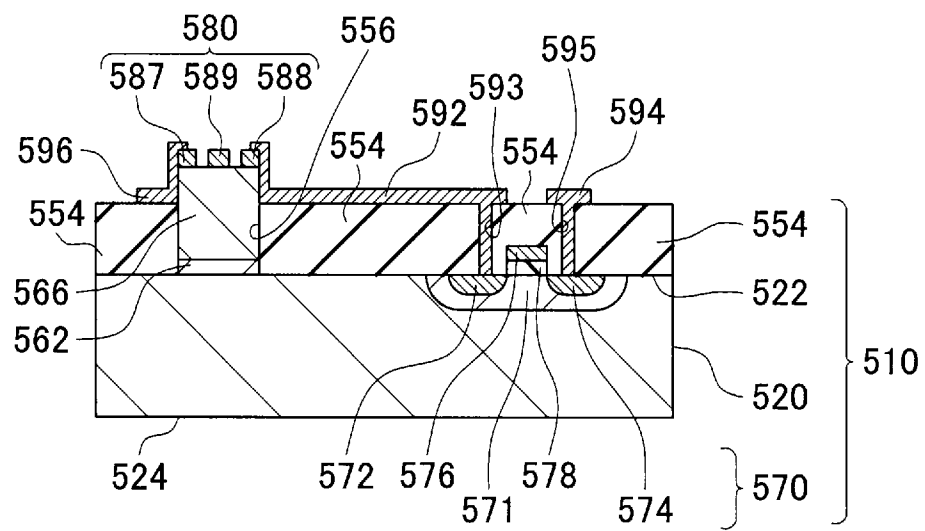


[図3]

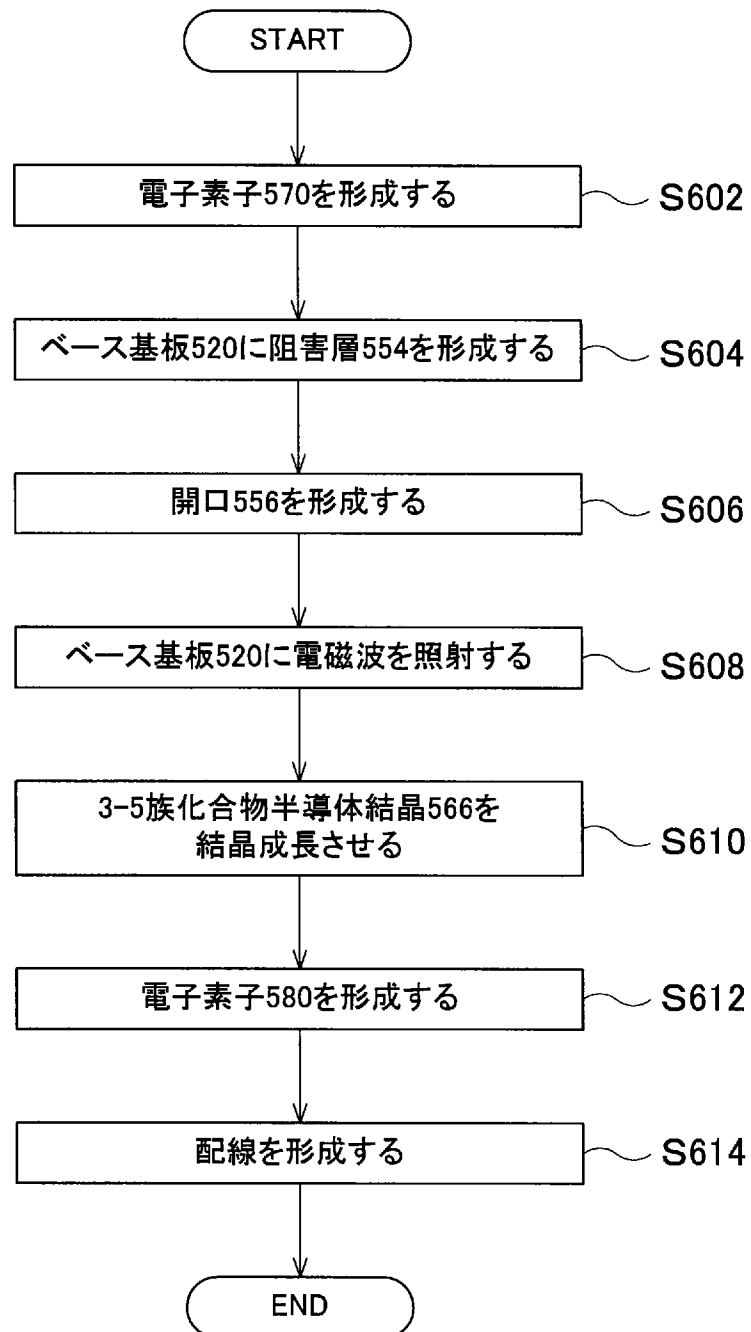




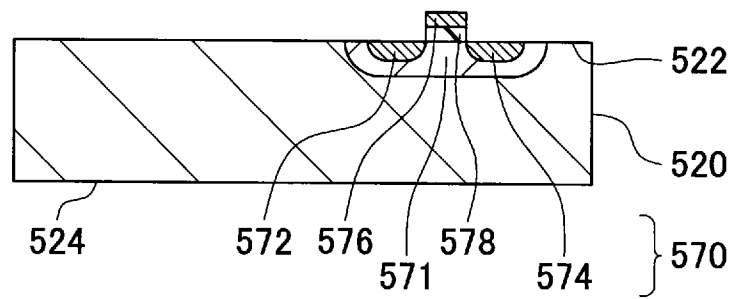
[図5]

500

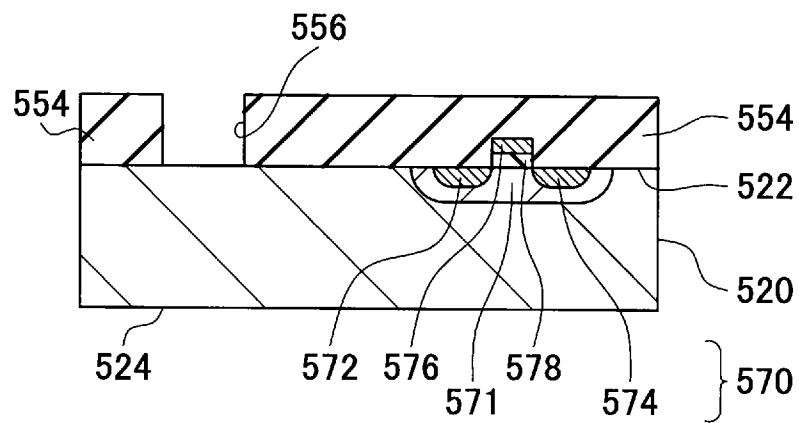
[図6]



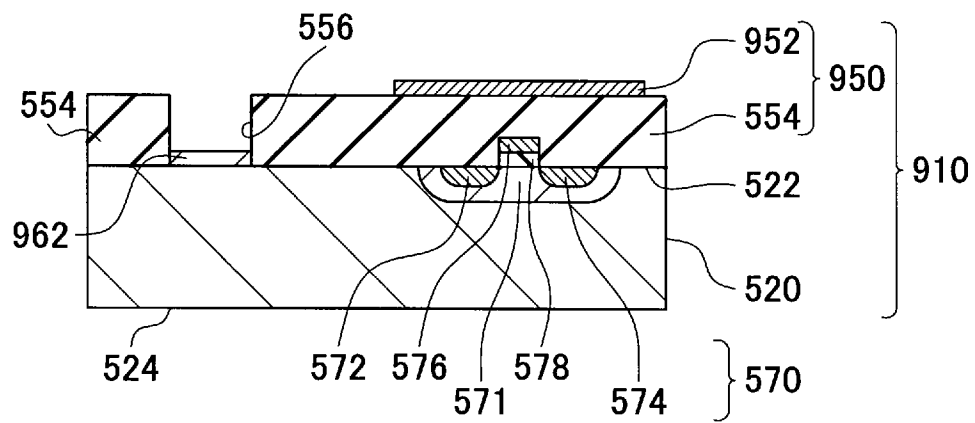
[図7]

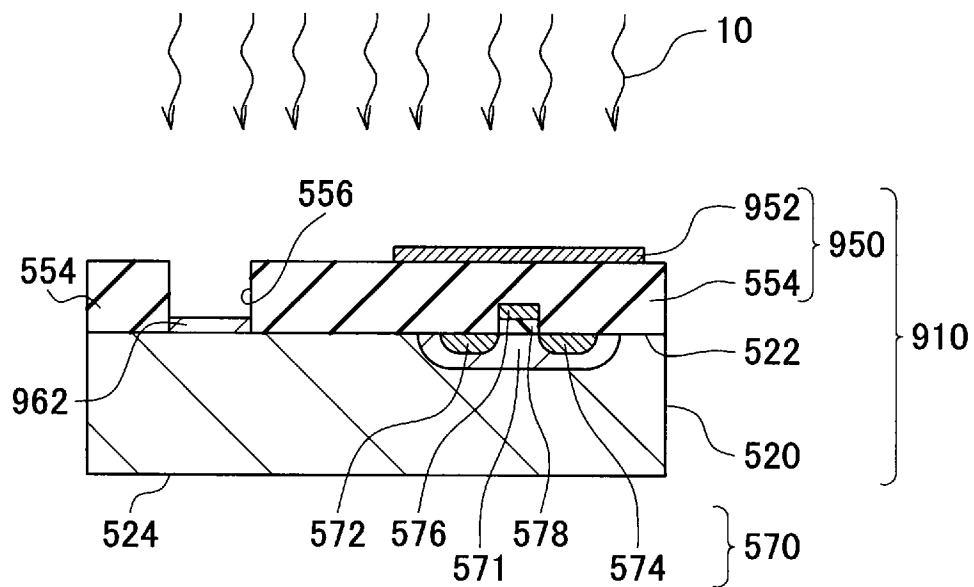


[図8]

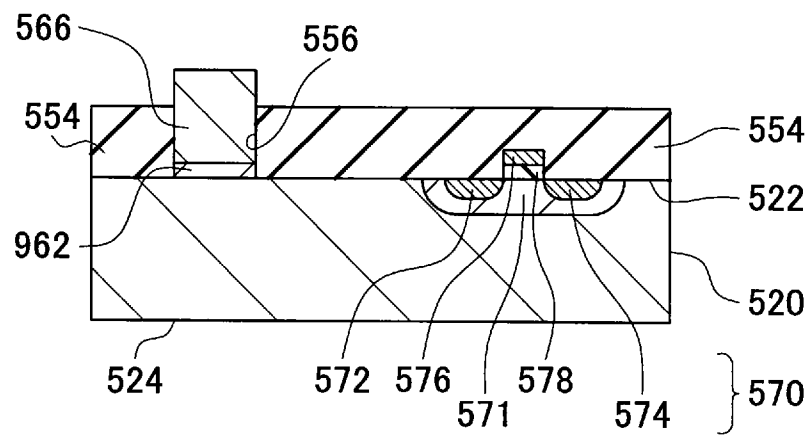


[図9]

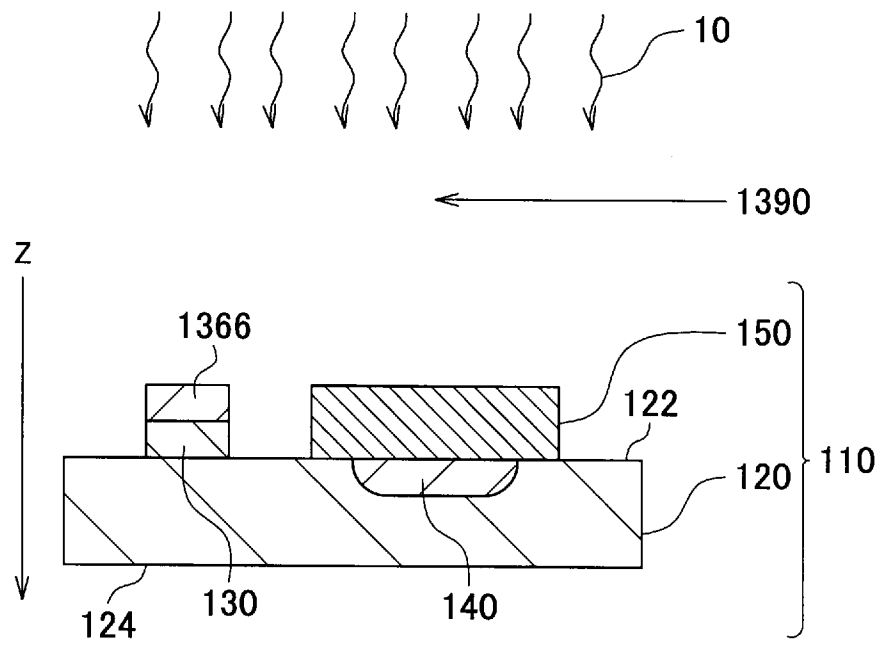




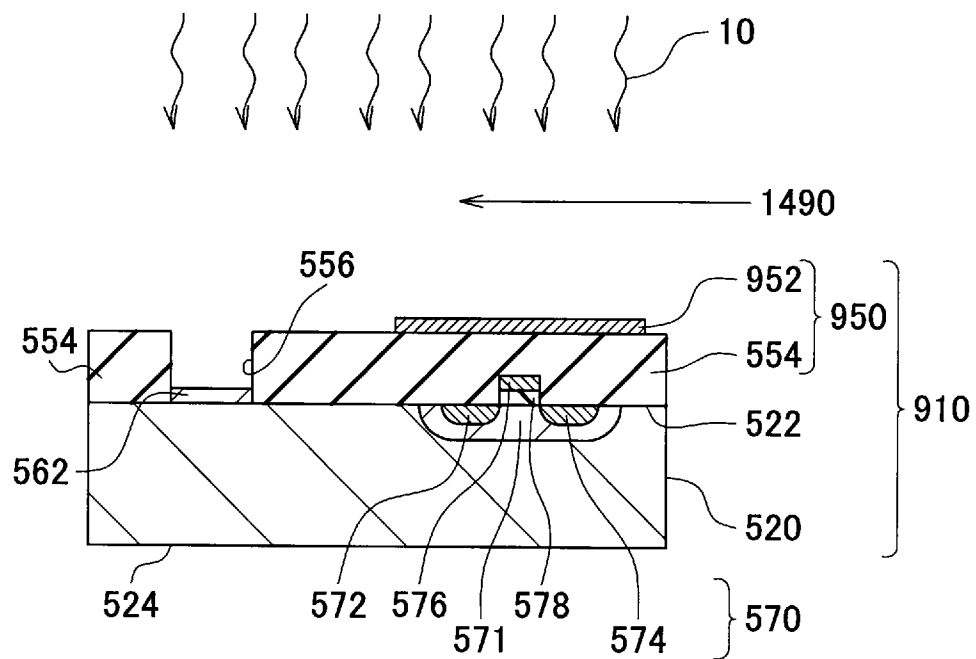
[図11]

510

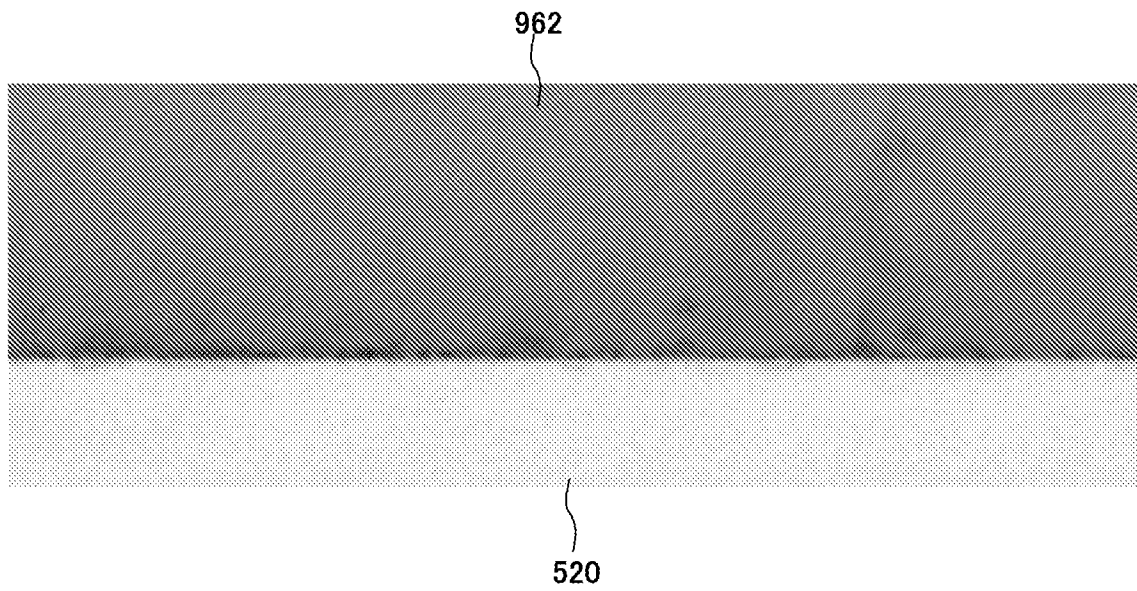
[図13]



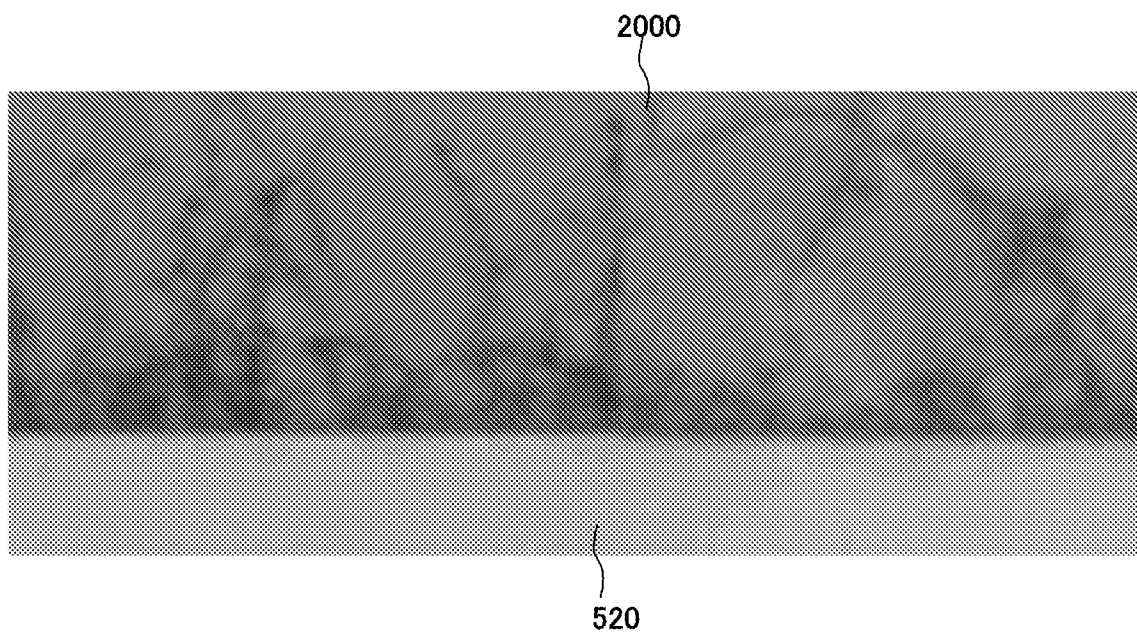
[図14]



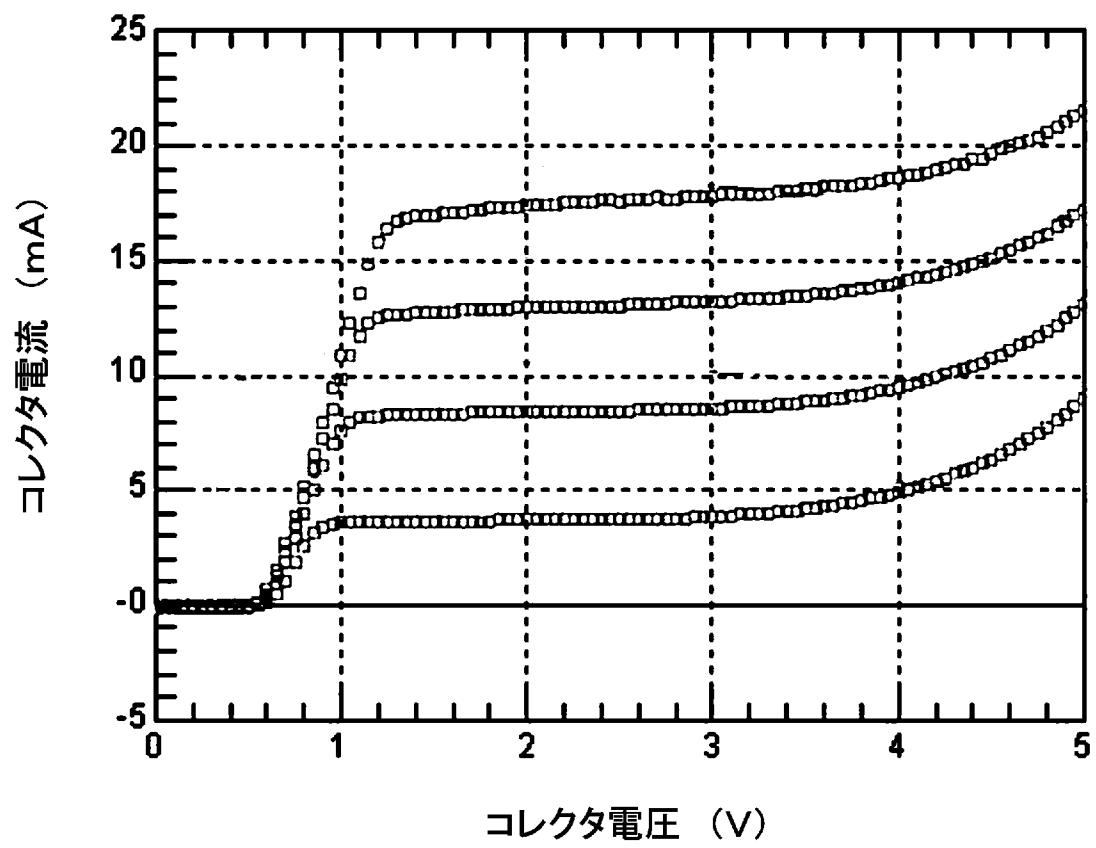
[図15]



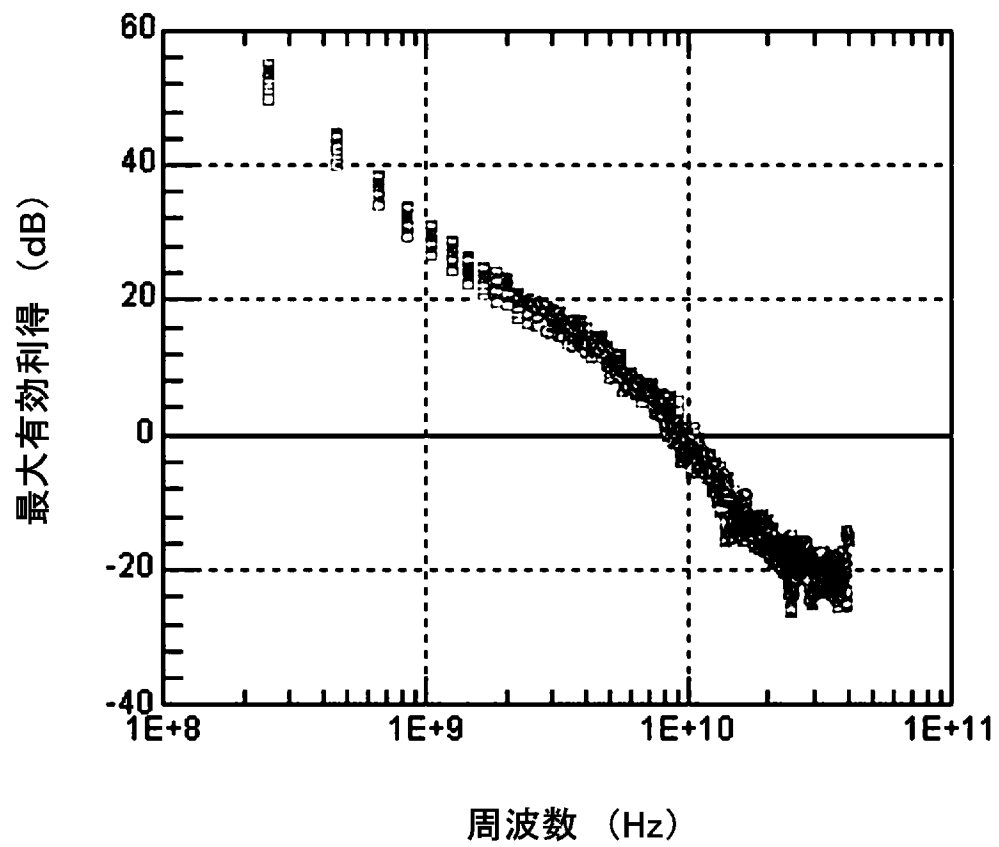
[図16]



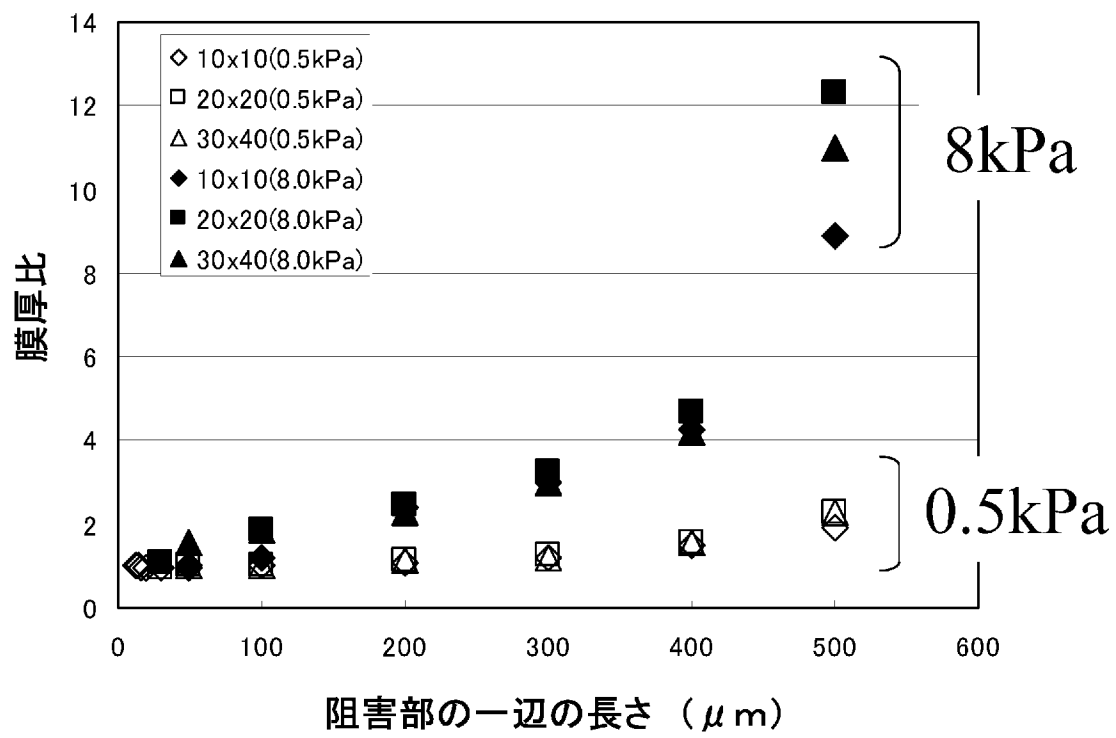
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/006403

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/26, H01L21/20, H01L21/205, H01L21/268, H01L21/331, H01L21/336, H01L21/338, H01L21/8222, H01L21/8234, H01L21/8248, H01L27/06, H01L27/088, H01L29/737, H01L29/778, H01L29/78, H01L29/786, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 64-39723 A (Seiko Epson Corp.), 10 February 1989 (10.02.1989), entire text; all drawings (Family: none)	1-8, 14-16, 22, 30
Y		9-13, 17-21, 31-37
A		23-29, 38-44
Y	JP 63-158832 A (Matsushita Electric Industrial Co., Ltd.), 01 July 1988 (01.07.1988), entire text; all drawings (Family: none)	9-13, 17-21, 31-37
X	JP 8-17755 A (Sony Corp.), 19 January 1996 (19.01.1996), fig. 1 and the explanations thereof (Family: none)	38-40, 42-44 1-37, 41
A		

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 January, 2010 (27.01.10)

Date of mailing of the international search report
09 February, 2010 (09.02.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/006403

Continuation of A. CLASSIFICATION OF SUBJECT MATTER

(International Patent Classification (IPC))

*H01L21/26(2006.01)i, H01L21/20(2006.01)i, H01L21/205(2006.01)i,
H01L21/268(2006.01)i, H01L21/331(2006.01)i, H01L21/336(2006.01)i,
H01L21/338(2006.01)i, H01L21/8222(2006.01)i, H01L21/8234(2006.01)i,
H01L21/8248(2006.01)i, H01L27/06(2006.01)i, H01L27/088(2006.01)i,
H01L29/737(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i,
H01L29/786(2006.01)i, H01L29/812(2006.01)i*

(According to International Patent Classification (IPC) or to both national
classification and IPC)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/006403

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/006403

Continuation of Box No.III of continuation of first sheet (2)

Since the inventions in claims 1, 2, 4 - 8, 14, 22, 30 are described in JP 64-39723 A (Seiko Epson Corp.), 10 February 1989 (10.02.1989), entire text, all drawings, these inventions cannot be recognized to be novel in the light of the afore-said prior art document and do not have a special technical feature.

As a result examining the number of the inventions described in claims of the present application, it is considered that the present application involves ten inventions as shown below.

(Invention 1)

Claims 1, 2, 4 - 8, 14, 22, 30

(Invention 2)

Claim 3

(Invention 3)

Claims 9 - 13, 17

(Invention 4)

Claim 15

(Invention 5)

Claim 16

(Invention 6)

Claims 18 - 21

(Invention 7)

Claims 23 - 29

(Invention 8)

Claims 31 - 33

(Invention 9)

Claims 34 - 37

(Invention 10)

Claims 38 - 44

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. 特別ページ参照

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/26, H01L21/20, H01L21/205, H01L21/268, H01L21/331, H01L21/336, H01L21/338, H01L21/8222, H01L21/8234, H01L21/8248, H01L27/06, H01L27/088, H01L29/737, H01L29/778, H01L29/78, H01L29/786, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 64-39723 A（セイコーエプソン株式会社）1989.02.10, 全文、全図（ファミリーなし）	1 - 8, 1 4 - 1 6, 2 2, 3 0
Y		9 - 1 3, 1 7 - 2 1, 3 1 - 3 7

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 7 . 0 1 . 2 0 1 0

国際調査報告の発送日

0 9 . 0 2 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

太田 一平

4 L

3 8 4 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A		2 3 - 2 9 , 3 8 - 4 4
Y	JP 63-158832 A (松下電器産業株式会社) 1988.07.01, 全文、全図 (ファミリーなし)	9 - 1 3 , 1 7 - 2 1 , 3 1 - 3 7
X	JP 8-17755 A (ソニー株式会社) 1996.01.19, 図 1 及びその説明箇 所 (ファミリーなし)	3 8 - 4 0 , 4 2 - 4 4
A		1 - 3 7 , 4 1

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
特別ページ参照。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

発明の属する分野の分類

H01L21/26(2006.01)i, H01L21/20(2006.01)i, H01L21/205(2006.01)i,
H01L21/268(2006.01)i, H01L21/331(2006.01)i, H01L21/336(2006.01)i,
H01L21/338(2006.01)i, H01L21/8222(2006.01)i, H01L21/8234(2006.01)i,
H01L21/8248(2006.01)i, H01L27/06(2006.01)i, H01L27/088(2006.01)i,
H01L29/737(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i,
H01L29/786(2006.01)i, H01L29/812(2006.01)i

先行技術文献 JP 64-39723 A (セイコーエプソン株式会社) 1989.02.10, 全文、全図には、請求項 1, 2, 4-8, 14, 22, 30 に係る発明が記載されているため、請求項 1, 2, 4-8, 14, 22, 30 に係る発明は、上記先行技術文献に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。

そこで、この国際出願の請求の範囲に記載されている発明の数について検討すると、以下に示す 10 個の発明が記載されていると認められる。

(発明 1)

請求項 1, 2, 4-8, 14, 22, 30

(発明 2)

請求項 3

(発明 3)

請求項 9-13, 17

(発明 4)

請求項 15

(発明 5)

請求項 16

(発明 6)

請求項 18-21

(発明 7)

請求項 23-29

(発明 8)

請求項 31-33

(発明 9)

請求項 34-37

(発明 10)

請求項 38-44