(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2020-171076
(P2020-171076A)
(43)公開日　令和2年10月15日(2020.10.15)

(51)Int.Cl.			F I			テーマコード（参考）
H02M	3/155	(2006.01)	H02M	3/155	B	5H430
G05F	1/56	(2006.01)	G05F	1/56	310A	5H730

審査請求 未請求　請求項の数 11　ＯＬ　（全 21 頁）

(21)出願番号　特願2019-69950(P2019-69950)
(22)出願日　平成31年4月1日(2019.4.1)

(71)出願人　302062931
ルネサスエレクトロニクス株式会社
東京都江東区豊洲三丁目２番２４号
(74)代理人　110000350
ポレール特許業務法人
(72)発明者　神▲崎▼　照明
東京都江東区豊洲三丁目２番２４号　ルネサスエレクトロニクス株式会社内

Ｆターム(参考)　5H430 BB05 BB09 EE04 FF04 FF13
HH03 KK01
5H730 AA14 AS05 BB13 BB57 BB86
BB88 BB96 DD04 EE13 EE59
FD01 FF09 FG05 XC02 XC12

(54)【発明の名称】半導体装置

(57)【要約】
【課題】スイッチングレギュレータとリニアレギュレータの切り替えを行い、電力効率よく、かつ広電圧範囲で動作可能な電源回路を実現できる技術を提供することにある。
【解決手段】半導体装置は、入力電圧を降圧して第１出力電圧を生成するスイッチングレギュレータと、前記第１出力電圧を降圧して第２出力電圧を生成するリニアレギュレータと、を含む電源回路を有する。前記スイッチングレギュレータは、前記スイッチングレギュレータの動作状態および停止状態を制御する制御回路を含む。前記入力電圧の投入時において、前記スイッチングレギュレータは前記停止状態にされ、前記リニアレギュレータは動作状態にされる。前記入力電圧の投入後において、前記スイッチングレギュレータは、前記制御回路によって、前記停止状態から前記動作状態へ制御される。
【選択図】図１

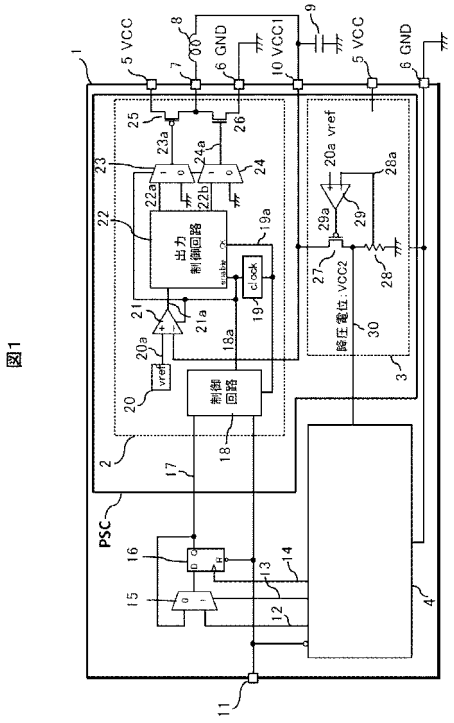


図1

【特許請求の範囲】
【請求項１】
入力電圧を降圧して第１出力電圧を生成するスイッチングレギュレータと、前記第１出力電圧を降圧して第２出力電圧を生成するリニアレギュレータと、を含む電源回路を有し、
前記スイッチングレギュレータは、前記スイッチングレギュレータの動作状態および停止状態を制御する制御回路を含み、
前記入力電圧の投入時において、
前記スイッチングレギュレータは前記停止状態にされ、
前記リニアレギュレータは動作状態にされ、
前記入力電圧の投入後において、
前記スイッチングレギュレータは、前記制御回路によって、前記停止状態から前記動作状態へ制御される、
半導体装置。
【請求項２】
請求項１において、
前記スイッチングレギュレータは、
前記スイッチングレギュレータが前記停止状態の時、前記第１出力電圧を前記入力電圧にするスイッチを備える、半導体装置。
【請求項３】
請求項１において、
前記動作状態の前記スイッチングレギュレータは、前記制御回路によって、前記停止状態へ制御される、半導体装置。
【請求項４】
請求項３において、さらに、
フリップフロップ回路と、
前記第２出力電圧が供給される内部回路と、を有し、
前記フリップフロップ回路は、
リセット入力の第１レベルに基づいて、第１状態とされ、
前記内部回路によって、第２状態にされ、
前記制御回路は、
前記フリップフロップ回路の前記第１状態に基づいて、前記スイッチングレギュレータを前記停止状態とし、
前記フリップフロップ回路の前記第２状態に基づいて、前記スイッチングレギュレータを前記動作状態とする、半導体装置。
【請求項５】
請求項４において、
前記内部回路は、ＣＰＵと、ＲＯＭと、を含み、
前記ＣＰＵは、前記ＲＯＭに格納されたプログラムを実行して、前記フリップフロップ回路を、前記第１状態または前記第２状態に設定する、半導体装置。
【請求項６】
請求項５において、
低電圧検知回路を含み、
前記内部回路は、さらに、割り込み制御回路を含み、
前記低電圧検知回路が、前記入力電圧の低下を検出した場合、前記割り込み制御回路へ検出結果を出力し、
前記割り込み制御回路は、前記検出結果に基づいて、前記ＣＰＵへ電圧低下割り込み信号を発生し、
前記ＣＰＵは、前記ＲＯＭに格納された前記プログラムを実行して、前記フリップフロップ回路の状態を、前記第２状態から前記第１状態へ設定する、半導体装置。

【請求項７】
請求項５において、
前記ＣＰＵは、低電流負荷状態への移行を制御する制御レジスタを含み、
前記ＣＰＵが、前記制御レジスタに、前記低電流負荷状態への移行を指示するデータを書き込む前に、前記ＲＯＭに格納された前記プログラムを実行して、前記フリップフロップ回路の状態を、前記第２状態から前記第１状態へ設定する、半導体装置。
【請求項８】
請求項４において、
低電圧検知回路を含み、
前記低電圧検知回路が、前記入力電圧の低下を検出した場合、検出信号を出力し、
前記制御回路は、前記検出信号に基づいて、前記スイッチングレギュレータを前記停止状態とする、半導体装置。
【請求項９】
請求項４において、
前記内部回路は、ＣＰＵと、ＲＯＭと、を含み、
前記ＣＰＵは、低電流負荷状態への移行を制御する制御レジスタを含み、
前記ＣＰＵが前記低電流負荷状態への移行を指示するデータを前記制御レジスタに書き込んだ場合、前記制御回路は、前記制御レジスタへの前記データの書き込みに基づいて、前記スイッチングレギュレータを前記停止状態とする、半導体装置。
【請求項１０】
請求項１において、
前記制御回路は、前記第１出力電圧が帰還される帰還端子を含み、
前記制御回路は、前記スイッチングレギュレータの起動時および停止時に、前記第１出力電圧を段階的に上昇および下降させる、半導体装置。
【請求項１１】
請求項１０において、
前記制御回路は、クロックに基づいて、カウント値をアップカウントまたはダウンカウントすることが可能なカウンタを含み、
前記スイッチングレギュレータの起動時において、前記スイッチングレギュレータは、前記カウント値の前記アップカウントに基づいて、前記第１出力電圧を段階的に下降させ、
前記スイッチングレギュレータの停止時において、前記カウント値の前記アップカウントに基づいて、前記第１出力電圧を段階的に上昇させる、半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本開示は、半導体装置に関し、特に、スイッチングレギュレータとリニアレギュレータとを有する汎用マイクロコンピュータの様な半導体装置に適用可能である。
【背景技術】
【０００２】
近年、半導体集積回路は、高機能化、高集積化、並びに高速化により、半導体集積回路で消費する電流が増える一方であり、内部回路で使用する降圧電源に電力効率の良いスイッチングレギュレータを搭載することが増えた。一方、半導体集積回路、例えば、汎用マイクロコンピュータでは、高速な処理を行うための高速動作と、待機時などに低消費電力状態にするための低速動作を兼ね備えていることが多く、かつ、多くの用途に合わせ広電源電圧範囲に対応していることが一般的である。このため、汎用マイクロコンピュータでは、電源回路として、比較的高い電源電圧で高効率のスイッチングレギュレータと、電源電圧が低い場合や低消費電流動作時に高効率のリニアレギュレータの両方を搭載することがあった。
【０００３】

スイッチングレギュレータとリニアレギュレータの両方を搭載する半導体装置の提案としては、たとえば、特開２００５－２７８３１１号公報（特許文献１）などがある。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開２００５－２７８３１１号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
しかしながら、スイッチングレギュレータとリニアレギュレータの両方を搭載するマイクロコンピュータでは、スイッチングレギュレータを使用する場合とリニアレギュレータを使用する場合は、予め外部端子の設定により、どちらか一方を使うかが決められる。そのため、例えば、電池駆動でスイッチングレギュレータを動作させた場合、電池の電圧が低下した場合に低電圧まで動作させられないという課題があった。また、マイクロコンピュータの待機時などにおいて、マイクロコンピュータを低消費電力状態にしたとき、スイッチングレギュレータの電力効率が悪化するという課題があった。
【０００６】
本開示の課題は、スイッチングレギュレータとリニアレギュレータの切り替えを行い、電力効率よく、かつ広電圧範囲で動作可能な電源回路を実現できる技術を提供することにある。
【０００７】
その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。
【課題を解決するための手段】
【０００８】
本開示のうち代表的なものの概要を簡単に説明すれば下記の通りである。
【０００９】
一実施の形態によれば、半導体装置は、入力電圧を降圧して第１出力電圧を生成するスイッチングレギュレータと、前記第１出力電圧を降圧して第２出力電圧を生成するリニアレギュレータと、を含む電源回路を有する。前記スイッチングレギュレータは、前記スイッチングレギュレータの動作状態および停止状態を制御する制御回路を含む。前記入力電圧の投入時において、前記スイッチングレギュレータは前記停止状態にされ、前記リニアレギュレータは動作状態にされる。前記入力電圧の投入後において、前記スイッチングレギュレータは、前記制御回路によって、前記停止状態から前記動作状態へ制御される。
【発明の効果】
【００１０】
上記半導体装置よれば、スイッチングレギュレータとリニアレギュレータの切り替えを行い、電力効率よく、かつ広電圧範囲で動作可能な電源回路を実現できる。
【図面の簡単な説明】
【００１１】
【図１】図１は、実施例１に係る半導体装置１の構成例を示すブロック図である。
【図２】図２は、図１の制御回路の構成例を示す回路図である。
【図３】図３は、図１の半導体装置に含まれる低電圧検知回路と内部回路とを説明する図である。
【図４】図４は、実施例１に係るタイミング図である。
【図５】図５は、実施例１の変形例に係る半導体装置の要部の構成例を示すブロック図である。
【図６】図６は、実施例２に係る半導体装置の構成例を示すブロック図である。
【図７】図７は、図６の制御回路の構成例を示す回路図である。
【図８】図８は、実施例２に係るタイミング図である。

【図９】図９は、課題検討用の半導体装置の構成例を示すブロック図である。
【図１０】図１０は、スイッチングレギュレータとリニアレギュレータの特性を説明する図である。
【発明を実施するための形態】
【００１２】
以下、本開示について、図面を用いて説明する。ただし、以下の説明において、同一構成要素には同一符号を付し繰り返しの説明を省略することがある。なお、図面は説明をより明確にするため、実際の態様に比べ、模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。
【００１３】
（検討例）
発明を実施するための形態について説明する前に、発明が解決しようとする課題について、より具体的な検討例をあげて説明する。
【００１４】
図９は、本発明者が作成した、課題検討用の半導体装置１の構成例を示すブロック図である。「背景技術」で説明したスイッチングレギュレータとリニアレギュレータの両方を搭載する汎用マイクロコンピュータに対応するものであって、１は半導体装置であり、半導体チップに形成された半導体集積回路である。半導体装置１は、一例では、マイクロコンピュータである。
【００１５】
半導体装置１は、スイッチングレギュレータ（以下ＤＣ／ＤＣと称す）２、リニアレギュレータ（以下ＬＤＯと称す）３、ＶＣＣ入力電圧５を降圧したＶＣＣ１降圧電圧１０を電源とする内部回路４、ＤＣ／ＤＣ２とＬＤＯ３のどちらを動作させるかを決めるラッチ回路３１などを含む。半導体装置１の外部には、インダクタンス８とキャパシタ９とが配置される。６は、接地電圧ＧＮＤに接続される端子である。１１はリセット入力で、半導体装置１をＬｏｗレベルで初期化する信号である。
【００１６】
次に、課題検討用の半導体装置１の動作について図を用いて説明する。
【００１７】
半導体装置１にＶＣＣ入力電圧５を印加後、ラッチ回路３１は、リセット入力１１がＬｏｗのとき、端子３２の状態をラッチ回路３１の出力３１ａに出力し、リセット入力１１がＬｏｗからＨｉｇｈに変化するとき、端子３２の状態を保持する。ラッチ回路３１の出力３１ａがハイレベル“１”のとき、ＤＣ／ＤＣ２がオン状態、ＬＤＯ３がオフ状態となり、ラッチ回路３１の出力３１ａがロウレベル“０”のとき、ＤＣ／ＤＣ２がオフ状態、ＬＤＯ３がオン状態となる。
【００１８】
ＤＣ／ＤＣ２は、発振器１９、リファレンス電圧生成回路２０、アンプ回路２１、出力用ドライバのＰＭＯＳ２５とＮＭＯＳ２６、出力用ドライバ（２５、２６）を制御する出力制御回路２２により構成される。リファレンス電圧生成回路２０の出力であるリファレンス電圧２０ａとＶＣＣ１降圧電圧１０を入力とするアンプ回路２１は、その出力２１ａが出力制御回路２２に接続され、出力制御回路２２は、発振器１９の出力１９ａのクロックに基づいて、信号２２ａ、信号２２ｂを生成し、ＰＭＯＳ２５とＮＭＯＳ２６のそれぞれのゲート電圧を適宜制御して、端子７からＰＷＭ波形を生成する。このＰＷＭ波形は、通常１～２ＭＨｚ程度であり、半導体装置１の外部に配置されたインダクタ８、キャパシタ９により構成されるＬＣフィルタで平滑化され、所望のＶＣＣ１降圧電圧１０を得るものである。なお、ＰＭＯＳはＰチャネル型の絶縁ゲート型電界効果トランジスタであり、ＮＭＯＳはＮチャネル型の絶縁ゲート型電界効果トランジスタである。
【００１９】
一方、ＬＤＯ３は、ＶＣＣ入力電圧５からＶＣＣ１降圧電圧１０を生成するＰＭＯＳ２７とＰＭＯＳ２７のゲート電圧を制御するアンプ回路２９、ＶＣＣ１降圧電圧１０を分圧

する抵抗２８により構成される。アンプ回路２９は、リファレンス電圧２０ａと、抵抗２８で電圧分割された電圧２８ａが接続され、リファレンス電圧２０ａと電圧２８ａが等しくなるようＰＭＯＳ２７のゲート電圧２９ａを制御して、所望のＶＣＣ１降圧電圧１０を得るものである。

【００２０】

ＤＣ／ＤＣ２は、以下の課題があった。

入力電圧と降圧電圧の電圧差が小さくなると電力損失の占める割合が大きくなり、電力効率が大きく低下する。そのため、半導体装置１の動作下限電圧がＤＣ／ＤＣ２の生成する電圧で抑えられるので、電池駆動で電池が消耗した場合にも、できるだけ低電圧で動作させるといった応用に適さない。

低電流負荷では、ＤＣ／ＤＣ２の電力効率が低くなる。

【００２１】

これらを解決するためには、ＶＣＣ入力電圧５の電圧やＶＣＣ１降圧電圧１０の電流負荷に合わせてＤＣ／ＤＣ２とＬＤＯ３のオン、オフを動的に切り替えられることが望ましい、と本願発明者は考察した。しかしながら、以下の問題があることが分かった。

ＤＣ／ＤＣ２とＬＤＯ３の動的な切り替えは、切り替え時に発生するＶＣＣ１降圧電圧１０の変動を抑制することが難しい。

また、通常、インダクタ８は数μＨ～数十μＨ、キャパシタ９はμＦの単位の大きなものが必要であり、外部素子であるインダクタ８やキャパシタ９の体積の増加やコストのアップとなる。

また、応用上、半導体装置１を下限電源電圧だけで動作させる用途のため、ＬＤＯ３だけを使用する場合がある。このため、ＤＣ／ＤＣ２の動作に必要なキャパシタ９の有り／無しに係らず、ＬＤＯ３を安定に動作させる必要がある。しかし、ＬＤＯ３のＶＣＣ１降圧電圧１０に、大容量のキャパシタ９が接続される場合と接続されない場合とでは、ＬＤＯ３の構成要素であるアンプ回路２９の位相余裕を確保することが難しい。

【００２２】

また、以下の事項も発明者により、検討された。

【００２３】

一般に、ＬＤＯは、入力電圧に接続されたＭＯＳトランジスタのゲート電圧を制御して降圧電圧を生成する。言い換えると、入力電圧は、ＭＯＳトランジスタの抵抗成分と降圧電圧を使用する回路の抵抗成分による抵抗分割で降圧電圧を生成する。このため、簡単な回路で広範囲の入力電圧、かつリップルの少ない高精度の降圧電圧を生成でき、トランジスタ制御のための制御回路の消費電流も比較的小さいという長所がある。

【００２４】

また、ＬＤＯは複数配置して、高電流負荷のときは動作するＬＤＯの数を増やし、低電流負荷のときは動作するＬＤＯの数を減らしたり、または、低電流負荷専用のＬＤＯに切り替えるなどしてＬＤＯ自体の消費電流を削減することも多く行われていた。

【００２５】

しかしながら、トランジスタの抵抗成分を使用した降圧なので、入力電圧と降圧電圧の差が小さいときは効率よく降圧電圧を生成できるが、入力電圧と降圧電圧の差が大きいと降圧電圧を使用する回路の電流が前述のＭＯＳトランジスタで損失し、特に高電流負荷時の電力効率が悪化する。

【００２６】

例えば、入力電圧３．３Ｖ、降圧電圧を使用する回路の消費電流が５０ｍＡ、ＬＤＯ回路の自己動作電流が１ｍＡとした場合、降圧電圧の消費電流が入力電圧の電流に等しくなり、３．３Ｖ＊（５０ｍＡ＋１ｍＡ）＝１６８．３ｍＷの消費電力となる。

【００２７】

消費電流が小さい場合、例えば、降圧電圧を使用する回路の動作電流が１００μＡのような場合は、前述のように低電流負荷時専用のＬＤＯを動作させるとＬＤＯ自体の消費電流を数十μＡに絞り込むこともでき、低負荷電流時のＬＤＯ回路の自己動作電流を１０μ

Ａとすると、前記消費電力は３．３Ｖ＊（０．１ｍＡ＋０．０１ｍＡ）＝０．３３ｍＷとなる。

【００２８】

一方、ＤＣ／ＤＣは、半導体集積回路内にＰＷＭ波形出力回路と制御回路を搭載し、半導体外部のインダクタやキャパシタから構成されるＬＣフィルタで平滑化して降圧電圧を生成するものである。このＤＣ／ＤＣは、一般に電力効率よく降圧できる。

【００２９】

例えば、降圧電圧が１．２Ｖ、降圧電圧を使用する回路の消費電流が５０ｍＡとした場合、１．２Ｖ＊５０ｍＡ＝６０ｍＷの消費電力となる。ただし、ＤＣ／ＤＣの回路で消費される電力や外部素子駆動時のスイッチングによる損失、外部素子で構成されるＬＣフィルタの損失により、実際には８５％前後の効率、すなわち、前記の６０ｍＷ／８５％＝７０．６ｍＷの電力消費となる。

【００３０】

このように、降圧電圧の負荷５０ｍＡに対して、ＬＤＯの１６６．６ｍＷに対してＤＣ／ＤＣは７０．６ｍＷであり、ＤＣ／ＤＣの電力効率が高いことが判る。

【００３１】

ただし、ＤＣ／ＤＣの低電流負荷時は、前記電力効率１００％との差分１５％に相当する１０．６ｍＷが損失となり、前記ＬＤＯの低電流負荷時は負荷電流１００μＡを加えても０．３３ｍＷであり、低電流負荷のときの電力効率はＤＣ／ＤＣとＬＤＯで逆転する。

【００３２】

なお、ＤＣ／ＤＣには、前記ＰＷＭ波形を生成するＰＷＭ方式と同時に、Ｈｉｇｈパルス幅を一定にして、負荷電流に応じて発振周波数を変化させ、低電流負荷では発振周波数を低くする回路方式（ＶＦＭ（Ｖａｒｉａｂｌｅ　Ｆｒｅｑｕｅｎｃｙ　Ｍｏｄｕｌａｔｉｏｎ：周波数可変変調）、または、ＰＦＭ（Ｐｕｌｓｅ　Ｆｒｅｑｕｅｎｃｙ　Ｍｏｄｕｌａｔｉｏｎ：パルス周波数変調）と称す）を備え、低電流負荷時の電力損失を削減するものもある。しかし、低電流負荷時の電力効率では、ＬＤＯがＤＣ／ＤＣより勝るものである。

【００３３】

以下、実施例について、図面を用いて説明する。

【実施例１】

【００３４】

実施例１の構成について、図１～図４を用いて説明する。図１は、実施例１に係る半導体装置１の構成例を示すブロック図である。図２は、図１の制御回路１８の構成例を示す回路図である。図３は、図１の半導体装置１に含まれる低電圧検知回路１ａと内部回路４とを説明する図である。図４は、実施例１に係るタイミング図である。

【００３５】

図１において、半導体装置１は、半導体チップに形成された半導体集積回路であり、一例では、マイクロコンピュータである。半導体装置１は、スイッチングレギュレータ（以下ＤＣ／ＤＣと称す）２と、リニアレギュレータ（以下ＬＤＯと称す）３と、ＶＣＣ入力電圧５を降圧したＶＣＣ２降圧電圧（第２出力電圧）３０を電源とする内部回路４と、セレクタ回路１５と、フリップフロップ回路（以下ＦＦと称す）１６と、を含む。半導体装置１の外部には、インダクタンス８とキャパシタ９とが設けられる。ＤＣ／ＤＣ２とＬＤＯ３とは、半導体装置１の電源回路ＰＳＣを構成している。ＦＦ１６は、１ビットのレジスタやフラッグと見做すこともできる。

【００３６】

ＤＣ／ＤＣ２は、ＦＦ１６から出力されるイネーブル信号１７によりＤＣ／ＤＣ２の動作状態（起動状態）および停止状態を制御する制御回路１８と、発振器１９、リファレンス電圧生成回路２０、アンプ回路２１、出力用ドライバのＰＭＯＳ２５とＮＭＯＳ２６、出力用ドライバ（２５、２６）を制御する出力制御回路２２、を含む。ＤＣ／ＤＣ２は、さらに、制御回路１８の出力１８ａにより制御されるセレクタ回路（スイッチ）２３、２

４を含む。ＰＭＯＳ２５のソースドレイン経路は、ＶＣＣ入力電圧５が入力される端子と端子７との間に接続される。ＰＭＯＳ２５のゲート電極は、セレクタ回路２３の出力２３ａに接続される。ＮＭＯＳ２６のソースドレイン経路は、端子７と接地電位ＧＮＤに接続される端子６との間に接続される。ＮＭＯＳ２６のゲート電極は、セレクタ回路２４の出力２４ａに接続される。リファレンス電圧生成回路２０の出力であるリファレンス電圧２０ａとＶＣＣ１降圧電圧１０を入力とするアンプ回路２１は、その出力２１ａが出力制御回路２２に接続される。出力制御回路２２は、発振器１９の出力１９ａのクロックに基づいて、信号２２ａ、信号２２ｂを生成し、ＰＭＯＳ２５とＮＭＯＳ２６のそれぞれのゲート電圧を適宜制御して、端子７からＰＷＭ波形を生成する。このＰＷＭ波形は、通常１～２ＭＨｚ程度であり、半導体装置１の外部に配置されたインダクタ８、キャパシタ９により構成されるＬＣフィルタで平滑化され、所望のＶＣＣ１降圧電圧１０を得るものである。なお、ＰＭＯＳはＰチャネル型の絶縁ゲート型電界効果トランジスタであり、ＮＭＯＳはＮチャネル型の絶縁ゲート型電界効果トランジスタである。

【００３７】

セレクタ回路１５は、ＦＦ１６へデータを書き込みのために設けられる。セレクタ回路１５の出力はＦＦ１６に接続される。ＦＦ１６には、初期化のためにリセット信号１１と、内部回路４から出力されるＦＦ１６の書き込み用のクロック１４とが接続される。セレクタ回路１５には、クロック１４に同期したデータ１２とデータ書き込み制御信号１３とが接続される。

【００３８】

ＬＤＯ３は、ＶＣＣ１降圧電圧（第１出力電圧）１０からＶＣＣ２降圧電圧３０を生成するＰＭＯＳ２７と、ＰＭＯＳ２７のゲート電圧を制御するアンプ回路２９、ＶＣＣ２降圧電圧３０を分圧する抵抗２８により構成される。アンプ回路２９は、リファレンス電圧２０ａと、抵抗２８で電圧分割された電圧２８ａが接続され、リファレンス電圧２０ａと電圧２８ａが等しくなるようＰＭＯＳ２７のゲート電圧２９ａを制御して、所望のＶＣＣ２降圧電圧３０を得るものである。なお、ＬＤＯ３に接続されるＶＣＣ入力電圧５は、ＬＤＯ３の動作電源として利用される。

【００３９】

内部回路４は、図３に示す様に、ＣＰＵ（Central Processing Unit）４ａ、割り込み制御回路（以下ＩＣＵと称す）４ｂ、フラッシュメモリなどの不揮発性で書き替え可能なメモリ（以下ＲＯＭと称す）４ｃ、スタティック型ランダムアクセスメモリ等の揮発性で書き替え可能なメモリ（ＲＡＭ）４ｄ、タイマやデータ転送装置や通信回路など任意の機能を有する複数の機能モジュール（以下ＦＵＭと称す）４ｅなどを含む。これらの回路（４ａ～４ｅ）は、バス４ｆを介して互いに接続されている。

【００４０】

図２に示す様に、制御回路１８は、ＦＦ１６により生成されたイネーブル信号１７を入力とするＦＦ４０と、ＦＦ４０の出力を入力とするＦＦ４１と、イネーブル信号１７とＦＦ４１の出力信号４１ａを入力とするアンド回路４２と、イネーブル信号１７の立下りでパルスを生成する遅延回路４３およびアンド回路４４と、を含む。制御回路１８は、さらに、アンド回路４４の出力４４ａとリセット入力１１を入力とするオア回路４５と、アンド回路４２の出力４２ａでセットされ、オア回路４５の出力４５ａでリセットされるセットリセット（ＳＲ）ラッチ回路４６と、を含む。

【００４１】

図３に示す様に、半導体装置１は、低電圧検知回路１ａを含む。低電圧検知回路１ａは、ＶＣＣ入力電圧５の電圧の低下を検出し、検出信号（検出結果）１ａａをＩＣＵ４ｂへ出力する。ＶＣＣ入力電圧５の電圧の低下を検出すると、検出信号１ａａは“０“から“１”にされる。ＩＣＵ４ｂは、検出信号１ａａの“１”に基づいて、ＣＰＵ４ａに、電圧低下割り込み信号を発生する。ＣＰＵ４ａは、電圧低下割り込み信号に基づいて、ＲＯＭ４ｃに格納されたソフトウエアを実行し、ＦＦ１６の書き込み用のクロック１４、データ１２、および、データ書き込み制御信号１３を、セレクタ回路１５およびＦＦ１６へ出力

する。これにより、ＣＰＵ４ａは、ＦＦ１６に“０”を書き込むことができる。たとえば、低電圧検知回路１ａは、ＶＣＣ入力電圧５の電圧が電池から供給される場合に利用できる。電池駆動で電池が消耗した場合、低電圧検知回路１ａを用いて、電池から供給されるＶＣＣ入力電圧５の電圧の低下を検出し、ＤＣ／ＤＣ２を停止させ、ＬＤＯ３のみで内部回路４へＶＣＣ２降圧電圧３０を供給する。これにより、半導体装置１をできるだけ低電圧で動作させるといった応用に適している。

【００４２】

また、ＣＰＵ４ａは、ＣＰＵ４ａによって書き換え可能な制御レジスタ（以下ＲＥＧと称す）４ｇを有する。制御レジスタ（以下ＲＥＧと称す）４ｇは、内部回路４の低電流負荷状態への移行を制御する制御ビット４ｇｂを含む。制御ビット４ｇｂは複数の制御ビットで構成してもよい。内部回路４を高電流負荷状態から低電流負荷状態への移行させる場合、ＣＰＵ４ａは制御ビット４ｇｂに、たとえば、低電流負荷状態への移行を指示するデータとして“１”を書き込む。これにより、内部回路４は低電流負荷状態に移行することができる。内部回路４が低電流負荷状態にされると、たとえば、内部回路４の動作クロックが高速クロックから低速クロックへ切り替えられて、内部回路４の動作モードが高速動作モードから低速動作モードや低消費電力モードに変更される。また、内部回路４が低電流負荷状態にされると、消費電力の大きなＦＵＭ４ｅの動作を停止させることもできる。

【００４３】

ＣＰＵ４ａは、低電流負荷状態への移行の指示ないし命令を受けた後、制御ビット４ｇｂへ“１”を書き込むことになる。したがって、ＣＰＵ４ａは、低電流負荷状態への移行の指示ないし命令を受けた時点で、ＲＯＭ４ｃに格納されたソフトウエアを実行し、ＦＦ１６の書き込み用のクロック１４、データ１２、および、データ書き込み制御信号１３を、セレクタ回路１５およびＦＦ１６へ出力することができる。これにより、ＣＰＵ４ａは、低電流負荷状態への移行の前に、つまり、制御ビット４ｇｂへ“１”を書き込む前に、ＦＦ１６に“０”を書き込むことができる。これにより、ＤＣ／ＤＣ２を停止させ、ＬＤＯ３単体で内部回路４へＶＣＣ２降圧電圧３０を供給する。その後、内部回路４は低電流負荷状態へ移行する。この結果、低電流負荷時のＤＣ／ＤＣ２の電力損失を回避でき、電力効率の良い半導体装置１を得ることができる。

【００４４】

制御ビット４ｇｂを複数の制御ビットで構成する場合、複数の制御ビットは、たとえば、内部回路４の低電流負荷状態への移行を指示する制御ビット、動作クロックの高速クロックから低速クロックへ切り替えを指示する制御ビット、複数のＦＵＭ４ｅのおのおのに対する動作停止を指示する複数の制御ビット、などを含むように構成することができる。

【００４５】

次に、図１の半導体装置１の動作について説明する。なお、本実施例では課題検討用の半導体装置１の動作と重複する説明は省略する場合がある。

【００４６】

（リセット入力１１がＬｏｗのときの動作）

リセット入力１１がＬｏｗ（第１レベル）のとき、図１の半導体装置１は初期化され、ＦＦ１６の出力であるイネーブル信号１７は“０”となる。つまり、ＦＦ１６は、“０”（第１状態）にされることになる。内部回路４も初期化され、ＦＦ１６の書き込み信号１３も“０”となる。図２のＦＦ４０、ＦＦ４１は、イネーブル信号１７を出力するＦＦ１６と異なるクロックに受け渡すために挿入されたフリップフロップであり、リセット入力１１がＬｏｗのとき、その出力４１ａは“０”となる。アンド回路４２の一方の入力はイネーブル信号１７が“０”であるため、出力４２ａは“０”となる。遅延回路４３とアンド回路４４はアンド回路４４の一方の入力がイネーブル信号１７に接続されるため、出力４４ａは“０”となる。

【００４７】

一方、オア回路４５は、リセット入力１１のＬｏｗにより、その出力４５ａは“１”となる。これにより、ＳＲラッチ回路４６はリセットされ、その出力１８ａは“０”となり

、ＤＣ／ＤＣ２の発振器１９、アンプ回路２１、出力制御回路２２は停止状態となる。同時に、信号１８ａはセレクタ回路２３、２４を“０”側に固定し、ＤＣ／ＤＣ２の出力ドライバのＰＭＯＳ２５はオン、ＮＭＯＳ２６はオフとなる。つまり、リセット入力１１のＬｏｗにより、ＤＣ／ＤＣ２は停止状態となり、その出力である端子７はＶＣＣ入力電圧５の電圧となる。つまり、ＤＣ／ＤＣ２の初期状態は停止状態である。一方、ＬＤＯ３はリセット入力１１に係らず動作し、端子７はインダクタ８、キャパシタ９を介してＶＣＣ１降圧電圧１０に接続され、その電圧はＶＣＣ入力電圧５の電圧となり、ＬＤＯ３の入力電圧となる。ＬＤＯ３はＰＭＯＳ２７によりＶＣＣ２降圧電圧３０を生成する。ＶＣＣ２降圧電圧３０は内部回路４に供給される。つまり、リニアレギュレータ（ＬＤＯ３）の初期状態は動作状態である。

【００４８】

（リセット１１をＬｏｗからＨｉｇｈとしたときの動作）

次に、リセット１１をＬｏｗからＨｉｇｈ（第２レベル）、つまり、リセットを解除した後は、ＤＣ／ＤＣ２は停止状態であり、ＬＤＯ３は動作状態である。リセットを解除した後、ＣＰＵ４ａは不揮発性で書き替え可能なメモリ４ｃに格納したプログラムコード（ソフトウエア）により動作し、データ１２と書き込み制御信号１３、およびクロック１４でセレクタ１５を介してＦＦ１６に“１”（第２状態）を書き込むこととができる。つまり、リセットを解除した後、ＣＰＵ４ａは、ソフトウエアによって、スイッチングレギュレータ（ＤＣ／ＤＣ２）の停止状態から動作状態（起動状態）にすることができる。

【００４９】

内部回路４によってＦＦ１６へ“１”の書き込みが行われると、ＤＣ／ＤＣ２のイネーブル信号１７が、セレクタ１５によって、ＦＦ１６の入力に帰還され、書き込んだ値“１”、すなわち、ＤＣ／ＤＣ２のイネーブル信号１７が“１”の状態で保持される。

【００５０】

イネーブル信号１７は、リセット入力１１により“０”となる図２のＦＦ４１の出力４１ａが接続されたアンド回路４２の一方の入力に接続されるので、アンド回路４２の出力４２ａは“１”となる。そのため、ＳＲラッチ回路４５がセットされ、ＳＲラッチ回路４５の出力１８ａが“１”となる。

【００５１】

信号１８ａにより、図１のＤＣ／ＤＣ２は起動し、発振器１９、アンプ回路２１、出力制御回路２２がイネーブルとなる。そして、セレクタ回路２３と２４で、出力制御回路２２の出力２２ａ、２２ｂが出力ドライバのＰＭＯＳ２５とＮＭＯＳ２６に接続され、クロック出力１９ａに同期したＰＷＭ波形が端子７へ出力される。次に、端子７の出力はインダクタ８、キャパシタ９を介して平滑化され、ＶＣＣ１降圧電圧１０が生成される。ＶＣＣ１降圧電圧１０はアンプ回路２１に帰還され、アンプ回路２１はリファレンス電圧生成回路２０で生成されたリファレンス電圧２０ａとＶＣＣ１降圧電圧１０とを比較する。アンプ回路２１の出力である比較電圧２１ａに基づいて、出力制御回路２２は出力２２ａ、２２ｂの電位を適宜制御する。これにより、ＰＭＯＳ２５，ＮＭＯＳ２６により生成されるＰＷＭ波形と外部素子（８、９）とにより、所望のＶＣＣ１降圧電圧１０が生成される。

【００５２】

一方、ＬＤＯ３は、ＶＣＣ１降圧電圧１０を入力とし、ＰＭＯＳ２７の制御により、更に降圧されたＶＣＣ２降圧電圧３０（ＶＣＣ１降圧電圧１０＞ＶＣＣ２降圧電圧３０）を生成する。例えば、ＶＣＣ２降圧電圧３０で１．２Ｖを生成する場合、ＰＭＯＳ２７での電圧降下を考慮すると、ＤＣ／ＤＣ２で生成するＶＣＣ１降圧電圧１０は、ＶＣＣ２降圧電圧３０より若干高い１．３Ｖ程度とすることが望ましい。

【００５３】

（リセット１１以外によりＤＣ／ＤＣ２を動作状態から停止状態するときの動作）

次に、リセット１１以外によりＤＣ／ＤＣ２を動作状態から停止状態するときの動作について説明する。

【００５４】
信号１８ａは、次のようにして、“０”とすることができる。内部回路４内のＣＰＵ４ａは、ソフトウエアによって、データ１２と書き込み制御信号１３、およびクロック１４でセレクタ１５を介してＦＦ１６に“０”を書き込むこととができる。ＦＦ１６へ“０”を書き込むと、ＤＣ／ＤＣ２のイネーブル信号１７が“１”から“０”になり、遅延回路４３の出力は遅延時間を経て“０”となる。そして、アンド回路４４の出力４４ａは一時的に“１”となり、オア回路４５を介してＳＲラッチ回路４６がリセットされ、ＳＲラッチ回路４６の出力１８ａが“０”となる。これにより、ＤＣ／ＤＣ２の発振器１９、アンプ回路２１、出力制御回路２２は停止し、セレクタ回路２３，２４により出力ドライバのＰＭＯＳ２５はオン、ＮＭＯＳ２６はオフとなり、端子７はＶＣＣ入力電圧５の電圧となる。

【００５５】
この動作は、内部回路４を高電流負荷状態から低電流負荷状態へ移行させる場合に好適である。この場合、内部回路４を低電流負荷に移行させる前に、ソフトウエアによってＦＦ１６を“０”にして、ＤＣ／ＤＣ２を停止状態とし、ＬＤＯ３単体で動作させるのが良い。内部回路４を低電流負荷に移行させる方法は、たとえば、内部回路４の動作クロックを低速にしたり、内部回路４の動作クロックを停止させたりして、内部回路４を待機状態にすることで、実現することができる。

【００５６】
（ＶＣＣ１降圧電圧１０、ＶＣＣ２電圧３０の波形の説明）
図４は、実施例１に係るタイミング図であり、ＶＣＣ入力電圧５の投入からのＶＣＣ１降圧電圧１０、ＶＣＣ２電圧３０の波形を示している。リセット１１をＬｏｗからＨｉｇｈとしてリセットを解除（時刻ｔ１）した後、ＦＦ１６に“１”をセットしたとき（時刻ｔ２）、再度リセット１１が生じたとき（時刻ｔ３）、再度ＦＦ１６に“１”をセットしたとき（時刻ｔ４）、ＦＦ１６を“０”にクリアしたとき（時刻ｔ５）の波形を示すものである。

【００５７】
時刻ｔ１において、リセット１１がＬｏｗからＨｉｇｈにされるので、ＬＤＯ３が起動される。ＬＤＯ３は、ＶＣＣ１降圧電圧１０からＶＣＣ２降圧電圧３０を生成する。ＤＣ／ＤＣ２のイネーブル信号１７は“０”なので、アンド回路４２の出力４２ａは“０”となり、オア回路４５の出力４５ａは“１”になる。ＳＲラッチ回路４６はリセットされ、制御回路１８の出力１８ａは“０”になる。このため、ＤＣ／ＤＣ２は停止状態になる。前述のようにＰＭＯＳ２５の作用で、ＶＣＣ１降圧電圧１０はＶＣＣ入力電圧５の電圧まで引き上げられる。

【００５８】
時刻ｔ２において、内部回路４内のＣＰＵ４ａは、ソフトウエアによって、データ１２と書き込み制御信号１３、およびクロック１４でセレクタ１５を介してＦＦ１６に“１”を書き込む。ＦＦ１６の出力であるＤＣ／ＤＣ２のイネーブル信号１７は“１”になり、アンド回路４２の出力４２ａは“１”になり、オア回路４５の出力４５ａは“０”になる。これにより、ＳＲラッチ回路４６はセットされ、制御回路１８の出力１８ａは“１”になる。出力１８ａが“１”になると、ＤＣ／ＤＣ２が起動し、発振器１９の出力１９ａで示すクロックが生成されるとともに、ＶＣＣ１降圧電圧１０は所定の電圧（たとえば、１．３Ｖ）まで出力１９ａに同期して徐々に降圧を行う。なお、ＬＤＯ３の降圧動作は継続されている。

【００５９】
時刻ｔ３において、リセット１１が生じ、リセット１１はｌｏｗになる。リセット１１のｌｏｗより、ＦＦ１６の出力であるＤＣ／ＤＣ２のイネーブル信号１７は“０”になり、オア回路４５の出力４５ａは“０”になる。これにより、ＳＲラッチ回路４６はリセットされ、制御回路１８の出力１８ａは“０”になる。信号１８ａが“０”になると、ＤＣ／ＤＣ２が停止状態になり、前述のようにＰＭＯＳ２５の作用で、ＶＣＣ１降圧電圧１０

はＶＣＣ入力電圧５の電圧まで引き上げられる。その後、リセット１１はＬｏｗからＨｉｇｈになり、時刻ｔ１で説明したと同様な動作が行われる。

【００６０】

時刻ｔ４において、内部回路４内のＣＰＵ４ａは、ソフトウエアによって、ＦＦ１６に“１”を書き込む。以降の動作は、時刻ｔ２の説明と同じであるので、ここでの説明は省略する。

【００６１】

時刻ｔ５において、内部回路４内のＣＰＵ４ａは、ソフトウエアによって、ＦＦ１６に“０”を書き込む。ＦＦ１６へ“０”を書き込むと、ＤＣ／ＤＣ２のイネーブル信号１７が“１”から“０”になり、アンド回路４４の出力４４ａは一時的に“１”となり、オア回路４５の出力４５ａも一時的に“１”になる。そのため、ＳＲラッチ回路４６がリセットされ、ＳＲラッチ回路４６の出力１８ａが“０”となる。これにより、ＤＣ／ＤＣ２が停止状態になる。信号１８ａが“０”になると、前述のようにＰＭＯＳ２５の作用で、ＶＣＣ１降圧電圧１０はＶＣＣ入力電圧５の電圧まで引き上げられる。ＬＤＯ３の降圧動作は継続されている。

【００６２】

以上の説明では、ＤＣ／ＤＣ２を使用する形態について説明したが、ＤＣ／ＤＣ２を使用せず、ＬＤＯ３のみ使用する形態では、外部素子のインダクタ８やキャパシタ９を接続せず、ＶＣＣ１端子にはＶＣＣ入力５を外部で接続するように半導体集積回路１を実装する基板を作ればよい。

【００６３】

本実施例によれば、以下の１または複数の効果を得ることができる。

【００６４】

１）ソフトウエア、またはハードウエアで、スイッチングレギュレータとリニアレギュレータの切り替えを行い、電力効率よく、かつ広電圧範囲で動作可能な電源回路を提供できる。

【００６５】

２）入力電圧の低下検知回路を併用して、高電圧ではＤＣ／ＤＣ２とＬＤＯ３の同時動作、低電圧ではＬＤＯ単体動作が可能になり、入力電圧が高電圧から低電圧まで動作させることができる。

【００６６】

３）高電流負荷ではＤＣ／ＤＣ２とＬＤＯ３を同時に動作させ、低電流負荷ではＤＣ／ＤＣ２を停止、ＬＤＯ３を動作させる。これにより、電力効率の良い電源回路を得ることができる。

【００６７】

４）ＤＣ／ＤＣ２がオフ（停止状態）で、ＶＣＣ１降圧電圧１０がＶＣＣ入力電圧５と同電位の状態で、半導体装置１が起動し、ＶＣＣ１降圧電圧１０を入力電圧とするＬＤＯ３でＶＣＣ２降圧電圧３０の生成を行う。その後、ソフトウエアによる設定で、ＤＣ／ＤＣ２を動作させることができる。これによれば、リセット時にＤＣ／ＤＣ２を使用するか、ＬＤＯ３を使用するかを決める、図９に示す端子３２が必要なく、半導体装置１の持つ外部端子（端子３２）を他の機能として有効に使用することができる。他の機能とは、たとえば、信号の入力用の端子、信号の出力用の端子、または、信号の入出力用の端子である。

【００６８】

５）また、ＤＣ／ＤＣ２を使用する形態においては、クロックを低速にしたり、クロックを停止させたりして待機状態にして、内部回路４を低電流負荷に移行させるときは、低電流負荷に移行させる前に、ソフトウエアでＦＦ１６を“０”にして、ＤＣ／ＤＣ２を停止させ、ＬＤＯ３のみを動作させることができる。この結果、低電流負荷時のＤＣ／ＤＣ２の電力損失を回避でき、電力効率の良い半導体装置１を得ることができる。

【００６９】

６）広電圧範囲で動作する汎用マイクロコンピュータにおいて、ＶＣＣ入力電圧５の低電圧を検知する低電圧検知回路１ａを用いることで、ＤＣ／ＤＣ２の電力効率が低下する電圧を検知でき、低電圧検出割り込みを使用して、ソフトウエアでの書き込みによりＦＦ１６を“０”にして、ＤＣ／ＤＣ２を停止させ、ＬＤＯ３のみを動作させることができる。これにより、ＶＣＣ入力電圧５が高電圧から低電圧まで電力効率よく動作させることができる。つまり、ＶＣＣ入力電圧５が高電圧の場合は電力効率の高いＤＣ／ＤＣ２を使用でき、低電圧では、ＤＣ／ＤＣ２を停止して、ＬＤＯ３単体の動作に移行でき、半導体装置１の動作電圧範囲の全域で、電力効率よい半導体装置１を得ることができる。

【００７０】

（変形例）

以下に、いくつかの変形例を説明する。

【００７１】

（変形例１）

図５は、実施例１の変形例に係る半導体装置１の要部の構成例を示すブロック図である。図５には、ＤＣ／ＤＣ２の制御回路１８以外の内部構成、ＬＤＯ３、内部回路４の記載は、省略されている。図５が図１と異なる点は、図５がアンド回路４７を有する点である。実施例１の説明では、低電流負荷時や低電圧検出時にソフトウエアでＤＣ／ＤＣ２のオン、オフを切り替えていたが、アンド回路４７の入力４８に低電流負荷時や低電圧検出時に“１”になる信号を接続するとＣＰＵ４ａが実行するソフトウエアでＦＦ１６をセット、クリアする負担が減り、より使い勝手の良い半導体装置１を得ることができるのは言うまでもない。

【００７２】

低電圧検出時に“１”になる信号は、図４に示す低電圧検知回路１ａの検出信号１ａａを適用することができる。ＣＰＵ４ａのソフトウエアでＦＦ１６をセット、クリアすることなく、低電圧検知回路１ａの様なハードウエア回路の出力によって、ＤＣ／ＤＣ２のオン、オフを切り替えることができる。

【００７３】

低電流負荷時に“１”になる信号は、図４に示すＲＥＧ４ｇの制御ビット４ｇｂの出力を適用することができる。ＣＰＵ４ａのソフトウエアでＦＦ１６をセット、クリアすることなく、ＣＰＵ４ａが制御ビット４ｇｂの出力によって、ＤＣ／ＤＣ２のオン、オフを切り替えることができる。

【００７４】

（変形例２）

図１には記載していないが、半導体装置１が複数のＬＤＯを備え、低電流負荷時にはオンするＬＤＯの数を調整、または、低負荷電流専用のＬＤＯを使用して、半導体装置１がより低消費電力になるような制御を行ってもよい。

【００７５】

（変形例３）

実施例１では、ＤＣ／ＤＣの動作をＦＦ１６の様なレジスタにより制御する例について説明したが、レジスタの書き込み手段を持たないような、電源ＩＣ単体のような場合は、外部端子からＦＦ１６の様なレジスタを制御してもよい。

【実施例２】

【００７６】

次に、図６～図８を用いて、実施例２を説明する。図６は、実施例２に係る半導体装置１の構成例を示すブロック図である。図７は、図６の制御回路１８の構成例を示す回路図である。図８は、実施例２に係るタイミング図である。

【００７７】

図６が図１と異なる点は、図６において、ＶＣＣ１降圧電圧１０が制御回路１８の帰還端子ＦＢに入力される点と、制御回路１８の出力１８ｂがアンプ回路２１の一方の入力端子に接続される点と、アンド回路４７が設けられている点と、である。図６の他の構成及

び動作は、図１の構成及び動作と同じであるので、ここでの説明は省略する。また、アンド回路４７の動作については、図５に示すアンド回路４７の動作と同じであるので、ここでの説明は省略する。ＶＣＣ１降圧電圧１０が制御回路１８の帰還端子ＦＢに入力される点、および、制御回路１８の出力１８ｂがアンプ回路２１の一方の入力端子に接続される点は、図７を用いて、詳細に説明する。

【００７８】

図７に示す様に、図６の制御回路１８は、発振器１９の出力を分周する分周器５０と、分周器５０から出力された分周クロック５０ａをクロックとする３つのＦＦ５１、５２、５４と、ＳＲラッチ回路５８のセット信号を生成するアンド回路５３と、リセットパルスを生成するための遅延回路５５およびアンド回路５６と、を有する。図６の制御回路１８は、さらに、オア回路５７と、２ビットのカウンタ６０と、カウンタ６０を制御する２つのアンド回路６１、６２と、ＶＣＣ１降圧電圧１０を分圧する抵抗値Ｒの３つの抵抗素子６７、６８、６９と、抵抗値２Ｒの抵抗素子７０と、抵抗素子６７～７０で生成される分圧電圧をアンプ回路入力１８ｂに接続する４つのアナログスイッチ６３、６４、６５、６６と、を含む。

【００７９】

次に、実施例２の動作について説明する。なお、以下の実施例２の動作の説明では、実施例１の動作と重複する説明は省略し、主要な動作のみについて説明する。

【００８０】

ＬＤＯの性能の一つに、ＰＳＲＲ（電源電圧変動除去比）がある。ＰＳＲＲは、入力電圧に変動（リップル）があるときに、ＬＤＯが、その変動を除去できる能力である。急激なＶＣＣ入力電圧５の変動は、ＬＤＯ３の出力電圧に変動を与えるという問題があった。実施例１では、ＤＣ／ＤＣ２で降圧電圧を生成するため、半導体装置１の外部に配置するキャパシタ９は、電流供給能力に依存するものの、通常、数μＦから数十μＦの単位のキャパシタが接続される。そのため、ＤＣ／ＤＣ２がオン、オフするときのＶＣＣ１降圧電圧１０の変化は、ある程度勾配が緩やかになる作用があった。しかしながら、ＬＤＯ３の安定動作のためには、ＶＣＣ１降圧電圧１０の変化を確実に制御して、ＶＣＣ１降圧電圧１０を緩やかに変化させることが望ましい。

【００８１】

実施例２では、ＤＣ／ＤＣ２の生成するＶＣＣ１降圧電圧１０をＤＣ／ＤＣ２へ帰還し、ＶＣＣ１降圧電圧１０の電圧を段階的に上昇または下降できる制御回路１８を有する。ＶＣＣ１降圧電圧１０の電圧を段階的に上昇または下降は、制御回路１８に設けられたカウンタ６０のカウント値に基づいて行われる。ＤＣ／ＤＣ２がオンするとき、カウンタ６０を用いて、ＶＣＣ１降圧電圧１０を緩やかに立下げる。また、ＤＣ／ＤＣ２がオフするとき、カウンタ６０を用いて、ＶＣＣ１降圧電圧１０を緩やかに立ち上げる。

【００８２】

分周回路５０により生成された分周クロック５０ａは、分周クロック５０ａに同期してＶＣＣ１降圧電圧１０の立ち上げ、立下げを制御するものである。ＦＦ５１，ＦＦ５２は、実施例１のＦＦ４０、ＦＦ４１と同様な動作を行い、ＦＦ５１，ＦＦ５２を介してアンド回路５３でＳＲラッチ回路５８を“１”にセットする。２ビットのカウンタ６０のデコード信号６０ａの立ち上がり時に、ＦＦ５４で１サイクル遅れて、遅延回路５５とアンド回路５６でパルスを生成して、リセット入力１１とのオワ回路５７を介してＳＲラッチ回路５８を“０”にリセットする。

【００８３】

図７において、カウンタ６０のカウンタ値とカウンタデコード信号６０ａ、６０ｂ、６０ｃ、６０ｄとは、次の様になるものとする。

カウンタ６０のカウンタ値が“００ｂ”のとき、カウンタデコード信号６０ａが“１”となる。

カウンタ６０のカウンタ値が“０１ｂ”のとき、カウンタデコード信号６０ｂが“１”となる。

カウンタ６０のカウンタ値が“１０ｂ”のとき、カウンタデコード信号６０ｃが“１”となる。
カウンタ６０のカウンタ値が“１１ｂ”のとき、カウンタデコード信号６０ｄが“１”となる。
【００８４】
カウンタ６０は、ＶＣＣ入力電圧５の投入後、リセット入力１１がＬｏｗのとき、初期化され、そのカウンタ値は“００ｂ”となる。すなわち、カウンタデコード信号６０ａが“１”であり、カウンタデコード信号６０ｂ～６０ｄは“０”である。
【００８５】
ＤＣ／ＤＣ２を起動する場合、ＦＦ１６が“１”にセットされ、ＤＣ／ＤＣ２のイネーブル信号１７が“１”となる。ＤＣ／ＤＣ２のイネーブル信号１７がＦＦ５１，ＦＦ５２を介して信号５２ａを“１”にすると、アンド回路６１の出力６１ａが“１”となり、カウンタ６０は分周クロック５０ａに同期してアップカウントする。
【００８６】
次に、カウンタ６０がオーバーフローすると、すなわち、カウンタ値が“１１ｂ”になると、アンド回路６１の出力６１ａが“０”となり、アップカウントが終了する。
【００８７】
次に、ＦＦ１６が“０”にクリアされ、ＤＣ／ＤＣ２のイネーブル信号１７が“０”になると、分周クロック５０ａから２クロック遅れて、信号５２ａが“０”となり、アンド回路６２の出力６２ａが“１”となり、次の分周クロック５０ａの立ち上がりから、カウンタ６０はダウンカウントを開始する。カウンタ値が“００ｂ”になると、カウンタデコード信号６０ａが“１”となり、ＦＦ５４でクロック１サイクル遅れて、遅延回路５５とアンド回路５６でパルスが生成され、オア回路５７を介してＳＲラッチ５８を“０”にリセットし、カウンタ６０のダウンカウントが終了する。
【００８８】
一方、カウンタデコード信号６０ａ～６０ｄはアナログスイッチ６３～６６により、ＶＣＣ１降圧電圧１０を抵抗値Ｒの抵抗素子６７～６９と抵抗値２Ｒの抵抗素子７０で分圧された電圧を信号１８ｂに接続する。信号１８ｂは、アンプ回路２１により、リファレンス電圧２０ａと比較され、出力制御回路２２で端子７に出力されるＰＷＭ波形を制御する。
【００８９】
例えば、ＶＣＣ入力電圧５が３．３Ｖであり、リファレンス電圧２０ａが１．３Ｖである場合を例として、説明する。
【００９０】
スイッチ６３がオンの場合、ＶＣＣ１降圧電圧１０がそのままアンプ回路２１の入力になり、ＶＣＣ１降圧電圧１０が１．３Ｖになるように、端子７のＰＷＭ波形が出力制御回路２２により制御される。
【００９１】
スイッチ６４がオンの場合、ノード７１が１．３Ｖとなるよう端子７のＰＷＭ波形が制御される。この場合、ＶＣＣ１降圧電圧１０は１．３Ｖ＊５／４＊Ｒ＝１．６２５Ｖとなる。
【００９２】
スイッチ６５がオンの場合、ノード７２が１．３Ｖとなるように、端子７のＰＷＭ波形が制御される。この場合、ＶＣＣ１降圧電圧１０は１．３Ｖ＊５／３＊Ｒ＝２．１６６Ｖとなる。
【００９３】
スイッチ６６がオンの場合、ノード７３が１．３Ｖとなるよう端子７のＰＷＭ波形が制御される。この場合、ＶＣＣ１降圧電圧１０は１．３Ｖ＊５／２＝３．２５Ｖとなる。
【００９４】
これにより、カウンタ６０のカウンタ値が００ｂ（“０”）－＞０１ｂ（“１”）－＞

１０ｂ（“２”）－＞１１ｂ（“３”）と順次アップカウントされると、ＶＣＣ１降圧電圧１０はアナログスイッチ６３～６６で選択された信号１８ｂの電圧に徐々に降下する。

【００９５】

カウンタ６０のカウンタ値が１１ｂ（“３”）－＞１０ｂ（“２”－＞）０１ｂ（“１”）－＞００ｂ（“０”）と順次ダウンカウントされると、ＶＣＣ１降圧電圧１０はアナログスイッチ６３～６６で選択された信号１８ｂの電圧に徐々に上昇する。カウンタ６０のカウンタ値が“００ｂ”になると、カウンタデコード信号６０ａが“１”となり、ＦＦ５４でクロック１サイクル遅れて遅延回路５５とアンド回路５６でリセットパルスが生成され、オア回路５７を介してＳＲラッチ回路５８が“０”にリセットされる。これにより、ＳＲラッチ回路５８の出力信号１８ａが“０”となり、図６の発振器１９、アンプ回路２１を停止すると同時に、セレクタ２３，２４の作用でＰＭＯＳ２５はオンに固定され、ＮＭＯＳ２６はオフに固定される。そのため、ＶＣＣ１降圧電圧１０はＶＣＣ入力５の電圧に固定される。

【００９６】

（ＶＣＣ１降圧電圧１０、ＶＣＣ２電圧３０の波形の説明）

図８は、ＶＣＣ入力電圧５の投入からのＶＣＣ１降圧電圧１０、ＶＣＣ２降圧電圧３０の波形を示している。リセット１１をＬｏｗからＨｉｇｈとしてリセットを解除（時刻ｔ１）した後、ＦＦ１６に“１”をセットしたとき（時刻ｔ２）、再度リセット１１が生じたとき（時刻ｔ３）、再度ＦＦ１６に“１”をセットしたとき（時刻ｔ４）、ＦＦ１６を“０”にクリアしたとき（時刻ｔ５）の波形を示すものである。図８において、「６０Ｃｏｕｎｔｅｒ」はカウンタ６０のカウンタ値をしている。

【００９７】

ＶＣＣ入力電圧５の投入後、リセット入力１１がＬｏｗのとき、カウンタ６０は初期化され、そのカウンタ値は“００ｂ”となる。

【００９８】

時刻ｔ１において、リセット１１がＬｏｗからＨｉｇｈにされるので、ＬＤＯ３が起動される。ＬＤＯ３は、ＶＣＣ１降圧電圧１０からＶＣＣ２降圧電圧３０を生成する。ＤＣ／ＤＣ２のイネーブル信号１７は“０”なので、ＤＣ／ＤＣ２は停止状態になる。実施例１で説明したように、ＰＭＯＳ２５の作用で、ＶＣＣ１降圧電圧１０はＶＣＣ入力電圧５の電圧まで引き上げられる。

【００９９】

時刻ｔ２において、たとえば、内部回路４内のＣＰＵ４ａは、ソフトウエアによって、データ１２と書き込み制御信号１３、およびクロック１４でセレクタ１５を介してＦＦ１６に“１”を書き込む。これにより、ＤＣ／ＤＣ２のイネーブル信号１７は“１”になり、アンド回路５３の出力５３ａが“１”になり、ＳＲラッチ回路５８が“１”にセットされる。ＳＲラッチ回路５８の出力１８ａが“１”になると、ＤＣ／ＤＣ２が起動し、発振器１９の出力１９ａで示すクロックが生成される。また、ＤＣ／ＤＣ２のイネーブル信号１７がＦＦ５１，ＦＦ５２を介してアンド回路５２の出力５２ａを“１”にすると、アンド回路６１の出力６１ａが“１”となり、カウンタ６０は分周クロック５０ａに同期してアップカウントをする。したがって、カウンタ６０のカウント値は、００ｂ（“０”）－＞０１ｂ（“１”）－＞１０ｂ（“２”）－＞１１ｂ（“３”）と順次アップカウントされ、ＤＣ／ＤＣ２が生成するＶＣＣ１降圧電圧１０はアナログスイッチ６３～６６で選択された信号１８ｂの電圧に徐々に段階的に降下する。カウンタ値が“１１ｂ”になると、カウンタ６０がオーバーフローする。そのため、アンド回路６１の出力６１ａが“０”となり、カウンタ６０のアップカウントが終了する。

【０１００】

時刻ｔ３において、リセット１１が生じ、リセット１１はＬｏｗになる。リセット１１のＬｏｗより、カウンタ６０は初期化され、そのカウンタ値は“００ｂ”となる。すなわち、カウンタデコード信号６０ａが“１”となり、カウンタデコード信号６０ｂ～６０ｄは“０”となる。また、リセット１１のＬｏｗより、ＦＦ１６が“０”になるので、ＤＣ

／ＤＣ２のイネーブル信号１７は“０”になり、オア回路５７の出力５７ａは“１”になる。これにより、ＳＲラッチ回路５８は“０”にリセットされ、制御回路１８の出力１８ａは“０”になる。信号１８ａが“０”になると、ＤＣ／ＤＣ２が停止状態になり、発振器１９、ファレンス電圧生成回路２０、アンプ回路２１、出力制御回路２２は停止状態となる。制御回路１８の出力１８ａが“０”になると、前述のようにＰＭＯＳ２５の作用で、ＶＣＣ１降圧電圧１０はＶＣＣ入力電圧５の電圧まで引き上げられる。その後、リセット１１はＬｏｗからＨｉｇｈになり、時刻ｔ１で説明したと同様な動作が行われる。

【０１０１】

時刻４において、たとえば、内部回路４内のＣＰＵ４ａは、ソフトウエアによって、ＦＦ１６に“１”を書き込み、ＤＣ／ＤＣ２のイネーブル信号１７を“１”にして、ＤＣ／ＤＣ２のオンをさせる。以降の動作は、時刻ｔ２の説明と同じであるので、ここでの説明は省略する。ここで、カウンタ６０のカウント値は、００ｂ（“０”）－＞０１ｂ（“１”）－＞１０ｂ（“２”）－＞１１ｂ（“３”）と順次アップカウントされ、ＤＣ／ＤＣ２が生成するＶＣＣ１降圧電圧１０はアナログスイッチ６３～６６で選択された信号１８ｂの電圧に徐々に段階的に降下する。カウンタ値が“１１ｂ”になると、カウンタ６０がオーバーフローする。そのため、アンド回路６１の出力６１ａが“０”となり、カウンタ６０のアップカウントが終了する。

【０１０２】

時刻ｔ５において、たとえば、内部回路４内のＣＰＵ４ａは、ソフトウエアによって、ＦＦ１６に“０”を書き込む。または、アンド回路４７の入力４８に、低電圧検出時に“１”になる信号を出力する低電圧検知回路１ａを接続することで、ハードウエア的に、ＤＣ／ＤＣ２のイネーブル信号１７を“０”にして、ＤＣ／ＤＣ２のオフをさせる様にしてもよい。ＦＦ１６が“０”にクリアされ、ＤＣ／ＤＣ２のイネーブル信号１７が“０”になると、分周クロック５０ａから２クロック遅れて、信号５２ａが“０”となり、アンド回路６２の出力６２ａが“１”となり、次の分周クロック５０ａの立ち上がりから、カウンタ６０はダウンカウントを開始する。カウンタ６０のカウンタ値が１１ｂ（“３”）－＞１０ｂ（“２”－＞）０１ｂ（“１”）－＞００ｂ（“０”）と順次ダウンカウントされると、ＶＣＣ１降圧電圧１０はアナログスイッチ６３～６６で選択された信号１８ｂの電圧に徐々に上昇する。カウンタ６０のカウンタ値が“００ｂ”になると、カウンタデコード信号６０ａが“１”となり、ＦＦ５４でクロック１サイクル遅れて遅延回路５５とアンド回路５６でリセットパルスが生成され、オア回路５７を介してＳＲラッチ回路５８が“０”にリセットされる。これにより、ＳＲラッチ回路５８の出力信号１８ａが“０”となり、図６の発振器１９、アンプ回路２１を停止すると同時に、セレクタ２３，２４の作用でＰＭＯＳ２５はオンに固定され、ＮＭＯＳ２６はオフに固定される。そのため、ＶＣＣ１降圧電圧１０はＶＣＣ入力５の電圧に固定される。

【０１０３】

実施例２によれば、ＶＣＣ１降圧電圧１０を緩やかに立下げ、また、緩やかに立ち上げることができるので、ＬＤＯ３のＰＳＲＲ（電源電圧変動除去比）に対して余裕を大きくすることができ、よりＬＤＯ３を安定に動作させることができる。

【０１０４】

なお、実施例２では、説明を簡単にするため、２ビットのカウンタ６０を用いて説明したが、よりビット数の大きなカウンタを用いてもよい。内蔵するＬＤＯの性能に合わせて、抵抗素子６７～７０やアナログスイッチ６３～６８と共に、カウンタ６０のビット数を調整すればよい。

【０１０５】

更に、実施例２では、リセット入力１１がＨｉｇｈからＬｏｗに変化する場合、ＶＣＣ１降圧電圧１０を緩やかに立下げる制御は行っていない。しかし、リセット入力１１をＶＣＣ電圧投入時にのみリセット信号を生成するパワーオンリセット信号に変更すれば、ＶＣＣ１降圧電圧１０をリセット入力前の状態で保持することができる。これによれば、リセット前にＶＣＣ２降圧電圧３０を使用する内部回路４のメモリ４ｃ、４ｆ等に書き込ん

だ情報も確実に保持できるというメリットがある。

【０１０６】

なお、本実施例では、ＤＣ／ＤＣ２の帰還電圧１８ｂを切り替えてＶＣＣ１降圧電圧１０の立ち上げ、立下げを緩やかにする構成を説明したが、これに限定されない。例えば、ＰＭＯＳ２５のゲート電圧を調整してＶＣＣ１降圧電圧１０を緩やかに変化させるといった構成を採用してもよい。

【０１０７】

以上の説明では、ＤＣ／ＤＣ２を使用する形態について説明したが、ＤＣ／ＤＣ２を使用せず、ＬＤＯ３のみ使用する形態では、実施例１と同様に外部素子のインダクタ８やキャパシタ９を接続せず、ＶＣＣ１降圧電圧１０にはＶＣＣ入力５を接続するようにすればよい。

【０１０８】

図１０は、スイッチングレギュレータとリニアレギュレータの特性を説明する図である。実施例１や実施例２で説明した半導体装置１を汎用マイクロコンピュータとした場合について説明する。汎用マイクロコンピュータは広い電源電圧範囲で動作することが一般的に要求される。図１０において、横軸は、汎用マイクロコンピュータの動作電源電圧ＶＣＣを示している。汎用マイクロコンピュータの動作電源電圧（横軸ＶＣＣ）は、一例として、１．６８Ｖ～３．６０Ｖとして示している。

【０１０９】

スイッチングレギュレータ（ＤＣ／ＤＣ２）が高効率で動作する電圧範囲は２．３０Ｖ～３．６０Ｖであり、リニアレギュレータ（ＬＤＯ３）が高効率で動作する電圧範囲は１．６８Ｖ～２．３０Ｖである。汎用マイクロコンピュータでは、動作電源電圧に応じて、スイッチングレギュレータ（ＤＣ／ＤＣ２）とリニアレギュレータ（ＬＤＯ３）とを選択的に用いることにより、広い電源電圧範囲での動作が可能となっている。

【０１１０】

なお、図１０において、スイッチングレギュレータ（ＤＣ／ＤＣ２）は、１．６８Ｖ～２．００Ｖの電圧範囲において、動作が不可能（ＮＡ）であり、２．００Ｖ～２．３０Ｖの電圧範囲において、動作が可能だが効率的ではない。一方、リニアレギュレータ（ＬＤＯ３）は、２．３０Ｖ～３．６０Ｖの電圧範囲において、動作可能だが効率的ではない。

【０１１１】

実施例１および実施例２で説明されたように、ＬＤＯ３は、１．６８Ｖ～３．６０Ｖの電圧範囲で動作させる。つまり、半導体装置１（汎用マイクロコンピュータ）に、１．６８Ｖ～３．６０Ｖの電圧範囲のＶＣＣ入力電圧５が入力された場合、ＬＤＯ３は１．６８Ｖ～３．６０Ｖの電圧範囲で動作を行う。

【０１１２】

一方、ＤＣ／ＤＣ２は、高効率で動作する電圧範囲（２．３０Ｖ～３．６０Ｖ）で動作させる。つまり、半導体装置１（汎用マイクロコンピュータ）に、１．６８Ｖ～３．６０Ｖの電圧範囲のＶＣＣ入力電圧５が入力された場合、ＤＣ／ＤＣ２は、高効率で動作する電圧範囲（２．３０Ｖ～３．６０Ｖ）で動作させる。ＶＣＣ入力電圧５が１．６８Ｖ～２．００Ｖの電圧範囲となると、ＤＣ／ＤＣ２は停止される。ＶＣＣ入力電圧５が１．６８Ｖ～２．００Ｖの電圧範囲となったことは、図３で説明した低電圧検知回路１ａにより検出することができる。また、２．３０Ｖ～３．６０Ｖの電圧範囲は高電流負荷状態と見做され、１．６８Ｖ～２．００Ｖの電圧範囲は低電流負荷状態と見做される。

【０１１３】

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は、上記実施形態および実施例に限定されるものではなく、種々変更可能であることはいうまでもない。

【符号の説明】

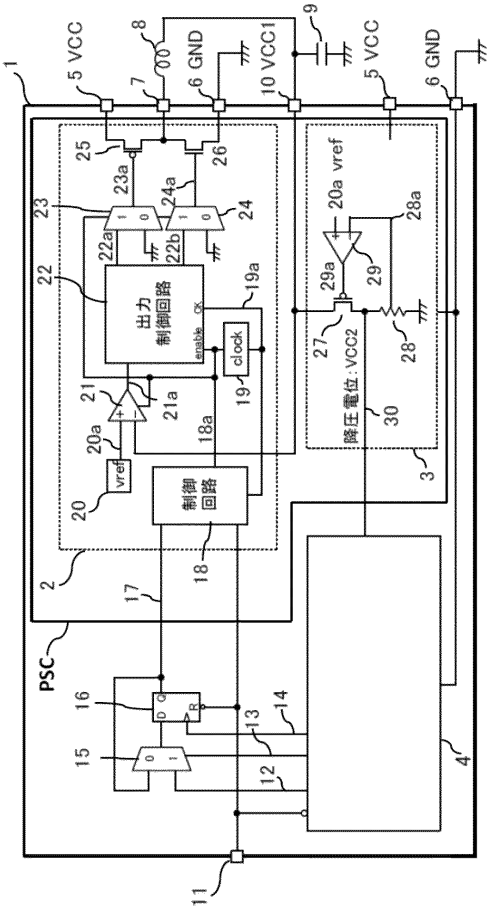
【０１１４】

１：半導体装置

２：スイッチングレギュレータ（ＤＣ／ＤＣ）
３：リニアレギュレータ（ＬＤＯ）
４：内部回路
５：ＶＣＣ入力電圧
８：インダクタ
９：キャパシタ
１０：ＶＣＣ１降圧電圧
１１：リセット入力
１６：フリップフロップ回路（ＦＦ）
１７：イネーブル信号
１８：制御回路
３０：ＶＣＣ２降圧電圧
ＰＳＣ：電源回路

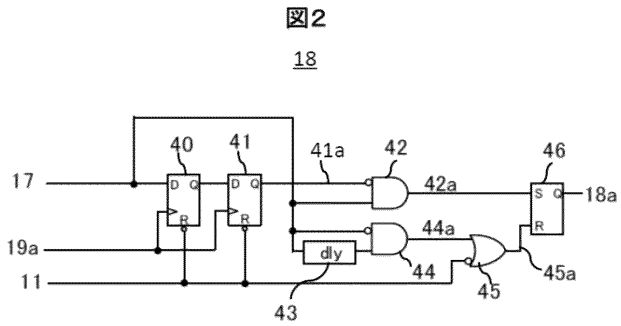
【図１】

図1



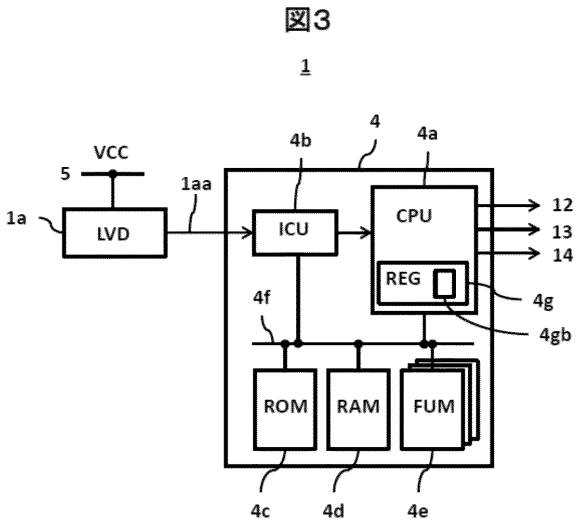
【図２】

図2



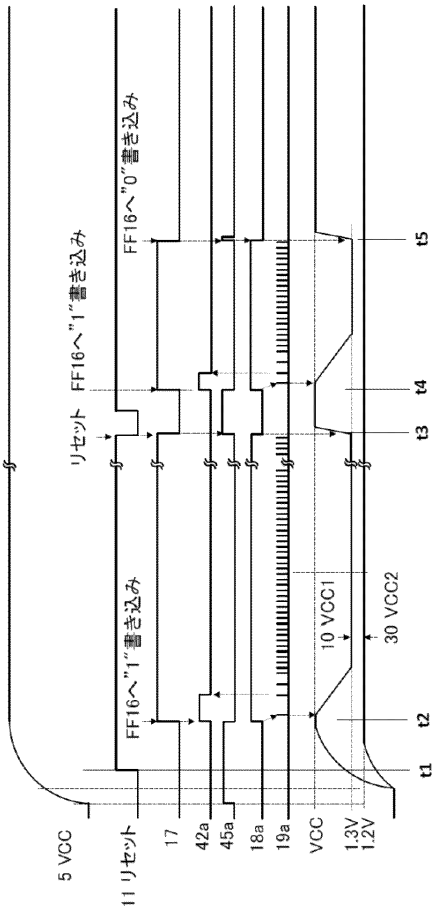
【図３】

図3



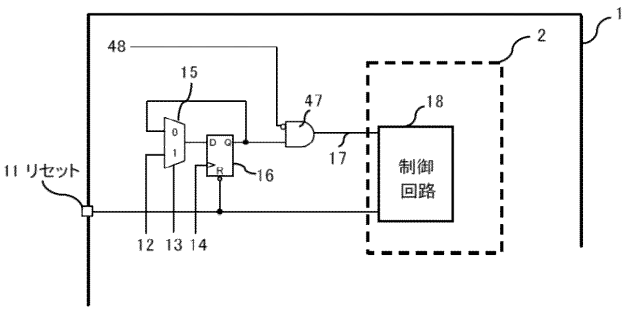
【図４】

図4



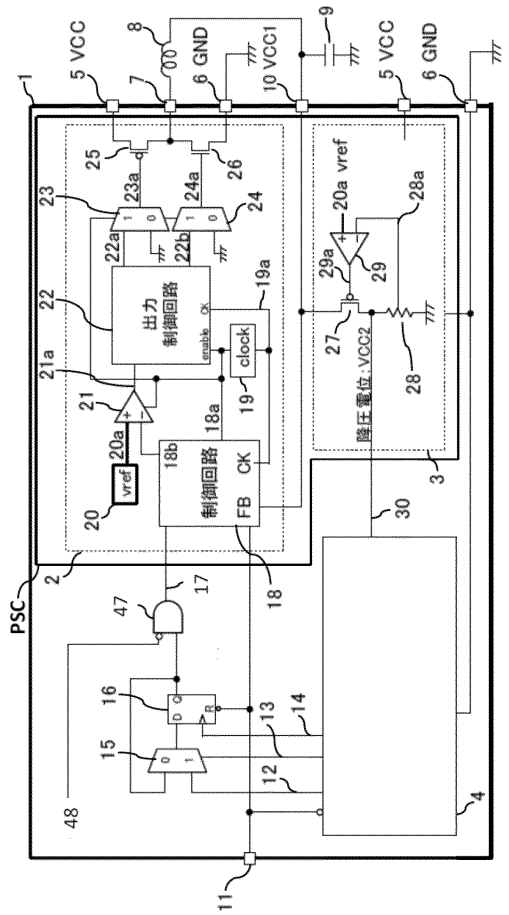
【図５】

図5



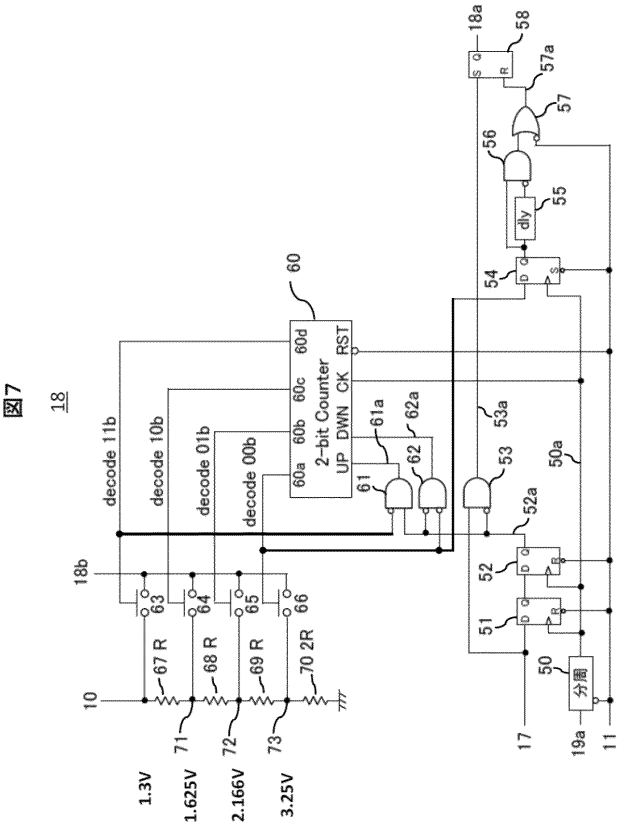
【図６】

図6



【図７】

図7



【図８】

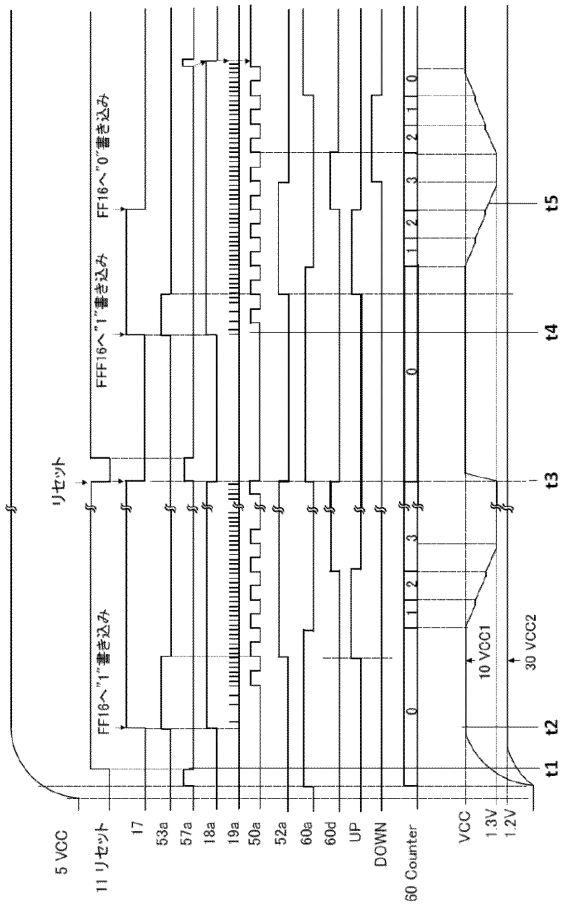


図8

【図９】

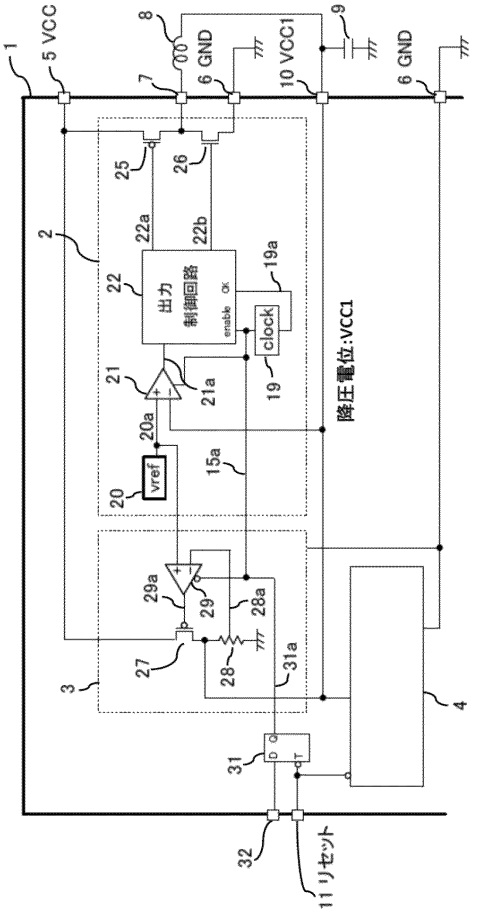


図9

【図１０】

図10

	VCC			
	1.68V	1.80V 2.00V	2.30V	3.60V
スイッチングレギュレータ（DC/DC2）	NA		動作可能だが、効率的ではない	高効率で動作
リニアレギュレータ（LDO3）	高効率で動作			動作可能だが、効率的ではない