



(12) 发明专利申请

(10) 申请公布号 CN 119836740 A

(43) 申请公布日 2025. 04. 15

(21) 申请号 202380063640.4

(22) 申请日 2023.03.06

(30) 优先权数据

2022-142965 2022.09.08 JP

(85) PCT国际申请进入国家阶段日

2025.03.04

(86) PCT国际申请的申请数据

PCT/JP2023/008248 2023.03.06

(87) PCT国际申请的公布数据

W02024/053135 JA 2024.03.14

(71) 申请人 株式会社京三制作所

地址 日本

(72) 发明人 国玉博史 吉田卓矢

(74) 专利代理机构 北京银龙知识产权代理有限公司

11243

专利代理师 许静 范胜杰

(51) Int.Cl.

H02M 7/48 (2007.01)

H02M 1/08 (2006.01)

H03F 3/217 (2006.01)

H03K 17/687 (2006.01)

H05H 1/46 (2006.01)

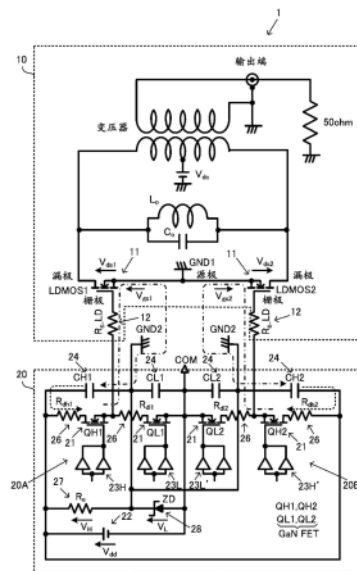
权利要求书3页 说明书24页 附图13页

(54) 发明名称

高频电源装置

(57) 摘要

本发明的高频电源装置(1)具有:高频放大部(10),其通过放大元件(11)的开关动作来进行高频放大;栅极驱动部(20),其向高频放大部(10)的放大元件(11)的栅极端子输入栅极信号来驱动放大元件(11),高频放大部(10)的放大元件(11)是LDMOSFET,栅极驱动部的开关元件(21)是GaNFET。通过使用LDMOSFET作为放大元件,输出高输出/高频率的高频,通过使用GaNFET作为开关元件,降低开关元件的传播延迟的个体差,抑制进行PWM控制的栅极信号的死区时间DT及脉冲宽度Ton的偏差,从而改善精度和再现性,改善高速响应特性,抑制高频谐振。



1. 一种高频电源装置,具有:  
高频放大部,其通过放大元件的开关动作进行高频放大,输出高频的输出功率;以及  
栅极驱动部,其通过开关元件的开关动作向所述放大元件的栅极端子输入栅极信号,  
通过该栅极信号驱动所述放大元件,  
其特征在于,  
在所述高频放大部中,所述放大元件为LDMOSFET,  
在所述栅极驱动部中,所述开关元件为GaN FET,通过矩形波信号的栅极信号对所述高频放大部进行PWM控制。
2. 根据权利要求1所述的高频电源装置,其特征在于,  
在所述栅极驱动部中,使LC谐振的振动衰减的漏极电阻 $R_d$ 与所述开关元件的漏极端子连接,其中,所述LC谐振由所述开关元件的输出寄生电容 $C_{oss\_GaN}$ 、与所述开关元件的漏极端子连接的布线的电感构成。
3. 根据权利要求1或2所述的高频电源装置,其特征在于,  
在所述栅极驱动部中,所述开关元件的总栅极电荷 $Q_g$ 是如下值:在与所述高频的开关动作的开关频率 $f_{sw}$ 对应的一个周期的时间 $1/f_{sw}$ 内,所述开关元件的栅极电流 $I_g$ 注入到栅极端子的总电荷量以下的值。
4. 根据权利要求1或2所述的高频电源装置,其特征在于,  
在所述栅极驱动部中,所述开关元件与对该开关元件的栅极端子施加驱动信号的驱动用逻辑IC之间的布线电感 $L_1$ 被限制为如下值:使该布线电感 $L_1$ 与所述开关元件的栅极电容 $C_{iss\_GaN}$ 构成的LC谐振的谐振频率 $f_{o1}$ 为所述高频的开关动作的开关频率 $f_{sw}$ 以上的值。
5. 根据权利要求1或2所述的高频电源装置,其特征在于,  
在所述栅极驱动部中,所述开关元件和与该开关元件的漏极端子连接的旁路电容器之间的布线电感 $L_2$ 被限制为如下值:使该布线电感 $L_2$ 与所述开关元件的输出寄生电容 $C_{oss\_GaN}$ 构成的LC谐振的谐振频率 $f_{o2}$ 为所述高频的开关动作的开关频率 $f_{sw}$ 以上的值。
6. 根据权利要求1或2所述的高频电源装置,其特征在于,  
在所述栅极驱动部和所述高频放大部中,高侧的所述开关元件的源极端子与所述放大元件的栅极端子之间的布线电感 $L_3$ 被限制为如下值:使该布线电感 $L_3$ 与所述放大元件的栅极电容 $C_{iss\_LD}$ 构成的LC谐振的谐振频率 $f_{o3}$ 为所述高频的开关动作的开关频率 $f_{sw}$ 以上的值。
7. 根据权利要求6所述的高频电源装置,其特征在于,  
在所述高侧的所述开关元件的源极端子与所述放大元件的栅极端子之间连接栅极电阻 $R_{g\_LD}$ ,  
所述栅极电阻 $R_{g\_LD}$ 使由所述放大元件的栅极电容 $C_{iss\_LD}$ 与布线电感 $L_3$ 构成的LC谐振衰减,其中,所述布线电感 $L_3$ 是所述高侧的开关元件的源极端子与所述放大元件的栅极端子之间的电感。
8. 根据权利要求1或2所述的高频电源装置,其特征在于,  
所述高频放大部是将两个放大元件的源极端子进行接地连接的推挽电路,  
所述栅极驱动部具有:两个栅极驱动电路,其对所述两个放大元件的各栅极端子施加栅极信号,

所述两个栅极驱动电路以COM电位为基准呈电对称,构成各栅极驱动电路的电路元件相对于通过COM电位的对称轴配置成线对称。

9. 根据权利要求8所述的高频电源装置,其特征在于,

所述各栅极驱动电路具有的高侧的开关元件以及低侧的开关元件的栅极端子与对各栅极端子施加驱动信号的驱动用逻辑IC之间,连接栅极电阻 $R_{g\_GaN}$ ,

所述高频电源装置具有多个配置成直线状的串联电路,该串联电路由所述驱动用逻辑IC与所述栅极电阻 $R_{g\_GaN}$ 构成,

所述多个串联电路配置成放射状,各个串联电路的电长度均匀。

10. 根据权利要求1或2所述的高频电源装置,其特征在于,

所述栅极驱动部具有:有源元件、无源元件,

所述无源元件相对于基板配置于表层而通过空冷进行冷却,

所述有源元件相对于基板配置于背面而通过经由导热部件接触的散热部进行冷却。

11. 根据权利要求10所述的高频电源装置,其特征在于,

所述散热部是水冷板或散热片。

12. 根据权利要求1或2所述的高频电源装置,其特征在于,

所述栅极驱动部具有:有源元件、无源元件,

关于所述无源元件的并列个数和安装图案宽度,其有效宽度与所述高频放大部的放大元件的主体宽度同等程度或比主体宽度宽广。

13. 根据权利要求7所述的高频电源装置,其特征在于,

在所述栅极驱动部中,将导电性的屏蔽衬垫隔着基板配置于表层侧的栅极电阻 $R_{g\_LD}$ 的正下方背面,并设为栅极驱动部侧的接地电位,

在所述高频放大部中,将所述放大元件的源极电压设为高频放大部侧的接地电位,

所述栅极驱动部侧的接地电位与高频放大部侧的接地电位经由散热部电连接,并在所述栅极驱动部与高频放大部之间形成电流环。

14. 根据权利要求13所述的高频电源装置,其特征在于,

在所述栅极驱动部中,所述开关元件隔着基板配置于与所述开关元件的漏极端子连接的漏极电阻 $R_d$ 以及与所述漏极电阻 $R_d$ 连接的旁路电容器的下方,并经由设置于基板的贯通孔电连接。

15. 根据权利要求13所述的高频电源装置,其特征在于,

所述电流环的路径的环径为10mm以下。

16. 根据权利要求14所述的高频电源装置,其特征在于,

所述电流环的路径的环径为10mm以下。

17. 根据权利要求1或2所述的高频电源装置,其特征在于,

所述栅极驱动部具有:串联连接的高侧的开关元件和低侧的开关元件,

所述高频电源装置具有:与直流电源并联连接的、由串联电阻 $R_o$ 和齐纳二极管ZD构成的串联电路,

将所述串联电阻 $R_o$ 的两端电压作为驱动电压 $V_H$ 施加到所述高侧的开关元件,

将所述齐纳二极管ZD的两端电压作为反向偏置电压 $V_L$ 施加到所述低侧的开关元件,

所述高频放大部内置有保护所述放大元件的栅极的栅极保护电路,

所述驱动电压 $V_{\text{H}}$ 以及反向偏置电压 $V_{\text{L}}$ 在所述栅极保护电路的额定电压的电压范围内，  
在所述高侧的开关元件的漏极端子连接漏极电阻 $R_{\text{dh}}$ ，  
在所述低侧的开关元件的漏极端子连接漏极电阻 $R_{\text{dl}}$ 。

## 高频电源装置

### 技术领域

[0001] 本发明涉及以开关模式驱动放大元件来输出高频的高频电源装置。

### 背景技术

[0002] 高频电源装置具有：高频放大部，其通过放大元件对高频进行功率放大并进行输出；栅极驱动部，其向该高频放大部的放大元件的栅极端子施加驱动信号。

[0003] (高频放大部)

[0004] 已知有MOSFET作为高频电源装置的高频放大部具有的放大元件。MOSFET已知有垂直型MOSFET (VDMOSFET) 和横向型MOSFET (LDMOSFET) 这两种。

[0005] 垂直型MOSFET (VDMOSFET) 因耐高压、大电流的特征，而用于进行开关动作的AC-DC开关电源、逆变器。该开关动作一般限定于数十kHz ~ 数十MHz的区域。在其以上的高频中，从元件特性方面考虑就需要牺牲导通电阻。

[0006] 与此相对，横向型MOSFET (LDMOSFET) 存在难以耐高压和难以低导通电阻化这样的问题，另一方面，还存在输出电容 $C_{oss}$ 为低电容且反馈电容 $C_{rss}$ 小这样的特征。LDMOSFET因具有该低电容特性这样的特征，所以是适合于需要能非常高速地动作的高频特性的高频放大器的输出控制元件的元件。

[0007] LDMOSFET一般用于在A类放大器、B类放大器、AB类放大器、C类放大器等的有源工作区域中使用的高频线性放大器，而不用于进行开关模式的D类放大器、E类放大器、F类放大器等的开关用途。

[0008] (栅极驱动部)

[0009] 在高频电源装置的栅极驱动部中，在进行一般的线性放大时，使用正弦波状的振幅调制信号作为栅极信号，而不使用开关用的方形波状信号。在利用以往的正弦波状的栅极信号使LDMOSFET进行开关动作的情况下，使用对偏置电压叠加交流电压而得的正弦波状的栅极电压 $V_{gs}$ 。偏置电压通过调整栅极电压 $V_{gs}$ 的基准电平，对电平调整后的栅极电压 $V_{gs}$ 和阈值电压 $V_{th}$ 进行电压比较来确定死区时间DT (dead time) 以及脉冲宽度 $T_{on}$ 。

[0010] 图14表示以往的高频电源装置100的一个结构例。高频电源装置100具有高频放大部110和栅极驱动部120。高频放大部110具有LDMOS1及LDMOS2作为LDMOSFET的放大元件111。栅极驱动部120向LDMOS1及LDMOS2的栅极端子施加栅极信号。LDMOS1和LDMOS2通过栅极信号进行开关动作。

[0011] 栅极驱动电路将交流电源的交流电压 $V_{ac}$ 的正弦波状的栅极电压 $V_{gs}$ 与偏置电压 $V_{bias}$ 重叠地施加到LDMOS1及LDMOS2的栅极端子。栅极电压 $V_{gs}$ 从交流电源经由栅极变压器的互感 $M_g$ 而共享LDMOS1及LDMOS2的栅极，因此，存在LDMOSFET在截止区间中产生异常振荡的现象这样的问题。

[0012] (高频信号的输出要件)

[0013] 一般，以开关模式工作的高频电源装置输出高频信号，因此，对于高频放大部要求以下(a)、(b)的要件，对于栅极驱动部要求以下(c)的要件。

[0014] (a) 放大元件的开关动作

[0015] (b) 放大元件的高速/高频的动作特性

[0016] (c) 放大元件的PWM控制

[0017] 在高频电源装置要求的高频信号的要件(a)、(b)、(c)中,垂直型VDMOSFET满足使放大元件进行开关动作这样的要件(a),但不满足高速/高频的动作特性的要件(b)。作为应对该放大元件的高速/高频的动作特性的要件(b),想到了使用低电容特性的横向型LDMOSFET来代替垂直型VDMOSFET。然而,在使用A类放大器、B类放大器、C类放大器等的有源工作区域进行放大工作的线性放大的情况下,横向型LDMOSFET不满足放大元件的开关工作的要件(a)。

[0018] 另一方面,横向型LDMOSFET除了要件(a)以外,在栅极驱动部中基于正弦波状的栅极电压 $V_{gs}$ 的开关动作中,在死区时间DT及脉冲宽度 $T_{on}$ 的调整精度及再现性方面存在不稳定的问题,因此,在放大元件的PWM控制的要件(c)方面存在问题。

[0019] 在横向型LDMOSFET的驱动中,在基于正弦波状的栅极电压 $V_{gs}$ 的开关动作中,由放大元件的阈值电压 $V_{th}$ 和栅极电压 $V_{gs}$ 确定死区时间DT及脉冲宽度 $T_{on}$ 。因此,死区时间DT及脉冲宽度 $T_{on}$ 被阈值电压 $V_{th}$ 的关系大幅影响。阈值电压 $V_{th}$ 根据构成栅极驱动部的元件特性而存在偏差,因此,死区时间DT及脉冲宽度 $T_{on}$ 的调整精度及再现性不稳定。因此,在驱动高频放大元件的栅极驱动中,难以利用正弦波使栅极信号的脉冲宽度可变来进行PWM控制。

[0020] 对于使用了这样的以往的VDMOSFET的放大元件的高频放大部,作为满足高频放大部的输出要件(a)、(b)的结构,提出了如下的放大器:在开关区域(饱和区域),驱动LDMOSFET的放大元件(参照专利文献1)。

[0021] 另外,对于栅极驱动部的输出要件(c),提出了如下的电源装置:利用矩形波的栅极信号对LDMOSFET的放大元件进行PWM控制(参照专利文献2)。

[0022] 现有技术文献

[0023] 专利文献

[0024] 专利文献1:日本特开2017-092915号公报

[0025] 专利文献2:日本特开平08-140341号公报

## 发明内容

[0026] 发明要解决的课题

[0027] 在高频电源装置中,关于作为高频放大部的要件(a)放大元件的开关动作以及(b)放大元件的高速/高频的动作特性,如在专利文献1提出的那样,提出了使用LDMOSFET作为放大元件并在开关区域(饱和区域)进行驱动的结构。

[0028] 另外,关于作为栅极驱动部的要件(c)放大元件的PWM控制,如在专利文献2中提出的那样,提出了用矩形波的栅极信号对LDMOSFET的放大元件进行PWM控制的结构。

[0029] 然而,以往提出的进行PWM控制的栅极驱动部存在如下课题:为了使LDMOSFET以高速/高频进行动作,在矩形波(方形波)的栅极电压 $V_{gs}$ 的死区时间DT及脉冲宽度 $T_{on}$ 的精度和再现性方面存在不足。

[0030] 对于输出为1[kW]以上且频率范围为27[MHz]到100[MHz]的高输出/高频率的高频,在输出上述高频的高频电源装置中,关于对LDMOSFET的放大元件进行PWM控制的矩形波

的栅极信号的死区时间DT及脉冲宽度 $T_{on}$ ,要求较高的精度和再现性。

[0031] 另一方面,关于在专利文献2中提出的栅极驱动部,提出了基于矩形波的栅极信号的PWM控制,但作为构成该栅极驱动部的开关元件,使用了基于Bi-MOS(双极性)的PWM控制IC。一般来说,Si-MOSFET在从栅极接受控制信号到开关元件达到接通状态的传播延迟中存在元件的个体差。例如,在以往的Si-MOSFET中存在1[ns]至数[ns]的个体差。因此,对于由Bi-MOS(双极性)构成的PWM控制IC,因开关元件的传播延迟的个体差,施加到高频放大部的LDMOSFET的栅极端子来进行PWM控制的栅极信号的死区时间DT及脉冲宽度 $T_{on}$ 也会产生偏差,在精度和再现性方面产生问题。

[0032] 对于输出为1kW以上且频率范围为27[MHz]至100[MHz]的高输出/高频率的高频,在输出如上高频的高频电源装置中,传播延迟的个体差是在能够进行PWM控制方面不被允许的要件。在专利文献2中,没有公开用于在高输出/高频率的高频下进行PWM控制的技术。

[0033] 另外,在输出高输出/高频率的高频的高频电源装置中,在栅极驱动部中,除了开关元件的传播延迟的个体差引起的栅极信号的死区时间DT及脉冲宽度 $T_{on}$ 的精度和再现性的课题以外,还存在栅极驱动部的高速响应特性、抑制寄生电容和布线电感引起的高频谐振等课题。此外,在专利文献2中,对这些课题及解决课题的技术手段没有任何公开。

[0034] 因此,本发明的目的在于解决上述的以往课题,在输出高输出/高频率的高频的高频电源装置的栅极驱动部中,降低开关元件的传播延迟的个体差,抑制进行PWM控制的栅极信号的死区时间DT及脉冲宽度 $T_{on}$ 的偏差,从而改善精度和再现性。

[0035] 另外,本发明的目的还在于:在输出高输出/高频率的高频的高频电源装置的栅极驱动部中,改善高速响应特性,抑制高频谐振。

[0036] 用于解决课题的手段

[0037] 本发明的高频电源装置具有高频放大部和栅极驱动部。高频放大部具有放大元件,通过该放大元件的开关动作进行高频放大,输出高频的输出功率。栅极驱动部具有开关元件,通过该开关元件的开关动作向高频放大部的放大元件的栅极端子输入栅极信号,通过栅极信号驱动放大元件。

[0038] 关于本发明,在具有高频放大部和栅极驱动部的高频电源装置中,使用LDMOSFET作为高频放大部的放大元件,使用GaN FET作为栅极驱动部的开关元件。

[0039] 栅极驱动部的GaN FET通过开关动作生成矩形波信号的栅极信号,将生成的栅极信号施加到高频放大部的LDMOSFET的栅极端子,进行PWM控制。

[0040] 通过使用LDMOSFET作为高频放大部的放大元件,输出高输出/高频率的高频。另外,通过使用GaN FET作为栅极驱动部的开关元件,降低开关元件的传播延迟的个体差,抑制进行PWM控制的栅极信号的死区时间DT及脉冲宽度 $T_{on}$ 的偏差,改善精度和再现性。

[0041] (用于抑制高频谐振的结构)

[0042] 为了使高频放大部输出高输出/高频率的高频,要求施加到放大元件的LDMOSFET的栅极端子的矩形波的栅极信号的死区时间DT及脉冲宽度 $T_{on}$ 的偏差小。特别是在27[MHz]至100[MHz]这样的高频区域中,强烈要求抑制因矩形波波形的上升和下降而产生的振动,抑制栅极信号的死区时间DT及脉冲宽度 $T_{on}$ 的偏差。

[0043] 在本发明中,作为因矩形波波形的上升和下降而产生的振动,关注在开关元件的附近产生的高频谐振现象,通过抑制该高频谐振现象来抑制栅极信号的矩形波波形的紊

乱。

[0044] 在本发明的栅极驱动部中,对于由开关元件的输出寄生电容 $C_{oss\_GaN}$ 、与开关元件的漏极端子连接的布线的电感 $L_2$ 构成的LC谐振,在开关元件的漏极端子连接漏极电阻( $R_d$ )使谐振振动衰减。漏极电阻( $R_d$ )使由输出寄生电容 $C_{oss\_GaN}$ 和布线电感 $L_2$ 构成的LC电路引起的振动衰减。由此,矩形波形的上升和下降处的波形失真减少,栅极信号的死区时间DT及脉冲宽度 $T_{on}$ 的偏差得以抑制。通常,由于要求开关元件进行高效率的高频动作,而希望开关元件为低电阻,但在本发明中,通过在低电阻特性的GaN FET中附加漏极电阻( $R_d$ )来抑制LC谐振的振动。

[0045] (用于高速响应特性的结构)

[0046] 本发明的高频电源装置为了以高频且通过PWM控制来驱动高频放大部的放大元件,需要高频的矩形波波形的栅极信号。本发明的栅极驱动部为了进行基于高频矩形波波形的栅极信号的PWM控制,具有提高栅极驱动部的高频响应性的结构。在栅极驱动部的高频响应性不足的情况下,在栅极信号的矩形波波形的上升和下降中,产生时间常数变大而上升时间/下降时间比矩形波信号的脉冲宽度长的现象、波形振动的振动现象等引起的波形失真现象等。

[0047] 本发明在栅极驱动部以及高频放大部中,作为提高栅极驱动部的高频响应性的结构,在(A)电路元件的电特性、以及(B)电路元件的配置方面具有特征性的结构。

[0048] (A)电路元件的电特性

[0049] (a)总栅极电荷(栅极总电荷量) $Q_g$

[0050] 作为电路元件的电特性,有作为栅极驱动部的有源元件的开关元件的总栅极电荷(栅极总电荷量) $Q_g$ 。本发明使用如下开关元件:确定与高频开关动作的开关频率 $f_{sw}$ 对应的总栅极电荷 $Q_g$ 的上限值,具有比该上限值小的总栅极电荷(栅极总电荷量) $Q_g$ 。通过限制开关元件的总栅极电荷 $Q_g$ 的上限值,使基于高频输出的频率范围内的开关频率 $f_{sw}$ 的开关动作高速化。

[0051] 总栅极电荷(栅极总电荷量)也被称为“栅极输入电荷量”这一名称。以下,使用总栅极电荷(栅极总电荷量)这一名称进行说明。

[0052] (b)栅极驱动部的LC谐振电路

[0053] 在栅极驱动部中,由布线电感L和开关元件具有的寄生电容C形成LC谐振电路。在该LC谐振电路的谐振频率 $f_0$ 处于开关动作的开关频率 $f_{sw}$ 的频率范围内的情况下,成为在栅极信号的波形中产生波形失真的主要原因。本发明的高频电源装置通过限制布线电感而将LC谐振电路的谐振频率设为比开关频率 $f_{sw}$ 高的频率,降低谐振现象导致的影响。

[0054] (b1)布线电感的限制

[0055] 布线电感 $L_1$ 是连接开关元件与对该开关元件的栅极端子施加驱动信号的驱动用逻辑IC之间的布线具有的电感,布线电感 $L_1$ 与开关元件的栅极电容 $C_{iss\_GaN}$ 之间构成LC谐振电路。在LC谐振电路的谐振频率 $f_{01}$ 处于开关动作的开关频率 $f_{sw}$ 的频率范围内的情况下,成为在栅极信号的波形中产生波形失真的主要原因。

[0056] 设定布线电感 $L_1$ 的电感值的上限值,使得该LC谐振的谐振频率 $f_{01}$ 成为比高频开关动作的开关频率 $f_{sw}$ 高的频率。通过限制布线电感 $L_1$ 的上限值来减小布线的电感,LC谐振的谐振频率 $f_{01}$ 成为比高频开关动作的开关频率 $f_{sw}$ 的频率范围高的频率。由此,如果开关动作

的开关频率 $f_{sw}$ 为高频开关动作的频率范围,则抑制LC谐振的产生,抑制谐振振动引起的波形失真现象,提高高频响应性。布线的布线长度被设定为布线电感 $L_1$ 为上限值以下。

[0057] (b2) 布线电感 $L_2$ 的限制

[0058] 布线电感 $L_2$ 是开关元件和与该开关元件的漏极端子连接的旁路电容器之间的布线具有的电感。布线电感 $L_2$ 与开关元件的输出寄生电容 $C_{oss\_GaN}$ 之间构成LC谐振电路。

[0059] 与漏极端子连接的旁路电容器降低布线相对于接地电位(接地)的交流阻抗,抑制因开关元件的开关动作而产生的噪声流出到电源线。

[0060] 在LC谐振电路的谐振频率 $f_{o2}$ 处于开关动作的开关频率 $f_{sw}$ 的频率范围内的情况下,成为在栅极信号的波形中产生波形失真的主要原因。

[0061] 设定布线电感 $L_2$ 的电感值的上限值,使得该LC谐振的谐振频率 $f_{o2}$ 成为比高频开关动作的开关频率 $f_{sw}$ 高的频率。布线的布线长度被设定为布线电感 $L_2$ 为上限值以下。

[0062] 通过限制布线电感 $L_2$ 的上限值来减小布线的电感,LC谐振的谐振频率 $f_{o2}$ 成为比高频开关动作的开关频率 $f_{sw}$ 的频率范围高的频率。由此,如果开关动作的开关频率 $f_{sw}$ 为高频开关动作的频率范围,则抑制LC谐振现象的产生,抑制谐振振动引起的波形失真现象,提高高频响应性。布线的布线长度被设定为布线电感 $L_2$ 为上限值以下。

[0063] (b3) 布线电感 $L_3$ 的限制

[0064] 布线电感 $L_3$ 是栅极驱动部的高侧的开关元件的源极端子与放大元件的栅极端子之间的布线具有的电感。布线电感 $L_3$ 与放大元件的栅极电容 $C_{iss\_LD}$ 之间构成LC谐振电路。

[0065] 在LC谐振电路的谐振频率 $f_{o3}$ 处于开关动作的开关频率 $f_{sw}$ 的频率范围内的情况下,成为在栅极信号的波形中产生波形失真的主要原因。

[0066] 关于本发明,设定布线电感 $L_3$ 的电感值的上限值,使得LC谐振的谐振频率 $f_{o3}$ 成为比高频开关动作的开关频率 $f_{sw}$ 高的频率。布线的布线长度被设定为布线电感 $L_3$ 为上限值以下。

[0067] 通过限制布线电感 $L_3$ 的上限值来减小布线的电感,LC谐振的谐振频率 $f_{o3}$ 成为比高频开关动作的开关频率 $f_{sw}$ 的频率范围高的频率。由此,如果开关动作的开关频率 $f_{sw}$ 为高频开关动作的频率范围,则抑制LC谐振现象的产生,抑制谐振振动引起的波形失真现象,提高高频响应性。布线的布线长度被设定为布线电感 $L_3$ 为上限值以下。

[0068] (b4) 漏极电阻( $R_{dh}$ 、 $R_{dl}$ )

[0069] (i) 保护电路

[0070] 高频放大部的LDMOSFET为了保护栅极而内置栅极保护电路。栅极保护电路是如下的电路:当在饱和区域中使用LDMOSFET时,防止在施加反向电压时超过栅极容许电压来施加负电压的反向偏置电压。该保护电路也有容许电压范围,在从栅极驱动部施加的负电压超过栅极保护电路的容许电压范围的情况下,有可能损坏栅极保护电路。

[0071] 本发明具有通过将施加到栅极保护电路的负电压抑制在容许电压范围内来防止栅极保护电路损坏的结构。

[0072] 另外,在本发明的高频电源装置中,栅极驱动部具有:

[0073] (a) 串联连接的高侧的开关元件和低侧的开关元件;以及

[0074] (b) 与直流电源( $V_{dd}$ )并联连接的、由串联电阻( $R_e$ )和齐纳二极管(ZD)构成的串联电路。

[0075] 关于该串联电阻 ( $R_e$ ) 与齐纳二极管 (ZD) 的串联电路,

[0076] (c) 对高侧的开关元件施加串联电阻 ( $R_e$ ) 的两端电压作为驱动电压  $V_H$ , 对低侧的开关元件施加齐纳二极管 (ZD) 的两端电压作为反向偏置电压  $V_L$ 。

[0077] (d) 驱动电压  $V_H$  和反向偏置电压  $V_L$  被设定在高频放大部内置的保护电路的额定电压的电压范围内。

[0078] (ii) 漏极电阻 ( $R_{dh}$ 、 $R_{dl}$ )

[0079] 当对LDMOSFET的栅极进行反向偏置时, 如果因谐振振动而在栅极电压  $V_{gs}$  产生振动, 则可能超过LDMOSFET的栅极保护电路的反向耐电压。由于GaN FET的导通电阻非常小, 为数ohm至数十ohm, 因此, 该谐振振动是在GaN FET的输出寄生电容  $C_{oss\_GaN}$  与旁路电容器间的布线电感  $L_2$  之间产生的谐振现象引起的。

[0080] 为了抑制该谐振现象, 在本发明中, 在GaN FET的漏极侧插入漏极电阻 ( $R_{dh}$ 、 $R_{dl}$ )。作为漏极电阻 ( $R_{dh}$ 、 $R_{dl}$ ), 例如使用0.5[ohm]至2[ohm]左右的电阻值。

[0081] (b5) 放大元件的栅极电阻 ( $R_{g\_LD}$ )

[0082] 作为高频放大部的电特性之一, 有与放大元件的栅极端子连接的栅极电阻 ( $R_{g\_LD}$ )。

[0083] 栅极驱动部的开关元件具有: 由高侧的开关元件与低侧的开关元件构成的串联电路。高侧和低侧的开关元件的连接点与放大元件的栅极端子之间的布线电感  $L_3$  与放大元件的栅极电容  $C_{iss\_LD}$  一起构成LC谐振电路。该LC谐振电路的谐振现象成为在栅极信号波形中产生振铃等波形失真的主要原因。本发明的栅极电阻 ( $R_{g\_LD}$ ) 使LC谐振电路的谐振衰减。

[0084] (C) 电路元件的配置

[0085] 作为提高栅极驱动部的高频响应性的结构, 本发明的栅极驱动部具有的电路元件的配置具有以下的第一结构至第六结构。第一结构及第二结构是相对于基准电位不产生电不均匀的元件配置, 第三结构及第四结构是提高电路元件的散热的元件配置, 第五结构及第六结构是缩短电流环路径的元件配置。

[0086] 在高频电源装置具有的高频放大部和栅极驱动电路中, 高频放大部是将两个放大元件的源极端子进行接地连接的推挽电路, 栅极驱动部具有对高频放大部的两个放大元件的各栅极端子施加栅极信号的两个栅极驱动电路。

[0087] (a) 电路元件配置所涉及的第一结构

[0088] 在电路元件配置所涉及的第一结构中, 2个栅极驱动电路由相同的电路结构构成推挽电路, 构成各栅极驱动电路的相同功能的电路元件相对于通过COM电位的对称轴, 在对称且等距离的位置配置成线对称。通过该线对称配置, 两个栅极驱动电路的各电路元件以COM电位为基准电位配置成电对称。

[0089] 通过将电路元件配置成电对称, 栅极信号的死区时间DT及脉冲宽度  $T_{on}$  的偏差、双方的栅极信号的同步偏差等根据栅极信号从基准电位的偏差而产生的两个栅极信号间的偏差得以抑制。

[0090] (b) 电路元件配置所涉及的第二结构

[0091] 电路元件配置所涉及的第二结构具有作为第一结构的线对称配置和放射状配置。

[0092] 在各栅极驱动电路具有的高侧的开关元件和低侧的开关元件的栅极端子, 在其与对各栅极端子施加驱动信号的驱动用逻辑IC之间连接栅极电阻 ( $R_{g\_GaN}$ ) 而构成串联电路。

该驱动用逻辑IC和栅极电阻 ( $R_{g\_GaN}$ ) 的串联电路相对于栅极端子配置成直线状,并且相对于各开关元件配置成放射状。通过放射状配置,各串联电路的布线长度及电长度变得均匀。由此,布线长度不同引起的布线电感的差异、电长度不同引起的延迟时间等的偏差等得以抑制。

[0093] (c) 电路元件配置所涉及的第三结构

[0094] 电路元件配置所涉及的第三结构是对电路元件进行冷却的结构。

[0095] 栅极驱动部具有:有源元件、无源元件。旁路电容器和电阻元件这样的无源元件相对于基板配置于表层,通过空冷进行冷却。GaN FET这样的有源元件相对于基板配置在背面,通过经由导热部件接触的散热部进行冷却。

[0096] 本发明将发热量不同的有源元件和无源元件隔着基板配置在相反侧。通过将发热量小的无源元件相对于基板配置于表层,能够进行基于空冷的冷却,通过将发热量大的有源元件相对于基板配置于背面,能够进行基于散热部的强制冷却。散热部可以使用水冷板或散热片。

[0097] (d) 电路元件配置所涉及的第四结构

[0098] 电路元件配置所涉及的第四结构是热传导以及布线电感降低所涉及的结构。

[0099] 在栅极驱动部中,旁路电容器和电阻元件这样的无源元件构成为:其并联个数(并联数)以及安装图案宽度的有效宽度与高频放大部的放大元件的主体宽度同等程度或者比主体宽度宽广。

[0100] 根据并联配置的无源元件的个数以及安装图案宽度来确定用于无源元件的热传导以及布线电感降低的有效宽度。该有效宽度与高频放大部的放大元件的主体宽度同等程度或者比主体宽度宽广,由此,反映到来自无源元件的热传导效率的提高以及低布线电感化。

[0101] (e) 电路元件配置所涉及的第五结构

[0102] 电路元件配置所涉及的第五结构是在栅极驱动部与高频放大部之间流过的电流环所涉及的结构。

[0103] 在栅极驱动部中,在表层侧的栅极电阻 ( $R_{g\_LD}$ ) 的正下方背面隔着基板配置导电性的屏蔽衬垫。该导电性的屏蔽衬垫成为栅极驱动部侧的接地电位 (GND2)。另一方面,在高频放大部中,放大元件的源极电压成为高频放大部侧的接地电位 (GND1)。栅极驱动部侧的接地电位 (GND2) 与高频放大部侧的接地电位 (GND1) 经由散热部电连接,在栅极驱动部与高频放大部之间形成电流环。

[0104] (f) 电路元件配置所涉及的第六结构

[0105] 电路元件配置所涉及的第六结构是在栅极驱动部与高频放大部之间流过的电流环所涉及的结构。

[0106] 在栅极驱动部中,开关元件隔着基板配置在漏极电阻 ( $R_d$ ) 和旁路电容器的下方,经由设置于基板的贯通孔电连接。通过该配置,开关元件、漏极电阻 ( $R_d$ )、旁路电容器等电路元件配置得接近,布线电感得以抑制,缩短电流环的电长度。

[0107] 发明效果

[0108] 如以上说明的那样,根据本发明,在输出高输出/高频率的高频的高频电源装置的栅极驱动部中,降低开关元件的传播延迟的个体差,抑制进行PWM控制的栅极信号的死区时

间DT及脉冲宽度 $T_{on}$ 的偏差,改善精度和再现性。另外,在输出高输出/高频率的高频的高频电源装置的栅极驱动部中,改善高速响应特性,抑制高频谐振。

### 附图说明

- [0109] 图1是用于对本发明的高频电源装置的结构进行说明的图。
- [0110] 图2是用于对栅极驱动部的动作进行说明的图。
- [0111] 图3是用于对栅极驱动部的动作进行说明的图。
- [0112] 图4是用于对栅极驱动部的动作进行说明的图。
- [0113] 图5是用于对栅极驱动部的布线电感进行说明的图。
- [0114] 图6是用于对栅极保护电路的保护进行说明的图。
- [0115] 图7是用于对栅极保护电路的保护进行说明的图。
- [0116] 图8是用于对电路元件的配置进行说明的图。
- [0117] 图9是用于对电路元件的配置进行说明的图。
- [0118] 图10是用于对电路元件的配置进行说明的图。
- [0119] 图11是用于对电路元件的配置进行说明的图。
- [0120] 图12是用于对电路元件的配置进行说明的图。
- [0121] 图13是用于对电路元件的配置进行说明的图。
- [0122] 图14是用于对以往的高频电源装置的一个结构例进行说明的图。

### 具体实施方式

[0123] 以下,使用图1对本发明的高频电源装置的结构进行说明,使用图2至图4对栅极驱动部的动作进行说明,使用图5对栅极驱动部的布线电感进行说明,使用图6、图7对栅极保护电路的保护进行说明,使用图8至图13对电路元件的配置进行说明。

[0124] (A) 本发明的概略结构

[0125] 图1是用于对本发明的高频电源装置的结构进行说明的图。

[0126] 本发明的高频电源装置1具有高频放大部10和栅极驱动部20。高频放大部10具有放大元件11,通过该放大元件11的开关动作进行高频放大,输出高频的输出功率。

[0127] 栅极驱动部20具有开关元件21。该开关元件21将通过开关动作生成的矩形波信号作为栅极信号输入到高频放大部10的放大元件11的栅极端子(栅极),驱动放大元件11。

[0128] 高频放大部10使用LDMOSFET(横向型MOSFET)作为放大元件11,栅极驱动部20使用GaN FET作为开关元件21。栅极驱动部20的GaN FET通过开关动作生成矩形波信号的栅极信号,将生成的栅极信号施加到高频放大部10的LDMOSFET的栅极端子进行PWM控制。

[0129] 通过使用LDMOSFET作为高频放大部10的放大元件11,输出高输出/高频率的高频。另外,通过使用GaN FET作为栅极驱动部20的开关元件21,降低开关元件的传播延迟的个体差,抑制进行PWM控制的栅极信号的死区时间DT及脉冲宽度 $T_{on}$ 的偏差来改善精度和再现性。

[0130] 图1所示的高频放大部10通过使用两个放大元件11而设为推挽结构来增大高频输出。

[0131] (高频放大部的结构)

[0132] 在推挽结构中,一个放大元件11(LDMOS1)和另一个放大元件11(LDMOS2)两者的源

极端子接地,在两个放大元件11的漏极端子的端子之间并联连接电感 $L_0$ 和电容 $C_0$ 的并联电路以及变压器的初级侧的线圈。在初级侧的线圈的中点连接直流电压 $V_{dc}$ 。变压器的二次侧线圈与向负载输出高频电力的输出端连接。此外,电感 $L_0$ 和电容 $C_0$ 的结构是一例,不限于该结构。

[0133] LDMOS1和LDMOS2的放大元件11通过彼此反相的开关动作输出彼此反相的漏极-源极电压 $V_{ds1}$ 和 $V_{ds2}$ 。电感 $L_0$ 和电容 $C_0$ 的并联电路作为高频放大部10的输出电路的负载阻抗而发挥作用,使谐振频率下的放大元件的增益最大化,提高漏极-源极电压 $V_{ds1}$ 和 $V_{ds2}$ 的输出。提高后的漏极-源极电压 $V_{ds1}$ 和 $V_{ds2}$ 经由变压器从输出端(OUTPUT)输出到负载。在图1中,连接50[ohm]作为负载,与高频放大部10之间进行阻抗匹配。

[0134] LDMOS1及LDMOS2的放大元件11的栅极端子与栅极电阻12( $R_{g\_LD}$ )连接。栅极电阻12( $R_{g\_LD}$ )使LC谐振电路的谐振振动衰减,其中,LC谐振电路由放大元件11的栅极电容 $C_{iss-LD}$ 、以及栅极驱动部20的高侧的开关元件21(QH1、QH2)的源极端子与放大元件11的栅极端子之间的布线电感 $L_3$ 形成。

[0135] (栅极驱动部的结构)

[0136] 在推挽结构中,栅极驱动部20具有栅极驱动电路20A和栅极驱动电路20B。栅极驱动电路20A是对放大元件11(LDMOS1)的栅极端子施加栅极信号的电路,栅极驱动电路20B是对放大元件11(LDMOS2)的栅极端子施加栅极信号的电路。在图1中,栅极驱动电路20A是左方所示的电路部分,栅极驱动电路20B是右方所示的电路部分。栅极驱动电路20A和栅极驱动电路20B将COM电位作为基准电位。

[0137] 栅极驱动电路20A中,高侧的开关元件21(QH1)的源极端子和低侧的开关元件21(QL1)的漏极端子与漏极电阻( $R_{d11}$ )连接,开关元件21(QH1)的源极端子经由高频放大部10的栅极电阻12( $R_{g\_LD}$ )与放大元件11(LDMOS1)的栅极端子连接。

[0138] 开关元件21(QH1)的漏极端子经由漏极电阻26( $R_{dh1}$ )及旁路电容器24(CH1)与接地电位(GND2)连接。另一方面,开关元件21(QL1)的源极端子与COM电位连接,并且经由旁路电容器24(CL1)与接地电位(GND2)连接。

[0139] 栅极驱动部20通过直流电源22与由串联电阻27( $R_e$ )和齐纳二极管28(ZD)构成的串联电路的并联连接而构成电源,串联电路的中点与接地电位(GND2)连接。直流电源22的直流电源电压 $V_{dd}$ 被分压为串联电阻27( $R_e$ )的驱动电压 $V_H$ 和齐纳二极管28(ZD)的反向偏置电压 $V_L$ ,高侧的开关元件21(QH1)的漏极侧被施加正电压的驱动电压 $V_H$ ,低侧的开关元件21(QL1)的源极端子侧被施加负电压的反向偏置电压 $V_L$ 。

[0140] 栅极驱动电路20A的结构:

[0141] 开关元件21(QH1)在接通状态时对放大元件11(LDMOS1)的栅极端子施加正电压的驱动电压 $V_H$ 作为栅极信号。另一方面,低侧的开关元件21(QL1)在接通状态时对放大元件11(LDMOS1)的栅极端子施加负电压的反向偏置电压 $V_L$ 作为栅极信号。

[0142] 从驱动用逻辑IC23H的输出端向开关元件21(QH1)的栅极端子施加控制信号,控制开关元件21(QH1)的开关动作。另外,从驱动用逻辑IC23L的输出端向开关元件21(QL1)的栅极端子施加控制信号,控制开关元件21(QL1)的开关动作。这些控制信号成为对高频放大部进行PWM控制的基础信号。

[0143] 此外,驱动用逻辑IC23H、IC23L分别设为并联连接的结构,由此,能够增加施加到

开关元件21(QH1、QL1)的栅极端子的驱动电流。

[0144] 栅极驱动电路20B的结构:

[0145] 在栅极驱动电路20B中,也是与栅极驱动电路20A一样的结构。栅极驱动电路20B中,高侧的开关元件21(QH2)的源极端子和低侧的开关元件21(QL2)与漏极电阻( $R_{dl2}$ )连接,开关元件21(QH2)的源极端子经由高频放大部10的栅极电阻12( $R_{g\_LD}$ )与放大元件11(LDMOS2)的栅极端子连接。

[0146] 开关元件21(QH2)的漏极端子经由漏极电阻26( $R_{dh2}$ )及旁路电容器24(CH2)与接地电位(GND2)连接。另一方面,开关元件21(QL2)的源极端子与COM电位连接,并且经由旁路电容器24(CL2)与接地电位(GND2)连接。

[0147] 对高侧的开关元件21(QH2)的漏极侧施加正电压的驱动电压 $V_H$ ,对低侧的开关元件21(QL2)的源极端子侧施加负电压的反向偏置电压 $V_L$ 。

[0148] 开关元件21(QH2)在接通状态时对放大元件11(LDMOS2)的栅极端子施加正电压的驱动电压 $V_H$ 作为栅极信号。另一方面,低侧的开关元件21(QL2)在接通状态时对放大元件11(LDMOS2)的栅极端子施加负电压的反向偏置电压 $V_L$ 作为栅极信号。

[0149] 从驱动用逻辑IC23H'的输出端向开关元件21(QH2)的栅极端子施加控制信号,控制开关元件21(QH2)的开关动作。另外,从驱动用逻辑IC23L'的输出端向开关元件21(QL2)的栅极端子施加控制信号,控制开关元件21(QL2)的开关动作。控制信号成为对高频放大部进行PWM控制的基础信号。

[0150] 图1的高频电源装置1是推挽结构的电路例,但也可以应用于单个结构。在单个结构的情况下,由图1的高频放大部10的一个放大元件11和驱动该放大元件11的一个栅极驱动电路(20A或20B)构成。

[0151] (B) 栅极驱动部的动作

[0152] 使用图2至图4对栅极驱动部的动作进行说明。

[0153] (a) 将放大元件设为接通状态的动作

[0154] 图2表示将高频放大部10的放大元件11设为接通状态时的栅极驱动部20的动作。在图2中,实线表示栅极驱动电路20A的动作电流,虚线表示栅极驱动电路20B的动作电流。此外,20A和20B不会同时成为接通状态,而是将死区时间DT夹在中间交替地进行动作。

[0155] 栅极驱动电路20A的动作:

[0156] 在栅极驱动电路20A中,当通过控制信号使得驱动用逻辑IC23H的输出为“高”,驱动用逻辑IC23L的输出为“低”时,开关元件21(QH1)为接通状态,开关元件21(QL1)为断开状态。在此期间,在栅极驱动电路20B侧,开关元件21(QH2)为断开状态,开关元件21(QL2)为接通状态。

[0157] 与开关元件21(QH1)的漏极端子串联连接的漏极电阻26( $R_{dh1}$ )与串联电阻27( $R_e$ )连接,因此,开关元件21(QH1)为接通状态,由此,从开关元件21(QH1)的源极端子经由栅极电阻12( $R_{g\_LD}$ )向放大元件11(LDMOS1)施加驱动电压 $V_H$ ,放大元件11(LDMOS1)为接通状态。

[0158] 开关元件21(QH1)以及放大元件11(LDMOS1)都为接通状态,由此,开关元件21(QH1)的源极端子经由栅极电阻12( $R_{g\_LD}$ )、放大元件11(LDMOS1)的栅极端子、放大元件11(LDMOS1)的源极端子的路径,与高频放大部10侧的接地电位(GND1)连接。开关元件21(QH1)的漏极端子经由漏极电阻26( $R_{dh1}$ )、旁路电容器24(CH1)的路径与栅极驱动部20侧的接地电

位(GND2)连接。由此,在高频放大部10与栅极驱动部20之间经由接地电位(GND1、GND2)形成闭合电路,流过图中的实线所示的电流。

[0159] 栅极驱动电路20B的动作:

[0160] 在栅极驱动电路20B中,当通过控制信号使得驱动用逻辑IC23H'的输出为“高”,驱动用逻辑IC23L'的输出为“低”时,开关元件21(QH2)为接通,开关元件21(QL2)为断开。在此期间,在栅极驱动电路20A侧,开关元件21(QL1)为接通,开关元件21(QH1)为断开。

[0161] 与开关元件21(QH2)的漏极端子串联连接的漏极电阻26( $R_{dh2}$ )与串联电阻27( $R_e$ )连接,因此,开关元件21(QH2)为接通状态,由此,从开关元件21(QH2)的源极端子经由栅极电阻12( $R_{g\_LD}$ )对放大元件11(LDMOS2)施加驱动电压 $V_H$ ,放大元件11(LDMOS2)为接通状态。

[0162] 开关元件21(QH2)以及放大元件11(LDMOS2)都为接通状态,由此,开关元件21(QH2)的源极端子经由栅极电阻12( $R_{g\_LD}$ )、放大元件11(LDMOS2)的栅极端子、放大元件11(LDMOS2)的源极端子的路径,与高频放大部10侧的接地电位(GND1)连接。开关元件21(QH2)的漏极端子经由漏极电阻26( $R_{dh2}$ )、旁路电容器24(CH2)的路径与栅极驱动部20侧的接地电位(GND2)连接。由此,在高频放大部10与栅极驱动部20之间经由接地电位(GND1、GND2)形成闭合电路,流过图中的虚线所示的电流。

[0163] (b) 将放大元件设为断开状态的动作

[0164] 图3表示将高频放大部10的放大元件11设为断开状态时的栅极驱动部20的动作。在图3中,实线箭头表示栅极驱动电路20A的电压状态,虚线表示栅极驱动电路20B的电压状态。此外,20A和20B有时在死区时间中同时为断开状态。

[0165] 栅极驱动电路20A的动作:

[0166] 在栅极驱动电路20A中,当通过控制信号使得驱动用逻辑IC23L的输出为“高”,驱动用逻辑IC23H的输出为“低”时,开关元件21(QL1)为接通,开关元件21(QH1)为断开。

[0167] 开关元件21(QL1)的源极端子与齐纳二极管28(ZD)的负电压侧连接,因此,开关元件21(QL1)为接通状态,由此,从开关元件21(QL1)的漏极端子经由漏极电阻26( $R_{d11}$ )以及栅极电阻12( $R_{g\_LD}$ )对放大元件11(LDMOS1)施加反向偏置电压 $V_L$ ,放大元件11(LDMOS1)为断开状态。实线箭头表示施加到放大元件11(LDMOS1)的反向偏置电压 $V_L$ 。由此,经由图3中的实线所示的路径对放大元件11(LDMOS1)的栅极端子施加栅极电压 $V_{gs1}$ ,

[0168] 栅极驱动电路20B的动作:

[0169] 在栅极驱动电路20B中,当通过控制信号使得驱动用逻辑IC23L'的输出为“高”,驱动用逻辑IC23H'的输出为“低”时,开关元件21(QL2)为接通,开关元件21(QH2)为断开。

[0170] 开关元件21(QL2)的源极端子与齐纳二极管28(ZD)的负电压侧连接,因此,开关元件21(QL2)为接通状态,由此,从开关元件21(QL2)的漏极端子经由漏极电阻26( $R_{d12}$ )以及栅极电阻12( $R_{g\_LD}$ )对放大元件11(LDMOS2)施加反向偏置电压 $V_L$ ,放大元件11(LDMOS2)为断开状态。虚线箭头表示施加到放大元件11(LDMOS2)的反向偏置电压 $V_L$ 。由此,经由图3中的虚线所示的路径对放大元件11(LDMOS1)的栅极端子施加栅极电压 $V_{gs2}$ ,

[0171] (c) 开关元件的接通/断开动作

[0172] 图2表示接通状态的LDMOS1及LDMOS2,图3表示断开状态的LDMOS1及LDMOS2。高频放大部10通过使LDMOS1和LDMOS2彼此互补地成为接通状态来输出输出功率。在彼此互补的接通状态下,在LDMOS1成为接通状态时LDMOS2为断开状态,在LDMOS2为接通状态时LDMOS1

为断开状态。

[0173] 高频放大部10在LDMOS1和LDMOS2为断开状态时不输出输出功率。另外,即使在放大元件11 (LDMOS1、LDMOS2) 为接通状态时,根据栅极驱动电路20A具有的开关元件21 (QH1、QL1) 以及栅极驱动电路20B具有的开关元件21 (QH2、QL2) 的接通状态的组合不同,高频放大部10也会不进行正常的动作。

[0174] 例如在图2中,在开关元件21 (QH1) 和开关元件21 (QH2) 同时为接通状态的组合中,由于是推挽结构,因此不从高频放大部10输出输出功率。另外,在图3中,在开关元件21 (QL1) 和开关元件21 (QL2) 同时为断开状态的组合中,高频放大部10为不输出的断开状态。

[0175] 高频放大部10在栅极驱动电路20A具有的开关元件21 (QH1、QL1) 、及栅极驱动电路20B具有的开关元件21 (QH2、QL2) 的接通状态下,用过以下3个组合 (c1) 、(c2) 、(c3) 的动作状态进行动作。在此,(c1) 以及 (c2) 的组合是从高频放大部10输出输出电压的情况,(c3) 的组合是从高频放大部10将输出电压设为零输出的情况。

[0176] (c1) 第一组合

[0177] 第一组合是栅极驱动电路20A的开关元件21 (QH1) 与栅极驱动电路20B的开关元件21 (QL2) 都为接通状态的动作状态。

[0178] 在该第一组合的动作状态下,开关元件21 (QH1) 为接通状态,由此,放大元件11 (LDMOS1) 为接通状态,开关元件21 (QL2) 为接通状态,由此,放大元件11 (LDMOS2) 为断开状态。通过该动作状态,将放大元件11 (LDMOS1) 的漏极-源极电压 $V_{ds1}$ 作为输出电压来输出。

[0179] (c2) 第二组合

[0180] 第二组合是栅极驱动电路20B的开关元件21 (QH2) 与栅极驱动电路20A的开关元件21 (QL1) 都为接通状态的动作状态。

[0181] 在该第二组合的动作状态下,开关元件21 (QH2) 为接通状态,由此,放大元件11 (LDMOS2) 为接通状态,开关元件21 (QL1) 为接通状态,由此,放大元件11 (LDMOS1) 为断开状态。通过该动作状态,将放大元件11 (LDMOS2) 的漏极-源极电压 $V_{ds2}$ 作为输出电压来输出。

[0182] (c3) 第三组合

[0183] 第三组合是栅极驱动电路20A的开关元件21 (QL1) 和栅极驱动电路20B的开关元件21 (QL2) 都为接通状态的动作状态。

[0184] 在该第三组合的动作状态下,开关元件21 (QL1) 为接通状态,由此,放大元件11 (LDMOS1) 为断开状态,开关元件21 (QL2) 为接通状态,由此,放大元件11 (LDMOS2) 为断开状态。通过该动作状态,不从放大元件11 (LDMOS1) 以及放大元件11 (LDMOS2) 的任一个输出漏极-源极电压 $V_{ds1}$ 、 $V_{ds2}$ 。

[0185] (d) 动作电流

[0186] 使用图4对栅极驱动电路20A、20B的栅极电流进行说明。此外,图4仅表示栅极驱动电路20A,表示驱动放大元件11 (LDMOS) 的栅极信号的流动。在图4中表示布线电感 $L_1$ 、 $L_2$ 、 $L_3$  以及开关元件21 (QH、QL) 的GaNFET的寄生电容即栅极电容(输入寄生电容) $C_{iss\_GaN}$ 、输出寄生电容 $C_{oss\_GaN}$ 。

[0187] 图中所示的实线箭头表示使放大元件11 (LDMOS) 为接通状态的栅极电流,图中所示的虚线箭头表示使放大元件11 (LDMOS) 为断开状态的电压的施加状态。

[0188] 驱动用逻辑IC23H经由栅极电阻25H ( $R_{g\_GaN}$ ) 与开关元件21H (QH) 的栅极端子连

接,进行接通/断开开关元件21H(QH)的开关动作。驱动用逻辑IC23H例如使用5VCOM逻辑。驱动用逻辑IC23H的电压被栅极电阻25H( $R_{g\_GaN}$ )转换为电流,注入到开关元件21H(QH)的栅极端子。

[0189] 开关元件21H(QH)的漏极端子经由漏极电阻26H( $R_{dh}$ )与串联电阻27( $R_e$ )的正电压侧连接,开关元件21H(QH)的源极端子侧经由栅极电阻12( $R_{g\_LD}$ )与放大元件11(LDMOS)的栅极端子连接。

[0190] 在被施加了驱动电压 $V_H$ 的状态下,当驱动用逻辑IC23H为接通状态时,开关元件21H(QH)的导通电流从源极端子通过栅极电阻12( $R_{g\_LD}$ )施加到放大元件11(LDMOS),使放大元件11(LDMOS1)在接通状态下进行开关动作。

[0191] 放大元件11(LDMOS1)的源极端子与高频放大部10侧的接地电位(GND1)连接,并且与栅极驱动侧的接地电位(GND2)连接,因此,形成通过旁路电容器24H(CH)返回到开关元件21H(QH)的漏极端子的电流路径。

[0192] 驱动用逻辑IC23L经由栅极电阻25L( $R_{g\_GaN}$ )与开关元件21L(QL)的栅极端子连接,进行接通/断开开关元件21L(QL)的开关动作。驱动用逻辑IC23L例如使用5VCOM逻辑。驱动用逻辑IC23L的电压被栅极电阻25L( $R_{g\_GaN}$ )转换为电流,注入到开关元件21L(QL)的栅极端子中。

[0193] 开关元件21L(QL)的源极端子与齐纳二极管28(ZD)的负电压侧连接,开关元件21L(QL)的漏极端子经由漏极电阻26L( $R_{dl}$ )与开关元件21H(QH)的源极端子连接,经由栅极电阻12( $R_{g\_LD}$ )与放大元件11(LDMOS)的栅极端子连接。

[0194] 在被施加了反向偏置电压 $V_L$ 的状态下,当驱动用逻辑IC23L为接通状态时,因开关元件21L(QL)的导通,从漏极端子通过漏极电阻26L( $R_{dl}$ )和栅极电阻12( $R_{g\_LD}$ )对放大元件11(LDMOS)的栅极端子施加反向偏置电压 $V_L$ ,使放大元件11(LDMOS)在断开状态下进行开关动作。

[0195] 栅极电阻25H、25L( $R_{g\_GaN}$ )确定对开关元件21(QH、QL)的总栅极电荷 $Q_{g\_GaN}$ 进行充电的栅极电流,栅极电阻12( $R_{g\_LD}$ )确定对放大元件11(LDMOS)的总栅极电荷 $Q_{g\_LD}$ 进行充电的栅极电流。

[0196] 旁路电容器24(CH、CL)降低布线相对于接地电位(接地)的交流阻抗,抑制开关元件的噪声流出到电源线。

[0197] (C) 栅极驱动部的电特性

[0198] 使用图5对在栅极驱动部20以及高频放大部10中基于电特性的高速响应特性的提高进行说明。以下,对总栅极电荷(栅极总电荷量) $Q_g$ 、生成LC谐振电路的布线电感 $L_1$ 、 $L_2$ 、 $L_3$ 的栅极驱动部20的电特性、以及与放大元件11的栅极端子连接的栅极电阻( $R_{g\_LD}$ )的高频放大部10的电特性进行说明。

[0199] (a) 总栅极电荷(栅极总电荷量) $Q_g$ 的限制

[0200] 作为栅极驱动部20的开关元件的电特性之一,有总栅极电荷(栅极总电荷量) $Q_g$ 。总栅极电荷(栅极总电荷量) $Q_g$ 也被称为“栅极输入电荷量”这样的名称。

[0201] 本发明的高频电源装置限制开关元件的总栅极电荷 $Q_g$ 的上限值,由此,能够使基于高频输出的频率范围内的开关频率 $f_{sw}$ 的开关动作高速化。

[0202] 总栅极电荷(栅极总电荷量) $Q_g$ 是为了驱动MOSFET所需的向栅极注入的电荷量。若

MOSFET的总栅极电荷 $Q_g$ 较大,则以MOSFET的导通所需的电荷量进行充电的时间变长,开关动作变慢。另外,还需要专用IC作为驱动用。与此相对,若MOSFET的总栅极电荷 $Q_g$ 较小,则可以通过通用的逻辑IC来驱动栅极。并且,开关动作变快,能够进行高频下的开关动作。

[0203] 本发明使用总栅极电荷 $Q_g$ 小的GaNFET作为栅极驱动电路的开关元件,由此,降低开关损耗,使开关动作高速化。

[0204] 例如,在频率范围为27[MHz]至100[MHz]的频段中,100[MHz]频率矩形波的栅极信号的一个周期的时间宽度 $t_{sw}$ 为10[ns]。在栅极信号的矩形波形中,如果上升时和下降时的延迟时间 $t_d$ 与一个周期的时间宽度相比占有较大的比例,则波形失真变大。假设在将延迟时间 $t_d$ 相对于10[ns]的一个周期的时间宽度 $t_{sw}$ 的比率设为1/10时,要求向栅极端子注入电荷的时间为0.5[ns]。

[0205] 一般来讲,总栅极电荷 $Q_g$ 由栅极电流 $I_g$ 与开关元件的开启时间 $t_{on}$ 之积( $Q_g = I_g \times t_{on}$ )来表示。根据该关系,假设将栅极电流 $I_g$ 设为1[A]、将开启时间 $t_{on}$ 与向栅极端子注入电荷的时间对应地设为0.5[ns]时,总栅极电荷(栅极总电荷量) $Q_g$ 为5[nC]。

[0206] 根据该例,通过使用总栅极电荷 $Q_g$ 为5[nC]的GaNFET,能够得到在100[MHz]的高频率下降低了延迟时间引起的波形失真的栅极信号,能够驱动放大元件11而得到100[MHz]的高频输出。

[0207] 此外,由驱动用逻辑IC供给施加到GaNFET的栅极端子的栅极信号。此时,在一个驱动用逻辑IC的输出电流小的情况下,通过并联连接多个驱动用逻辑IC,能够得到足以驱动GaNFET的电流。此外,当前时间点最快的5[V]CMOS逻辑IC为175[MHz],因此,作为驱动27[MHz]至100[MHz]用的GaNFET的驱动器IC,具有充足的频率特性。

[0208] (b) 栅极驱动部的LC谐振电路

[0209] 在栅极驱动部20中,由布线电感L和开关元件具有的寄生电容C形成LC谐振电路。在该LC谐振电路的谐振频率 $f_0$ 处于开关动作的开关频率 $f_{sw}$ 的频率范围内的情况下,成为在栅极信号的波形中产生波形失真(衰减)的主要原因。本发明的高频电源装置通过限制布线电感的电感值的上限,抑制在开关动作的开关频率 $f_{sw}$ 的频率范围内因LC谐振电路而产生谐振现象。

[0210] 以下,对三种布线电感 $L_1$ 、 $L_2$ 以及 $L_3$ 的限制、漏极电阻( $R_{dh}$ 、 $R_{dl}$ )进行说明。

[0211] (b1) 布线电感 $L_1$ 的限制

[0212] 作为栅极驱动部20的开关元件的电特性之一,有布线电感 $L_1$ 。布线电感 $L_1$ 是将开关元件与对该开关元件的栅极端子施加驱动信号的驱动用逻辑IC之间连接的布线具有的电感。布线电感 $L_1$ 与开关元件的栅极电容 $C_{iss}$ -GaN之间构成LC谐振电路LC1。在LC谐振电路LC1的谐振频率 $f_{o1}$ 处于开关动作的开关频率 $f_{sw}$ 的频率范围内的情况下,成为在栅极信号的波形中产生波形失真(衰减)的主要原因。

[0213] 本发明中设定布线电感 $L_1$ 的电感值的上限值,使得LC谐振的谐振频率 $f_{o1}$ 为比高频开关动作的开关频率 $f_{sw}$ 高的频率。将布线的布线长度设定为使布线电感 $L_1$ 为上限值以下。

[0214] 通过限制布线电感 $L_1$ 的上限值来减小布线的电感,LC谐振的谐振频率 $f_{o1}$ 成为比高频开关动作的开关频率 $f_{sw}$ 的频率范围高的频率。由此,如果开关动作的开关频率 $f_{sw}$ 为高频开关动作的频率范围,则能抑制LC谐振现象的产生,抑制谐振振动引起的波形失真(衰减)现象,提高高频响应性。

[0215] 在栅极驱动部20中,开关元件的栅极端子与驱动用逻辑IC之间的布线的布线电感 $L_1$ 根据布线长度而发生变化。在该布线电感 $L_1$ 与开关元件的栅极电容 $C_{i_{ss}}\text{-GaN}$ 之间构成LC谐振电路。

[0216] 一般地,LC谐振电路的谐振频率 $f_o$ 由以下的式(1)表示。

[0217] [数学式1]

$$f_o = (1/2\pi) \cdot \{1/(L \cdot C)^{1/2}\} \dots (1)$$

[0219] 在由GaN FET的开关元件的寄生电容C和布线电感L形成的LC谐振电路LC1中,L是布线电感 $L_1$ ,C是栅极电容 $C_{i_{ss}}\text{-GaN}$ 。若将式(1)中的谐振频率 $f_o$ 用 $f_{o1}$ 表示,则谐振频率 $f_{o1}$ 与 $\{1/(L \cdot C)^{1/2}\}$ 成比例,与 $L^{1/2}$ 成反比例。

[0220] 设定布线电感 $L_1$ 的电感值的上限值,在开关频率 $f_{sw}$ 的频率范围内设定成使布线电感 $L_1$ 的电感值为上限值以下的电感值,并设定成使谐振频率 $f_{o1}$ 为比进行开关动作的开关频率 $f_{sw}$ 高的频率。由此,驱动放大元件11的开关频率 $f_{sw}$ 的频率范围为比谐振频率 $f_{o1}$ 低的频率,因此,抑制LC谐振的产生,抑制谐振振动引起的波形失真(衰减)现象,提高高频响应性。

[0221] 在使用GaN FET作为开关元件的结构中,GaN FET的栅极电容 $C_{i_{ss}}\text{-GaN}$ 一般为200[pF]左右,因此,在将谐振频率 $f_{o1}$ 设为例如140[MHz]的情况下,布线电感 $L_1$ 为6[nH]。另外,在开关动作的开关频率 $f_{sw}$ 为频带的上限频率100[MHz]的情况下,产生谐振现象的布线电感 $L_1$ 为12[nH],但布线电感 $L_1$ 的上限被限制为6[nH],因此,在开关频率 $f_{sw}$ 下不产生谐振现象。

[0222] 如上所述,通过将布线电感 $L_1$ 限制为6[nH]以下,在通过140[MHz]以下的栅极信号驱动放大元件11的情况下,抑制谐振振动的产生,在27[MHz]至100[MHz]的频率范围内,得到低失真的方形波状的高频输出。在布线电感L与布线长度之间存在正增减关系,因此,将布线电感 $L_1$ 的布线长度设定成比上限值对应的布线长度短。

[0223] (b2) 布线电感 $L_2$ 的限制

[0224] 作为栅极驱动部20的开关元件的电特性之一,有布线电感 $L_2$ 。布线电感 $L_2$ 是开关元件和与该开关元件的漏极端子连接的旁路电容器之间的布线具有的布线电感。布线电感 $L_2$ 与开关元件的输出寄生电容 $C_{o_{ss}}\text{-GaN}$ 之间构成LC谐振电路LC2。

[0225] 此外,与漏极端子连接的旁路电容器降低布线相对于接地电位(接地)的交流阻抗,抑制了因开关元件的开关动作而产生的噪声流出到电源线。

[0226] 在LC谐振电路LC2的谐振频率 $f_{o2}$ 处于开关动作的开关频率 $f_{sw}$ 的频率范围内的情况下,成为在提供给LDMOS的栅极信号的波形中产生波形失真(衰减)的主要原因。

[0227] 本发明中设定布线电感 $L_2$ 的电感值的上限值,使得LC谐振的谐振频率 $f_{o2}$ 成为比高频开关动作的开关频率 $f_{sw}$ 高的频率。将布线的布线长度设定为使布线电感 $L_2$ 为上限值以下。

[0228] 通过限制布线电感 $L_2$ 的上限值,LC谐振的谐振频率 $f_{o2}$ 成为比高频的开关动作的开关频率 $f_{sw}$ 的频率范围高的频率。由此,如果开关动作的开关频率 $f_{sw}$ 为高频的开关动作的频率范围,则能抑制LC谐振现象的产生,抑制谐振振动引起的波形失真(衰减)现象,提高高频响应性。

[0229] 在栅极驱动部20中,开关元件的漏极端子和与该开关元件的漏极端子连接的旁路电容器之间的布线的布线电感 $L_2$ 根据布线长度而发生变化。在该布线电感 $L_2$ 与开关元件的输出寄生电容 $C_{o_{ss}}\text{-GaN}$ 之间构成LC谐振电路LC2。

[0230] 一般地,LC谐振电路的谐振频率 $f_0$ 由上述的式(1)表示。

[0231] 在由GaNFET的开关元件的寄生电容C和布线电感L形成的LC谐振电路LC2中,L是布线电感 $L_2$ ,C是输出寄生电容 $C_{oss\_GaN}$ 。若将式(1)中的谐振频率 $f_0$ 用 $f_{o2}$ 表示,则谐振频率 $f_{o2}$ 与 $\{1/(L \cdot C)\}^{1/2}$ 成比例,与 $L^{1/2}$ 成反比例。

[0232] 在设定布线电感 $L_2$ 的电感值的上限值时,在开关频率 $f_{sw}$ 的频率范围内,设定成使布线电感 $L_2$ 的电感值为上限值以下的电感值,并设定成使谐振频率 $f_{o2}$ 为比进行开关动作的开关频率 $f_{sw}$ 高的频率。由此,驱动放大元件11的开关频率 $f_{sw}$ 的频率范围为比谐振频率 $f_{o2}$ 低的频率,因此,能抑制LC谐振的产生,抑制谐振振动引起的波形失真(衰减)现象,提高高频响应性。

[0233] 在使用GaNFET作为开关元件的结构中,在将GaNFET的输出寄生电容 $C_{oss\_GaN}$ 设为300[pF]时,在将谐振频率 $f_{o2}$ 设为例如140[MHz]的情况下,布线电感 $L_2$ 为4[nH]。另外,在开关动作的开关频率 $f_{sw}$ 为频带的上限频率100[MHz]的情况下,产生谐振现象的布线电感 $L_2$ 为8[nH],但布线电感 $L_2$ 的上限被限制为4[nH],因此,在开关频率 $f_{sw}$ 下不产生谐振现象。

[0234] 如上所述,通过将布线电感 $L_2$ 限制为4[nH]以下,在通过140[MHz]以下的栅极信号驱动放大元件11的情况下,能抑制谐振振动的产生,在27[MHz]至100[MHz]的频率范围内得到低失真的方形波状的高频输出。

[0235] 由于在布线电感L与布线长度之间存在正增减关系,因此将布线电感 $L_2$ 的布线长度设定成比上限值对应的布线长度短。

[0236] 通过将旁路电容器24H(CH)、24L(CL)、漏极电阻26H( $R_{dh}$ )、26L( $R_{dl}$ )的并联连接数(并联数量)以及安装图案宽度设定成与开关元件21H、21L(GaNFET)主体宽度同等程度或者比主体宽度宽广,来进行布线电感 $L_2$ 的限制。

[0237] (b3) 布线电感 $L_3$ 的限制

[0238] 作为栅极驱动部20和放大部10的电特性之一,有布线电感 $L_3$ 。布线电感 $L_3$ 是栅极驱动部20的高侧的开关元件的源极端子与放大部10的放大元件11的栅极端子之间的布线具有的布线电感。

[0239] 布线电感 $L_3$ 与放大元件11的栅极电容 $C_{iss\_LD}$ 之间构成LC谐振电路LC3。高侧的开关元件的源极端子与低侧的开关元件的漏极端子连接,因此,LC谐振电路LC3也与低侧的开关元件的漏极端子连接。

[0240] 在LC谐振电路LC3的谐振频率 $f_{o3}$ 处于开关动作的开关频率 $f_w$ 的频率范围内的情况下,成为在栅极信号的波形中产生波形失真(衰减)的主要原因。

[0241] 本发明中设定布线电感 $L_3$ 的电感值的上限值,使得LC谐振的谐振频率 $f_{o3}$ 成为比高频开关动作的开关频率 $f_{sw}$ 高的频率。将布线的布线长度设定成使布线电感 $L_3$ 为上限值以下。

[0242] 通过限制布线电感 $L_3$ 的上限值来减小布线的电感,LC谐振的谐振频率 $f_{o3}$ 成为比高频的开关动作的开关频率 $f_{sw}$ 的频率范围高的频率。由此,如果开关动作的开关频率 $f_{sw}$ 为高频的开关动作的频率范围,则能抑制LC谐振现象的产生,抑制谐振振动引起的波形失真(衰减)现象,提高高频响应性。

[0243] 栅极驱动部20的高侧的开关元件的源极端子与放大元件11的栅极端子之间的布线具有的布线电感 $L_3$ 根据布线长度而发生变化。在该布线电感 $L_3$ 与放大元件11的栅极电容

$C_{i_{ss-LD}}$ 之间构成LC谐振电路LC3。

[0244] 一般地,LC谐振电路的谐振频率 $f_o$ 由上述的式(1)表示。

[0245] 在由LDMOSFET的放大元件11的寄生电容C和布线电感L形成的LC谐振电路LC3中,L是布线电感 $L_3$ ,C是栅极电容 $C_{i_{ss-LD}}$ 。若将式(1)中的谐振频率 $f_o$ 用 $f_{o3}$ 表示,则谐振频率 $f_{o3}$ 与 $\{1/(L \cdot C)\}^{1/2}$ 成比例,与 $L^{1/2}$ 成反比例。

[0246] 设定布线电感 $L_3$ 的电感值的上限值,在开关频率 $f_{sw}$ 的频率范围内,设定成使布线电感 $L_3$ 的电感值为上限值以下的电感值,并设定成使谐振频率 $f_{o3}$ 为比进行开关动作的开关频率 $f_{sw}$ 高的频率。驱动放大元件11的开关频率 $f_{sw}$ 的频率范围成为比谐振频率 $f_{o3}$ 低的频率,因此,能抑制LC谐振的产生,抑制谐振振动引起的波形失真现象,提高高频响应性。

[0247] 在使用LDMOSFET作为放大元件11的结构中,在将LDMOSFET的栅极电容 $C_{i_{ss-LD}}$ 设为400[pF]时,在将谐振频率 $f_{o3}$ 设为140[MHz]的情况下,布线电感 $L_3$ 为3[nH]。另外,在开关动作的开关频率 $f_{sw}$ 为频带的上限频率100[MHz]的情况下,产生谐振现象的布线电感 $L_3$ 为6[nH],但布线电感 $L_2$ 的上限被限制为3[nH],因此,在开关频率 $f_{sw}$ 下不产生谐振现象。

[0248] 如上所述,通过将布线电感 $L_3$ 限制为3[nH]以下,在通过140[MHz]以下的栅极信号驱动放大元件11的情况下,抑制谐振振动的产生,在27[MHz]至100[MHz]的频率范围内得到低失真的方形波状的高频输出。

[0249] 在布线电感L与布线长度之间存在正增减关系。因此,将布线长度设定成比布线电感 $L_3$ 的上限值对应的布线长度短。作为缩短布线长度的结构,设为如下结构:将开关元件21H、21L(QH、QL)、旁路电容器24H、24L(CH、CL)、栅极电阻12( $R_{g-LD}$ )、漏极电阻 $R_d$ ( $R_{dh}$ 、 $R_{dl}$ )配置在放大元件11(LDMOS1、LDMOS2)的栅极端子的附近例如25[mm]以内的位置的配置结构;设定使放大元件11(LDMOS1、LDMOS2)的栅极电阻12( $R_{g-LD}$ )的并联连接数(并联数量)以及安装图案宽度为与放大元件11(LDMOS1、LDMOS2)的栅极电阻12( $R_{g-LD}$ )的电极的宽度同等程度或者其以上那样的尺寸的结构。并且,作为对基板30的配置,设为如下配置结构:在设置于基板30的表面侧的栅极电阻12( $R_{g-LD}$ )的正下方的基板30的背面侧配置接地电位(GND2),使用导电性的屏蔽衬垫29等经由放大元件11(LDMOS1、LDMOS2)的源极端子侧的接地电位(GND1)的散热部31进行连接。在此,屏蔽衬垫29使用与放大元件11(LDMOS1、LDMOS2)的栅极端子的宽度同等程度或宽度宽广的部件。此外,屏蔽衬垫29、基板30以及散热部31的符号29、30、31记载于图8~图10。

[0250] 根据上述的配置结构,将从开关元件21H、21L(QH、QL)的源极端子通过布线电感 $L_3$ 的布线以及栅极电阻12( $R_{g-LD}$ )与放大元件11(LDMOS1、LDMOS2)的栅极端连接,且从放大元件11(LDMOS1、LDMOS2)的源极端子与接地电位(GND1)以及接地电位(GND2)连接而成的电流环的截面方向观察的直径设为10[mm]以下。由此,降低布线电感 $L_3$ 。关于这一点,将在以后的电流环中进行说明。

[0251] (b4) 漏极电阻( $R_{dh}$ 、 $R_{dl}$ )

[0252] (i) 栅极保护电路

[0253] 高频放大部的LDMOSFET为了保护栅极而设置栅极保护电路。栅极保护电路是:当在饱和区域中使用LDMOSFET时,防止在施加反向电压时超过容许电压来向栅极施加负电压的反向偏置电压的电路。作为栅极保护电路,已知有内置于高频放大部内的结构。

[0254] 图6的(a)表示栅极保护电路13的电路例,图6的(b)表示栅极保护电路的保护电压

范围。保护电路是保护半导体元件免受来自外部的静电引起的静电放电 (ESD: Electro Static Discharge) 影响的电路。

[0255] 在图6的 (a) 所示的栅极保护电路13的电路例中,由在基极端子连接了电阻的npn型的第一双极晶体管Q1、Q2和在源极端子连接了栅极端子的n型的第二MOS晶体管M1、M2构成。第一双极晶体管Q1、Q2通过集电极-基极间的漏电流引起的集电极-发射极间的导通,作为向反向偏置的二极管来进行动作。第二MOS晶体管M1、M2通过寄生二极管作为向反向偏置的二极管来进行动作。

[0256] 第一双极晶体管Q1和第二MOS晶体管M2的串联电路构成对栅极施加正电压时的第一保护电路,第一双极晶体管Q2和第二MOS晶体管M1的串联电路构成对栅极施加负电压时的第二保护电路。第一双极晶体管Q1的击穿电压与第二MOS晶体管M2的击穿电压之和成为栅极保护电路相对于正电压的击穿电压,第一双极晶体管Q2的击穿电压与第二MOS晶体管M1的击穿电压之和成为栅极保护电路相对于负电压的击穿电压。

[0257] 栅极保护电路具有容许电压范围,在从栅极驱动部向施加反向电压供给的负电压超过栅极保护电路的容许电压范围的情况下,栅极保护电路可能被损坏。

[0258] 在图6的 (b) 中,在饱和区域中使用具有保护电压范围为-6[V]至+11[V]的栅极保护电路的LDMOS的情况下,假设以振幅相对于零电位为 $\pm 9\text{V}$ 的正弦波电压 $V_{ac}$ 来驱动LDMOS的栅极,则即使在将直流偏置电压 $V_{bias}$ 设定为1[V]的情况下,也会在施加反向电压时对栅极施加-8[V]的负电压。对栅极保护电路施加在负电压侧超过了保护电压范围的过剩电压,因此,栅极保护电路可能被损坏。

[0259] 在使用了GaNFET的栅极电路中也存在同样的问题,在使LDMOSFET的栅极反向偏置时,若因谐振振动而在栅极电压 $V_{gs}$ 产生振动,则可能超过LDMOSFET的栅极保护电路的反向耐电压。由于GaNFET的导通电阻非常小(数ohm至数十ohm),因此该谐振振动是由在GaNFET的输出寄生电容 $C_{oss\_GaN}$ 与旁路电容器间的布线电感 $L_2$ 之间产生的谐振现象引起的。

[0260] (ii) 漏极电阻 ( $R_{dh}$ 、 $R_{dl}$ )

[0261] 为了抑制该谐振现象,在本发明中,在GaNFET的漏极侧插入漏极电阻26 ( $R_{dh}$ 、 $R_{dl}$ )。作为漏极电阻26 ( $R_{dh}$ 、 $R_{dl}$ ),例如使用0.5[ohm]至2[ohm]左右的电阻值。

[0262] 此外,在一般在27[MHz]以下的频带中使用的栅极驱动电路中,作为开关元件一般使用Si-MOSFET,导通电阻比较大,为0.5[ohm]以上,因此,产生谐振现象的可能性低。

[0263] 与此相对,如本发明那样,在频带为27[MHz]至100[MHz]的频段中为了用方形波的栅极信号进行驱动而使用GaNFET的情况下,GaNFET的导通电阻低,因此,布线电感 $L_2$ 和GaNFET的输出寄生电容 $C_{oss\_GaN}$ 的谐振几乎不衰减。为了使该谐振现象衰减,本发明具有漏极电阻 ( $R_{dh}$ 、 $R_{dl}$ )。

[0264] 图7表示对放大元件11 (LDMOS) 的栅极施加的栅极电压 $V_{gs}$ ,图7的 (a) 表示没有漏极电阻26 ( $R_{dh}$ 、 $R_{dl}$ ) 时的栅极电压 $V_{gs}$ ,图7的 (b) 表示有漏极电阻26 ( $R_{dh}$ 、 $R_{dl}$ ) 时的栅极电压 $V_{gs}$ 。在图7的 (a)、(b) 中,用虚线表示的S1矩形波形表示理想的栅极电压 $V_{gs}$ ,用实线表示的S2波形表示示意性地表示的栅极电压 $V_{gs}$ 的实际信号波形。另外,S3所示的虚线表示栅极保护电路的反向耐电压。此外,各波形形状是示意性地表示,并不表示实际的波形形状。

[0265] 在没有漏极电阻26 ( $R_{dh}$ 、 $R_{dl}$ ) 的情况下,栅极电压 $V_{gs}$ 的负电压的峰值超过栅极保护电路的反向耐电压,成为栅极保护电路破损的主要原因。另一方面,在有漏极电阻26 ( $R_{dh}$ 、

$R_{dl}$ )的情况下,栅极电压 $V_{gs}$ 的负电压的峰值不超过栅极保护电路的反向耐电压,因此,栅极保护电路被保护。

[0266] 此外,通过在GaNFET的源极端子侧串联连接电阻的结构,能够实现谐振现象的衰减,但该情况下,对GaNFET的栅极侧产生影响,因此,不是优选的。

[0267] (iii) 栅极保护电路的保护

[0268] 本发明具有通过将施加到栅极保护电路的负电压抑制在容许电压范围内来防止栅极保护电路损坏的结构。将施加到GaNFET的驱动电压 $V_H$ 和反向偏置电压 $V_L$ 设定在栅极保护电路的额定电压内。

[0269] 在本发明的高频电源装置1中,作为电源结构,栅极驱动部20具有:直流电源22( $V_{dd}$ )、由与该直流电源22并联连接的串联电阻27( $R_e$ )和齐纳二极管28(ZD)构成的串联电路。

[0270] 该串联电阻27( $R_e$ )和齐纳二极管28(ZD)的串联电路对高侧的开关元件21(QH)施加串联电阻27( $R_e$ )的两端电压作为驱动电压 $V_H$ ,对低侧的开关元件21(QL)施加齐纳二极管28(ZD)的两端电压作为反向偏置电压 $V_L$ 。

[0271] 通过将驱动电压 $V_H$ 及反向偏置电压 $V_L$ 设定在高频放大部10内置的栅极保护电路的额定电压的电压范围内,保护栅极保护电路免受过剩电压的影响,进而保护放大元件11(LDMOS)的栅极。

[0272] 在将LDMOS的栅极保护电路的额定电压设为+11[V]/-6[V]时,

[0273] 如果将驱动电压 $V_H$ 和反向偏置电压 $V_L$ 的电压范围设为:

[0274]  $V_H=6\sim 11$ [V]

[0275]  $V_L=0.5\sim 6$ [V],

[0276] 则对LDMOS的栅极最大施加 $V_{gs}=11$ [V]/-6[V],能够防止栅极的损坏。

[0277] 在栅极保护电路中,在LDMOSFET的断开状态下,LDMOSFET的栅极在反向偏置电压 $V_L$ 下始终被施加负电压,因此,即使在半导体制造装置中使用的ON/OFF脉冲运转的断开区间中,也能够防止异常振荡。

[0278] (b5) 放大元件的栅极电阻( $R_{g\_LD}$ )

[0279] 作为高频放大部10的电特性之一,有与放大元件11的栅极端子连接的栅极电阻( $R_{g\_LD}$ )。

[0280] 栅极驱动部20的开关元件具有:串联连接的高侧的开关元件和低侧的开关元件。

[0281] 高侧和低侧的开关元件的连接点与放大元件11的栅极端子之间的布线电感 $L_3$ 和放大元件11的栅极电容 $C_{iss\_LD}$ 一起构成LC谐振电路LC3。该LC谐振电路LC3的谐振现象成为在栅极信号的波形中产生振铃等波形失真的主要原因。本发明的栅极电阻( $R_{g\_LD}$ )使LC谐振电路LC3的谐振衰减。

[0282] 本发明中,通过在栅极驱动部20的开关元件21的输出端与放大元件11的栅极端子之间连接栅极电阻( $R_{g\_LD}$ ),使LC谐振电路的振动振幅衰减,抑制栅极信号上升时的开启时间 $t_{on}$ 内的振铃(ringing)。

[0283] 通过将栅极电阻( $R_{g\_LD}$ )设定为规定值,LC谐振电路LC3的振动振幅得以衰减,栅极信号上升时的接通时间内的振铃得以抑制。

[0284] (D) 电路元件的配置

[0285] 使用图8至图13对本发明的高频电源装置的电路元件的配置进行说明。图8表示平面配置,图9表示图8中的虚线a-a所示的位置的截面配置,图10是高频电源装置的一部分的立体图。图11表示电路元件的配置上的电流环。图12表示电路元件的线对称配置和放射状配置。

[0286] 在图8至图13所示的电路元件的配置中,高频放大部将两个放大元件的源极端子进行接地连接而构成推挽电路,栅极驱动部具有对高频放大部的两个放大元件的各栅极端子施加栅极信号的两个栅极驱动电路。

[0287] (a) 电路元件的线对称配置

[0288] 在图8中,由相同电路结构的两个栅极驱动电路20A、20B构成推挽电路,构成栅极驱动电路20A、20B的相同功能的电路元件相对于通过COM电位的对称轴配置成线对称。在图8中,单点划线的b-b表示线对称的对称线。

[0289] 在对称线b-b的一侧(图中的左方)配置高频放大部的放大元件11(LDMOS1)以及栅极驱动部的栅极驱动电路20A,在对称线b-b的另一侧(图中的右方)配置高频放大部的放大元件11(LDMOS2)以及栅极驱动部的栅极驱动电路20B。

[0290] 栅极驱动电路20A在对称线b-b的一侧(图中的左方),在基板30的表面侧配置旁路电容器24(CH1)以及24(CL1)、漏极电阻26L( $R_{d11}$ ),配置与放大元件11(LDMOS1)的栅极端子连接的栅极电阻12( $R_{g\_LD}$ )。

[0291] 另一方面,在基板30的背面侧配置开关元件21(QH1)及21(QL1)、漏极电阻26H( $R_{dh1}$ ),在栅极电阻12( $R_{g\_LD}$ )的下方位置配置导电性的屏蔽衬垫29。

[0292] 栅极驱动电路20B在对称线b-b的另一侧(图中的右方),在基板30的表面侧配置旁路电容器24(CH2)及24(CL2)、漏极电阻26L( $R_{d12}$ ),配置与放大元件11(LDMOS2)的栅极端子连接的栅极电阻12( $R_{g\_LD}$ )。

[0293] 另一方面,在基板30的背面侧配置开关元件21(QH2)及21(QL2)、漏极电阻26H( $R_{dh2}$ ),在栅极电阻12( $R_{g\_LD}$ )的下方位置配置导电性的屏蔽衬垫29。

[0294] 在构成栅极驱动电路20A的各电路元件和构成栅极驱动电路20B的各电路元件中,相同功能的电路元件相对于对称线b-b配置为等距离,进行线对称配置。

[0295] 通过在作为单点划线b-b所示的对称线的空间上配置成线对称,两个栅极驱动电路的各电路元件以COM电位为基准电位配置成电对称。另外,通过呈电对称地配置电路元件,栅极信号的死区时间DT及脉冲宽度 $T_{on}$ 的偏差、双方的栅极信号的同步偏差等根据栅极信号从基准电位的偏差而产生的两个栅极信号间的偏差得以抑制。

[0296] (b) 电路元件的正反配置

[0297] 图9示意性地表示图8中的虚线a-a的位置的截面。

[0298] 在高频放大部中,放大元件11(LDMOS)的栅极端子与栅极电阻12( $R_{g\_LD}$ )连接,源极端子作为高频放大部侧的接地电位(GND1),配置成与散热部31接触。

[0299] 在栅极驱动部中,配置于基板30的背面侧的导电性的屏蔽衬垫29作为栅极驱动部侧的接地电位(GND2)配置成与散热部31接触。另外,配置于基板30的背面侧的开关元件21(GaN FET(QH、QL))经由热传导性的硅橡胶等热导电部件配置成与散热部31接触。散热部31是水冷板、散热片等具有散热功能的具有导电性的金属部件,具有将接地电位(GND1)与接地电位(GND2)之间电连接的导电性。

[0300] 旁路电容器24(CH、CL)及漏极电阻26( $R_{dh}$ 、 $R_{d1}$ )与开关元件21(QH、QL)隔着基板30配置在大致上下的位置。

[0301] 图10用立体图表示高频电源装置的一部分。在基板30的表面侧配置旁路电容器24(CH1)和栅极电阻12( $R_{g\_LD}$ ),在背面侧的下方位置配置开关元件21(GaN FET(QH1))和与该开关元件21(GaN FET(QH1))连接的栅极电阻25( $R_{g\_GaN}$ )。开关元件21(GaN FET(QH1))经由栅极电阻25( $R_{g\_GaN}$ )与驱动用逻辑IC23连接。驱动用逻辑IC23除了配置在基板30的背面侧以外,也可以是隔着基板30也配置在表面侧的结构。以虚线在基板30的表面侧和背面侧这两侧配置两个驱动用逻辑IC23,由此,能够增加供给到开关元件21(GaN FET(QH1))的电流。

[0302] 隔着基板30配置于表面的旁路电容器24(CH1)与配置于背面的导电性的屏蔽衬垫29之间可以经由基板30的贯通孔连接。另外,隔着基板30配置于背面的漏极电阻26( $R_{dh1}$ )以及配置于背面的开关元件21(GaN FET(QH1))与配置于表面的旁路电容器24(CH1)之间可以经由基板30的贯通孔连接。

[0303] (c) 电路元件的冷却

[0304] 在栅极驱动部中,旁路电容器24、栅极电阻12的电阻元件的无源元件相对于基板30配置于表面侧而通过空冷进行冷却。另一方面,开关元件21(GaN FET(QH、QL))的有源元件相对于基板30配置在背面侧而通过经由导热部件接触的散热部31进行冷却。

[0305] 将发热量不同的有源元件和无源元件隔着基板配置在相反侧,将发热量小的无源元件相对于基板配置在表面侧,由此,能够进行空冷的冷却。另一方面,将发热量大的有源元件相对于基板配置在背面侧,通过散热部强制进行冷却。散热部可以使用水冷板或散热片。

[0306] (d) 电路元件的热传导

[0307] 在栅极驱动部中,旁路电容器24、电阻元件的无源元件构成为并联连接的元件的并联个数(并联数量)、其有效宽度与高频放大部的放大元件的主体宽度同等程度或者比主体宽度宽广。

[0308] 无源元件的热传导的有效宽度取决于并联连接的无源元件的个数及安装图案宽度。通过使该无源元件的有效宽度与高频放大部的放大元件的主体宽度同等程度或比主体宽度宽广,彼此的热传导效率提高,消除热不均匀。另外,无源元件的宽广的有效宽度有助于降低布线电感。

[0309] (e) 驱动电流的电流环

[0310] 在栅极驱动部与高频放大部之间形成驱动电流的电流环。图11是用于对驱动电流的电流环进行说明的图,图11的(a)使用图4的电路图表示电流环,图11的(b)使用图9的剖视图表示电流环。

[0311] 在驱动电流的电流环中,在高侧的开关元件21H(QH)为接通状态下,驱动放大元件11(LDMOS)的栅极的栅极电流从开关元件21H(QH)的源极端子通过栅极电阻12( $R_{g\_LD}$ )施加到放大元件11(LDMOS)的栅极端子。

[0312] 然后,如图11的(a)所示,驱动电流从放大元件11(LDMOS)的源极端子通过高频放大部侧的接地电位(GND1)和栅极驱动部侧的接地电位(GND2),通过旁路电容器24H(CH)和漏极电阻26H( $R_{dh}$ )返回到开关元件21H(QH)的漏极端子。

[0313] 在图11的(b)中,来自设置在基板30的背面侧的开关元件21(QH)的源极端子的电

流通过基板30的贯通孔流向设置在基板30的表面侧的栅极电阻12 ( $R_{g\_LD}$ ),从放大元件11 (LDMOS)的栅极端子驱动放大元件11 (LDMOS)。放大元件11 (LDMOS)的源极端子成为接地电位 (GND1),因此,经由散热部31流向栅极驱动部侧的接地电位 (GND2)即导电性的屏蔽衬垫29。从导电性的屏蔽衬垫29通过基板30的贯通孔流向旁路电容器24 (CH),再次通过基板30的贯通孔经由漏极电阻26H ( $R_{dh}$ )返回到设置在基板30的背面侧的开关元件21 (QH)的漏极端子。

[0314] 在栅极驱动部中,在表层侧的栅极电阻12 ( $R_{g\_LD}$ )的正下方背面隔着基板配置导电性的屏蔽衬垫29。该导电性的屏蔽衬垫29成为栅极驱动部侧的接地电位 (GND2)。另一方面,在高频放大部中,放大元件的源极电压成为高频放大部侧的接地电位 (GND1)。栅极驱动部侧的接地电位 (GND2)与高频放大部侧的接地电位 (GND1)经由散热部电连接,在栅极驱动部与高频放大部之间形成电流环。

[0315] 在栅极驱动部中,开关元件21隔着基板30配置在漏极电阻26 ( $R_d$ )和旁路电容器24的下方,经由设置于基板30的贯通孔电连接。通过该配置,开关元件21、漏极电阻26 ( $R_d$ )、旁路电容器24等电路元件能够实现接近配置。由此,电流环的电长度被缩短,由此能够将布线电感抑制为较小的值。

[0316] 关于电流环的电长度,通过将从截面方向观察时的电流环的直径设为10[mm]左右以下,能够抑制矩形波形状的栅极信号的布线电感引起的衰减来进行传输。

[0317] (g) 电路元件的直线状以及放射状配置

[0318] 本发明的高频电源装置的电路元件配置成线对称并且配置成放射状。图12、图13是用于对放射状配置进行说明的图。

[0319] 图12的 (a) 表示配置在基板30的表面侧的电路元件,图12的 (b) 表示配置在基板30的背面侧的电路元件。

[0320] 各电路元件在基板30的表面侧及背面侧相对于对称线b-b配置成线对称,并且驱动用逻辑IC23及栅极电阻25配置成直线状,并且该串联电路配置成放射状。配置在基板30的背面侧的驱动用逻辑IC23和与该驱动用逻辑IC23连接的栅极电阻25构成串联电路,在该串联电路中,两电路元件配置成直线状并且配置成放射状,配置在基板30的表面侧的驱动用逻辑IC23也配置成放射状。

[0321] 例如,用于驱动开关元件21 (QH1)的驱动用逻辑IC23H和栅极电阻25相对于开关元件21 (QH1)配置成直线状。另外,关于用于驱动开关元件21 (QL1)的驱动用逻辑IC23L和栅极电阻25的串联电路,两电路元件配置成直线状。并且,这些串联电路分别配置成放射状。

[0322] 关于其他串联电路也同样地配置,相对于各栅极驱动电路20A、20B具有的高侧的开关元件和低侧的开关元件的栅极端子,向各栅极端子施加驱动信号的驱动用逻辑IC与栅极电阻25 ( $R_{g\_GaN}$ )的串联电路配置成直线状且配置成放射状。通过串联电路的直线状配置及放射状配置,各串联电路的电长度及与开关元件的栅极端子之间的电长度变得均匀,布线长度不同引起的布线电感的差异、延迟时间等的偏差等得以抑制。

[0323] 图13的 (a) 示意性地表示了将驱动用逻辑IC和栅极电阻 ( $R_{g\_GaN}$ )配置成直线状而成的串联电路配置成放射状的结构。

[0324] 由驱动用逻辑IC23H和栅极电阻25H ( $R_{g\_GaN}$ )构成的串联电路配置成直线状且放射状。

[0325] 由驱动用逻辑IC23L和栅极电阻25L ( $R_{g\_GaN}$ ) 构成的串联电路也一样,串联电路相对于开关元件的栅极端子配置成直线状并且配置成放射状。在配置成线对称的栅极驱动电路20A和栅极驱动电路20B这两驱动电路中也进行这样的配置。

[0326] 图13的 (b) 表示了驱动用逻辑IC23和栅极电阻25 ( $R_{g\_GaN}$ ) 配置成非直线状的状态。在该配置中,在针对各开关元件21的配置中,连结驱动用逻辑IC23和栅极电阻25 ( $R_{g\_GaN}$ ) 的布线的线路长度、以及连结栅极电阻25 ( $R_{g\_GaN}$ ) 和开关元件21的栅极端子的布线的线路长度不同,因此,各电长度不同。该电长度的差异成为布线电感的差异、延迟时间的偏差的主要原因。此外,即使是非直线状,只要布线的线路长度和电长度分别相同,则也可以是非直线配置。

[0327] 根据本发明,能够进行使用了LDMOSFET的高频放大器的开关模式动作 (D级 ~ F级),能够使施加到放大元件的栅极的栅极电压 $V_{gs}$ 的死区时间DT及栅极脉冲宽度 $T_{on}$ 可变,能够进行27 [MHz] 至100 [MHz] 高频带中的PWM控制。另外,在放大元件 (LDMOSFET) 断开时,放大元件 (LDMOSFET) 的栅极始终为反向偏置,因此,能够抑制异常振荡的产生。

[0328] 此外,上述实施方式以及变形例中的描述是本发明所涉及的宽带RF电源的一例,本发明并不限于各实施方式,能够根据本发明的精神进行各种变形,而这些变形并不从本发明的范围排除。

[0329] 产业上的利用可能性

[0330] 本发明的高频电源装置可以应用于输出为1kW以上频率范围为27 [MHz] 至100 [MHz] 的半导体制造装置、液晶或有机EL的平板显示器制造装置、CO2激光加工机等工业用途。

[0331] 符号说明

- [0332] 1 高频电源装置
- [0333] 10 高频放大部
- [0334] 11 放大元件
- [0335] 12 栅极电阻
- [0336] 13 栅极保护电路
- [0337] 20 栅极驱动部
- [0338] 20A、20B栅极驱动电路
- [0339] 21 开关元件
- [0340] 22 直流电源
- [0341] 23驱动用逻辑IC
- [0342] 24 旁路电容器
- [0343] 25 栅极电阻
- [0344] 26 漏极电阻
- [0345] 27 串联电阻
- [0346] 28 齐纳二极管
- [0347] 29 屏蔽衬垫
- [0348] 30 基板
- [0349] 31 散热部

- [0350] 100 高频电源装置
- [0351] 110 高频放大部
- [0352] 111 放大元件
- [0353] 120 栅极驱动部
- [0354] C 寄生电容
- [0355]  $C_0$  电容
- [0356]  $C_{iss}$  栅极电容(输入寄生电容)
- [0357]  $C_{oss}$  输出寄生电容
- [0358] DT 死区时间
- [0359]  $I_g$  栅极电流
- [0360] L 布线电感
- [0361]  $L_1$ 、 $L_2$ 、 $L_3$  布线电感
- [0362] LC1、LC2、LC3 LC谐振电路
- [0363]  $L_0$  电感
- [0364]  $M_g$  互感
- [0365]  $Q_g$  总栅极电荷(栅极总电荷量)
- [0366]  $T_{on}$  脉冲宽度
- [0367]  $V_H$  驱动电压
- [0368]  $V_L$  反向偏置电压
- [0369]  $V_{ac}$  交流电压
- [0370]  $V_{bias}$  直流偏置电压
- [0371]  $V_{dc}$  直流电压
- [0372]  $V_{dd}$  电源电压
- [0373]  $V_{gs}$  栅极电压
- [0374]  $V_{in}$  输入电压
- [0375]  $V_{th}$  阈值电压
- [0376] b-b 对称线
- [0377]  $f_{o1}$  谐振频率
- [0378]  $f_{o2}$  谐振频率
- [0379]  $f_{o3}$  谐振频率
- [0380]  $f_{sw}$  开关频率
- [0381]  $t_d$  延迟时间
- [0382]  $t_{on}$  开启时间
- [0383]  $t_{sw}$  时间宽度。

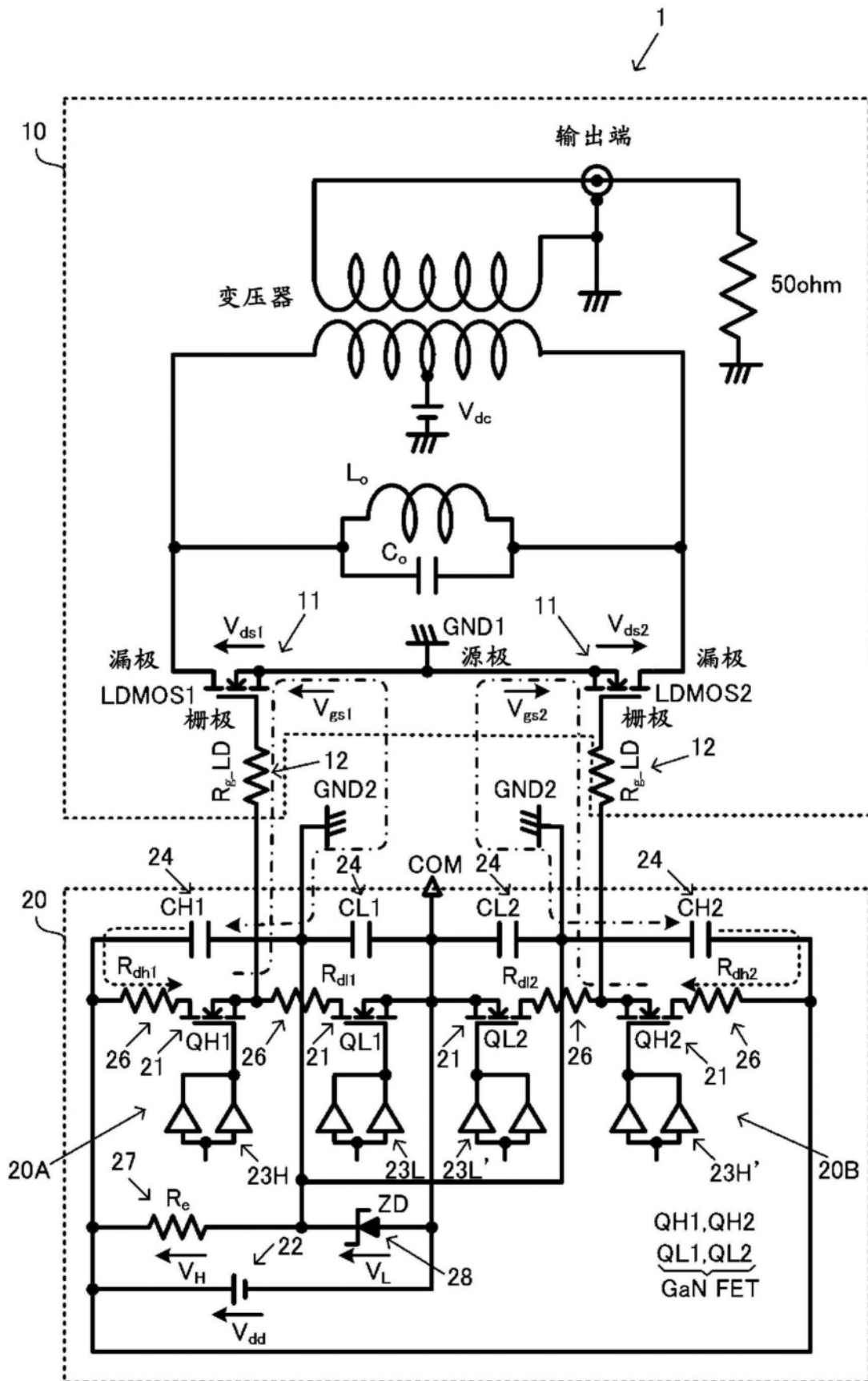


图1

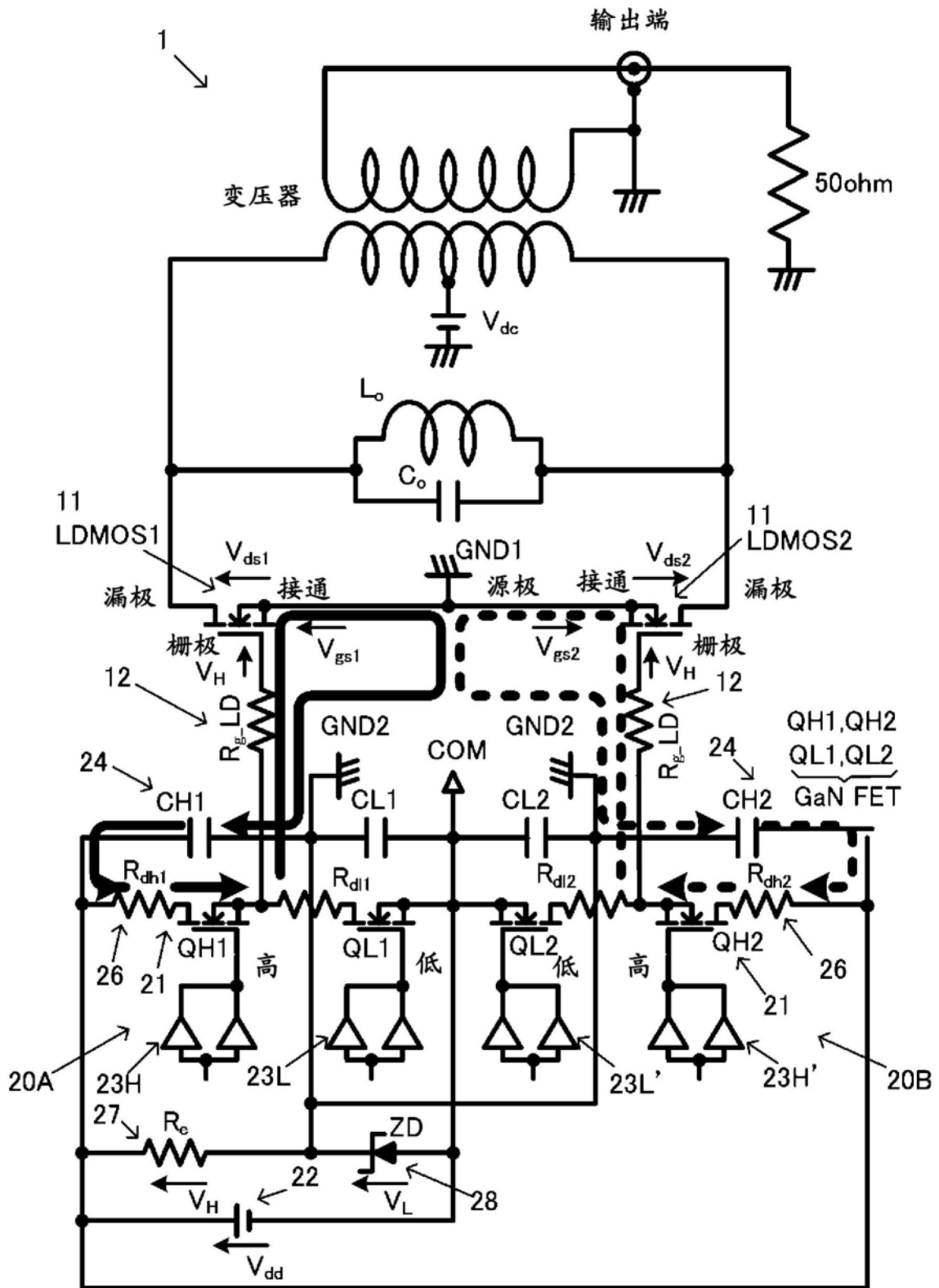


图2

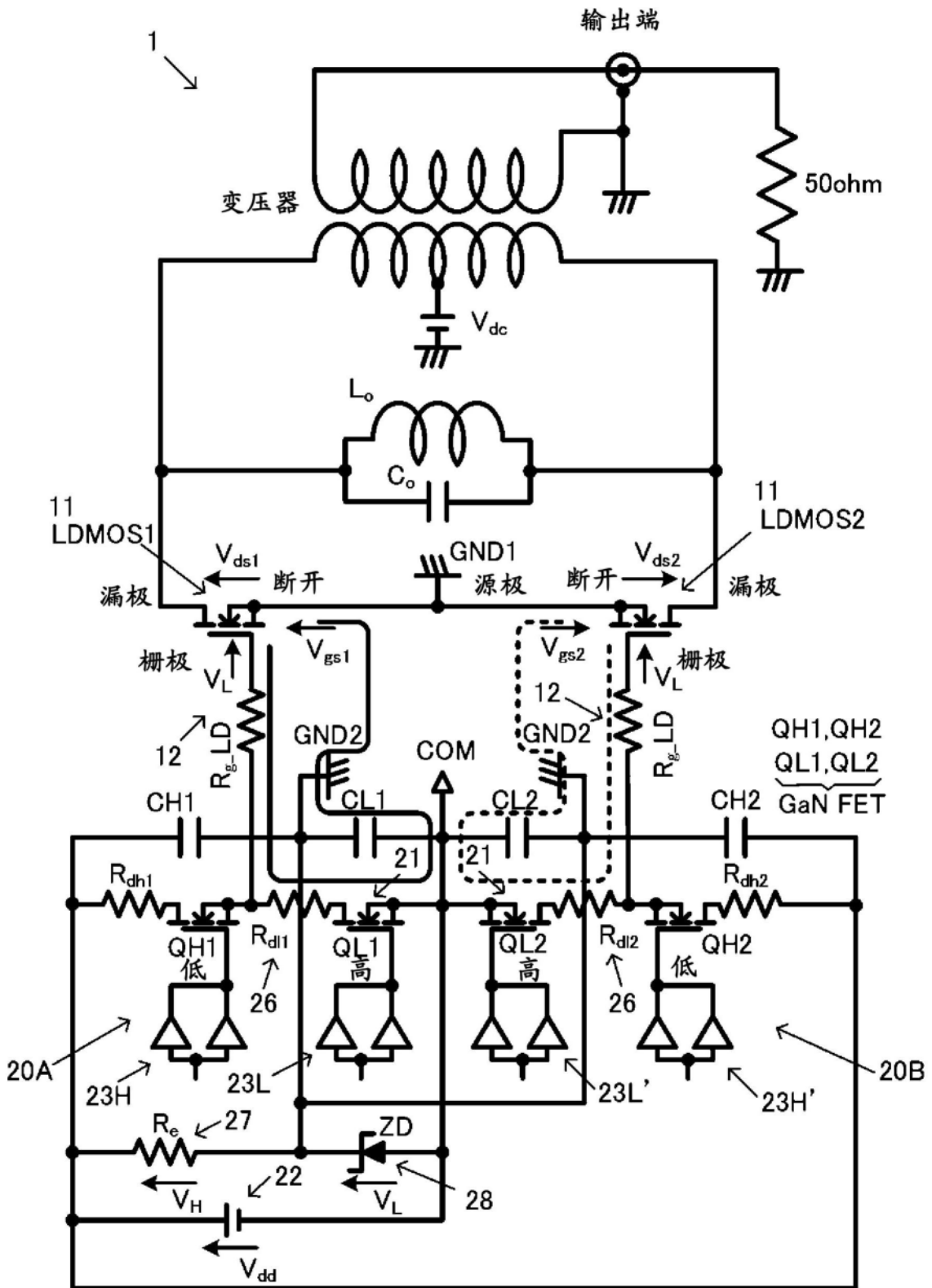


图3

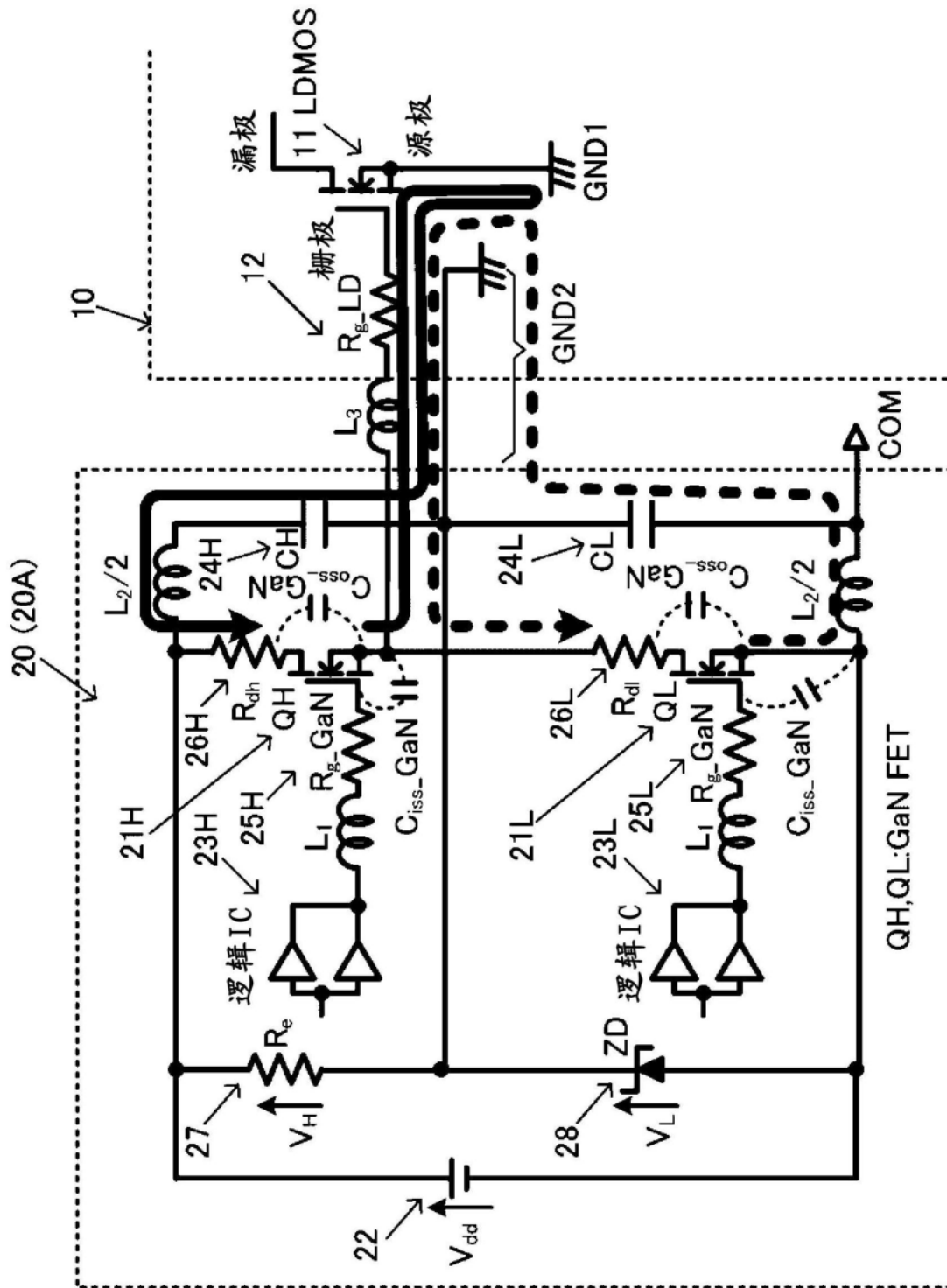


图4

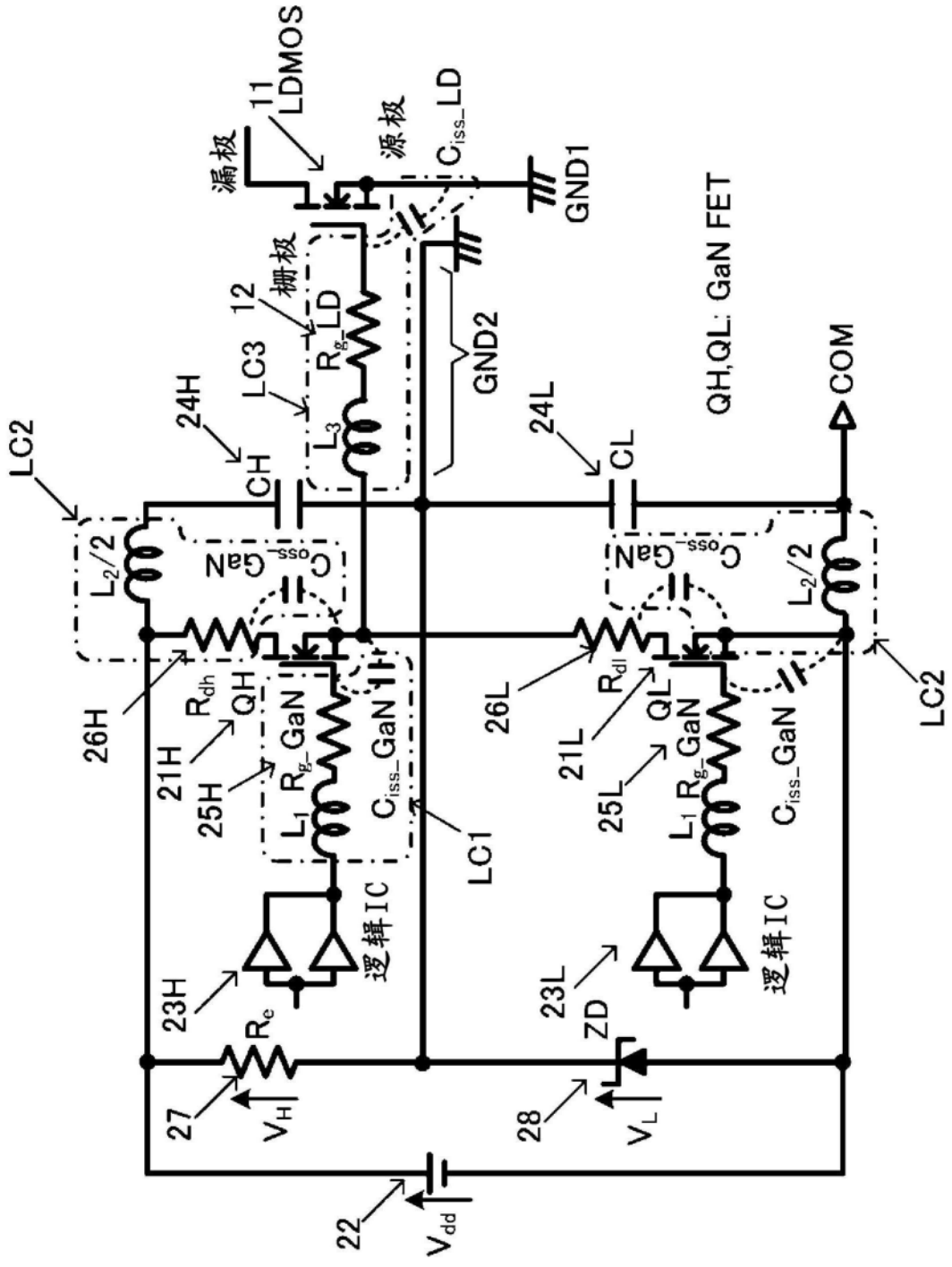
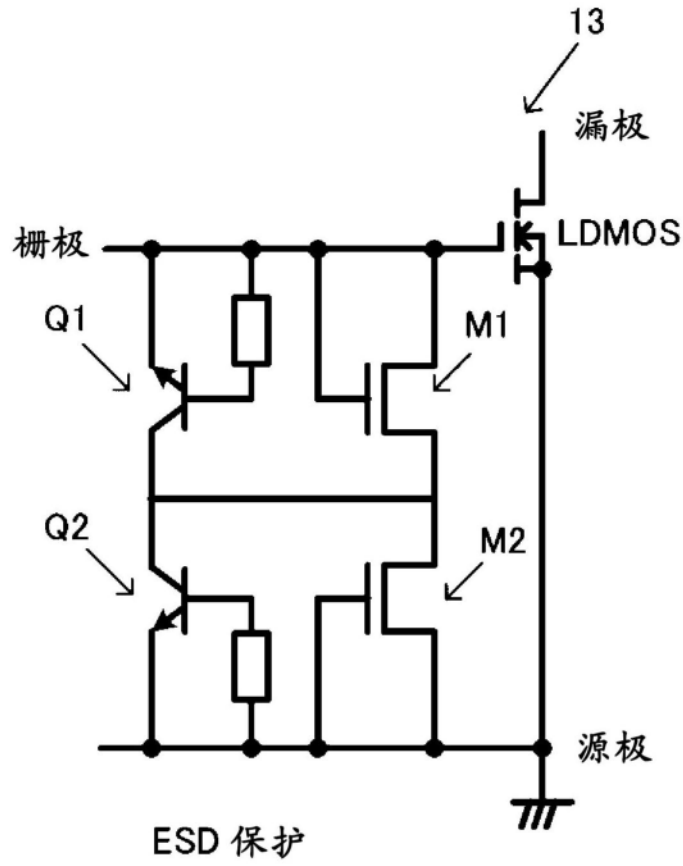


图5

(a)



(b)

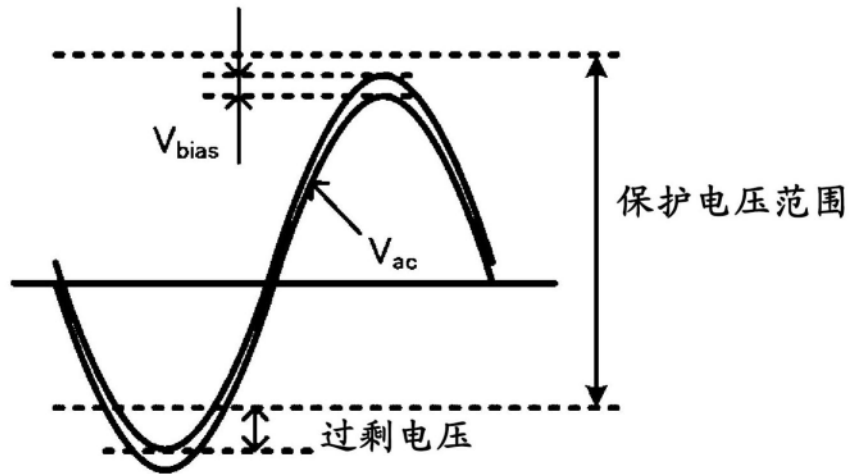
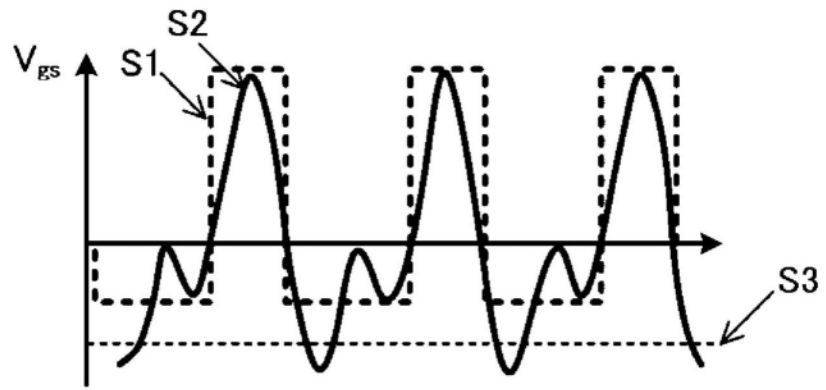


图6

(a) 无  $R_d$



(b) 有  $R_d$

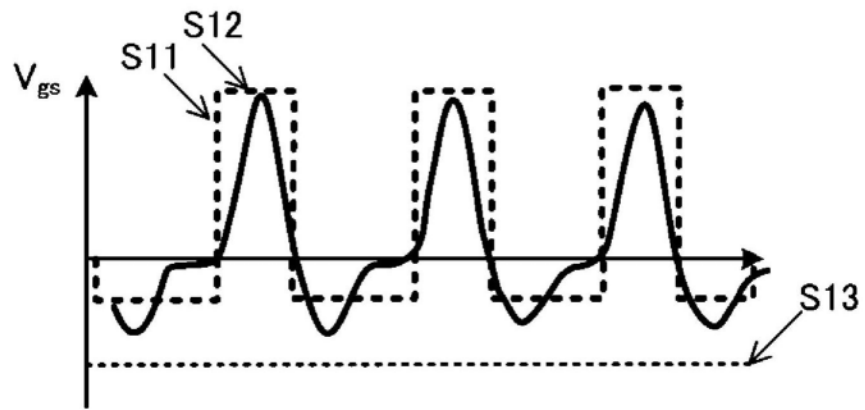


图7

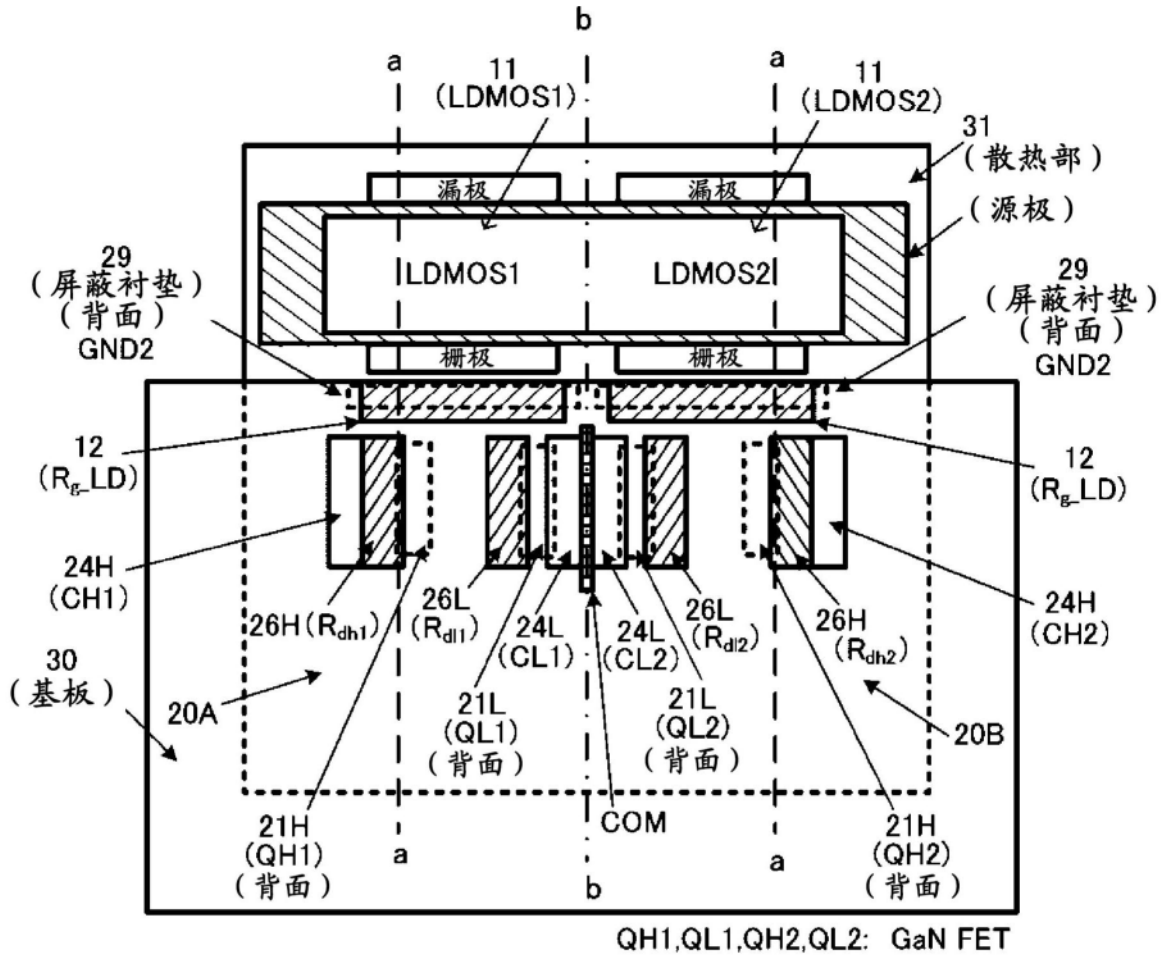


图8

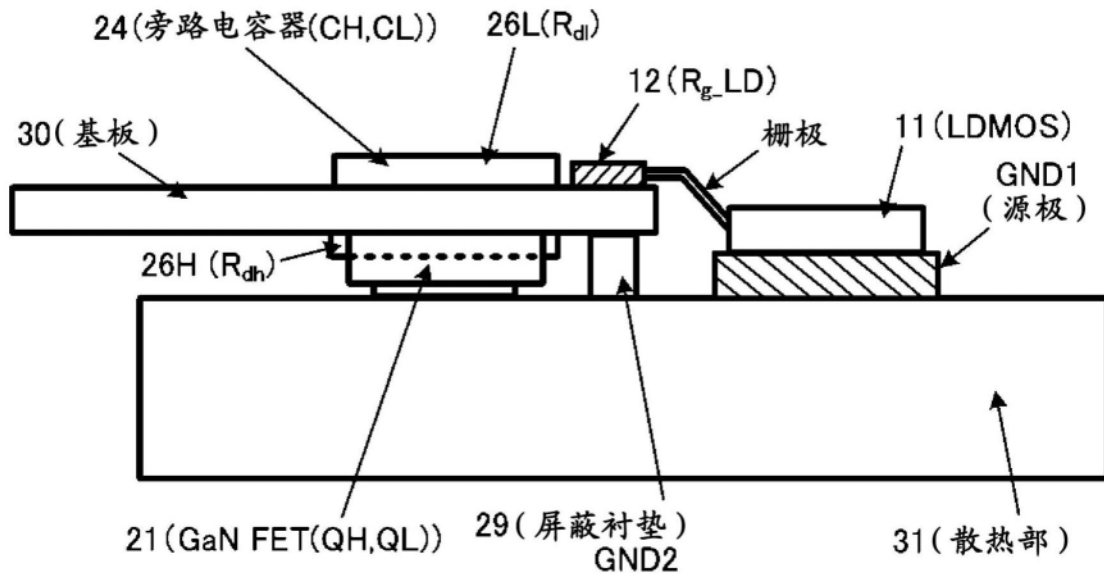


图9

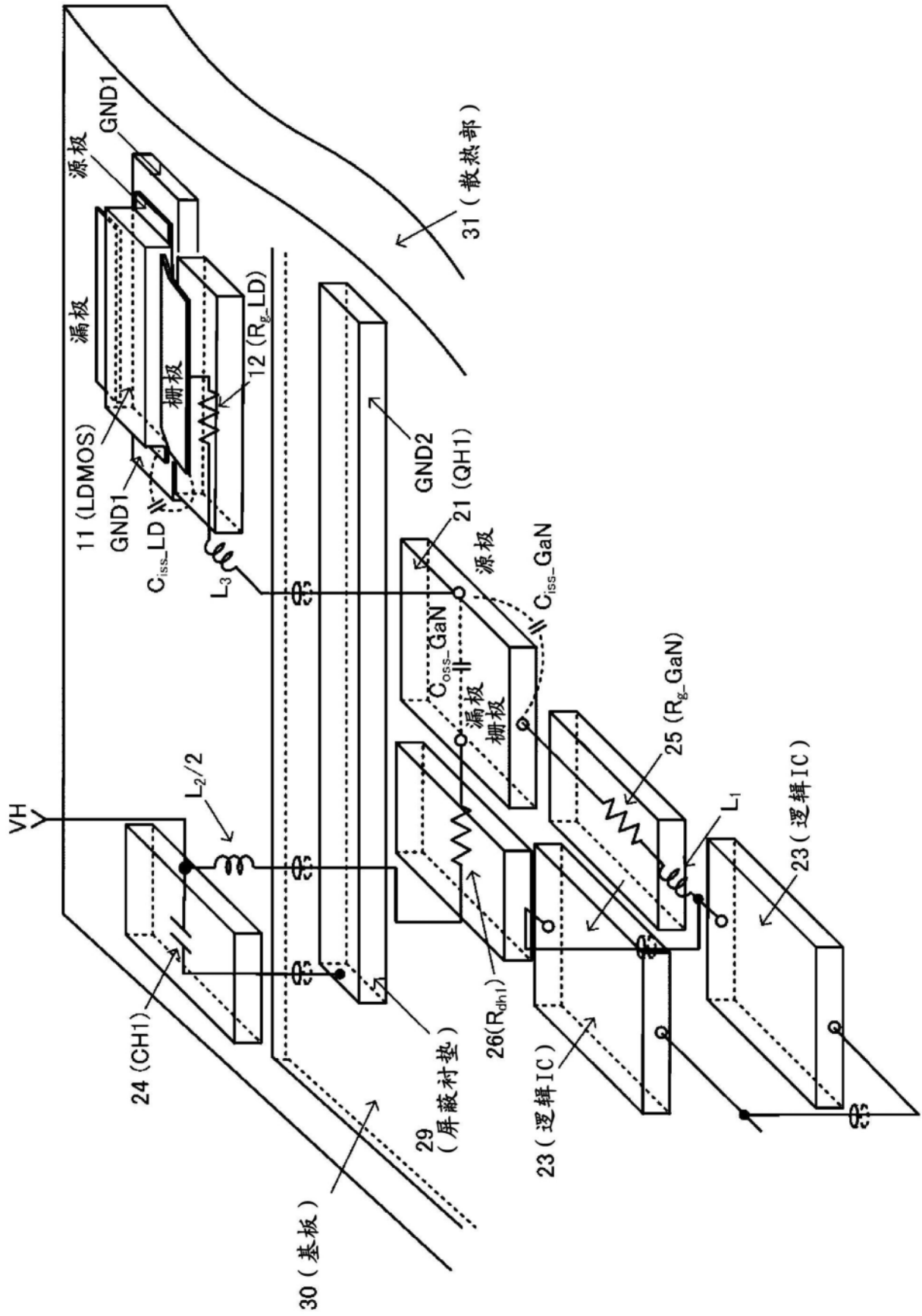
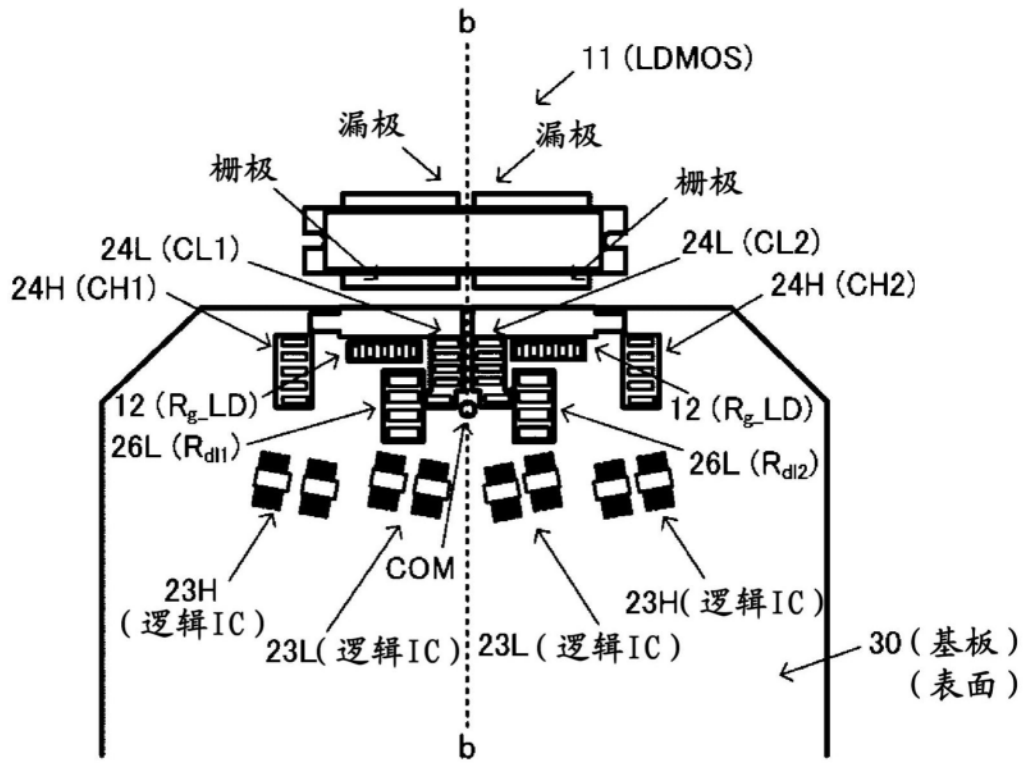


图10



(a) 表面



(b) 背面

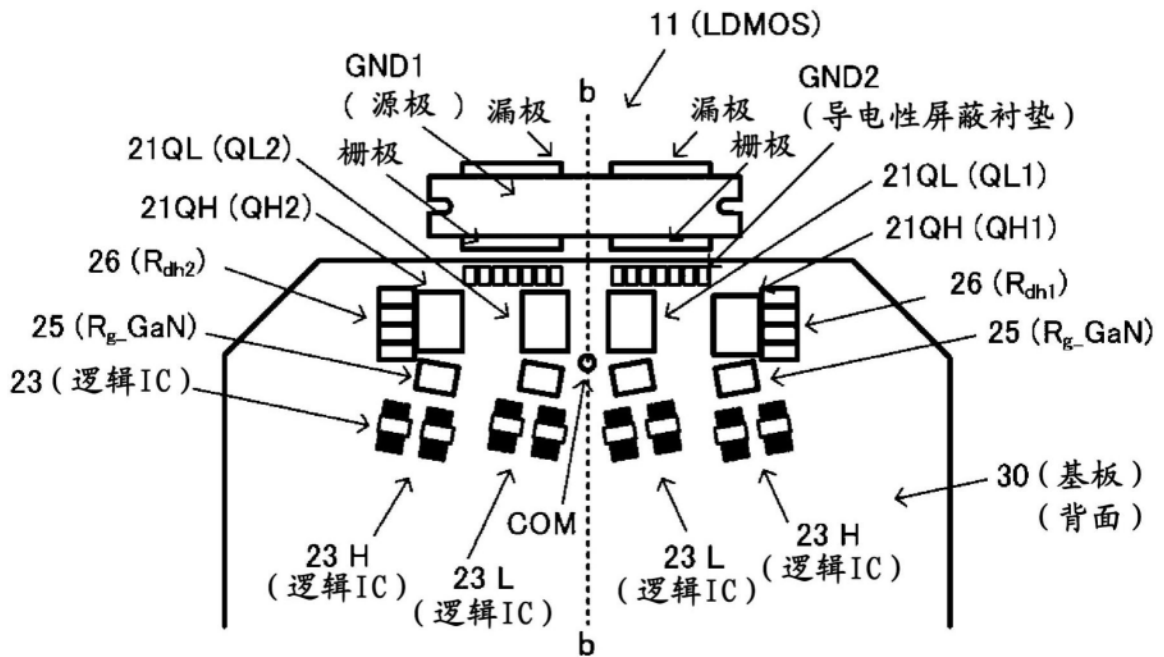


图12

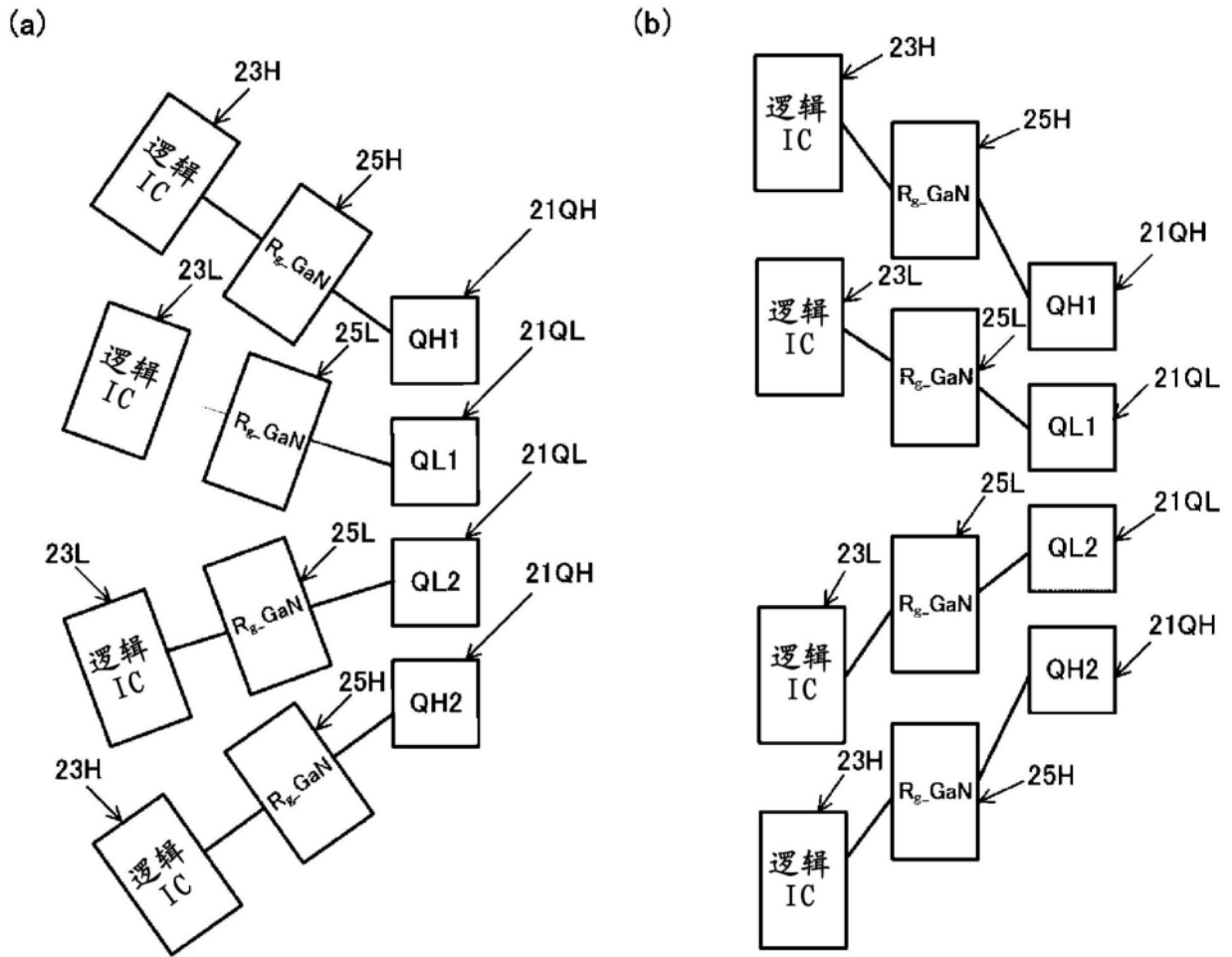


图13

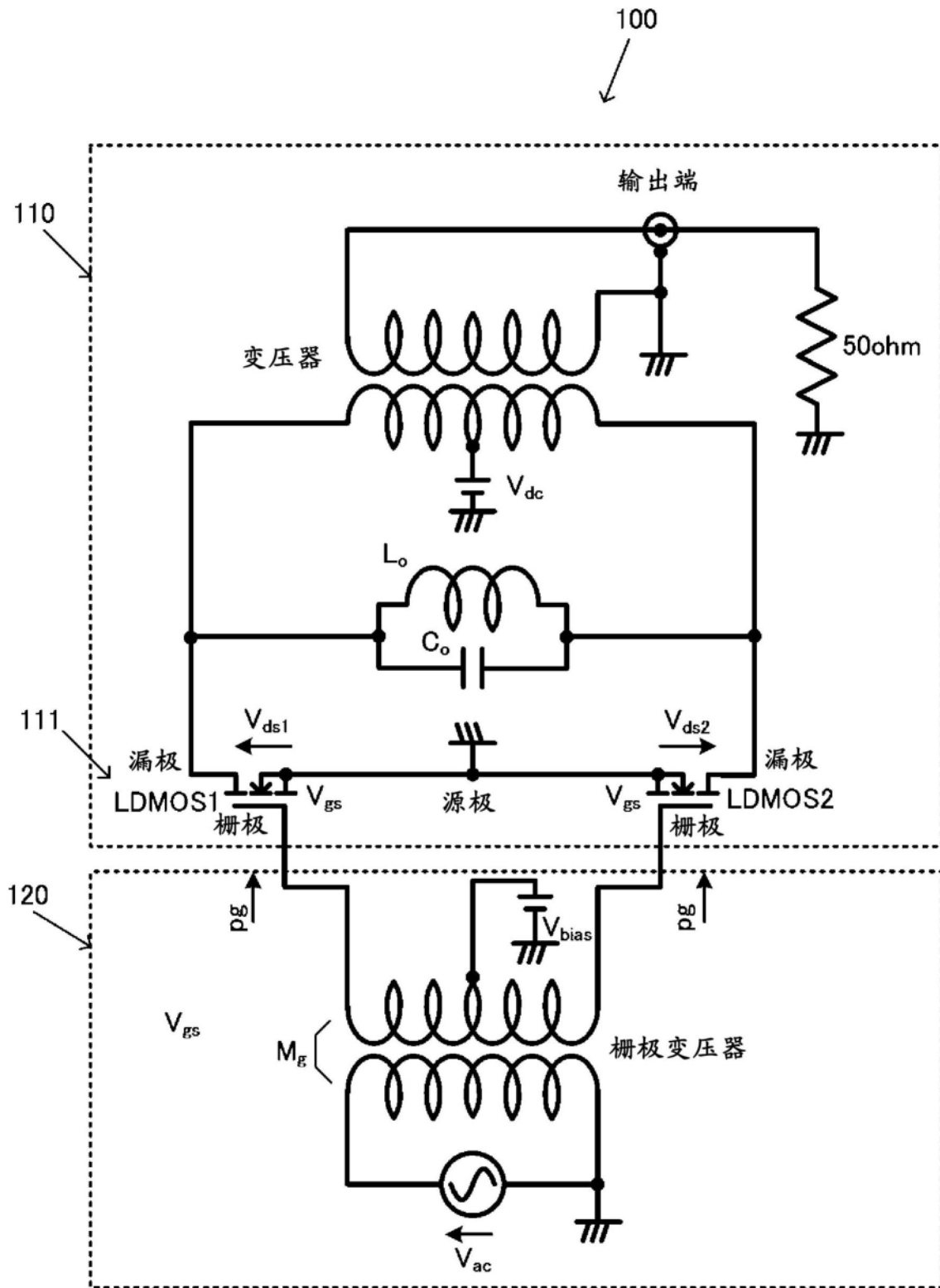


图14