(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年7月28日(28.07.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/158258 A1

(51) 国際特許分類:
H01L 23/48 (2006.01) *H01L 25/18* (2006.01)
H01L 25/07 (2006.01)

(21) 国際出願番号： PCT/JP2021/048316

(22) 国際出願日： 2021年12月24日(24.12.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2021-008835 2021年1月22日(22.01.2021) JP

(71) 出願人: 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目５番３３号 Osaka (JP).

(72) 発明者: 江草 洋 (EGUSA Hiroshi); 〒5410041 大阪府大阪市中央区北浜四丁目５番３３号 住友電気工業株式会社内 Osaka (JP).

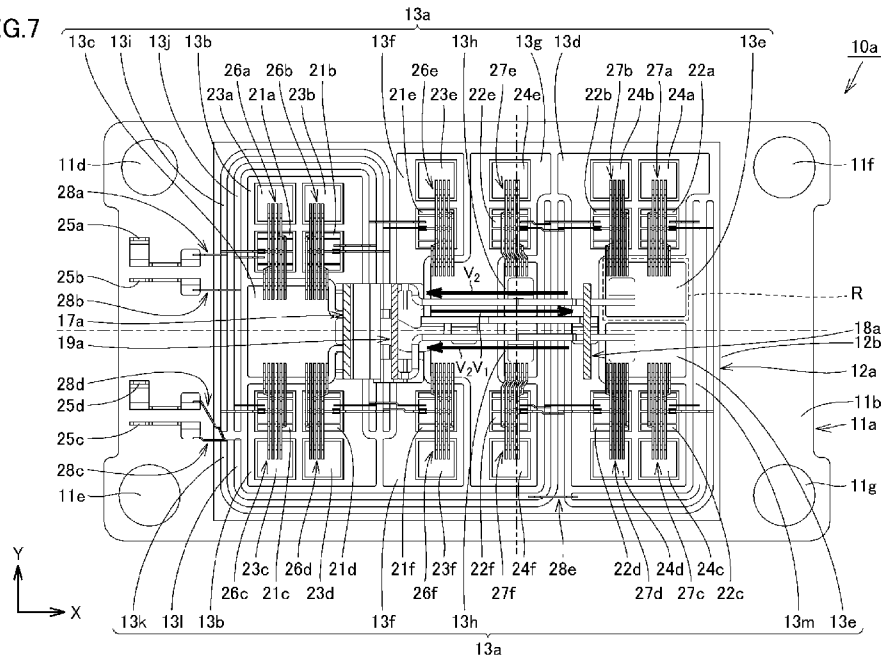
(74) 代理人: 北野 修平, 外 (KITANO, Shuhei et al.); 〒5410041 大阪府大阪市中央区北浜一丁目１番１４号北浜一丁目平和ビル９Ｆ Ｋ＆Ｔ特許商標事務所 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置

FIG.7



(57) **Abstract:** This semiconductor device comprises: a substrate; a circuit pattern including a first circuit board, a second circuit board, a third circuit board and a fourth circuit board which are positioned apart from one another; a plate-shaped first electrode connected to the first circuit board; a plate-shaped second electrode connected to the second circuit board and the third circuit board; a plate-shaped third electrode connected to the fourth circuit board; a first semiconductor chip; a second semiconductor chip; a first electroconductive member; and a second electroconductive member. The second

WO 2022/158258 A1

[続葉有]

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

electrode includes a first portion, which is arranged parallel to the third electrode with a gap therebetween, and/or a second portion, which is arranged parallel to the first electrode with a gap therebetween.

(57) 要約：半導体装置は、基板と、それぞれ離れて位置する第１回路板、第２回路板、第３回路板および第４回路板を含む回路パターンと、第１回路板と接続される板状の第１電極と、第２回路板および第３回路板と接続される板状の第２電極と、第４回路板と接続される板状の第３電極と、第１半導体チップと、第２半導体チップと、第１導電部材と、第２導電部材と、を備える。第２電極は、第３電極と間隔をあけて平行に配置される第１部分または第１電極と間隔をあけて平行に配置される第２部分のうちの少なくともいずれか１つを含む。

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001]　本開示は、半導体装置に関するものである。

[0002]　本出願は、２０２１年１月２２日出願の日本出願第２０２１－８８３５号に基づく優先権を主張し、前記日本出願に記載された全ての記載内容を援用するものである。

背景技術

[0003]　半導体素子が基板上に配置された半導体装置が知られている（例えば、特許文献１参照）。特許文献１に開示の半導体装置は、パワー半導体モジュールであり、正極電源端子と、負極電源端子と、出力端子と、を含む。

先行技術文献

特許文献

[0004] 特許文献1：特開２０２０－９８９２１号公報

発明の概要

[0005]　本開示に従った半導体装置は、第１の主面を含む基板と、それぞれ離れて位置する第１回路板、第２回路板、第３回路板および第４回路板を含み、第１の主面上に配置される回路パターンと、回路パターン上に配置され、第１回路板と接続される板状の第１電極と、回路パターン上に配置され、第２回路板および第３回路板と接続される板状の第２電極と、回路パターン上に配置され、第４回路板と接続される板状の第３電極と、第１回路板上に配置される第１半導体チップと、第３回路板上に配置される第２半導体チップと、第１半導体チップと第２回路板とを電気的に接続する第１導電部材と、第２半導体チップと第４回路板とを電気的に接続する第２導電部材と、を備える。第２電極は、第３電極と間隔をあけて平行に配置される第１部分または第１電極と間隔をあけて平行に配置される第２部分のうちの少なくともいずれか１つを含む。

図面の簡単な説明

[0006] [図1]図１は、実施の形態１における半導体装置の概略斜視図である。

[図2]図２は、図１に示す半導体装置を図１中のＩＩ－ＩＩで切断した場合の概略断面図である。

[図3]図３は、図１に示す半導体装置を図１中のＩＩＩ－ＩＩＩで切断した場合の概略断面図である。

[図4]図４は、図１に示す半導体装置において、後述する蓋部の図示を省略した場合の概略斜視図である。

[図5]図５は、図１に示す半導体装置において、後述する蓋部、封止材および枠体の図示を省略した場合の概略斜視図である。

[図6]図６は、図５に示す半導体装置の概略側面図である。

[図7]図７は、図６に示す半導体装置を図６中のＶＩＩ－ＶＩＩで切断した場合の概略断面図である。

[図8]図８は、図７に示す半導体装置において、後述する第１電極、第２電極および第３電極の図示を省略した場合の概略断面図である。

[図9]図９は、図７に示す半導体装置において、第１電極、第２電極および第３電極のみを図示した場合の概略断面図である。

[図10]図１０は、図１に示す半導体装置の回路図の一部を概略的に示す図である。

[図11]図１１は、図１に示す半導体装置に含まれる枠体の概略斜視図である。

[図12]図１２は、図１に示す半導体装置の一部を模式的に示す概略断面図である。

[図13]図１３は、図１に示す半導体装置の一部を模式的に示す概略断面図である。

[図14]図１４は、図７中に破線で示す領域Ｒの拡大図である。

[図15]図１５は、ベース板に基板を接合し、回路パターンに第１電極、第２電極、第３電極および第１半導体チップ等の各半導体チップを接合した状態

を示す概略斜視図である。

[図16]図１６は、枠体をベース板に取り付け、第１導電部材等を接合した状態を示す概略斜視図である。

[図17]図１７は、蓋部を枠体に取り付けた状態を示す概略斜視図である。

[図18]図１８は、実施の形態２における半導体装置の一部を示す概略斜視図である。

[図19]図１９は、図１８に示す半導体装置の概略側面図である。

[図20]図２０は、図１９に示す半導体装置を図１９中のＸＸ－ＸＸで切断した場合の概略断面図である。

[図21]図２１は、図２０に示す半導体装置において、第１電極、第２電極および第３電極の図示を省略した場合の概略断面図である。

[図22]図２２は、図２０に示す半導体装置において、第１電極、第２電極および第３電極のみを図示した場合の概略断面図である。

発明を実施するための形態

[0007] ［本開示が解決しようとする課題］

特許文献１に開示されるパワー半導体モジュールのような半導体装置においては、サージ電圧の抑制の観点から、インダクタンスの低減を図ることが求められる。

[0008] そこで、インダクタンスの低減を図ることができる半導体装置を提供することを目的の１つとする。

[0009] ［本開示の効果］

上記半導体装置によれば、インダクタンスの低減を図ることができる。

[0010] ［本開示の実施形態の説明］

最初に本開示の実施態様を列記して説明する。本開示に係る半導体装置は、第１の主面を含む基板と、それぞれ離れて位置する第１回路板、第２回路板、第３回路板および第４回路板を含み、第１の主面上に配置される回路パターンと、回路パターン上に配置され、第１回路板と接続される板状の第１電極と、回路パターン上に配置され、第２回路板および第３回路板と接続さ

れる板状の第２電極と、回路パターン上に配置され、第４回路板と接続される板状の第３電極と、第１回路板上に配置される第１半導体チップと、第３回路板上に配置される第２半導体チップと、第１半導体チップと第２回路板とを電気的に接続する第１導電部材と、第２半導体チップと第４回路板とを電気的に接続する第２導電部材と、を備える。第２電極は、第３電極と間隔をあけて平行に配置される第１部分または第１電極と間隔をあけて平行に配置される第２部分のうちの少なくともいずれか１つを含む。

[0011] 半導体装置には、例えば平滑コンデンサといったコンデンサが第１半導体チップおよび第２半導体チップと並列に接続される場合がある。この時、第１半導体チップおよび第２半導体チップとコンデンサとの間において閉回路が形成される。半導体装置においてこの閉回路の経路は、第１電極から第１回路板、第１半導体チップ、第１導電部材、第２回路板、第２電極、第３回路板、第２半導体チップ、第２導電部材、第４回路板、そして第３電極に至る経路となる。この閉回路には、第１半導体チップおよび第２半導体チップのスイッチング時において高いｄｉ／ｄｔが発生してしまう。ｄｉ／ｄｔとＬ（インダクタンス）とを乗じた値で導出されるサージ電圧において、インダクタンスが大きいと、高いｄｉ／ｄｔが発生した場合に高いサージ電圧が発生し、第１半導体チップおよび第２半導体チップに印加されることになる。このような状態は、第１半導体チップおよび第２半導体チップの損傷を招くおそれがある。よって、サージ電圧の抑制が求められる。第１電極から第３電極に至る電流経路において、インダクタンスの低減を図ることができれば、サージ電圧の抑制を図ることができる。

[0012] 特許文献１に示す半導体装置において、第２回路板に相当する部材および第３回路板に相当する部材は回路パターンおよびワイヤの配線のみで構成されているため、インダクタンスは大きくなる。本開示の半導体装置においては、第２回路板および第３回路板は、板状の第２電極と接続されている。ここで、第２電極は、第３電極と間隔をあけて平行に配置される第１部分または第１電極と間隔をあけて平行に配置される第２部分のうちの少なくともい

ずれか１つを含む。したがって、この平行に配置される部分において、第１電極または第３電極のうちの少なくともいずれか１つを流れる電流の向きと、第２電極を流れる電流の向きとを逆向きとすることにより、電極内を電流が流れる際に生ずる磁束を打ち消し、相互インダクタンスにより電流経路のインダクタンスは差し引かれる。よって、特許文献１に記載の半導体装置と比べて、インダクタンスの低減を図ることができる。また、電極により断面積が大きくなるため、回路パターンやワイヤ等の配線に比べて、配線抵抗の低下を実現することができる。ここで、平行については、幾何学的に厳密な平行の関係を有するのではなく、例えば一方に対して他方が数度程度、具体的には３０度の範囲内で傾いていてもよい。

[0013] 上記半導体装置において、第１電極は、第３電極と間隔をあけて平行に配置される第３部分を含んでもよい。このようにすることにより、平行に配置される部分において、第１電極を流れる電流の向きと、第３電極を流れる電流の向きとを逆向きとすることにより、第１電極および第３電極内を電流が流れる際に生ずる磁束を打ち消し、相互インダクタンスにより経路のインダクタンスは差し引かれる。よって、半導体装置のインダクタンスをさらに低減することができる。

[0014] 上記半導体装置において、第３電極は、間隔をあけてそれぞれ平行に配置される第１平板部および第２平板部を含んでもよい。第２電極は、第１平板部と第２平板部との間であって、第１平板部および第２平板部のそれぞれと間隔をあけて配置される第３平板部を含んでもよい。このようにすることにより、平行に配置される第３平板部と第１平板部および第２平板部とのそれぞれの間において、第３電極を流れる電流の向きと、第２電極を流れる電流の向きとを逆向きとすることにより、第３電極および第２電極内を電流が流れる際に生ずる磁束を打ち消し、相互インダクタンスにより経路のインダクタンスは差し引かれる。よって、半導体装置のインダクタンスをさらに低減することができる。

[0015] 上記半導体装置において、第１平板部、第２平板部および第３平板部は、

第１の主面に対して垂直であってもよい。ベース板上の空間を絶縁して、第１半導体チップ、第２半導体チップ、第１導電部材および第２導電部材を封止するために封止材が充填される場合がある。第１平板部、第２平板部および第３平板部を第１の主面に対して垂直にすることにより、封止材を充填する際に封止材中に噛み込んだ気泡が第１平板部、第２平板部および第３平板部の下部領域に溜まってしまうことを回避することができる。したがって、封止材中に気泡が溜まるおそれを回避して絶縁性能の低下を抑制することができ、半導体装置の信頼性の向上を図ることができる。ここで、垂直について、幾何学的に厳密な垂直の関係を有するのではなく、例えば一方に対して他方が９０度に対して数度程度、具体的には３０度の範囲内で傾いていてもよい。

[0016] 上記半導体装置において、第１電極は、間隔をあけてそれぞれ平行に配置される第４平板部および第５平板部を含んでもよい。第２電極は、第１平板部と第２平板部との間であって、第１平板部および第２平板部のそれぞれと間隔をあけて配置される第６平板部を含んでもよい。このようにすることにより、平行に配置される第６部分と第４平板部および第５平板部とのそれぞれの間において、第１電極を流れる電流の向きと、第２電極を流れる電流の向きとを逆向きとすることにより、第１電極および第２電極内を電流が流れる際に生ずる磁束を打ち消し、相互インダクタンスにより経路のインダクタンスは差し引かれる。よって、半導体装置のインダクタンスをさらに低減することができる。

[0017] 上記半導体装置において、第４平板部、第５平板部および第６平板部は、第１の主面に対して垂直であってもよい。第４平板部、第５平板部および第６平板部を第１の主面に対して垂直にすることにより、封止材を充填する際に封止材中に噛み込んだ気泡が第４平板部、第５平板部および第６平板部の下部領域に溜まってしまうことを回避することができる。したがって、封止材中に気泡が溜まるおそれを回避して絶縁性能の低下を抑制することができ、半導体装置の信頼性の向上を図ることができる。

[0018] 上記半導体装置において、第１電極は、第７平板部を含んでもよい。第３電極は、第７平板部と平行に配置される第８平板部を含んでもよい。このようにすることにより、平行に配置される第７平板部と第８平板部との間において、第１電極を流れる電流の向きと、第３電極を流れる電流の向きとを逆向きとすることにより、第１電極および第３電極内を電流が流れる際に生ずる磁束を打ち消し、相互インダクタンスにより経路のインダクタンスは差し引かれる。よって、半導体装置のインダクタンスをさらに低減することができる。

[0019] 上記半導体装置において、第７平板部および第８平板部は、第１の主面に対して垂直であってもよい。第７平板部および第８平板部を第１の主面に対して垂直にすることにより、封止材を封入する際に、封止材の封入時に噛み込んだボイドが第７平板部および第８平板部の下部領域に溜まってしまうことを回避することができる。したがって、封止材中にボイドが溜まるおそれを回避して絶縁性能の低下を抑制することができ、半導体装置の信頼性の向上を図ることができる。

[0020] 上記半導体装置において、第１回路板、第２回路板、第３回路板および第４回路板のうちの少なくともいずれか１つは、電気的に接続される複数の回路板に分割されていてもよい。このようにすることにより、回路パターンの形状の設計の自由度を高めることができる。なお、半導体装置内を流れる電流に応じて、第１半導体チップおよび第２半導体チップはそれぞれ、複数あってもよい。

[0021] ［本開示の実施形態の詳細］

次に、本開示の半導体装置の一実施形態を、図面を参照しつつ説明する。以下の図面において同一または相当する部分には同一の参照符号を付しその説明は繰り返さない。

[0022] （実施の形態１）

本開示の実施の形態１における半導体装置の構成について説明する。図１は、実施の形態１における半導体装置の概略斜視図である。図２は、図１に

示す半導体装置を図１中のＩＩ－ＩＩで切断した場合の概略断面図である。図３は、図１に示す半導体装置を図１中のＩＩＩ－ＩＩＩで切断した場合の概略断面図である。図４は、図１に示す半導体装置において、後述する蓋部の図示を省略した場合の概略斜視図である。なお、理解を容易にする観点から、図４において後述するナットを図示している。図５は、図１に示す半導体装置において、後述する蓋部、封止材および枠体の図示を省略した場合の概略斜視図である。図６は、図５に示す半導体装置の概略側面図である。図７は、図６に示す半導体装置を図６中のＶＩＩ－ＶＩＩで切断した場合の概略断面図である。図７は、後述する基板の厚さ方向に見た図である。なお、図７は、後述する封止材が位置しない領域における断面で切断した場合を図示している。図８は、図７に示す半導体装置において、後述する第１電極、第２電極および第３電極の図示を省略した場合の概略断面図である。なお、図２は、図７中の一点鎖線を含む平面で切断した場合の断面に対応する。また、図３は、図７中の二点鎖線を含む平面で切断した場合の断面に対応する。図９は、図７に示す半導体装置において、第１電極、第２電極および第３電極のみを図示した場合の概略断面図である。図１０は、図１に示す半導体装置の回路図の一部を概略的に示す図である。なお、図１０においては、理解の容易の観点から、後述する第１半導体チップおよび第２半導体チップと並列接続される、本開示の半導体装置に含まれない構成のコンデンサも図示している。図１１は、図１に示す半導体装置に含まれる枠体の概略斜視図である。図１２は、図１に示す半導体装置の一部を模式的に示す概略断面図である。図１３は、図１に示す半導体装置の一部を模式的に示す概略断面図である。図１２は、Ｘ－Ｙ平面で切断した場合を示し、図１３は、Ｘ－Ｚ平面で切断した場合を示す。

[0023] 図１～図１３を参照して、実施の形態１における半導体装置１０ａは、ベース部としての板状のベース板１１ａと、基板１２ａと、回路パターン１３ａと、枠体１４ａと、封止材１５ａと、蓋部１６ａと、第１電極１７ａと、第２電極１８ａと、第３電極１９ａと、第１半導体チップ２１ａ，２１ｂ，

２１ｃ，２１ｄと、第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄと、第３半導体チップ２３ａ，２３ｂ，２３ｃ，２３ｄと、第４半導体チップ２４ａ，２４ｂ，２４ｃ，２４ｄと、第５半導体チップ２１ｅ，２１ｆと、第６半導体チップ２２ｅ，２２ｆと、第７半導体チップ２３ｅ，２３ｆと、第８半導体チップ２４ｅ，２４ｆと、第１制御端子２５ａと、第２制御端子２５ｂと、第３制御端子２５ｃと、第４制御端子２５ｄと、第１導電部材２６ａ，２６ｂ，２６ｃ，２６ｄと、第２導電部材２７ａ，２７ｂ，２７ｃ，２７ｄと、第３導電部材２６ｅ，２６ｆと、第４導電部材２７ｅ，２７ｆと、ワイヤ２８ａ，２８ｂ，２８ｃ，２８ｄ，２８ｅと、を含む。

[0024] 本実施形態においては、ベース板１１ａは、厚さ方向（Ｚ方向）に見て、Ｘ方向の長さの方がＹ方向の長さよりも長い矩形状である。ベース板１１ａは、例えば金属製である。ベース板１１ａは、厚さ方向の一方に位置する第１の主面１１ｂと、厚さ方向の他方に位置する第２の主面１１ｃと、を含む。ベース板１１ａの四隅に近い部分には、それぞれ厚さ方向に貫通する貫通孔１１ｄ，１１ｅ，１１ｆ，１１ｇが形成されている。貫通孔１１ｄ，１１ｅ，１１ｆ，１１ｇは、後述する貫通孔１４ｈ，１４ｉ，１４ｊ，１４ｋと共に、半導体装置１０ａを所定の設置個所に取り付ける際に有効に利用される。

[0025] 第１の主面１１ｂ上には、基板１２ａが配置されている。本実施形態においては、基板１２ａは、厚さ方向（Ｚ方向）に見て、Ｘ方向の長さの方がＹ方向の長さよりも長い矩形状である。基板１２ａは、絶縁性を有する。基板１２ａは、例えばセラミック製である。基板１２ａは、厚さ方向の一方に位置する第１の主面１２ｂと、厚さ方向の他方に位置する第２の主面１２ｃと、を含む。基板１２ａの第２の主面１２ｃは、接合材によりベース板１１ａの第１の主面１１ｂに接合されている。

[0026] 基板１２ａの第１の主面１２ｂ上には、回路パターン１３ａが配置されている。回路パターン１３ａは、導電性を有する部材、具体的には例えば銅板から構成されている。回路パターン１３ａは、それぞれ離れて位置する第１

回路板１３ｂ、第２回路板１３ｃ、第３回路板１３ｄおよび第４回路板１３ｅを含む。回路パターン１３ａはさらに、それぞれ離れて位置する第５回路板１３ｆ、第６回路板１３ｇ、第７回路板１３ｈ、第８回路板１３ｉ、第９回路板１３ｊ、第１０回路板１３ｋ、第１１回路板１３ｌおよび第１２回路板１３ｍを含む。第１回路板１３ｂおよび第４回路板１３ｅはそれぞれ、Ｙ方向に分離されて配置されている。分離する第１回路板１３ｂのＹ方向の間に、第２回路板１３ｃが配置される。第１回路板１３ｂ、第２回路板１３ｃ、第３回路板１３ｄおよび第４回路板１３ｅのうち、第１回路板１３ｂおよび第４回路板１３ｅは、電気的に接続される複数の回路板、具体的には２つの回路板に分割されている（特に図８参照）。なお、第５回路板１３ｆおよび第７回路板１３ｈについても、電気的に接続される複数の回路板、具体的には２つの回路板に分割されている。本実施形態においては、第５回路板１３ｆおよび第７回路板１３ｈはそれぞれ、Ｙ方向に分離されて配置されている。

[0027] 第１回路板１３ｂおよび第２回路板１３ｃが配置される領域と、第３回路板１３ｄおよび第４回路板１３ｅが配置される領域と、第５回路板１３ｆ、第６回路板１３ｇおよび第７回路板１３ｈが配置される領域は、Ｘ方向に並んで配置される。具体的には、Ｘ方向において、第１制御端子２５ａに近い位置に第１回路板１３ｂおよび第２回路板１３ｃが配置される領域が配置され、次に、第５回路板１３ｆ、第６回路板１３ｇおよび第７回路板１３ｈが配置される領域が配置され、次に、第３回路板１３ｄおよび第４回路板１３ｅが配置される領域が配置される。すなわち、Ｘ方向において、第１回路板１３ｂおよび第２回路板１３ｃが配置される領域と第３回路板１３ｄおよび第４回路板１３ｅが配置される領域との間に、第５回路板１３ｆ、第６回路板１３ｇおよび第７回路板１３ｈが配置される領域が配置される。

[0028] 半導体装置１０ａの動作時において、第１回路板１３ｂ、第２回路板１３ｃ、第３回路板１３ｄ、第４回路板１３ｅ、第５回路板１３ｆ、第６回路板１３ｇおよび第７回路板１３ｈは、第１電極１７ａ、第２電極１８ａおよび

第３電極１９ａと共に電流経路を構成する。第８回路板１３ｉ、第９回路板１３ｊ、第１０回路板１３ｋ、第１１回路板１３ｌおよび第１２回路板１３ｍは、第１制御端子２５ａ、第２制御端子２５ｂ、第３制御端子２５ｃおよび第４制御端子２５ｄによる第１半導体チップ２１ａ等の制御に用いられる。

[0029] 枠体１４ａは、ベース板１１ａに取り付けられる。具体的には、ベース板１１ａの第１の主面１１ｂ上に図示しない接着剤により取り付けられる。本実施形態においては、枠体１４ａは、基板１２ａの厚さ方向に見て、Ｘ方向の長さの方がＹ方向の長さよりも長い矩形状である。枠体１４ａは、基板１２ａの外周を取り囲む４つの側壁部１４ｂ，１４ｃ，１４ｄ，１４ｅを含む。側壁部１４ｂ，１４ｃ，１４ｄ，１４ｅは、側壁部１４ｂの内壁面１４ｌと側壁部１４ｃの内壁面１４ｍとが対向し、側壁部１４ｄの内壁面１４ｎと側壁部１４ｅの内壁面１４ｏとが対向するように配置される。枠体１４ａの４つの側壁部１４ｂ，１４ｃ，１４ｄ，１４ｅによって取り囲まれる空間１４ｆに、基板１２ａが配置される。枠体１４ａの四隅に近い部分には、Ｚ方向に貫通する４つの貫通孔１４ｈ，１４ｉ，１４ｊ，１４ｋが形成されている。貫通孔１４ｈ，１４ｉ，１４ｊ，１４ｋは、枠体１４ａがベース板１１ａに取り付けられた際に、ベース板１１ａの４つの貫通孔１１ｄ，１１ｅ，１１ｆ，１１ｇの位置とそれぞれ合わさるように配置される。なお、第１制御端子２５ａ、第２制御端子２５ｂ、第３制御端子２５ｃおよび第４制御端子２５ｄは、枠体１４ａの側壁部１４ｄにインサートされる。

[0030] 枠体１４ａの材質としては、絶縁性および強度が高い材質が用いられ、具体的には例えばＰＰＳ（Ｐｏｌｙｐｈｅｎｙｌｅｎｅｓｕｌｆｉｄｅ）樹脂が採用される。このような樹脂は、熱可塑性樹脂であって成形性が良好であり、絶縁性、耐湿性、耐熱性が優れており、強度も高い。なお、枠体１４ａの材質として他にＰＢＴ（Ｐｏｌｙ　Ｂｕｔｙｌｅｎｅ　Ｔｅｒｅｐｈｔａｌａｔｅ）樹脂を用いてもよい。枠体１４ａは、リブ４１ａを含む。枠体１４ａの具体的な構成については、後に詳述する。

[0031] 封止材１５ａは、基板１２ａ上を覆う。封止材１５ａは、枠体１４ａ内の空間１４ｆの一部を充填する。封止材１５ａは、蓋部１６ａと間隔をあけて配置される。封止材１５ａは、基板１２ａの側面および第１の主面１２ｂの一部と接触している。具体的には、封止材１５ａは、基板１２ａの側面および半導体チップ２１ａ等が配置されていない部分における第１の主面１２ｂと接触している。封止材１５ａは、枠体１４ａに取り囲まれた領域のうちの基板１２ａの側面側の空間および基板１２ａ上の空間を電気的に絶縁する。第１電極１７ａの一部、第２電極１８ａの一部、第３電極１９ａの一部および第１導電部材２６ａ，２６ｂ，２６ｃ，２６ｄ、第２導電部材２７ａ，２７ｂ，２７ｃ，２７ｄ、第３導電部材２６ｅ，２６ｆ、第４導電部材２７ｅ，２７ｆは、封止材１５ａによって覆われている。具体的には、封止材１５ａは、基板１２ａ上に配置される各部品、すなわち、第１電極１７ａの一部、第２電極１８ａの一部、第３電極１９ａの一部、第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄ、第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄ、第３半導体チップ２３ａ，２３ｂ，２３ｃ，２３ｄ、第４半導体チップ２４ａ，２４ｂ，２４ｃ，２４ｄ、第５半導体チップ２１ｅ，２１ｆ、第６半導体チップ２２ｅ，２２ｆ、第７半導体チップ２３ｅ，２３ｆ、第８半導体チップ２４ｅ，２４ｆ、第１導電部材２６ａ，２６ｂ，２６ｃ，２６ｄ、第２導電部材２７ａ，２７ｂ，２７ｃ，２７ｄ、第３導電部材２６ｅ，２６ｆ、第４導電部材２７ｅ，２７ｆおよびワイヤ２８ａ，２８ｂ，２８ｃ，２８ｄ，２８ｅの封止をするために用いられる。封止材１５ａにより、ベース板１１ａ上の部材は固定される。封止材１５ａの材質としては、例えば、絶縁性および耐熱性が高い樹脂が採用される。具体的には、熱硬化性樹脂であるエポキシ樹脂やフェノール樹脂、シリコーン樹脂等が封止材１５ａとして採用される。

[0032] 蓋部１６ａは、板状である。本実施形態においては、蓋部１６ａは、基板１２ａの厚さ方向に見て、Ｘ方向の長さの方がＹ方向の長さよりも長い矩形状であって、四隅に近い部分に４つの切り欠きが設けられた形状である。蓋

部１６ａは、図示しない接着剤により枠体１４ａに接着される。蓋部１６ａは、上記した枠体１４ａの開口１４ｇを覆うように配置される。蓋部１６ａには、長手方向に間隔をあけて配置される３つの端子台１６ｂ，１６ｃ，１６ｄが形成されている。端子台１６ｂ，１６ｃ，１６ｄは、Ｘ方向に間隔をあけて配置されている。また、蓋部１６ａには、厚さ方向（Ｚ方向）に貫通する３つの貫通孔１６ｅ，１６ｆ，１６ｇが形成されている。３つの貫通孔１６ｅ，１６ｆ，１６ｇはそれぞれ、３つの端子台１６ｂ，１６ｃ，１６ｄが設けられた位置に形成されている。３つの貫通孔１６ｅ，１６ｆ，１６ｇは、蓋部１６ａが枠体１４ａに取り付けられた際に、それぞれ後述する第３領域１７ｄ，１８ｄ，１９ｄが折り曲げられていない状態の第１電極１７ａ、第２電極１８ａおよび第３電極１９ａの一部がそれぞれ貫通する位置に配置される。蓋部１６ａのうち、端子台１６ｂ，１６ｃ，１６ｄが設けられた位置には、それぞれ第１電極１７ａ、第２電極１８ａおよび第３電極１９ａを外部電極（図示せず）と電気的に接続するために用いられる締結部材としてのナット１６ｈ，１６ｉ，１６ｊがアウトサートまたは圧入されている。なお、理解を容易にする観点から、図４においてナット１６ｈ，１６ｉ，１６ｊを図示している。蓋部１６ａの材質としては、例えば枠体１４ａと同じ材質、具体的にはＰＰＳ樹脂やＰＢＴ樹脂が採用される。

[0033] 第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄ、第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄ、第３半導体チップ２３ａ，２３ｂ，２３ｃ，２３ｄ、第４半導体チップ２４ａ，２４ｂ，２４ｃ，２４ｄ、第５半導体チップ２１ｅ，２１ｆ、第６半導体チップ２２ｅ，２２ｆ、第７半導体チップ２３ｅ，２３ｆおよび第８半導体チップ２４ｅ，２４ｆはそれぞれ、ワイドバンドギャップ半導体チップである。具体的には、第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄ、第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄ、第３半導体チップ２３ａ，２３ｂ，２３ｃ，２３ｄ、第４半導体チップ２４ａ，２４ｂ，２４ｃ，２４ｄ、第５半導体チップ２１ｅ，２１ｆ、第６半導体チップ２２ｅ，２２ｆ、第７半導体チップ２３ｅ，２３ｆおよび

第８半導体チップ２４ｅ，２４ｆはそれぞれ、ＳｉＣ（炭化ケイ素）から構成される半導体層を含む。なお、半導体層としては、例えばＳｉ（シリコン）やＧａＮ（窒化ガリウム）から構成されていてもよい。

[0034] 第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄ、第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄ、第５半導体チップ２１ｅ，２１ｆおよび第６半導体チップ２２ｅ，２２ｆはそれぞれ、金属－酸化物－半導体電界効果型トランジスタ（ＭＯＳＦＥＴ）である。本実施形態においては、第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄ、第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄ、第５半導体チップ２１ｅ，２１ｆおよび第６半導体チップ２２ｅ，２２ｆはそれぞれ、縦型のトランジスタチップである。すなわち、第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄ、第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄ、第５半導体チップ２１ｅ，２１ｆおよび第６半導体チップ２２ｅ，２２ｆはそれぞれ、厚さ方向（Ｚ方向）に電流が流れるトランジスタチップである。第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄ、第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄ、第５半導体チップ２１ｅ，２１ｆおよび第６半導体チップ２２ｅ，２２ｆはそれぞれ、スイッチング素子である。

[0035] 第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄは、第１回路板１３ｂ上に配置される。具体的には、第１半導体チップ２１ａ，２１ｂは、分割された第１回路板１３ｂのうち、側壁部１４ｂに近い方の第１回路板１３ｂ上に配置される。また、第１半導体チップ２１ｃ，２１ｄは、分割された第１回路板１３ｂのうち、側壁部１４ｃに近い方の第１回路板１３ｂ上に配置される。第１半導体チップ２１ａ，２１ｂは、Ｘ方向に間隔をあけて配置される。第１半導体チップ２１ｃ，２１ｄは、Ｘ方向に間隔をあけて配置される。第１半導体チップ２１ａ，２１ｃは、Ｙ方向に間隔をあけて配置される。第１半導体チップ２１ｂ，２１ｄは、Ｙ方向に間隔をあけて配置される。第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄは、導電性を有する図示しない接合材により第１回路板１３ｂと接合されることにより、第１半導体チ

ップ２１ａ，２１ｂ，２１ｃ，２１ｄのそれぞれのドレイン電極パッドと、第１回路板１３ｂとが電気的に接続される。

[0036] 第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄは、第３回路板１３ｄ上に配置される。具体的には、第２半導体チップ２２ａ，２２ｂは、第３回路板１３ｄのうち、側壁部１４ｂに近い位置に配置される。また、第２半導体チップ２２ｃ，２２ｄは、第３回路板１３ｄのうち、側壁部１４ｃに近い位置に配置される。第２半導体チップ２２ａ，２２ｂは、Ｘ方向に間隔をあけて配置される。第２半導体チップ２２ｃ，２２ｄは、Ｘ方向に間隔をあけて配置される。第２半導体チップ２２ａ，２２ｃは、Ｙ方向に間隔をあけて配置される。第２半導体チップ２２ｂ，２２ｄは、Ｙ方向に間隔をあけて配置される。第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄは、導電性を有する図示しない接合材により第３回路板１３ｄと接合されることにより、第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄのそれぞれのドレイン電極パッドと、第３回路板１３ｄとが電気的に接続される。

[0037] 第５半導体チップ２１ｅ，２１ｆは、第５回路板１３ｆ上に配置される。具体的には、第５半導体チップ２１ｅは、分割された第５回路板１３ｆのうち、側壁部１４ｂに近い方の第５回路板１３ｆ上に配置される。第５半導体チップ２１ｆは、分割された第５回路板１３ｆのうち、側壁部１４ｃに近い方の第５回路板１３ｆ上に配置される。第５半導体チップ２１ｅ，２１ｆは、Ｙ方向に間隔をあけて配置される。第５半導体チップ２１ｅ，２１ｆは、導電性を有する図示しない接合材により第５回路板１３ｆと接合されることにより、第５半導体チップ２１ｅ，２１ｆのそれぞれのドレイン電極パッドと、第５回路板１３ｆとが電気的に接続される。第６半導体チップ２２ｅ，２２ｆは、第６回路板１３ｇ上に配置される。具体的には、第６半導体チップ２２ｅは、第６回路板１３ｇのうち、側壁部１４ｂに近い位置に配置される。第６半導体チップ２２ｆは、第６回路板１３ｇのうち、側壁部１４ｃに近い位置に配置される。第６半導体チップ２２ｅ，２２ｆは、Ｙ方向に間隔をあけて配置される。第６半導体チップ２２ｅ，２２ｆは、導電性を有する

図示しない接合材により第６回路板１３ｇと接合されることにより、第６半導体チップ２２ｅ，２２ｆのそれぞれのドレイン電極パッドと、第６回路板１３ｇとが電気的に接続される。

[0038] 第３半導体チップ２３ａ，２３ｂ，２３ｃ，２３ｄ、第４半導体チップ２４ａ，２４ｂ，２４ｃ，２４ｄ、第７半導体チップ２３ｅ，２３ｆおよび第８半導体チップ２４ｅ，２４ｆはそれぞれ、ショットキーバリアダイオード（ＳＢＤ）である。本実施形態においては、第３半導体チップ２３ａ，２３ｂ，２３ｃ，２３ｄ、第４半導体チップ２４ａ，２４ｂ，２４ｃ，２４ｄ、第７半導体チップ２３ｅ，２３ｆおよび第８半導体チップ２４ｅ，２４ｆはそれぞれ、厚さ方向（Ｚ方向）に電流が流れるダイオードチップである。

[0039] 第３半導体チップ２３ａ，２３ｂ，２３ｃ，２３ｄは、第１回路板１３ｂ上に配置される。具体的には、第３半導体チップ２３ａ，２３ｂは、分割された第１回路板１３ｂのうち、側壁部１４ｂに近い方の第１回路板１３ｂ上に配置される。また、第３半導体チップ２３ｃ，２３ｄは、分割された第１回路板１３ｂのうち、側壁部１４ｃに近い方の第１回路板１３ｂ上に配置される。また、第３半導体チップ２３ａ，２３ｂはそれぞれ、Ｙ方向において側壁部１４ｂと第１半導体チップ２１ａ，２１ｂとの間に配置される。第３半導体チップ２３ｃ，２３ｄはそれぞれ、Ｙ方向において側壁部１４ｃと第１半導体チップ２１ｃ，２１ｄとの間に配置される。第３半導体チップ２３ａ，２３ｂは、Ｘ方向に間隔をあけて配置される。第３半導体チップ２３ｃ，２３ｄは、Ｘ方向に間隔をあけて配置される。第３半導体チップ２３ａ，２３ｃは、Ｙ方向に間隔をあけて配置される。第３半導体チップ２３ｂ，２３ｄは、Ｙ方向に間隔をあけて配置される。第３半導体チップ２３ａ，２３ｂ，２３ｃ，２３ｄは、導電性を有する図示しない接合材により第１回路板１３ｂと接合されることにより、第３半導体チップ２３ａ，２３ｂ，２３ｃ，２３ｄのそれぞれのカソード電極パッドと、第１回路板１３ｂとが電気的に接続される。

[0040] 第４半導体チップ２４ａ，２４ｂ，２４ｃ，２４ｄは、第３回路板１３ｄ

上に配置される。具体的には、第４半導体チップ２４ａ，２４ｂは、第３回路板１３ｄのうち、側壁部１４ｂに近い位置に配置される。また、第４半導体チップ２４ｃ，２４ｄは、第３回路板１３ｄのうち、側壁部１４ｃに近い位置に配置される。また、第４半導体チップ２４ａ，２４ｂはそれぞれ、Ｙ方向において側壁部１４ｂと第２半導体チップ２２ａ，２２ｂとの間に配置される。第４半導体チップ２４ｃ，２４ｄはそれぞれ、Ｙ方向において側壁部１４ｃと第２半導体チップ２２ｃ，２２ｄとの間に配置される。第４半導体チップ２４ａ，２４ｂは、Ｘ方向に間隔をあけて配置される。第４半導体チップ２４ｃ，２４ｄは、Ｘ方向に間隔をあけて配置される。第４半導体チップ２４ａ，２４ｃは、Ｙ方向に間隔をあけて配置される。第４半導体チップ２４ｂ，２４ｄは、Ｙ方向に間隔をあけて配置される。第４半導体チップ２４ａ，２４ｂ，２４ｃ，２４ｄは、導電性を有する図示しない接合材により第３回路板１３ｄと接合されることにより、第４半導体チップ２４ａ，２４ｂ，２４ｃ，２４ｄのそれぞれのカソード電極パッドと、第３回路板１３ｄとが電気的に接続される。

[0041] 第７半導体チップ２３ｅ，２３ｆは、第５回路板１３ｆ上に配置される。具体的には、第７半導体チップ２３ｅは、分割された第５回路板１３ｆのうち、側壁部１４ｂに近い方の第５回路板１３ｆ上に配置される。第７半導体チップ２３ｆは、分割された第５回路板１３ｆのうち、側壁部１４ｃに近い方の第５回路板１３ｆ上に配置される。また、第７半導体チップ２３ｅは、Ｙ方向において側壁部１４ｂと第５半導体チップ２１ｅとの間に配置される。第７半導体チップ２３ｆは、Ｙ方向において側壁部１４ｃと第５半導体チップ２１ｆとの間に配置される。第７半導体チップ２３ｅ，２３ｆは、Ｙ方向に間隔をあけて配置される。第７半導体チップ２３ｅ，２３ｆは、導電性を有する図示しない接合材により第５回路板１３ｆと接合されることにより、第７半導体チップ２３ｅ，２３ｆのそれぞれのカソード電極パッドと、第５回路板１３ｆとが電気的に接続される。第８半導体チップ２４ｅ，２４ｆは、第６回路板１３ｇ上に配置される。具体的には、第８半導体チップ２４

ｅは、第６回路板１３ｇのうち、側壁部１４ｂに近い位置に配置される。第８半導体チップ２４ｆは、第６回路板１３ｇのうち、側壁部１４ｃに近い位置に配置される。また、第８半導体チップ２４ｅは、Ｙ方向において側壁部１４ｂと第６半導体チップ２２ｅとの間に配置される。第８半導体チップ２４ｆは、Ｙ方向において側壁部１４ｃと第６半導体チップ２２ｆとの間に配置される。第８半導体チップ２４ｅ，２４ｆは、Ｙ方向に間隔をあけて配置される。第８半導体チップ２４ｅ，２４ｆは、導電性を有する図示しない接合材により第６回路板１３ｇと接合されることにより、第８半導体チップ２４ｅ，２４ｆのそれぞれのカソード電極パッドと、第６回路板１３ｇとが電気的に接続される。

[0042] 第１導電部材２６ａ，２６ｂ，２６ｃ，２６ｄ、第２導電部材２７ａ，２７ｂ，２７ｃ，２７ｄ、第３導電部材２６ｅ，２６ｆ、第４導電部材２７ｅ，２７ｆはそれぞれ、本実施形態においては、中実円筒状であって、導電性を有するアルミニウム製のワイヤである。第１導電部材２６ａ，２６ｂ，２６ｃ，２６ｄ、第２導電部材２７ａ，２７ｂ，２７ｃ，２７ｄ、第３導電部材２６ｅ，２６ｆ、第４導電部材２７ｅ，２７ｆ、ワイヤ２８ａ，２８ｂ，２８ｃ，２８ｄ，２８ｅはそれぞれ、ボンディングツールを用いたワイヤボンディングにより各部材に接合される。なお、第１導電部材２６ａ，２６ｂ，２６ｃ，２６ｄ、第２導電部材２７ａ，２７ｂ，２７ｃ，２７ｄ、第３導電部材２６ｅ，２６ｆ、第４導電部材２７ｅ，２７ｆは、導電性を有する銅製のワイヤでもよいし、アルミニウム製や銅製の板状の導電性の部材でもよい。なお、アルミニウムおよび銅については、純粋なアルミニウムや純粋な銅であってもよいし、アルミニウム合金や銅合金であってもよい。板状の部材の場合には、例えばはんだにより接合される。

[0043] 第１導電部材２６ａ，２６ｂ，２６ｃ，２６ｄは、第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄと第２回路板１３ｃとを電気的に接続する。具体的には、第１導電部材２６ａ，２６ｂ，２６ｃ，２６ｄは、第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄのソース電極パッドと第２回路板１３

ｃとを電気的に接続する。なお、第１導電部材２６ａ，２６ｂ，２６ｃ，２６ｄは、第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄのソース電極パッドと第３半導体チップ２３ａ，２３ｂ，２３ｃ，２３ｄのアノード電極パッドとを電気的に接続する。

[0044] 第２導電部材２７ａ，２７ｂ，２７ｃ，２７ｄは、第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄと第４回路板１３ｅとを電気的に接続する。具体的には、第２導電部材２７ａ，２７ｂ，２７ｃ，２７ｄは、第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄのソース電極パッドと第４回路板１３ｅとを電気的に接続する。なお、第２導電部材２７ａ，２７ｂ，２７ｃ，２７ｄは、第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄのソース電極パッドと第４半導体チップ２４ａ，２４ｂ，２４ｃ，２４ｄのアノード電極パッドとを電気的に接続する。

[0045] 第３導電部材２６ｅ，２６ｆは、第５半導体チップ２１ｅ，２１ｆと第６回路板１３ｇとを電気的に接続する。具体的には、第３導電部材２６ｅ，２６ｆは、第５半導体チップ２１ｅ，２１ｆのソース電極パッドと第６回路板１３ｇとを電気的に接続する。なお、第３導電部材２６ｅ，２６ｆは、第５半導体チップ２１ｅ，２１ｆのソース電極パッドと第７半導体チップ２３ｅ，２３ｆのアノード電極パッドとを電気的に接続する。第４導電部材２７ｅ，２７ｆは、第６半導体チップ２２ｅ，２２ｆと第７回路板１３ｈとを電気的に接続する。具体的には、第４導電部材２７ｅ，２７ｆは、第６半導体チップ２２ｅ，２２ｆのソース電極パッドと第７回路板１３ｈとを電気的に接続する。なお、第４導電部材２７ｅ，２７ｆは、第６半導体チップ２２ｅ，２２ｆのソース電極パッドと第８半導体チップ２４ｅ，２４ｆのアノード電極パッドとを電気的に接続する。

[0046] また、第１制御端子２５ａと第８回路板１３ｉとは、ワイヤ２８ａにより接続されている。第２制御端子２５ｂと第９回路板１３ｊとは、ワイヤ２８ｂにより接続されている。第３制御端子２５ｃと第１０回路板１３ｋとは、ワイヤ２８ｃにより接続されている。第４制御端子２５ｄと第１１回路板１

３ｌとは、ワイヤ２８ｄにより接続されている。第１１回路板１３ｌと第１２回路板１３ｍとは、ワイヤ２８ｅにより接続されている。

[0047] なお、第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄおよび第５半導体チップ２１ｅ，２１ｆのゲート電極パッドと第８回路板１３ｉとは、ワイヤにより電気的に接続されている。第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄおよび第５半導体チップ２１ｅ，２１ｆのソース電極パッドと第９回路板１３ｊとは、ワイヤにより電気的に接続されている。第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄおよび第６半導体チップ２２ｅ，２２ｆのゲート電極パッドと第１０回路板１３ｋとは、ワイヤにより電気的に接続されている。第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄおよび第６半導体チップ２２ｅ，２２ｆのソース電極パッドと第１１回路板１３ｌまたは第１２回路板１３ｍとは、ワイヤにより電気的に接続されている。

[0048] 次に、第１電極１７ａ、第２電極１８ａおよび第３電極１９ａの構成について説明する。第１電極１７ａ、第２電極１８ａおよび第３電極１９ａはそれぞれ、板状である。第１電極１７ａ、第２電極１８ａおよび第３電極１９ａは、導電性を有する。本実施形態においては、第１電極１７ａ、第２電極１８ａおよび第３電極１９ａはそれぞれ、折り曲げられた銅板から構成されている。第１電極１７ａ、第２電極１８ａおよび第３電極１９ａはそれぞれ、回路パターン１３ａ上に配置される。本実施形態においては、第１電極１７ａ、第２電極１８ａおよび第３電極１９ａはそれぞれ、枠体１４ａを構成する側壁部１４ｂ，１４ｃ，１４ｄ，１４ｅから離れて配置される。第１電極１７ａ、第２電極１８ａおよび第３電極１９ａにはそれぞれ、蓋部１６ａから露出する部分において、厚さ方向に貫通する貫通孔１７ｅ，１８ｅ，１９ｅが形成されている。本実施形態においては、第１電極１７ａは、いわゆるＰ端子であり、第２電極１８ａは、いわゆるＯ端子であり、第３電極１９ａは、いわゆるＮ端子である。

[0049] 第１電極１７ａは、回路パターン１３ａの第１回路板１３ｂと接続される。第１電極１７ａは、第１回路板１３ｂと接続される第１領域１７ｂと、第

１領域１７ｂと連なって第１の主面１２ｂと交差する方向、本実施形態においてはＺ方向に延びる第２領域１７ｃと、第２領域１７ｃと連なって第２領域１７ｃの延びる方向と交差する方向に延び、封止材１５ａから露出する第３領域１７ｄと、を含む。本実施形態においては、第３領域１７ｄは、Ｘ方向に延びる部分を含む。第１領域１７ｂは、第１回路板１３ｂと導電性を有する接合材、例えばはんだにより接合される。第１領域１７ｂおよび第２領域１７ｃの一部は、封止材１５ａの内部に位置する。第３領域１７ｄは、外部に露出する領域、すなわち、蓋部１６ａから露出する領域を含む。第３領域１７ｄには、上記した貫通孔１７ｅが形成されている。なお、第１電極１７ａは、第５回路板１３ｆとも接続される。このようにして、第１電極１７ａと、第１回路板１３ｂおよび第５回路板１３ｆとは電気的に接続されている。

[0050] 第２電極１８ａは、回路パターン１３ａの第２回路板１３ｃおよび第３回路板１３ｄと接続される。第２電極１８ａは、第２回路板１３ｃおよび第３回路板１３ｄと接続される第１領域１８ｂと、第１領域１８ｂと連なって第１の主面１２ｂと交差する方向、本実施形態においてはＺ方向に延びる第２領域１８ｃと、第２領域１８ｃと連なって第２領域１８ｃの延びる方向と交差する方向に延び、封止材１５ａから露出する第３領域１８ｄと、を含む。本実施形態においては、第３領域１８ｄは、Ｘ方向に延びる部分を含む。第１領域１８ｂは、第２回路板１３ｃおよび第３回路板１３ｄのそれぞれと導電性を有する接合材、例えばはんだにより接合される。第１領域１８ｂおよび第２領域１８ｃの一部は、封止材１５ａの内部に位置する。第３領域１８ｄは、外部に露出する領域、すなわち、蓋部１６ａから露出する領域を含む。第３領域１８ｄには、上記した貫通孔１８ｅが形成されている。なお、第２電極１８ａは、第６回路板１３ｇとも接続される。このようにして、第２電極１８ａと、第２回路板１３ｃ、第３回路板１３ｄおよび第６回路板１３ｇとは電気的に接続されている。

[0051] ここで、板状の第２電極１８ａにより第２回路板１３ｃと第３回路板１３

ｄとは、電気的に接続されている。よって、第２回路板１３ｃと第３回路板１３ｄとの間の電気経路において、ワイヤや回路パターン１３ａ等の配線により第２回路板１３ｃと第３回路板１３ｄとを接続する場合に比べて、配線抵抗の低下を実現することができる。

[0052] 第３電極１９ａは、回路パターン１３ａの第４回路板１３ｅと接続される。第３電極１９ａは、第４回路板１３ｅと接続される第１領域１９ｂと、第１領域１９ｂと連なって第１の主面１２ｂと交差する方向、本実施形態においてはＺ方向に延びる第２領域１９ｃと、第２領域１９ｃと連なって第２領域１９ｃの延びる方向と交差する方向に延び、封止材１５ａから露出する第３領域１９ｄと、を含む。本実施形態においては、第３領域１９ｄは、Ｘ方向に延びる部分を含む。第１領域１９ｂは、第４回路板１３ｅと導電性を有する接合材、例えばはんだにより接合される。第１領域１９ｂおよび第２領域１９ｃの一部は、封止材１５ａの内部に位置する。第３領域１９ｄは、外部に露出する領域、すなわち、蓋部１６ａから露出する領域を含む。第３領域１９ｄには、上記した貫通孔１９ｅが形成されている。なお、第３電極１９ａは、第７回路板１３ｈとも接続される。このようにして、第３電極１９ａと、第４回路板１３ｅおよび第７回路板１３ｈとは電気的に接続されている。

[0053] ここで、第１電極１７ａ、第２電極１８ａおよび第３電極１９ａの具体的な構成について説明する（特に図６～図９参照）。

[0054] 第３電極１９ａは、間隔をあけてそれぞれ平行に配置される第１平板部１９ｆおよび第２平板部１９ｇを含む。第１平板部１９ｆと第２平板部１９ｇとは、Ｙ方向に間隔をあけて設けられている。第１平板部１９ｆおよび第２平板部１９ｇは、第１の主面１２ｂに対して垂直である。第１平板部１９ｆおよび第２平板部１９ｇはそれぞれ、Ｘ－Ｚ平面に平行である。

[0055] 第２電極１８ａは、第３平板部１８ｆを含む。第３平板部１８ｆは、第１の主面１２ｂに対して垂直である。第３平板部１８ｆは、Ｘ－Ｚ平面に平行である。第３平板部１８ｆは、第１平板部１９ｆと第２平板部１９ｇとの間

であって、第１平板部１９ｆおよび第２平板部１９ｇのそれぞれと間隔をあけて配置される。すなわち、第１平板部１９ｆ、第２平板部１９ｇおよび第３平板部１８ｆは、平行平板を構成している。

[0056] 第２電極１８ａは、第３電極１９ａと間隔をあけて平行に配置される第１部分１８ｇを含む。本実施形態においては、第１部分１８ｇは、第３平板部１８ｆである。

[0057] また、第１電極１７ａは、第７平板部１７ｆを含む（特に図６参照）。第７平板部１７ｆは、第１の主面１２ｂに対して垂直である。第７平板部１７ｆは、Ｙ－Ｚ平面に平行である。

[0058] 第３電極１９ａは、第８平板部１９ｈを含む。第８平板部１９ｈは、第１の主面１２ｂに対して垂直である。本実施形態においては、第８平板部１９ｈは、Ｙ－Ｚ平面に平行である。すなわち、第７平板部１７ｆおよび第８平板部１９ｈは、平行平板を構成している。

[0059] 第１電極１７ａは、第３電極１９ａと間隔をあけて平行に配置される第３部分１７ｇを含む。本実施形態においては、第３部分１７ｇは、第７平板部１７ｆである。

[0060] なお、第２電極１８ａは、第９平板部１８ｈを含む。第９平板部１８ｈは、第１の主面１２ｂに対して垂直である。第９平板部１８ｈは、Ｙ－Ｚ平面に平行である。

[0061] 次に、第１導電部材２６ａ等の配置について説明する。基板１２ａの厚さ方向に見て封止材１５ａの内部に位置する電極、ここでは、第１電極１７ａ、第２電極１８ａおよび第３電極１９ａと、導電部材、ここでは、第１導電部材２６ａ，２６ｂ，２６ｃ，２６ｄ、第２導電部材２７ａ，２７ｂ，２７ｃ，２７ｄ、第３導電部材２６ｅ，２６ｆ、第４導電部材２７ｅ，２７ｆとの間には、それぞれ隙間がある。すなわち、図７に示すように、基板１２ａの厚さ方向に見て、第１電極１７ａ、第２電極１８ａおよび第３電極１９ａのそれぞれと、第１導電部材２６ａ，２６ｂ，２６ｃ，２６ｄ、第２導電部材２７ａ，２７ｂ，２７ｃ，２７ｄ、第３導電部材２６ｅ，２６ｆ、第４導

電部材２７ｅ，２７ｆとは重なった領域を有さず、それぞれ間隔をあけて配置されている。

[0062] 図１４は、図７中に破線で示す領域Ｒの拡大図である。図１４を参照して、基板１２ａの厚さ方向に見て、封止材１５ａによって覆われている第３電極１９ａと第２導電部材２７ｂとの間には、隙間２９ａがある。具体的には、第３電極１９ａの第１領域１９ｂと第２導電部材２７ｂとの間の隙間２９ａ、より具体的には、第２導電部材２７ｂのＹ方向の端部２９ｂと第１領域１９ｂのＹ方向の端部２９ｃとの間の隙間２９ａは、図１４中のD_1で示される。隙間D_1は、本実施形態においては、１ｍｍ以上である。より具体的には、隙間D_1は、５ｍｍ以上である。

[0063] 次に、枠体１４ａの具体的な構成について説明する（特に図１１および図１２参照）。枠体１４ａは、リブ４１ａを含む。リブ４１ａは、側壁部１４ｄ，１４ｅの内壁面１４ｎ，１４ｏから突出する。具体的には、リブ４１ａは、側壁部１４ｄの内壁面１４ｎから対向する内壁面１４ｏに向かってＸ方向に延びるように設けられている。リブ４１ａは、側壁部１４ｄから側壁部１４ｅにわたって設けられている。すなわち、リブ４１ａは、枠体１４ａにおいて、側壁部１４ｄと側壁部１４ｅとを接続する梁状となるよう設けられている。このような梁状のリブ４１ａを備えることにより、枠体１４ａが振れにくい構成となり、耐振動性を向上させることができる。本実施形態においては、リブ４１ａは、側壁部１４ｄ，１４ｅと一体である。リブ４１ａについても、上記した熱可塑性樹脂から構成されている。このようにすることにより、リブ４１ａを容易に製造することができる。また、一つの金型で枠体１４ａを成形できるため、安価に構成することができる。

[0064] リブ４１ａは、側壁部１４ｄの内壁面１４ｎに接続され、Ｘ方向に真っ直ぐに延びる第１突出部４２ａと、側壁部１４ｅの内壁面１４ｏに接続され、Ｘ方向に真っ直ぐに延びる第２突出部４３ａと、第１突出部４２ａおよび第２突出部４３ａのそれぞれに接続される中央部４４ａと、を含む。中央部４４ａは、側壁部１４ｂの内壁面１４ｌおよび側壁部１４ｃの内壁面１４ｍの

それぞれと接触していない。中央部４４ａは、第１電極１７ａおよび第３電極１９ａを支持する第１支持部４５ａと、第２電極１８ａおよび第３電極１９ａを支持する第２支持部４６ａと、を含む。第１支持部４５ａは、第１突出部４２ａと接続されている。第２支持部４６ａは、第２突出部４３ａと接続されている。第１支持部４５ａと第２支持部４６ａとは、Ｘ方向に並んで配置されている。

[0065] 第１支持部４５ａには、第１ガイド孔４７ａと、第２ガイド孔４８ａと、が形成されている。第１ガイド孔４７ａおよび第２ガイド孔４８ａはそれぞれ、基板１２ａの厚さ方向に（Ｚ方向）に貫通している。第１ガイド孔４７ａと第２ガイド孔４８ａとは、Ｘ方向に間隔をあけて配置されている。第１ガイド孔４７ａおよび第２ガイド孔４８ａを構成する壁面はそれぞれ、基板１２ａの厚さ方向に見て、それぞれ第１電極１７ａおよび第３電極１９ａの外形形状に沿った矩形状である。第１ガイド孔４７ａは、第１電極１７ａの折り曲げる前の第３領域１７ｄを貫通可能に構成されている。第２ガイド孔４８ａは、第３電極１９ａの折り曲げる前の第３領域１９ｄを貫通可能に構成されている。第１ガイド孔４７ａと第２ガイド孔４８ａとの間に位置する部分が、第１電極１７ａと第３電極１９ａとの間に進入する進入部４９ａとなる。

[0066] 第２支持部４６ａには、第１ガイド溝５１ａと、第２ガイド溝５２ａと、が形成されている。第１ガイド溝５１ａは、Ｚ方向に凹むように形成されている。第２支持部４６ａは、第１１平板部５３ａと、第１２平板部５４ａと、第１接続部５５ａと、を含む。第１１平板部５３ａと第１２平板部５４ａとは、Ｙ方向に間隔をあけて平行に配置される。第１接続部５５ａは、第１１平板部５３ａのＺ方向の端部と第１２平板部５４ａのＺ方向の端部とを接続するように設けられる。第１ガイド溝５１ａは、Ｙ方向に間隔をあけて配置される第１１平板部５３ａと第１２平板部５４ａとの間に形成される。第１ガイド溝５１ａ内には、第２電極１８ａの第３平板部１８ｆの一部が配置される。第１１平板部５３ａのうち、側壁部１４ｃの内壁面１４ｍと対向す

る対向面５６ａ側には、第３電極１９ａの第１平板部１９ｆが配置される。第１１平板部５３ａは、第２電極１８ａと第３電極１９ａとの間に進入する進入部５８ａとなる。第１２平板部５４ａのうち、側壁部１４ｂの内壁面１４Ｉと対向する対向面５７ａ側には、第３電極１９ａの第２平板部１９ｇが配置される。第１２平板部５４ａは、第２電極１８ａと第３電極１９ａとの間に進入する進入部５９ａとなる。

[0067] 第２ガイド溝５２ａは、Ｙ方向に凹むように形成されている。第２支持部４６ａは、第１３平板部６１ａと、第１４平板部６２ａと、第２接続部６３ａと、を含む。第１３平板部６１ａと第１４平板部６２ａとは、Ｘ方向に間隔をあけて平行に配置される。第２接続部６３ａは、第１３平板部６１ａのＹ方向の端部と第１４平板部６２ａのＹ方向の端部とを接続するように設けられる。第２ガイド溝５２ａは、Ｘ方向に間隔をあけて配置される第１３平板部６１ａと第１４平板部６２ａとの間に形成される。第２ガイド溝５２ａ内には、第９平板部１８ｈの一部が配置される。

[0068] 本実施形態においては、リブ４１ａに含まれる進入部４９ａ，５８ａ，５９ａはそれぞれ、封止材１５ａが配置される位置に至るよう構成されている。すなわち、進入部４９ａ，５８ａ，５９ａはそれぞれ、図１３に示すように封止材１５ａと接触している。

[0069] 次に、半導体装置１０ａの動作時において流れる電流経路について説明する。半導体装置１０ａにおいて電流が流れる際の電流経路は、第１電極１７ａから第１回路板１３ｂ、第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄ、第１導電部材２６ａ，２６ｂ，２６ｃ，２６ｄ、第２回路板１３ｃ、第２電極１８ａに至る。さらに、第２電極１８ａ、第３回路板１３ｄ、第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄ、第２導電部材２７ａ，２７ｂ，２７ｃ，２７ｄ、第４回路板１３ｅ、そして第３電極１９ａに至る。また、電流経路として、第１電極１７ａから第５回路板１３ｆ、第５半導体チップ２１ｅ，２１ｆ、第３導電部材２６ｅ，２６ｆ、第６回路板１３ｇ、第２電極１８ａに至り、さらに、第２電極１８ａ、第７回路板１３ｈ、第４導電

部材２７ｅ，２７ｆ、第６半導体チップ２２ｅ，２２ｆ、第６回路板１３ｇ、そして第３電極１９ａに至る経路もある。

[0070] ここで、第１電極１７ａから第３電極１９ａに至る電流経路について考える。半導体装置１０ａには、図１０に示すように、例えば平滑コンデンサといったコンデンサ１０１が第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄおよび第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄと並列に接続される場合がある。この時、第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄおよび第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄとコンデンサ１０１との間において閉回路が形成される。半導体装置１０ａにおいてこの閉回路の経路は、第１電極１７ａから第１回路板１３ｂ、第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄ、第１導電部材２６ａ，２６ｂ，２６ｃ，２６ｄ、第２回路板１３ｃ、第２電極１８ａ、第３回路板１３ｄ、第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄ、第２導電部材２７ａ，２７ｂ，２７ｃ，２７ｄ、第４回路板１３ｅ、そして第３電極１９ａに至る経路となる。この閉回路には、スイッチング時において高いｄｉ／ｄｔが発生してしまう。サージ電圧において、インダクタンスが大きいと、高いｄｉ／ｄｔが発生した場合に高いサージ電圧が発生し、第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄおよび第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄに印加されることになる。このような状態は、第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄおよび第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄの損傷を招くおそれがある。よって、サージ電圧の抑制が求められる。第１電極１７ａから第３電極１９ａに至る電流経路において、インダクタンスの低減を図ることができれば、サージ電圧の抑制を図ることができる。

[0071] なお、図１０に示すように、第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄと並列に第５半導体チップ２１ｅ，２１ｆを配置することができる。また、第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄと並列に第６半導体チップ２２ｅ，２２ｆを配置することもできる。

[0072] ここで、第２電極１８ａ内において、電流は、第１領域１８ｂから第２領

域１８ｃを経由して第３領域１８ｄに流れる。図９に示すように第２領域１８ｃにおける第１部分１８ｇである第３平板部１８ｆにおいては、矢印$Ｖ_1$で示すように矢印Ｘの向きに電流は流れる。一方、第３電極１９ａ内において、電流は、第１領域１９ｂから第２領域１９ｃを経由して第３領域１９ｄに流れる。第２領域１９ｃにおける第１平板部１９ｆおよび第２平板部１９ｇにおいては、矢印$Ｖ_2$で示すように矢印Ｘと逆の向きに電流は流れる。

[0073] また、第１電極内１７ａ内において、電流は、第３領域１７ｄから第２領域１７ｃを経由して第１領域１７ｂに流れる。第２領域１７ｃにおいては、矢印$Ｖ_3$で示すように矢印Ｚと逆の向きに電流は流れる。一方、第３電極１９ａ内においては、電流は第１領域１９ｂから第２領域１９ｃを経由して第３領域１９ｄに流れる。第２領域１９ｃにおける第８平板部１９ｈにおいては、矢印$Ｖ_4$で示すように矢印Ｚの向きに電流は流れる。

[0074] 本開示の半導体装置１０ａにおいては、第２電極１８ａは、第３電極１９ａと間隔をあけて平行に配置される第１部分１８ｇを含む。したがって、この平行に配置される部分において、第３電極１９ａを流れる電流の向きと、第２電極１８ａを流れる電流の向きとを逆向きとすることにより、第２電極１８ａおよび第３電極１９ａ内を電流が流れる際に生ずる磁束を打ち消し、相互インダクタンスにより電流経路のインダクタンスは差し引かれる。したがって、半導体装置１０ａのインダクタンスの低減を図ることができる。

[0075] 本実施形態においては、第３電極１９ａは、間隔をあけてそれぞれ平行に配置される第１平板部１９ｆおよび第２平板部１９ｇを含む。第２電極１８ａは、第１平板部１９ｆと第２平板部１９ｇとの間であって、第１平板部１９ｆおよび第２平板部１９ｇのそれぞれと間隔をあけて配置される第３平板部１８ｆを含む。本実施形態においては、第３平板部１８ｆが、第１部分１８ｇとなっている。したがって、平行に配置される第３平板部１８ｆと第１平板部１９ｆおよび第２平板部１９ｇとのそれぞれの間において、第３電極１９ａを流れる電流の向きと、第２電極１８ａを流れる電流の向きとを逆向きとすることにより、第３電極１９ａおよび第２電極１８ａ内を電流が流れ

る際に生ずる磁束を打ち消し、相互インダクタンスにより経路のインダクタンスは差し引かれる。よって、半導体装置１０ａのインダクタンスをさらに低減することができる。

[0076] 本実施形態においては、第１電極１７ａは、第３電極１９ａと間隔をあけて平行に配置される第３部分１７ｇを含む。したがって、平行に配置される部分において、第１電極１７ａを流れる電流の向きと、第３電極１９ａを流れる電流の向きとを逆向きとすることにより、第１電極１７ａおよび第３電極１９ａ内を電流が流れる際に生ずる磁束を打ち消し、相互インダクタンスにより経路のインダクタンスは差し引かれる。よって、半導体装置１０ａのインダクタンスをさらに低減することができる。

[0077] 本実施形態においては、第１電極１７ａは、第７平板部１７ｆを含む。第３電極１９ａは、第７平板部１７ｆと平行に配置される第８平板部１９ｈを含む。本実施形態においては、第７平板部１７ｆが、第３部分１７ｇとなっている。したがって、平行に配置される第７平板部１７ｆと第８平板部１９ｈとの間において、第１電極１７ａを流れる電流の向きと、第３電極１９ａを流れる電流の向きとを逆向きとすることにより、第１電極１７ａおよび第３電極１９ａ内を電流が流れる際に生ずる磁束を打ち消し、相互インダクタンスにより経路のインダクタンスは差し引かれる。よって、半導体装置１０ａのインダクタンスをさらに低減することができる。

[0078] 本開示の半導体装置１０ａにおいて、枠体１４ａは、側壁部１４ｄ，１４ｅの内壁面１４ｎ，１４ｏから突出する絶縁性のリブ４１ａを含む。リブ４１ａは、平行に配置されている部分、具体的には、第２電極１８ａと第３電極１９ａとの間に進入し、平行に配置された第２電極１８ａおよび第３電極１９ａ間の沿面距離を確保する進入部５８ａ，５９ａを含む。また、リブ４１ａは、第１電極１７ａと第３電極１９ａとの間に進入し、平行に配置された第１電極１７ａおよび第３電極１９ａ間の沿面距離を確保する進入部４９ａを含む。したがって、平行に配置されている部分の間の絶縁性を進入部４９ａ，５８ａ，５９ａにより高めることができる。この場合、内壁面１４ｌ

，１４ｏから突出するリブ４１ａは、枠体１４ａに含まれているため、枠体１４ａのベース板１１ａへの取り付け時にリブ４１ａを配置することができる。よって、容易に電極間の高い絶縁性を確保することができる。

[0079] 本実施形態においては、進入部５８ａ，５９ａは、第１平板部１９ｆと第３平板部１８ｆとの間および第２平板部１９ｇと第３平板部１８ｆとの間に進入する。したがって、進入部５８ａ，５９ａは、第１平板部１９ｆと第３平板部１８ｆとの間および第２平板部１９ｇと第３平板部１８ｆとの間において、容易に第２電極１８ａおよび第３電極１９ａ間の高い絶縁性を確保することができる。

[0080] 本実施形態においては、進入部４９ａは、第７平板部１７ｆと第８平板部１９ｈとの間に配置されている。したがって、平行に配置される第１電極１７ａの第７平板部１７ｆと第３電極１９ａの第８平板部１９ｈとの間に進入する進入部４９ａを容易に配置することができる。したがって、容易に第１電極１７ａと第３電極１９ａとの間の高い絶縁性を確保することができる。

[0081] 次に、上記構成の半導体装置１０ａの製造方法について簡単に説明する。まず、ベース板１１ａを準備する。次に、板はんだやペーストはんだ等の導電性を有する接合材を用い、ベース板１１ａに基板１２ａを接合すると共に、回路パターン１３ａに第１電極１７ａ、第２電極１８ａ、第３電極１９ａおよび第１半導体チップ２１ａ等の各半導体チップを接合する。ここで、第１電極１７ａ、第２電極１８ａ、第３電極１９ａは、各第３領域１７ｄ，１８ｄ，１９ｄが折り曲げられていない状態のものを用いる。図１５は、ベース板１１ａに基板１２ａを接合し、回路パターン１３ａに第１電極１７ａ、第２電極１８ａ、第３電極１９ａおよび第１半導体チップ２１ａ等の各半導体チップを接合した状態を示す概略斜視図である。

[0082] その後、接着剤を用いて枠体１４ａをベース板１１ａに取り付ける。なお、枠体１４ａには、第１制御端子２５ａ、第２制御端子２５ｂ、第３制御端子２５ｃおよび第４制御端子２５ｄが予め取り付けられている。枠体１４ａは、第１電極１７ａの第７平板部１７ｆが第１ガイド孔４７ａ内に収容され

、第３電極１９ａの第８平板部１９ｈが第２ガイド孔４８ａ内に収容され、第２電極の第３平板部１８ｆが第１ガイド溝５１ａ内に収容され、第２電極の第９平板部１８ｈが第２ガイド溝５２ａ内に収容されるようにして、ベース板１１ａに取り付けられる。この時、対向面５６ａが第３電極１９ａの第１平板部１９ｆに対向し、対向面５７ａが第３電極１９ａの第２平板部１９ｇに対向するように配置される。

[0083] 本実施形態においては、第１平板部１９ｆ、第２平板部１９ｇおよび第３平板部１８ｆは、第１の主面１２ｂに対して垂直である。したがって、枠体１４ａをベース板１１ａに取り付ける際に、進入部５８ａ，５９ａを第１平板部１９ｆと第３平板部１８ｆとの間および第２平板部１９ｇと第３平板部１８ｆとの間に容易に配置しやすくすることができる。よって、より容易に第２電極１８ａおよび第３電極１９ａ間の高い絶縁性を確保することができる。

[0084] 本実施形態においては、第７平板部１７ｆおよび第８平板部１９ｈは、第１の主面１２ｂに対して垂直である。したがって、枠体１４ａをベース板１１ａに取り付ける際に、進入部４９ａを第７平板部１７ｆと第８平板部１９ｈとの間に容易に配置しやすくすることができる。よって、より容易に第１電極１７ａおよび第３電極１９ａ間の高い絶縁性を確保することができる。

[0085] 次に、第１導電部材２６ａ等により、各部材を電気的に接続する。この場合、ボンディングツールを用い、ワイヤボンディングにより各部材を接続する。図１６は、枠体１４ａをベース板１１ａに取り付け、第１導電部材２６ａ等を接合した状態を示す概略斜視図である。

[0086] ここで、本開示の半導体装置１０ａによると、基板１２ａの厚さ方向に見て、封止材１５ａによって覆われている第１電極１７ａ、第２電極１８ａおよび第３電極１９ａと第１導電部材２６ａ，２６ｂ，２６ｃ，２６ｄ、第２導電部材２７ａ，２７ｂ，２７ｃ，２７ｄ、第３導電部材２６ｅ，２６ｆおよび第４導電部材２７ｅ，２７ｆとの間には、隙間２９ａがある。このような半導体装置１０ａは、基板１２ａの厚さ方向に見て、封止材１５ａによっ

て覆われている第１電極１７ａ、第２電極１８ａおよび第３電極１９ａと第１導電部材２６ａ，２６ｂ，２６ｃ，２６ｄ、第２導電部材２７ａ，２７ｂ，２７ｃ，２７ｄ、第３導電部材２６ｅ，２６ｆおよび第４導電部材２７ｅ，２７ｆとが重ならない構成である。よって、回路パターン１３ａと第１半導体チップ２１ａ，２１ｂ，２１ｃ，２１ｄ、第２半導体チップ２２ａ，２２ｂ，２２ｃ，２２ｄ、第３半導体チップ２３ａ，２３ｂ，２３ｃ，２３ｄ、第４半導体チップ２４ａ，２４ｂ，２４ｃ，２４ｄ、第５半導体チップ２１ｅ，２１ｆ、第６半導体チップ２２ｅ，２２ｆ、第７半導体チップ２３ｅ，２３ｆおよび第８半導体チップ２４ｅ，２４ｆとの接合および回路パターン１３ａと第１電極１７ａ、第２電極１８ａおよび第３電極１９ａとの接合を同時に行うことができる。また、このような構成の半導体装置１０ａにおいては、ボンディングツールを用いて第１導電部材２６ａ，２６ｂ，２６ｃ，２６ｄ、第２導電部材２７ａ，２７ｂ，２７ｃ，２７ｄ、第３導電部材２６ｅ，２６ｆおよび第４導電部材２７ｅ，２７ｆにより配線を行うに際し、ボンディングツールが第１電極１７ａ、第２電極１８ａおよび第３電極１９ａと干渉するおそれを低減することができる。したがって、生産性の向上を図ることができる。

[0087] その後、開口１４ｇ側から枠体１４ａによって取り囲まれた空間１４ｆに液状の封止材１５ａが充填される。封止材１５ａは、封止材１５ａの硬化後においても封止材１５ａと進入部４９ａ，５８ａ，５９ａとが接触するように充填される。

[0088] 本実施形態においては、リブ４１ａは、側壁部１４ｄ，１４ｅと一体である。したがって、封止材１５ａを封入した際に、リブ４１ａが浮力で動くことを抑制することができる。よって、確実な絶縁を図ることができる。

[0089] 本実施形態においては、第１平板部１９ｆ、第２平板部１９ｇおよび第３平板部１８ｆは、第１の主面１２ｂに対して垂直である。したがって、封止材１５ａを充填する際に封止材１５ａ中に噛み込んだ気泡が第１平板部１９ｆ、第２平板部１９ｇおよび第３平板部１８ｆの下部領域に溜まってしまう

ことを回避することができる。したがって、封止材１５ａ中に気泡が溜まるおそれを回避して絶縁性能の低下を抑制することができ、半導体装置１０ａの信頼性の向上を図ることができる。

[0090] 本実施形態においては、第７平板部１７ｆおよび第８平板部１９ｈは、第１の主面１２ｂに対して垂直である。したがって、封止材１５ａを封入する際に、封止材１５ａの封入時に噛み込んだボイドが第７平板部１７ｆおよび第８平板部１９ｈの下部領域に溜まってしまうことを回避することができる。したがって、封止材１５ａ中にボイドが溜まるおそれを回避して絶縁性能の低下を抑制することができ、半導体装置１０ａの信頼性の向上を図ることができる。

[0091] 充填された封止材１５ａが硬化した後、蓋部１６ａが枠体１４ａに取り付けられる。図１７は、蓋部１６ａを枠体１４ａに取り付けた状態を示す概略斜視図である。図１７を参照して、第１電極１７ａ、第２電極１８ａおよび第３電極１９ａ、具体的には第１電極１７ａのうちの折り曲げられていない第３領域１７ｄ、第２電極１８ａのうちの折り曲げられていない第３領域１８ｄおよび第３電極１９ａのうちの折り曲げられていない第３領域１９ｄがそれぞれ、蓋部１６ａの貫通孔１６ｅ，１６ｆ，１６ｇを貫通するようにして、蓋部１６ａは、枠体１４ａに取り付けられる。

[0092] その後、第１電極１７ａ、第２電極１８ａおよび第３電極１９ａのうちの蓋部１６ａから露出した部分をＸ方向に９０度折り曲げる。このようにして、第１電極１７ａ、第２電極１８ａおよび第３電極１９ａの露出した部分が端子台１６ｂ，１６ｃ，１６ｄの外形に沿い、貫通孔１７ｅ，１８ｅ，１９ｅの開口部分がナット１６ｈ，１６ｉ，１６ｊのそれぞれのねじ孔と一致するように構成する。このようにして図１に示す半導体装置１０ａが製造される。

[0093] （実施の形態２）

次に、他の実施の形態である実施の形態２について説明する。図１８は、実施の形態２における半導体装置の一部を示す概略斜視図である。図１８に

示す半導体装置において、蓋部、封止材および枠体の図示を省略している。図１９は、図１８に示す半導体装置の概略側面図である。図２０は、図１９に示す半導体装置を図１９中のＸＸ－ＸＸで切断した場合の概略断面図である。図２１は、図２０に示す半導体装置において、第１電極、第２電極および第３電極の図示を省略した場合の概略断面図である。図２２は、図２０に示す半導体装置において、第１電極、第２電極および第３電極のみを図示した場合の概略断面図である。実施の形態２の半導体装置は、第１電極、第２電極および第３電極の構成が異なる点において、実施の形態１の場合と相違する。また、実施の形態２において、第４回路板１３ｅおよび第７回路板１３ｈは分割されていない。

[0094] 図１８～図２２を参照して、実施の形態２の半導体装置１０ｂは、第１電極１７ｊと、第２電極１８ｊと、第３電極１９ｊと、を含む。

[0095] 第１電極１７ｊは、間隔をあけてそれぞれ平行に配置される第４平板部１７ｋおよび第５平板部１７ｌを含む。第４平板部１７ｋと第５平板部１７ｌとは、Ｙ方向に間隔をあけて設けられている。第４平板部１７ｋおよび第５平板部１７ｌは、第１の主面１２ｂに対して垂直である。第４平板部１７ｋおよび第５平板部１７ｌはそれぞれ、Ｘ－Ｚ平面に平行である。

[0096] 第２電極１８ｊは、第６平板部１８ｋを含む。第６平板部１８ｋは、第１の主面１２ｂに対して垂直である。第６平板部１８ｋは、Ｘ－Ｚ平面に平行である。第６平板部１８ｋは、第４平板部１７ｋと第５平板部１７ｌとの間であって、第４平板部１７ｋおよび第５平板部１７ｌのそれぞれと間隔をあけて配置される。すなわち、第４平板部１７ｋ、第５平板部１７ｌおよび第６平板部１８ｋは、平行平板を構成している。

[0097] 第２電極１８ｊは、第１電極１７ｊと間隔をあけて平行に配置される第２部分１８ｌを含む。本実施形態においては、第２部分１８ｌは、第６平板部１８ｋである。

[0098] また、第１電極１７ｊは、第７平板部１７ｍを含む（特に図１９参照）。第７平板部１７ｍは、第１の主面１２ｂに対して垂直である。第７平板部１

７ｍは、Ｙ－Ｚ平面に平行である。

[0099] 第３電極１９ｊは、第８平板部１９ｋを含む。第８平板部１９ｋは、第１の主面１２ｂに対して垂直である。本実施形態においては、第８平板部１９ｋは、Ｙ－Ｚ平面に平行である。すなわち、第７平板部１７ｍおよび第８平板部１９ｋは、平行平板を構成している。

[0100] 第１電極１７ｊは、第３電極１９ｊと間隔をあけて平行に配置される第３部分１７ｎを含む。本実施形態においては、第３部分１７ｎは、第７平板部１７ｍである。

[0101] なお、第２電極１８ｊは、第９平板部１８ｍを含む。第９平板部１８ｍは、第１の主面１２ｂに対して垂直である。第９平板部１８ｍは、Ｙ－Ｚ平面に平行である。

[0102] なお、本実施形態における半導体装置１０ｂに含まれる枠体１４ａについては、第１電極１７ｊ、第２電極１８ｊおよび第３電極１９ｊの構成に応じて、第１ガイド孔、第２ガイド孔、第１ガイド溝、第２ガイド溝が設けられたリブを含む枠体１４ａが用いられる。

[0103] 本実施形態においては、第２電極１８ｊは、第１電極１７ｊと間隔をあけて平行に配置される第２部分１８ｌを含む。したがって、この平行に配置される部分において、第３電極１９ｊを流れる電流の向きと、第２電極１８ｊを流れる電流の向きとを逆向きとすることにより、第２電極１８ｊおよび第３電極１９ｊ内を電流が流れる際に生ずる磁束を打ち消し、相互インダクタンスにより電流経路のインダクタンスは差し引かれる。したがって、半導体装置１０ｂのインダクタンスの低減を図ることができる。

[0104] 本実施形態においては、第１電極１７ｊは、間隔をあけてそれぞれ平行に配置される第４平板部１７ｋおよび第５平板部１７ｌを含む。第２電極１８ｊは、第４平板部１７ｋと第５平板部１７ｌとの間であって、第４平板部１７ｋおよび第５平板部１７ｌのそれぞれと間隔をあけて配置される第６平板部１８ｋを含む。本実施形態においては、第６平板部１８ｋが、第２部分１８ｌとなっている。したがって、平行に配置される第６平板部１８ｋと第４

平板部１７ｋおよび第５平板部１７ｌとのそれぞれの間において、第２電極１８ｊおよび第１電極１７ｊ内を電流が流れる際に生ずる磁束を打ち消し、相互インダクタンスにより経路のインダクタンスは差し引かれる。よって、半導体装置１０ｂのインダクタンスをさらに低減することができる。

[0105] 本実施形態においては、第４平板部１７ｋ、第５平板部１７ｌおよび第６平板部１８ｋは、第１の主面１２ｂに対して垂直である。したがって、封止材１５ａを充填する際に封止材１５ａ中に噛み込んだ気泡が第４平板部１７ｋ、第５平板部１７ｌおよび第６平板部１８ｋの下部領域に溜まってしまうことを回避することができる。したがって、封止材１５ａ中に気泡が溜まるおそれを回避して絶縁性能の低下を抑制することができ、半導体装置１０ｂの信頼性の向上を図ることができる。また、枠体１４ａをベース板１１ａに取り付ける際に、進入部５８ａ，５９ａを第４平板部１７ｋと第６平板部１８ｋとの間および第５平板部１７ｌと第６平板部１８ｋとの間に容易に配置しやすくすることができる。よって、より容易に第２電極１８ｊおよび第３電極１９ｊ間の高い絶縁性を確保することができる。

[0106] 本実施形態においては、第１電極１７ｊは、第７平板部１７ｍを含む。第３電極１９ｊは、第７平板部１７ｍと平行に配置される第８平板部１９ｋを含む。したがって、平行に配置される第７平板部１７ｍと第８平板部１９ｋとの間において、第１電極１７ｊを流れる電流の向きと、第３電極１９ｊを流れる電流の向きとを逆向きとすることにより、第１電極１７ｊおよび第３電極１９ｊ内を電流が流れる際に生ずる磁束を打ち消し、相互インダクタンスにより経路のインダクタンスは差し引かれる。よって、半導体装置１０ｂのインダクタンスをさらに低減することができる。

[0107] 本実施形態においては、第７平板部１７ｍおよび第８平板部１９ｋは、第１の主面１２ｂに対して垂直である。したがって、封止材１５ａを充填する際に封止材１５ａ中に噛み込んだ気泡が第７平板部１７ｍおよび第８平板部１９ｋの下部領域に溜まってしまうことを回避することができる。したがって、封止材１５ａ中に気泡が溜まるおそれを回避して絶縁性能の低下を抑制

することができ、半導体装置１０ｂの信頼性の向上を図ることができる。また、枠体１４ａをベース板１１ａに取り付ける際に、進入部４９ａを第７平板部１７ｍと第８平板部１９ｋとの間に容易に配置しやすくすることができる。よって、より容易に第１電極１７ｊおよび第３電極１９ｊ間の高い絶縁性を確保することができる。

[0108] （他の実施の形態）

なお、上記の実施の形態において、第１電極、第２電極および第３電極のそれぞれの第３領域において、蓋部から露出している部分を９０度折り曲げることとしたが、これに限らず、蓋部から露出している部分を折り曲げずにそのままの形状、例えば第１の主面に垂直な方向に延びるよう構成してもよい。また、第３領域において、他の部材を溶接等により取り付け、第１電極等を構成することとしてもよい。

[0109] なお、上記の実施の形態において、第１回路板１３ｂ、第２回路板１３ｃ、第３回路板１３ｄおよび第４回路板１３ｅのうちの少なくともいずれか１つは、電気的に接続される複数の回路板に分割されていてもよい。このようにすることにより、回路パターン１３ａの形状の設計の自由度を高めることができる。

[0110] 今回開示された実施の形態はすべての点で例示であって、どのような面からも制限的なものではないと理解されるべきである。本開示の範囲は上記した説明ではなく、特許請求の範囲によって規定され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0111] １０ａ，１０ｂ　半導体装置、１１ａ　ベース板、１１ｂ，１２ｂ　第１の主面、１１ｃ，１２ｃ　第２の主面、１１ｄ，１１ｅ，１１ｆ，１１ｇ，１４ｈ，１４ｉ，１４ｊ，１４ｋ，１６ｅ，１６ｆ，１６ｇ，１７ｅ，１８ｅ，１９ｅ　貫通孔、１２ａ　基板、１３ａ　回路パターン、１３ｂ　第１回路板、１３ｃ　第２回路板、１３ｄ　第３回路板、１３ｅ　第４回路板、１３ｆ　第５回路板、１３ｇ　第６回路板、１３ｈ　第７回路板、１３ｉ　第

８回路板、１３ｊ　第９回路板、１３ｋ　第１０回路板、１３ｌ　第１１回路板、１３ｍ　第１２回路板、１４ａ　枠体、１４ｂ，１４ｃ，１４ｄ，１４ｅ　側壁部、１４ｆ　空間、１４ｇ　開口、１４ｌ，１４ｍ，１４ｎ，１４ｏ　内壁面、１５ａ　封止材、１６ａ　蓋部、１６ｂ，１６ｃ，１６ｄ　端子台、１６ｈ，１６ｉ，１６ｊ　ナット、１７ａ，１７ｊ　第１電極、１７ｂ，１８ｂ，１９ｂ　第１領域、１７ｃ，１８ｃ，１９ｃ　第２領域、１７ｄ，１８ｄ，１９ｄ　第３領域、１７ｆ，１７ｍ　第７平板部、１７ｇ，１７ｎ　第３部分、１７ｋ　第４平板部、１７ｌ　第５平板部、１８ａ，１８ｊ　第２電極、１８ｆ　第３平板部ｍ１８ｇ　第１部分、１８ｈ　第９平板部、１８ｋ　第６平板部、１８ｌ　第２部分、１９ａ，１９ｊ　第３電極、１９ｆ　第１平板部、１９ｇ　第２平板部、１９ｈ、１９ｋ　第８平板部、２１ａ，２１ｂ，２１ｃ，２１ｄ　第１半導体チップ、２１ｅ，２１ｆ　第５半導体チップ、２２ａ，２２ｂ，２２ｃ，２２ｄ　第２半導体チップ、２２ｅ，２２ｆ　第６半導体チップ、２３ａ，２３ｂ，２３ｃ，２３ｄ　第３半導体チップ、２３ｅ，２３ｆ　第７半導体チップ、２４ａ，２４ｂ，２４ｃ，２４ｄ　第４半導体チップ、２４ｅ，２４ｆ　第８半導体チップ、２５ａ　第１制御端子、２５ｂ　第２制御端子、２５ｃ　第３制御端子、２５ｄ　第４制御端子、２６ａ，２６ｂ，２６ｃ，２６ｄ　第１導電部材、２６ｅ，２６ｆ　第３導電部材、２７ａ，２７ｂ，２７ｃ，２７ｄ　第２導電部材、２７ｅ，２７ｆ　第４導電部材、２８ａ，２８ｂ，２８ｃ，２８ｄ，２８ｅ　ワイヤ、２９ａ　隙間、２９ｂ，２９ｃ　端部、４１ａ　リブ、４２ａ　第１突出部、４３ａ　第２突出部、４４ａ　中央部、４５ａ　第１支持部、４６ａ　第２支持部、４７ａ　第１ガイド孔、４８ａ　第２ガイド孔、４９ａ，５８ａ，５９ａ　進入部、５１ａ　第１ガイド溝、５２ａ　第２ガイド溝、５３ａ　第１１平板部、５４ａ　第１２平板部、５５ａ　第１接続部、５６ａ，５７ａ　対向面、６１ａ　第１３平板部、６２ａ　第１４平板部、６３ａ　第２接続部、１０１　コンデンサ、D_1　隙間、Ｒ　領域、V_1，V_2，V_3，V_4　矢印

請求の範囲

[請求項1] 第１の主面を含む基板と、

それぞれ離れて位置する第１回路板、第２回路板、第３回路板および第４回路板を含み、前記第１の主面上に配置される回路パターンと、

前記回路パターン上に配置され、前記第１回路板と接続される板状の第１電極と、

前記回路パターン上に配置され、前記第２回路板および前記第３回路板と接続される板状の第２電極と、

前記回路パターン上に配置され、前記第４回路板と接続される板状の第３電極と、

前記第１回路板上に配置される第１半導体チップと、

前記第３回路板上に配置される第２半導体チップと、

前記第１半導体チップと前記第２回路板とを電気的に接続する第１導電部材と、

前記第２半導体チップと前記第４回路板とを電気的に接続する第２導電部材と、を備え、

前記第２電極は、前記第３電極と間隔をあけて平行に配置される第１部分または前記第１電極と間隔をあけて平行に配置される第２部分のうちの少なくともいずれか１つを含む、半導体装置。

[請求項2] 前記第１電極は、前記第３電極と間隔をあけて平行に配置される第３部分を含む、請求項１に記載の半導体装置。

[請求項3] 前記第３電極は、間隔をあけてそれぞれ平行に配置される第１平板部および第２平板部を含み、

前記第２電極は、前記第１平板部と前記第２平板部との間であって、前記第１平板部および前記第２平板部のそれぞれと間隔をあけて配置される第３平板部を含む、請求項１または請求項２に記載の半導体装置。

[請求項4] 前記第１平板部、前記第２平板部および前記第３平板部は、前記第１の主面に対して垂直である、請求項３に記載の半導体装置。

[請求項5] 前記第１電極は、間隔をあけてそれぞれ平行に配置される第４平板部および第５平板部を含み、

前記第２電極は、前記第１平板部と前記第２平板部との間であって、前記第１平板部および前記第２平板部のそれぞれと間隔をあけて配置される第６平板部を含む、請求項１から請求項４のいずれか１項に記載の半導体装置。

[請求項6] 前記第４平板部、前記第５平板部および前記第６平板部は、前記第１の主面に対して垂直である、請求項５に記載の半導体装置。

[請求項7] 前記第１電極は、第７平板部を含み、

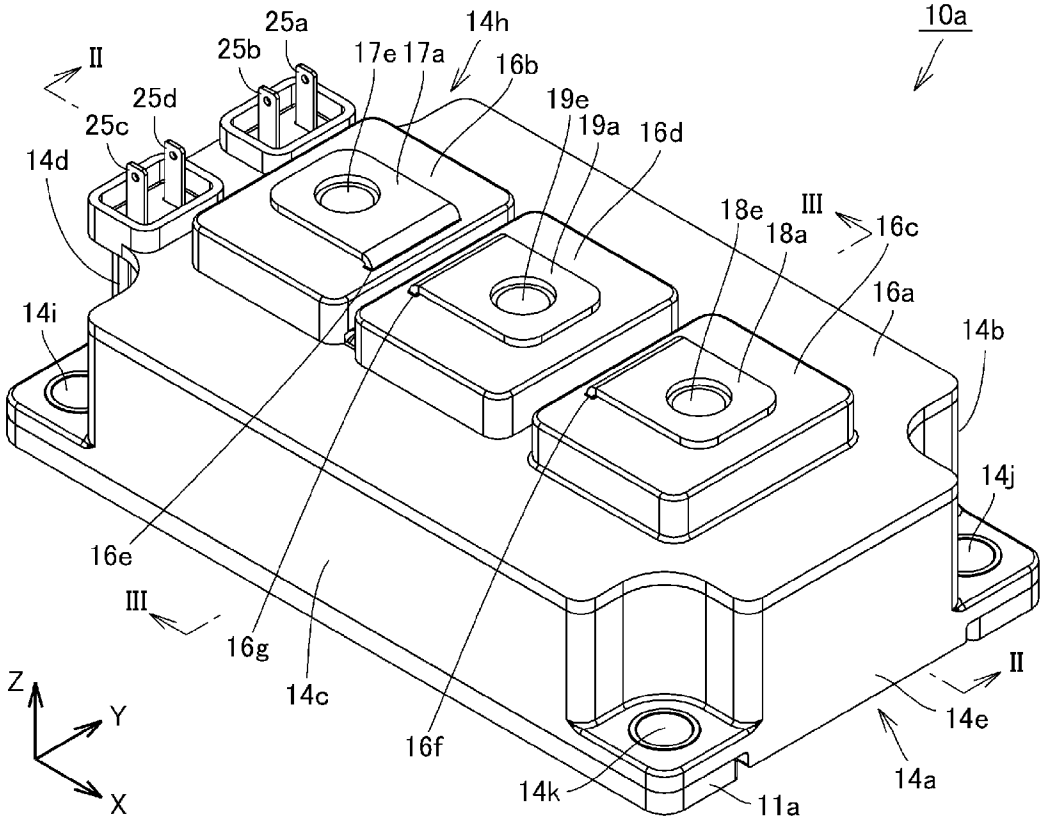
前記第３電極は、前記第７平板部と平行に配置される第８平板部を含む、請求項２から請求項６のいずれか１項に記載の半導体装置。

[請求項8] 前記第７平板部および前記第８平板部は、前記第１の主面に対して垂直である、請求項７に記載の半導体装置。

[請求項9] 前記第１回路板、前記第２回路板、前記第３回路板および前記第４回路板のうちの少なくともいずれか１つは、電気的に接続される複数の回路板に分割されている、請求項１から請求項８のいずれか１項に記載の半導体装置。

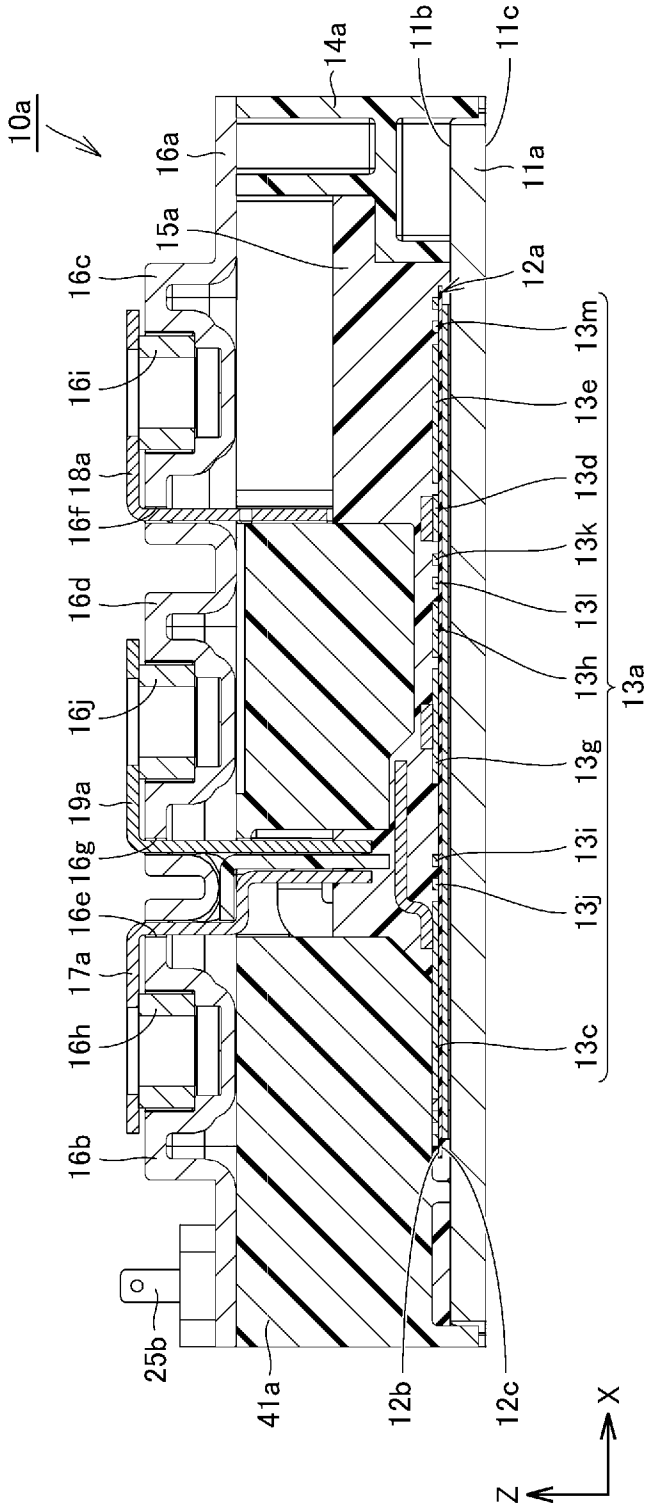
[図1]

FIG.1


10a
II
25a
25b
25d
25c
14h
17e
17a
16b
19e
19a
16d
14d
18e
III
18a
16c
16a
14i
14b
14j
16e
III
16g
14c
16f
14k
11a
14a
14e
II
Z
Y
X

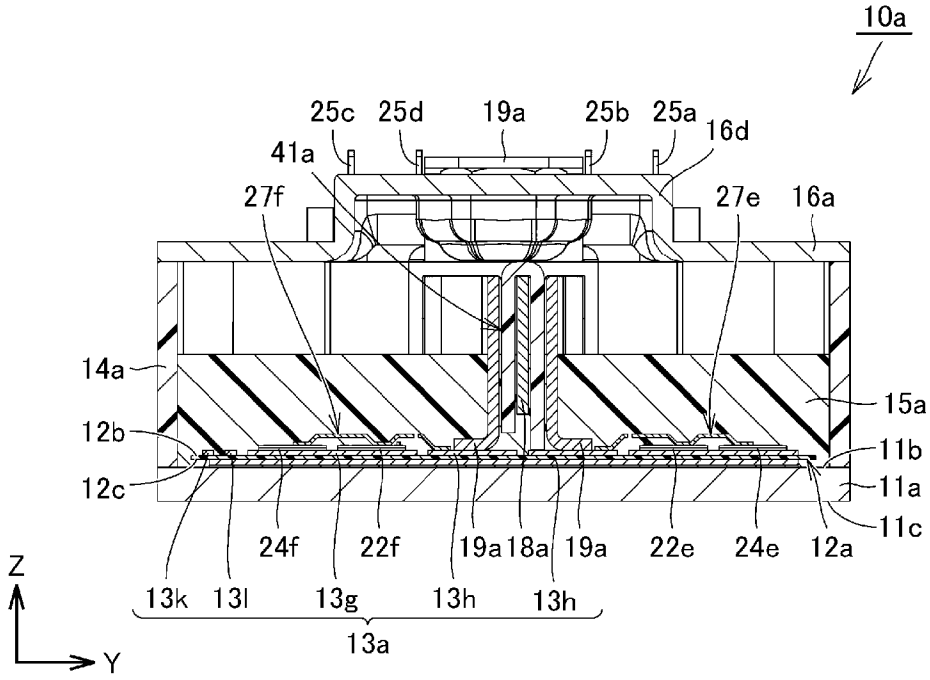
[図2]

FIG.2


10a
14a
11b
11c
16a
11a
15a
12a
16c
13m
16i
13e
18a
13d
16f
13k
16d
13l
13h
13a
16j
13g
19a
13i
16g
13j
16e
17a
16h
13c
16b
25b
41a
12b
12c
X
Z

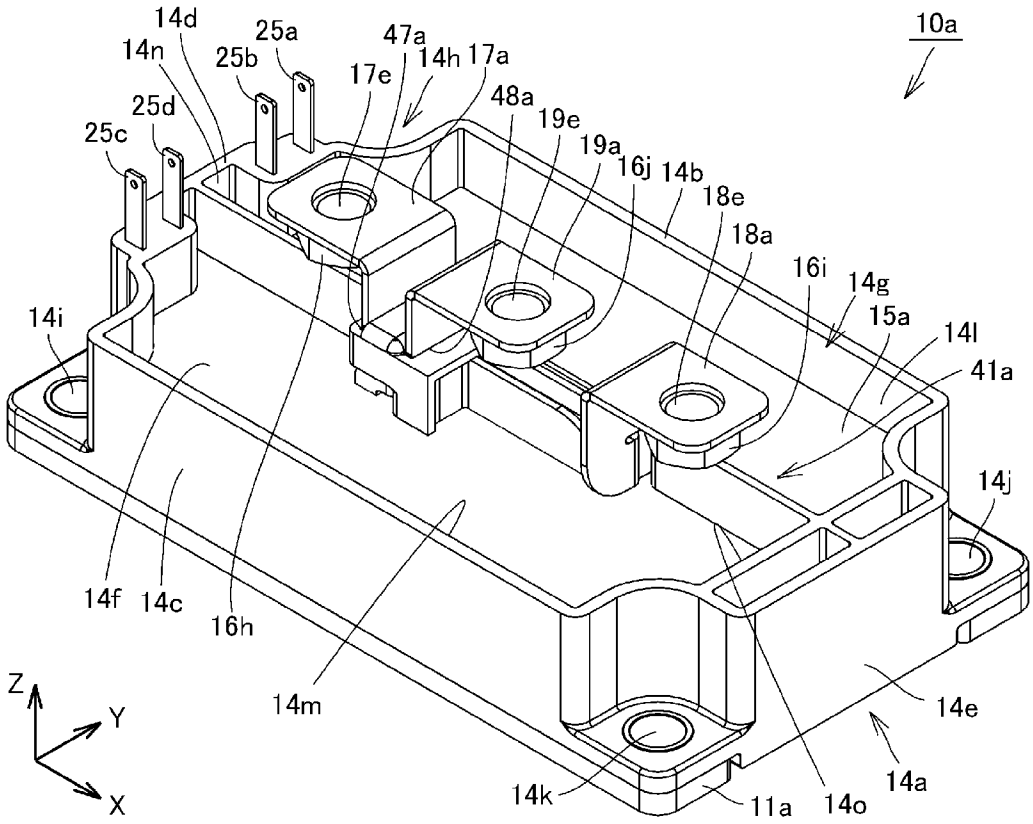
[図3]

FIG.3


10a
25c
25d
19a
25b
25a
16d
41a
27f
27e
16a
14a
15a
12b
11b
12c
11a
11c
24f
22f
19a
18a
19a
22e
24e
12a
13k
13l
13g
13h
13h
13a
Z
Y

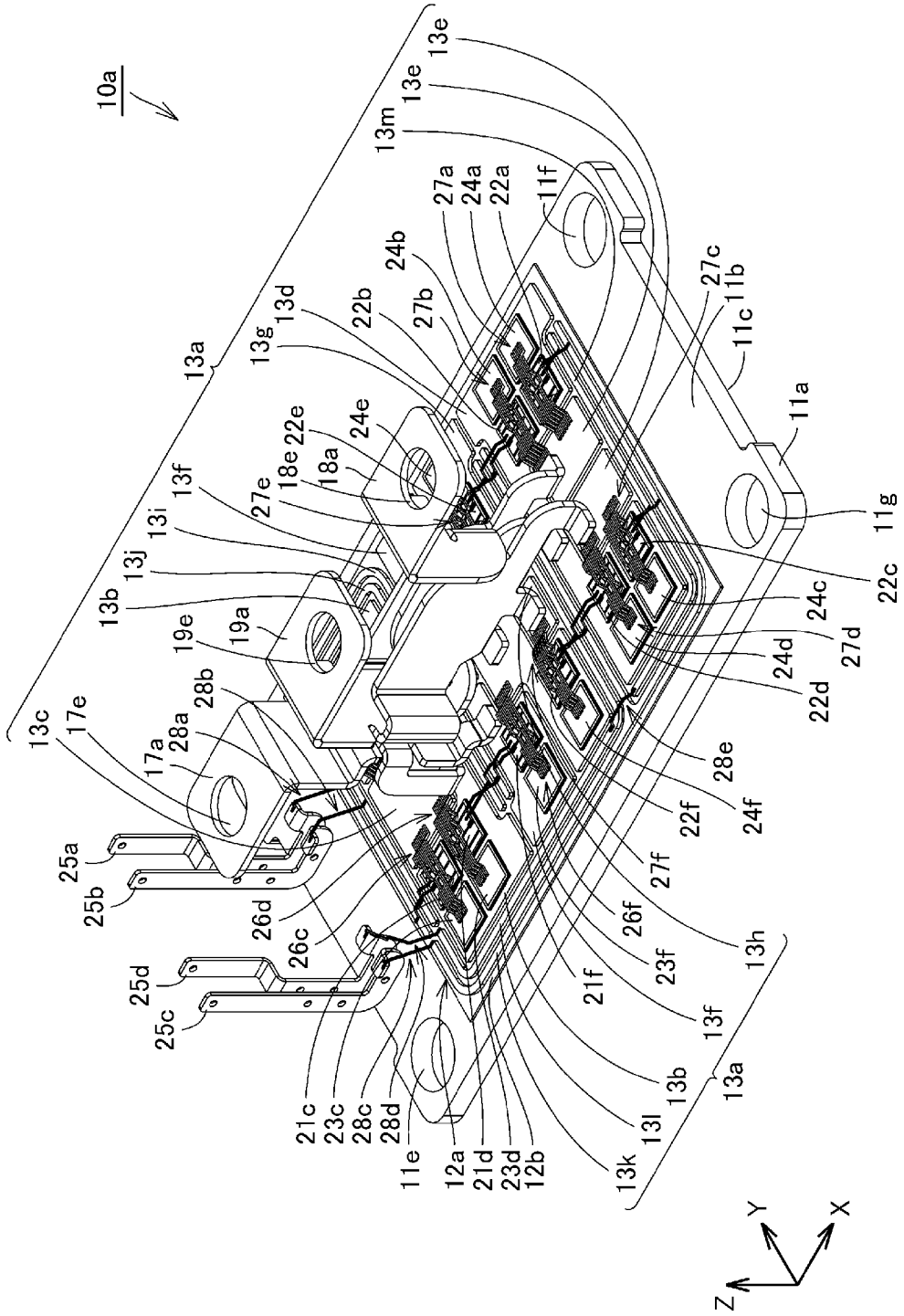
[図4]

FIG.4


10a
14d
14n
25a
25b
47a
14h
17a
17e
48a
19e
19a
16j
14b
18e
18a
16i
14g
15a
14l
41a
25d
25c
14i
14j
14f
14c
16h
14m
14e
14a
14k
11a
14o
Z
Y
X

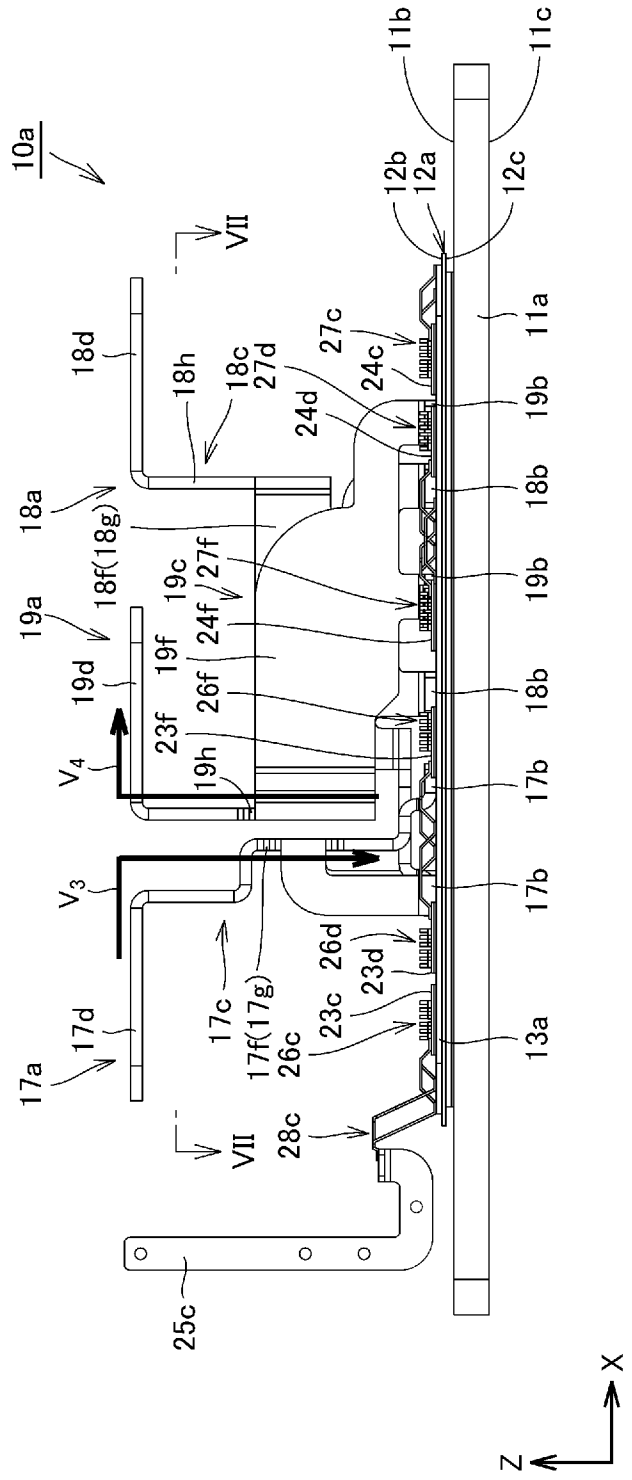
[図5]

FIG.5


10a
13e
13e
13m
27a
24a
22a
11f
24b
27c
11b
11c
22b
27b
13d
13g
13a
11a
22e
24e
18e
18a
27e
13f
13i
13j
13b
11g
22c
24c
19e
19a
24d
27d
22d
28b
28a
17e
13c
17a
28e
22f
24f
27f
25a
25b
26d
26c
26f
23f
13h
25d
25c
21f
13f
13b
13a
21c
23c
28c
28d
13l
13k
11e
12a
21d
23d
12b
Y
X
Z

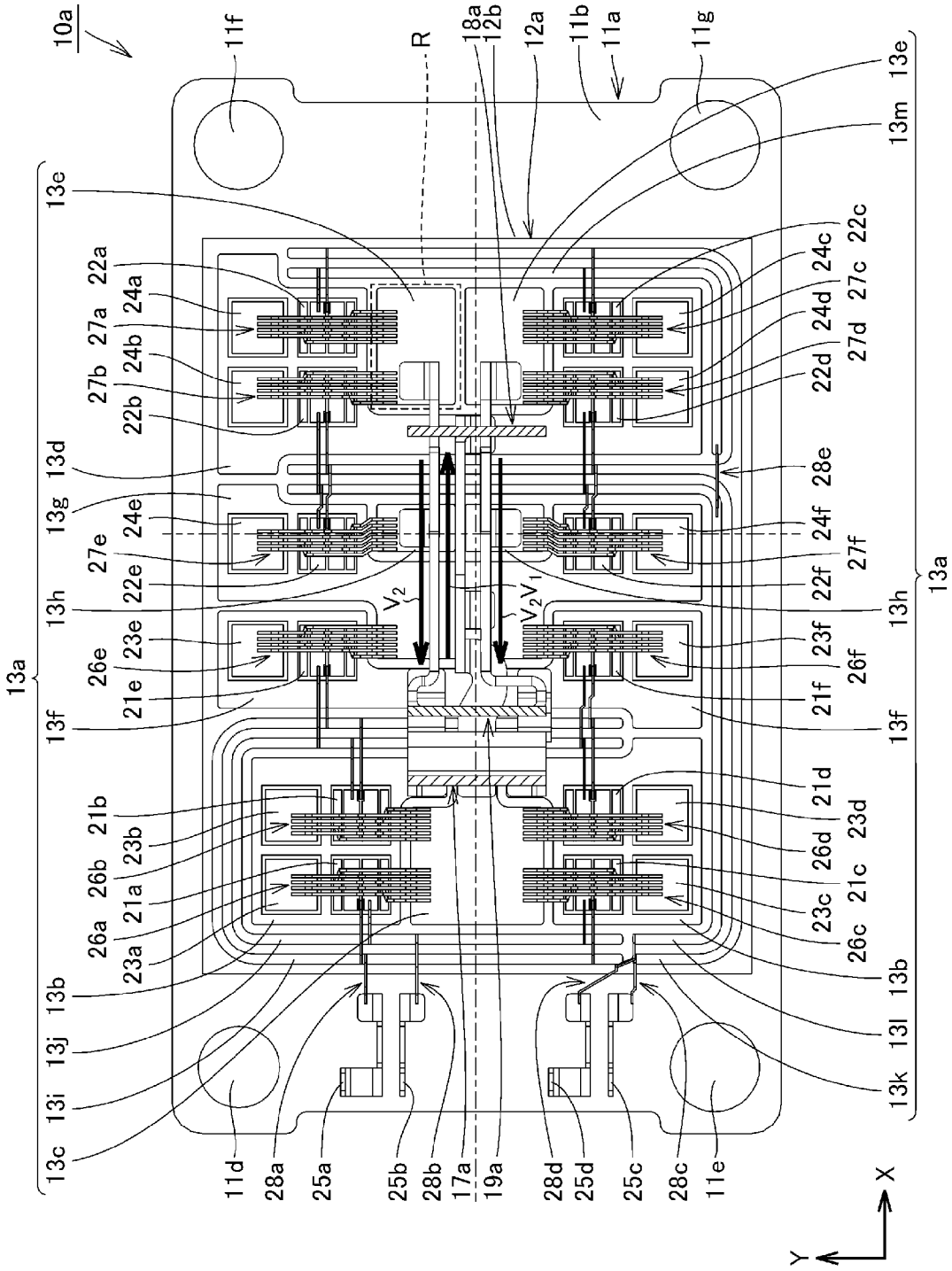
[図6]

FIG.6


10a
11b
11c
12b
12a
12c
VII
11a
18d
18h
18c
27d
27c
24c
24d
19b
18a
18f(18g)
18b
19c
27f
19b
19a
24f
19f
19d
26f
18b
23f
19h
V_4
17b
V_3
17b
26d
23d
17c
17f(17g)
23c
26c
13a
17d
17a
VII
28c
25c
X
Z

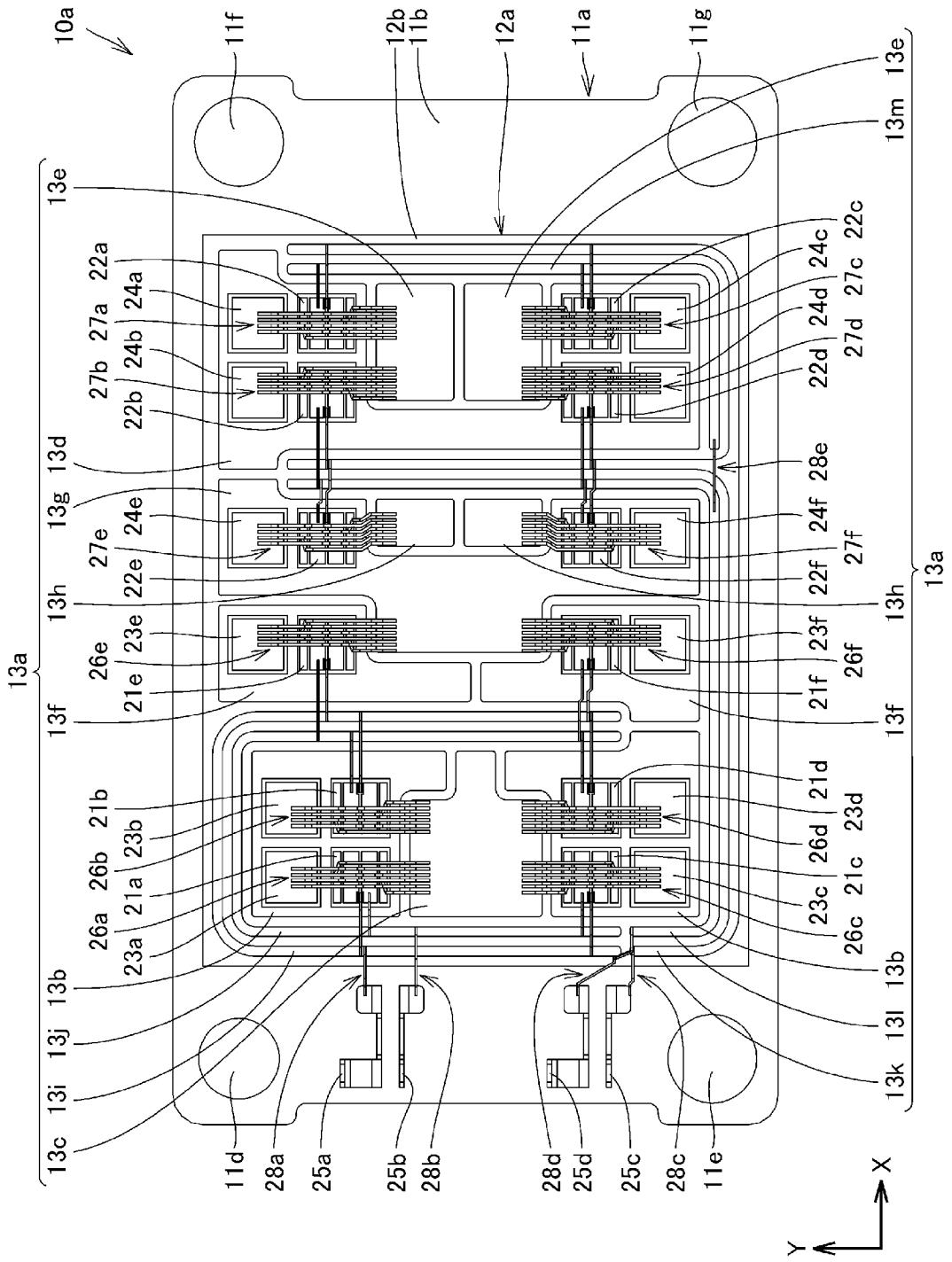
[図7]

FIG.7


10a
11f
R
18a
12b
12a
11b
11a
11g
13e
13m
13a
22a
24a
27a
24b
27b
22b
22c
24c
27c
24d
27d
22d
13d
13g
28e
24e
27e
22e
24f
27f
22f
13h
V_2
V_2
V_1
23e
26e
21e
23f
26f
21f
13f
21b
23b
26b
21a
23a
26a
21d
26d
23d
23c
21c
26c
13b
13j
13i
13c
13l
13k
11d
28a
25a
25b
28b
17a
19a
28d
25d
25c
28c
11e
X
Y

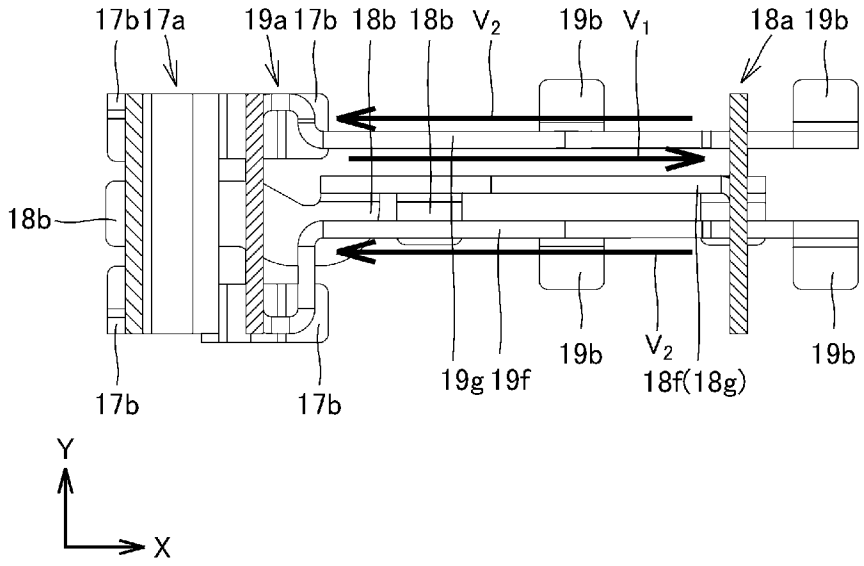
[図8]

FIG.8


10a
11f
12b
11b
12a
11a
11g
13e
13m
13a
22a
24a
27a
24b
27b
22b
13d
13g
24e
27e
22e
13h
23e
26e
21e
13f
21b
23b
26b
21a
26a
23a
13b
13j
13i
13c
11d
28a
25a
25b
28b
28d
25d
25c
28c
11e
22c
24c
27c
24d
27d
22d
28e
24f
27f
22f
23f
26f
21f
21d
23d
26d
21c
23c
26c
13l
13k
X
Y

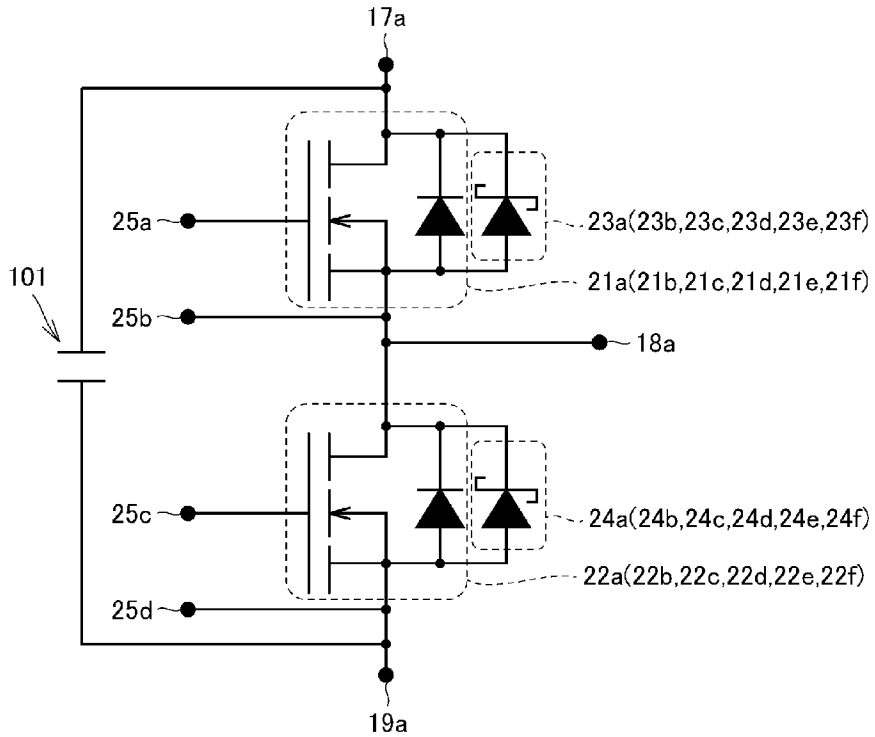
[図9]

FIG.9



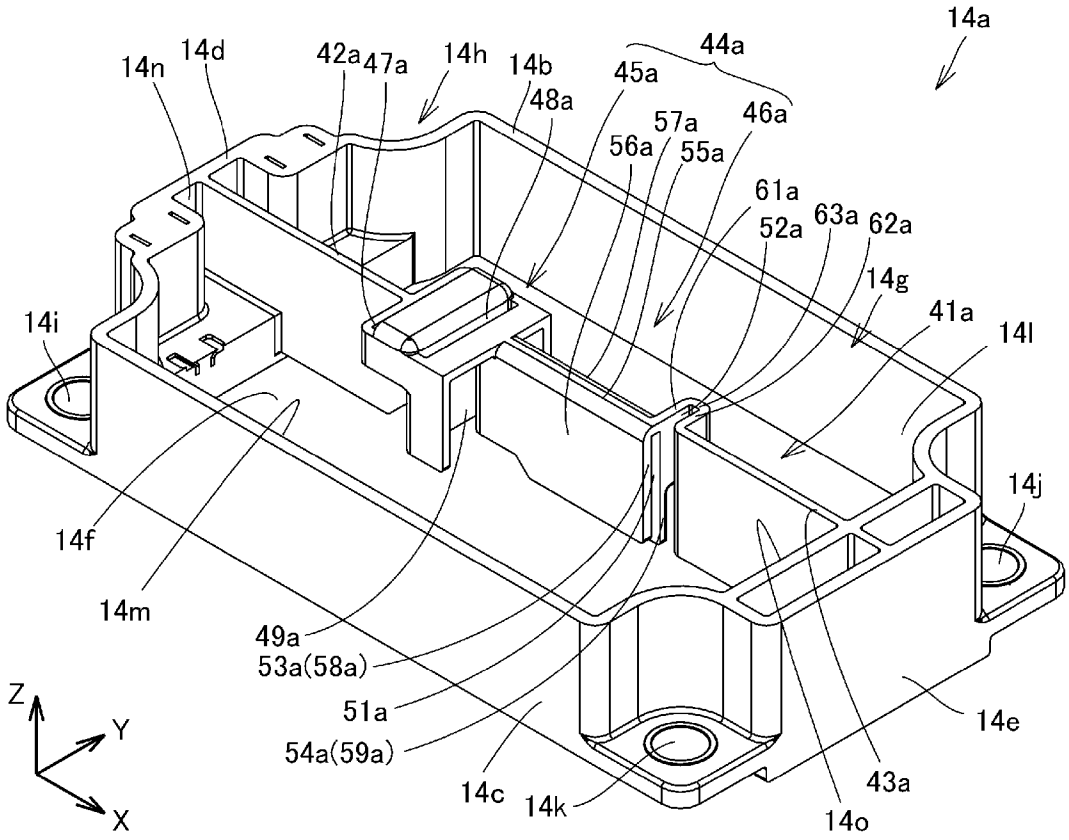
[図10]

FIG.10



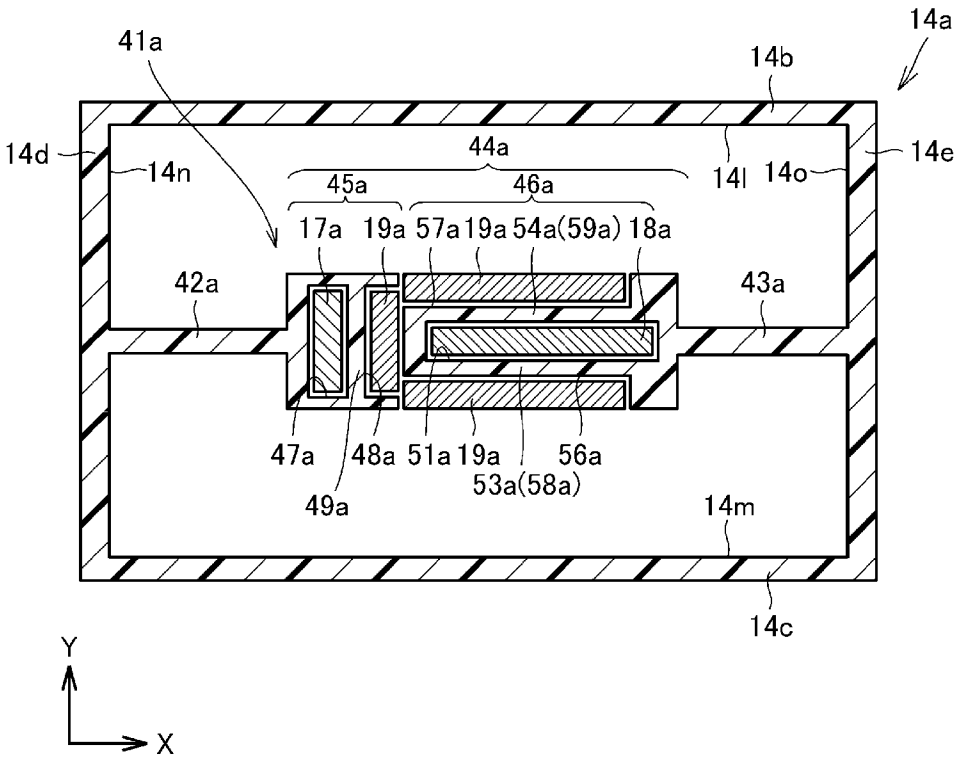
[図11]

FIG.11


14a
14n
14d
42a
47a
14h
14b
44a
45a
48a
57a
46a
56a
55a
61a
52a
63a
62a
14g
41a
14l
14i
14f
14m
14j
49a
53a(58a)
51a
54a(59a)
14c
14k
14e
43a
14o
Z
Y
X

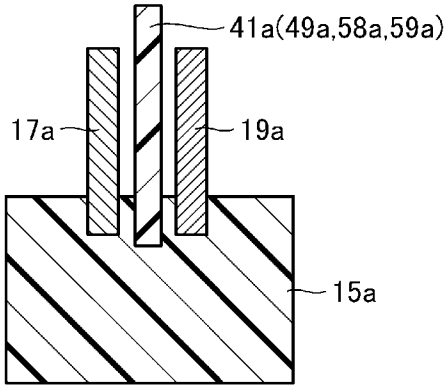
[図12]

FIG.12


14a
41a
14b
14d
14n
44a
14l
14o
14e
45a
46a
17a
19a
57a
19a
54a(59a)
18a
42a
43a
47a
48a
51a
19a
56a
53a(58a)
49a
14m
14c
Y
X

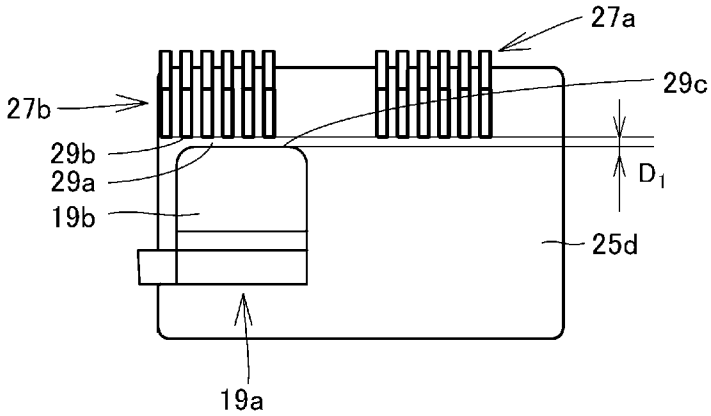
[図13]

FIG.13



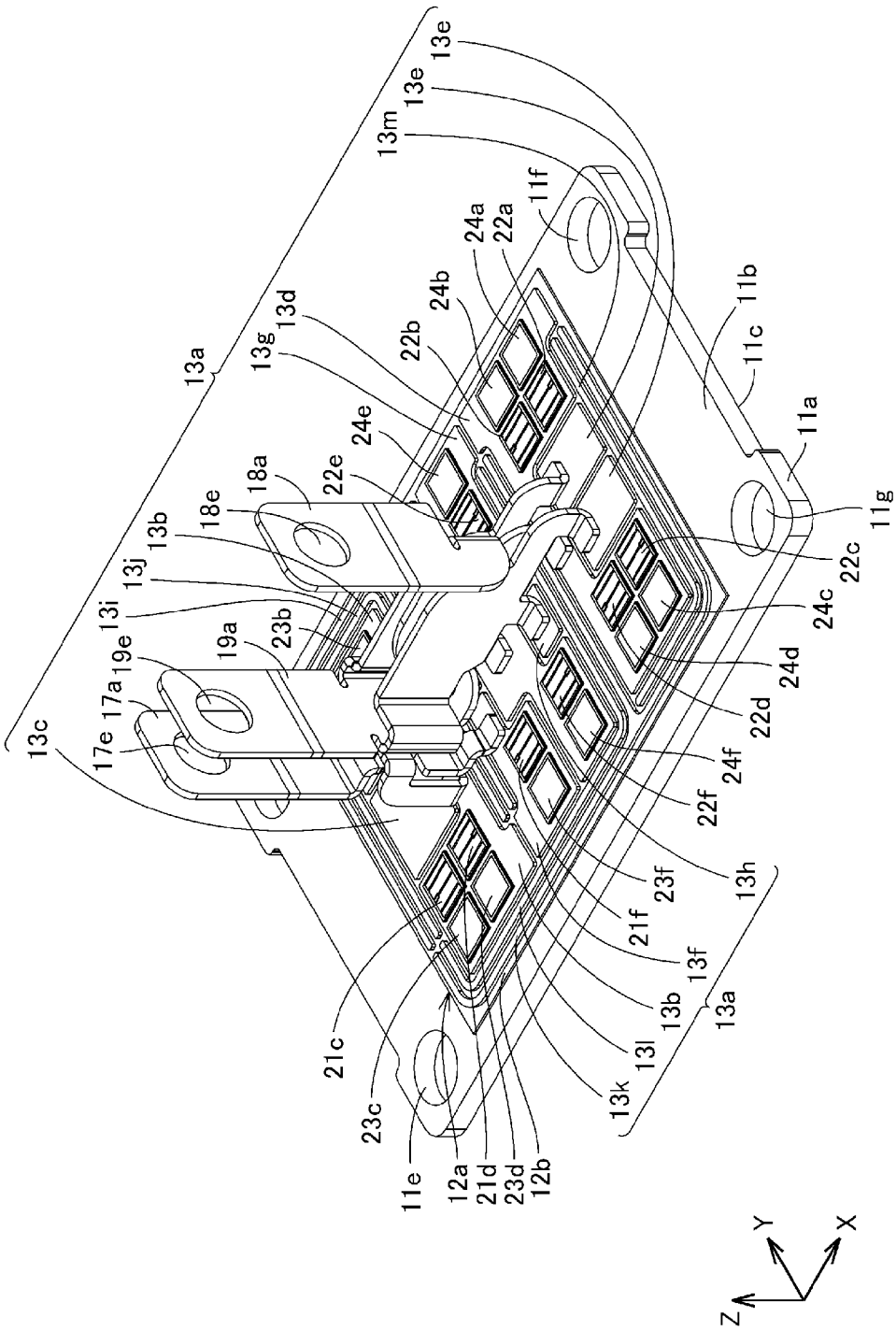
[図14]

FIG.14



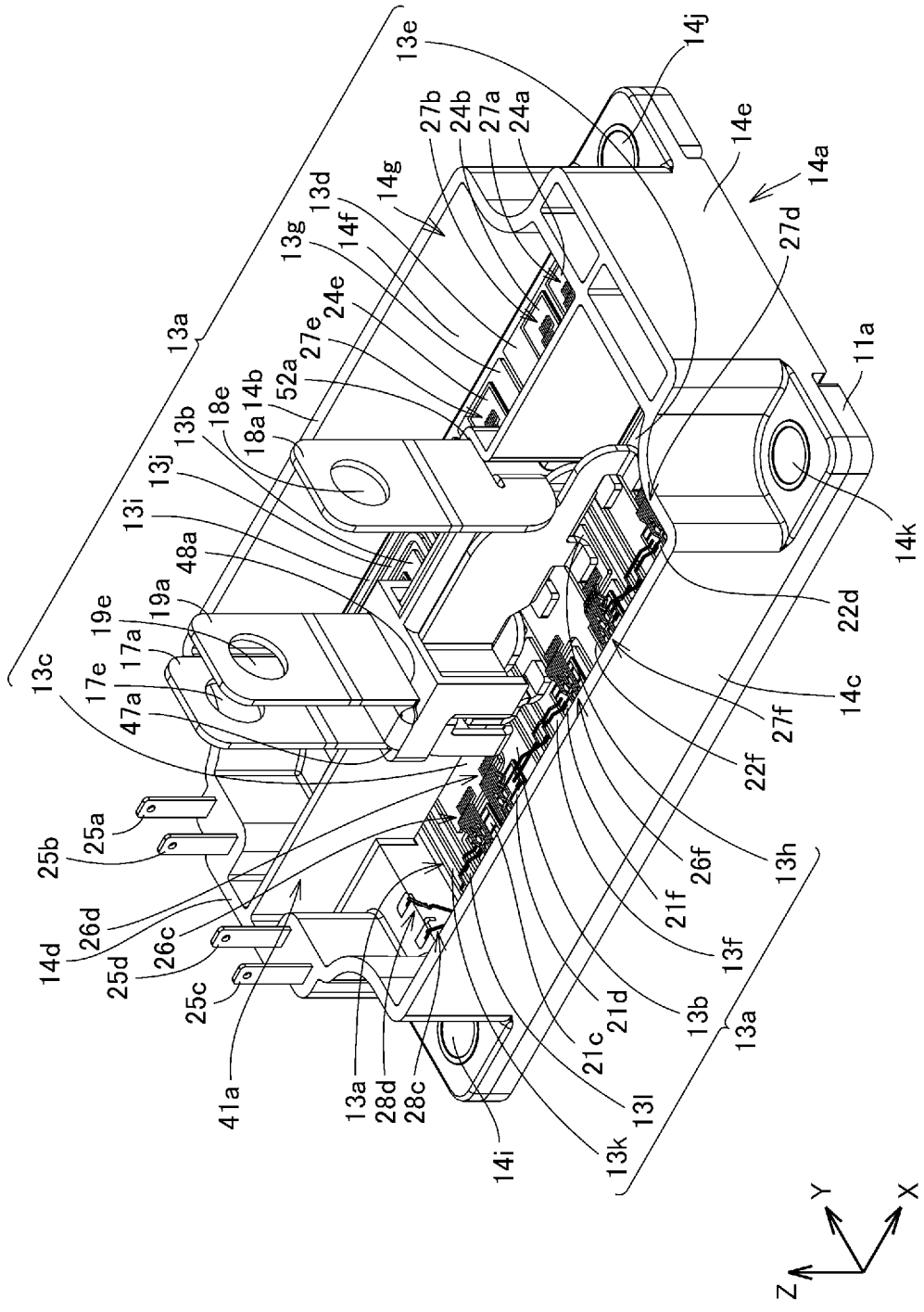
[図15]

FIG.15


13e
13e
13m
11f
24a
22a
24b
22b
13d
13g
13a
11b
11c
11a
24e
22e
18a
18e
13b
13j
13i
19a
23b
19e
17a
17e
13c
11g
22c
24c
24d
22d
24f
22f
23f
13h
21f
13f
13b
13a
13l
13k
21c
23c
11e
12a
21d
23d
12b
Y
X
Z

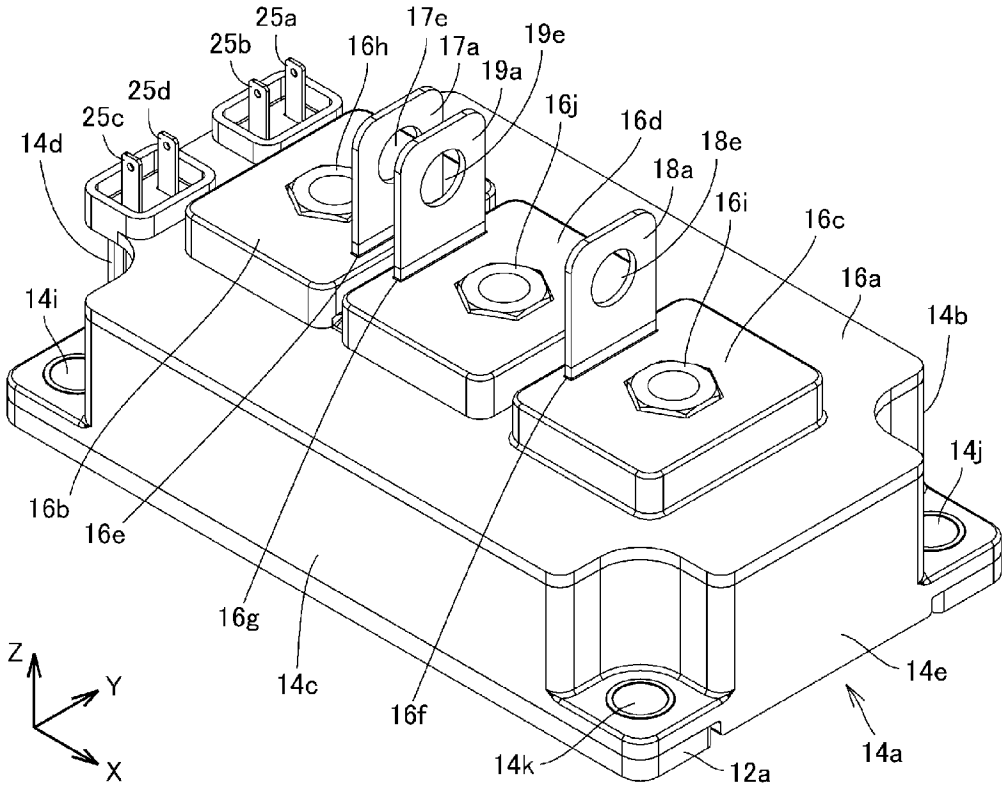
[図16]

FIG.16


13e
14j
27b
24b
27a
24a
14e
14a
14g
13d
14f
13g
27d
24e
27e
52a
14b
18e
18a
13b
13j
13i
48a
19a
19e
17a
17e
47a
13c
25a
25b
26d
14d
26c
25d
25c
41a
13a
28d
28c
14i
13k
13l
21c
21d
13b
13a
13f
21f
26f
13h
22f
27f
14c
22d
14k
11a
Y
X
Z

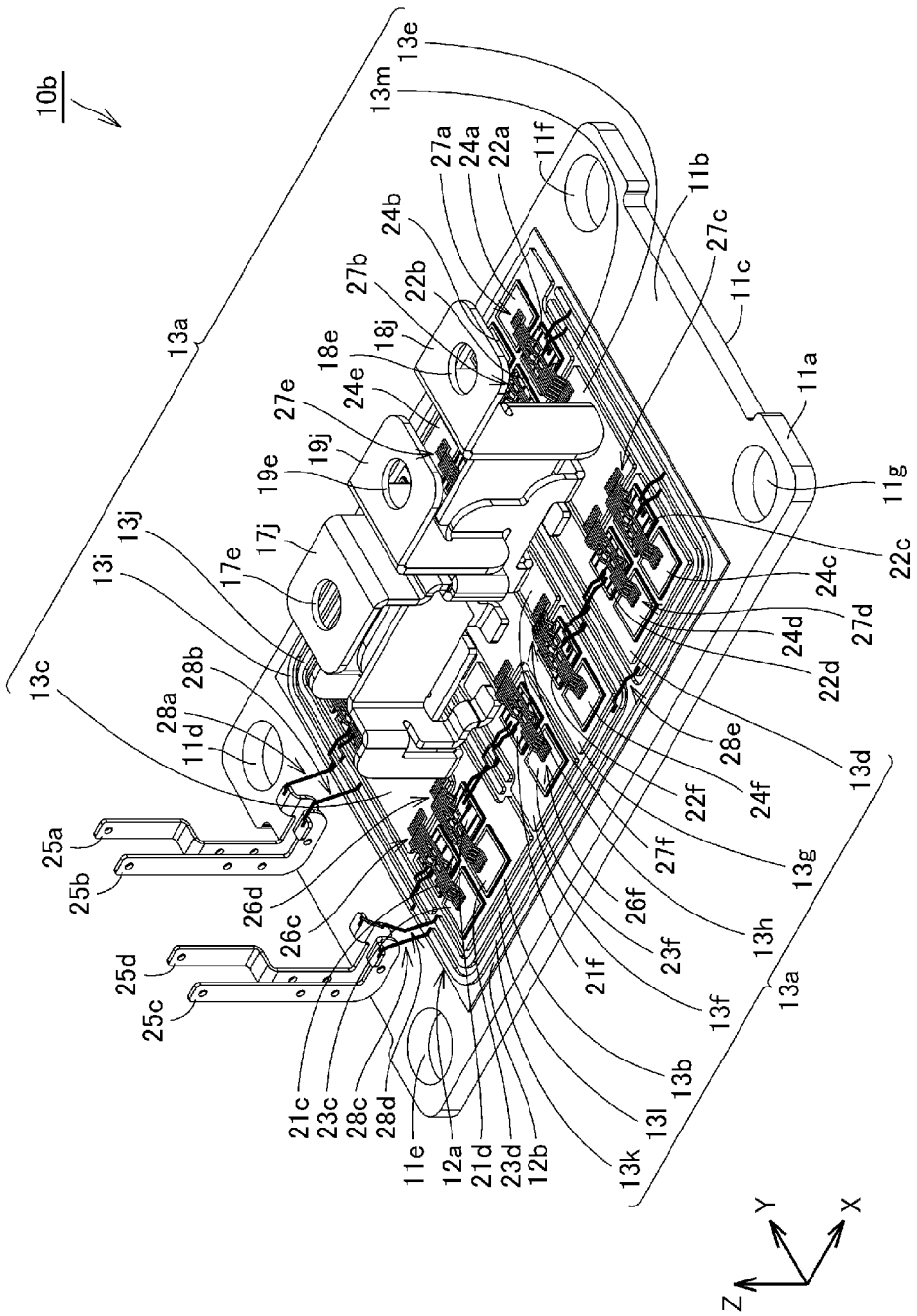
[図17]

FIG.17


25a
25b
25c
25d
14d
14i
16h
17e
17a
19e
19a
16j
16d
18e
18a
16i
16c
16a
14b
14j
16b
16e
16g
14c
16f
14k
12a
14a
14e
Z
Y
X

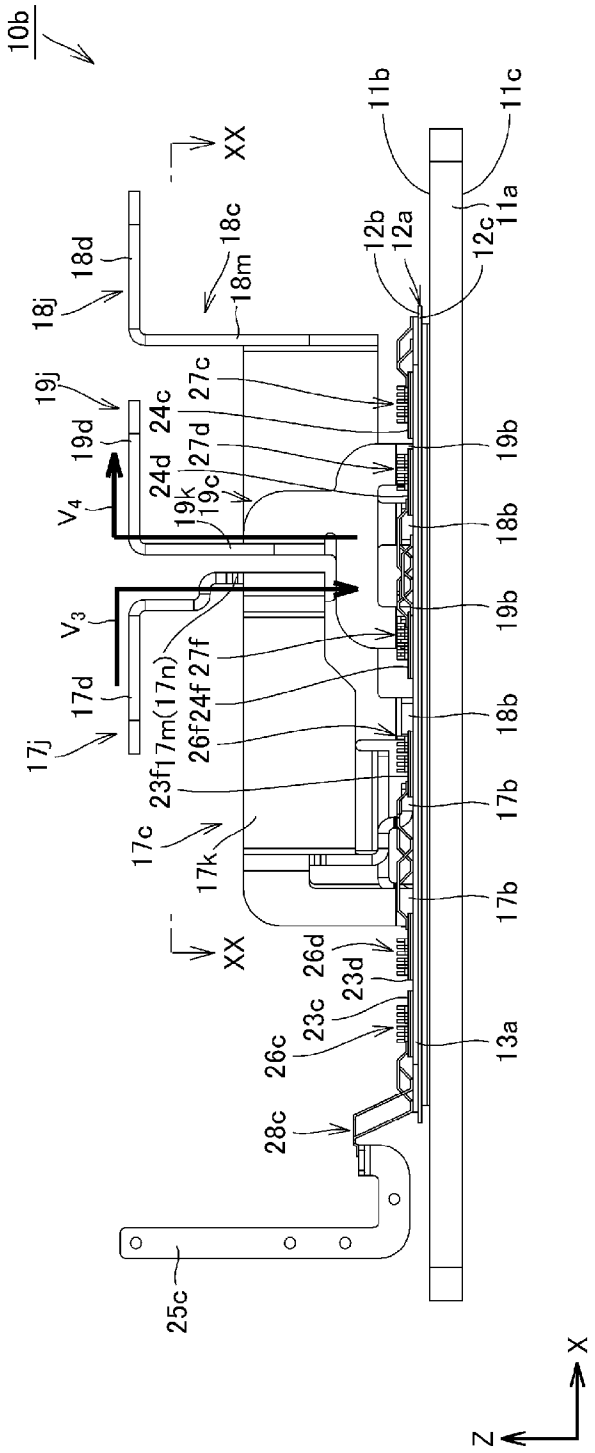
[図18]

FIG.18


10b
13a
13e
13m
11f
27a
24a
22a
11b
27c
11c
24b
22b
27b
18j
18e
24e
27e
19j
19e
17j
17e
13j
13i
11a
11g
22c
24c
27d
24d
22d
13c
28b
28a
11d
28e
24f
22f
13d
27f
13g
26f
13h
23f
21f
13f
13a
25a
25b
26d
26c
25d
25c
21c
23c
28c
28d
11e
12a
21d
23d
12b
13k
13l
13b
Y
X
Z

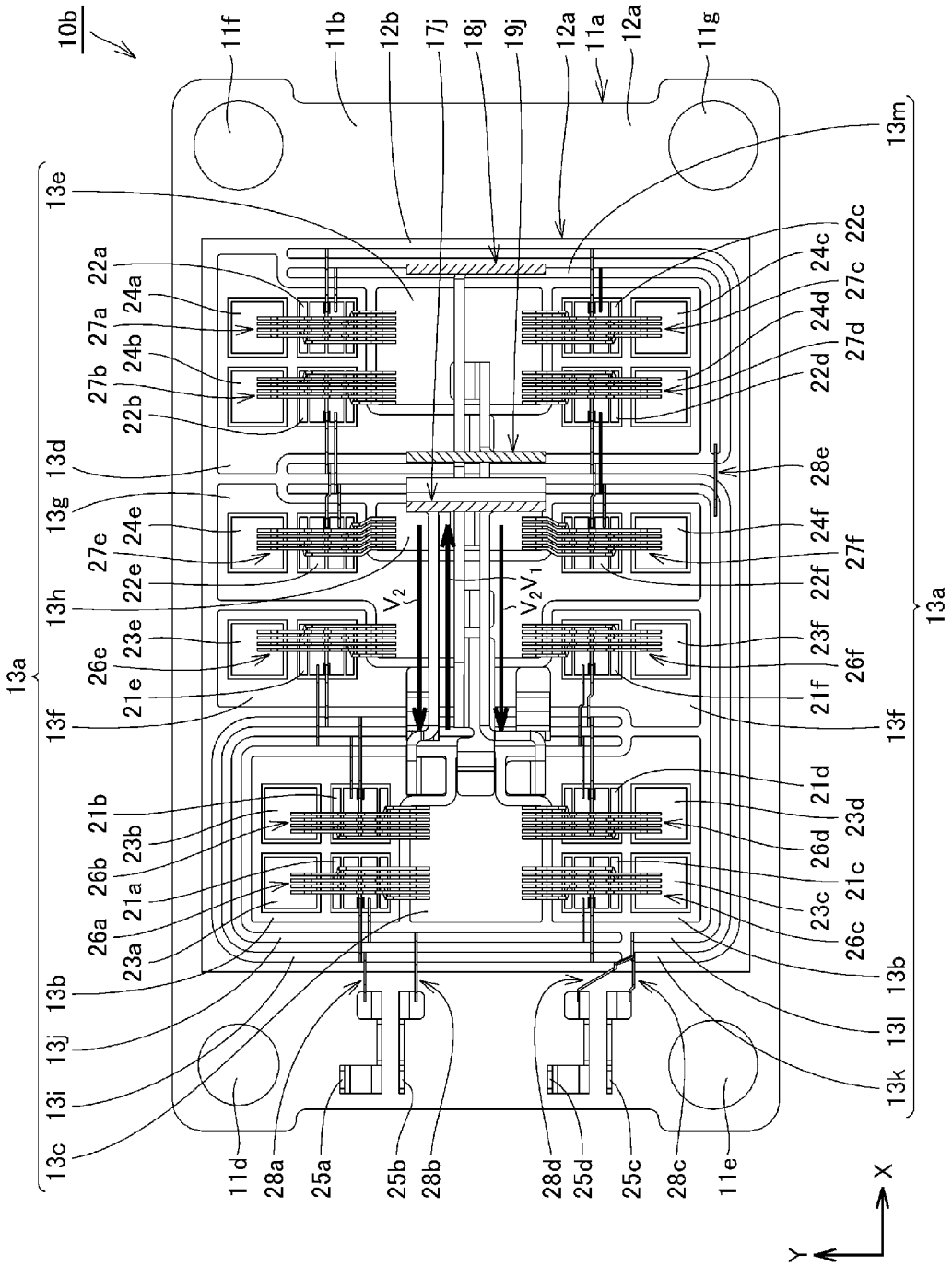
[図19]

FIG.19


10b
XX
18c
18m
18d
18j
19j
19d
24c
27c
24d
27d
19k
19c
V4
V3
17d
17j
17m(17n)
26f
24f
27f
23f
17c
17k
XX
26d
23d
23c
26c
28c
25c
11b
11c
11a
12b
12a
12c
19b
18b
19b
18b
17b
17b
13a
X
Z

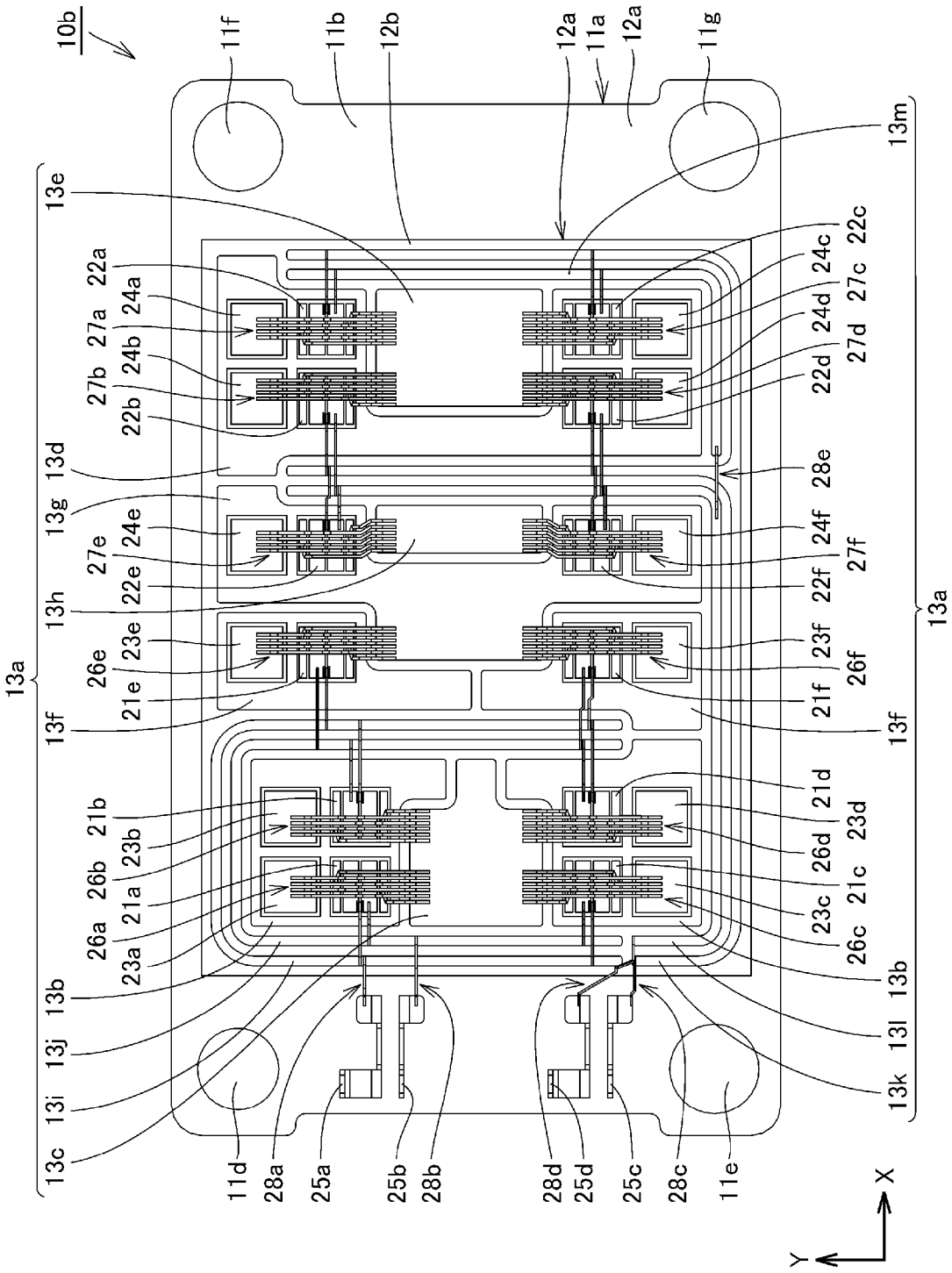
[図20]

FIG.20


10b
11f
11b
12b
17j
18j
19j
12a
11a
12a
11g
13m
13e
22a
24a
27a
24b
27b
22b
13d
13g
24e
27e
22e
13h
26e
23e
21e
13f
13a
21b
23b
26b
21a
26a
23a
13b
13j
13i
13c
11d
28a
25a
25b
28b
28d
25d
25c
28c
11e
22c
24c
27c
24d
27d
22d
28e
24f
27f
22f
23f
26f
21f
21d
23d
26d
21c
23c
26c
13b
13l
13k
V_2
V_1
X
Y

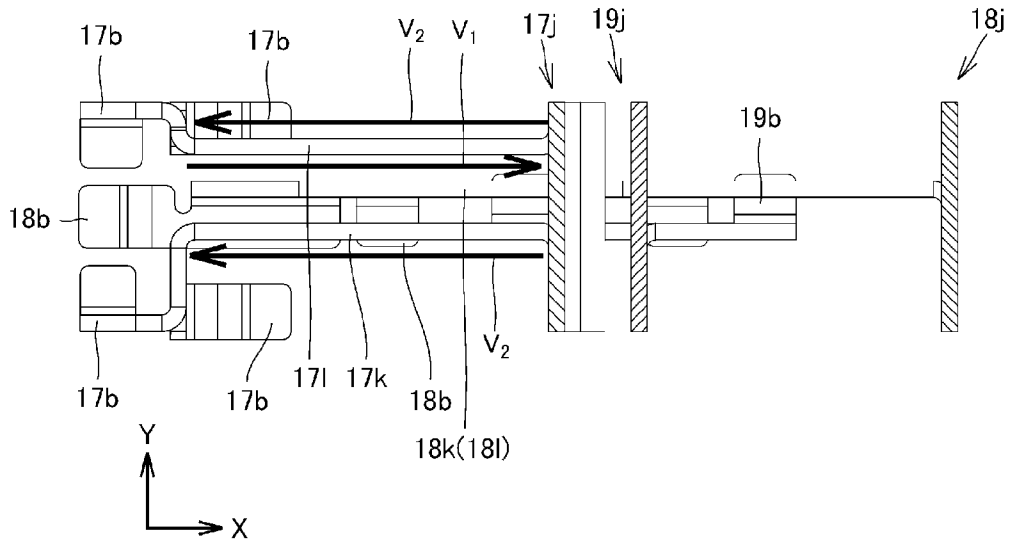
[図21]

FIG.21


10b
11f
11b
12b
12a
11a
12a
11g
13m
13e
22a
24a
27a
24b
27b
22b
13d
13g
24e
27e
22e
13h
23e
26e
21e
13f
21b
23b
26b
21a
26a
23a
13b
13j
13i
13c
22c
24c
27c
24d
27d
22d
28e
24f
27f
22f
23f
26f
21f
13f
21d
23d
26d
21c
23c
26c
13b
13l
13k
13a
13a
11d
28a
25a
25b
28b
28d
25d
25c
28c
11e
X
Y

[図22]

FIG.22


17b
17b
V_2
V_1
17j
19j
18j
19b
18b
V_2
17b
17b
17l
17k
18b
18k(18l)
Y
X

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/048316

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/48(2006.01)i; ***H01L 25/07***(2006.01)i; ***H01L 25/18***(2006.01)i
FI: H01L25/04 C; H01L23/48 R

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/48; H01L25/07; H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2020-123640 A (SUMITOMO ELECTRIC IND., LTD.) 13 August 2020 (2020-08-13) entire text, all drawings	1-9
A	JP 2020-47677 A (TOSHIBA CORP.) 26 March 2020 (2020-03-26) entire text, all drawings	1-9
A	WO 2016/140008 A1 (FUJI ELECTRIC CO., LTD.) 09 September 2016 (2016-09-09) entire text, all drawings	1-9
A	JP 2007-299781 A (HITACHI, LTD.) 15 November 2007 (2007-11-15) entire text, all drawings	1-9
A	JP 2020-184561 A (SUMITOMO ELECTRIC IND., LTD.) 12 November 2020 (2020-11-12) entire text, all drawings	1-9

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
16 February 2022	**01 March 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/048316

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2020-123640 A	13 August 2020	(Family: none)	
JP 2020-47677 A	26 March 2020	US 2020/0091118 A1 entire text, all drawings CN 110911388 A	
WO 2016/140008 A1	09 September 2016	US 2017/0179095 A1 entire text, all drawings DE 112016000092 T CN 106605300 A	
JP 2007-299781 A	15 November 2007	US 2007/0252169 A1 entire text, all drawings EP 1855374 A2 CN 101064485 A	
JP 2020-184561 A	12 November 2020	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2021/048316

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 23/48(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i
FI: H01L25/04 C; H01L23/48 R

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L23/48; H01L25/07; H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2020-123640 A (住友電気工業株式会社) 13.08.2020 (2020-08-13) 全文,全図	1-9
A	JP 2020-47677 A (株式会社東芝) 26.03.2020 (2020-03-26) 全文,全図	1-9
A	WO 2016/140008 A1 (富士電機株式会社) 09.09.2016 (2016-09-09) 全文,全図	1-9
A	JP 2007-299781 A (株式会社日立製作所) 15.11.2007 (2007-11-15) 全文,全図	1-9
A	JP 2020-184561 A (住友電気工業株式会社) 12.11.2020 (2020-11-12) 全文,全図	1-9

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
16.02.2022	01.03.2022

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
佐藤　靖史 5F 5895
電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/048316

引用文献	公表日	パテントファミリー文献	公表日
JP 2020-123640 A	13.08.2020	（ファミリーなし）	
JP 2020-47677 A	26.03.2020	US 2020/0091118 A1 全文,全図 CN 110911388 A	
WO 2016/140008 A1	09.09.2016	US 2017/0179095 A1 全文,全図 DE 112016000092 T CN 106605300 A	
JP 2007-299781 A	15.11.2007	US 2007/0252169 A1 全文,全図 EP 1855374 A2 CN 101064485 A	
JP 2020-184561 A	12.11.2020	（ファミリーなし）	