



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I666771 B

(45)公告日：中華民國 108 (2019) 年 07 月 21 日

(21)申請案號：104125225

(22)申請日：中華民國 104 (2015) 年 08 月 04 日

(51)Int. Cl. : **H01L29/778 (2006.01)**

(30)優先權：2014/09/09 世界智慧財產權組織 PCT/US14/54823

(71)申請人：美商英特爾股份有限公司 (美國) INTEL CORPORATION (US)
美國(72)發明人：全箕玟 JUN, KIMIN (KR)；達斯古塔 山薩塔克 DASGUPTA, SANSAPTAK
(IN)；利萬德 亞歷韓卓 LEVANDER, ALEJANDRO X. (US)；摩洛 派翠克
MORROW, PATRICK (US)

(74)代理人：林志剛

(56)參考文獻：

US 2004/0157396A1

US 2009/0117707A1

US 2011/0147708A1

US 2013/0161698A1

US 2013/0216941A1

審查人員：張錦昇

申請專利範圍項數：25 項 圖式數：4 共 45 頁

(54)名稱

多閘高電子遷移率電晶體及製造方法

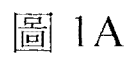
MULTI-GATE HIGH ELECTRON MOBILITY TRANSISTORS AND METHODS OF FABRICATION

(57)摘要

多閘極高電子遷移率電晶體(HEMT)與其形成方法之揭露。多閘極 HEMT 包括基板與在該基板頂部上的附著層。被設置在該附著層頂部上的通道層，與被設置在該通道層頂部上的第一閘極電極。該第一閘極電極具有介於該第一閘極電極與該通道層之間的第一閘極介電層。第二閘極電極被嵌入在該基板之內與該通道層之下。該第二閘極電極具有完全包圍該第二閘極電極的第二閘極介電層。一對源極與汲極被設置在該第一閘極電極的相反兩側上。

A multi-gate high electron mobility transistor (HEMT) and its methods of formation are disclosed. The multi-gate HEMT includes a substrate and an adhesion layer on top of the substrate. A channel layer is disposed on top of the adhesion layer, and a first gate electrode is disposed on top of the channel layer. The first gate electrode has a first gate dielectric layer in between the first gate electrode and the channel layer. A second gate electrode is embedded within the substrate and beneath the channel layer. The second gate electrode has a second gate dielectric layer completely surrounding the second gate electrode. A pair of source and drain contacts are disposed on opposite sides of the first gate electrode.

指定代表圖：



120 · · · 通道層

發明專利說明書

(本申請書格式、順序，請勿任意更動)

【發明名稱】（中文/英文）

多閘高電子遷移率電晶體及製造方法

Multi-gate high electron mobility transistors and methods of fabrication

【技術領域】

本發明的實施方式一般係關於半導體電晶體及其製造方法。更具體而言，本發明的實施方式係關於多閘高電子遷移率電晶體（HEMT）及其製造方法。

【先前技術】

如 III-V 半導體的氮化物半導體化合物，由於其大量的能帶間隙電子特性，正超越矽日益普及地成為具有前景的替代或補充物質。在半導體技術中使用高能帶間隙材料能產生具有高崩潰電壓與高電子遷移率的半導體裝置。利用寬能帶間隙半導體的傳統裝置係由包括單閘電極以及一對源極與汲極區域的平面半導體結構所形成。為了製造傳統的平面寬能帶間隙電晶體，III-V 半導體材料的厚緩衝層最初係在後基板上形成，用以盡量減少穿透缺陷。實際而言，生成厚的緩衝層可以係昂貴且耗時的，因而限制設計製程中的彈性。

【圖式簡單說明】

圖 1A-1B 係根據本發明之實施方式闡明多閘 HEMT 的剖面圖。

圖 2A-2J 係根據本發明之實施方式闡明形成增強型多閘 HEMT 之方法的剖面圖。

圖 2K-2M 係根據本發明之實施方式，作為圖 2G-1 的延續，闡明形成耗盡型多閘 HEMT 之方法的剖面圖。

圖 3 係闡明實施本發明一或多個實施方式之中介層。

圖 4 係闡明根據本發明實施方式所建立的計算裝置。

【發明內容及實施方式】

揭露多閘 HEMT 及其製造方法。在以下的說明中，將使用熟悉本技術領域人員常用的術語來敘述各種方面的示例性實施方式，將其工作的實質內容傳達給熟悉該技術領域的其他人員。然而，對熟悉相關領域的這些人員而言顯而易見的是，本發明可以僅與部分所描述的方法實施。出於解釋之目的，提出具體的數字、材料與配置，以便提供該示例性實施方式的徹底了解。然而，對熟悉該領域的人員而言顯而易見的是，本發明可在無該些具體細節的情況下實施。在其他例子中，為大眾所熟知的特性將被省略或簡化，以免模糊該示例性實施方式。

各種操作將以最有助於理解本發明的方式依次被描述為多個獨立的操作，然而，描述的順序不應被解釋為暗示該些操作係為必然的順序相關。特別是，這些操作不需按照呈現的順序來執行。

本發明的實施方式係針對多閘 HEMT 與其製造方法。在實施方式中，多閘 HEMT 包括被放置在基板頂部上的通道層。第一閘極電極被設置在通道層上方與第二閘極電極被設置在通道層下方。第一與第二閘極電極的相反側上係為源極與汲極接觸。在實施方式中，第一與第二閘極電極控制電流分別流過通道層的上方與下方。因此，多閘 HEMT 具有最大的電流控制。

圖 1A 係根據本發明之實施方式闡明多閘 HEMT 100 的剖面圖。在實施方式中，多閘 HEMT 100 形成在載體基板 102 上方。載體基板 102 可被形成在任何用於半導體製造的適合基板上，例如塊體單晶矽基板。附著層 104 被形成在載體基板 102 頂部上。附著層 104 可被用來將載體基板 102 附著在另一基板上，如下所敘述。任何適合的附著材料，例如二氧化矽（ SiO_2 ）或氧化鋁（ Al_2O_3 ），可被用來形成附著層 104。

如圖 1A 所示通道層 120 被設置於附著層 104 上。在實施方式中，通道層 120 係為異質結構，其包括極性半導體層 114 與偏振層 112。在實施方式中，極性半導體層 114 被直接設置在偏振層 112 頂部上。極性半導體層 114 可由寬能帶間隙 +c 極性半導體材料形成，例如但不侷限於，氮化鎵（ GaN ）或氮化鎵鎵（ InGaN ）。在實施方式中，偏振層 112 由任何適合的材料所形成，其當被直接設置在鄰近極性半導體層 114 時誘發二維電氣層（2DEG）。例如，偏振層 112 可由氮化鋁鎵（ AlGaN ）、氮化鋁鎵

(AlInN)、或氮化鋁 (AlN)。

在本發明的實施方式中，多閘 HEMT 100 具有二閘極電極：第一閘極電極 106 與第二閘極電極 108。第一閘極電極 106 可被設置在通道層 120 上方，與第二閘極電極 108 可被設置在通道層 120 下方。在實施方式中，第二閘極電極可被設置在極性半導體層 114 下方。在實施方式中，第二閘極電極 108 可進一步被設置在偏振層 112 下方。如圖 1A 所示第二閘極電極 108 可與第一閘極電極 106 垂直對齊。具有二閘極電極使得閘極電壓被施加至極性半導體層 114 的頂部與底部表面就此而論，多閘 HEMT 100 能最大控制流經極性半導體層 114 的電流。第一與第二閘極電極 106 與 108 可由通常用來做閘極電極的傳導性材料形成。在實施方式中，傳導性材料係為金屬。在特定的實施方式中，傳導性材料係由鎳 (Ni)、氮化鈦 (TiN)、鉑 (Pt)、或鎢 (W) 所組成。

多閘 HEMT 100 也包括二閘極介電層。第一閘極介電層 116 可被設置在極性半導體層 114 與第一閘極電極 106 之間。第二閘極介電層 118 可被設置圍繞在第二閘極電極 108 周圍。在實施方式中，第二閘極介電層 118 完全包圍第二閘極電極 108。第一與第二閘極介電層 116 與 118 可由絕緣材料形成，例如但不侷限於氧化矽、二氧化矽 (SiO₂) 與／或高 K 介電材料。

多閘 HEMT 包括形成在第一與第二閘極電極 106 與 108 相反側上的源極與汲極接觸。在實施方式中，源極與

第一附著層 104A 接著在偏振層 112 頂部上被形成，因而完成了施體基板 200 的形成。任何適合的沉積製程可被用來形成第一附著層 104A，例如化學氣相沉積（CVD）與物理氣相沉積（PVD）。第一附著層 104A 附加在施體基板 200 來分離基板，例如圖 2B-1 所闡明之受體基板 201。第一附著層 104A 可被設計為具有足夠的厚度，當與另一附著層熔合時形成牢固的結合，例如圖 2B-1 中所闡明的第二附著層 104B 所闡明。在實施方式中，第一附著層 104A 的厚度範圍從 10 至 20nm。第一附著層 104A 可由具有附著性的任何適合材料形成，例如 SiO_2 或 Al_2O_3 。在特定的實施方式中，施體基板 200 包括矽形成的樣板基板 202、GaN 形成的厚極性半導體層 113、AlGaN 形成的偏振層 112、與 SiO_2 形成的第一附著層 104A。

選擇性穿孔層 204 可被形成在厚極性半導體層 113 之內，為離子解離製程作準備。在實施方式中，穿孔層 204 可在厚極性半導體層 113 生長後的任何時候被植入。在實施方式中，穿孔層 204 在第一附著層 104A 沈積後被植入。在實施方式中，從厚極性半導體層 113 的頂部表面 115 藉由氬植入至深度 D 生成穿孔層 204。穿孔層 204 可決定施體基板 200 在哪個點被離子解離製程切斷。在實施方式中，氬植入的深度 D 係為極性半導體層 114 的目標厚度，作為如圖 1A 所示之通道層 120 的一部分。被設置在深度 D 上方之厚極性半導體層 113 的部分可為高純度半導

體材料，其之後被用作通道層 120 的一部分。在實施方式中，深度 D 至少為 2 nm。在特定的實施方式中，深度 D 範圍在 20 至 100 nm 內。

接著，在圖 2B-1，提供具有受體頂部表面 210 的受體基板 201。在實施方式中，受體基板 201 包括由任何適合用於半導體製造之基板形成的載體基板 102，例如塊體單晶矽基板。

犧牲層 206 被形成在受體基板 201 之內。犧牲層 206 可完全地被嵌入在受體基板 201 之內。如圖 2B-2 所闡示之受體基板 201 的頂部透視圖，犧牲層 206 可在第二附著層 104B 之內延伸下至載體基板 102 的部分。回頭參考圖 2B-1 中所描繪的實施方式，犧牲層 206 被形成在載體基板 102 的溝槽之內，且完全地被第二附著層 104B 包圍。第二附著層 104B 可立即包圍載體基板 102 的溝槽之內的犧牲層 206。在實施方式中，從可被選擇性地從相對附著層 104B 移除之犧牲材料形成犧牲層 206。進一步，犧牲層 206 由不擴散至附著層 104B 的犧牲材料所形成。犧牲層 206 也可耐受用來形成多閘 HEMT 之其他特徵的後續製程條件。在實施方式中，犧牲層 206 可由金屬，如鎢、或氮化物，如氮化鈦 (TiN) 或氮化矽 (SiN) 所形成。

如圖 2B-1 所闡明，第二附著層 104B 的部分被設置於載體基板 102 頂部。第二附著層 104B 可附加在受體基板 201 來分離基板，例如施體基板 200。在實施方式中，第二附著層 104B 具有足夠的厚度，當與另一附著層熔合時

114 具有足夠的厚度讓電流在多閘 HEMT 的操作中流過。在實施方式中，極性半導體層 114 的厚度等同於圖 2A 中所討論的嵌入氫原子的深度 D。在實施方式中，極性半導體層 114 的厚度至少為 2 nm。在具體的實施方式中，極性半導體層 114 的厚度範圍在 20 至 100 nm 內。

在實施方式中，結合基板 203 在厚極性半導體層 113 之內的穿孔層 204 被離子切割分離，其中如圖 2A 所討論的氫原子被嵌入。離子切割可由初始熱退火執行，其形成孔隙，氫原子被嵌入其中。一旦孔隙被形成，由於孔隙所引起的結構性弱點，該部分 209 可輕易地被分離。替代性分離方法包括任何常規的切割技術，例如剝離、或任何適合的選擇性蝕刻釋放技術。熟悉本領域的技術人員將理解分離結合基板 203 之嵌入選擇性蝕刻釋放技術所規定的製程。拋光製程，例如化學機械拋光（CMP），可接著被用來平滑頂部表面以，與打薄該層 114 至所期望的厚度。

分離並移除結合基板 203 的該部分 209 之後，根據本發明之實施方式，如圖 2E 所示之裝置基板 205 被用來形成多閘 HEMT 100。在實施方式中，裝置基板 205 包括載體基板 102、犧牲層 206、結合附著層 104 與通道層 120。在實施方式中，通道層 120 係由極性半導體層 114 與偏振層 112 所形成之異質結構。在實施方式中，極性半導體層 114 被直接設置在偏振層 112 頂部上。

接下來，如圖 2F 所示源極與汲極接觸 110 被形成在犧牲層 206 與載體基板 102 上方的相反側上。源極與汲極

接觸 110 可由從極性半導體層 114 外延生長被形成。例如，源極與汲極接觸 110 可由 ALD 或 CVD 被形成。在實施方式中，源極與汲極接觸 110 延伸通過極性半導體層 114 且直接形成在偏振層 112 的頂部上。就此而論，源極與汲極接觸 110 被耦合至極性半導體層 114 與偏振層 112。再者，源極與汲極接觸 110 可被耦合至被形成在極性半導體層 114 之內的 2DEG 層。任何合適的半導體材料可被用來形成源極與汲極接觸 110。在實施方式中，源極與汲極接觸 110 係由 N 摻雜 GaN、InGaN、或 InN 所形成。

之後，如圖 2G-1 所示，犧牲層 206 被選擇性地移除以形成孔隙 210。在實施方式中，犧牲層 206 透過第一蝕刻製程被移除，其基本上只移除犧牲層 206。在實施方式中，第一蝕刻製程係為使用蝕刻劑的等向性濕蝕刻製程，其選擇性地移除與周圍之結合附著層 104 相對的犧牲層 206。也就是說，蝕刻劑基本上移除犧牲層 206，同時保持周圍的結合附著層 104 基本上的完整。在實施方式中，蝕刻劑為磷酸（ H_3PO_4 ）或氫氧化銨與過氧化氫的混合物（ $\text{NH}_4\text{OH}+\text{H}_2\text{O}_2$ ）。

為移除犧牲層 206，至少一或多個開口 211 可透過區域 209、直接在犧牲層 206 上方被形成，如圖 2G-2 所闡明。開口 211 不干擾通道層 120。在實施方式中，開口 211 暴露出犧牲層 206，並提供蝕刻劑可流通過的通道。蝕刻劑可被用來選擇性地移除犧牲層 206。在實施方式

中，開口 211 可藉由任何合適的蝕刻製程被形成，例如電漿蝕刻製程。

接下來，孔隙 210 被擴展來形成放大孔隙 212，如圖 2H 所示。在實施方式中，偏振層 112 的部分被移除來形成放大孔隙 212。因此，放大孔隙 212 可暴露極性半導體層 114 的底部表面 222。放大孔隙 212 也可暴露裝置基板 205 之內的其他表面。例如，放大孔隙 212 可進一步暴露偏振層 112 的側壁 214、結合附著層 104 的側壁 216、以及載體基板 102 的表面 218 與 220。放大孔隙 212 可定義底部閘極電極 108 的閘極深度，如圖 1A-1B 所示。在替代性的實施方式中，放大孔隙 212 並不會暴露極性半導體層 114，如圖 2K-2M 以下進一步討論所闡明的。

在實施方式中，放大孔隙 212 由兩道蝕刻製程形成。例如，放大孔隙 212 可由第二蝕刻製程與第三蝕刻製程形成。在實施方式中，第二蝕刻製程持續性地僅移除結合附著層 104 的一部分。第二蝕刻製程可為等向性濕式蝕刻製程，其使用蝕刻劑來選擇性地移除相對周圍層（即，112 與 102）的結合附著層 104。也就是說，蝕刻劑基本上移除結合附著層 104，同時保持周圍層基本上的完整。在實施方式中，蝕刻劑係為氫氟酸（HF）。

在實施方式中，第三蝕刻製程移除偏振層 112 的部分。第三蝕刻製程可為濕式蝕刻製程，其選擇性地移除相對周圍層（即，114、104、與 102）的偏振層 112。也就是說，蝕刻劑基本上移除偏振層 112，同時保持周圍層

114、104、與 102 基本上的完整。在實施方式中，蝕刻劑係為氫氧化鉀（KOH）、氫氧化鈉（NaOH）、或 AZ400K 光阻劑顯影劑。

接下來，如圖 2I 所示 第一閘極介電層 116 與第二閘極介電層 118 被形成。在實施方式中，第一閘極介電層 116 在通道層 120 的頂部上以及源極與汲極接觸 110 之間被形成。此外，第二閘極介電層 118 在放大孔隙 212 的表面 222、214、216、218 與 220 上被形成。在實施方式中，第二閘極介電層 118 並不完全填滿放大孔隙 212。形成具有足以針對電晶體操作之厚度的第一與第二閘極介電層 116 與 118。在實施方式中，第一與第二閘極介電層 116 與 118 具有介於 2-4 nm 的厚度。第一與第二閘極介電層 116 與 118 電隔離在其上它們由隨後形成之閘極電極所形成的表面。第一與第二閘極介電層 116 與 118 可由任何合式的高 K 介電質材料形成。在實施方式中，第一與第二閘極介電層 116 與 118 由絕緣材料形成，例如但不侷限於， SiO_2 、 HfO_2 、與 ZrO_2 。

在實施方式中，任何合適的符合沈積製程，例如 CVD 或 ALD 可形成第一與第二閘極介電層 116 與 118。在實施方式中，第一與第二閘極介電層 116 與 118 被同時形成。在實施方式中，第二閘極介電層 118 由 ALD 通過開口 211 形成，如以上圖 2G-2 所闡明討論。就此而論，開口 211 應被設計具有夠寬的直徑，使足夠的沈積材料流入放大孔隙 212 以形成第二閘極介電層 118。在實施方式

中，開口 211 具有至少 10 nm 的直徑。在特定的實施方式中，開口 211 具有範圍在 15-20 nm 的直徑。

之後，如圖 2J 所描繪的，形成第一閘極電極 106 與第二閘極電極 108，因而完成了根據本發明實施方式之增強型多閘 HEMT 100 的構造。第一閘極電極 106 可被形成在第一閘極介電層 116 頂部上與極性半導體層 114 上方。此外，第二閘極電極 108 被形成在極性半導體層 114 下方的放大孔隙 212 之內。在實施方式中，第二閘極電極 108 完全填滿放大孔隙 212。在實施方式中，第二閘極電極 108 被完全地封閉在第二閘極介電層 118 之內。第一與第二閘極電極 106 與 108 可被形成為具有依照設計要求之閘極長度。在實施方式中，第一與第二閘極電極可具有取決於極性半導體層 114 之深度 D 的閘極長度。例如，若極性半導體層 114 的深度 D 約為 20 nm，第一與第二閘極電極 106 與 108 可具有相同的閘極長度。在實施方式中，第一與第二閘極電極 106 與 108 可具有介於 1 與 3 μm 之間的閘極長度。在特定的實施方式中，第一與第二閘極電極 106 與 108 具有 2 μm 的閘極長度。在另一實施方式中，若極性半導體層 114 的深度 D 約為 100 nm，第一與第二閘極電極 106 與 108 可具有不同的閘極長度。例如，第二閘極電極 108 可具有較第一閘極電極 106 更寬的閘極長度。在實施方式中，第一閘極電極 106 可具有介於 0.5 與 3 μm 之間的閘極長度，且第二閘極電極可具有介於 1 與 3 μm 之間的閘極長度。在特定的實施方式中，第一閘極電

極 106 具有 1 μm 的閘極長度，且第二閘極電極 108 具有 2 μm 的閘極長度。

在實施方式中，第一閘極電極 106 與第二閘極電極 108 係為垂直地互相對齊。此外，在實施方式中，第一閘極電極 106 與第二閘極電極 108 互相電耦合，使得當施加電壓在一閘極時，另一個閘極也被施加相同的電壓。就此而論，通道層 120 的兩側可被用來控制流經極性半導體層 114 的電流。第一閘極電極 106 可由任何合適的閘極形成製程形成。例如，第一閘極電極 106 可透過導電材料的毯覆式沈積，接著沈積導電材料的向異性蝕刻來形成。在另一例子中，第一電極 106 可由取代型閘極製程或鑲嵌程序形成。第二閘極電極 108 可由任何合適的沉積技術形成，其可在嵌入基板內的孔隙之內沉積材料。例如，第二閘極電極 108 可由 CVD、PVD、或 ALD 形成。在特定的實施方式中，第一與第二閘極電極 106 與 108 被同時形成。第一與第二閘極電極 106 與 108 可由 CVD、PVD、或 ALD 形成，接著由向異性蝕刻形成第一閘極電極 106。第一與第二閘極電極 106 與 108 可由傳導性材料形成，例如金屬。示例性金屬包括 Ni、TiN、Pt、與 W。

根據本發明的實施方式，如圖 2J 所闡明的增強型多閘 HEMT 100 具有設置於介於第一與第二閘極電極 106 與 108 之間的極性半導體層 114。在實施方式中，偏振層 112 並不被設置在該第一與第二閘極電極 106 與 108 之間。第一與第二閘極電極 106 與 108 之間缺少偏振層 112

能防止在第一與第二閘極電極 106 與 108 之間形成 2DEG。根據本發明的實施方式，施加偏壓至第一與第二閘極電極 106 與 108 能從極性半導體層 114 上方與下方控制通道層 120。就此而論，根據本發明的實施方式之增強型多閘 HEMT 100 能最大控制流經極性半導體層 114 的電流。

在其他實施方式中，偏振層 112 可在第一與第二閘極電極 106 與 108 之間維持不變，來形成耗盡型多閘 HEMT。形成耗盡型多閘 HEMT 的方法如圖 2K-2M 所闡明，其繼續如上圖 2G-1 所敘述的。

在圖 2K，來自圖 2G-1 的孔隙 210 被擴展形成放大孔隙 212。在此實施方式中，放大孔隙 212 並不暴露極性半導體層 114。放大孔隙 212 能暴露偏振層 112 的底部表面 223。在實施方式中，放大孔隙 212 可進一步暴露結合附著層 104 的側壁 216、與載體基板 102 的表面 218 與 220。放大孔隙 212 可由第二蝕刻製程形成，其基本上僅移除結合附著層 104，如上述與圖 2H 相關的討論。接著，如圖 2L 所示，第一閘極介電層 116 與第二閘極介電層 118 被形成。在實施方式中，第一閘極介電層 116 在通道層 120 的頂部上以及源極與汲極接觸 110 之間被形成。此外，第二閘極介電層 118 在放大孔隙 212 的表面 223、216、218、與 220 上被形成。第二閘極介電層 118 並不完全填充放大孔隙 212。在實施方式中，第二閘極介電質 118 被直接形成在偏振層 112 下方。第一與第二閘極介電

層 116 與 118 具有與圖 2I 以上所描述之相似的厚度、尺寸、形成製程技術。

之後，如圖 2M 所描繪的，形成第一閘極電極 106 與第二閘極電極 108，因而完成了根據本發明實施方式之耗盡型多閘 HEMT 101 的構造。在實施方式中，第一閘極電極 106 可被形成在第一閘極介電層 116 頂部上與通道層 120 上方。第二閘極電極 108 被形成在放大孔隙 212 之間。第二閘極電極 108 可被設置在由極性半導體層 114 與偏振層 112 形成的通道層 120 之下。在實施方式中，第二閘極電極 108 被完全地封閉在第二閘極介電層 118 內。在實施方式中，第一閘極電極 106 與第二閘極電極 108 係為垂直地互相對齊。此外，在實施方式中，第一閘極電極 106 與第二閘極電極 108 互相電耦合，使得當施加電壓在一閘極時，另一個閘極也被施加相同的電壓。就此而論，通道層 120 的兩側可被用來控制流經通道層 120 的電流。在實施方式中，第一與第二閘極電極 106 與 108 由製程技術形成並根據上述圖 2J 中所揭露的結構尺寸。

根據本發明的實施方式，耗盡型多閘 HEMT 101 具有被設置在第一與第二閘極電極 106 與 108 之間的極性半導體層 114 以及偏振層 112。耗盡型多閘 HEMT 101 因而具有介於第一與第二閘極電極 106 與 108 之間的 2DEG。在實施方式中，2DEG 在極性半導體層 114 之內距離介面 1-2 nm。根據本發明的實施方式，施加偏壓至第一與第二閘極電極 106 與 108 能從極性半導體層 114 上方與下方控制

通道層 120。就此而論，根據本發明的實施方式之耗盡型多閘 HEMT 101 具有流經通道層 120 之電流的最大控制。

圖 3 係闡明包括一或多種由本發明實施方式所製作之晶粒的中介層 300。中介層 300 係為中介基板，其被用來橋接第一基板 302 至第二基板 304。第一基板 302 可為，例如，積體電路晶粒。第二基板 304 可為，例如，記憶體模組、電腦主機板、或其他積體電路晶粒。通常，中介層 300 的目的是將連結散佈至更廣的間距，或將連結重新連至不同的連結。舉例，中介層 300 可將積體電路晶粒耦合至球形陣列（BGA）306，其可隨後被耦合至第二基板 304。在部分實施方式中，第一與第二基板 302／304 被附著在中介層 300 的相反側。在其他實施方式中，第一與第二基板 302／304 被附著在中介層 300 的同一側。在進一步的實施方式中，三或多個基板被以中介層 300 的方式連接。

中介層 300 可由環氧樹脂、玻璃纖維增強環氧樹脂、陶瓷材料、或如聚醯亞胺的聚合物材料所形成。在進一步的實施方式中，中介層可由替代性剛性材料或撓性材料形成，其可包括以上所描述用在半導體基板的相同材料，例如矽、鍺、與其他 III-V 族或 IV 族材料。

中介層可包括金屬互連件 308 與通道 310，包括但不侷限於穿透矽通孔（TSVs）312。中介層 300 可進一步包括嵌入式裝置 314，包括被動裝置與主動裝置。該裝置包括但不侷限於，電容器、解耦電容器、電阻器、感應器、

熔斷器、二極體、變壓器、感測器、與靜電放電裝置（ESD）。更複雜的裝置例如射頻（RF）裝置、功率放大器、電源管理裝置、天線、陣列、感測器、以及 MEMS 裝置也可被形成在中介層 300 上。

依據本發明之實施方式，本發明所揭露之多閘 HEMT 或形成多閘 HEMT 的方法可被用在中介層 300 的製造中。

圖 4 係依據本發明之一實施方式所闡明之計算裝置 400。計算裝置 400 可包括一些元件。在一實施方式中，這些元件附著至一或多個主機板。在替代性實施方式中，這些元件被製造在單獨的系統單晶片（SoC）晶粒上，而非主機板。計算裝置 400 之中的元件包括但不侷限於，積體電路晶粒 402 與至少一個通訊晶片 408。在部分實施方式中通訊晶片 408 被製造作為積體電路晶粒 402 的一部分。積體電路晶粒 402 可包括 CPU 404，以及晶粒上記憶體 406，其常被用來做為快取記憶體，可由例如嵌入式 DRAM（eDRAM）或自旋轉移力矩記憶體（STTM 或 STTM-RAM）的技術提供。

計算裝置 400 可包括其它元件，其可以或不可以物理性地與電子性地耦合至主機板，或被製造於 SoC 晶粒之中。這些其他元件包括但不侷限於揮發性記憶體 410（如，DRAM）、非揮發性記憶體 412（如，ROM 或快閃記憶體）、圖像處理單元 414（GPU）、數位訊號處理器 416、加密處理器 442（在硬體之內執行密碼演算法的特別處理器）、晶片組 420、天線 422、顯示器或觸控螢幕

顯示器 424、觸控螢幕控制器 426、電池 428 或功率來源、功率放大器（未顯示），全球定位系統（GPS）裝置 428、羅盤 430、運動共處理器或感測器 432（其可包括加速計、陀螺儀、以及羅盤）、揚聲器 434、相機 436、使用者輸入裝置 438（例如鍵盤、滑鼠、手寫筆、以及觸控板）、與大容量儲存裝置 440（例如硬碟驅動器、光碟（CD）、數位光碟（DVD）、以及其他等等）。

通訊晶片 408 能實現將資料傳送到、與從計算裝置 400 傳送的無線通訊。術語「無線」以及其衍生詞可在使用在描述電路、裝置、系統、方法、技術、通訊通道等等，其可透過使用透過非固態介質的調變電磁輻射來傳送數據。該術語並不意味相關的裝置不含任何線路，儘管在一些實施方式中它們的確不含。通訊晶片 408 可實施任何數目的無線標準或協定，包括但不侷限於 Wi-Fi（IEEE 802.11 族）、WiMAX（IEEE 802.16 族）、IEEE 802.20、長期演進（LTE）、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍芽、以及它們的衍生標準，以及任何其它被指定為 3G、4G、5G、及進階的無線協定。計算裝置 400 可包括複數個通訊晶片 408。例如，第一通訊晶片 408 可專門用在較短距離的無線通訊，例如 Wi-Fi 與藍芽，且第二通訊晶片 408 可專門被用在較長距離的無線通訊，例如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO、以及其它。

計算裝置 400 的處理器 404 可包括根據本發明之實施方式的一或多個多閘 HEMT 裝置，且其可根據本發明之實施方式被形成。術語「處理器」可指任何裝置或裝置的部分，其處理來自暫存器與/或記憶體之電子資料，轉換電子資料到其他可被存在暫存器與/或記憶體的電子資料。

通訊晶片 408 也可包括根據本發明之實施方式的一或多個多閘 HEMT 裝置，且其可根據本發明之實施方式被形成。

在進一步實施方式中，其他被封裝在計算裝置 400 之內的元件也可包含根據本發明之實施方式的一或多個多閘 HEMT 裝置，且其可根據本發明之實施方式被形成。

在各種實施方式中，計算裝置 400 可以是膝上型電腦、筆記型電腦、超薄型電腦、智慧型手機、平板電腦、人數位助理（PDA）、超行動 PC、行動電話、桌上型電腦、伺服器、印表機、掃描器、監視器、機上盒、娛樂控制單元、數位相機、攜帶型音樂播放器、或數位攝影機。在進一步的實施方式中，計算裝置 400 可為任何其他處理數據的電子裝置。

在實施方式中，半導體裝置包括基板、基板頂部上的附著層、附著層頂部上的通道層、通道層頂部上的第一閘極電極、第一閘極電極具有在介於該第一閘極電極與該通道層之間中的第一閘極介電層、通道層下方的第二閘極電極、第二閘極電極具有完全包圍該第二閘極電極的第二閘極介電層、以及在第一電極之相對側上的一對源極與汲極

接觸。

在實施方式中，通道層係為異質性結構。其中該通道層包括偏振層與直接在該偏振層頂部上的極性半導體層。偏振層可由 AlGa_N 形成且該極性半導體層可由 GaN 形成。在實施方式中，偏振層不被設置在第一與第二閘極電極之間。在實施方式中，該極性半導體層與該偏振層被設置在該第一與第二閘極電極之間。在實施方式中，該偏振層誘發在該偏振層與該極性半導體層之間的介面之二維電子氣（2DEG）。2DEG 在極性半導體層之內距離介面可為 1-2 nm。在實施方式中，一對源極與汲極透過極性半導體層被形成在半導體層上。在實施方式中，第一閘極介電層被形成在該對源極與汲極接觸之間。第二閘極電極可延伸至載體基板的溝槽內。在實施方式中，第一閘極電極可與第二閘極電極垂直對齊。

在實施方式中，形成半導體裝置的方法包括提供施體基板與受體基板、受體基板具有嵌入式犧牲層、轉移該施體基板的部分至該受體基板上來形成裝置基板、該裝置基板的頂部形成通道層、在該通道層上與該嵌入式犧牲層的相反側上形成一對源極與汲極區域、移除該嵌入式犧牲層用以在通道層之下形成孔隙、在部分該通道層的頂部上形成第一閘極介電層，與在該孔隙內之側壁上形成第二閘極介電層、以及在該通道層上方之該第一閘極介電層上形成第一閘極電極，與在該孔隙內之該通道層之下的第二閘極電極上形成第二閘極電極。

在實施方式中，形成孔隙包括第一與第二選擇性蝕刻製程。第一選擇性蝕刻製程可基本上僅移除犧牲層。第二選擇性蝕刻製程可基本上僅移除附著層。在實施方式中，第二選擇性蝕刻製程進一步包括第三選擇性蝕刻製程。第三選擇性蝕刻製程可基本上移除底部層的部分。在實施方式中，形成孔隙暴露閘極孔隙之內的底部層。形成孔隙可暴露孔隙之內的頂部層。在實施方式中，選擇性地移除該犧牲層包含將開口蝕刻至該裝置基板來暴露該犧牲層，與用透過該開口施加的選擇性蝕刻劑移除該犧牲層。選擇性蝕刻劑選擇性地移除與包圍材料相關的該犧牲層。在實施方式中，轉移該施體基板的部分至該受體基板包括將施體基板附著至受體基板上、將施體基板結合至受體基板以形成結合基板、以及分離結合基板已形成裝置基板。該裝置基板包含該受體基板與在該受體基板頂部的該施體基板的部分。在實施方式中，轉移施體基板的部分至受體基板上進一步包括執行熔合結合將施體基板附著至受體基板。

在實施方式中，計算裝置包括主機板、安裝在該主機板上的處理器與通訊晶片，其製造在該處理器所在之同一晶片上或安裝在該主機板上。處理器包括基板、基板頂部上的附著層、附著層頂部上的通道層、通道層頂部上的第一閘極電極、第一閘極電極具有在介於該第一閘極電極與該通道層之間中的第一閘極介電層、通道層下方的第二閘極電極、第二閘極電極具有完全包圍該第二閘極電極的第二閘極介電層、以及在第一電極之相對側上的一對源極與

205：裝置基板
 211：開口
 214：側壁
 216：側壁
 222：表面
 218：表面
 220：表面
 223：底部表面
 300：中介層
 302：第一基板
 304：第二基板
 306：球形陣列
 308：金屬互連件
 310：通道
 312：穿透矽通孔
 314：嵌入式裝置
 400：計算裝置
 402：積體電路晶粒
 404：處理器
 406：晶粒上記憶體
 408：通訊晶片
 410：揮發性記憶體
 412：非揮發性記憶體
 414：圖像處理單元

- 416：數位訊號處理器
- 420：晶片組
- 422：天線
- 424：觸控螢幕顯示器
- 426：觸控螢幕顯示器控制器
- 428：電池
- 430：羅盤
- 432：運動感測器
- 434：揚聲器
- 436：相機
- 438：輸入裝置
- 440：大容量儲存裝置
- 442：加密處理器
- 444：全球定位系統

I666771

發明摘要

※申請案號：104125225

※申請日：104 年 08 月 04 日

※IPC 分類： H01L 29/778 (2006.01)

【發明名稱】(中文/英文)

多閘高電子遷移率電晶體及製造方法

Multi-gate high electron mobility transistors and methods of fabrication

【中文】

多閘極高電子遷移率電晶體 (HEMT) 與其形成方法之揭露。多閘極 HEMT 包括基板與在該基板頂部上的附著層。被設置在該附著層頂部上的通道層，與被設置在該通道層頂部上的第一閘極電極。該第一閘極電極具有介於該第一閘極電極與該通道層之間的第一閘極介電層。第二閘極電極被嵌入在該基板之內與該通道層之下。該第二閘極電極具有完全包圍該第二閘極電極的第二閘極介電層。一對源極與汲極被設置在該第一閘極電極的相反兩側上。

【英文】

A multi-gate high electron mobility transistor (HEMT) and its methods of formation are disclosed. The multi-gate HEMT includes a substrate and an adhesion layer on top of the substrate. A channel layer is disposed on top of the adhesion layer, and a first gate electrode is disposed on top of the channel layer. The first gate electrode has a first gate dielectric layer in between the first gate electrode and the channel layer. A second gate electrode is embedded within the substrate and beneath the channel layer. The second gate electrode has a second gate dielectric layer completely surrounding the second gate electrode. A pair of source and drain contacts are disposed on opposite sides of the first gate electrode.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

100：多閘 HEMT

102：載體基板

104：附著層

106：第一閘極電極

108：第二閘極電極

110：源極與汲極接觸

112：偏振層

113：厚極性半導體層

114：極性半導體層

116：第一閘極介電層

118：第二閘極介電層

120：通道層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

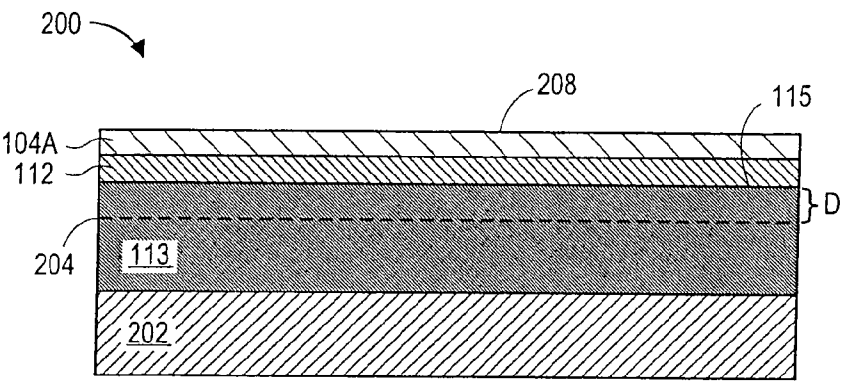


圖 2A

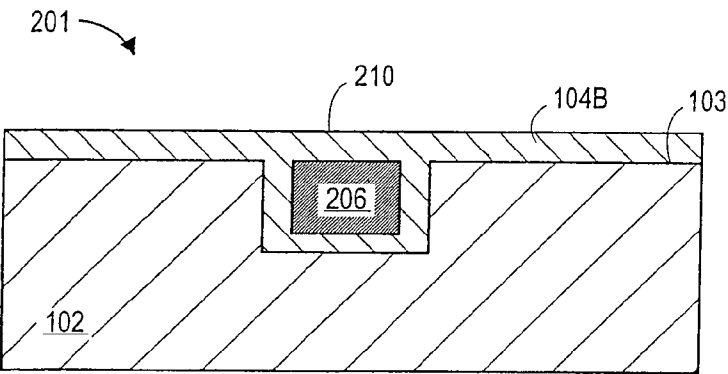


圖 2B-1

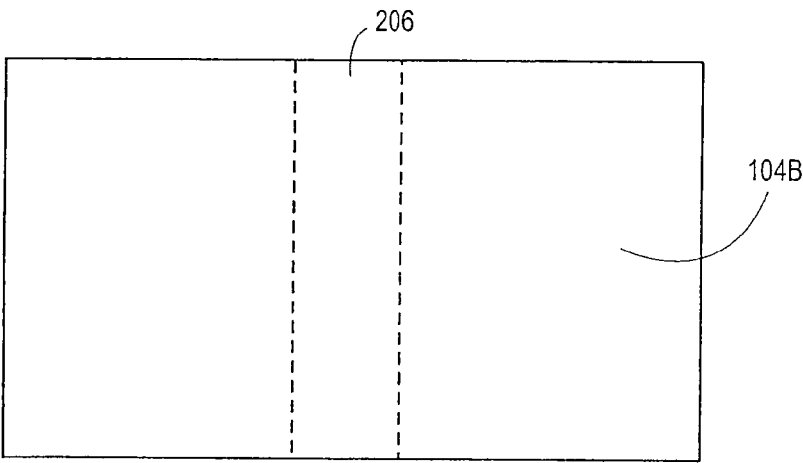


圖 2B-2

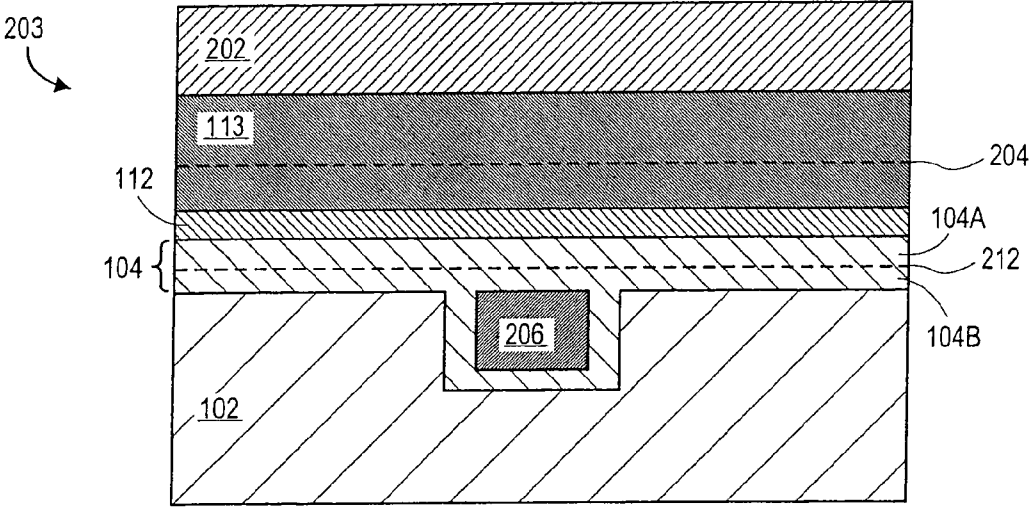


圖 2C

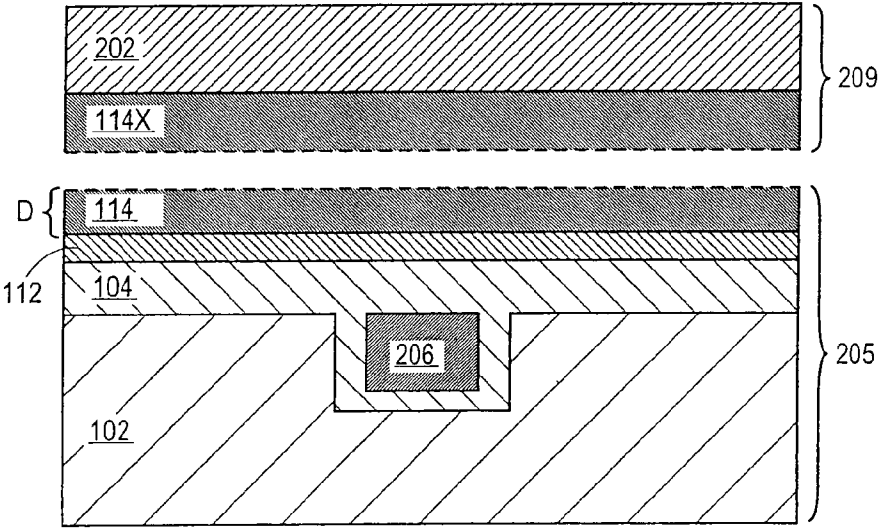


圖 2D

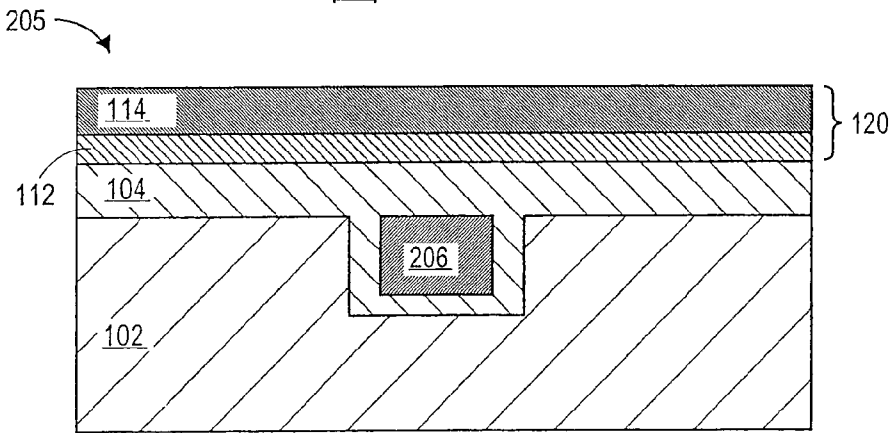


圖 2E

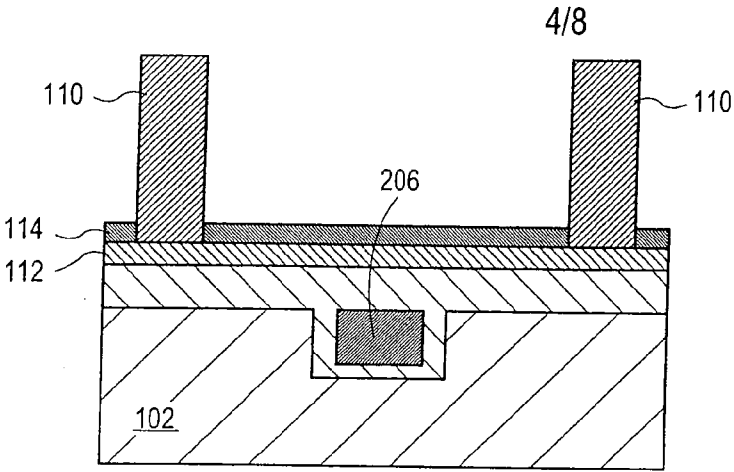


圖 2F

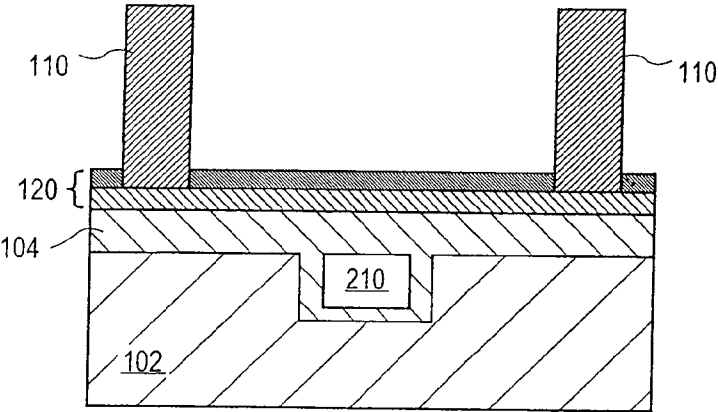


圖 2G-1

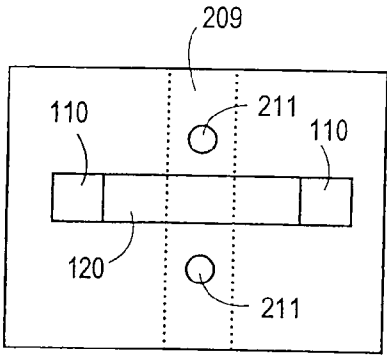


圖 2G-2

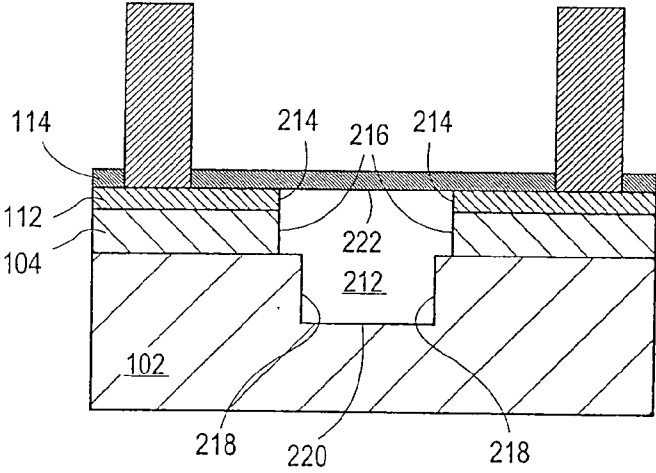


圖 2H

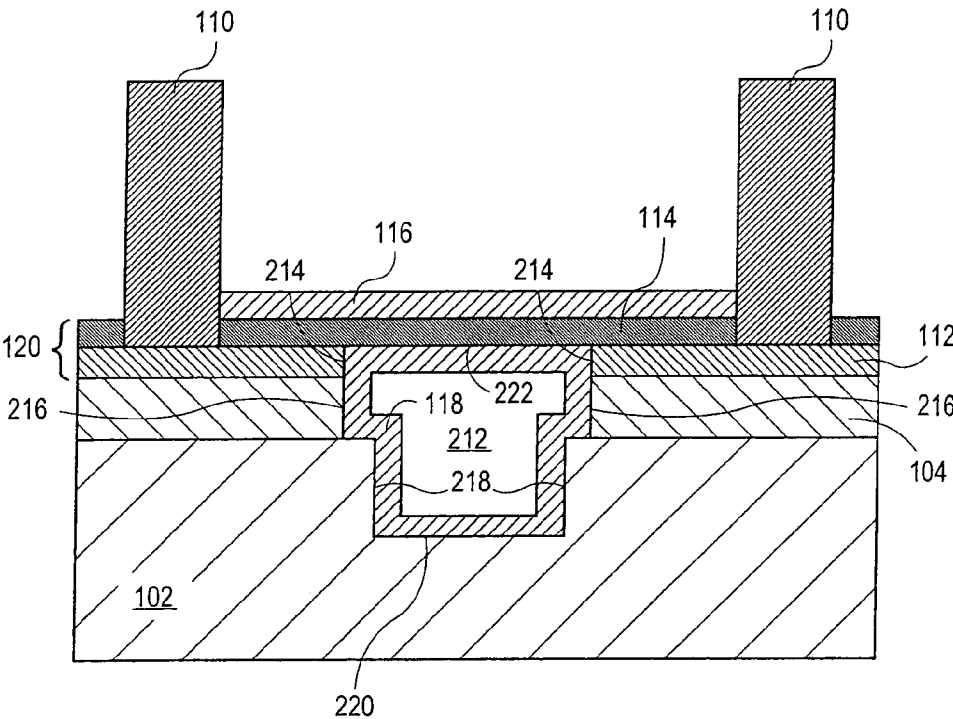


圖 2I

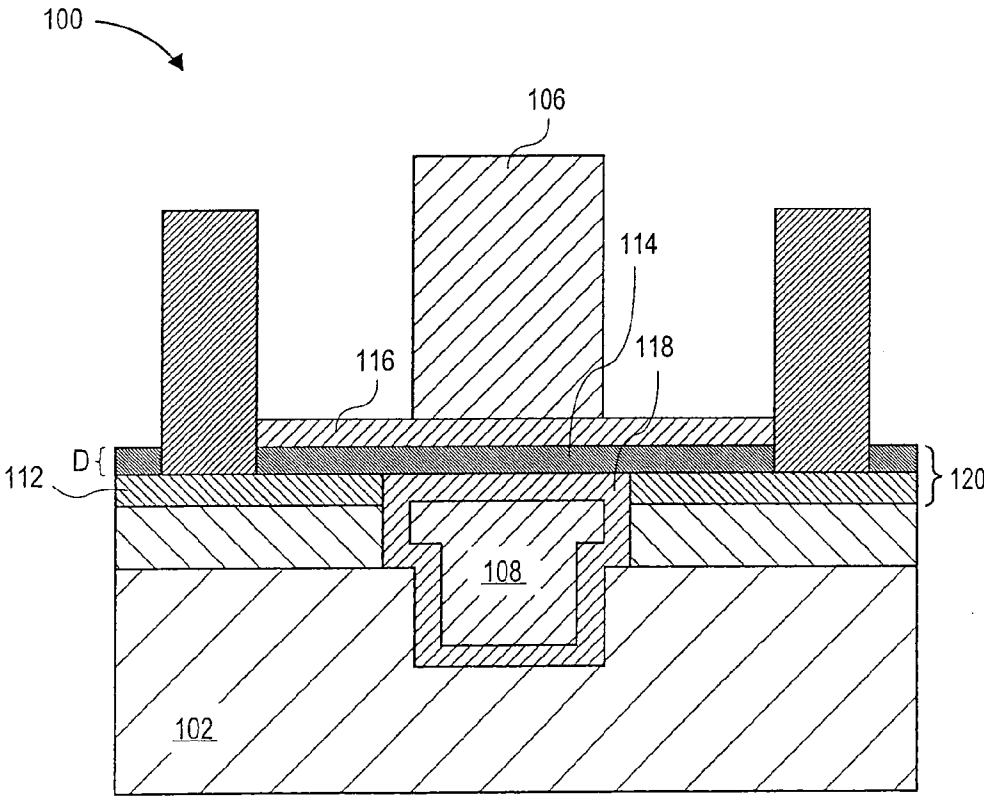


圖 2J

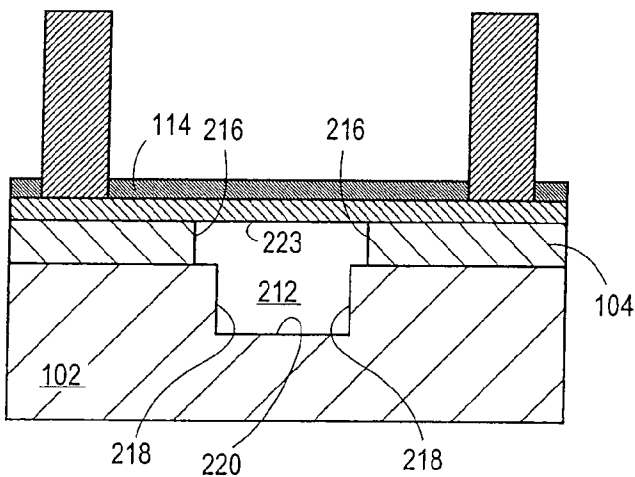


圖 2K

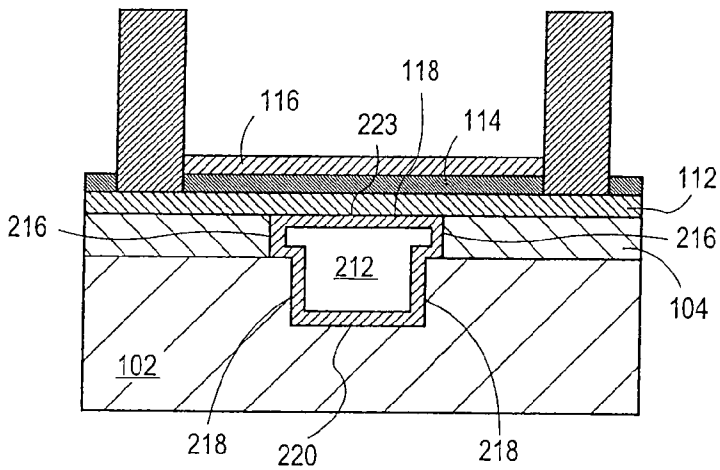


圖 2L

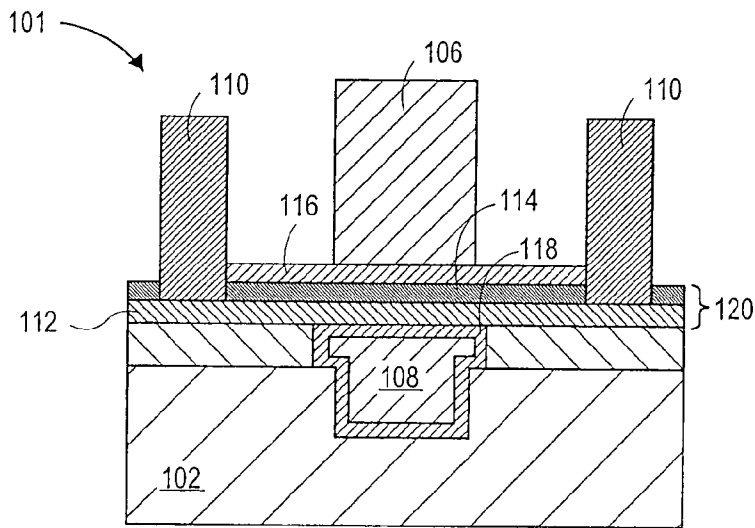


圖 2M

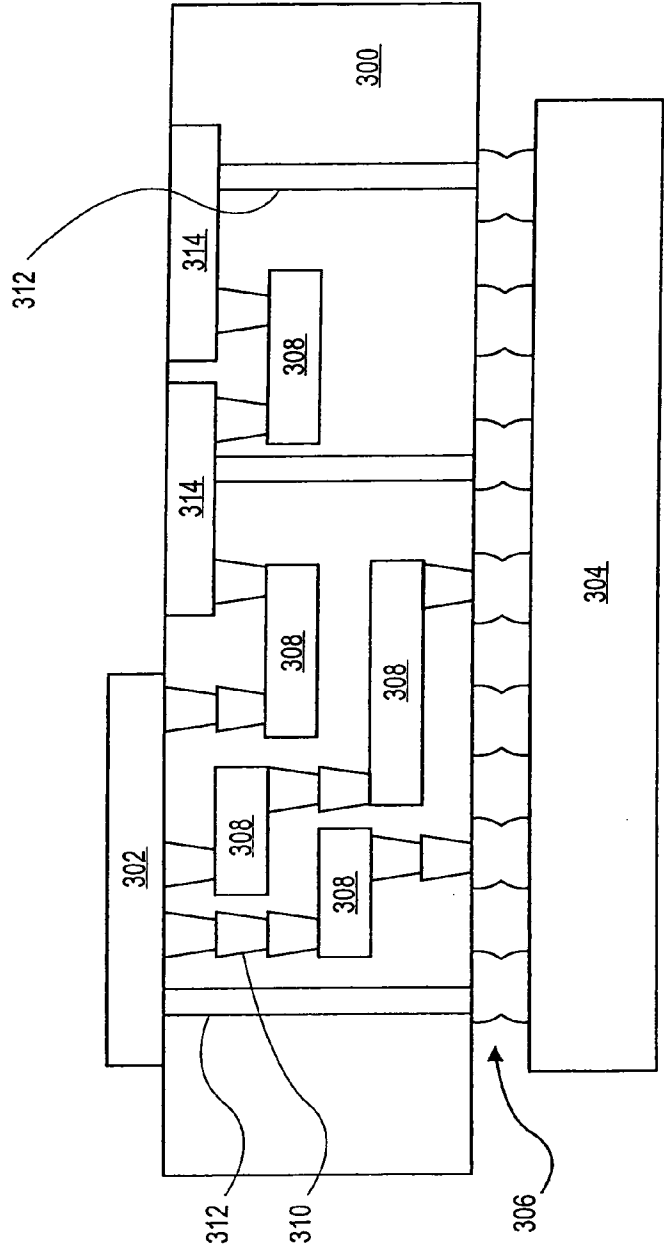


圖 3

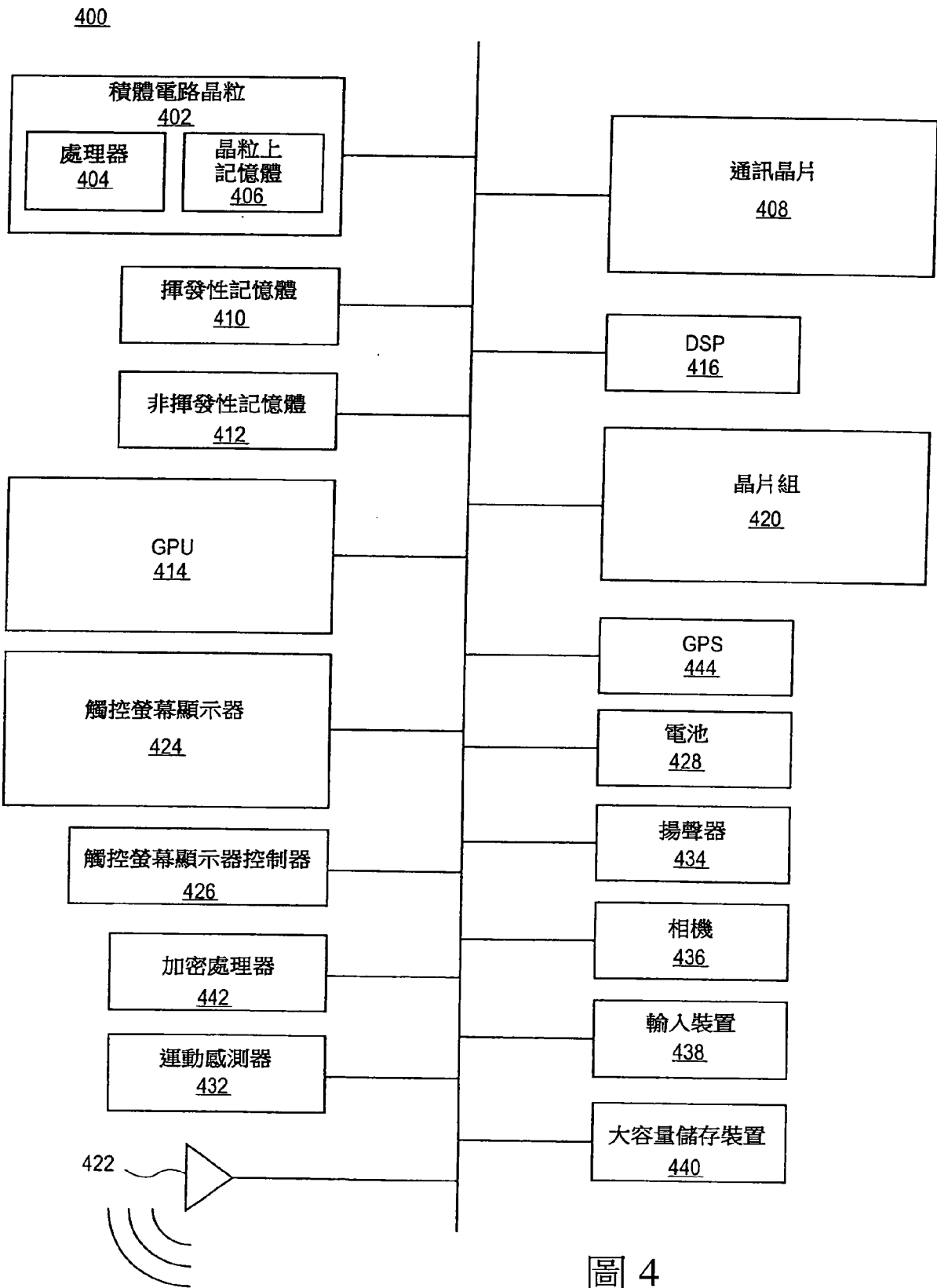


圖 4

汲極接觸 110 被設置在載體基板 102 上方與通道層 120 頂部上。源極與汲極接觸 110 被定位成電耦合至通道層 120。在實施方式中，源極與汲極接觸 110 被直接設置在偏振層 112 頂部上。任何適合的傳導性材料可被用來形成源極與汲極接觸 110。在實施方式中，源極與汲極接觸 110 係由 N 摻雜 GaN、InGaN、或氮化銦（InN）所形成的磊晶半導體結構。

如圖 1A 所描繪的實施方式中，多閘 HEMT 100 係為增強型多閘 HEMT。增強型多閘 HEMT 100 具有被設置在第一與第二閘極電極 106 與 108 之間的極性半導體層 114。在實施方式中，偏振層 112 並不被設置在該第一與第二閘極電極 106 與 108 之間。第一與第二閘極電極 106 與 108 之間缺少偏振層 112 能防止在第一與第二閘極電極 106 與 108 之間形成 2DEG。就此而論，增強型多閘 HEMT 100 並無介於第一與第二閘極電極 106 與 108 之間的 2DEG。在此實施方式中，極性半導體層 114 係為有效的通道層 120。極性半導體層 114 可由寬能帶間隙半導體材料形成，例如 GaN 或 InGaN。

為了操作增強型多閘 HEMT 100，將閘極偏壓施加至第一與第二閘極電極 106 與 108，以誘發極性半導體層 114 之內的電子累積。電子累積在極性半導體層 114 之內形成反轉層。反轉層使得電流流過源極與汲極接觸 110 之間的極性半導體層 114。因此，施加閘極偏壓啟動增強型多閘 HEMT 100 為開啟。然而，若無施加閘極偏壓，增強

型多閘 HEMT 100 則不會誘發極性半導體層 114 之內的反轉層。沒有反轉層，就沒有電流流過極性半導體層 114，增強型多閘 HEMT 100 則因此為關閉。根據本發明的實施方式，施加閘極偏壓至第一與第二閘極電極 106 與 108 能從極性半導體層 114 的上方與下方控制通道層 120。因此，增強型多閘 HEMT 100 能最大控制流經極性半導體層 114 的電流。

在如圖 1B 所描繪的替代性實施方法中闡明耗盡型多閘 HEMT。耗盡型多閘 HEMT 101 具有被設置在第一與第二閘極電極 106 與 108 之間的極性半導體層 114 以及偏振層 112。極性半導體層 114 與偏振層 112 之間的交互作用在極性半導體層 114 與偏振層 112 之間的介面產生二維電子氣（2DEG）。在實施方式中，單獨存在的偏振層 112 在介面形成 2DEG。在實施方式中，2DEG 被誘發在距介面 1-2 nm 的距離與極性半導體層 114 之內。在實施方式中，極性半導體層 114 由寬能帶間隙+*c* 極性半導體材料形成。在特定的實施方式中，極性半導體層 114 由 GaN 或 InGaN 形成。偏振層 112 可由任何適合的材料形成，其當被直接設置在鄰近極性半導體層 114 時誘發 2DEG。例如，偏振層 112 可由 AlGaN、AlInN、或 AlN 形成。在特定的實施方式中，偏振層 112 由 AlGaN 形成且該極性半導體層 114 由 GaN 形成。

為了操作耗盡型多閘 HEMT 101，不將閘極偏壓施加至第一與第二閘極電極 106 與 108。自然形成的 2DEG 能

使電流在源極與汲極接觸 110 之間自由地移動。因此，當無閘極偏壓至第一與第二閘極電極 106 與 108 時，耗盡型多閘 HEMT 101 係持續為開啟。當施加閘極偏壓時，電子被阻止進入第一與第二閘極電極 106 與 108 之間的通道層 120。通道層中沒有電子，通道即為夾斷且沒有電流可以流過通道層。因此，施加閘極偏壓啟動耗盡型多閘 HEMT 101 為關閉。根據本發明的實施方式，施加閘極偏壓至第一與第二閘極電極 106 與 108 能從極性半導體層 114 的上方與下方控制通道層 120。就此而論，耗盡型多閘 HEMT 101 能最大控制流經通道層 120 的電流。

圖 2A-2M 係依照本發明之實施方式闡明形成多閘 HEMT 的示例性實施方式。更具體而言，圖 2A-2J 係根據本發明之實施方式闡明形成增強型多閘 HEMT 之方法的剖面圖。圖 2K-2M 係根據本發明之實施方式，作為圖 2G-1 的延續，闡明形成耗盡型多閘 HEMT 之方法的剖面圖。

參考圖 2A，提供具有施體頂部表面 208 的施體基板 200。在實施方式中，施體基板 200 包括被設置在樣板基板 202 頂部上的厚極性半導體層 113。施體基板 200 進一步包括被設置在偏振層 112 上的第一附著層 104A。在實施方式中，偏振層 112 可被設置在厚極性半導體層 113 上。

形成施體基板 200 的示例性製程流程可由提供樣板基板 202 開始。樣板基板 202 提供一個可在其上形成其他層的基礎。任何適合的基板可形成樣板基板 202，例如但不

侷限於，塊體單晶矽基板或藍寶石基板。

接著，厚極性半導體層 113 被形成在樣板基板 202 頂部上。任何適合的生長製程，例如原子層沈積（ALD）、化學氣相沉積（CVD）、以及分子束磊晶（MBE），可被用來形成厚極性半導體層 113。厚極性半導體層 113 可具有足夠的厚度將製造過程中所產生的缺陷減至最少。例如，例如，當由 GaN 所形成厚極性半導體層 113 生成在非同質基板上時可形成穿透差排缺陷。該缺陷垂直性地擴展且最後可終止於一定的高度。因此，極性半導體層 113 可能需要厚至足以在厚極性半導體層 113 之上部區域中形成具有低缺陷密度的高純度（high quality）材料。如下列所討論的，在厚極性半導體層 113 之上部區域中的高純度材料隨後可被用來做為通道層 120 的一部分。在實施方式中，厚極性半導體層 113 的厚度至少為 20 μm 。在特定的實施方式中，厚度約為 30 μm 。

接著，偏振層 112 由任何適合的生長技術在厚極性半導體層 113 頂部上形成，例如磊晶生長。可形成足夠厚度的偏振層 112 來在偏振層 112 與厚極性半導體層 113 之間的介面誘發 2DEG。例如，偏振層 112 的厚度範圍可從 10 至 30 nm。在特定的實施方式中，厚度約為 20 nm。偏振層 112 可由具有與該厚極性半導體層 113 交互作用之本質電荷極性的任何適合的材料形成，在偏振層 112 與厚極性半導體層 113 之間的介面誘發 2DEG。偏振層 112 的示例性材料包括 AlGa_xN、AlIn_xN、與 AlN。

形成牢固的結合，例如圖 2A 中所闡明的第一附著層 104A。在實施方式中，第二附著層 104B 的厚度範圍從 15 至 20 nm。第二附著層 104B 可由具有附著性的任何適合材料形成。例如，第二附著層 104B 可由 SiO_2 或 Al_2O_3 形成。

受體基板 201 可由眾所周知的沉積或蝕刻製程所形成。形成受體基板 201 之示例性製程流程可開始於用向異性蝕刻，先蝕刻載體基板 102 之內的溝槽。之後，可在溝槽之內與載體基板 102 的頂部表面 103 上沈積初始附著層。接著，在初始附著層與溝槽之內形成犧牲層 206。平坦化製程可接著移除犧牲層 206 的部分，以及被設置在載體基板 102 之頂部表面 103 上方的初始附著層的部分。最後，後續的附著層可被沈積在載體基板 102 之頂部表面 103 上、初始附著層上、以及犧牲層 206 的頂部上。具有來自第二附著層 104B 之後續附著層的初始附著層剩餘部分如圖 2B-1 所闡明。

提供施體基板 200 與受體基板 201 之後，施體基板 200 接著被附加至受體基板 201 以形成結合基板 203，如圖 2C 所闡明。在實施方式中，透過結合第一附著層 104A 至第二附著層 104B，執行附加施體基板 200 至受體基板 201。第一附著層 104A 至第二附著層 104B 的接合可透過直接晶片結合製程發生。在實施方式中，直接晶片接合製程在兩附著層 104A 與 104B 的頂部表面之間形成化學接合。直接晶片接合製程可為氧化物熔合結合製程。氧化物

熔合結合製程可包括用靜電力，例如凡得瓦力，暫時性地保持兩附著層 104A 與 104B 之頂部表面在適當的位置。熱退火可接著將兩層化學結合至一起。

在實施方式中，附著層 104A 與 104B 被熔合在一起以形成結合附著層 104。結合附著層 104 可具有由第一與第二附著層 104A 與 104B 之總合所決定的厚度。結合附著層 104 的厚度不應該太厚以便通過它形成通道。此外，結合附著層 104 的厚度應該夠厚到形成足以耐受晶片處理與隨後之半導體製程的結合。在實施方式中，結合附著層 104 的厚度範圍係從 30 至 40 nm。

接下來，如圖 2D 所示結合基板 203 在位於厚極性半導體層 113 之內的部分被分離，以移除結合基板 203 的部分 209。結合基板 203 的剩餘部分形成裝置基板 205。根據本發明的實施方式，裝置基板 205 將被用來形成多閘 HEMT。厚極性半導體層 113 被分離成為部分 114X 與極性半導體層 114。部分 114X 可被丟棄或與部分 209 被用於後續的表面捐贈。極性半導體層 114 可留做裝置基板 205 的一部分，用於多閘 HEMT 的製造。在實施方式中，極性半導體層 114 被放置在裝置基板 205 的頂部部分，通道層 120 被設置在其中。極性半導體層 114 可由高密度材料，在厚極性半導體層 113 的上部區域形成，如上所討論相對於圖 2A 所示。

在實施方式中，根據本發明之實施方式極性半導體層 114 被用來形成針對多閘 HEMT 之通道層。極性半導體層

汲極接觸。

在實施方式中，通道層係為異質性結構。在實施方式中，其中該通道層包括偏振層與直接在該偏振層頂部上的極性半導體層。該偏振層誘發在該偏振層與該極性半導體層之間的介面之二維電子氣（2DEG）。偏振層由 AlGa_N 形成且該極性半導體層可由 Ga_N 形成。在實施方式中，第一閘極電極可與第二閘極電極垂直對齊。

以上所描述之本發明的闡明實施方式，包括於摘要部分所描述的，並不旨於窮舉或將本揭露限制於精確的形式。本文所描述之本發明的具體實施方式，與舉例，係做為闡明之目的，在本發明的範圍之內，如熟悉相關領域之人員所認知，各種相當的修改係為可能。

可根據以上詳細的描述對本發明做出修正。在下列申請專利範圍內所使用的術語，不應該被建構來將本發明限制在申請專利範圍內所揭露的具體實施方法中。相反的，本發明之範圍完全由以下的申請專利範圍決定，其根據專利聲請範圍解釋所建立的原則建構。

【符號說明】

100：多閘 HEMT

102：載體基板

104：附著層

106：第一閘極電極

108：第二閘極電極

110：源極與汲極接觸
 112：偏振層
 113：厚極性半導體層
 114：極性半導體層
 116：第一閘極介電層
 118：第二閘極介電層
 120：通道層
 200：施體基板
 104A：附著層
 115：頂部表面
 202：樣板基板
 204：選擇性穿孔層
 205：裝置基板
 208：施體頂部表面
 201：受體基板
 104B：第二附著層
 206：犧牲層
 210：孔隙
 103：頂部表面
 104B：第二附著層
 203：結合基板
 212：放大孔隙
 209：部分
 114X：部分

申請專利範圍

1. 一種半導體裝置，其包含：
基板；
在該基板頂部上的附著層；
在該附著層頂部上的通道層；
在該通道層頂部上的第一閘極電極，該第一閘極電極具有在介於該第一閘極電極與該通道層之間中的第一閘極介電層；
在該通道層之下的第二閘極電極，該第二閘極電極具有完全包圍該第二閘極電極的第二閘極介電層，其中該第二閘極電極側向地鄰接該附著層；以及
在該第一電極之相對側上的一對源極與汲極接觸。
2. 如申請專利範圍第 1 項所述之半導體裝置，其中該通道層係為異質結構。
3. 如申請專利範圍第 2 項所述之半導體裝置，其中該通道層包含偏振層與直接在該偏振層頂部上的極性半導體層。
4. 如申請專利範圍第 3 項所述之半導體裝置，其中該偏振層由 AlGa_N 形成且該極性半導體層由 Ga_N 形成。
5. 如申請專利範圍第 3 項所述之半導體裝置，其中該偏振層並不被設置在該第一與第二閘極電極之間。
6. 如申請專利範圍第 3 項所述之半導體裝置，其中該極性半導體層與該偏振層被設置在該第一與第二閘極電極之間。

7. 如申請專利範圍第 6 項所述之半導體裝置，其中該偏振層誘發在該偏振層與該極性半導體層之間的介面之二維電子氣（2DEG）。

8. 如申請專利範圍第 7 項所述之半導體裝置，其中該 2DEG 距離該極性半導體層內之該介面 1-2 nm。

9. 如申請專利範圍第 1 項所述之半導體裝置，其中該第二閘極電極延伸至該載體基板的溝槽內。

10. 如申請專利範圍第 1 項所述之半導體裝置，其中該第一閘極電極垂直對齊該第二閘極電極。

11. 一種形成半導體裝置的方法，其包含：

提供施體基板與受體基板，該受體基板具有嵌入式犧牲層；

轉移該施體基板的部分至該受體基板上來形成裝置基板，該裝置基板的頂部部分形成通道層；

在該通道層上與該嵌入式犧牲層的相反側上形成一對源極與汲極區域；

移除該嵌入式犧牲層用以在通道層之下形成孔隙；

在部分該通道層的頂部上形成第一閘極介電層，與在該孔隙內之側壁上形成第二閘極介電層；以及

在該通道層上方之該第一閘極介電層上形成第一閘極電極，與在該孔隙內之該通道層之下的第二閘極介電層上形成第二閘極電極。

12. 如申請專利範圍第 11 項所述之方法，其中形成該孔隙包含第一與第二選擇性蝕刻製程。

13. 如申請專利範圍第 12 項所述之方法，其中該第一選擇性蝕刻製程基本上僅移除該犧牲層。

14. 如申請專利範圍第 12 項所述之方法，其中該第二選擇性蝕刻製程基本上僅移除該附著層。

15. 如申請專利範圍第 12 項所述之方法，進一步包含第三選擇性蝕刻製程。

16. 如申請專利範圍第 15 項所述之方法，其中該第三選擇性蝕刻製程持續性地移除該底部層的部分。

17. 如申請專利範圍第 11 項所述之方法，其中選擇性地移除該犧牲層包含將開口蝕刻至該裝置基板中來暴露該犧牲層，與用透過該開口施加的選擇性蝕刻劑移除該犧牲層。

18. 如申請專利範圍第 17 項所述之方法，其中選擇性蝕刻劑相對於包圍材料選擇性地移除該犧牲層。

19. 如申請專利範圍第 11 項所述之方法，其中轉移該施體基板的部分至該受體基板之上包含：

附著該施體基板至該受體基板；

接合該施體基板至該受體基板以形成接合基板；以及

分離該接合基板以形成該裝置基板，該裝置基板包含該受體基板與在該受體基板頂部的該施體基板的部分。

20. 如申請專利範圍第 19 項所述之方法，進一步包含執行附著該施體基板至該受體基板的熔合結合。

21. 一種計算裝置，其包含：

主機板；

安裝在該主機板上的處理器；以及
通訊晶片，其製造在該處理器所在之同一晶片上或安裝在該主機板上；

其中該處理器包含：

基板；

在該基板上方的附著層；

在該附著層上方的通道層；

在該通道層頂部上的第一閘極電極，該第一閘極電極具有在介於該第一閘極電極與該通道層之間中的第一閘極介電層；

嵌入在基板之內與該通道層之下的第二閘極電極，該第二閘極電極具有完全包圍該第二閘極電極的第二閘極介電層，其中該第二閘極電極側向地鄰接該附著層；
以及

在該第一閘極電極之相對側上的一對源極與汲極接觸。

22. 如申請專利範圍第 21 項所述之計算裝置，其中該通道層係為異質結構。

23. 如申請專利範圍第 22 項所述之計算裝置，其中該通道層包含偏振層與直接在該偏振層頂部上的極性半導體層。

24. 如申請專利範圍第 23 項所述之計算裝置，其中該偏振層誘發在該偏振層與該極性半導體層之間的介面之二維電子氣（2DEG）。

25. 如申請專利範圍第 24 項所述之計算裝置，其中該偏振層由 AlGa_N 形成且該極性半導體層由 GaN 形成。

圖 式

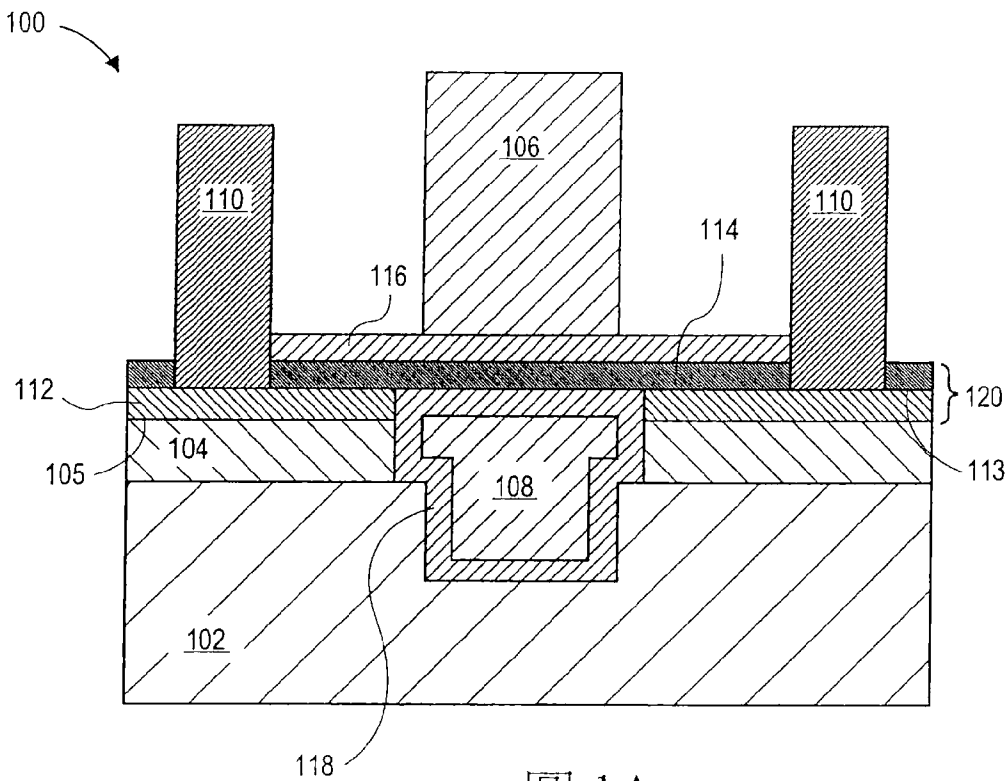


圖 1A

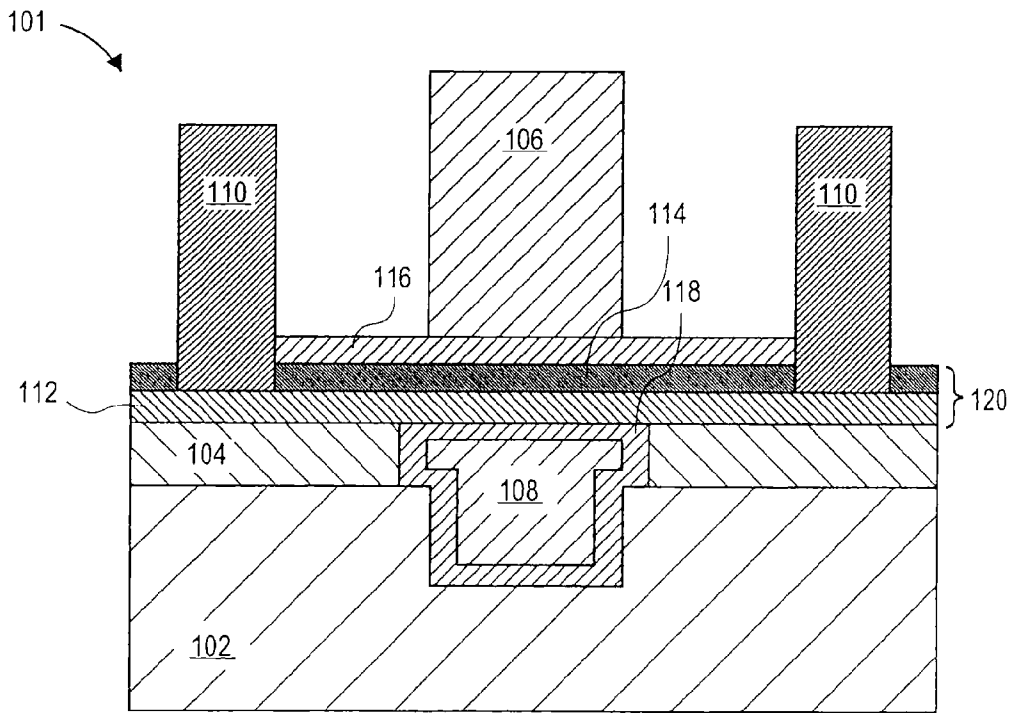


圖 1B