(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月13日(13.01.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/009348 A1

(51) 国際特許分類:
H01L 25/07 (2006.01)

(21) 国際出願番号： PCT/JP2020/026741

(22) 国際出願日： 2020年7月8日(08.07.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人:三菱電機株式会社(**MITSUBISHI ELECTRIC CORPORATION**) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目７番３号 Tokyo (JP).

(72) 発明者: 玉田 美子 (**TAMADA, Yoshiko**); 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP). 岡 誠次(**OKA, Seiji**); 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP). 森崎 翔太(**MORISAKI, Shota**); 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP). 岡田 一也(**OKADA, Kazuya**); 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人:特許業務法人深見特許事務所(**FUKAMI PATENT OFFICE, P.C.**); 〒5300005 大阪府大阪市北区中之島三丁目２番４号 中之島フェスティバルタワー・ウエスト Osaka (JP).

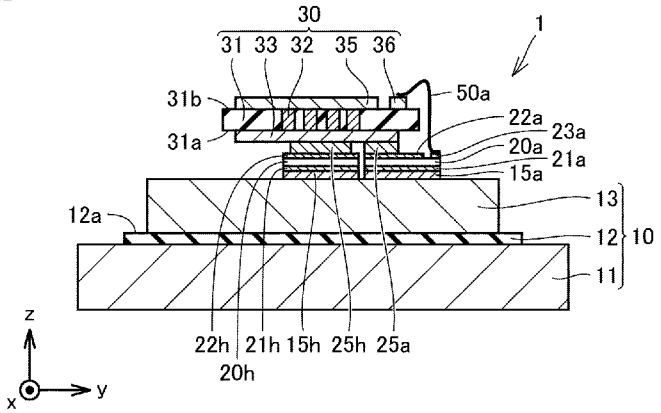
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS,

(54) **Title:** POWER SEMICONDUCTOR MODULE AND POWER CONVERSION APPARATUS

(54) 発明の名称： パワー半導体モジュール及び電力変換装置

図2



(57) **Abstract:** This power semiconductor module (1) comprises: a plurality of self-arc-extinguishing semiconductor elements (20a); a printed wiring board (30); a plurality of conductive joining members (25a); and a plurality of conductive gate wires (50a). The printed wiring board (30) includes an insulating substrate (31), a source conductive pattern (33), and a gate conductive pattern (36). Each of the plurality of self-arc-extinguishing semiconductor elements (20a) includes a source electrode (22a) and a gate electrode (23a). The source electrode (22a) is joined to the source conductive pattern (33) by means of the plurality of conductive joining members (25a). The plurality of conductive gate wires (50a) connect the gate electrode (23a) and the gate conductive pattern (36) to each other.

WO 2022/009348 A1

［続葉有］

MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

(57) 要約：パワー半導体モジュール（１）は、複数の自己消弧型半導体素子（２０ａ）と、プリント配線基板（３０）と、複数の導電接合部材（２５ａ）と、複数の導電ゲートワイヤ（５０ａ）とを備える。プリント配線基板（３０）は、絶縁基板（３１）と、ソース導電パターン（３３）と、ゲート導電パターン（３６）とを含む。複数の自己消弧型半導体素子（２０ａ）は、それぞれ、ソース電極（２２ａ）と、ゲート電極（２３ａ）とを含む。ソース電極（２２ａ）は、複数の導電接合部材（２５ａ）によって、ソース導電パターン（３３）に接合されている。複数の導電ゲートワイヤ（５０ａ）は、ゲート電極（２３ａ）とゲート導電パターン（３６）とを互いに接続している。

明　細　書

発明の名称 ： パワー半導体モジュール及び電力変換装置

技術分野

[0001]　本開示は、パワー半導体モジュール及び電力変換装置に関する。

背景技術

[0002]　国際公開第２０１４／１８５０５０号（特許文献１）は、絶縁基板と、自己消弧型半導体素子と、絶縁基板に対向しているプリント基板と、第１導電ポストと、第２導電ポスト、回路インピーダンス低減素子としてのキャパシタとを備えるパワー半導体モジュールを開示している。自己消弧型半導体素子は、ゲート電極と、ソース電極と、ドレイン電極とを有している。プリント基板は、第１金属層と、第２金属層とを有している。ゲート電極は、第１導電ポストを介して、ゲート配線パターンである第１金属層に電気的に接続されている。ソース電極は、第２導電ポストを介して、ソース配線パターンである第２金属層に電気的に接続されている。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第２０１４／１８５０５０号

発明の概要

発明が解決しようとする課題

[0004]　特許文献１に開示されたパワー半導体モジュールでは、ゲート電極をゲート配線パターンに接続する導電部材（第１導電ポスト）も、ソース電極をソース配線パターンに接続する導電部材（第２導電ポスト）も、ともに、導電ポストである。パワー半導体モジュールの電力容量を増加させるためには、パワー半導体モジュールに含まれる自己消弧型半導体素子の数を複数にして、複数の自己消弧型半導体素子を互いに並列接続することが有効である。特許文献１において、複数の自己消弧型半導体素子を互いに並列接続すると、複数の自己消弧型半導体素子のゲート電極は、第１導電ポストとゲート配線

パターンとを含むゲートラインを介して、互いに電気的に接続されることになり、複数の自己消弧型半導体素子のソース電極は、第２導電ポストとソース配線パターンとを含むソースラインを介して、互いに電気的に接続されることになる。

[0005] 複数の自己消弧型半導体素子のソース電極を互いに接続するソースラインは、寄生インダクタンスを有している。複数の自己消弧型半導体素子を高周波数で動作させると、複数の自己消弧型半導体素子のソース電極とドレイン電極との間を流れる主電流Ｉの時間変化ｄＩ／ｄｔが大きくなる。主電流Ｉの時間変化ｄＩ／ｄｔとソースラインの寄生インダクタンスとに起因して、複数の自己消弧型半導体素子のソース電極間に大きな誘導起電力が発生する。この誘導起電力のため、複数の自己消弧型半導体素子のソース電極とドレイン電極との間にサージ電圧が印加されて、複数の自己消弧型半導体素子の少なくとも一つが破壊されることある。第２導電ポストとソース配線パターンとからなるソースラインの寄生インダクタンスは、ソース電極とドレイン電極との間にサージ電圧が発生することを防ぐには、大きすぎる。パワー半導体モジュールの寿命が短いという課題があった。

[0006] さらに、複数の自己消弧型半導体素子のゲート電極に印加されるゲート電圧が発振することがある。このゲート電圧発振は、複数の自己消弧型半導体素子の寄生容量と、複数の自己消弧型半導体素子に接続される配線の寄生インダクタンスとによって形成されるＬＣ共振回路によって引き起こされる。ゲート電圧発振は、自己消弧型半導体素子の劣化もしくは破壊、または、パワー半導体モジュールの外部への電磁ノイズの放射を引き起こす。ゲートラインのインダクタンスが増加するにつれて、ゲートラインのインピーダンスも増加する。第１導電ポストとゲート配線パターンとからなるゲートラインのインピーダンスは、ゲート電圧発振を低減または抑制するには、小さすぎる。そのため、自己消弧型半導体素子のゲート電圧発振を抑制することが難しい。

[0007] 本開示は、上記の課題を鑑みてなされたものであり、その第一局面の目的

は、パワー半導体モジュールの電力容量と動作周波数とを増加させながら、パワー半導体モジュールの寿命を延ばすとともに、パワー半導体モジュールに含まれる自己消弧型半導体素子のゲート電圧発振を低減または抑制することである。本開示の第二局面の目的は、電力変換装置の電力容量と動作周波数とを増加させながら、電力変換装置の寿命を延ばすとともに、電力変換装置に含まれる自己消弧型半導体素子のゲート電圧発振を低減または抑制することである。

課題を解決するための手段

[0008] 本開示の半導体モジュールは、絶縁回路基板と、複数の第１自己消弧型半導体素子と、プリント配線基板と、複数の第１導電接合部材と、複数の第１導電ゲートワイヤとを備える。絶縁回路基板は、第１主面を含む絶縁板を含む。プリント配線基板は、絶縁板の第１主面に対向して配置されている。プリント配線基板は、絶縁基板と、第１ソース導電パターンと、第１ゲート導電パターンとを含む。複数の第１自己消弧型半導体素子は、それぞれ、第１ソース電極と、第１ゲート電極とを含む。複数の第１自己消弧型半導体素子の第１ソース電極は、複数の第１導電接合部材によって、第１ソース導電パターンに接合されている。複数の第１導電ゲートワイヤは、複数の第１自己消弧型半導体素子の第１ゲート電極と第１ゲート導電パターンとを互いに接続している。

[0009] 本開示の電力変換装置は、入力される電力を変換して出力する主変換回路と、主変換回路を制御する制御信号を主変換回路に出力する制御回路とを備える。主変換回路は、本開示の半導体モジュールを有する。

発明の効果

[0010] 本開示のパワー半導体モジュールは複数の第１自己消弧型半導体素子を備えているため、パワー半導体モジュールの電力容量を増加させることができる。また、複数の第１自己消弧型半導体素子の第１ソース電極は、複数の第１導電接合部材によって、第１ソース導電パターンに接合されている。複数の第１導電接合部材の各々の寄生インダクタンスは、第１ゲート導電パター

ンの寄生インダクタンスよりも小さい。そのため、複数の第１自己消弧型半導体素子を高周波数で動作させても、複数の第１自己消弧型半導体素子の第１ソース電極と第１ドレイン電極との間にサージ電圧が発生することを防ぐことができる。パワー半導体モジュールの動作周波数を増加させながら、パワー半導体モジュールの寿命を延ばすことができる。

[0011] さらに、複数の第１導電ゲートワイヤは、複数の第１自己消弧型半導体素子の第１ゲート電極と第１ゲート導電パターンとを互いに接続している。複数の第１導電ゲートワイヤの各々の寄生インダクタンス及び寄生インピーダンスは、複数の第１導電接合部材の各々の寄生インダクタンス及び寄生インピーダンスよりも大きい。そのため、複数の第１自己消弧型半導体素子のゲート電圧発振を低減または抑制することができる。

[0012] 本開示の電力変換装置は、本開示の半導体モジュールを含む。そのため、本開示の電力変換装置によれば、電力変換装置の電力容量と動作周波数とを増加させながら、電力変換装置の寿命を延ばすとともに、電力変換装置に含まれる自己消弧型半導体素子のゲート電圧発振を低減または抑制することができる。

図面の簡単な説明

[0013] [図1]実施の形態１の半導体モジュールの概略平面図である。

[図2]実施の形態１のパワー半導体モジュールの、図１に示される断面線ＩＩ－ＩＩにおける概略断面図である。

[図3]実施の形態１のパワー半導体モジュールの、図１に示される断面線ＩＩＩ－ＩＩＩにおける概略断面図である。

[図4]実施の形態１のパワー半導体モジュールの、図１に示される断面線ＩＶ－ＩＶにおける概略断面図である。

[図5]実施の形態１の半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図6]実施の形態１の半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図7]実施の形態２の半導体モジュールの概略平面図である。

[図8]実施の形態２の半導体モジュールの、図７に示される領域ＶＩＩＩの概略部分拡大平面図である。

[図9]実施の形態３の半導体モジュールの概略平面図である。

[図10]実施の形態３のパワー半導体モジュールの、図９に示される断面線Ｘ－Ｘにおける概略断面図である。

[図11]実施の形態３のパワー半導体モジュールの、図９に示される断面線ＸＩ－ＸＩにおける概略断面図である。

[図12]実施の形態３のパワー半導体モジュールの、図９に示される断面線ＸＩＩ－ＸＩＩにおける概略断面図である。

[図13]実施の形態３のパワー半導体モジュールの、図９に示される断面線ＸＩＩＩ－ＸＩＩＩにおける概略断面図である。

[図14]実施の形態３の半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図15]実施の形態３の半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図16]実施の形態４の半導体モジュールの概略平面図である。

[図17]実施の形態４のパワー半導体モジュールの、図１６に示される断面線ＸＶＩＩ－ＸＶＩＩにおける概略断面図である。

[図18]実施の形態４のパワー半導体モジュールの、図１６に示される断面線ＸＶＩＩＩ－ＸＶＩＩＩにおける概略断面図である。

[図19]実施の形態４のパワー半導体モジュールの、図１６に示される断面線ＸＩＸ－ＸＩＸにおける概略断面図である。

[図20]実施の形態４のパワー半導体モジュールの、図１６に示される断面線ＸＸ－ＸＸにおける概略断面図である。

[図21]実施の形態４のパワー半導体モジュールの、図１６に示される断面線ＸＸＩ－ＸＸＩにおける概略断面図である。

[図22]実施の形態４の半導体モジュールに含まれるプリント配線基板の概略

部分拡大平面図である。

[図23]実施の形態４の半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図24]実施の形態５の半導体モジュールの概略平面図である。

[図25]実施の形態５のパワー半導体モジュールの、図２４に示される断面線ＸＸＶ－ＸＸＶにおける概略断面図である。

[図26]実施の形態５のパワー半導体モジュールの、図２４に示される断面線ＸＸＶＩ－ＸＸＶＩにおける概略断面図である。

[図27]実施の形態５のパワー半導体モジュールの、図２４に示される断面線ＸＸＶＩＩ－ＸＸＶＩＩにおける概略断面図である。

[図28]実施の形態５のパワー半導体モジュールの、図２４に示される断面線ＸＸＶＩＩＩ－ＸＸＶＩＩＩにおける概略断面図である。

[図29]実施の形態５のパワー半導体モジュールの、図２４に示される断面線ＸＸＩＸ－ＸＸＩＸにおける概略断面図である。

[図30]実施の形態５の半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図31]実施の形態５の半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図32]実施の形態６に係る電力変換システムの構成を示すブロック図である。

発明を実施するための形態

[0014] 以下、本開示の実施の形態を説明する。なお、同一の構成には同一の参照番号を付し、その説明は繰り返さない。

[0015] 実施の形態１.

図１から図６を参照して、実施の形態１のパワー半導体モジュール１を説明する。パワー半導体モジュール１は、絶縁回路基板１０と、複数の自己消弧型半導体素子２０ａと、プリント配線基板３０と、複数の導電接合部材２５ａと、複数の導電ゲートワイヤ５０ａと、導電ブロック４０と、電極端子

４２と、電極端子４４と、第１ソース制御端子４６と、導電ワイヤ４７と、第１ゲート制御端子４８と、導電ワイヤ４９とを主に備える。パワー半導体モジュール１は、複数の第１還流ダイオード２０ｈをさらに備えてもよい。

[0016] 絶縁回路基板１０は、絶縁板１２と、第１導電回路パターン１３とを含む。絶縁回路基板１０は、さらに、ベース板１１を含んでもよい。

[0017] 絶縁板１２は、第１主面１２ａを含む。絶縁板１２の第１主面１２ａは、第１方向（ｘ方向）と第２方向（ｙ方向）とに延在している。

[0018] 絶縁板１２は、特に限定されないが、アルミナ（Al_2O_3）、窒化アルミニウム（ＡｌＮ）、窒化シリコン（Si_3N_4）、二酸化ケイ素（SiO_2）または窒化ホウ素（ＢＮ）のような無機セラミックス材料で形成されてもよい。絶縁板１２は、微粒子及びフィラーの少なくとも１つが分散された樹脂材料で形成されてもよい。微粒子及びフィラーの少なくとも１つは、例えば、アルミナ（Al_2O_3）、窒化アルミニウム（ＡｌＮ）、窒化シリコン（Si_3N_4）、二酸化ケイ素（SiO_2）、窒化ホウ素（ＢＮ）、ダイヤモンド（Ｃ）、炭化ケイ素（ＳｉＣ）または酸化ホウ素（B_2O_3）のような無機セラミックス材料で形成されてもよいし、シリコーン樹脂またはアクリル樹脂のような樹脂材料で形成されてもよい。微粒子及びフィラーの少なくとも１つが分散される樹脂は、特に限定されないが、エポキシ樹脂、ポリイミド樹脂、シリコーン樹脂またはアクリル樹脂で形成されてもよい。

[0019] 第１導電回路パターン１３は、絶縁板１２の第１主面１２ａ上に設けられている。第１導電回路パターン１３は、銅またはアルミニウムのような金属で形成されている。

[0020] ベース板１１は、絶縁板１２の第１主面１２ａとは反対側の絶縁板１２の主面上に設けられている。ベース板１１は、銅またはアルミニウムのような金属で形成されている。

[0021] 複数の自己消弧型半導体素子２０ａは、各々、絶縁ゲート型バイポーラトランジスタ（ＩＧＢＴ）または金属酸化物半導体電界効果トランジスタ（ＭＯＳＦＥＴ）のような自己消弧型半導体素子である。複数の自己消弧型半導

体素子２０ａは、主に、シリコン（Ｓｉ）、または、炭化珪素（ＳｉＣ）、窒化ガリウム（ＧａＮ）もしくはダイヤモンドのようなワイドバンドギャップ半導体材料で形成されている。複数の自己消弧型半導体素子２０ａは、それぞれ、ドレイン電極２１ａと、ソース電極２２ａと、ゲート電極２３ａとを含む。

[0022] 複数の自己消弧型半導体素子２０ａは、第１導電回路パターン１３に固定されている。具体的には、複数の自己消弧型半導体素子２０ａのドレイン電極２１ａは、はんだ、金属微粒子焼結体または導電性接着剤のような導電接合部材１５ａを用いて、第１導電回路パターン１３に接合されている。本明細書のはんだは、例えば、Ｓｎ－Ａｇ－Ｉｎ系はんだ、または、Ｓｎ－Ａｇ－Ｃｕ系はんだなどである。本明細書の金属微粒子焼結体は、例えば、銀ナノ粒子焼結体などである。複数の自己消弧型半導体素子２０ａは、プリント配線基板３０に固定されている。具体的には、複数の自己消弧型半導体素子２０ａのソース電極２２ａは、はんだ、金属微粒子焼結体または導電性接着剤のような導電接合部材２５ａを用いて、プリント配線基板３０のソース導電パターン３３に接合されている。複数の自己消弧型半導体素子２０ａは、互いに電気的に並列接続されている。

[0023] 複数の第１還流ダイオード２０ｈは、主に、シリコン（Ｓｉ）、または、炭化珪素（ＳｉＣ）、窒化ガリウム（ＧａＮ）もしくはダイヤモンドのようなワイドバンドギャップ半導体材料で形成されている。複数の第１還流ダイオード２０ｈは、それぞれ、第１カソード電極２１ｈと、第１アノード電極２２ｈとを含む。

[0024] 複数の第１還流ダイオード２０ｈは、第１導電回路パターン１３に固定されている。具体的には、複数の第１還流ダイオード２０ｈの第１カソード電極２１ｈは、はんだ、金属微粒子焼結体または導電性接着剤のような導電接合部材１５ｈを用いて、第１導電回路パターン１３に接合されている。複数の第１還流ダイオード２０ｈは、プリント配線基板３０に固定されている。具体的には、複数の第１還流ダイオード２０ｈの第１アノード電極２２ｈは

、はんだ、金属微粒子焼結体または導電性接着剤のような導電接合部材２５ｈを用いて、プリント配線基板３０のソース導電パターン３３に接合されている。複数の第１還流ダイオード２０ｈは、複数の自己消弧型半導体素子２０ａに、電気的に並列接続されている。

[0025] プリント配線基板３０は、第１方向（ｘ方向）と第２方向（ｙ方向）とに垂直な第３方向（ｚ方向）において、絶縁回路基板１０から離間されており、かつ、絶縁板１２の第１主面１２ａに対向して配置されている。プリント配線基板３０は、絶縁基板３１と、ソース導電パターン３３と、ゲート導電パターン３６とを含む。プリント配線基板３０は、導電ビア３２と、導電パッド３４と、ソース導電パターン３５と、導電パッド３７と、導電ビア３８とをさらに含んでもよい。

[0026] 絶縁基板３１は、例えば、ガラスエポキシ基材又はガラスコンポジット基材である。ガラスエポキシ基材は、例えば、エポキシ樹脂を含浸したガラス織布が熱硬化されて形成される。ガラスコンポジット基材は、例えば、エポキシ樹脂を含浸したガラス不織布が熱硬化されて形成される。

[0027] 絶縁基板３１は、第２主面３１ａと、第２主面３１ａとは反対側の第３主面３１ｂとを含む。絶縁基板３１の第３主面３１ｂの平面視において、絶縁基板３１の長手方向は第１方向（ｘ方向）であり、絶縁基板３１の短手方向は第２方向（ｙ方向）である。絶縁基板３１の短手方向（ｙ方向）は、絶縁基板３１の長手方向（ｘ方向）に垂直である。第２主面３１ａと第３主面３１ｂとは、第１方向（ｘ方向）と第２方向（ｙ方向）とに延在している。第２主面３１ａの長手方向と第３主面３１ｂの長手方向とは、各々、第１方向（ｘ方向）である。第２主面３１ａの短手方向と第３主面３１ｂの短手方向とは、各々、第２方向（ｙ方向）である。絶縁基板３１の第２主面３１ａは、第１導電回路パターン１３に面している。

[0028] 絶縁基板３１の第３主面３１ｂの平面視において、絶縁基板３１は、第１縁３１ｃと、第１縁３１ｃとは反対側の第２縁３１ｄと、第３縁３１ｅと、第３縁３１ｅとは反対側の第４縁３１ｆとを含む。絶縁基板３１の第１縁３

１ｃは、絶縁基板３１の長手方向（第１方向（ｘ方向））に沿って延在してもよく、絶縁基板３１の第３主面３１ｂの平面視における絶縁基板３１の長辺であってもよい。絶縁基板３１の第２縁３１ｄは、絶縁基板３１の長手方向（第１方向（ｘ方向））に沿って延在してもよく、絶縁基板３１の第３主面３１ｂの平面視における絶縁基板３１の長辺であってもよい。第１縁３１ｃと第２縁３１ｄとは、絶縁基板３１の短手方向（第２方向（ｙ方向））において、互いに対向している。

[0029] 絶縁基板３１の第３縁３１ｅは、第１縁３１ｃと第２縁３１ｄとを接続している。絶縁基板３１の第３縁３１ｅは、絶縁基板３１の短手方向（第２方向（ｙ方向））に沿って延在してもよく、絶縁基板３１の第３主面３１ｂの平面視における絶縁基板３１の短辺であってもよい。絶縁基板３１の第４縁３１ｆは、第１縁３１ｃと第２縁３１ｄとを接続している。絶縁基板３１の第４縁３１ｆは、絶縁基板３１の短手方向（第２方向（ｙ方向））に沿って延在してもよく、絶縁基板３１の第３主面３１ｂの平面視における絶縁基板３１の短辺であってもよい。第３縁３１ｅと第４縁３１ｆとは、絶縁基板３１の長手方向（第１方向（ｘ方向））において、互いに対向している。

[0030] ソース導電パターン３３と、導電パッド３４と、ソース導電パターン３５と、ゲート導電パターン３６と、導電パッド３７とは、銅またはアルミニウムのような金属で形成されている。ソース導電パターン３３と導電パッド３４とは、絶縁基板の第２主面３１ａ上に設けられている。ソース導電パターン３３と導電パッド３４とは、互いに離間されており、かつ、互いに電気的に絶縁されている。ソース導電パターン３５とゲート導電パターン３６と導電パッド３７とは、絶縁基板の第３主面３１ｂ上に設けられている。ソース導電パターン３５とゲート導電パターン３６と導電パッド３７とは、互いに離間されており、かつ、互いに電気的に絶縁されている。プリント配線基板３０は、例えば、両面銅張積層板である。

[0031] ソース導電パターン３３は、第１方向（ｘ方向）と第２方向（ｙ方向）とに延在している。ソース導電パターン３３の長手方向は、第１方向（ｘ方向

）であり、ソース導電パターン３３の短手方向は、第２方向（ｙ方向）である。ソース導電パターン３３は、ソース導電パターン３３の長手方向（第１方向（ｘ方向））に沿って延在する縁３３ａを含む。ソース導電パターン３３の縁３３ａは、絶縁基板３１の第３主面３１ｂの平面視におけるソース導電パターン３３の長辺であってもよい。ソース導電パターン３３の縁３３ａは、絶縁基板３１の第２縁３１ｄよりも、絶縁基板３１の第１縁３１ｃに近位している。

[0032] 絶縁基板３１の第３主面３１ｂの平面視において、ソース導電パターン３３は、複数の自己消弧型半導体素子２０ａのソース電極２２ａを覆っている。絶縁基板３１の第３主面３１ｂの平面視において、ソース導電パターン３３は、複数の第１還流ダイオード２０ｈの第１カソード電極２１ｈをさらに覆っている。

[0033] ソース導電パターン３５は、第１方向（ｘ方向）と第２方向（ｙ方向）とに延在している。ソース導電パターン３５の長手方向は、第１方向（ｘ方向）であり、ソース導電パターン３５の短手方向は、第２方向（ｙ方向）である。絶縁基板３１の第３主面３１ｂの平面視において、ソース導電パターン３５は、複数の自己消弧型半導体素子２０ａのソース電極２２ａを覆っている。絶縁基板３１の第３主面３１ｂの平面視において、ソース導電パターン３５は、複数の第１還流ダイオード２０ｈの第１カソード電極２１ｈをさらに覆っている。

[0034] 導電ビア３２は、ソース導電パターン３３とソース導電パターン３５とを電気的に接続している。導電ビア３２は、絶縁基板３１を貫通している。導電ビア３２は、例えば、銅またはアルミニウムのような金属で形成されている。

[0035] 絶縁基板３１の第３主面３１ｂの平面視において、導電パッド３４と導電パッド３７とは、絶縁基板３１の第３縁３１ｅに沿って配置されている。

[0036] ゲート導電パターン３６の長手方向は、第１方向（ｘ方向）であり、ゲート導電パターン３６の短手方向は、第２方向（ｙ方向）である。ゲート導電

パターン３６の長手方向は、絶縁基板３１の第１縁３１ｃが延在する第１方向（ｘ方向）である。ゲート導電パターン３６の長手方向は、ソース導電パターン３３の縁３３ａが延在する第１方向（ｘ方向）である。図１、図５及び図６に示されるように、ゲート導電パターン３６は、絶縁基板３１の第１縁３１ｃに沿って配置されている。ゲート導電パターン３６は、ソース導電パターン３３の縁３３ａに沿って配置されている。特定的には、絶縁基板３１の第３主面３１ｂの平面視において、ゲート導電パターン３６は、ソース導電パターン３３の縁３３ａに重なっている。

[0037] 図１、図５及び図６に示されるように、ゲート導電パターン３６のうち、絶縁基板３１の第３主面３１ｂの平面視においてゲート導電パターン３６の長手方向（第１方向（ｘ方向））で複数の自己消弧型半導体素子２０ａに対応する部分３６ｐの幅w_{g1}は、ソース導電パターン３３のうち、絶縁基板３１の第３主面３１ｂの平面視においてゲート導電パターン３６の長手方向（第１方向（ｘ方向））で複数の自己消弧型半導体素子２０ａに対応する部分３３ｐの幅w_{s1}より小さい。ゲート導電パターン３６の部分３６ｐの幅w_{g1}は、ゲート導電パターン３６の短手方向（第２方向（ｙ方向））におけるゲート導電パターン３６の部分３６ｐの長さとして定義される。ソース導電パターン３３の部分３３ｐの幅w_{s1}は、ゲート導電パターン３６の短手方向（第２方向（ｙ方向））におけるソース導電パターン３３の部分３３ｐの長さとして定義される。

[0038] ゲート導電パターン３６の部分３６ｐの幅w_{g1}は、ソース導電パターン３３の部分３３ｐの幅w_{s1}の二分の一以下であってもよく、ソース導電パターン３３の部分３３ｐの幅w_{s1}の三分の一以下であってもよく、ソース導電パターン３３の部分３３ｐの幅w_{s1}の四分の一以下であってもよく、ソース導電パターン３３の部分３３ｐの幅w_{s1}の五分の一以下であってもよい。

[0039] 一般に、導電パターンの幅が減少するにつれて、導電パターンのインダクタンスは増加する。ゲート導電パターン３６の部分３６ｐの幅w_{g1}は、ソース導電パターン３３の部分３３ｐの幅w_{s1}より小さい。そのため、複数の自己消

弧型半導体素子２０ａ間におけるゲート導電パターン３６の寄生インダクタンスを、複数の自己消弧型半導体素子２０ａ間におけるソース導電パターン３３の寄生インダクタンスよりも大きくすることができる。

[0040] ゲート導電パターン３６のうち、絶縁基板３１の第３主面３１ｂの平面視においてゲート導電パターン３６の長手方向（第１方向（ｘ方向））で複数の自己消弧型半導体素子２０ａに対応する部分３６ｐの幅w_{g1}は、ソース導電パターン３５のうち、絶縁基板３１の第３主面３１ｂの平面視においてゲート導電パターン３６の長手方向（第１方向（ｘ方向））で複数の自己消弧型半導体素子２０ａに対応する部分の幅より小さい。そのため、複数の自己消弧型半導体素子２０ａ間におけるゲート導電パターン３６の寄生インダクタンスを、複数の自己消弧型半導体素子２０ａ間におけるソース導電パターン３５の寄生インダクタンスよりも大きくすることができる。

[0041] 複数の自己消弧型半導体素子２０ａは、絶縁基板３１の第１縁３１ｃに沿って配置されている。複数の自己消弧型半導体素子２０ａは、ソース導電パターン３３の縁３３ａに沿って配置されている。複数の自己消弧型半導体素子２０ａは、ゲート導電パターン３６に沿って配置されている。絶縁基板３１の第３主面３１ｂの平面視において、ゲート導電パターン３６の長手方向（第１方向（ｘ方向））は、複数の自己消弧型半導体素子２０ａの配列方向（第１方向（ｘ方向））である。図１及び図５に示されるように、ゲート導電パターン３６の長手方向（第１方向（ｘ方向））におけるゲート導電パターン３６の長さL_{g1}は、複数の自己消弧型半導体素子２０ａの配列方向（第１方向（ｘ方向））における複数の自己消弧型半導体素子２０ａの長さL_{c1}以上である。絶縁基板３１の第３主面３１ｂの平面視において、複数の自己消弧型半導体素子２０ａのゲート電極２３ａは、絶縁基板３１（プリント配線基板３０）から露出している。

[0042] 複数の導電ゲートワイヤ５０ａは、複数の自己消弧型半導体素子２０ａのゲート電極２３ａとゲート導電パターン３６とを互いに接続している。複数の導電ゲートワイヤ５０ａは、複数の自己消弧型半導体素子２０ａのゲート

電極２３ａとゲート導電パターン３６とにボンディングされている。複数の自己消弧型半導体素子２０ａのゲート電極２３ａは、導電ゲートワイヤ５０ａを用いて、ゲート導電パターン３６に電気的に接続されている。複数の導電ゲートワイヤ５０ａは、例えば、金、銀、銅またはアルミニウムのような金属で形成されている。

[0043] 電極端子４２と電極端子４４とは、例えば、銅またはアルミニウムのような金属で形成されている。図１に示されるように、絶縁基板３１の第３主面３１ｂの平面視において、電極端子４２と電極端子４４とは、絶縁基板３１の第３縁３１ｅに配置されている。

[0044] 図３に示されるように、電極端子４２は、はんだのような導電接合部材４３を用いて、導電パッド３７に接合されている。導電ビア３８は、導電パッド３４と導電パッド３７とを電気的に接続している。導電ビア３８は、絶縁基板３１を貫通している。導電ビア３８は、例えば、銅またはアルミニウムのような金属で形成されている。導電ブロック４０は、導電パッド３４と第１導電回路パターン１３とを電気的に接続している。導電ブロック４０は、はんだのような導電接合部材２５ｍを用いて、導電パッド３４に接合されている。導電ブロック４０は、はんだのような導電接合部材１５ｍを用いて、第１導電回路パターン１３に接合されている。

[0045] 電極端子４２は、導電接合部材４３、導電パッド３７、導電ビア３８、導電パッド３４、導電接合部材２５ｍ、導電ブロック４０、導電接合部材１５ｍ、第１導電回路パターン１３及び導電接合部材１５ａを介して、複数の自己消弧型半導体素子２０ａのドレイン電極２１ａに電気的に接続されている。電極端子４２は、導電ワイヤ無しに、第１導電回路パターン１３を介して、複数の自己消弧型半導体素子２０ａのドレイン電極２１ａに電気的に接続されている。電極端子４２は、ドレイン電極端子として機能する。電極端子４２は、複数の自己消弧型半導体素子２０ａのソース電極２２ａとドレイン電極２１ａとの間を流れる第１主電流（主電流５５）の第１経路の、パワー半導体モジュール１における経路端である。第１導電回路パターン１３の一

部は、ドレイン導電パターンとして機能している。すなわち、第１導電回路パターン１３は、ドレイン導電パターンを含む。

[0046] 図４に示されるように、電極端子４４は、はんだのような導電接合部材４５を用いて、ソース導電パターン３５に接合されている。図２及び図４に示されるように、電極端子４４は、導電接合部材４５、ソース導電パターン３５、導電ビア３２、ソース導電パターン３３及び導電接合部材２５ａを介して、複数の自己消弧型半導体素子２０ａのソース電極２２ａに電気的に接続されている。電極端子４４は、導電ワイヤ無しに、ソース導電パターン３３を介して、複数の自己消弧型半導体素子２０ａのソース電極２２ａに電気的に接続されている。電極端子４４は、ソース電極端子として機能する。電極端子４４は、複数の自己消弧型半導体素子２０ａのソース電極２２ａとドレイン電極２１ａとの間を流れる第１主電流（主電流５５）の第１経路の、パワー半導体モジュール１における経路端である。

[0047] 第１ソース制御端子４６は、例えば、ベース板１１上に載置された絶縁ブロック（図示せず）上に設けられている。第１ソース制御端子４６は、例えば、銅またはアルミニウムのような金属で形成されている。図１に示されるように、導電ワイヤ４７は、ソース導電パターン３５と第１ソース制御端子４６とを互いに接続している。導電ワイヤ４７は、ソース導電パターン３５と第１ソース制御端子４６とにボンディングされている。導電ワイヤ４７は、例えば、金、銀、銅またはアルミニウムのような金属で形成されている。

[0048] 第１ゲート制御端子４８は、例えば、ベース板１１上に載置された絶縁ブロック（図示せず）上に設けられている。第１ゲート制御端子４８は、例えば、銅またはアルミニウムのような金属で形成されている。図１に示されるように、導電ワイヤ４９は、ゲート導電パターン３６と第１ゲート制御端子４８とを互いに接続している。導電ワイヤ４９は、ゲート導電パターン３６と第１ゲート制御端子４８とにボンディングされている。導電ワイヤ４９は、例えば、金、銀、銅またはアルミニウムのような金属で形成されている。

[0049] パワー半導体モジュール１の外部から、第１ソース制御端子４６と第１ゲ

ート制御端子４８との間に、第１のソース－ゲート間電圧が供給される。第１のソース－ゲート間電圧に応じて、複数の自己消弧型半導体素子２０ａはオン状態とオフ状態との間でスイッチングされる。

[0050] 本実施の形態のパワー半導体モジュール１の作用を説明する。

パワー半導体モジュール１では、複数の自己消弧型半導体素子２０ａのソース電極２２ａは、複数の導電接合部材２５ａによって、ソース導電パターン３３に接合されている。これに対し、複数の自己消弧型半導体素子２０ａのゲート電極２３ａは、複数の導電ゲートワイヤ５０ａによって、ゲート導電パターン３６に接続されている。複数の導電接合部材２５ａの各々の厚さは、複数の導電ゲートワイヤ５０ａの各々の長さよりも小さい。複数の導電接合部材２５ａの各々の断面積は、複数の導電ゲートワイヤ５０ａの各々の断面積よりも大きい。複数の導電接合部材２５ａの各々の断面積は、複数の導電接合部材２５ａの各々の厚さ方向（第３方向（ｚ方向））に垂直な複数の導電接合部材２５ａの各々の断面の面積として定義される。複数の導電ゲートワイヤ５０ａの各々の断面積は、複数の導電ゲートワイヤ５０ａの各々の長手方向に垂直な複数の導電ゲートワイヤ５０ａの各々の断面の面積として定義される。

[0051] 一般に、導体の長さが増加するにつれて、導体の寄生インダクタンスは増加する。導体の断面積が減少するにつれて、導体の寄生インダクタンスは増加する。そのため、複数の導電ゲートワイヤ５０ａの各々の寄生インダクタンスを増加させることができる。複数の導電接合部材２５ａの各々の寄生インダクタンスを減少させることができる。複数の導電ゲートワイヤ５０ａの各々の寄生インダクタンスを、複数の導電接合部材２５ａの各々の寄生インダクタンスよりも大きくすることができる。複数の導電ゲートワイヤ５０ａの各々の寄生インダクタンスと複数の導電接合部材２５ａの各々の寄生インダクタンスとの間の差を大きくすることができる。

[0052] このように、ソース導電パターン３３に接合される複数の導電接合部材２５ａの各々の寄生インダクタンスを減少させることができる。そのため、複

数の自己消弧型半導体素子２０ａを高周波数で動作させて、複数の自己消弧型半導体素子２０ａのソース電極２２ａとドレイン電極２１ａとの間を流れる第１主電流（主電流５５）の時間変化ｄＩ／ｄｔが大きくなっても、複数の自己消弧型半導体素子２０ａのソース電極２２ａ間に発生する誘導起電力を減少させることができる。パワー半導体モジュール１の動作周波数を増加させながら、複数の自己消弧型半導体素子２０ａのソース電極２２ａとドレイン電極２１ａとの間にサージ電圧が発生することを防ぐことができる。

[0053] また、ゲート導電パターン３６に接合される複数の導電ゲートワイヤ５０ａの各々の寄生インダクタンスを増加させることができる。一般に、導体のインダクタンスが増加するにつれて、導体のインピーダンスも増加する。そのため、複数の導電ゲートワイヤ５０ａの各々の寄生インピーダンスを増加させることができる。複数の導電ゲートワイヤ５０ａの各々の増加された寄生インピーダンスは、ゲート電圧発振を減衰させる。こうして、自己消弧型半導体素子２０ａのゲート電圧発振を低減または抑制することができる。

[0054] 特定的には、導電接合部材４５、導電ビア３２及び導電接合部材２５ａの各々の厚さは、複数の導電ゲートワイヤ５０ａの各々の長さよりも小さい。導電接合部材４５、導電ビア３２及び導電接合部材２５の各々の断面積は、複数の導電ゲートワイヤ５０ａの各々の断面積よりも大きい。そのため、導電接合部材４５、導電ビア３２及び導電接合部材２５の各々の寄生インダクタンスは、複数の導電ゲートワイヤ５０ａの各々の寄生インダクタンスよりも小さい。

[0055] さらに、ソース導電パターン３３の断面積は、ゲート導電パターン３６の断面積よりも大きい。ソース導電パターン３５の断面積は、ゲート導電パターン３６の断面積よりも大きい。なお、ソース導電パターン３３の断面積は、ソース導電パターン３３において第１主電流（主電流５５）が流れる方向（第１方向（ｘ方向））に垂直なソース導電パターン３３の断面の面積として定義される。ソース導電パターン３５の断面積は、ソース導電パターン３５において第１主電流（主電流５５）が流れる方向（第１方向（ｘ方向））

に垂直なソース導電パターン３５の断面の面積として定義される。ゲート導電パターン３６の断面積は、ゲート導電パターン３６の長手方向（第１方向（ｘ方向））または複数の自己消弧型半導体素子２０ａの第１配列方向（第１方向（ｘ方向））に垂直なゲート導電パターン３６の断面の面積として定義される。そのため、ソース導電パターン３３の寄生インダクタンスは、ゲート導電パターン３６の寄生インダクタンスよりも小さい。ソース導電パターン３５の寄生インダクタンスは、ゲート導電パターン３６の寄生インダクタンスよりも小さい。

[0056] 導電接合部材４３、導電パッド３７、導電ビア３８、導電パッド３４、導電接合部材２５ｍ、導電ブロック４０、導電接合部材１５ｍ及び導電接合部材１５ａの各々の厚さは、複数の導電ゲートワイヤ５０ａの各々の長さよりも小さい。導電接合部材４３、導電パッド３７、導電ビア３８、導電パッド３４、導電接合部材２５ｍ、導電ブロック４０、導電接合部材１５ｍ及び導電接合部材１５ａの各々の断面積は、複数の導電ゲートワイヤ５０ａの各々の断面積よりも大きい。そのため、導電接合部材４３、導電パッド３７、導電ビア３８、導電パッド３４、導電接合部材２５ｍ、導電ブロック４０、導電接合部材１５ｍ及び導電接合部材１５ａの各々の寄生インダクタンスは、複数の導電ゲートワイヤ５０ａの各々の寄生インダクタンスよりも小さい。

[0057] さらに、ドレイン導電パターンとして機能する第１導電回路パターン１３の断面積は、ゲート導電パターン３６の断面積よりも大きい。なお、第１導電回路パターン１３の断面積は、第１導電回路パターン１３において第１主電流（主電流５５）が流れる方向（第１方向（ｘ方向））に垂直な第１導電回路パターン１３の断面の面積として定義される。そのため、ドレイン導電パターンとして機能する第１導電回路パターン１３の寄生インダクタンスは、ゲート導電パターン３６の寄生インダクタンスよりも小さい。

[0058] そのため、電極端子４４から複数の自己消弧型半導体素子２０ａのソース電極２２ａに至る第１ソースラインの寄生インダクタンスは、第１ゲート制御端子４８から複数の自己消弧型半導体素子２０ａのゲート電極２３ａに至

る第１ゲートラインの寄生インダクタンスよりも小さい。複数の自己消弧型半導体素子２０ａを高周波数で動作させても、複数の自己消弧型半導体素子２０ａのソース電極２２ａとドレイン電極２１ａとの間にサージ電圧が発生することを防ぐことができる。パワー半導体モジュール１の動作周波数を増加させながら、パワー半導体モジュール１の寿命を延ばすことができる。

[0059] 電極端子４２から複数の自己消弧型半導体素子２０ａのドレイン電極２１ａに至る第１ドレインラインの寄生インダクタンスは、第１ゲート制御端子４８から複数の自己消弧型半導体素子２０ａのゲート電極２３ａに至る第１ゲートラインの寄生インダクタンスよりも小さい。複数の自己消弧型半導体素子２０ａを高周波数で動作させても、複数の自己消弧型半導体素子２０ａのソース電極２２ａとドレイン電極２１ａとの間にサージ電圧が発生することを防ぐことができる。パワー半導体モジュール１の動作周波数を増加させながら、パワー半導体モジュール１の寿命を延ばすことができる。

[0060] また、上記のとおり、導体のインダクタンスが増加するにつれて、導体のインピーダンスも増加する。第１ゲート制御端子４８から複数の自己消弧型半導体素子２０ａのゲート電極２３ａに至る第１ゲートラインの寄生インピーダンスは、電極端子４４から複数の自己消弧型半導体素子２０ａのソース電極２２ａに至る第１ソースラインの寄生インピーダンスよりも大きい。第１ゲート制御端子４８から複数の自己消弧型半導体素子２０ａのゲート電極２３ａに至る第１ゲートラインの寄生インピーダンスは、電極端子４２から複数の自己消弧型半導体素子２０ａのドレイン電極２１ａに至る第１ドレインラインの寄生インピーダンスよりも大きい。第１ゲートラインの増加された寄生インピーダンスは、自己消弧型半導体素子２０ａのゲート電圧発振を低減または抑制することができる。

[0061] 複数の自己消弧型半導体素子２０ａの各々に印加されるゲート－ソース間電圧（すなわち、第１ゲート制御端子４８に印加されるゲート電圧と第１ソース制御端子４６に印加されるソース電圧との間の差）を閾値電圧よりも大きくして、複数の自己消弧型半導体素子２０ａをターンオンさせる。図５及

び図６に示されるように、主電流５５は、ソース導電パターン３３を流れる。一般に、導電パターンの縁が、導電パターンのうち、電流が最も多く流れる部分である。そのため、図５及び図６に示されるように、主電流５５は、ソース導電パターン３３のうち複数の自己消弧型半導体素子２０ａに近位する縁３３ａに沿って流れる。

[0062] ソース導電パターン３３を流れる主電流５５は、主電流５５の周りに（例えば、ソース導電パターン３３に）磁束を形成する。この磁束とソース導電パターン３３の寄生インダクタンスとに起因して、ソース導電パターン３３に誘導起電力が発生する。この誘導起電力は、複数の自己消弧型半導体素子２０ａの間でソース電圧を変動させる。複数の自己消弧型半導体素子２０ａの間で、ゲート－ソース間電圧が変動する。複数の自己消弧型半導体素子２０ａのうちの一つの自己消弧型半導体素子２０ａのドレイン－ソース間電流が急増して、この一つの自己消弧型半導体素子２０ａが破壊されるおそれがある。

[0063] しかし、本実施の形態のパワー半導体モジュール１では、ゲート導電パターン３６は、絶縁基板３１の第３主面３１ｂの平面視において、ソース導電パターン３３の縁３３ａに沿って配置されている。そのため、主電流５５は、ゲート導電パターン３６にも磁束を形成する。この磁束とゲート導電パターン３６の寄生インダクタンスとに起因して、ゲート導電パターン３６に誘導起電力が発生する。この誘導起電力は、複数の自己消弧型半導体素子２０ａの間でゲート電圧を変動させる。複数の自己消弧型半導体素子２０ａの間のゲート電圧の変動は、複数の自己消弧型半導体素子２０ａの間のゲート－ソース間電圧の変動を打ち消す。複数の自己消弧型半導体素子２０ａのドレイン－ソース間電流が急増することが防止される。複数の自己消弧型半導体素子２０ａが破壊されることが防止されて、パワー半導体モジュール１の寿命を延ばすことができる。

[0064] 本実施の形態のパワー半導体モジュール１の効果を説明する。

本実施の形態のパワー半導体モジュール１は、絶縁回路基板１０と、複数

の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）と、プリント配線基板３０と、複数の第１導電接合部材（複数の導電接合部材２５ａ）と、複数の第１導電ゲートワイヤ（複数の導電ゲートワイヤ５０ａ）とを備える。絶縁回路基板１０は、第１主面１２ａを含む絶縁板１２と、第１主面１２ａ上に設けられている第１導電回路パターン１３とを含む。プリント配線基板３０は、絶縁板１２の第１主面１２ａに対向して配置されている。プリント配線基板３０は、絶縁基板３１と、第１ソース導電パターン（ソース導電パターン３３）と、第１ゲート導電パターン（ゲート導電パターン３６）とを含む。絶縁基板３１は、第１主面１２ａに対向する第２主面３１ａと、第２主面３１ａとは反対側の第３主面３１ｂとを含む。絶縁基板３１の第３主面３１ｂの平面視において、絶縁基板３１は、第１縁３１ｃと、第１縁３１ｃとは反対側の第２縁３１ｄとを含む。複数の第１自己消弧型半導体素子は、それぞれ、第１ソース電極（ソース電極２２ａ）と、第１ゲート電極（ゲート電極２３ａ）と、第１ドレイン電極（ドレイン電極２１ａ）とを含む。

[0065] 複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）の第１ドレイン電極（ドレイン電極２１ａ）は、第１導電回路パターン１３に接合されている。複数の第１自己消弧型半導体素子の第１ソース電極（ソース電極２２ａ）は、複数の第１導電接合部材（複数の導電接合部材２５ａ）によって、第１ソース導電パターン（ソース導電パターン３３）に接合されている。複数の第１導電ゲートワイヤ（複数の導電ゲートワイヤ５０ａ）は、複数の第１自己消弧型半導体素子の第１ゲート電極（ゲート電極２３ａ）と第１ゲート導電パターン（ゲート導電パターン３６）とを互いに接続している。絶縁基板３１の第３主面３１ｂの平面視において、第１ゲート導電パターンの第１長手方向（第１方向（ｘ方向））は、複数の第１自己消弧型半導体素子の第１配列方向（第１方向（ｘ方向））である。

[0066] 本実施の形態のパワー半導体モジュール１は、複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）を備えている。そのため、パ

ワー半導体モジュール１の電力容量を増加させることができる。絶縁基板３１の第３主面３１ｂの平面視において、第１ゲート導電パターン（ゲート導電パターン３６）の第１長手方向は、複数の第１自己消弧型半導体素子の第１配列方向である。そのため、パワー半導体モジュール１に含まれる複数の第１自己消弧型半導体素子の数を増加させても、複数の第１自己消弧型半導体素子の第１ゲート電極（ゲート電極２３ａ）に共通のゲート電圧を印加することが容易になる。

[0067] 複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）の第１ソース電極（ソース電極２２ａ）は、複数の第１導電接合部材（複数の導電接合部材２５ａ）によって、第１ソース導電パターン（ソース導電パターン３３）に接合されている。複数の第１導電接合部材（複数の導電接合部材２５ａ）の各々の寄生インダクタンスは、第１ゲート導電パターン（ゲート導電パターン３６）の寄生インダクタンスよりも小さい。そのため、複数の第１自己消弧型半導体素子を高周波数で動作させても、複数の第１自己消弧型半導体素子の第１ソース電極間に発生する誘導起電力を減少させることができる。複数の第１自己消弧型半導体素子の第１ソース電極と第１ドレイン電極（ドレイン電極２１ａ）との間にサージ電圧が発生することを防ぐことができる。パワー半導体モジュール１の動作周波数を増加させながら、パワー半導体モジュール１の寿命を延ばすことができる。

[0068] 複数の第１導電ゲートワイヤ（複数の導電ゲートワイヤ５０ａ）は、複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）の第１ゲート電極（ゲート電極２３ａ）と第１ゲート導電パターン（ゲート導電パターン３６）とを互いに接続している。複数の第１導電ゲートワイヤの各々の寄生インダクタンス及び寄生インピーダンスは、複数の第１導電接合部材（複数の導電接合部材２５ａ）の各々の寄生インダクタンス及び寄生インピーダンスよりも大きい。複数の第１導電ゲートワイヤの各々の増加された寄生インピーダンスは、ゲート電圧発振を減衰させる。そのため、複数の第１自己消弧型半導体素子のゲート電圧発振を低減または抑制することができる

。

[0069] 本実施の形態のパワー半導体モジュール１では、第１ソース導電パターン（ソース導電パターン３３）は、絶縁基板３１の第２主面３１ａ上に設けられている。第１ゲート導電パターン（ゲート導電パターン３６）は、絶縁基板３１の第３主面３１ｂ上に設けられている。絶縁基板３１の第３主面３１ｂの平面視において、第１ゲート電極（ゲート電極２３ａ）は、絶縁基板３１から露出している。

[0070] 第１ゲート導電パターン（ゲート導電パターン３６）は、絶縁基板３１の第２主面３１ａよりも第１ゲート電極（ゲート電極２３ａ）から遠位している絶縁基板３１の第３主面３１ｂ上に設けられている。複数の第１導電ゲートワイヤ（複数の導電ゲートワイヤ５０ａ）の各々の長さを増加させることができる。複数の第１導電ゲートワイヤの各々の寄生インダクタンス及び寄生インピーダンスを増加させることができる。複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）のゲート電圧発振を低減または抑制することができる。さらに、絶縁基板３１の第３主面３１ｂの平面視において、複数の第１自己消弧型半導体素子の第１ゲート電極は絶縁基板３１から露出している。そのため、複数の第１導電ゲートワイヤは、複数の第１自己消弧型半導体素子の第１ゲート電極と第１ゲート導電パターンとに容易にボンディングされ得る。

[0071] 本実施の形態のパワー半導体モジュール１では、第１ゲート導電パターン（ゲート導電パターン３６）の第１長手方向（第１方向（ｘ方向））における第１ゲート導電パターン（ゲート導電パターン３６）の第１長さ（長さL_{g1}）は、複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）の第１配列方向における複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）の第２長さ（長さL_{c1}）以上である。

[0072] そのため、第１ゲート導電パターン（ゲート導電パターン３６）の第１長さ（長さL_{g1}）を増加させることができる。第１ゲート導電パターンの寄生インダクタンス及び寄生インピーダンスを増加させることができる。複数の第

１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）のゲート電圧発振を低減または抑制することができる。

[0073] 本実施の形態のパワー半導体モジュール１では、絶縁基板３１の第３主面３１ｂの平面視において、第１ゲート導電パターン（ゲート導電パターン３６）は、絶縁基板３１の第１縁３１ｃに沿って配置されている。複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）は、絶縁基板３１の第１縁３１ｃに沿って配置されている。

[0074] そのため、複数の第１導電ゲートワイヤ（複数の導電ゲートワイヤ５０ａ）は、複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）の第１ゲート電極（ゲート電極２３ａ）と第１ゲート導電パターン（ゲート導電パターン３６）とに容易にボンディングされ得る。

[0075] 本実施の形態のパワー半導体モジュール１では、第１ソース導電パターン（ソース導電パターン３３）は、絶縁基板３１の第２主面３１ａ上に設けられている。第１ゲート導電パターン（ゲート導電パターン３６）は、絶縁基板３１の第３主面３１ｂ上に設けられており、かつ、第３主面３１ｂの平面視において、第１ソース導電パターンの縁３３ａに沿って配置されている。

[0076] 第１ソース導電パターン（ソース導電パターン３３）の縁３３ａに沿って流れる主電流５５が形成する磁束と第１ソース導電パターンの寄生インダクタンスとによって、複数の自己消弧型半導体素子２０ａの間でソース電圧が変動して、複数の自己消弧型半導体素子２０ａの間でゲート－ソース間電圧が変動する。しかし、この磁束と第１ゲート導電パターン（ゲート導電パターン３６）の寄生インダクタンスとによって、複数の自己消弧型半導体素子２０ａの間でゲート電圧が変動する。複数の自己消弧型半導体素子２０ａの間のゲート電圧の変動は、複数の自己消弧型半導体素子２０ａの間のゲート－ソース間電圧の変動を打ち消す。複数の自己消弧型半導体素子２０ａのドレイン－ソース間電流が急増することが防止される。複数の自己消弧型半導体素子２０ａが破壊されることが防止されて、パワー半導体モジュール１の寿命を延ばすことができる。

[0077] 本実施の形態のパワー半導体モジュール１では、第１ゲート導電パターン（ゲート導電パターン３６）のうち、絶縁基板３１の第３主面３１ｂの平面視において第１ゲート導電パターン（ゲート導電パターン３６）の第１長手方向（第１方向（ｘ方向））で複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）に対応する第１ゲート導電パターン部分（部分３６ｐ）の第１幅（幅w_{g1}）は、第１ソース導電パターン（ソース導電パターン３３）のうち、絶縁基板３１の第３主面３１ｂの平面視において第１ゲート導電パターン（ゲート導電パターン３６）の第１長手方向で複数の第１自己消弧型半導体素子に対応する第１ソース導電パターン部分（部分３３ｐ）の第２幅（幅w_{s1}）より小さい。第１ゲート導電パターン部分の第１幅は、第１ゲート導電パターンの第１長手方向に垂直な第１ゲート導電パターンの第１短手方向における第１ゲート導電パターン部分の長さである。第１ソース導電パターン部分の第２幅（幅w_{s1}）は、第１ゲート導電パターンの第１短手方向における第１ソース導電パターン部分の長さである。

[0078] そのため、第１ソース導電パターン（ソース導電パターン３３）の寄生インダクタンスを低減させることができる。複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）を高周波数で動作させても、複数の第１自己消弧型半導体素子の第１ソース電極（ソース電極２２ａ）間に発生する誘導起電力を減少させることができる。複数の第１自己消弧型半導体素子の第１ソース電極と第１ドレイン電極（ドレイン電極２１ａ）との間にサージ電圧が発生することを防ぐことができる。パワー半導体モジュール１の動作周波数を増加させながら、パワー半導体モジュール１の寿命を延ばすことができる。

[0079] また、第１ゲート導電パターン（ゲート導電パターン３６）の寄生インダクタンス及び寄生インピーダンスを増加させることができる。第１ゲート導電パターンの増加された寄生インピーダンスは、ゲート電圧発振を減衰させる。そのため、複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）のゲート電圧発振を低減または抑制することができる。

[0080] 本実施の形態のパワー半導体モジュール１は、複数の第１還流ダイオード２０ｈをさらに備える。複数の第１還流ダイオード２０ｈは、それぞれ、第１アノード電極２２ｈと、第１カソード電極２１ｈとを含む。複数の第１還流ダイオード２０ｈの第１カソード電極２１ｈは、第１導電回路パターン１３に接合されている。複数の第１還流ダイオード２０ｈの第１アノード電極２２ｈは、第１ソース導電パターン（ソース導電パターン３３）に接合されている。絶縁基板３１の第３主面３１ｂの平面視において、第１ソース導電パターンは、複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）の第１ソース電極（ソース電極２２ａ）と第１還流ダイオード２０ｈの第１カソード電極２１ｈとを覆っている。

[0081] そのため、第１ソース導電パターン（ソース導電パターン３３）の幅をさらに増加させることができる。第１ソース導電パターンの寄生インダクタンスを低減させることができる。複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）を高周波数で動作させても、複数の第１自己消弧型半導体素子の第１ソース電極（ソース電極２２ａ）間に発生する誘導起電力を減少させることができる。複数の第１自己消弧型半導体素子の第１ソース電極と第１ドレイン電極（ドレイン電極２１ａ）との間にサージ電圧が発生することを防ぐことができる。パワー半導体モジュール１の動作周波数を増加させながら、パワー半導体モジュール１の寿命を延ばすことができる。

[0082] 本実施の形態のパワー半導体モジュール１は、第１電極端子（電極端子４４）と、第２電極端子（電極端子４２）とをさらに備える。第１電極端子は、複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）の第１ソース電極（ソース電極２２ａ）と第１ドレイン電極（ドレイン電極２１ａ）との間を流れる第１主電流（主電流５５）の第１経路の、パワー半導体モジュール１における第１経路端である。第２電極端子は、第１主電流（主電流５５）の第１経路の、パワー半導体モジュール１における第２経路端である。第１電極端子は、導電ワイヤ無しに、第１ソース導電パターン（

ソース導電パターン３３）を介して、複数の第１自己消弧型半導体素子の第１ソース電極に電気的に接続されている。第２電極端子は、導電ワイヤ無しに、第１導電回路パターン１３を介して、複数の第１自己消弧型半導体素子の第１ドレイン電極に電気的に接続されている。

[0083] そのため、第１電極端子（電極端子４４）から複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）の第１ソース電極（ソース電極２２ａ）に至る第１ソースラインの寄生インダクタンスを減少させることができる。第２電極端子（電極端子４２）から複数の第１自己消弧型半導体素子の第１ドレイン電極（ドレイン電極２１ａ）に至る第１ドレインラインの寄生インダクタンスを減少させることができる。複数の第１自己消弧型半導体素子の第１ソース電極と第１ドレイン電極との間にサージ電圧が発生することを防ぐことができる。パワー半導体モジュール１の動作周波数を増加させながら、パワー半導体モジュール１の寿命を延ばすことができる。

[0084] 実施の形態２．

図７及び図８を参照して、実施の形態２のパワー半導体モジュール１ｂを説明する。本実施の形態のパワー半導体モジュール１ｂは、実施の形態１のパワー半導体モジュール１と同様の構成を備えるが、以下の点で主に異なる。

[0085] パワー半導体モジュール１ｂでは、絶縁基板３１の第３主面３１ｂの平面視において、複数の導電ゲートワイヤ５０ａの少なくとも一つは、ゲート導電パターン３６の第１長手方向（第１方向（ｘ方向））に対して斜めの方向に延在している。特定的には、絶縁基板３１の第３主面３１ｂの平面視において、複数の導電ゲートワイヤ５０ａの全ては、ゲート導電パターン３６の第１長手方向（第１方向（ｘ方向））に対して斜めの方向に延在している。

[0086] 複数の導電ゲートワイヤ５０ａの少なくとも一つは、複数の自己消弧型半導体素子２０ａの少なくとも一つの第１ゲート電極（ゲート電極２３ａ）にボンディングされている第１端と、ゲート導電パターン３６にボンディングされている第２端とを有している。特定的には、ゲート導電パターン３６の

第１長手方向（第１方向（ｘ方向））における複数の導電ゲートワイヤ５０ａの少なくとも一つの第１端と第２端との間の間隔ｄは、ゲート導電パターン３６の第１長手方向における複数の自己消弧型半導体素子２０ａの少なくとも一つの幅ｗ以下である。

[0087] さらに特定的には、複数の導電ゲートワイヤ５０ａの各々は、複数の自己消弧型半導体素子２０ａの各々のゲート電極２３ａにボンディングされている第１端と、ゲート導電パターン３６にボンディングされている第２端とを有している。ゲート導電パターン３６の第１長手方向（第１方向（ｘ方向））における複数の導電ゲートワイヤ５０ａの各々の第１端と第２端との間の間隔ｄは、ゲート導電パターン３６の第１長手方向における複数の自己消弧型半導体素子２０ａの各々の幅ｗ以下である。

[0088] 本実施の形態のパワー半導体モジュール１ｂは、実施の形態１のパワー半導体モジュール１の効果に加えて、以下の効果を奏する。

[0089] 本実施の形態のパワー半導体モジュール１ｂでは、絶縁基板３１の第３主面３１ｂの平面視において、複数の第１導電ゲートワイヤ（複数の導電ゲートワイヤ５０ａ）の少なくとも一つは、第１ゲート導電パターン（ゲート導電パターン３６）の第１長手方向（第１方向（ｘ方向））に対して斜めの方向に延在している。

[0090] そのため、複数の第１導電ゲートワイヤ（複数の導電ゲートワイヤ５０ａ）の少なくとも一つの長さを増加させることができる。複数の第１導電ゲートワイヤの少なくとも一つの寄生インダクタンス及び寄生インピーダンスを増加させることができる。複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）のゲート電圧発振を低減または抑制することができる。

[0091] 本実施の形態のパワー半導体モジュール１ｂでは、複数の第１導電ゲートワイヤ（複数の導電ゲートワイヤ５０ａ）の少なくとも一つは、複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）の少なくとも一つの第１ゲート電極（ゲート電極２３ａ）にボンディングされている第１

端と、第１ゲート導電パターン（ゲート導電パターン３６）にボンディングされている第２端とを有している。第１ゲート導電パターンの第１長手方向（第１方向（ｘ方向））における複数の導電ゲートワイヤ５０ａの少なくとも一つの第１端と第２端との間の間隔ｄは、第１ゲート導電パターンの第１長手方向における複数の第１自己消弧型半導体素子の少なくとも一つの幅ｗ以下である。

[0092] そのため、パワー半導体モジュール１ｂに熱サイクルが印加されても、複数の第１導電ゲートワイヤ（複数の導電ゲートワイヤ５０ａ）が断線され難くなる。パワー半導体モジュール１ｂの寿命を延ばすことができる。

[0093] 実施の形態３．

図９から図１５を参照して、実施の形態３のパワー半導体モジュール１ｃを説明する。本実施の形態のパワー半導体モジュール１ｃは、実施の形態１のパワー半導体モジュール１と同様の構成を備えるが、以下の点で主に異なる。

[0094] パワー半導体モジュール１ｃは、複数の自己消弧型半導体素子２０ｂと、複数の導電接合部材２５ｂと、複数の導電接合部材１５ｂと、複数の導電ゲートワイヤ５０ｂとをさらに備える。

[0095] 複数の自己消弧型半導体素子２０ｂは、各々、絶縁ゲート型バイポーラトランジスタ（ＩＧＢＴ）または金属酸化物半導体電界効果トランジスタ（ＭＯＳＦＥＴ）のような自己消弧型半導体素子である。複数の自己消弧型半導体素子２０ｂは、主に、シリコン（Ｓｉ）、または、炭化珪素（ＳｉＣ）、窒化ガリウム（ＧａＮ）もしくはダイヤモンドのようなワイドバンドギャップ半導体材料で形成されている。複数の自己消弧型半導体素子２０ｂは、それぞれ、ソース電極２２ｂと、ゲート電極２３ｂと、ドレイン電極２１ｂとを含む。

[0096] 複数の自己消弧型半導体素子２０ｂは、第１導電回路パターン１３に固定されている。具体的には、複数の自己消弧型半導体素子２０ｂのドレイン電極２１ｂは、はんだ、金属微粒子焼結体または導電性接着剤のような導電接

合部材１５ｂを用いて、第１導電回路パターン１３に接合されている。複数の自己消弧型半導体素子２０ｂは、プリント配線基板３０に固定されている。具体的には、複数の自己消弧型半導体素子２０ｂのソース電極２２ｂは、はんだ、金属微粒子焼結体または導電性接着剤のような導電接合部材２５ｂを用いて、プリント配線基板３０のソース導電パターン３３に接合されている。複数の自己消弧型半導体素子２０ｂは、互いに電気的に並列接続されている。複数の自己消弧型半導体素子２０ａと複数の自己消弧型半導体素子２０ｂとａは、互いに電気的に並列接続されている。複数の自己消弧型半導体素子２０ｂは、複数の自己消弧型半導体素子２０ａに、電気的に並列接続されている。複数の第１還流ダイオード２０ｈは、複数の自己消弧型半導体素子２０ｂに、電気的に並列接続されている。

[0097] プリント配線基板３０は、ゲート導電パターン３６ｂをさらに含む。ゲート導電パターン３６ｂは、絶縁基板３１の第３主面３１ｂ上に設けられている。ゲート導電パターン３６ｂは、ソース導電パターン３５と導電パッド３７とから離間されており、かつ、ソース導電パターン３５と導電パッド３７とから電気的に絶縁されている。

[0098] ゲート導電パターン３６ｂの長手方向は、第１方向（ｘ方向）であり、ゲート導電パターン３６ｂの短手方向は、第２方向（ｙ方向）である。ゲート導電パターン３６ｂの長手方向は、絶縁基板３１の第２縁３１ｄが延在する第１方向（ｘ方向）である。ゲート導電パターン３６ｂの長手方向は、ソース導電パターン３３の縁３３ｂが延在する第１方向（ｘ方向）である。ソース導電パターン３３の縁３３ｂは、ソース導電パターン３３の縁３３ａとは反対側のソース導電パターン３３の縁である。ソース導電パターン３３の縁３３ｂは、ソース導電パターン３３の短手方向（第２方向（ｙ方向））において、ソース導電パターン３３の縁３３ａに対向している。

[0099] 図９、図１４及び図１５に示されるように、ゲート導電パターン３６ｂは、絶縁基板３１の第２縁３１ｄに沿って配置されている。ゲート導電パターン３６ｂは、ソース導電パターン３３の縁３３ｂに沿って配置されている。

特定的には、絶縁基板３１の第３主面３１ｂの平面視において、ゲート導電パターン３６ｂは、ソース導電パターン３３の縁３３ｂに重なっている。

[0100] 図９、図１４及び図１５に示されるように、ゲート導電パターン３６ｂのうち、絶縁基板３１の第３主面３１ｂの平面視においてゲート導電パターン３６ｂの長手方向（第１方向（ｘ方向））で複数の自己消弧型半導体素子２０ｂに対応する部分３６ｑの幅w_{g2}は、ソース導電パターン３３のうち、絶縁基板３１の第３主面３１ｂの平面視においてゲート導電パターン３６ｂの長手方向（第１方向（ｘ方向））で複数の自己消弧型半導体素子２０ｂに対応する部分３３ｑの幅w_{s2}より小さい。ゲート導電パターン３６ｂの部分３６ｑの幅w_{g2}は、ゲート導電パターン３６ｂの短手方向（第２方向（ｙ方向））におけるゲート導電パターン３６ｂの部分３６ｑの長さとして定義される。ソース導電パターン３３の部分３３ｑの幅w_{s2}は、ゲート導電パターン３６ｂの短手方向（第２方向（ｙ方向））におけるソース導電パターン３３の部分３３ｑの長さとして定義される。

[0101] ゲート導電パターン３６ｂの部分３６ｑの幅w_{g2}は、ソース導電パターン３３の部分３３ｑの幅w_{s2}の二分の一以下であってもよく、ソース導電パターン３３の部分３３ｑの幅w_{s2}の三分の一以下であってもよく、ソース導電パターン３３の部分３３ｑの幅w_{s2}の四分の一以下であってもよく、ソース導電パターン３３の部分３３ｑの幅w_{s2}の五分の一以下であってもよい。

[0102] ゲート導電パターン３６ｂの部分３６ｑの幅w_{g2}は、ソース導電パターン３３の部分３３ｑの幅w_{s2}より小さいため、複数の自己消弧型半導体素子２０ｂ間におけるゲート導電パターン３６ｂの寄生インダクタンスを、複数の自己消弧型半導体素子２０ｂ間におけるソース導電パターン３３の寄生インダクタンスよりも大きくすることができる。

[0103] ゲート導電パターン３６ｂのうち、絶縁基板３１の第３主面３１ｂの平面視においてゲート導電パターン３６ｂの長手方向（第１方向（ｘ方向））で複数の自己消弧型半導体素子２０ｂに対応する部分３６ｑの幅w_{g2}は、ソース導電パターン３５のうち、絶縁基板３１の第３主面３１ｂの平面視において

ゲート導電パターン３６ｂの長手方向（第１方向（ｘ方向））で複数の自己消弧型半導体素子２０ｂに対応する部分の幅より小さい。そのため、複数の自己消弧型半導体素子２０ｂ間におけるゲート導電パターン３６ｂの寄生インダクタンスを、複数の自己消弧型半導体素子２０ｂ間におけるソース導電パターン３５の寄生インダクタンスよりも大きくすることができる。

[0104] ゲート導電パターン３６ｂは、ゲート導電パターン３６に電気的に接続されている。特定的には、プリント配線基板３０は、ゲート導電パターン３６とゲート導電パターン３６ｂとを互いに接続するゲート導電パターン３６ｃをさらに含んでもよい。ゲート導電パターン３６ｃは、絶縁基板３１の第３主面３１ｂ上に設けられている。ゲート導電パターン３６ｃの長手方向は、第２方向（ｙ方向）であり、ゲート導電パターン３６ｃの短手方向は、第１方向（ｘ方向）である。ゲート導電パターン３６ｃの長手方向は、絶縁基板３１の第４縁３１ｆが延在する第２方向（ｙ方向）である。図９に示されるように、ゲート導電パターン３６ｃは、絶縁基板３１の第４縁３１ｆに沿って配置されている。

[0105] ゲート導電パターン３６ｃは、ソース導電パターン３３の縁に沿って配置されている。特定的には、絶縁基板３１の第３主面３１ｂの平面視において、ゲート導電パターン３６ｃは、ソース導電パターン３３の縁に重なっている。絶縁基板３１の第３主面３１ｂの平面視において、ゲート導電パターン３６、ゲート導電パターン３６ｂ及びゲート導電パターン３６ｃは、ソース導電パターン３５の三辺に対向している。ゲート導電パターン３６ｂ，３６ｃは、銅またはアルミニウムのような金属で形成されている。

[0106] 複数の自己消弧型半導体素子２０ｂは、絶縁基板３１の第２縁３１ｄに沿って配置されている。複数の自己消弧型半導体素子２０ｂは、ソース導電パターン３３の縁３３ｂに沿って配置されている。複数の自己消弧型半導体素子２０ｂは、ゲート導電パターン３６ｂに沿って配置されている。絶縁基板３１の第３主面３１ｂの平面視において、ゲート導電パターン３６ｂの長手方向（第１方向（ｘ方向））は、複数の自己消弧型半導体素子２０ｂの配列

方向（第１方向（ｘ方向））である。図１及び図１４に示されるように、ゲート導電パターン３６ｂの長手方向（第１方向（ｘ方向））におけるゲート導電パターン３６ｂの長さ$Ｌ_{g2}$は、複数の自己消弧型半導体素子２０ｂの配列方向（第１方向（ｘ方向））における複数の自己消弧型半導体素子２０ｂの長さ$Ｌ_{c2}$以上である。絶縁基板３１の第３主面３１ｂの平面視において、複数の自己消弧型半導体素子２０ｂのゲート電極２３ｂは、絶縁基板３１（プリント配線基板３０）から露出している。

[0107] 複数の導電ゲートワイヤ５０ｂは、複数の自己消弧型半導体素子２０ｂのゲート電極２３ｂとゲート導電パターン３６ｂとを互いに接続している。複数の導電ゲートワイヤ５０ｂは、複数の自己消弧型半導体素子２０ｂのゲート電極２３ｂとゲート導電パターン３６ｂとにボンディングされている。複数の自己消弧型半導体素子２０ｂのゲート電極２３ｂは、導電ゲートワイヤ５０ｂを用いて、ゲート導電パターン３６ｂに電気的に接続されている。複数の導電ゲートワイヤ５０ｂは、例えば、金、銀、銅またはアルミニウムのような金属で形成されている。

[0108] 図１１に示されるように、電極端子４２は、導電接合部材４３、導電パッド３７、導電ビア３８、導電パッド３４、導電接合部材２５ｍ、導電ブロック４０、導電接合部材１５ｍ、第１導電回路パターン１３及び導電接合部材１５ａ，１５ｂを介して、複数の自己消弧型半導体素子２０ａ，２０ｂのドレイン電極２１ａ，２１ｂに電気的に接続されている。電極端子４２は、導電ワイヤ無しに、第１導電回路パターン１３を介して、複数の自己消弧型半導体素子２０ａ，２０ｂのドレイン電極２１ａ，２１ｂに電気的に接続されている。電極端子４２は、ドレイン電極端子として機能する。電極端子４２は、複数の自己消弧型半導体素子２０ａ，２０ｂのソース電極２２ａ，２２ｂとドレイン電極２１ａ，２１ｂとの間を流れる第１主電流（主電流５５，５５ｂ）の第１経路の、パワー半導体モジュール１ｃにおける経路端である。第１導電回路パターン１３の一部は、ドレイン導電パターンとして機能している。すなわち、第１導電回路パターン１３は、ドレイン導電パターンを

含む。

[0109] 図１２に示されるように、電極端子４４は、はんだのような導電接合部材４５を用いて、ソース導電パターン３５に接合されている。図１０及び図１２に示されるように、電極端子４４は、導電接合部材４５、ソース導電パターン３５、導電ビア３２、ソース導電パターン３３及び導電接合部材２５ａ，２５ｂを介して、複数の自己消弧型半導体素子２０ａ，２０ｂのソース電極２２ａ，２２ｂに電気的に接続されている。電極端子４４は、導電ワイヤ無しに、ソース導電パターン３３を介して、複数の自己消弧型半導体素子２０ａ，２０ｂのソース電極２２ａ，２２ｂに電気的に接続されている。電極端子４４は、ソース電極端子として機能する。電極端子４４は、複数の自己消弧型半導体素子２０ａ，２０ｂのソース電極２２ａ，２２ｂとドレイン電極２１ａ，２１ｂとの間を流れる第１主電流（主電流５５，５５ｂ）の第１経路の、パワー半導体モジュール１ｃにおける経路端である。

[0110] パワー半導体モジュール１ｃの外部から、第１ソース制御端子４６と第１ゲート制御端子４８との間に、第１のソース－ゲート間電圧が供給される。第１のソース－ゲート間電圧に応じて、複数の自己消弧型半導体素子２０ａ，２０ｂはオン状態とオフ状態との間でスイッチングされる。

[0111] 複数の自己消弧型半導体素子２０ｂの各々に印加されるゲート－ソース間電圧を閾値電圧よりも大きくして、複数の自己消弧型半導体素子２０ｂをターンオンさせる。図１４及び図１５に示されるように、主電流５５ｂは、ソース導電パターン３３を流れる。一般に、導電パターンの縁が、導電パターンのうち、電流が最も多く流れる部分である。そのため、図１４及び図１５に示されるように、主電流５５ｂは、ソース導電パターン３３のうち複数の自己消弧型半導体素子２０ｂに近位する縁３３ｂに沿って流れる。

[0112] ソース導電パターン３３を流れる主電流５５ｂは、主電流５５ｂの周りに（例えば、ソース導電パターン３３に）磁束を形成する。この磁束とソース導電パターン３３の寄生インダクタンスとに起因して、ソース導電パターン３３に誘導起電力が発生する。この誘導起電力は、複数の自己消弧型半導体

素子２０ｂの間でソース電圧を変動させる。複数の自己消弧型半導体素子２０ｂの間で、ゲート－ソース間電圧が変動する。複数の自己消弧型半導体素子２０ｂのうちの一つの自己消弧型半導体素子２０ｂのドレイン－ソース間電流が急増して、この一つの自己消弧型半導体素子２０ｂが破壊されるおそれがある。

[0113] しかし、本実施の形態のパワー半導体モジュール１ｃでは、ゲート導電パターン３６ｂは、絶縁基板３１の第３主面３１ｂの平面視において、ソース導電パターン３３の縁３３ｂに沿って配置されている。そのため、主電流５５ｂは、ゲート導電パターン３６ｂにも磁束を形成する。この磁束とゲート導電パターン３６ｂの寄生インダクタンスとに起因して、ゲート導電パターン３６ｂに誘導起電力が発生する。この誘導起電力は、複数の自己消弧型半導体素子２０ｂの間でゲート電圧を変動させる。複数の自己消弧型半導体素子２０ｂの間のゲート電圧の変動は、複数の自己消弧型半導体素子２０ｂの間のゲート－ソース間電圧の変動を打ち消す。複数の自己消弧型半導体素子２０ｂのドレイン－ソース間電流が急増することが防止される。複数の自己消弧型半導体素子２０ｂが破壊されることが防止されて、パワー半導体モジュール１ｃの寿命を延ばすことができる。

[0114] 本実施の形態のパワー半導体モジュール１ｃは、実施の形態１のパワー半導体モジュール１の効果に加えて、以下の効果を奏する。

[0115] 本実施の形態のパワー半導体モジュール１ｃは、複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）と、複数の第２導電接合部材（複数の導電接合部材２５ｂ）と、複数の第２導電ゲートワイヤ（複数の導電ゲートワイヤ５０ｂ）とをさらに備える。プリント配線基板３０は、第１ゲート導電パターン（ゲート導電パターン３６）に電気的に接続されている第２ゲート導電パターン（ゲート導電パターン３６ｂ）をさらに含む。複数の第２自己消弧型半導体素子は、それぞれ、第２ソース電極（ソース電極２２ｂ）と、第２ゲート電極（ゲート電極２３ｂ）と、第２ドレイン電極（ドレイン電極２１ｂ）とを含む。

[0116] 複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）の第２ドレイン電極（ドレイン電極２１ｂ）は、第１導電回路パターン１３に接合されている。複数の第２自己消弧型半導体素子の第２ソース電極（ソース電極２２ｂ）は、複数の第２導電接合部材（複数の導電接合部材２５ｂ）によって、第１ソース導電パターン（ソース導電パターン３３）に接合されている。複数の第２導電ゲートワイヤ（複数の導電ゲートワイヤ５０ｂ）は、複数の第２自己消弧型半導体素子の第２ゲート電極（ゲート電極２３ｂ）と第２ゲート導電パターン（ゲート導電パターン３６ｂ）とを互いに接続している。絶縁基板の第３主面の平面視において、第２ゲート導電パターンの第２長手方向（第１方向（ｘ方向））は、複数の第２自己消弧型半導体素子の第２配列方向（第１方向（ｘ方向））である。

[0117] 本実施の形態のパワー半導体モジュール１ｃは、複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）を備えている。そのため、パワー半導体モジュール１ｃの電力容量を増加させることができる。絶縁基板３１の第３主面３１ｂの平面視において、第２ゲート導電パターン（ゲート導電パターン３６ｂ）の第１長手方向は、複数の第２自己消弧型半導体素子の第２配列方向である。そのため、パワー半導体モジュール１ｃに含まれる複数の第２自己消弧型半導体素子の数を増加させても、複数の第２自己消弧型半導体素子の第２ゲート電極（ゲート電極２３ｂ）に共通のゲート電圧を印加することが容易になる。

[0118] 複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）の第２ソース電極（ソース電極２２ｂ）は、複数の第２導電接合部材（複数の導電接合部材２５ｂ）によって、第１ソース導電パターン（ソース導電パターン３３）に接合されている。複数の第２導電接合部材（複数の導電接合部材２５ｂ）の各々の寄生インダクタンスは、複数の第２導電ゲートワイヤ（ゲート導電パターン３６ｂ）の各々の寄生インダクタンスよりも小さい。そのため、複数の第２自己消弧型半導体素子を高周波数で動作させても、複数の第２自己消弧型半導体素子の第２ソース電極間に発生する誘導起電力を

減少させることができる。複数の第２自己消弧型半導体素子の第２ソース電極と第２ドレイン電極（ドレイン電極２１ａ）との間にサージ電圧が発生することを防ぐことができる。パワー半導体モジュール１ｃの動作周波数を増加させながら、パワー半導体モジュール１ｃの寿命を延ばすことができる。

[0119] 複数の第２導電ゲートワイヤ（複数の導電ゲートワイヤ５０ｂ）は、複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）の第２ゲート電極（ゲート電極２３ｂ）と第２ゲート導電パターン（ゲート導電パターン３６ｂ）とを互いに接続している。複数の第２導電ゲートワイヤの各々の寄生インダクタンスは、複数の第２導電接合部材（複数の導電接合部材２５ｂ）の各々の寄生インダクタンスよりも大きい。複数の第２導電ゲートワイヤの各々の増加された寄生インピーダンスは、ゲート電圧発振を減衰させる。そのため、複数の第２自己消弧型半導体素子のゲート電圧発振を低減または抑制することができる。

[0120] 第１ゲート導電パターン（ゲート導電パターン３６）と第２ゲート導電パターン（ゲート導電パターン３６ｂ）とは互いに電気的に接続されている。そのため、第１ゲート導電パターン（ゲート導電パターン３６）と第２ゲート導電パターン（ゲート導電パターン３６ｂ）とを含むゲート導電パターン全体の長さが増加する。ゲート導電パターン全体の寄生インダクタンス及び寄生インピーダンスが増加する。ゲート導電パターン全体の増加された寄生インピーダンスは、ゲート電圧発振を減衰させる。そのため、ゲート電圧発振を低減または抑制することができる。

[0121] 本実施の形態のパワー半導体モジュール１ｃでは、第２ゲート導電パターン（ゲート導電パターン３６ｂ）は、絶縁基板３１の第３主面３１ｂ上に設けられている。絶縁基板３１の第３主面３１ｂの平面視において、第２ゲート電極（ゲート電極２３ｂ）は、絶縁基板３１から露出している。

[0122] 第２ゲート導電パターン（ゲート導電パターン３６ｂ）は、絶縁基板３１の第２主面３１ａよりも第２ゲート電極（ゲート電極２３ｂ）から遠位している絶縁基板３１の第３主面３１ｂ上に設けられている。複数の第２導電ゲ

ートワイヤ（複数の導電ゲートワイヤ５０ｂ）の各々の長さを増加させることができる。複数の第２導電ゲートワイヤの各々の寄生インダクタンス及び寄生インピーダンスを増加させることができる。複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）のゲート電圧発振を低減または抑制することができる。さらに、絶縁基板３１の第３主面３１ｂの平面視において、複数の第２自己消弧型半導体素子の第２ゲート電極は絶縁基板３１から露出しているため、複数の第２導電ゲートワイヤは、複数の第２自己消弧型半導体素子の第２ゲート電極と第２ゲート導電パターンとに容易にボンディングされ得る。

[0123] 本実施の形態のパワー半導体モジュール１ｃでは、第２ゲート導電パターン（ゲート導電パターン３６ｂ）の第２長手方向（第１方向（ｘ方向））における第２ゲート導電パターン（ゲート導電パターン３６ｂ）の第３長さ（長さL_{g2}）は、複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）の第２配列方向（第１方向（ｘ方向））における複数の第２自己消弧型半導体素子の第４長さ（長さL_{c2}）以上である。

[0124] そのため、第２ゲート導電パターン（ゲート導電パターン３６ｂ）の第３長さ（長さL_{g2}）を増加させることができる。第２ゲート導電パターンの寄生インダクタンス及び寄生インピーダンスを増加させることができる。複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）のゲート電圧発振を低減または抑制することができる。

[0125] 本実施の形態のパワー半導体モジュール１ｃでは、絶縁基板３１の第３主面３１ｂの平面視において、第２ゲート導電パターン（ゲート導電パターン３６ｂ）は、絶縁基板３１の第２縁３１ｄに沿って配置されている。複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）は、絶縁基板３１の第２縁３１ｄに沿って配置されている。

[0126] そのため、複数の第２導電ゲートワイヤ（複数の導電ゲートワイヤ５０ｂ）は、複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）の第２ゲート電極（ゲート電極２３ｂ）と第２ゲート導電パターン（ゲ

ート導電パターン３６ｂ）とに容易にボンディングされ得る。

[0127] 本実施の形態のパワー半導体モジュール１ｃでは、第２ゲート導電パターン（ゲート導電パターン３６ｂ）のうち、第３主面３１ｂの平面視において第２ゲート導電パターンの第２長手方向（第１方向（ｘ方向））で複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）に対応する第２ゲート導電パターン部分（部分３６ｑ）の第３幅（幅w_{g2}）は、第１ソース導電パターン（ソース導電パターン３３）のうち、第３主面３１ｂの平面視において第２ゲート導電パターンの第２長手方向で複数の第２自己消弧型半導体素子に対応する第２ソース導電パターン部分（部分３３ｑ）の第４幅（幅w_{s2}）より小さい。第２ゲート導電パターン部分の第３幅は、第２ゲート導電パターンの第２長手方向に垂直な第２ゲート導電パターンの第２短手方向（第２方向（ｙ方向））における第２ゲート導電パターン部分の長さである。第２ソース導電パターン部分の第４幅は、第２ゲート導電パターンの第２短手方向における第２ソース導電パターン部分の長さである。

[0128] そのため、第１ソース導電パターン（ソース導電パターン３３）の寄生インダクタンスを低減させることができる。複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）を高周波数で動作させても、複数の第２自己消弧型半導体素子の第２ソース電極（ソース電極２２ｂ）間に発生する誘導起電力を減少させることができる。複数の第２自己消弧型半導体素子の第２ソース電極と第２ドレイン電極（ドレイン電極２１ｂ）との間にサージ電圧が発生することを防ぐことができる。パワー半導体モジュール１ｃの動作周波数を増加させながら、パワー半導体モジュール１ｃの寿命を延ばすことができる。

[0129] また、第２ゲート導電パターン（ゲート導電パターン３６ｂ）の寄生インダクタンス及び寄生インピーダンスを増加させることができる。第２ゲート導電パターンの増加された寄生インピーダンスは、ゲート電圧発振を減衰させる。そのため、複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）のゲート電圧発振を低減または抑制することができる。

[0130] 本実施の形態のパワー半導体モジュール１ｃでは、プリント配線基板３０は、第１ゲート導電パターン（ゲート導電パターン３６）と第２ゲート導電パターン（ゲート導電パターン３６ｂ）とを互いに接続する第３ゲート導電パターン（ゲート導電パターン３６ｃ）をさらに含む。

[0131] そのため、第１ゲート導電パターン（ゲート導電パターン３６）と第２ゲート導電パターン（ゲート導電パターン３６ｂ）と第３ゲート導電パターン（ゲート導電パターン３６ｃ）とを含むゲート導電パターン全体の長さが増加する。ゲート導電パターン全体の寄生インダクタンス及び寄生インピーダンスが増加する。ゲート導電パターン全体の増加された寄生インピーダンスは、ゲート電圧発振を減衰させる。こうして、ゲート電圧発振を低減または抑制することができる。

[0132] 実施の形態４.

図１６から図２３を参照して、実施の形態４のパワー半導体モジュール１ｄを説明する。本実施の形態のパワー半導体モジュール１ｄは、実施の形態１のパワー半導体モジュール１と同様の構成を備えるが、以下の点で主に異なる。

[0133] パワー半導体モジュール１ｄは、複数の自己消弧型半導体素子２０ｂと、複数の導電接合部材２５ｂと、複数の導電接合部材１５ｂと、複数の導電ゲートワイヤ５０ｂと、電極端子６２と、電極端子６４と、第２第１ソース制御端子４６ｂと、導電ワイヤ４７ｂと、第２第１ゲート制御端子４８ｂと、導電ワイヤ４９ｂと、導電ブロック７０とをさらに備える。パワー半導体モジュール１ｄは、複数の第２還流ダイオード２０ｉをさらに備えてもよい。

[0134] 絶縁回路基板１０は、第２導電回路パターン１３ｂをさらに含む。第２導電回路パターン１３ｂは、絶縁板１２の第１主面１２ａ上に設けられている。第２導電回路パターン１３ｂは、第１導電回路パターン１３から離間され、かつ、第１導電回路パターン１３から電気的に絶縁されている。絶縁基板３１の第３主面３１ｂの平面視において、第２導電回路パターン１３ｂは、ゲート導電パターン３６の長手方向（第１方向（ｘ方向））または絶縁基板

３１の長手方向（第１方向（ｘ方向））に垂直な第２方向（ｙ方向）において、第１導電回路パターン１３から離間されている。第２導電回路パターン１３ｂは、銅またはアルミニウムのような金属で形成されている。

[0135] 本実施の形態の複数の自己消弧型半導体素子２０ｂは、実施の形態３の複数の自己消弧型半導体素子２０ｂと同様であるが、図２１に示されるように、第２導電回路パターン１３ｂとプリント配線基板３０のソース導電パターン５３とに固定されている。具体的には、複数の自己消弧型半導体素子２０ｂのドレイン電極２１ｂは、はんだ、金属微粒子焼結体または導電性接着剤のような導電接合部材１５ｂを用いて、第２導電回路パターン１３ｂに接合されている。複数の自己消弧型半導体素子２０ｂのソース電極２２ｂは、はんだ、金属微粒子焼結体または導電性接着剤のような導電接合部材２５ｂを用いて、プリント配線基板３０のソース導電パターン５３に接合されている。複数の自己消弧型半導体素子２０ｂは、互いに電気的に並列接続されている。複数の自己消弧型半導体素子２０ｂは、複数の自己消弧型半導体素子２０ａに電気的に並列接続されておらず、複数の自己消弧型半導体素子２０ａから電気的に独立している。

[0136] 複数の第２還流ダイオード２０ｉは、主に、シリコン（Ｓｉ）、または、炭化珪素（ＳｉＣ）、窒化ガリウム（ＧａＮ）もしくはダイヤモンドのようなワイドバンドギャップ半導体材料で形成されている。複数の第２還流ダイオード２０ｉは、それぞれ、第２カソード電極２１ｉと、第２アノード電極２２ｉとを含む。

[0137] 図２０に示されるように、複数の第２還流ダイオード２０ｉは、第２導電回路パターン１３ｂに固定されている。具体的には、複数の第２還流ダイオード２０ｉの第２カソード電極２１ｉは、はんだ、金属微粒子焼結体または導電性接着剤のような導電接合部材１５ｉを用いて、第２導電回路パターン１３ｂに接合されている。複数の第２還流ダイオード２０ｉは、プリント配線基板３０に固定されている。具体的には、複数の第２還流ダイオード２０ｉの第２アノード電極２２ｉは、はんだ、金属微粒子焼結体または導電性接

着剤のような導電接合部材２５ｉを用いて、プリント配線基板３０のソース導電パターン５３に接合されている。複数の第２還流ダイオード２０ｉは、複数の自己消弧型半導体素子２０ｂに、電気的に並列接続されている。

[0138] パワー半導体モジュール１ｄは、二つのアーム（上アーム７３及び下アーム７４）を含む２ｉｎ１型モジュールである。図１７に示されるように、上アーム７３は、第１導電回路パターン１３とソース導電パターン３３とに接合されている複数の自己消弧型半導体素子２０ａと複数の第１還流ダイオード２０ｈとを含む。下アーム７４は、第２導電回路パターン１３ｂとソース導電パターン５３とに接合されている複数の自己消弧型半導体素子２０ｂと複数の第２還流ダイオード２０ｉとを含む。

[0139] プリント配線基板３０は、ソース導電パターン５３と、導電パッド５７，６７と、ゲート導電パターン３６ｂと、導電ビア５８，６６，６８とをさらに含む。ソース導電パターン５３と、導電パッド６７と、ゲート導電パターン３６ｂと、導電パッド５７とは、銅またはアルミニウムのような金属で形成されている。ソース導電パターン５３と導電パッド６７とは、絶縁基板３１の第２主面３１ａ上に設けられている。ソース導電パターン３３と導電パッド３４とソース導電パターン５３と導電パッド６７とは、互いに離間されており、かつ、互いに電気的に絶縁されている。ゲート導電パターン３６ｂと導電パッド５７とは、絶縁基板３１の第３主面３１ｂ上に設けられている。ソース導電パターン３５とゲート導電パターン３６とゲート導電パターン３６ｂと導電パッド３７と導電パッド５７とは、互いに離間されており、かつ、互いに電気的に絶縁されている。

[0140] ソース導電パターン５３は、第１方向（ｘ方向）と第２方向（ｙ方向）とに延在している。ソース導電パターン５３の長手方向は、第１方向（ｘ方向）であり、ソース導電パターン３３の短手方向は、第２方向（ｙ方向）である。ソース導電パターン５３は、ソース導電パターン５３の長手方向（第１方向（ｘ方向））に沿って延在する縁５３ａを含む。ソース導電パターン５３の縁５３ａは、絶縁基板３１の第３主面３１ｂの平面視におけるソース導

電パターン５３の長辺であってもよい。ソース導電パターン５３の縁５３ａは、絶縁基板３１の第１縁３１ｃよりも、絶縁基板３１の第２縁３１ｄに近位している。

[0141] 絶縁基板３１の第３主面３１ｂの平面視において、ソース導電パターン５３は、ゲート導電パターン３６の長手方向（第１方向（ｘ方向））、ゲート導電パターン３６ｂの長手方向（第１方向（ｘ方向））または絶縁基板３１の長手方向（第１方向（ｘ方向））に垂直な第２方向（ｙ方向）において、ソース導電パターン３３から離間されている。絶縁基板３１の第３主面３１ｂの平面視において、ソース導電パターン５３は、複数の自己消弧型半導体素子２０ｂのソース電極２２ｂを覆っている。絶縁基板３１の第３主面３１ｂの平面視において、ソース導電パターン５３は、複数の第２還流ダイオード２０ｉの第２カソード電極２１ｉをさらに覆っている。

[0142] 絶縁基板３１の第３主面３１ｂの平面視において、ソース導電パターン３５は、ソース導電パターン３３とソース導電パターン５３とに重なっている。絶縁基板３１の第３主面３１ｂの平面視において、ソース導電パターン３５は、複数の自己消弧型半導体素子２０ａ，２０ｂのソース電極２２ａ，２２ｂを覆っている。絶縁基板３１の第３主面３１ｂの平面視において、ソース導電パターン３５は、複数の第１還流ダイオード２０ｈの第１カソード電極２１ｈと複数の第２還流ダイオード２０ｉの第２カソード電極２１ｉとをさらに覆っている。

[0143] 導電ビア３２は、ソース導電パターン５３とソース導電パターン３５とを電気的に接続している。導電ビア３２は、絶縁基板３１を貫通している。導電ビア３２は、例えば、銅またはアルミニウムのような金属で形成されている。

[0144] 絶縁基板３１の第３主面３１ｂの平面視において、導電パッド５７と導電パッド６７とは、絶縁基板３１の第４縁３１ｆに沿って配置されている。

[0145] 本実施の形態のゲート導電パターン３６ｂは、実施の形態３のゲート導電パターン３６ｂと同様であるが、以下の点で異なっている。ゲート導電パタ

ーン３６ｂは、ゲート導電パターン３６ｂに電気的に接続されていない。ゲート導電パターン３６ｂの長手方向は、ソース導電パターン５３の縁５３ａが延在する第１方向（ｘ方向）である。ゲート導電パターン３６ｂは、ソース導電パターン５３の縁５３ａに沿って配置されている。特定的には、絶縁基板３１の第３主面３１ｂの平面視において、ゲート導電パターン３６ｂは、ソース導電パターン５３の縁５３ａに重なっている。

[0146] 図１６、図２２及び図２３に示されるように、ゲート導電パターン３６ｂのうち、絶縁基板３１の第３主面３１ｂの平面視においてゲート導電パターン３６ｂの長手方向（第１方向（ｘ方向））で複数の自己消弧型半導体素子２０ｂに対応する部分３６ｑの幅w_{g2}は、ソース導電パターン５３のうち、絶縁基板３１の第３主面３１ｂの平面視においてゲート導電パターン３６ｂの長手方向（第１方向（ｘ方向））で複数の自己消弧型半導体素子２０ｂに対応する部分５３ｐの幅w_{s2}より小さい。ゲート導電パターン３６ｂの部分３６ｑの幅w_{g2}は、ゲート導電パターン３６ｂの短手方向（第２方向（ｙ方向））におけるゲート導電パターン３６ｂの部分３６ｑの長さとして定義される。ソース導電パターン５３の部分５３ｐの幅w_{s2}は、ゲート導電パターン３６ｂの短手方向（第２方向（ｙ方向））におけるソース導電パターン５３の部分５３ｐの長さとして定義される。

[0147] ゲート導電パターン３６ｂの部分３６ｑの幅w_{g2}は、ソース導電パターン５３の部分５３ｐの幅w_{s2}の二分の一以下であってもよく、ソース導電パターン５３の部分５３ｐの幅w_{s2}の三分の一以下であってもよく、ソース導電パターン５３の部分５３ｐの幅w_{s2}の四分の一以下であってもよく、ソース導電パターン５３の部分５３ｐの幅w_{s2}の五分の一以下であってもよい。

[0148] ゲート導電パターン３６ｂの部分３６ｑの幅w_{g2}は、ソース導電パターン５３の部分５３ｐの幅w_{s2}より小さいため、複数の自己消弧型半導体素子２０ｂ間におけるゲート導電パターン３６ｂの寄生インダクタンスを、複数の自己消弧型半導体素子２０ｂ間におけるソース導電パターン５３の寄生インダクタンスよりも大きくすることができる。

[0149] 複数の自己消弧型半導体素子２０ｂは、絶縁基板３１の第２縁３１ｄに沿って配置されている。複数の自己消弧型半導体素子２０ｂは、ソース導電パターン５３の縁５３ａに沿って配置されている。複数の自己消弧型半導体素子２０ｂは、ゲート導電パターン３６ｂに沿って配置されている。絶縁基板３１の第３主面３１ｂの平面視において、ゲート導電パターン３６ｂの長手方向（第１方向（ｘ方向））は、複数の自己消弧型半導体素子２０ｂの配列方向（第１方向（ｘ方向））である。図１６及び図２２に示されるように、ゲート導電パターン３６ｂの長手方向（第１方向（ｘ方向））におけるゲート導電パターン３６ｂの長さ$Ｌ_{g2}$は、複数の自己消弧型半導体素子２０ｂの配列方向（第１方向（ｘ方向））における複数の自己消弧型半導体素子２０ｂの長さ$Ｌ_{c2}$以上である。絶縁基板３１の第３主面３１ｂの平面視において、複数の自己消弧型半導体素子２０ｂのゲート電極２３ｂは、絶縁基板３１（プリント配線基板３０）から露出している。

[0150] 本実施の形態の複数の導電ゲートワイヤ５０ｂは、実施の形態３の複数の導電ゲートワイヤ５０ｂと同様である。

[0151] 電極端子６２と電極端子６４とは、例えば、銅またはアルミニウムのような金属で形成されている。図１６に示されるように、絶縁基板３１の第３主面３１ｂの平面視において、電極端子４２と電極端子４４とは、絶縁基板３１の第３縁３１ｅに配置されている。絶縁基板３１の第３主面３１ｂの平面視において、電極端子６２と電極端子６４とは、絶縁基板３１の第４縁３１ｆに配置されている。

[0152] 図１８及び図１９に示されるように、本実施の形態の電極端子４２は、実施の形態１の電極端子４２と同様に、導電接合部材４３、導電パッド３７、導電ビア３８、導電パッド３４、導電接合部材２５ｍ、導電ブロック４０、導電接合部材１５ｍ、第１導電回路パターン１３及び導電接合部材１５ａを介して、複数の自己消弧型半導体素子２０ａのドレイン電極２１ａに電気的に接続されている。電極端子４２は、導電ワイヤ無しに、第１導電回路パターン１３を介して、複数の自己消弧型半導体素子２０ａのドレイン電極２１

ａに電気的に接続されている。電極端子４２は、上アーム７３のドレイン電極端子として機能する。電極端子４２は、上アーム７３を流れる（すなわち、複数の自己消弧型半導体素子２０ａのソース電極２２ａとドレイン電極２１ａとの間を流れる）第１主電流（主電流５５）の第１経路の、パワー半導体モジュール１ｄにおける経路端である。第１導電回路パターン１３の一部は、第１ドレイン導電パターンとして機能している。すなわち、第１導電回路パターン１３は、第１ドレイン導電パターンを含む。

[0153] 図１９に示されるように、電極端子６２は、はんだのような導電接合部材６３を用いて、導電パッド５７に接合されている。導電ビア５８は、導電パッド５７とソース導電パターン３３とを電気的に接続している。導電ビア５８は、絶縁基板３１を貫通している。導電ビア５８は、例えば、銅またはアルミニウムのような金属で形成されている。

[0154] 図１８及び図１９に示されるように、電極端子６２は、導電接合部材６３、導電パッド５７、導電ビア５８、ソース導電パターン３３及び導電接合部材２５ａを介して、複数の自己消弧型半導体素子２０ａのソース電極２２ａに電気的に接続されている。電極端子６２は、導電ワイヤ無しに、ソース導電パターン３３を介して、複数の自己消弧型半導体素子２０ａのソース電極２２ａに電気的に接続されている。電極端子６２は、上アーム７３のソース電極端子として機能する。電極端子６２は、上アーム７３を流れる（すなわち、複数の自己消弧型半導体素子２０ａのソース電極２２ａとドレイン電極２１ａとの間を流れる）第１主電流（主電流５５）の第１経路の、パワー半導体モジュール１ｄにおける経路端である。

[0155] 図２０に示されるように、電極端子６４は、はんだのような導電接合部材６５を用いて、導電パッド５７に接合されている。導電ビア６８は、導電パッド５７と導電パッド６７とを電気的に接続している。導電ビア６８は、絶縁基板３１を貫通している。導電ビア６８は、例えば、銅またはアルミニウムのような金属で形成されている。導電ブロック７０は、導電パッド６７と第２導電回路パターン１３ｂとを電気的に接続している。導電ブロック７０

は、はんだのような導電接合部材２５ｎを用いて、導電パッド６７に接合されている。導電ブロック７０は、はんだのような導電接合部材１５ｎを用いて、第２導電回路パターン１３ｂに接合されている。

[0156] 図２０及び図２１に示されるように、電極端子６４は、導電接合部材６５、導電パッド５７、導電ビア６８、導電パッド６７、導電接合部材２５ｎ、導電ブロック７０、導電接合部材１５ｎ、第２導電回路パターン１３ｂ及び導電接合部材１５ｂを介して、複数の自己消弧型半導体素子２０ｂのドレイン電極２１ｂに電気的に接続されている。電極端子６４は、導電ワイヤ無しに、第２導電回路パターン１３ｂを介して、複数の自己消弧型半導体素子２０ｂのドレイン電極２１ｂに電気的に接続されている。電極端子６４は、下アーム７４のドレイン電極端子として機能する。電極端子６４は、下アーム７４を流れる（すなわち、複数の自己消弧型半導体素子２０ｂのソース電極２２ｂとドレイン電極２１ｂとの間を流れる）第２主電流（主電流５５ｂ）の第２経路の、パワー半導体モジュール１ｄにおける経路端である。第２導電回路パターン１３ｂの一部は、第２ドレイン導電パターンとして機能している。すなわち、第２導電回路パターン１３ｂは、第２ドレイン導電パターンを含む。

[0157] 図２０に示されるように、電極端子４４は、はんだのような導電接合部材４５を用いて、ソース導電パターン３５に接合されている。導電ビア６６は、ソース導電パターン３５とソース導電パターン５３とを電気的に接続している。導電ビア６６は、絶縁基板３１を貫通している。導電ビア６６は、例えば、銅またはアルミニウムのような金属で形成されている。

[0158] 図２０及び図２１に示されるように、電極端子４４は、導電接合部材４５、ソース導電パターン３５、導電ビア６６、ソース導電パターン５３及び導電接合部材２５ｂを介して、複数の自己消弧型半導体素子２０ｂのソース電極２２ｂに電気的に接続されている。電極端子４４は、導電ワイヤ無しに、ソース導電パターン５３を介して、複数の自己消弧型半導体素子２０ｂのソース電極２２ｂに電気的に接続されている。電極端子４４は、下アーム７４

のソース電極端子として機能する。電極端子４４は、下アーム７４を流れる（すなわち、複数の自己消弧型半導体素子２０ｂのソース電極２２ｂとドレイン電極２１ｂとの間を流れる）第２主電流（主電流５５ｂ）の第２経路の、パワー半導体モジュール１ｄにおける経路端である。

[0159] 電極端子４２，４４は、平滑コイル（図示せず）を介して電源（図示せず）に接続される入力端子として機能し得る。例えば、電極端子４２は、電源の正極に接続される正極入力端子として機能し、電極端子４４は、電源の負極に接続される負極入力端子として機能してもよい。電極端子６２，６４は、モータのような負荷に接続される出力端子として機能し得る。

[0160] 図１６に示されるように、導電ワイヤ４７は、導電パッド５７と、第１ソース制御端子４６とを互いに接続している。導電ワイヤ４７は、導電パッド５７と第１ソース制御端子４６とにボンディングされている。パワー半導体モジュール１ｄの外部から、第１ソース制御端子４６と第１ゲート制御端子４８との間に、第１のソース－ゲート間電圧が供給される。第１のソース－ゲート間電圧に応じて、複数の自己消弧型半導体素子２０ａはオン状態とオフ状態との間でスイッチングされる。

[0161] 第２第１ソース制御端子４６ｂは、例えば、ベース板１１上に載置された絶縁ブロック（図示せず）上に設けられている。第２第１ソース制御端子４６ｂは、例えば、銅またはアルミニウムのような金属で形成されている。図１６に示されるように、導電ワイヤ４７ｂは、ソース導電パターン３５と第２第１ソース制御端子４６ｂとを互いに接続している。導電ワイヤ４７ｂは、ソース導電パターン３５と第２第１ソース制御端子４６ｂとにボンディングされている。導電ワイヤ４７ｂは、例えば、金、銀、銅またはアルミニウムのような金属で形成されている。

[0162] 第２第１ゲート制御端子４８ｂは、例えば、ベース板１１上に載置された絶縁ブロック（図示せず）上に設けられている。第２第１ゲート制御端子４８ｂは、例えば、銅またはアルミニウムのような金属で形成されている。図１６に示されるように、導電ワイヤ４９ｂは、ゲート導電パターン３６ｂと

第２第１ゲート制御端子４８ｂとを互いに接続している。導電ワイヤ４９ｂは、ゲート導電パターン３６ｂと第２第１ゲート制御端子４８ｂとにボンディングされている。導電ワイヤ４９ｂは、例えば、金、銀、銅またはアルミニウムのような金属で形成されている。パワー半導体モジュール１ｄの外部から、第２第１ソース制御端子４６ｂと第２第１ゲート制御端子４８ｂとの間に、第２のソース－ゲート間電圧が供給される。第２のソース－ゲート間電圧に応じて、複数の自己消弧型半導体素子２０ｂはオン状態とオフ状態との間でスイッチングされる。

[0163] 本実施の形態のパワー半導体モジュール１ｄは、実施の形態１のパワー半導体モジュール１の作用に加えて、以下の作用を奏する。

[0164] パワー半導体モジュール１ｄでは、複数の自己消弧型半導体素子２０ｂのソース電極２２ｂは、複数の導電接合部材２５ｂによって、ソース導電パターン５３に接合されている。これに対し、複数の自己消弧型半導体素子２０ｂのゲート電極２３ｂは、複数の導電ゲートワイヤ５０ｂによって、ゲート導電パターン３６ｂに接続されている。複数の導電接合部材２５ｂの各々の厚さは、複数の導電ゲートワイヤ５０ｂの各々の長さよりも小さい。複数の導電接合部材２５ｂの各々の断面積は、複数の導電ゲートワイヤ５０ｂの各々の断面積よりも大きい。複数の導電接合部材２５ｂの各々の断面積は、複数の導電接合部材２５ｂの各々の厚さ方向（第３方向（ｚ方向））に垂直な複数の導電接合部材２５ｂの各々の断面の面積として定義される。複数の導電ゲートワイヤ５０ｂの各々の断面積は、複数の導電ゲートワイヤ５０ｂの各々の長手方向に垂直な複数の導電ゲートワイヤ５０ｂの各々の断面の面積として定義される。

[0165] 一般に、導体の長さが増加するにつれて、導体の寄生インダクタンスは増加する。導体の断面積が減少するにつれて、導体の寄生インダクタンスは増加する。そのため、複数の導電ゲートワイヤ５０ｂの各々の寄生インダクタンスを増加させることができる。複数の導電接合部材２５ｂの各々の寄生インダクタンスを減少させることができる。複数の導電ゲートワイヤ５０ｂの

各々の寄生インダクタンスを、複数の導電接合部材２５ｂの各々の寄生インダクタンスよりも大きくすることができる。複数の導電ゲートワイヤ５０ｂの各々の寄生インダクタンスと複数の導電接合部材２５ｂの各々の寄生インダクタンスとの間の差を大きくすることができる。

[0166] このように、ソース導電パターン５３に接合される複数の導電接合部材２５ｂの各々の寄生インダクタンスを減少させることができる。そのため、複数の自己消弧型半導体素子２０ｂを高周波数で動作させて、複数の自己消弧型半導体素子２０ｂのソース電極２２ｂとドレイン電極２１ｂとの間を流れる第２主電流（主電流５５ｂ）の時間変化ｄｉ／ｄｔが大きくなっても、複数の自己消弧型半導体素子２０ｂのソース電極２２ｂ間に発生する誘導起電力を減少させることができる。パワー半導体モジュール１ｄの動作周波数を増加させながら、複数の自己消弧型半導体素子２０ｂのソース電極２２ｂとドレイン電極２１ｂとの間にサージ電圧が発生することを防ぐことができる。

[0167] また、ゲート導電パターン３６ｂに接合される複数の導電ゲートワイヤ５０ｂの各々の寄生インダクタンスを増加させることができる。上記のとおり、導体のインダクタンスが増加するにつれて、導体のインピーダンスも増加する。そのため、複数の導電ゲートワイヤ５０ｂの各々の寄生インピーダンスを増加させることができる。複数の導電ゲートワイヤ５０ｂの各々の増加された寄生インピーダンスは、ゲート電圧発振を減衰させる。こうして、自己消弧型半導体素子２０ｂのゲート電圧発振を低減または抑制することができる。

[0168] 特定的には、導電接合部材４５、導電ビア６６及び導電接合部材２５ｂの各々の厚さは、複数の導電ゲートワイヤ５０ｂの各々の長さよりも小さい。導電接合部材４５、導電ビア６６及び導電接合部材２５ｂの各々の断面積は、複数の導電ゲートワイヤ５０ｂの各々の断面積よりも大きい。そのため、導電接合部材４５、導電ビア６６及び導電接合部材２５ｂの各々の寄生インダクタンスは、複数の導電ゲートワイヤ５０ｂの各々の寄生インダクタンス

よりも小さい。

[0169] さらに、ソース導電パターン５３の断面積は、ゲート導電パターン３６ｂの断面積よりも大きい。ソース導電パターン３５の断面積は、ゲート導電パターン３６ｂの断面積よりも大きい。なお、ソース導電パターン５３の断面積は、ソース導電パターン５３において第２主電流（主電流５５ｂ）が流れる方向（第１方向（ｘ方向））に垂直なソース導電パターン５３の断面の面積として定義される。ソース導電パターン３５の断面積は、ソース導電パターン３５において第２主電流（主電流５５ｂ）が流れる方向（第１方向（ｘ方向））に垂直なソース導電パターン３５の断面の面積として定義される。ゲート導電パターン３６ｂの断面積は、ゲート導電パターン３６ｂの長手方向（第１方向（ｘ方向））または複数の自己消弧型半導体素子２０ｂの第２配列方向（第１方向（ｘ方向））に垂直なゲート導電パターン３６ｂの断面の面積として定義される。そのため、ソース導電パターン５３の寄生インダクタンスは、ゲート導電パターン３６ｂの寄生インダクタンスよりも小さい。ソース導電パターン３５の寄生インダクタンスは、ゲート導電パターン３６ｂの寄生インダクタンスよりも小さい。

[0170] 導電接合部材６５、導電パッド５７、導電ビア６８、導電パッド６７、導電接合部材２５ｎ、導電ブロック７０、導電接合部材１５ｎ及び導電接合部材１５ｂの各々の厚さは、複数の導電ゲートワイヤ５０ｂの各々の長さよりも小さい。導電接合部材６５、導電パッド５７、導電ビア６８、導電パッド６７、導電接合部材２５ｎ、導電ブロック７０、導電接合部材１５ｎ及び導電接合部材１５ｂの各々の断面積は、複数の導電ゲートワイヤ５０ｂの各々の断面積よりも大きい。そのため、導電接合部材６５、導電パッド５７、導電ビア６８、導電パッド６７、導電接合部材２５ｎ、導電ブロック７０、導電接合部材１５ｎ及び導電接合部材１５ｂの各々の寄生インダクタンスは、複数の導電ゲートワイヤ５０ｂの各々の寄生インダクタンスよりも小さい。

[0171] さらに、ドレイン導電パターンとして機能する第２導電回路パターン１３ｂの断面積は、ゲート導電パターン３６ｂの断面積よりも大きい。なお、第

２導電回路パターン１３ｂの断面積は、第２導電回路パターン１３ｂにおいて第２主電流（主電流５５ｂ）が流れる方向（第１方向（ｘ方向））に垂直な第２導電回路パターン１３ｂの断面の面積として定義される。そのため、ドレイン導電パターンとして機能する第２導電回路パターン１３ｂの寄生インダクタンスは、ゲート導電パターン３６ｂの寄生インダクタンスよりも小さい。

[0172] そのため、電極端子４４から複数の自己消弧型半導体素子２０ｂのソース電極２２ｂに至る第２ソースラインの寄生インダクタンスは、第２第１ゲート制御端子４８ｂから複数の自己消弧型半導体素子２０ｂのゲート電極２３ｂに至る第２ゲートラインの寄生インダクタンスよりも小さい。複数の自己消弧型半導体素子２０ｂを高周波数で動作させても、複数の自己消弧型半導体素子２０ｂのソース電極２２ｂとドレイン電極２１ｂとの間にサージ電圧が発生することを防ぐことができる。パワー半導体モジュール１ｄの動作周波数を増加させながら、パワー半導体モジュール１ｄの寿命を延ばすことができる。

[0173] 電極端子６４から複数の自己消弧型半導体素子２０ｂのドレイン電極２１ｂに至る第２ドレインラインの寄生インダクタンスは、第２第１ゲート制御端子４８ｂから複数の自己消弧型半導体素子２０ｂのゲート電極２３ｂに至る第２ゲートラインの寄生インダクタンスよりも小さい。複数の自己消弧型半導体素子２０ｂを高周波数で動作させても、複数の自己消弧型半導体素子２０ｂのソース電極２２ｂとドレイン電極２１ｂとの間にサージ電圧が発生することを防ぐことができる。パワー半導体モジュール１ｄの動作周波数を増加させながら、パワー半導体モジュール１ｄの寿命を延ばすことができる。

[0174] また、上記のとおり、導体のインピーダンスが増加するにつれて、導体のインダクタンスも増加する。第２第１ゲート制御端子４８ｂから複数の自己消弧型半導体素子２０ｂのゲート電極２３ｂに至る第２ゲートラインの寄生インピーダンスは、電極端子４４から複数の自己消弧型半導体素子２０ｂの

ソース電極２２ｂに至る第２ソースラインの寄生インピーダンスよりも大きい。第２第１ゲート制御端子４８ｂから複数の自己消弧型半導体素子２０ｂのゲート電極２３ｂに至る第２ゲートラインの寄生インピーダンスは、電極端子６４から複数の自己消弧型半導体素子２０ｂのドレイン電極２１ｂに至る第２ドレインラインの寄生インピーダンスよりも大きい。第２ゲートラインの増加された寄生インピーダンスは、自己消弧型半導体素子２０ｂのゲート電圧発振を低減または抑制することができる。

[0175] 複数の自己消弧型半導体素子２０ｂの各々に印加されるゲート－ソース間電圧を閾値電圧よりも大きくして、複数の自己消弧型半導体素子２０ｂをターンオンさせる。図２２及び図２３に示されるように、主電流５５ｂは、ソース導電パターン５３を流れる。一般に、導電パターンの縁が、導電パターンのうち、電流が最も多く流れる部分である。そのため、図２２及び図２３に示されるように、主電流５５ｂは、ソース導電パターン５３のうち複数の自己消弧型半導体素子２０ｂに近位する縁５３ａに沿って流れる。

[0176] ソース導電パターン５３を流れる主電流５５ｂは、主電流５５ｂの周りに（例えば、ソース導電パターン５３に）磁束を形成する。この磁束とソース導電パターン５３の寄生インダクタンスとに起因して、ソース導電パターン５３に誘導起電力が発生する。この誘導起電力は、複数の自己消弧型半導体素子２０ｂの間でソース電圧を変動させる。複数の自己消弧型半導体素子２０ｂの間で、ゲート－ソース間電圧が変動する。複数の自己消弧型半導体素子２０ｂのうちの一つの自己消弧型半導体素子２０ｂのドレイン－ソース間電流が急増して、この一つの自己消弧型半導体素子２０ｂが破壊されるおそれがある。

[0177] しかし、本実施の形態のパワー半導体モジュール１ｄでは、ゲート導電パターン３６ｂは、絶縁基板３１の第３主面３１ｂの平面視において、ソース導電パターン５３の縁５３ａに沿って配置されている。そのため、主電流５５ｂは、ゲート導電パターン３６ｂにも磁束を形成する。この磁束とゲート導電パターン３６ｂの寄生インダクタンスとに起因して、ゲート導電パター

ン３６ｂに誘導起電力が発生する。この誘導起電力は、複数の自己消弧型半導体素子２０ｂの間でゲート電圧を変動させる。複数の自己消弧型半導体素子２０ｂの間のゲート電圧の変動は、複数の自己消弧型半導体素子２０ｂの間のゲート－ソース間電圧の変動を打ち消す。複数の自己消弧型半導体素子２０ｂのドレイン－ソース間電流が急増することが防止される。複数の自己消弧型半導体素子２０ｂが破壊されることが防止されて、パワー半導体モジュール１ｄの寿命を延ばすことができる。

[0178] 本実施の形態のパワー半導体モジュール１ｄは、実施の形態１のパワー半導体モジュール１の効果に加えて、以下の効果を奏する。

[0179] 本実施の形態のパワー半導体モジュール１ｄは、複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）と、複数の第２導電接合部材（複数の導電接合部材２５ｂ）と、複数の第２導電ゲートワイヤ（複数の導電ゲートワイヤ５０ｂ）とをさらに備える。絶縁回路基板１０は、絶縁板１２の第１主面１２ａ上に設けられており、かつ、第１導電回路パターン１３から電気的に絶縁されている第２導電回路パターン１３ｂをさらに含む。プリント配線基板３０は、第１ソース導電パターン（ソース導電パターン３３）から電気的に絶縁されている第２ソース導電パターン（ソース導電パターン５３）と、第１ゲート導電パターン（ゲート導電パターン３６）から電気的に絶縁されている第２ゲート導電パターン（ゲート導電パターン３６ｂ）とをさらに含む。複数の第２自己消弧型半導体素子は、それぞれ、第２ソース電極（ソース電極２２ｂ）と、第２ゲート電極（ゲート電極２３ｂ）と、第２ドレイン電極（ドレイン電極２１ｂ）とを含む。

[0180] 複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）の第２ドレイン電極（ドレイン電極２１ｂ）は、第２導電回路パターン１３ｂに接合されている。複数の第２自己消弧型半導体素子の第２ソース電極（ソース電極２２ｂ）は、複数の第２導電接合部材（複数の導電接合部材２５ｂ）によって、第２ソース導電パターン（ソース導電パターン５３）に接合されている。複数の第２導電ゲートワイヤ（複数の導電ゲートワイヤ５０ｂ

）は、複数の第２自己消弧型半導体素子の第２ゲート電極（ゲート電極２３ｂ）と第２ゲート導電パターン（ゲート導電パターン３６ｂ）とを互いに接続している。絶縁基板３１の第３主面３１ｂの平面視において、第２ゲート導電パターンの第２長手方向（第１方向（ｘ方向））は、複数の第２自己消弧型半導体素子の第２配列方向（第１方向（ｘ方向））である。

[0181] そのため、本実施の形態のパワー半導体モジュール１ｄは、実施の形態１のパワー半導体モジュール１と同様に、パワー半導体モジュール１ｄの動作周波数を増加させながら、パワー半導体モジュール１ｄの寿命を延ばすことができ、かつ、ゲート電圧発振を低減または抑制することができる。また、パワー半導体モジュール１ｄを、第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）を含む上アーム７３と、第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）を含む下アーム７４とを含む２ｉｎ１型モジュールとすることができる。

[0182] 本実施の形態のパワー半導体モジュール１ｄでは、第２ゲート導電パターン（ゲート導電パターン３６ｂ）は、絶縁基板３１の第３主面３１ｂ上に設けられている。絶縁基板３１の第３主面３１ｂの平面視において、第２ゲート電極（ゲート電極２３ｂ）は、絶縁基板３１から露出している。

[0183] パワー半導体モジュール１ｄによれば、実施の形態３のパワー半導体モジュール１ｃと同様に、複数の第２導電ゲートワイヤ（複数の導電ゲートワイヤ５０ｂ）の各々の寄生インダクタンス及び寄生インピーダンスを増加させることができて、ゲート電圧発振を低減または抑制することができる。また、パワー半導体モジュール１ｄによれば、実施の形態３のパワー半導体モジュール１ｃと同様に、複数の第２導電ゲートワイヤは、複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）の第２ゲート電極（ゲート電極２３ｂ）と第２ゲート導電パターン（ゲート導電パターン３６ｂ）とに容易にボンディングされ得る。

[0184] 本実施の形態のパワー半導体モジュール１ｄでは、第２ゲート導電パターン（ゲート導電パターン３６ｂ）の第２長手方向（第１方向（ｘ方向））に

おける第２ゲート導電パターン（ゲート導電パターン３６ｂ）の第３長さ（長さ$Ｌ_{g2}$）は、複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）の第２配列方向（第１方向（ｘ方向））における複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）の第４長さ（長さ$Ｌ_{c2}$）以上である。

[0185] そのため、第２ゲート導電パターン（ゲート導電パターン３６ｂ）の第３長さ（長さ$Ｌ_{g2}$）を増加させることができる。第２ゲート導電パターンの寄生インダクタンス及び寄生インピーダンスを増加させることができる。複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）のゲート電圧発振を低減または抑制することができる。

[0186] 本実施の形態のパワー半導体モジュール１ｄでは、絶縁基板３１の第３主面３１ｂの平面視において、第２ゲート導電パターン（ゲート導電パターン３６ｂ）は、絶縁基板３１の第２縁３１ｄに沿って配置されている。複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）は、絶縁基板３１の第２縁３１ｄに沿って配置されている。

[0187] そのため、複数の第２導電ゲートワイヤ（複数の導電ゲートワイヤ５０ｂ）は、複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）の第２ゲート電極（ゲート電極２３ｂ）と第２ゲート導電パターン（ゲート導電パターン３６ｂ）とに容易にボンディングされ得る。

[0188] 本実施の形態のパワー半導体モジュール１ｄでは、第２ゲート導電パターン（ゲート導電パターン３６ｂ）のうち、絶縁基板３１の第３主面３１ｂの平面視において第２ゲート導電パターンの第２長手方向（第１方向（ｘ方向））で複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）に対応する第２ゲート導電パターン部分（部分３６ｑ）の第３幅（幅$ｗ_{g2}$）は、第２ソース導電パターン（ソース導電パターン５３）のうち、絶縁基板３１の第３主面３１ｂの平面視において第２ゲート導電パターンの第２長手方向で複数の第２自己消弧型半導体素子に対応する第２ソース導電パターン部分（部分５３ｐ）の第４幅（幅$ｗ_{s2}$）より小さい。第２ゲート導電パター

ン部分の第３幅（幅w_{g2}）は、第２ゲート導電パターンの第２長手方向に垂直な第２ゲート導電パターンの第２短手方向（第２方向（ｙ方向））における第２ゲート導電パターン部分の長さである。第２ソース導電パターン部分の第４幅（幅w_{s2}）は、第２ゲート導電パターンの第２短手方向における第２ソース導電パターン部分の長さである。

[0189] そのため、第２ソース導電パターン（ソース導電パターン５３）の寄生インダクタンスを低減させることができる。複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）を高周波数で動作させても、複数の第２自己消弧型半導体素子の第２ソース電極（ソース電極２２ｂ）間に発生する誘導起電力を減少させることができる。複数の第２自己消弧型半導体素子の第２ソース電極と第２ドレイン電極（ドレイン電極２１ｂ）との間にサージ電圧が発生することを防ぐことができる。パワー半導体モジュール１ｄの動作周波数を増加させながら、パワー半導体モジュール１ｄの寿命を延ばすことができる。

[0190] また、第２ゲート導電パターン（ゲート導電パターン３６ｂ）の寄生インダクタンス及び寄生インピーダンスを増加させることができる。第２ゲート導電パターンの増加された寄生インピーダンスは、ゲート電圧発振を減衰させる。こうして、複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）のゲート電圧発振を低減または抑制することができる。

[0191] 本実施の形態のパワー半導体モジュール１ｄは、複数の第２還流ダイオード２０ｉをさらに備える。複数の第２還流ダイオード２０ｉは、それぞれ、第２アノード電極２２ｉと、第２カソード電極２１ｉとを含む。複数の第２還流ダイオード２０ｉの第２カソード電極２１ｉは、第２導電回路パターン１３ｂに接合されている。複数の第２還流ダイオード２０ｉの第２アノード電極２２ｉは、第２ソース導電パターン（ソース導電パターン５３）に接合されている。絶縁基板３１の第３主面３１ｂの平面視において、第２ソース導電パターン（ソース導電パターン５３）は、複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）の第２ソース電極（ソース電極

２２ｂ）と第２還流ダイオード２０ｉの第２カソード電極２１ｉとを覆っている。

[0192] そのため、第２ソース導電パターン（ソース導電パターン５３）の幅をさらに増加させることができる。第２ソース導電パターンの寄生インダクタンスを低減させることができる。複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）を高周波数で動作させても、複数の第２自己消弧型半導体素子の第２ソース電極（ソース電極２２ｂ）間に発生する誘導起電力を減少させることができる。複数の第２自己消弧型半導体素子の第２ソース電極と第２ドレイン電極（ドレイン電極２１ｂ）との間にサージ電圧が発生することを防ぐことができる。パワー半導体モジュール１ｄの動作周波数を増加させながら、パワー半導体モジュール１ｄの寿命を延ばすことができる。

[0193] 本実施の形態のパワー半導体モジュール１ｄは、第１電極端子（電極端子６２）と、第２電極端子（電極端子４２）とをさらに備える。第１電極端子は、複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）の第１ソース電極（ソース電極２２ａ）と第１ドレイン電極（ドレイン電極２１ａ）との間を流れる第１主電流（主電流５５）の第１経路の、パワー半導体モジュール１ｄにおける第１経路端である。第２電極端子は、第１主電流（主電流５５）の第１経路の、パワー半導体モジュール１ｄにおける第２経路端である。第１電極端子は、導電ワイヤ無しに、第１ソース導電パターン（ソース導電パターン３３）を介して、複数の第１自己消弧型半導体素子の第１ソース電極に電気的に接続されている。第２電極端子は、導電ワイヤ無しに、第１導電回路パターン１３を介して、複数の第１自己消弧型半導体素子の第１ドレイン電極（ドレイン電極２１ａ）に電気的に接続されている。

[0194] そのため、第１電極端子（電極端子６２）から複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）の第１ソース電極（ソース電極２２ａ）に至る第１ソースラインの寄生インダクタンスを減少させること

ができる。第２電極端子（電極端子４２）から複数の第１自己消弧型半導体素子の第１ドレイン電極（ドレイン電極２１ａ）に至る第１ドレインラインの寄生インダクタンスを減少させることができる。そのため、複数の第１自己消弧型半導体素子の第１ソース電極と第１ドレイン電極との間にサージ電圧が発生することを防ぐことができる。パワー半導体モジュール１ｄの動作周波数を増加させながら、パワー半導体モジュール１ｄの寿命を延ばすことができる。

[0195] 本実施の形態のパワー半導体モジュール１ｄは、第３電極端子（電極端子４４）と、第４電極端子（電極端子６４）とをさらに備える。第３電極端子は、複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）の第２ソース電極（ソース電極２２ｂ）と第２ドレイン電極（ドレイン電極２１ｂ）との間を流れる第２主電流（主電流５５ｂ）の第２経路の、パワー半導体モジュール１ｄにおける第３経路端である。第４電極端子は、第２主電流（主電流５５ｂ）の第２経路の、パワー半導体モジュール１ｄにおける第４経路端である。第３電極端子は、導電ワイヤ無しに、第２ソース導電パターン（ソース導電パターン５３）を介して、複数の第１自己消弧型半導体素子の第２ソース電極に電気的に接続されている。第４電極端子は、導電ワイヤ無しに、第２導電回路パターン１３ｂを介して、複数の第１自己消弧型半導体素子の第２ドレイン電極に電気的に接続されている。

[0196] そのため、第３電極端子（電極端子４４）から複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｂ）の第２ソース電極（ソース電極２２ｂ）に至る第２ソースラインの寄生インダクタンスを減少させることができる。第４電極端子（電極端子６４）から複数の第２自己消弧型半導体素子の第２ドレイン電極（ドレイン電極２１ｂ）に至る第２ドレインラインの寄生インダクタンスを減少させることができる。そのため、複数の第２自己消弧型半導体素子の第２ソース電極と第２ドレイン電極との間にサージ電圧が発生することを防ぐことができる。パワー半導体モジュール１ｄの動作周波数を増加させながら、パワー半導体モジュール１ｄの寿命を延ばすこと

ができる。

[0197] 実施の形態５．

図２４から図３１を参照して、実施の形態５のパワー半導体モジュール１ｅを説明する。本実施の形態のパワー半導体モジュール１ｅは、実施の形態３のパワー半導体モジュール１ｃと同様の構成を備えるが、以下の点で主に異なる。

[0198] パワー半導体モジュール１ｅは、複数の自己消弧型半導体素子２０ｃと、複数の自己消弧型半導体素子２０ｄと、複数の導電接合部材２５ｃと、複数の導電接合部材２５ｄと、複数の導電ゲートワイヤ５０ｃと、複数の導電ゲートワイヤ５０ｄと、電極端子６２と、電極端子６４と、第２第１ソース制御端子４６ｂと、第２第１ゲート制御端子４８ｂと、導電ワイヤ４７ｂ，４９ｂと、導電ブロック７０，９０と、導電ブリッジ８０とをさらに備える。パワー半導体モジュール１ｅは、複数の第２還流ダイオード２０ｉをさらに備えてもよい。

[0199] 第２導電回路パターン１３ｂは、実施の形態４の第２導電回路パターン１３ｂと同様である。しかし、本実施の形態では、絶縁基板３１の第３主面３１ｂの平面視において、第２導電回路パターン１３ｂは、ゲート導電パターン３６の長手方向（第１方向（ｘ方向））、ゲート導電パターン３６ｂの長手方向（第１方向（ｘ方向））または絶縁基板３１の長手方向（第１方向（ｘ方向））において、第１導電回路パターン１３から離間されている。

[0200] 複数の自己消弧型半導体素子２０ｃ，２０ｄは、各々、絶縁ゲート型バイポーラトランジスタ（ＩＧＢＴ）または金属酸化物半導体電界効果トランジスタ（ＭＯＳＦＥＴ）のような自己消弧型半導体素子である。複数の自己消弧型半導体素子２０ｃ，２０ｄは、主に、シリコン（Ｓｉ）、または、炭化珪素（ＳｉＣ）、窒化ガリウム（ＧａＮ）もしくはダイヤモンドのようなワイドバンドギャップ半導体材料で形成されている。複数の自己消弧型半導体素子２０ｃは、それぞれ、ソース電極２２ｃと、ゲート電極２３ｃと、ドレイン電極２１ｃとを含む。複数の自己消弧型半導体素子２０ｄは、それぞれ

、ソース電極２２ｄと、ゲート電極２３ｄと、ドレイン電極２１ｄとを含む。

[0201] 複数の自己消弧型半導体素子２０ｃ，２０ｄは、第２導電回路パターン１３ｂに固定されている。具体的には、複数の自己消弧型半導体素子２０ｃのドレイン電極２１ｃは、はんだ、金属微粒子焼結体または導電性接着剤のような導電接合部材１５ｃを用いて、第２導電回路パターン１３ｂに接合されている。複数の自己消弧型半導体素子２０ｄのドレイン電極２１ｄは、はんだ、金属微粒子焼結体または導電性接着剤のような導電接合部材１５ｄを用いて、第２導電回路パターン１３ｂに接合されている。

[0202] 複数の自己消弧型半導体素子２０ｃ，２０ｄは、プリント配線基板３０に固定されている。具体的には、複数の自己消弧型半導体素子２０ｃのソース電極２２ｃは、はんだ、金属微粒子焼結体または導電性接着剤のような導電接合部材２５ｃを用いて、プリント配線基板３０のソース導電パターン８３に接合されている。複数の自己消弧型半導体素子２０ｄのソース電極２２ｄは、はんだ、金属微粒子焼結体または導電性接着剤のような導電接合部材２５ｄを用いて、プリント配線基板３０のソース導電パターン８３に接合されている。複数の自己消弧型半導体素子２０ｃは、互いに電気的に並列接続されている。複数の自己消弧型半導体素子２０ｄは、互いに電気的に並列接続されている。複数の自己消弧型半導体素子２０ｃと複数の自己消弧型半導体素子２０ｄとは、互いに電気的に並列接続されている。

[0203] 本実施の形態の複数の第２還流ダイオード２０ｉは、実施の形態４の複数の第２還流ダイオード２０ｉと同様である。複数の第２還流ダイオード２０ｉは、第２導電回路パターン１３ｂに固定されている。具体的には、複数の第２還流ダイオード２０ｉの第２カソード電極２１ｉは、はんだ、金属微粒子焼結体または導電性接着剤のような導電接合部材１５ｉを用いて、第２導電回路パターン１３ｂに接合されている。複数の第２還流ダイオード２０ｉは、プリント配線基板３０に固定されている。具体的には、複数の第２還流ダイオード２０ｉの第２アノード電極２２ｉは、はんだ、金属微粒子焼結体

または導電性接着剤のような導電接合部材２５ｉを用いて、プリント配線基板３０のソース導電パターン８３に接合されている。複数の第２還流ダイオード２０ｉは、複数の自己消弧型半導体素子２０ｃ，２０ｄに、電気的に並列接続されている。

[0204] パワー半導体モジュール１ｅは、二つのアーム（上アーム７３及び下アーム７４）を含む２ｉｎ１型モジュールである。図２７～図２９に示されるように、上アーム７３は、第１導電回路パターン１３とソース導電パターン３３とに接合されている複数の自己消弧型半導体素子２０ａ，２０ｂと複数の第１還流ダイオード２０ｈとを含む。下アーム７４は、第２導電回路パターン１３ｂとソース導電パターン８３とに接合されている複数の自己消弧型半導体素子２０ｃ，２０ｄと複数の第２還流ダイオード２０ｉとを含む。

[0205] プリント配線基板３０は、ソース導電パターン８３と、導電パッド６７と、ソース導電パターン８５と、ゲート導電パターン８６と、ゲート導電パターン８６ｂと、導電パッド５７と、導電パッド７７と、導電ビア６８と、導電ビア７８と、導電ビア８２とをさらに含む。プリント配線基板３０は、ゲート導電パターン８６ｃをさらに含んでもよい。ソース導電パターン８３と、導電パッド６７と、ソース導電パターン８５と、ゲート導電パターン８６と、ゲート導電パターン８６ｂと、導電パッド５７と、導電パッド７７とは、銅またはアルミニウムのような金属で形成されている。

[0206] ソース導電パターン８３と、導電パッド６７とは、絶縁基板３１の第２主面３１ａ上に設けられている。ソース導電パターン８３と導電パッド６７とは、ソース導電パターン３３と導電パッド３４よりも、絶縁基板３１の第４縁３１ｆに近位している。導電パッド６７は、ソース導電パターン８３よりも、絶縁基板３１の第４縁３１ｆに近位している。ソース導電パターン８３と導電パッド６７とは、絶縁基板３１の長手方向（第１方向（ｘ方向））、ゲート導電パターン３６の長手方向（第１方向（ｘ方向））またはゲート導電パターン８６の長手方向（第１方向（ｘ方向））において、ソース導電パターン３３と導電パッド３４とから離間されている。

[0207] ソース導電パターン８３と導電パッド６７とは、互いに離間されており、かつ、互いに電気的に絶縁されている。導電パッド６７は、絶縁基板３１の第４縁３１ｆに沿って配置されている。後述するように、導電パッド６７は、ソース導電パターン３３に電気的に接続されている。

[0208] ソース導電パターン８５と、ゲート導電パターン８６と、ゲート導電パターン８６ｂと、ゲート導電パターン８６ｃと、導電パッド５７と、導電パッド７７とは、絶縁基板３１の第３主面３１ｂ上に設けられている。ソース導電パターン３５、導電パッド３７、ゲート導電パターン３６、ゲート導電パターン３６ｂ、ゲート導電パターン３６ｃ及び導電パッド７７は、ソース導電パターン８５、ゲート導電パターン８６、ゲート導電パターン８６ｂ、ゲート導電パターン８６ｃ及び導電パッド５７よりも、絶縁基板３１の第３縁３１ｅに近位している。ソース導電パターン８５、ゲート導電パターン８６、ゲート導電パターン８６ｂ、ゲート導電パターン８６ｃ及び導電パッド５７は、ソース導電パターン３５、導電パッド３７、ゲート導電パターン３６、ゲート導電パターン３６ｂ、ゲート導電パターン３６ｃ及び導電パッド７７よりも、絶縁基板３１の第４縁３１ｆに近位している。

[0209] ソース導電パターン３５、導電パッド３７、ゲート導電パターン３６、ゲート導電パターン３６ｂ、ゲート導電パターン３６ｃ及び導電パッド７７は、絶縁基板３１の長手方向（第１方向（ｘ方向））、ゲート導電パターン３６の長手方向（第１方向（ｘ方向））またはゲート導電パターン８６の長手方向（第１方向（ｘ方向））において、ソース導電パターン８５、ゲート導電パターン８６、ゲート導電パターン８６ｂ、ゲート導電パターン８６ｃ及び導電パッド５７から離間されている。

[0210] ソース導電パターン３５、導電パッド３７、ゲート導電パターン３６、ゲート導電パターン３６ｂ、ゲート導電パターン３６ｃ及び導電パッド７７は、互いに離間されており、かつ、互いに電気的に絶縁されている。導電パッド３７は、絶縁基板３１の第３縁３１ｅに沿って配置されている。導電パッド７７は、ソース導電パターン３５に設けられた凹部内に配置されている。

ソース導電パターン８５、ゲート導電パターン８６、ゲート導電パターン８６ｂ、ゲート導電パターン８６ｃ及び導電パッド５７は、互いに離間されており、かつ、互いに電気的に絶縁されている。導電パッド５７は、絶縁基板３１の第４縁３１ｆに沿って配置されている。

[0211] ソース導電パターン８５は、導電ブリッジ８０を介して、ソース導電パターン３５に電気的に接続されている。具体的には、導電ブリッジ８０は、はんだのような導電接合部材８１ａを用いて、ソース導電パターン３５に接合されている。導電ブリッジ８０は、はんだのような導電接合部材８１ｂを用いて、ソース導電パターン８５に接合されている。導電ブリッジ８０は、ゲート導電パターン３６ｃの上方を延在しており、ゲート導電パターン３６ｃから電気的に絶縁されている。

[0212] 導電ビア７８は、導電パッド７７とソース導電パターン３３とを電気的に接続している。導電ビア７８は、絶縁基板３１を貫通している。導電ビア７８は、例えば、銅またはアルミニウムのような金属で形成されている。

[0213] ソース導電パターン８３は、第１方向（ｘ方向）と第２方向（ｙ方向）とに延在している。ソース導電パターン８３の長手方向は、第１方向（ｘ方向）であり、ソース導電パターン８３の短手方向は、第２方向（ｙ方向）である。ソース導電パターン８３は、ソース導電パターン８３の長手方向（第１方向（ｘ方向））に沿って延在する縁８３ａを含む。ソース導電パターン８３の縁８３ａは、絶縁基板３１の第３主面３１ｂの平面視におけるソース導電パターン８３の長辺であってもよい。ソース導電パターン８３の縁８３ａは、絶縁基板３１の第２縁３１ｄよりも、絶縁基板３１の第１縁３１ｃに近位している。

[0214] 絶縁基板３１の第３主面３１ｂの平面視において、ソース導電パターン８３は、複数の自己消弧型半導体素子２０ｃ，２０ｄのソース電極２２ｃ，２２ｄを覆っている。絶縁基板３１の第３主面３１ｂの平面視において、ソース導電パターン８３は、複数の第２還流ダイオード２０ｉの第２カソード電極２１ｉをさらに覆っている。

[0215] ソース導電パターン８５は、第１方向（ｘ方向）と第２方向（ｙ方向）とに延在している。ソース導電パターン８５の長手方向は、第１方向（ｘ方向）であり、ソース導電パターン８５の短手方向は、第２方向（ｙ方向）である。絶縁基板３１の第３主面３１ｂの平面視において、ソース導電パターン８５は、複数の自己消弧型半導体素子２０ｃ，２０ｄのソース電極２２ｃ，２２ｄを覆っている。絶縁基板３１の第３主面３１ｂの平面視において、ソース導電パターン８５は、複数の第２還流ダイオード２０ｉの第２カソード電極２１ｉをさらに覆っている。

[0216] 導電ビア８２は、ソース導電パターン８３とソース導電パターン８５とを電気的に接続している。導電ビア８２は、絶縁基板３１を貫通している。導電ビア８２は、例えば、銅またはアルミニウムのような金属で形成されている。

[0217] ゲート導電パターン８６の長手方向は、第１方向（ｘ方向）であり、ゲート導電パターン８６の短手方向は、第２方向（ｙ方向）である。ゲート導電パターン８６の長手方向は、絶縁基板３１の第１縁３１ｃが延在する第１方向（ｘ方向）である。ゲート導電パターン８６の長手方向は、ソース導電パターン８３の縁８３ａが延在する第１方向（ｘ方向）である。図２４、図３０及び図３１に示されるように、ゲート導電パターン８６は、絶縁基板３１の第１縁３１ｃに沿って配置されている。絶縁基板３１の第３主面３１ｂの平面視において、ゲート導電パターン８６は、ソース導電パターン８３の縁８３ａに沿って配置されている。特定的には、絶縁基板３１の第３主面３１ｂの平面視において、ゲート導電パターン８６は、ソース導電パターン８３の縁８３ａに重なっている。

[0218] ゲート導電パターン８６のうち、絶縁基板３１の第３主面３１ｂの平面視においてゲート導電パターン８６の長手方向（第１方向（ｘ方向））で複数の自己消弧型半導体素子２０ｃに対応する部分８６ｐの幅w_{g3}は、ソース導電パターン８３のうち、絶縁基板３１の第３主面３１ｂの平面視においてゲート導電パターン８６の長手方向（第１方向（ｘ方向））で複数の自己消弧型

半導体素子２０ｃに対応する部分８３ｐの幅w_{s3}より小さい。ゲート導電パターン８６の部分８６ｐの幅w_{g3}は、ゲート導電パターン８６の短手方向（第２方向（ｙ方向））におけるゲート導電パターン８６の部分８６ｐの長さとして定義される。ソース導電パターン８３の部分８３ｐの幅w_{s3}は、ゲート導電パターン８６の短手方向（第２方向（ｙ方向））におけるソース導電パターン８３の部分８３ｐの長さとして定義される。

[0219] ゲート導電パターン８６の部分８６ｐの幅w_{g3}は、ソース導電パターン８３の部分８３ｐの幅w_{s3}の二分の一以下であってもよく、ソース導電パターン８３の部分８３ｐの幅w_{s3}の三分の一以下であってもよく、ソース導電パターン８３の部分８３ｐの幅w_{s3}の四分の一以下であってもよく、ソース導電パターン８３の部分８３ｐの幅w_{s3}の五分の一以下であってもよい。

[0220] ゲート導電パターン８６の部分８６ｐの幅w_{g3}は、ソース導電パターン８３の部分８３ｐの幅w_{s3}より小さいため、複数の自己消弧型半導体素子２０ｃ間におけるゲート導電パターン８６の寄生インダクタンスを、複数の自己消弧型半導体素子２０ｃ間におけるソース導電パターン８３の寄生インダクタンスよりも大きくすることができる。

[0221] ゲート導電パターン８６のうち、絶縁基板３１の第３主面３１ｂの平面視においてゲート導電パターン８６の長手方向（第１方向（ｘ方向））で複数の自己消弧型半導体素子２０ｃに対応する部分８６ｐの幅w_{g3}は、ソース導電パターン８５のうち、絶縁基板３１の第３主面３１ｂの平面視においてゲート導電パターン８６の長手方向（第１方向（ｘ方向））で複数の自己消弧型半導体素子２０ａに対応する部分の幅より小さい。そのため、複数の自己消弧型半導体素子２０ｃ間におけるゲート導電パターン８６の寄生インダクタンスを、複数の自己消弧型半導体素子２０ｃ間におけるソース導電パターン８５の寄生インダクタンスよりも大きくすることができる。

[0222] ゲート導電パターン８６ｂの長手方向は、第１方向（ｘ方向）であり、ゲート導電パターン８６ｂの短手方向は、第２方向（ｙ方向）である。ゲート導電パターン８６ｂの長手方向は、絶縁基板３１の第２縁３１ｄが延在する

第１方向（ｘ方向）である。ゲート導電パターン８６ｂの長手方向は、ソース導電パターン８３の縁８３ｂが延在する第１方向（ｘ方向）である。ソース導電パターン８３の縁８３ｂは、ソース導電パターン８３の縁８３ａとは反対側のソース導電パターン８３の縁である。ソース導電パターン８３の縁８３ｂは、ソース導電パターン８３の短手方向（第２方向（ｙ方向））において、ソース導電パターン８３の縁８３ａに対向している。

[0223] 図２４、図３０及び図３１に示されるように、ゲート導電パターン８６ｂは、絶縁基板３１の第２縁３１ｄに沿って配置されている。絶縁基板３１の第３主面３１ｂの平面視において、ゲート導電パターン８６ｂは、ソース導電パターン８３の縁８３ｂに沿って配置されている。特定的には、絶縁基板３１の第３主面３１ｂの平面視において、ゲート導電パターン８６ｂは、ソース導電パターン８３の縁８３ｂに重なっている。

[0224] ゲート導電パターン８６ｂのうち、絶縁基板３１の第３主面３１ｂの平面視においてゲート導電パターン８６ｂの長手方向（第１方向（ｘ方向））で複数の自己消弧型半導体素子２０ｄに対応する部分８６ｑの幅w_{g4}は、ソース導電パターン８３のうち、絶縁基板３１の第３主面３１ｂの平面視においてゲート導電パターン８６ｂの長手方向（第１方向（ｘ方向））で複数の自己消弧型半導体素子２０ｄに対応する部分８３ｑの幅w_{s4}より小さい。ゲート導電パターン８６ｂの部分８６ｑの幅w_{g4}は、ゲート導電パターン８６ｂの短手方向（第２方向（ｙ方向））におけるゲート導電パターン８６ｂの部分８６ｑの長さとして定義される。ソース導電パターン８３の部分８３ｑの幅w_{s4}は、ゲート導電パターン８６ｂの短手方向（第２方向（ｙ方向））におけるソース導電パターン８３の部分８３ｑの長さとして定義される。

[0225] ゲート導電パターン８６ｂの部分８６ｑの幅w_{g4}は、ソース導電パターン８３の部分８３ｑの幅w_{s4}の二分の一以下であってもよく、ソース導電パターン８３の部分８３ｑの幅w_{s4}の三分の一以下であってもよく、ソース導電パターン８３の部分８３ｑの幅w_{s4}の四分の一以下であってもよく、ソース導電パターン８３の部分８３ｑの幅w_{s4}の五分の一以下であってもよい。

[0226] ゲート導電パターン８６ｂの部分８６ｑの幅w_{g4}は、ソース導電パターン８３の部分８３ｑの幅w_{s4}より小さいため、複数の自己消弧型半導体素子２０ｄ間におけるゲート導電パターン８６ｂの寄生インダクタンスを、複数の自己消弧型半導体素子２０ｄ間におけるソース導電パターン８３の寄生インダクタンスよりも大きくすることができる。

[0227] ゲート導電パターン８６ｂのうち、絶縁基板３１の第３主面３１ｂの平面視においてゲート導電パターン８６ｂの長手方向（第１方向（ｘ方向））で複数の自己消弧型半導体素子２０ｄに対応する部分８６ｑの幅w_{g4}は、ソース導電パターン８５のうち、絶縁基板３１の第３主面３１ｂの平面視においてゲート導電パターン８６ｂの長手方向（第１方向（ｘ方向））で複数の自己消弧型半導体素子２０ｄに対応する部分の幅より小さい。そのため、複数の自己消弧型半導体素子２０ｄ間におけるゲート導電パターン８６ｂの寄生インダクタンスを、複数の自己消弧型半導体素子２０ｄ間におけるソース導電パターン８５の寄生インダクタンスよりも大きくすることができる。

[0228] 複数の自己消弧型半導体素子２０ｃは、絶縁基板３１の第１縁３１ｃに沿って配置されている。複数の自己消弧型半導体素子２０ｃは、ソース導電パターン８３の縁８３ａに沿って配置されている。複数の自己消弧型半導体素子２０ｃは、ゲート導電パターン８６に沿って配置されている。絶縁基板３１の第３主面３１ｂの平面視において、ゲート導電パターン８６の長手方向（第１方向（ｘ方向））は、複数の自己消弧型半導体素子２０ｃの配列方向（第１方向（ｘ方向））である。

[0229] 複数の自己消弧型半導体素子２０ｃは、絶縁基板３１の長手方向（第１方向（ｘ方向））、ゲート導電パターン３６の長手方向（第１方向（ｘ方向））またはゲート導電パターン８６の長手方向（第１方向（ｘ方向））において、複数の自己消弧型半導体素子２０ａから離間されている。複数の自己消弧型半導体素子２０ｃは、複数の自己消弧型半導体素子２０ａよりも、絶縁基板３１の第４縁３１ｆに近位している。複数の自己消弧型半導体素子２０ａは、複数の自己消弧型半導体素子２０ｃよりも、絶縁基板３１の第３縁３

１ｅに近位している。

[0230] 図２４及び図３０に示されるように、ゲート導電パターン８６の長手方向（第１方向（ｘ方向））におけるゲート導電パターン８６の長さL_{g3}は、複数の自己消弧型半導体素子２０ｃの配列方向（第１方向（ｘ方向））における複数の自己消弧型半導体素子２０ｃの長さL_{c3}以上である。絶縁基板３１の第３主面３１ｂの平面視において、複数の自己消弧型半導体素子２０ｃのゲート電極２３ｃは、絶縁基板３１（プリント配線基板３０）から露出している。

[0231] 複数の自己消弧型半導体素子２０ｄは、絶縁基板３１の第２縁３１ｄに沿って配置されている。複数の自己消弧型半導体素子２０ｄは、ソース導電パターン８３の縁８３ｂに沿って配置されている。複数の自己消弧型半導体素子２０ｄは、ゲート導電パターン８６ｂに沿って配置されている。絶縁基板３１の第３主面３１ｂの平面視において、ゲート導電パターン８６ｂの長手方向（第１方向（ｘ方向））は、複数の自己消弧型半導体素子２０ｄの配列方向（第１方向（ｘ方向））である。

[0232] 複数の自己消弧型半導体素子２０ｄは、絶縁基板３１の長手方向（第１方向（ｘ方向））、ゲート導電パターン３６ｂの長手方向（第１方向（ｘ方向））またはゲート導電パターン８６ｂの長手方向（第１方向（ｘ方向））において、複数の自己消弧型半導体素子２０ｂから離間されている。複数の自己消弧型半導体素子２０ｄは、複数の自己消弧型半導体素子２０ｂよりも、絶縁基板３１の第４縁３１ｆに近位している。複数の自己消弧型半導体素子２０ｂは、複数の自己消弧型半導体素子２０ｄよりも、絶縁基板３１の第３縁３１ｅに近位している。

[0233] 図２４及び図３０に示されるように、ゲート導電パターン８６ｂの長手方向（第１方向（ｘ方向））におけるゲート導電パターン８６ｂの長さL_{g4}は、複数の自己消弧型半導体素子２０ｄの配列方向（第１方向（ｘ方向））における複数の自己消弧型半導体素子２０ｄの長さL_{c4}以上である。絶縁基板３１の第３主面３１ｂの平面視において、複数の自己消弧型半導体素子２０ｄの

ゲート電極２３ｄは、絶縁基板３１（プリント配線基板３０）から露出している。

[0234] 複数の導電ゲートワイヤ５０ｃは、複数の自己消弧型半導体素子２０ｃのゲート電極２３ｃとゲート導電パターン８６とを互いに接続している。複数の導電ゲートワイヤ５０ｃは、複数の自己消弧型半導体素子２０ｃのゲート電極２３ｃとゲート導電パターン８６とにボンディングされている。複数の自己消弧型半導体素子２０ｃのゲート電極２３ｃは、導電ゲートワイヤ５０ｃを用いて、ゲート導電パターン８６に電気的に接続されている。複数の導電ゲートワイヤ５０ｃは、例えば、金、銀、銅またはアルミニウムのような金属で形成されている。

[0235] 複数の導電ゲートワイヤ５０ｄは、複数の自己消弧型半導体素子２０ｄのゲート電極２３ｄとゲート導電パターン８６ｂとを互いに接続している。複数の導電ゲートワイヤ５０ｄは、複数の自己消弧型半導体素子２０ｄのゲート電極２３ｄとゲート導電パターン８６ｂとにボンディングされている。複数の自己消弧型半導体素子２０ｄのゲート電極２３ｄは、導電ゲートワイヤ５０ｄを用いて、ゲート導電パターン８６ｂに電気的に接続されている。複数の導電ゲートワイヤ５０ｄは、例えば、金、銀、銅またはアルミニウムのような金属で形成されている。

[0236] 電極端子６２と電極端子６４とは、例えば、銅またはアルミニウムのような金属で形成されている。図２４に示されるように、絶縁基板３１の第３主面３１ｂの平面視において、電極端子４２と電極端子４４とは、絶縁基板３１の第３縁３１ｅに配置されている。絶縁基板３１の第３主面３１ｂの平面視において、電極端子６２と電極端子６４とは、絶縁基板３１の第４縁３１ｆに配置されている。

[0237] 図２７に示されるように、本実施の形態の電極端子４２は、実施の形態３の電極端子４２と同様に、導電接合部材４３、導電パッド３７、導電ビア３８、導電パッド３４、導電接合部材２５ｍ、導電ブロック４０、導電接合部材１５ｍ、第１導電回路パターン１３及び導電接合部材１５ａ，１５ｂを介

して、複数の自己消弧型半導体素子２０ａ，２０ｂのドレイン電極２１ａ，２１ｂに電気的に接続されている。電極端子４２は、導電ワイヤ無しに、第１導電回路パターン１３を介して、複数の自己消弧型半導体素子２０ａ，２０ｂのドレイン電極２１ａ，２１ｂに電気的に接続されている。電極端子４２は、上アーム７３のドレイン電極端子として機能する。電極端子４２は、上アーム７３を流れる（すなわち、複数の自己消弧型半導体素子２０ａ，２０ｂのソース電極２２ａ，２２ｂとドレイン電極２１ａ，２１ｂとの間を流れる）第１主電流（主電流５５，５５ｂ）の第１経路の、パワー半導体モジュール１ｅにおける経路端である。第１導電回路パターン１３の一部は、第１ドレイン導電パターンとして機能している。すなわち、第１導電回路パターン１３は、第１ドレイン導電パターンを含む。

[0238] 図２７に示されるように、電極端子６２は、はんだのような導電接合部材６３を用いて、導電パッド５７に接合されている。導電ビア５８は、導電パッド５７と導電パッド６７とを電気的に接続している。導電ビア５８は、絶縁基板３１を貫通している。導電ビア５８は、例えば、銅またはアルミニウムのような金属で形成されている。導電ブロック７０は、導電パッド６７と第２導電回路パターン１３ｂとを電気的に接続している。導電ブロック７０は、はんだのような導電接合部材２５ｎを用いて、導電パッド６７に接合されている。導電ブロック７０は、はんだのような導電接合部材１５ｎを用いて、第２導電回路パターン１３ｂに接合されている。

[0239] 導電ブロック９０は、第２導電回路パターン１３ｂとソース導電パターン３３とを電気的に接続している。導電ブロック９０は、はんだのような導電接合部材１５ｐを用いて、第２導電回路パターン１３ｂに接合されている。導電ブロック９０は、はんだのような導電接合部材２５ｐを用いて、ソース導電パターン３３に接合されている。

[0240] 図２７及び図２９に示されるように、電極端子６２は、導電接合部材６３、導電パッド５７、導電ビア５８、導電パッド６７、導電接合部材２５ｎ、導電ブロック７０、導電接合部材１５ｎ、第２導電回路パターン１３ｂ、導

電接合部材１５ｐ、導電ブロック９０、導電接合部材２５ｐ、ソース導電パターン３３及び導電接合部材２５ａ，２５ｂを介して、複数の自己消弧型半導体素子２０ａ，２０ｂのソース電極２２ａ，２２ｂに電気的に接続されている。電極端子６２は、導電ワイヤ無しに、ソース導電パターン３３を介して、複数の自己消弧型半導体素子２０ａ，２０ｂのソース電極２２ａ，２２ｂに電気的に接続されている。電極端子６２は、上アーム７３のソース電極端子として機能する。電極端子６２は、上アーム７３を流れる（すなわち、複数の自己消弧型半導体素子２０ａ，２０ｂのソース電極２２ａ，２２ｂとドレイン電極２１ａ，２１ｂとの間を流れる）第１主電流（主電流５５，５５ｂ）の第１経路の、パワー半導体モジュール１ｅにおける経路端である。

[0241] 図２８及び図２９に示されるように、電極端子６４は、はんだのような導電接合部材６５を用いて、導電パッド５７に接合されている。導電ビア６８は、導電パッド５７と導電パッド６７とを電気的に接続している。導電ビア６８は、絶縁基板３１を貫通している。導電ビア６８は、例えば、銅またはアルミニウムのような金属で形成されている。

[0242] 図２７及び図２９に示されるように、電極端子６４は、導電接合部材６５、導電パッド５７、導電ビア６８、導電パッド６７、導電接合部材２５ｎ、導電ブロック７０、導電接合部材１５ｎ、第２導電回路パターン１３ｂ及び導電接合部材１５ｃ，１５ｄを介して、複数の自己消弧型半導体素子２０ｃ，２０ｄのドレイン電極２１ｃ，２１ｄに電気的に接続されている。電極端子６４は、導電ワイヤ無しに、第２導電回路パターン１３ｂを介して、複数の自己消弧型半導体素子２０ｃ，２０ｄのドレイン電極２１ｃ，２１ｄに電気的に接続されている。電極端子６４は、下アーム７４のドレイン電極端子として機能する。電極端子６４は、下アーム７４を流れる（すなわち、複数の自己消弧型半導体素子２０ｃ，２０ｄのソース電極２２ｃ，２２ｄとドレイン電極２１ｃ，２１ｄとの間を流れる）第２主電流（主電流５５ｃ，５５ｄ）の第２経路の、パワー半導体モジュール１ｅにおける経路端である。第２導電回路パターン１３ｂの一部は、第２ドレイン導電パターンとして機能

している。すなわち、第２導電回路パターン１３ｂは、第２ドレイン導電パターンを含む。

[0243] 図２８及び図２９に示されるように、電極端子４４は、はんだのような導電接合部材４５を用いて、ソース導電パターン３５に接合されている。導電ブリッジ８０は、はんだのような導電接合部材８１ａを用いて、ソース導電パターン３５に接合されている。導電ブリッジ８０は、はんだのような導電接合部材８１ｂを用いて、ソース導電パターン８５に接合されている。ソース導電パターン８５は、導電ブリッジ８０を介して、ソース導電パターン３５に電気的に接続されている。導電ビア８２は、ソース導電パターン８５とソース導電パターン８３とを電気的に接続している。導電ビア８２は、絶縁基板３１を貫通している。導電ビア８２は、例えば、銅またはアルミニウムのような金属で形成されている。

[0244] 図２７及び図２９に示されるように、電極端子４４は、導電接合部材４５、ソース導電パターン３５、導電接合部材８１ａ、導電ブリッジ８０、導電接合部材８１ｂ、ソース導電パターン８５、導電ビア８２、ソース導電パターン８３及び導電接合部材２５ｃ，２５ｄを介して、複数の自己消弧型半導体素子２０ｃ，２０ｄのソース電極２２ｃ，２２ｄに電気的に接続されている。電極端子４４は、導電ワイヤ無しに、ソース導電パターン８３を介して、複数の自己消弧型半導体素子２０ｃ，２０ｄのソース電極２２ｃ，２２ｄに電気的に接続されている。電極端子４４は、下アーム７４のソース電極端子として機能する。電極端子６２は、下アーム７４を流れる（すなわち、複数の自己消弧型半導体素子２０ｃ，２０ｄのソース電極２２ｃ，２２ｄとドレイン電極２１ｃ，２１ｄとの間を流れる）第２主電流（主電流５５ｃ，５５ｄ）の第２経路の、パワー半導体モジュール１ｅにおける経路端である。

[0245] 電極端子４２，４４は、平滑コイル（図示せず）を介して電源（図示せず）に接続される入力端子として機能し得る。例えば、電極端子４２は、電源の正極に接続される正極入力端子として機能し、電極端子４４は、電源の負極に接続される負極入力端子として機能してもよい。電極端子６２，６４は

、モータのような負荷に接続される出力端子として機能し得る。

[0246] 図２４に示されるように、導電ワイヤ４７は、導電パッド７７と、第１ソース制御端子４６とを互いに接続している。導電ワイヤ４７は、導電パッド７７と第１ソース制御端子４６とにボンディングされている。パワー半導体モジュール１ｅの外部から、第１ソース制御端子４６と第１ゲート制御端子４８との間に、第１のソース－ゲート間電圧が供給される。第１のソース－ゲート間電圧に応じて、複数の自己消弧型半導体素子２０ａ，２０ｂはオン状態とオフ状態との間でスイッチングされる。

[0247] 第２第１ソース制御端子４６ｂは、例えば、ベース板１１上に載置された絶縁ブロック（図示せず）上に設けられている。第２第１ソース制御端子４６ｂは、例えば、銅またはアルミニウムのような金属で形成されている。図２４に示されるように、導電ワイヤ４７ｂは、ソース導電パターン８５と第２第１ソース制御端子４６ｂとを互いに接続している。導電ワイヤ４７ｂは、ソース導電パターン８５と第２第１ソース制御端子４６ｂとにボンディングされている。導電ワイヤ４７ｂは、例えば、金、銀、銅またはアルミニウムのような金属で形成されている。

[0248] 第２第１ゲート制御端子４８ｂは、例えば、ベース板１１上に載置された絶縁ブロック（図示せず）上に設けられている。第２第１ゲート制御端子４８ｂは、例えば、銅またはアルミニウムのような金属で形成されている。図２４に示されるように、導電ワイヤ４９ｂは、ゲート導電パターン３６ｂと第２第１ゲート制御端子４８ｂとを互いに接続している。導電ワイヤ４９ｂは、ゲート導電パターン３６ｂと第２第１ゲート制御端子４８ｂとにボンディングされている。導電ワイヤ４９ｂは、例えば、金、銀、銅またはアルミニウムのような金属で形成されている。パワー半導体モジュール１ｅの外部から、第２第１ソース制御端子４６ｂと第２第１ゲート制御端子４８ｂとの間に、第２のソース－ゲート間電圧が供給される。第２のソース－ゲート間電圧に応じて、複数の自己消弧型半導体素子２０ｃ，２０ｄはオン状態とオフ状態との間でスイッチングされる。

[0249] 本実施の形態のパワー半導体モジュール１ｅは、実施の形態３のパワー半導体モジュール１ｃの作用に加えて、以下の作用を奏する。

[0250] パワー半導体モジュール１ｅでは、複数の自己消弧型半導体素子２０ｃ，２０ｄのソース電極２２ｃ，２２ｄは、複数の導電接合部材２５ｃ，２５ｄによって、ソース導電パターン８３に接合されている。これに対し、複数の自己消弧型半導体素子２０ｃ，２０ｄのゲート電極２３ｃ，２３ｄは、複数の導電ゲートワイヤ５０ｃ，５０ｄによって、ゲート導電パターン８６，８６ｂに接続されている。複数の導電接合部材２５ｃ，２５ｄの各々の厚さは、複数の導電ゲートワイヤ５０ｃ，５０ｄの各々の長さよりも小さい。複数の導電接合部材２５ｃ，２５ｄの各々の断面積は、複数の導電ゲートワイヤ５０ｃ，５０ｄの各々の断面積よりも大きい。複数の導電接合部材２５ｃ，２５ｄの各々の断面積は、複数の導電接合部材２５ｃ，２５ｄの各々の厚さ方向（第３方向（ｚ方向））に垂直な複数の導電接合部材２５ｃ，２５ｄの各々の断面の面積として定義される。複数の導電ゲートワイヤ５０ｃ，５０ｄの各々の断面積は、複数の導電ゲートワイヤ５０ｃ，５０ｄの各々の長手方向に垂直な複数の導電ゲートワイヤ５０ｃ，５０ｄの各々の断面の面積として定義される。

[0251] 一般に、導体の長さが増加するにつれて、導体の寄生インダクタンスは増加する。導体の断面積が減少するにつれて、導体の寄生インダクタンスは増加する。そのため、複数の導電ゲートワイヤ５０ｃ，５０ｄの各々の寄生インダクタンスを増加させることができる。複数の導電接合部材２５ｃ，２５ｄの各々の寄生インダクタンスを減少させることができる。複数の導電ゲートワイヤ５０ｃ，５０ｄの各々の寄生インダクタンスを、複数の導電接合部材２５ｃ，２５ｄの各々の寄生インダクタンスよりも大きくすることができる。複数の導電ゲートワイヤ５０ｃ，５０ｄの各々の寄生インダクタンスと複数の導電接合部材２５ｃ，２５ｄの各々の寄生インダクタンスとの間の差を大きくすることができる。

[0252] このように、ソース導電パターン８３に接合される複数の導電接合部材２

５ｃ，２５ｄの各々の寄生インダクタンスを減少させることができる。そのため、複数の自己消弧型半導体素子２０ｃ，２０ｄを高周波数で動作させて、複数の自己消弧型半導体素子２０ｃ，２０ｄのソース電極２２ｃ，２２ｄとドレイン電極２１ｃ，２１ｄとの間を流れる第２主電流（主電流５５ｃ，５５ｄ）の時間変化ｄＩ／ｄｔが大きくなっても、複数の自己消弧型半導体素子２０ｃ，２０ｄのソース電極２２ｃ，２２ｄ間に発生する誘導起電力を減少させることができる。パワー半導体モジュール１ｅの動作周波数を増加させながら、複数の自己消弧型半導体素子２０ｃ，２０ｄのソース電極２２ｃ，２２ｄとドレイン電極２１ｃ，２１ｄとの間にサージ電圧が発生することを防ぐことができる。

[0253] また、ゲート導電パターン８６，８６ｂに接合される複数の導電ゲートワイヤ５０ｃ，５０ｄの各々の寄生インダクタンスを増加させることができる。一般に、導体のインダクタンスが増加するにつれて、導体のインピーダンスも増加する。そのため、複数の導電ゲートワイヤ５０ｃ，５０ｄの各々の寄生インピーダンスを増加させることができる。複数の導電ゲートワイヤ５０ｃ，５０ｄの各々の増加された寄生インピーダンスは、ゲート電圧発振を減衰させる。こうして、自己消弧型半導体素子２０ｃ，２０ｄのゲート電圧発振を低減または抑制することができる。

[0254] 特定的には、導電接合部材４５、導電接合部材８１ａ、導電ブリッジ８０、導電接合部材８１ｂ、導電ビア８２及び導電接合部材２５ｃの各々の厚さは、複数の導電ゲートワイヤ５０ｃ，５０ｄの各々の長さよりも小さい。導電接合部材４５、導電接合部材８１ａ、導電ブリッジ８０、導電接合部材８１ｂ、導電ビア８２及び導電接合部材２５ｃの各々の断面積は、複数の導電ゲートワイヤ５０ｃ，５０ｄの各々の断面積よりも大きい。そのため、導電接合部材４５、導電接合部材８１ａ、導電ブリッジ８０、導電接合部材８１ｂ、導電ビア８２及び導電接合部材２５ｃの各々の寄生インダクタンスは、複数の導電ゲートワイヤ５０ｃ，５０ｄの各々の寄生インダクタンスよりも小さい。

[0255] さらに、ソース導電パターン８３の断面積は、ゲート導電パターン８６，８６ｂの断面積よりも大きい。ソース導電パターン８５の断面積は、ゲート導電パターン８６，８６ｂの断面積よりも大きい。ソース導電パターン３５の断面積は、ゲート導電パターン８６，８６ｂの断面積よりも大きい。そのため、ソース導電パターン８３の寄生インダクタンスは、ゲート導電パターン８６，８６ｂの寄生インダクタンスよりも小さい。ソース導電パターン８５の寄生インダクタンスは、ゲート導電パターン８６，８６ｂの寄生インダクタンスよりも小さい。ソース導電パターン３５の寄生インダクタンスは、ゲート導電パターン８６，８６ｂの寄生インダクタンスよりも小さい。

[0256] なお、ソース導電パターン８３の断面積は、ソース導電パターン８３において第２主電流（主電流５５ｃ，５５ｄ）が流れる方向（第１方向（ｘ方向））に垂直なソース導電パターン８３の断面の面積として定義される。ソース導電パターン８５の断面積は、ソース導電パターン８５において第２主電流が流れる方向（第１方向（ｘ方向））に垂直なソース導電パターン８５の断面の面積として定義される。ソース導電パターン３５の断面積は、ソース導電パターン３５において第２主電流が流れる方向（第１方向（ｘ方向））に垂直なソース導電パターン３５の断面の面積として定義される。ゲート導電パターン８６，８６ｂの断面積は、ゲート導電パターン８６，８６ｂの長手方向（第１方向（ｘ方向））または複数の自己消弧型半導体素子２０ｃ，２０ｄの第２配列方向（第１方向（ｘ方向））に垂直なゲート導電パターン８６，８６ｂの断面の面積として定義される。

[0257] 導電接合部材６５、導電パッド５７、導電ビア５８，６８、導電パッド６７、導電接合部材２５ｎ、導電ブロック７０、導電接合部材１５ｎ及び導電接合部材１５ｃ，１５ｄの各々の厚さは、複数の導電ゲートワイヤ５０ｃ，５０ｄの各々の長さよりも小さい。導電接合部材６５、導電パッド５７、導電ビア５８，６８、導電パッド６７、導電接合部材２５ｎ、導電ブロック７０、導電接合部材１５ｎ及び導電接合部材１５ｃ，１５ｄの各々の断面積は、複数の導電ゲートワイヤ５０ｃ，５０ｄの各々の断面積よりも大きい。そ

のため、導電接合部材６５、導電パッド５７、導電ビア５８，６８、導電パッド６７、導電接合部材２５ｎ、導電ブロック７０、導電接合部材１５ｎ及び導電接合部材１５ｃ，１５ｄの各々の寄生インダクタンスは、複数の導電ゲートワイヤ５０ｃ，５０ｄの各々の寄生インダクタンスよりも小さい。

[0258] さらに、ドレイン導電パターンとして機能する第２導電回路パターン１３ｂの断面積は、ゲート導電パターン８６，８６ｂの断面積よりも大きい。なお、第２導電回路パターン１３ｂの断面積は、第２導電回路パターン１３ｂにおいて第２主電流（主電流５５，５５ｂ）が流れる方向（第１方向（ｘ方向））に垂直な第２導電回路パターン１３ｂの断面の面積として定義される。そのため、ドレイン導電パターンとして機能する第２導電回路パターン１３ｂの寄生インダクタンスは、ゲート導電パターン８６，８６ｂの寄生インダクタンスよりも小さい。

[0259] そのため、電極端子４４から複数の自己消弧型半導体素子２０ｃ，２０ｄのソース電極２２ｃ，２２ｄに至る第２ソースラインの寄生インダクタンスは、第２第１ゲート制御端子４８ｂから複数の自己消弧型半導体素子２０ｃ，２０ｄのゲート電極２３ｃ，２３ｄに至る第２ゲートラインの寄生インダクタンスよりも小さい。複数の自己消弧型半導体素子２０ｃ，２０ｄを高周波数で動作させても、複数の自己消弧型半導体素子２０ｃ，２０ｄのソース電極２２ｃ，２２ｄとドレイン電極２１ｃ，２１ｄとの間にサージ電圧が発生することを防ぐことができる。パワー半導体モジュール１ｅの動作周波数を増加させながら、パワー半導体モジュール１ｅの寿命を延ばすことができる。

[0260] 電極端子６４から複数の自己消弧型半導体素子２０ｃ，２０ｄのドレイン電極２１ｃ，２１ｄに至る第２ドレインラインの寄生インダクタンスは、第２第１ゲート制御端子４８ｂから複数の自己消弧型半導体素子２０ｃ，２０ｄのゲート電極２３ｃ，２３ｄに至る第２ゲートラインの寄生インダクタンスよりも小さい。複数の自己消弧型半導体素子２０ｃ，２０ｄを高周波数で動作させても、複数の自己消弧型半導体素子２０ｃ，２０ｄのソース電極２

２ｃ，２２ｄとドレイン電極２１ｃ，２１ｄとの間にサージ電圧が発生することを防ぐことができる。パワー半導体モジュール１ｅの動作周波数を増加させながら、パワー半導体モジュール１ｅの寿命を延ばすことができる。

[0261] また、上記のとおり、導体のインピーダンスが増加するにつれて、導体のインダクタンスも増加する。第２第１ゲート制御端子４８ｂから複数の自己消弧型半導体素子２０ｃ，２０ｄのゲート電極２３ｃ，２３ｄに至る第２ゲートラインの寄生インピーダンスは、電極端子４４から複数の自己消弧型半導体素子２０ｃ，２０ｄのソース電極２２ｃ，２２ｄに至る第２ソースラインの寄生インピーダンスよりも大きい。第２第１ゲート制御端子４８ｂから複数の自己消弧型半導体素子２０ｃ，２０ｄのゲート電極２３ｃ，２３ｄに至る第２ゲートラインの寄生インピーダンスは、電極端子６４から複数の自己消弧型半導体素子２０ｃ，２０ｄのドレイン電極２１ｃ，２１ｄに至る第２ドレインラインの寄生インピーダンスよりも大きい。第２ゲートラインの増加された寄生インピーダンスは、自己消弧型半導体素子２０ｃ，２０ｄのゲート電圧発振を低減または抑制することができる。

[0262] 複数の自己消弧型半導体素子２０ｃの各々に印加されるゲート－ソース間電圧を閾値電圧よりも大きくして、複数の自己消弧型半導体素子２０ｃをターンオンさせる。図３０及び図３１に示されるように、主電流５５ｃは、ソース導電パターン８３を流れる。一般に、導電パターンの縁が、導電パターンのうち、電流が最も多く流れる部分である。そのため、図３０及び図３１に示されるように、主電流５５ｃは、ソース導電パターン８３のうち複数の自己消弧型半導体素子２０ｃに近位する縁８３ａに沿って流れる。

[0263] ソース導電パターン８３を流れる主電流５５ｃは、主電流５５ｃの周りに（例えば、ソース導電パターン８３に）磁束を形成する。この磁束とソース導電パターン８３の寄生インダクタンスとに起因して、ソース導電パターン８３に誘導起電力が発生する。この誘導起電力は、複数の自己消弧型半導体素子２０ｃの間でソース電圧を変動させる。複数の自己消弧型半導体素子２０ｃの間で、ゲート－ソース間電圧が変動する。複数の自己消弧型半導体素

子２０ｃのうちの一つの自己消弧型半導体素子２０ｃのドレイン－ソース間電流が急増して、この一つの自己消弧型半導体素子２０ｃが破壊されるおそれがある。

[0264] しかし、本実施の形態のパワー半導体モジュール１ｅでは、ゲート導電パターン８６は、絶縁基板３１の第３主面３１ｂの平面視において、ソース導電パターン８３の縁８３ａに沿って配置されている。そのため、主電流５５ｃは、ゲート導電パターン８６にも磁束を形成する。この磁束とゲート導電パターン８６の寄生インダクタンスとに起因して、ゲート導電パターン８６に誘導起電力が発生する。この誘導起電力は、複数の自己消弧型半導体素子２０ｃの間でゲート電圧を変動させる。複数の自己消弧型半導体素子２０ｃの間のゲート電圧の変動は、複数の自己消弧型半導体素子２０ｃの間のゲート－ソース間電圧の変動を打ち消す。複数の自己消弧型半導体素子２０ｃのドレイン－ソース間電流が急増することが防止される。複数の自己消弧型半導体素子２０ｃが破壊されることが防止されて、パワー半導体モジュール１ｅの寿命を延ばすことができる。

[0265] 複数の自己消弧型半導体素子２０ｄの各々に印加されるゲート－ソース間電圧を閾値電圧よりも大きくして、複数の自己消弧型半導体素子２０ｄをターンオンさせる。図３０及び図３１に示されるように、主電流５５ｄは、ソース導電パターン８３を流れる。一般に、導電パターンの縁が、導電パターンのうち、電流が最も多く流れる部分である。そのため、図３０及び図３１に示されるように、主電流５５ｄは、ソース導電パターン８３のうち複数の自己消弧型半導体素子２０ｄに近位する縁８３ｂに沿って流れる。

[0266] ソース導電パターン８３を流れる主電流５５ｄは、主電流５５ｄの周りに（例えば、ソース導電パターン８３に）磁束を形成する。この磁束とソース導電パターン８３の寄生インダクタンスとに起因して、ソース導電パターン８３に誘導起電力が発生する。この誘導起電力は、複数の自己消弧型半導体素子２０ｄの間でソース電圧を変動させる。複数の自己消弧型半導体素子２０ｄの間で、ゲート－ソース間電圧が変動する。複数の自己消弧型半導体素

子２０ｄのうちの一つの自己消弧型半導体素子２０ｄのドレイン－ソース間電流が急増して、この一つの自己消弧型半導体素子２０ｄが破壊されるおそれがある。

[0267] しかし、本実施の形態のパワー半導体モジュール１ｅでは、ゲート導電パターン８６ｂは、絶縁基板３１の第３主面３１ｂの平面視において、ソース導電パターン８３の縁８３ｂに沿って配置されている。そのため、主電流５５ｄは、ゲート導電パターン８６ｂにも磁束を形成する。この磁束とゲート導電パターン８６ｂの寄生インダクタンスとに起因して、ゲート導電パターン８６ｂに誘導起電力が発生する。この誘導起電力は、複数の自己消弧型半導体素子２０ｄの間でゲート電圧を変動させる。複数の自己消弧型半導体素子２０ｄの間のゲート電圧の変動は、複数の自己消弧型半導体素子２０ｄの間のゲート－ソース間電圧の変動を打ち消す。複数の自己消弧型半導体素子２０ｄのドレイン－ソース間電流が急増することが防止される。複数の自己消弧型半導体素子２０ｄが破壊されることが防止されて、パワー半導体モジュール１ｅの寿命を延ばすことができる。

[0268] 本実施の形態のパワー半導体モジュール１ｅは、実施の形態３のパワー半導体モジュール１ｃの効果に加えて、以下の効果を奏する。

[0269] 本実施の形態のパワー半導体モジュール１ｅは、複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｃ）と、複数の第２導電接合部材（複数の導電接合部材２５ｃ）と、複数の第２導電ゲートワイヤ（複数の導電ゲートワイヤ５０ｃ）とをさらに備える。絶縁回路基板１０は、絶縁板１２の第１主面１２ａ上に設けられており、かつ、第１導電回路パターン１３から電気的に絶縁されている第２導電回路パターン１３ｂをさらに含む。プリント配線基板３０は、第１ソース導電パターン（ソース導電パターン３３）から電気的に絶縁されている第２ソース導電パターン（ソース導電パターン８３）と、第１ゲート導電パターン（ゲート導電パターン３６）から電気的に絶縁されている第２ゲート導電パターン（ゲート導電パターン８６）とをさらに含む。複数の第２自己消弧型半導体素子は、それぞれ、第２ソー

ス電極（ソース電極２２ｃ）と、第２ゲート電極（ゲート電極２３ｃ）と、第２ドレイン電極（ドレイン電極２１ｃ）とを含む。

[0270] 複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｃ）の第２ドレイン電極（ドレイン電極２１ｃ）は、第２導電回路パターン１３ｂに接合されている。複数の第２自己消弧型半導体素子の第２ソース電極（ソース電極２２ｃ）は、複数の第２導電接合部材（複数の導電接合部材２５ｃ）によって、第２ソース導電パターン（ソース導電パターン８３）に接合されている。複数の第２導電ゲートワイヤ（複数の導電ゲートワイヤ５０ｃ）は、複数の第２自己消弧型半導体素子の第２ゲート電極（ゲート電極２３ｃ）と第２ゲート導電パターン（ゲート導電パターン８６）とを互いに接続している。絶縁基板３１の第３主面３１ｂの平面視において、第２ゲート導電パターン（ゲート導電パターン８６）の第２長手方向（第１方向（ｘ方向））は、複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｃ）の第２配列方向（第１方向（ｘ方向））である。

[0271] そのため、本実施の形態のパワー半導体モジュール１ｅは、実施の形態３のパワー半導体モジュール１ｃと同様に、パワー半導体モジュール１ｅの動作周波数を増加させながら、パワー半導体モジュール１ｅの寿命を延ばすことができ、かつ、ゲート電圧発振を低減または抑制することができる。また、パワー半導体モジュール１ｅを、第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）を含む上アーム７３と、第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｃ）を含む下アーム７４とを含む２ｉｎ１型モジュールとすることができる。

[0272] 本実施の形態のパワー半導体モジュール１ｅでは、第２ゲート導電パターン（ゲート導電パターン８６）は、絶縁基板３１の第３主面３１ｂ上に設けられている。絶縁基板３１の第３主面３１ｂの平面視において、第２ゲート電極（ゲート電極２３ｃ）は、絶縁基板３１から露出している。

[0273] パワー半導体モジュール１ｅによれば、実施の形態３のパワー半導体モジュール１ｃと同様に、複数の第２導電ゲートワイヤ（複数の導電ゲートワイ

ヤ５０ｃ）の各々の寄生インダクタンス及び寄生インピーダンスを増加させることができて、ゲート電圧発振を低減または抑制することができる。また、パワー半導体モジュール１ｅによれば、実施の形態３のパワー半導体モジュール１ｃと同様に、複数の第２導電ゲートワイヤは、複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｃ）の第２ゲート電極（ゲート電極２３ｃ）と第２ゲート導電パターン（ゲート導電パターン８６）とに容易にボンディングされ得る。

[0274] 本実施の形態のパワー半導体モジュール１ｅでは、第２ゲート導電パターン（ゲート導電パターン８６）の第２長手方向（第１方向（ｘ方向））における第２ゲート導電パターン（ゲート導電パターン８６）の第３長さ（長さL_{g3}）は、複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｃ）の第２配列方向（第１方向（ｘ方向））における複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｃ）の第４長さ（長さL_{c3}）以上である。

[0275] そのため、第２ゲート導電パターン（ゲート導電パターン８６）の第３長さ（長さL_{g3}）を増加させることができる。第２ゲート導電パターンの寄生インダクタンス及び寄生インピーダンスを増加させることができる。複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｃ）のゲート電圧発振を低減または抑制することができる。

[0276] 本実施の形態のパワー半導体モジュール１ｅでは、絶縁基板３１の第３主面３１ｂの平面視において、第２ゲート導電パターン（ゲート導電パターン８６）は、絶縁基板３１の第１縁３１ｃに沿って配置されている。複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｃ）は、絶縁基板３１の第１縁３１ｃに沿って配置されている。

[0277] そのため、複数の第２導電ゲートワイヤ（複数の導電ゲートワイヤ５０ｃ）は、複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｃ）の第２ゲート電極（ゲート電極２３ｃ）と第２ゲート導電パターン（ゲート導電パターン８６）とに容易にボンディングされ得る。

[0278] 本実施の形態のパワー半導体モジュール１ｅでは、第２ゲート導電パターン（ゲート導電パターン８６）のうち、第３主面の平面視において第２ゲート導電パターンの第２長手方向（第１方向（ｘ方向））で複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｃ）に対応する第２ゲート導電パターン部分（部分８６ｐ）の第３幅（幅w_{g3}）は、第１ソース導電パターンのうち、第３主面の平面視において第２ゲート導電パターンの第２長手方向（第１方向（ｘ方向））で複数の第２自己消弧型半導体素子に対応する第２ソース導電パターン部分（部分８３ｐ）の第４幅（幅w_{s3}）より小さい。第２ゲート導電パターン部分（部分８６ｐ）の第３幅は、第２ゲート導電パターンの第２長手方向（第１方向（ｘ方向））に垂直な第２ゲート導電パターンの第２短手方向における第２ゲート導電パターン部分（部分８６ｐ）の長さである。第２ソース導電パターン部分（部分８３ｐ）の第４幅は、第２ゲート導電パターンの第２短手方向における第２ソース導電パターン部分（部分８３ｐ）の長さである。

[0279] そのため、第２ソース導電パターン（ソース導電パターン８３）の寄生インダクタンスを低減させることができる。複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｃ）を高周波数で動作させても、複数の第２自己消弧型半導体素子の第２ソース電極（ソース電極２２ｃ）間に発生する誘導起電力を減少させることができる。複数の第２自己消弧型半導体素子の第２ソース電極と第２ドレイン電極（ドレイン電極２１ｃ）との間にサージ電圧が発生することを防ぐことができる。パワー半導体モジュール１ｅの動作周波数を増加させながら、パワー半導体モジュール１ｅの寿命を延ばすことができる。

[0280] また、第２ゲート導電パターン（ゲート導電パターン８６）の寄生インダクタンス及び寄生インピーダンスを増加させることができる。第２ゲート導電パターンの増加された寄生インピーダンスは、ゲート電圧発振を減衰させる。こうして、複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｃ）のゲート電圧発振を低減または抑制することができる。

[0281] 本実施の形態のパワー半導体モジュール１ｅは、第１電極端子（電極端子６２）と、第２電極端子（電極端子４２）とをさらに備える。第１電極端子は、複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）の第１ソース電極（ソース電極２２ａ）と第１ドレイン電極（ドレイン電極２１ａ）との間を流れる第１主電流（主電流５５，５５ｂ）の第１経路の、パワー半導体モジュール１ｅにおける第１経路端である。第２電極端子は、第１主電流の第１経路の、パワー半導体モジュール１ｅにおける第２経路端である。第１電極端子は、導電ワイヤ無しに、第１ソース導電パターン（ソース導電パターン３３）を介して、複数の第１自己消弧型半導体素子の第１ソース電極に電気的に接続されている。第２電極端子は、導電ワイヤ無しに、第１導電回路パターン１３を介して、複数の第１自己消弧型半導体素子の第１ドレイン電極に電気的に接続されている。

[0282] そのため、第１電極端子（電極端子６２）から複数の第１自己消弧型半導体素子（複数の自己消弧型半導体素子２０ａ）の第１ソース電極（ソース電極２２ａ）に至る第１ソースラインの寄生インダクタンスを減少させることができる。第２電極端子（電極端子４２）から複数の第１自己消弧型半導体素子の第１ドレイン電極（ドレイン電極２１ａ）に至る第１ドレインラインの寄生インダクタンスを減少させることができる。そのため、複数の第１自己消弧型半導体素子の第１ソース電極と第１ドレイン電極との間にサージ電圧が発生することを防ぐことができる。パワー半導体モジュール１ｅの動作周波数を増加させながら、パワー半導体モジュール１ｅの寿命を延ばすことができる。

[0283] 本実施の形態のパワー半導体モジュール１ｅは、第３電極端子（電極端子４４）と、第４電極端子（電極端子６４）とをさらに備える。第３電極端子は、第２ソース電極（ソース電極２２ｃ）と第２ドレイン電極（ドレイン電極２１ｃ）との間を流れる第２主電流（主電流５５ｃ，５５ｄ）の第２経路の、パワー半導体モジュール１ｅにおける第３経路端である。第４電極端子は、第２主電流の第２経路の、パワー半導体モジュール１ｅにおける第４経

路端である。第３電極端子は、導電ワイヤ無しに、第２ソース導電パターン（ソース導電パターン８３）を介して、第２ソース電極に電気的に接続されている。第４電極端子は、導電ワイヤ無しに、第２導電回路パターン１３ｂを介して、第２ドレイン電極に電気的に接続されている。

[0284] そのため、第３電極端子（電極端子４４）から複数の第２自己消弧型半導体素子（複数の自己消弧型半導体素子２０ｃ）の第２ソース電極（ソース電極２２ｃ）に至る第２ソースラインの寄生インダクタンスを減少させることができる。第４電極端子（電極端子６４）から複数の第２自己消弧型半導体素子の第２ドレイン電極（ドレイン電極２１ｃ）に至る第２ドレインラインの寄生インダクタンスを減少させることができる。そのため、複数の第２自己消弧型半導体素子の第２ソース電極と第２ドレイン電極との間にサージ電圧が発生することを防ぐことができる。パワー半導体モジュール１ｅの動作周波数を増加させながら、パワー半導体モジュール１ｅの寿命を延ばすことができる。

[0285] 実施の形態６．

本実施の形態は、上述した実施の形態１から実施の形態５のパワー半導体モジュール１，１ｂ，１ｃ，１ｄ，１ｅを電力変換装置に適用したものである。本開示は特定の電力変換装置に限定されるものではないが、以下、実施の形態６として、三相のインバータに本開示のパワー半導体モジュール１，１ｂ，１ｃ，１ｄ，１ｅを適用した場合について説明する。

[0286] 図３２に示す電力変換システムは、電源１００、電力変換装置２００、負荷３００から構成される。電源１００は、直流電源であり、電力変換装置２００に直流電力を供給する。電源１００は、特に限定されないが、例えば、直流系統、太陽電池または蓄電池で構成されてもよいし、交流系統に接続された整流回路またはＡＣ／ＤＣコンバータで構成されてもよい。電源１００は、直流系統から出力される直流電力を別の直流電力に変換するＤＣ／ＤＣコンバータによって構成されてもよい。

[0287] 電力変換装置２００は、電源１００と負荷３００の間に接続された三相の

インバータであり、電源１００から供給された直流電力を交流電力に変換し、負荷３００に交流電力を供給する。電力変換装置２００は、図３２に示されるように、直流電力を交流電力に変換して出力する主変換回路２０１と、主変換回路２０１を制御する制御信号を主変換回路２０１に出力する制御回路２０３とを備えている。

[0288] 負荷３００は、電力変換装置２００から供給された交流電力によって駆動される三相の電動機である。なお、負荷３００は特定の用途に限られるものではなく、各種電気機器に搭載された電動機であり、例えば、ハイブリッド自動車や電気自動車、鉄道車両、エレベーター、もしくは、空調機器向けの電動機として用いられる。

[0289] 以下、電力変換装置２００の詳細を説明する。主変換回路２０１は、スイッチング素子（図示せず）と還流ダイオード（図示せず）を備えている。スイッチング素子が電源１００から供給される電圧をスイッチングすることによって、主変換回路２０１は、電源１００から供給される直流電力を交流電力に変換して、負荷３００に供給する。主変換回路２０１の具体的な回路構成は種々のものがあるが、本実施の形態の主変換回路２０１は２レベルの三相フルブリッジ回路であり、６つのスイッチング素子とそれぞれのスイッチング素子に逆並列された６つの還流ダイオードとから構成され得る。主変換回路２０１の各スイッチング素子および各還流ダイオードの少なくともいずれかは、上述した実施の形態１から実施の形態５のいずれかのパワー半導体モジュール１，１ｂ，１ｃ，１ｄ，１ｅに相当する半導体装置２０２が有するスイッチング素子又は還流ダイオードである。６つのスイッチング素子は２つのスイッチング素子ごとに直列接続され上下アームを構成し、各上下アームはフルブリッジ回路の各相（Ｕ相、Ｖ相、Ｗ相）を構成する。そして、各上下アームの出力端子、すなわち主変換回路２０１の３つの出力端子は、負荷３００に接続される。

[0290] また、主変換回路２０１は、各スイッチング素子を駆動する駆動回路（図示せず）を備えている。駆動回路は、半導体装置２０２に内蔵されていても

よいし、半導体装置２０２の外部に設けられてもよい。駆動回路は、主変換回路２０１のスイッチング素子を駆動する駆動信号を生成して、主変換回路２０１のスイッチング素子の制御電極に駆動信号を供給する。具体的には、制御回路２０３からの制御信号に従い、スイッチング素子をオン状態にする駆動信号とスイッチング素子をオフ状態にする駆動信号とを各スイッチング素子の制御電極に出力する。スイッチング素子をオン状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以上の電圧信号（オン信号）であり、スイッチング素子をオフ状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以下の電圧信号（オフ信号）となる。

[0291] 制御回路２０３は、負荷３００に電力が供給されるように主変換回路２０１のスイッチング素子を制御する。具体的には、負荷３００に供給すべき電力に基づいて主変換回路２０１の各スイッチング素子がオン状態となるべき時間（オン時間）を算出する。例えば、負荷３００に出力すべき電圧に応じてスイッチング素子のオン時間を変調するＰＷＭ制御によって、主変換回路２０１を制御することができる。そして、各時点においてオン状態となるべきスイッチング素子にはオン信号を、オフ状態となるべきスイッチング素子にはオフ信号が出力されるよう、主変換回路２０１が備える駆動回路に制御指令（制御信号）を出力する。駆動回路は、この制御信号に従い、各スイッチング素子の制御電極にオン信号又はオフ信号を駆動信号として出力する。

[0292] 本実施の形態の電力変換装置では、主変換回路２０１を構成する半導体装置２０２として、実施の形態１から実施の形態５のいずれかのパワー半導体モジュール１，１ｂ，１ｃ，１ｄ，１ｅが適用される。そのため、電力変換装置の電力容量を増加させるとともに、電力変換装置の寿命を延ばすことができる。

[0293] 本実施の形態では、２レベルの三相インバータに本開示を適用する例を説明したが、本開示は、これに限られるものではなく、種々の電力変換装置に適用することができる。本実施の形態では２レベルの電力変換装置としたが、３レベルの電力変換装置またはマルチレベルの電力変換装置であってもよ

いし、電力変換装置が単相負荷に電力を供給する場合には、単相のインバータに本開示が適用されてもよい。電力変換装置が直流負荷等に電力を供給する場合には、ＤＣ／ＤＣコンバータまたはＡＣ／ＤＣコンバータに本開示が適用され得る。

[0294] 本開示を適用した電力変換装置は、上述した負荷が電動機の場合に限定されるものではなく、例えば、放電加工機やレーザー加工機、又は誘導加熱調理器や非接触給電システムの電源装置として用いることもでき、さらには太陽光発電システムや蓄電システム等のパワーコンディショナーとして用いることも可能である。

[0295] 今回開示された実施の形態１から実施の形態６はすべての点で例示であって制限的なものではないと考えられるべきである。矛盾のない限り、今回開示された実施の形態１から実施の形態６の少なくとも２つを組み合わせてもよい。本開示の範囲は、上記した説明ではなく請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることを意図される。

符号の説明

[0296] １，１ｂ，１ｃ，１ｄ，１ｅ パワー半導体モジュール、１０ 絶縁回路基板、１１ ベース板、１２ 絶縁板、１２ａ 第１主面、１３ 第１導電回路パターン、１３ｂ 第２導電回路パターン、１５ａ，１５ｂ，１５ｃ，１５ｄ，１５ｈ，１５ｉ，１５ｍ，１５ｎ，１５ｐ 導電接合部材、２０ａ，２０ｂ，２０ｃ，２０ｄ 自己消弧型半導体素子、２０ｈ 第１還流ダイオード、２０ｉ 第２還流ダイオード、２１ａ，２１ｂ，２１ｃ，２１ｄ ドレイン電極、２１ｈ 第１カソード電極、２１ｉ 第２カソード電極、２２ａ，２２ｂ，２２ｃ，２２ｄ ソース電極、２２ｈ 第１アノード電極、２２ｉ 第２アノード電極、２３ａ，２３ｂ，２３ｃ，２３ｄ ゲート電極、２５ａ，２５ｂ，２５ｃ，２５ｄ，２５ｈ，２５ｉ，２５ｍ，２５ｎ，２５ｐ 導電接合部材、３０ プリント配線基板、３１ 絶縁基板、３１ａ 第２主面、３１ｂ 第３主面、３１ｃ 第１縁、３１ｄ 第２縁、３１ｅ

第３縁、３１ｆ　第４縁、３２，３８　導電ビア、３３，３５　ソース導電パターン、３３ａ，３３ｂ　縁、３３ｐ，３３ｑ　部分、３４　導電パッド、３６，３６ｂ，３６ｃ　ゲート導電パターン、３６ｐ，３６ｑ　部分、３７　導電パッド、４０　導電ブロック、４２，４４　電極端子、４３，４５　導電接合部材、４６　第１ソース制御端子、４６ｂ　第２ソース制御端子、４７，４７ｂ，４９，４９ｂ　導電ワイヤ、４８　第１ゲート制御端子、４８ｂ　第２ゲート制御端子、５０ａ，５０ｂ，５０ｃ，５０ｄ　導電ゲートワイヤ、５３　ソース導電パターン、５３ａ　縁、５３ｐ　部分、５５，５５ｂ，５５ｃ，５５ｄ　主電流、５７　導電パッド、５８　導電ビア、６２，６４　電極端子、６３，６５　導電接合部材、６６，６８　導電ビア、６７　導電パッド、７０　導電ブロック、７３　上アーム、７４　下アーム、７７　導電パッド、７８　導電ビア、８０　導電ブリッジ、８１ａ，８１ｂ　導電接合部材、８２　導電ビア、８３，８５　ソース導電パターン、８３ａ，８３ｂ　縁、８３ｐ，８３ｑ　部分、８６，８６ｂ，８６ｃ　ゲート導電パターン、８６ｐ，８６ｑ　部分、９０　導電ブロック、１００　電源、２００　電力変換装置、２０１　主変換回路、２０２　半導体装置、２０３　制御回路、３００　負荷。

請求の範囲

[請求項1] 第１主面を含む絶縁板と、前記第１主面上に設けられている第１導電回路パターンとを含む絶縁回路基板と、

複数の第１自己消弧型半導体素子と、

前記第１主面に対向して配置されているプリント配線基板と、

複数の第１導電接合部材と、

複数の第１導電ゲートワイヤとを備え、

前記プリント配線基板は、絶縁基板と、第１ソース導電パターンと、第１ゲート導電パターンとを含み、

前記絶縁基板は、前記第１主面に対向する第２主面と、前記第２主面とは反対側の第３主面とを含み、

前記第３主面の平面視において、前記絶縁基板は、第１縁と、前記第１縁とは反対側の第２縁とを含み、

前記複数の第１自己消弧型半導体素子は、それぞれ、第１ソース電極と、第１ゲート電極と、第１ドレイン電極とを含み、

前記複数の第１自己消弧型半導体素子の前記第１ドレイン電極は、前記第１導電回路パターンに接合されており、

前記複数の第１自己消弧型半導体素子の前記第１ソース電極は、前記複数の第１導電接合部材によって、前記第１ソース導電パターンに接合されており、

前記複数の第１導電ゲートワイヤは、前記複数の第１自己消弧型半導体素子の前記第１ゲート電極と前記第１ゲート導電パターンとを互いに接続しており、

前記第３主面の前記平面視において、前記第１ゲート導電パターンの第１長手方向は、前記複数の第１自己消弧型半導体素子の第１配列方向である、パワー半導体モジュール。

[請求項2] 前記第１ゲート導電パターンの前記第１長手方向における前記第１ゲート導電パターンの第１長さは、前記複数の第１自己消弧型半導体

素子の前記第１配列方向における前記複数の第１自己消弧型半導体素子の第２長さ以上である、請求項１に記載のパワー半導体モジュール。

[請求項3] 前記第３主面の前記平面視において、前記第１ゲート導電パターンは、前記絶縁基板の前記第１縁に沿って配置されており、

前記複数の第１自己消弧型半導体素子は、前記絶縁基板の前記第１縁に沿って配置されている、請求項１または請求項２に記載のパワー半導体モジュール。

[請求項4] 前記第１ソース導電パターンは、前記第２主面上に設けられており、

前記第１ゲート導電パターンは、前記第３主面上に設けられており、かつ、前記第３主面の前記平面視において、前記第１ソース導電パターンの縁に沿って配置されている、請求項１または請求項２に記載のパワー半導体モジュール。

[請求項5] 前記第１ゲート導電パターンのうち、前記第３主面の前記平面視において前記第１ゲート導電パターンの前記第１長手方向で前記複数の第１自己消弧型半導体素子に対応する第１ゲート導電パターン部分の第１幅は、前記第１ソース導電パターンのうち、前記第３主面の前記平面視において前記第１ゲート導電パターンの前記第１長手方向で前記複数の第１自己消弧型半導体素子に対応する第１ソース導電パターン部分の第２幅より小さく、

前記第１ゲート導電パターン部分の前記第１幅は、前記第１長手方向に垂直な前記第１ゲート導電パターンの第１短手方向における前記第１ゲート導電パターン部分の長さであり、

前記第１ソース導電パターン部分の前記第２幅は、前記第１ゲート導電パターンの前記第１短手方向における前記第１ソース導電パターン部分の長さである、請求項１から請求項４のいずれか一項に記載のパワー半導体モジュール。

[請求項6] 前記第３主面の前記平面視において、前記複数の第１導電ゲートワイヤの少なくとも一つは、前記第１ゲート導電パターンの前記第１長手方向に対して斜めの方向に延在している、請求項１から請求項５のいずれか一項に記載のパワー半導体モジュール。

[請求項7] 前記複数の第１導電ゲートワイヤの前記少なくとも一つは、前記複数の第１自己消弧型半導体素子の少なくとも一つの前記第１ゲート電極にボンディングされている第１端と、前記第１ゲート導電パターンにボンディングされている第２端とを有しており、

前記第１ゲート導電パターンの前記第１長手方向における前記第１端と前記第２端との間の間隔は、前記第１ゲート導電パターンの前記第１長手方向における前記複数の第１自己消弧型半導体素子の前記少なくとも一つの幅以下である、請求項６に記載のパワー半導体モジュール。

[請求項8] 第１電極端子と、

第２電極端子とをさらに備え、

前記第１電極端子は、前記第１ソース電極と前記第１ドレイン電極との間を流れる第１主電流の第１経路の、前記パワー半導体モジュールにおける第１経路端であり、

前記第２電極端子は、前記第１主電流の前記第１経路の、前記パワー半導体モジュールにおける第２経路端であり、

前記第１電極端子は、導電ワイヤ無しに、前記第１ソース導電パターンを介して、前記第１ソース電極に電気的に接続されており、

前記第２電極端子は、導電ワイヤ無しに、前記第１導電回路パターンを介して、前記第１ドレイン電極に電気的に接続されている、請求項１から請求項７のいずれか一項に記載のパワー半導体モジュール。

[請求項9] 複数の第２自己消弧型半導体素子と、

複数の第２導電接合部材と、

複数の第２導電ゲートワイヤとをさらに備え、

前記プリント配線基板は、前記第１ゲート導電パターンに電気的に接続されている第２ゲート導電パターンをさらに含み、

前記複数の第２自己消弧型半導体素子は、それぞれ、第２ソース電極と、第２ゲート電極と、第２ドレイン電極とを含み、

前記複数の第２自己消弧型半導体素子の前記第２ドレイン電極は、前記第１導電回路パターンに接合されており、

前記複数の第２自己消弧型半導体素子の前記第２ソース電極は、前記複数の第２導電接合部材によって、前記第１ソース導電パターンに接合されており、

前記複数の第２導電ゲートワイヤは、前記複数の第２自己消弧型半導体素子の前記第２ゲート電極と前記第２ゲート導電パターンとを互いに接続しており、

前記第３主面の前記平面視において、前記第２ゲート導電パターンの第２長手方向は、前記複数の第２自己消弧型半導体素子の第２配列方向である、請求項１から請求項８のいずれか一項に記載のパワー半導体モジュール。

[請求項10] 前記第２ゲート導電パターンのうち、前記第３主面の前記平面視において前記第２ゲート導電パターンの前記第２長手方向で前記複数の第２自己消弧型半導体素子に対応する第２ゲート導電パターン部分の第３幅は、前記第１ソース導電パターンのうち、前記第３主面の前記平面視において前記第２ゲート導電パターンの前記第２長手方向で前記複数の第２自己消弧型半導体素子に対応する第２ソース導電パターン部分の第４幅より小さく、

前記第２ゲート導電パターン部分の前記第３幅は、前記第２長手方向に垂直な前記第２ゲート導電パターンの第２短手方向における前記第２ゲート導電パターン部分の長さであり、

前記第２ソース導電パターン部分の前記第４幅は、前記第２ゲート導電パターンの前記第２短手方向における前記第２ソース導電パター

ン部分の長さである、請求項９に記載のパワー半導体モジュール。

[請求項11] 複数の第２自己消弧型半導体素子と、

複数の第２導電接合部材と、

複数の第２導電ゲートワイヤとをさらに備え、

前記絶縁回路基板は、前記第１主面上に設けられており、かつ、前記第１導電回路パターンから電気的に絶縁されている第２導電回路パターンをさらに含み、

前記プリント配線基板は、前記第１ソース導電パターンから電気的に絶縁されている第２ソース導電パターンと、前記第１ゲート導電パターンから電気的に絶縁されている第２ゲート導電パターンとをさらに含み、

前記複数の第２自己消弧型半導体素子は、それぞれ、第２ソース電極と、第２ゲート電極と、第２ドレイン電極とを含み、

前記複数の第２自己消弧型半導体素子の前記第２ドレイン電極は、前記第２導電回路パターンに接合されており、

前記複数の第２自己消弧型半導体素子の前記第２ソース電極は、前記複数の第２導電接合部材によって、前記第２ソース導電パターンに接合されており、

前記複数の第２導電ゲートワイヤは、前記複数の第２自己消弧型半導体素子の前記第２ゲート電極と前記第２ゲート導電パターンとを互いに接続しており、

前記第３主面の前記平面視において、前記第２ゲート導電パターンの第２長手方向は、前記複数の第２自己消弧型半導体素子の第２配列方向である、請求項１から請求項８のいずれか一項に記載のパワー半導体モジュール。

[請求項12] 前記第３主面の前記平面視において、前記第２ゲート導電パターンの第２短手方向における、前記第２ゲート導電パターンのうち前記複数の第２自己消弧型半導体素子に対応する第２ゲート導電パターン部

分の第３幅は、前記第２短手方向における、前記第２ソース導電パターンのうち前記複数の第２自己消弧型半導体素子に対応する第２ソース導電パターン部分の第４幅より小さく、

前記第２ゲート導電パターンの前記第２短手方向は、前記第２ゲート導電パターンの前記第２長手方向に垂直である、請求項１１に記載のパワー半導体モジュール。

[請求項13] 前記第２ゲート導電パターンの前記第２長手方向における前記第２ゲート導電パターンの第３長さは、前記複数の第２自己消弧型半導体素子の前記第２配列方向における前記複数の第２自己消弧型半導体素子の第４長さ以上である、請求項９から請求項１２のいずれか一項に記載のパワー半導体モジュール。

[請求項14] 前記第３主面の前記平面視において、前記第２ゲート導電パターンは、前記絶縁基板の前記第２縁に沿って配置されており、

前記複数の第２自己消弧型半導体素子は、前記絶縁基板の前記第２縁に沿って配置されている、請求項９から請求項１３のいずれか一項に記載のパワー半導体モジュール。

[請求項15] 前記第３主面の前記平面視において、前記第２ゲート導電パターンは、前記絶縁基板の前記第１縁に沿って配置されており、

前記複数の第２自己消弧型半導体素子は、前記絶縁基板の前記第１縁に沿って配置されている、請求項１１または請求項１２に記載のパワー半導体モジュール。

[請求項16] 第３電極端子と、

第４電極端子とをさらに備え、

前記第３電極端子は、前記第２ソース電極と前記第２ドレイン電極との間を流れる第２主電流の第２経路の、前記パワー半導体モジュールにおける第３経路端であり、

前記第４電極端子は、前記第２主電流の前記第２経路の、前記パワー半導体モジュールにおける第４経路端であり、

前記第３電極端子は、導電ワイヤ無しに、前記第２ソース導電パターンを介して、前記第２ソース電極に電気的に接続されており、

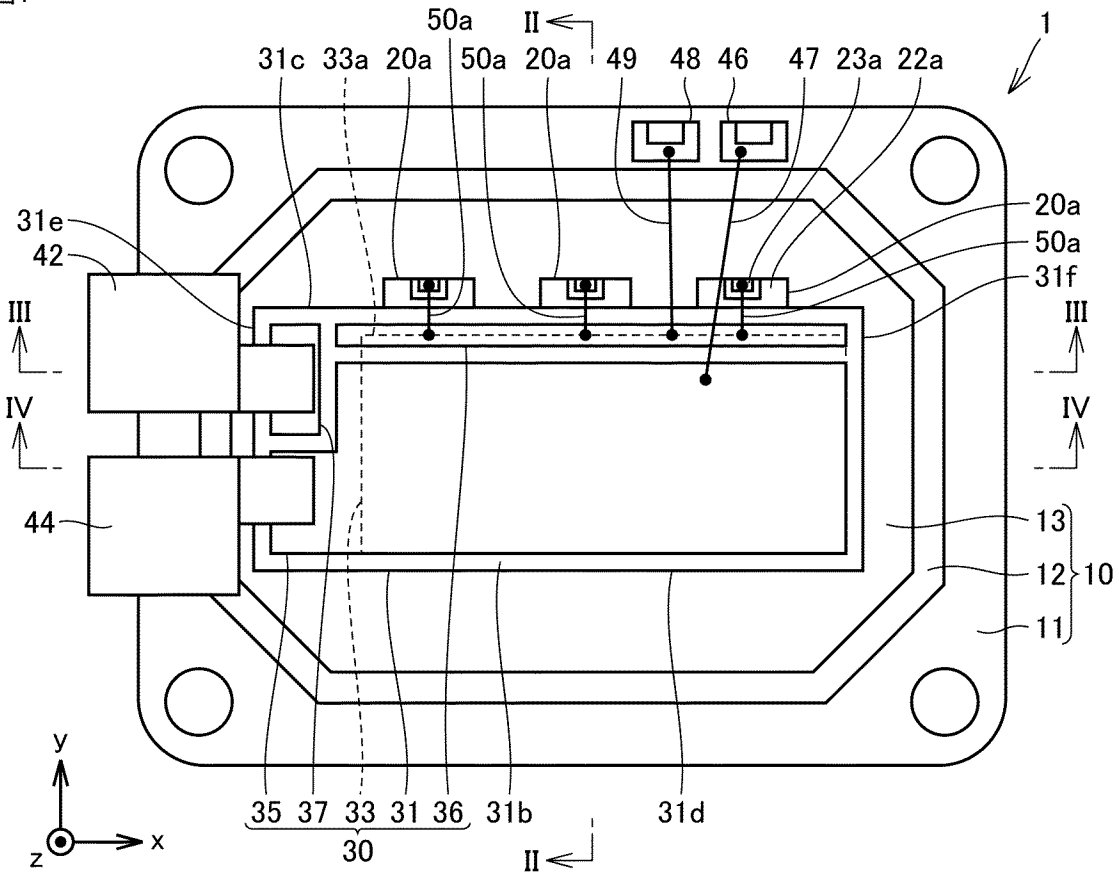
前記第４電極端子は、導電ワイヤ無しに、前記第２導電回路パターンを介して、前記第２ドレイン電極に電気的に接続されている、請求項１１または請求項１２に記載のパワー半導体モジュール。

[請求項17] 請求項１から請求項１６のいずれか一項に記載の前記パワー半導体モジュールを有し、入力される電力を変換して出力する主変換回路と、

前記主変換回路を制御する制御信号を前記主変換回路に出力する制御回路とを備える、電力変換装置。

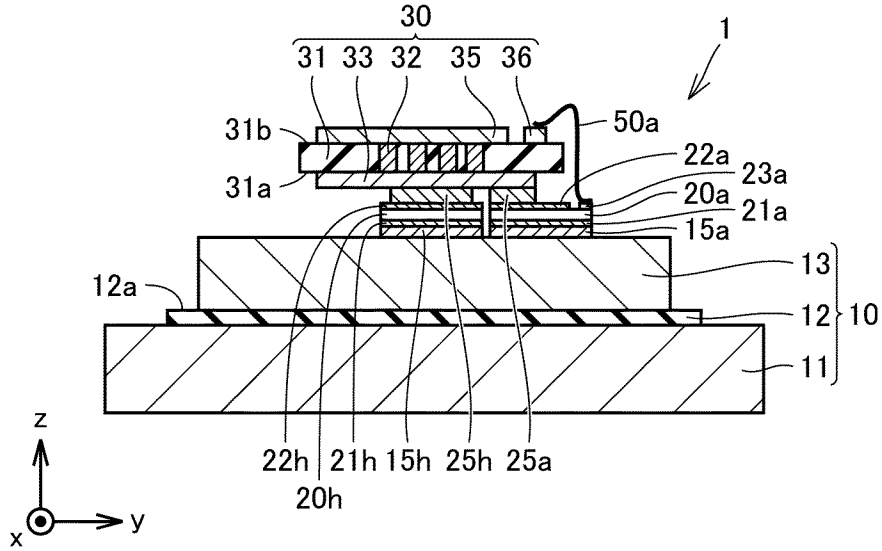
[図1]

図1


50a
II
1
31c 33a 20a 50a 20a 49 48 46 47 23a 22a
31e
42
20a
50a
31f
III
IV
44
13
12
10
11
y
x
z
35 37 33 31 36 31b 31d
30
II

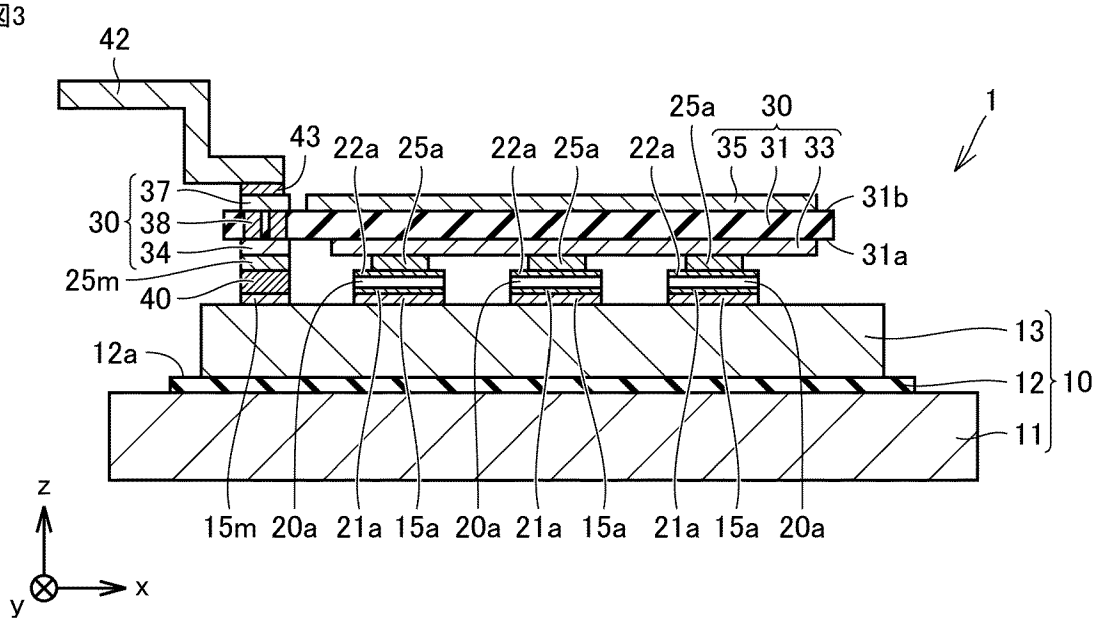
[図2]

図2


30
31 33 32 35 36
1
31b
50a
22a
23a
31a
20a
21a
15a
13
12a
12
10
11
z
x
y
22h 21h 15h 25h 25a
20h

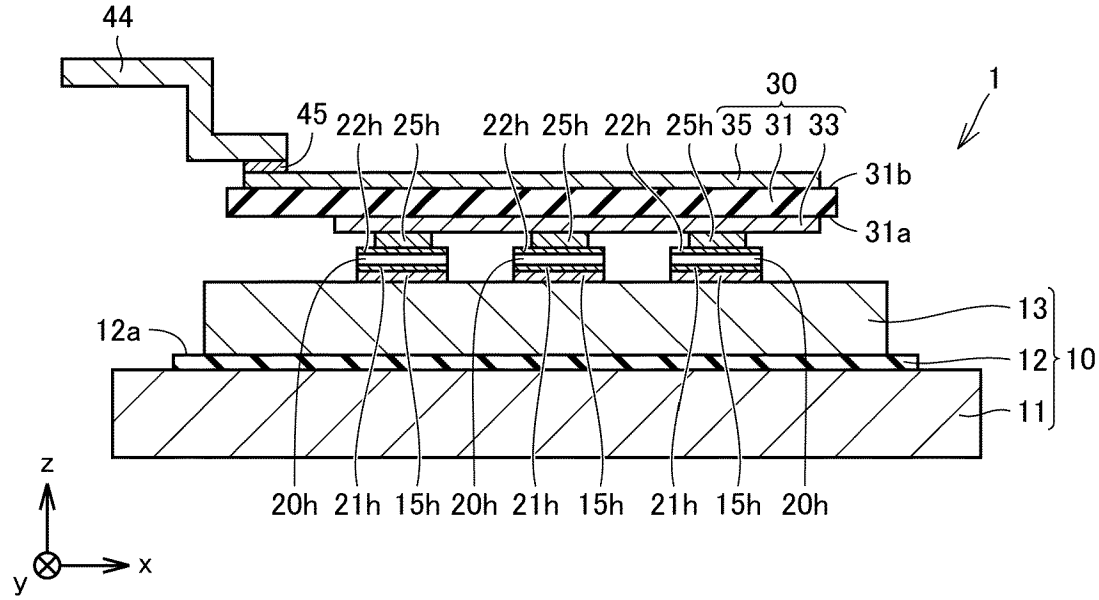
[図3]

図3


42
43
22a 25a
22a 25a
22a
25a
30
35 31 33
1
37
30
38
34
25m
40
31b
31a
13
12a
12
10
11
z
y
x
15m 20a 21a 15a 20a 21a 15a 21a 15a 20a

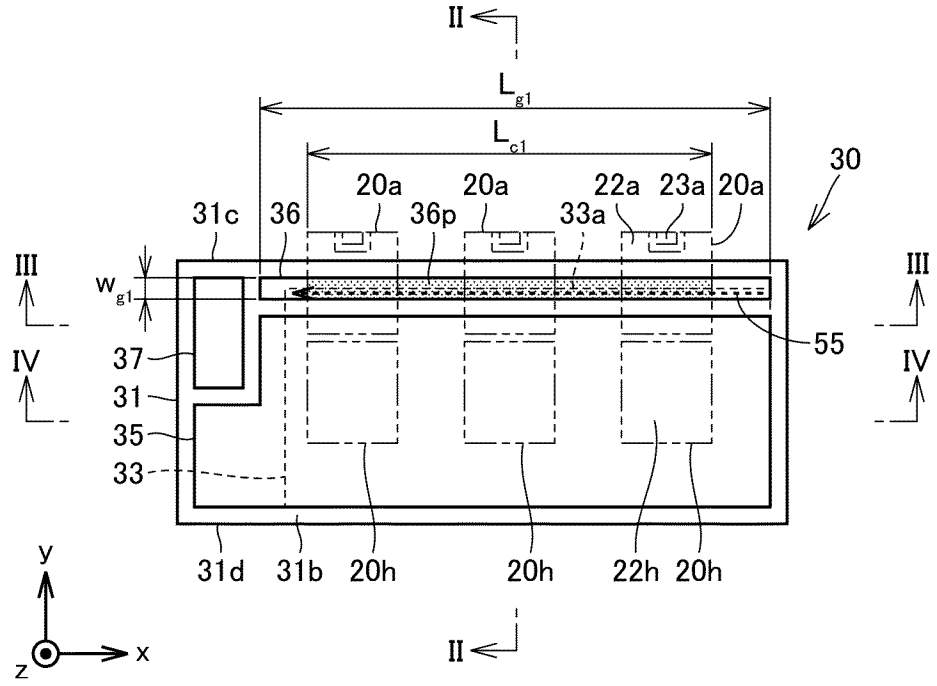
[図4]

図4


44
45
22h 25h
22h 25h 22h 25h
30
35 31 33
1
31b
31a
13
12a
12
10
11
z
y
x
20h 21h 15h 20h 21h 15h 21h 15h 20h

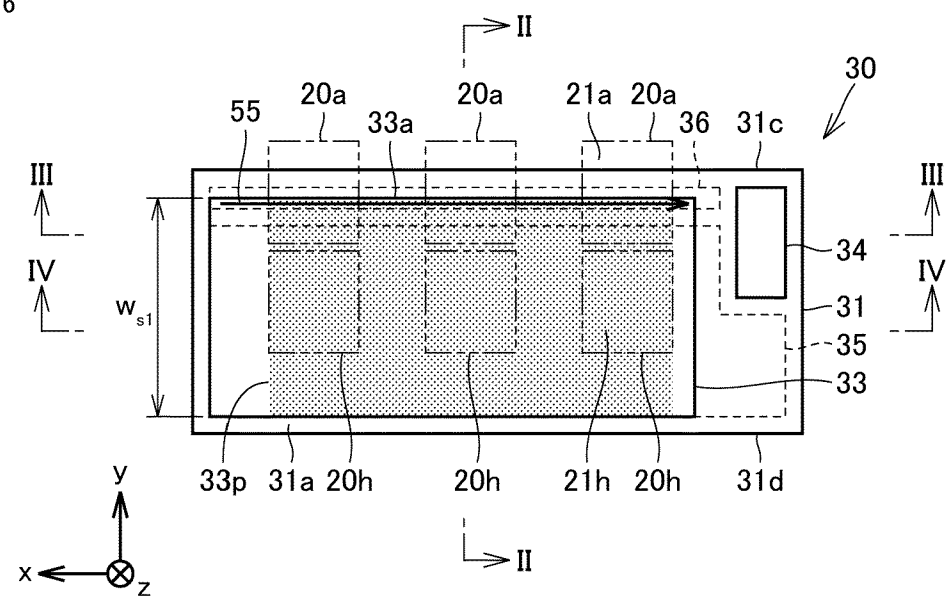
[図5]

図5


II
L_{g1}
L_{c1}
30
20a
20a
22a
23a
20a
31c
36
36p
33a
III
w_{g1}
III
IV
55
IV
37
31
35
33
31d
31b
20h
20h
22h
20h
y
x
z
II

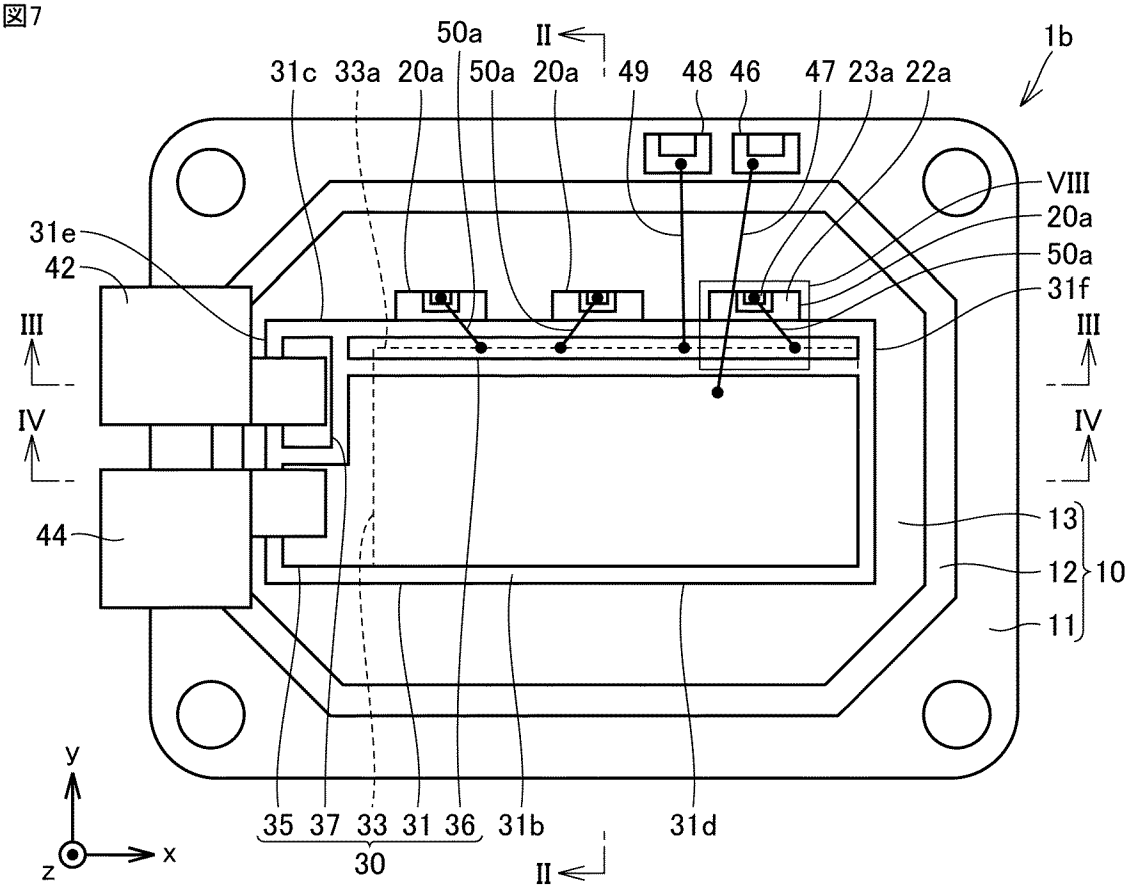
[図6]

図6


II
30
55
20a
20a
21a
20a
33a
36
31c
III
III
34
IV
IV
w_{s1}
31
35
33
33p
31a
20h
20h
21h
20h
31d
y
x
z
II

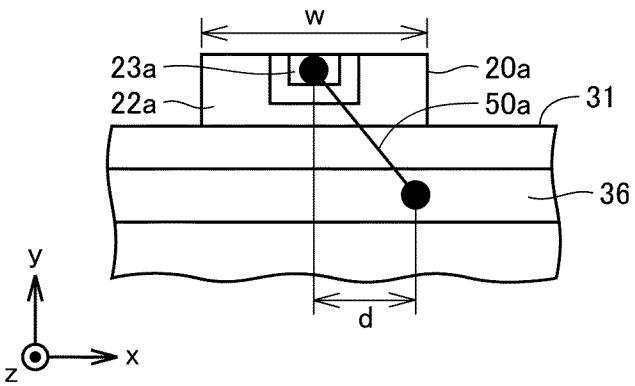
[図7]

図7


50a
II
1b
31c
33a
20a
50a
20a
49
48
46
47
23a
22a
VIII
20a
50a
31f
31e
42
III
IV
44
III
IV
13
12
10
11
y
x
z
35
37
33
31
36
31b
30
31d
II

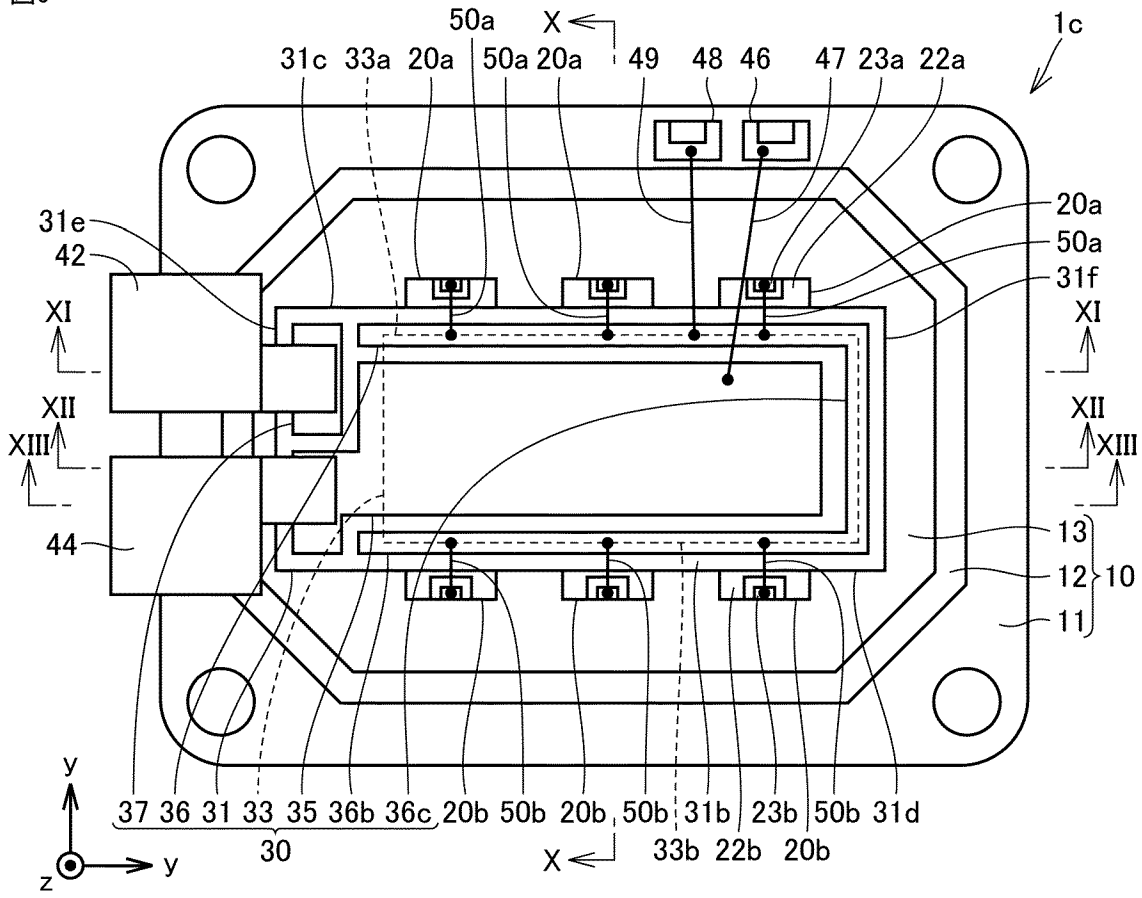
[図8]

図8


w
23a
22a
20a
50a
31
36
d
y
x
z

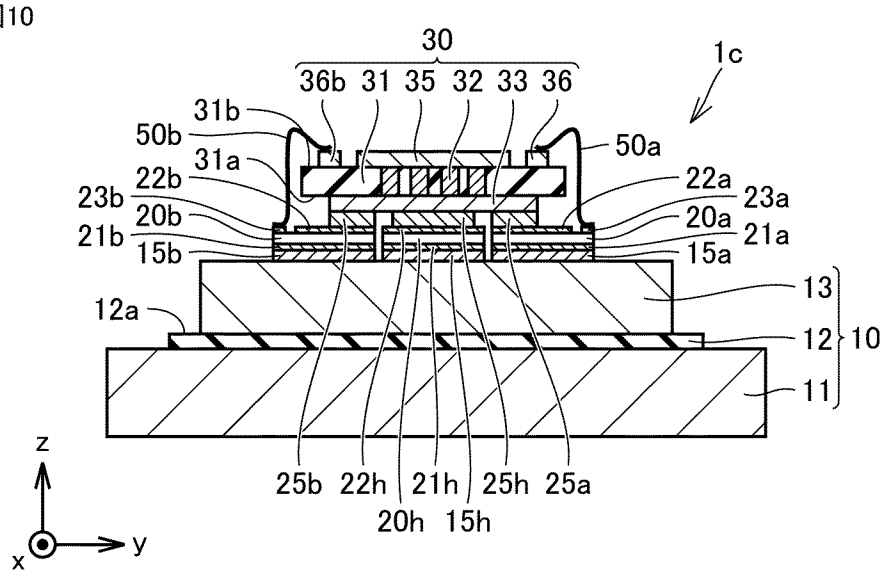
[図9]

図9


50a
X
1c
31c 33a 20a 50a 20a 49 48 46 47 23a 22a
31e
42
XI
XII
XIII
44
20a
50a
31f
13
12
10
11
y
z
37 36 31 33 35 36b 36c 20b 50b 20b 50b 31b 23b 50b 31d
30
33b 22b 20b

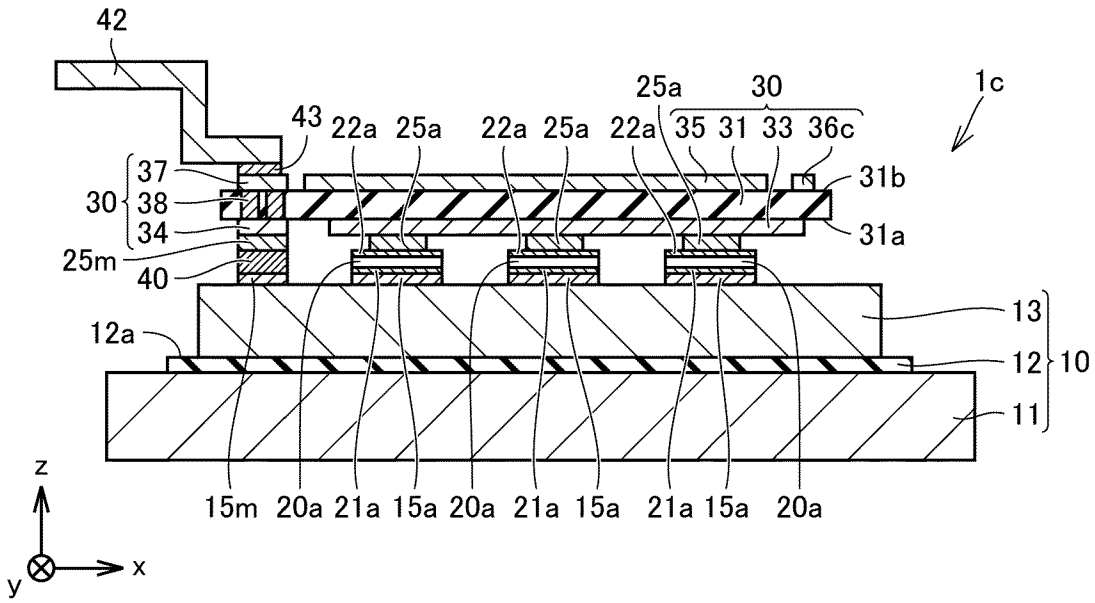
[図10]

図10


30
36b 31 35 32 33 36
1c
31b
50b
31a
22b
23b
20b
21b
15b
50a
22a
23a
20a
21a
15a
13
12a
12
10
11
z
x
y
25b 22h 21h 25h 25a
20h 15h

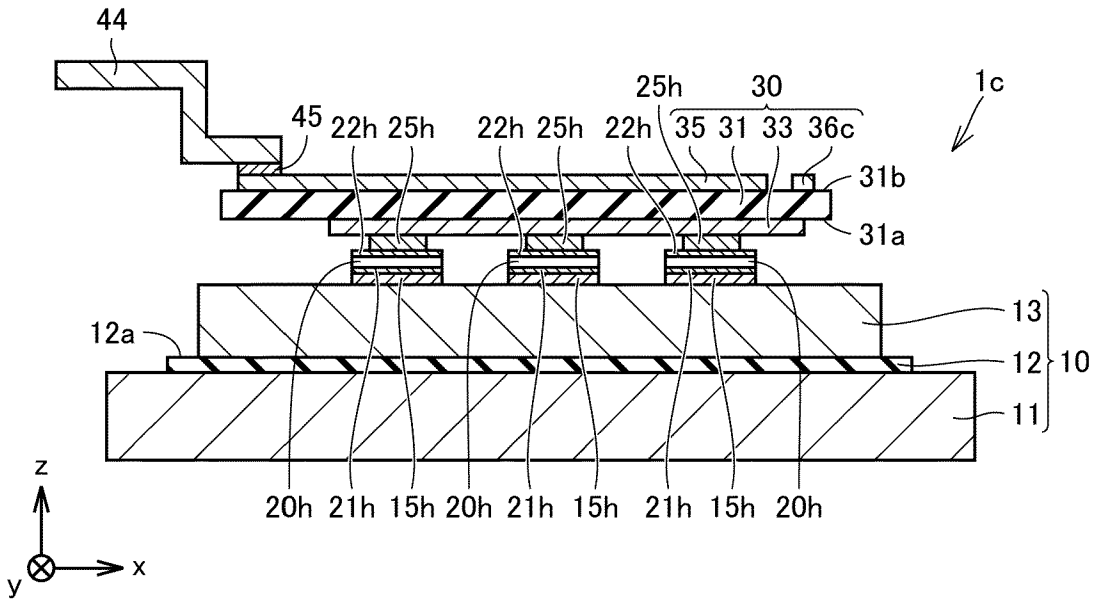
[図11]

図11



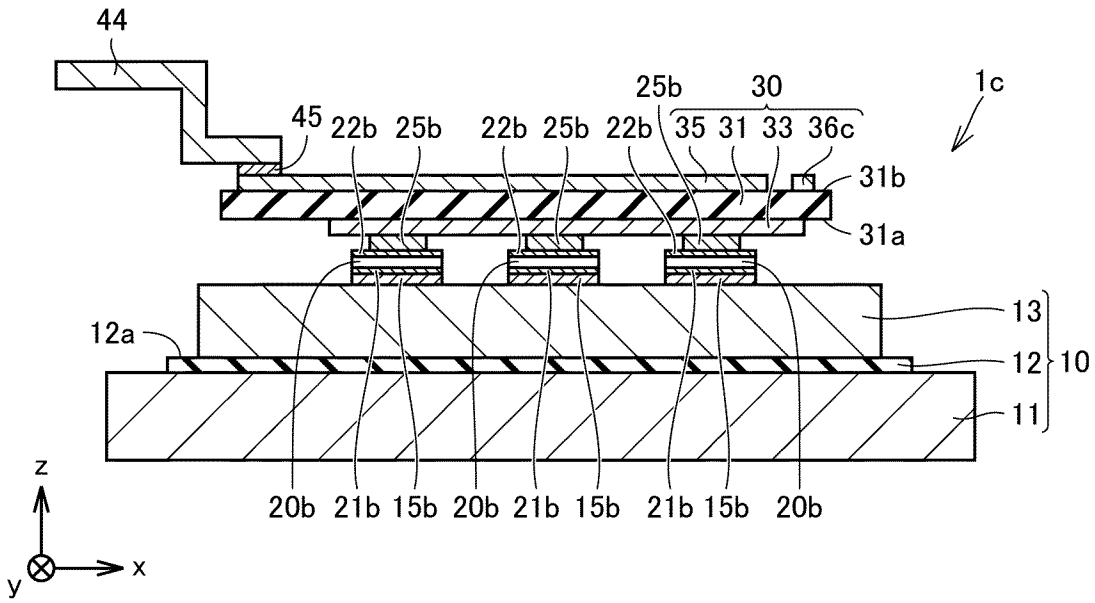
[図12]

図12



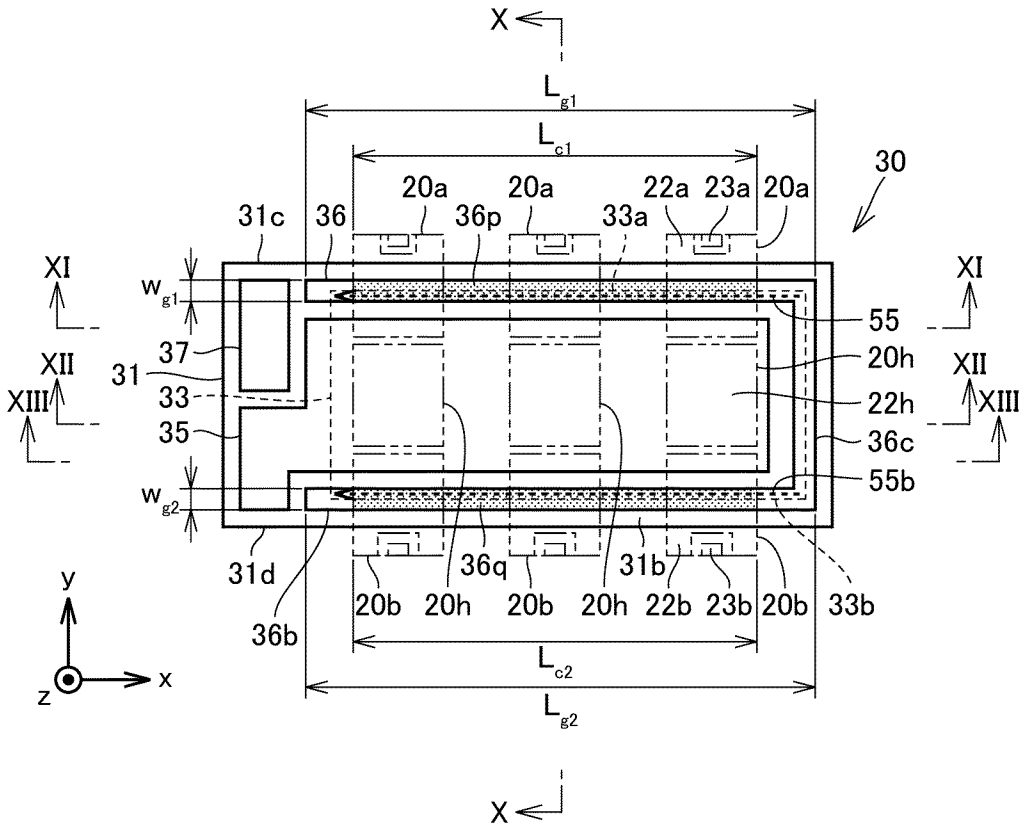
[図13]

図13



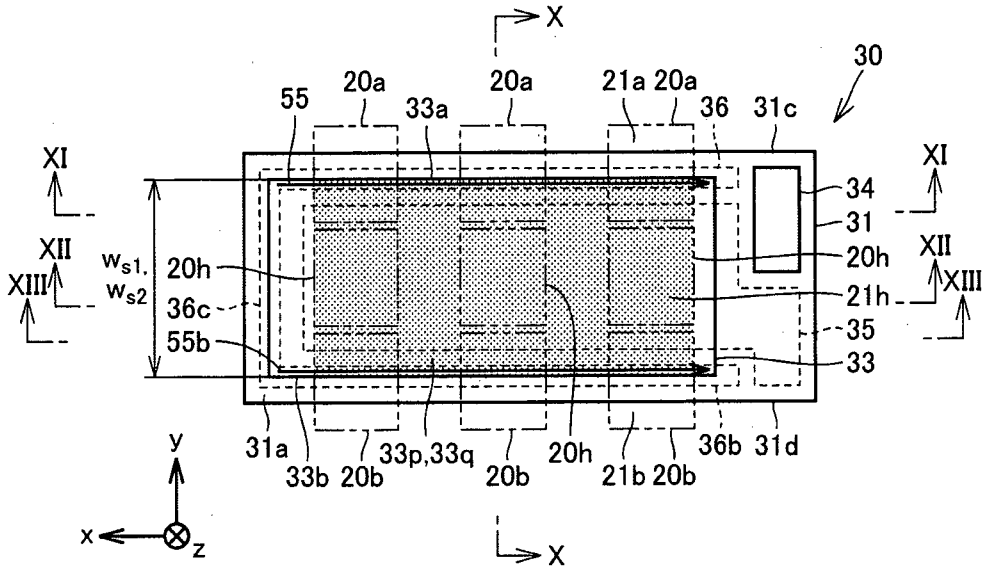
[図14]

図14



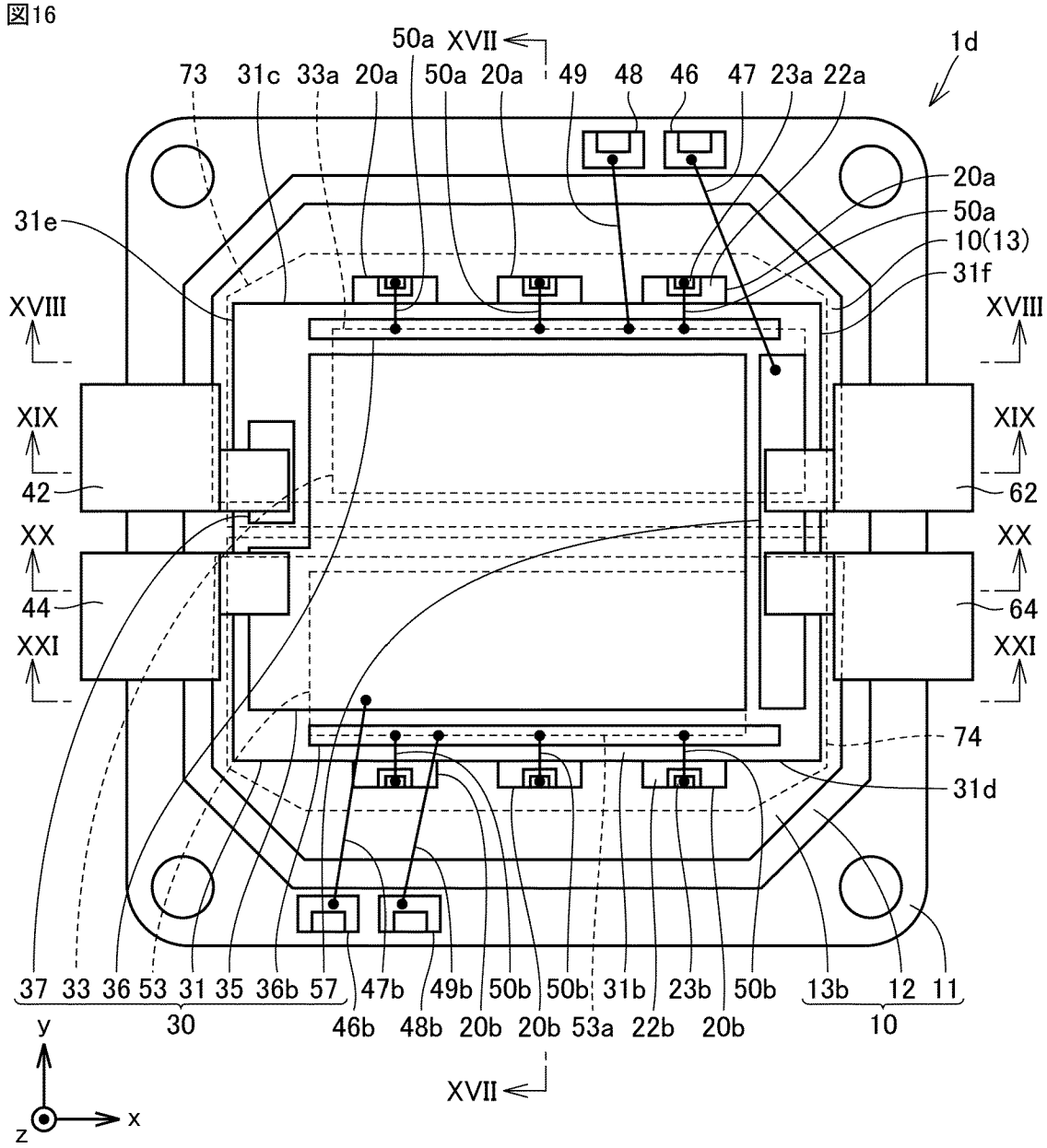
[図15]

図15


X
30
55
20a
20a
33a
21a 20a
36
31c
XI
XII
XIII
w_{s1},
w_{s2}
20h
36c
55b
34
31
20h
21h
35
33
31a
33b 20b
33p,33q
20b
20h
21b 20b
36b 31d
y
x
z
X

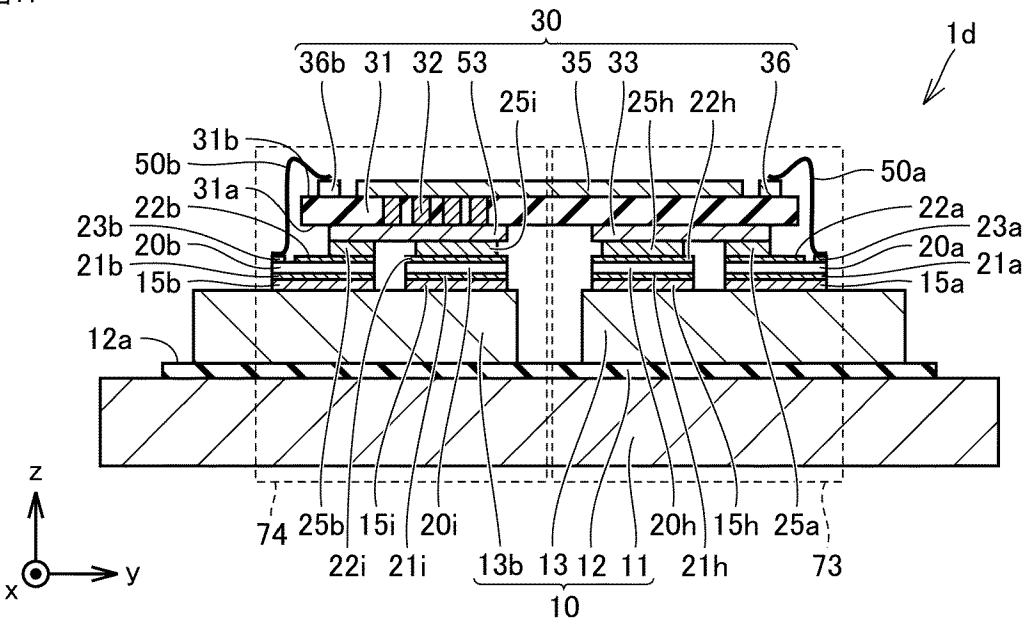
[図16]

図16


50a XVII
1d
73 31c 33a 20a 50a 20a 49 48 46 47 23a 22a
20a
50a
10(13)
31f
31e
XVIII
XVIII
XIX
XIX
42
62
XX
XX
44
64
XXI
XXI
74
31d
37 33 36 53 31 35 36b 57 47b 49b 50b 50b 31b 23b 50b 13b 12 11
30
46b 48b 20b 20b 53a 22b 20b
10
XVII
y
x
z

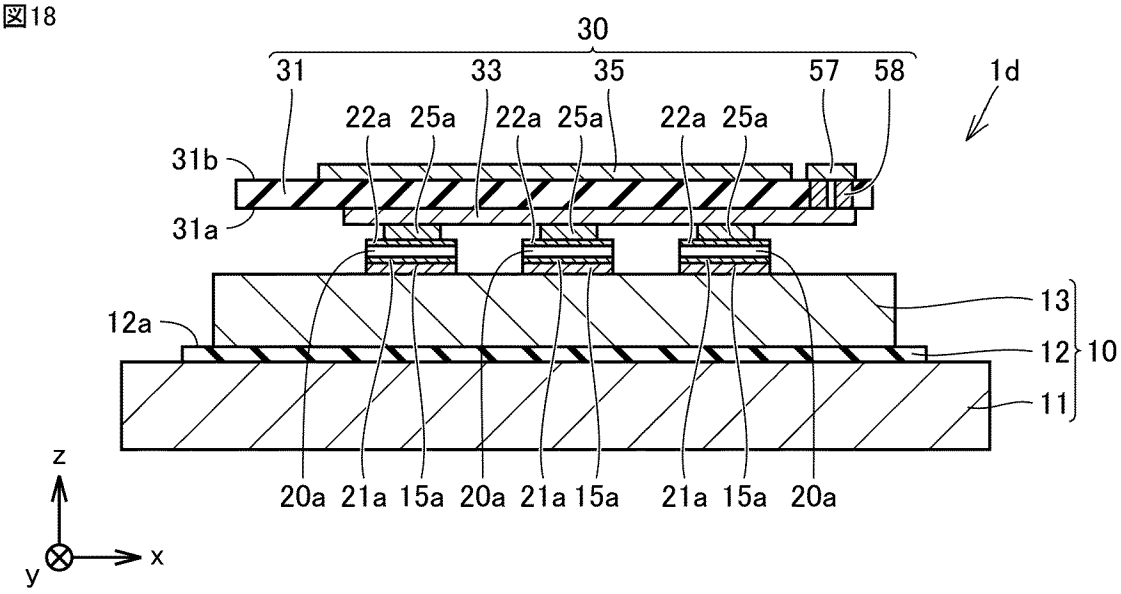
[図17]

図17



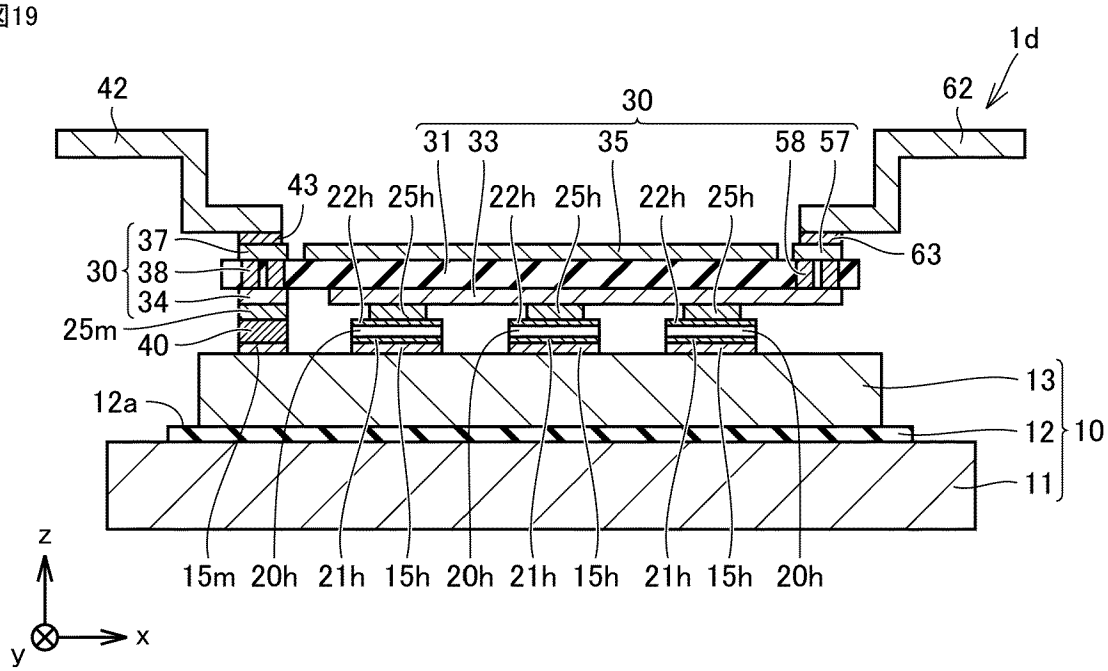
[図18]

図18



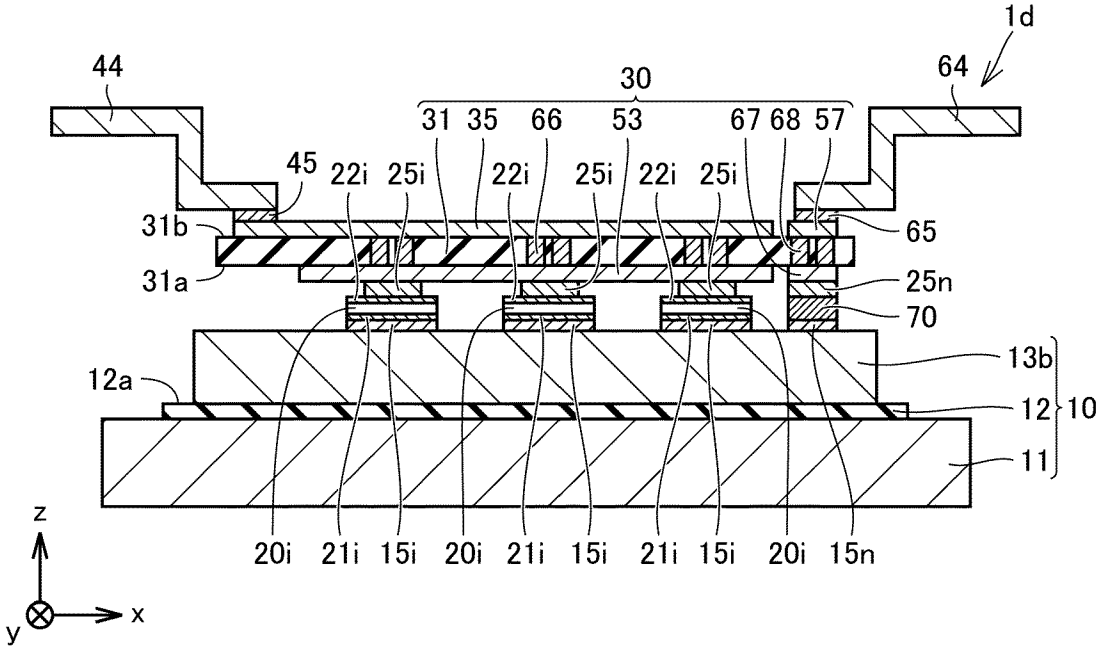
[図19]

図19



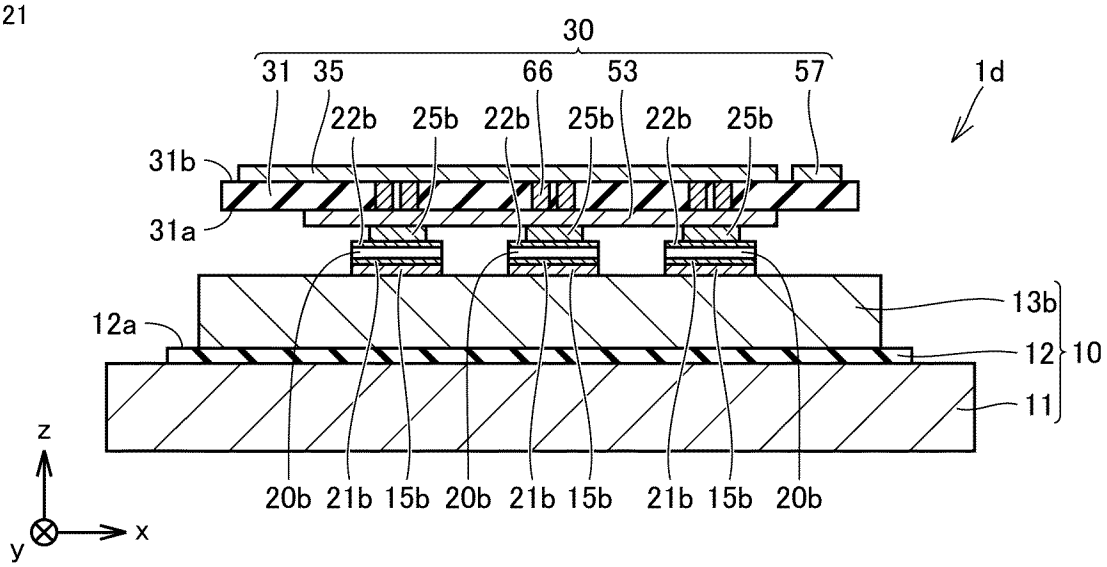
[図20]

図20



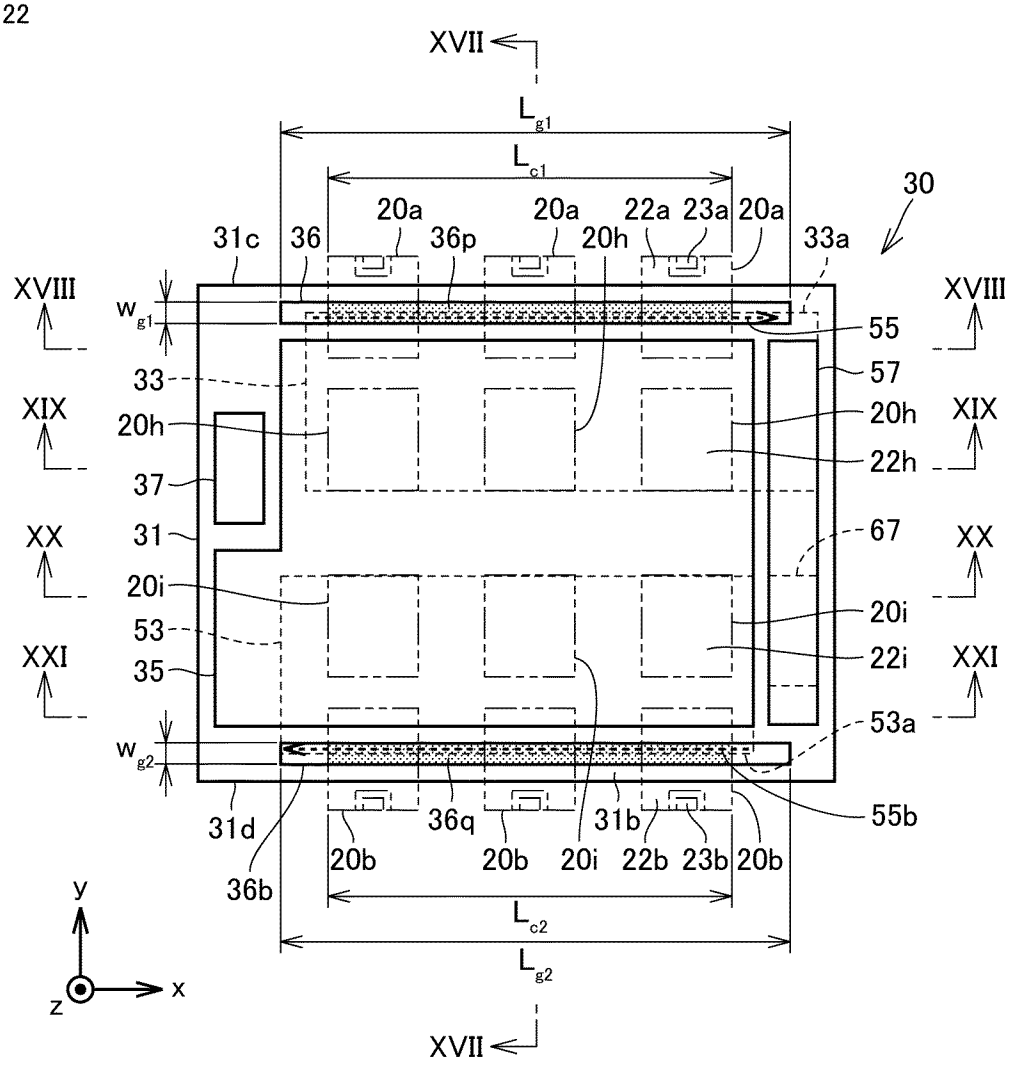
[図21]

図21



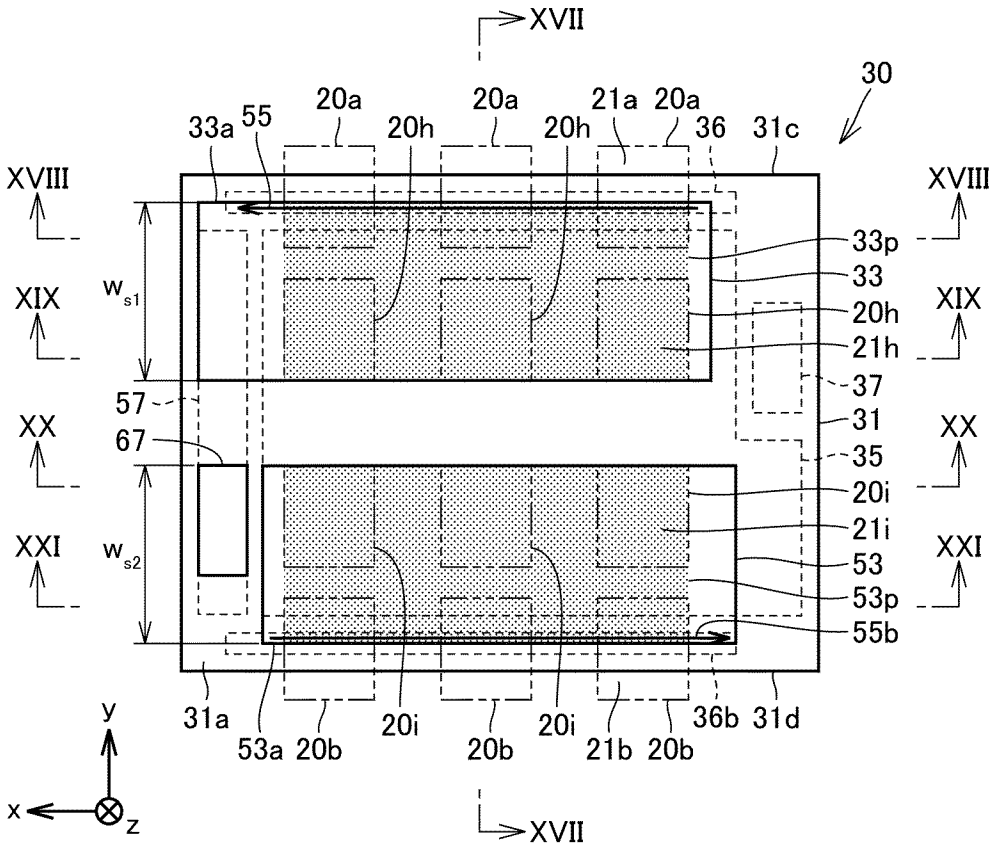
[図22]

図22



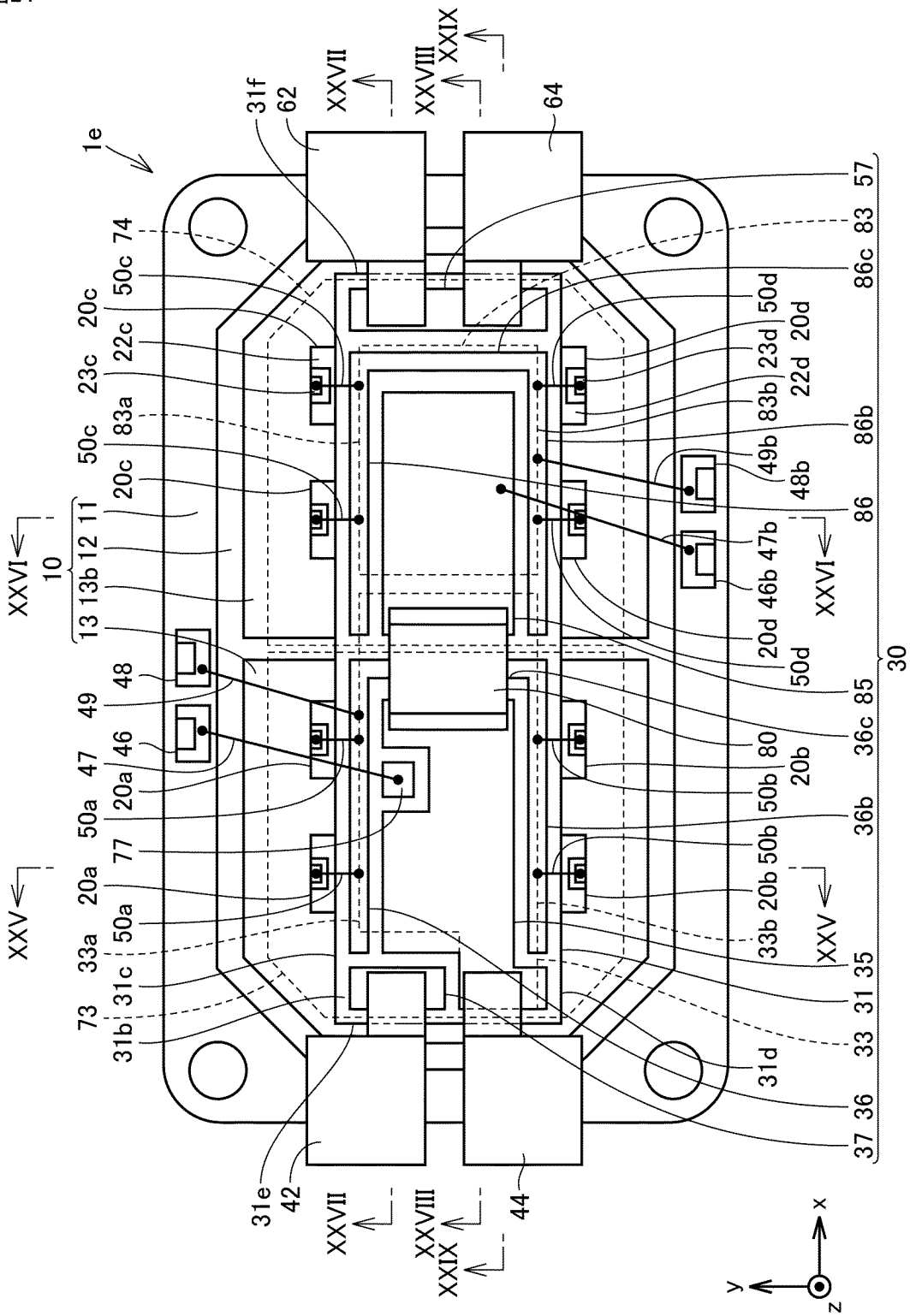
[図23]

図23


XVII
30
33a
55
20a
20h
20a
20h
21a
20a
36
31c
XVIII
XVIII
XIX
XIX
w_{s1}
33p
33
20h
21h
37
31
35
57
67
XX
XX
20i
21i
XXI
XXI
w_{s2}
53
53p
55b
y
x
z
31a
53a
20b
20i
20b
20i
21b
20b
36b
31d
XVII

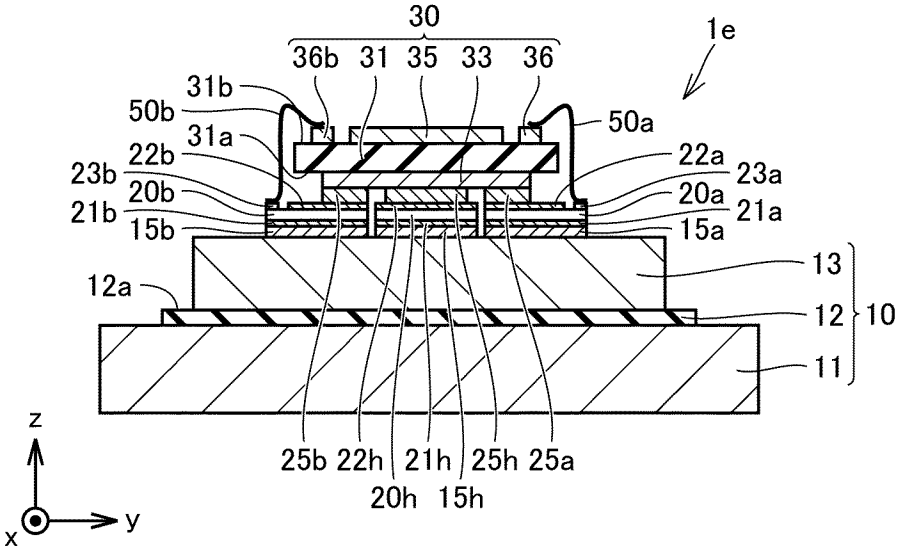
[図24]

図24


1e
31f
62
XXVII
XXVIII
XXIX
64
57
83
86c
50d
20d
23d
22d
86b
83b
49b
48b
86
47b
46b
XXVI
20d
50d
30
85
36c
80
20b
50b
36b
50b
20b
33b
XXV
35
31
33
31d
36
37
31e
42
44
74
50c
20c
22c
23c
83a
50c
20c
11
12
13b
13
10
48
49
46
47
20a
50a
77
20a
50a
33a
31c
73
31b
x
y
z

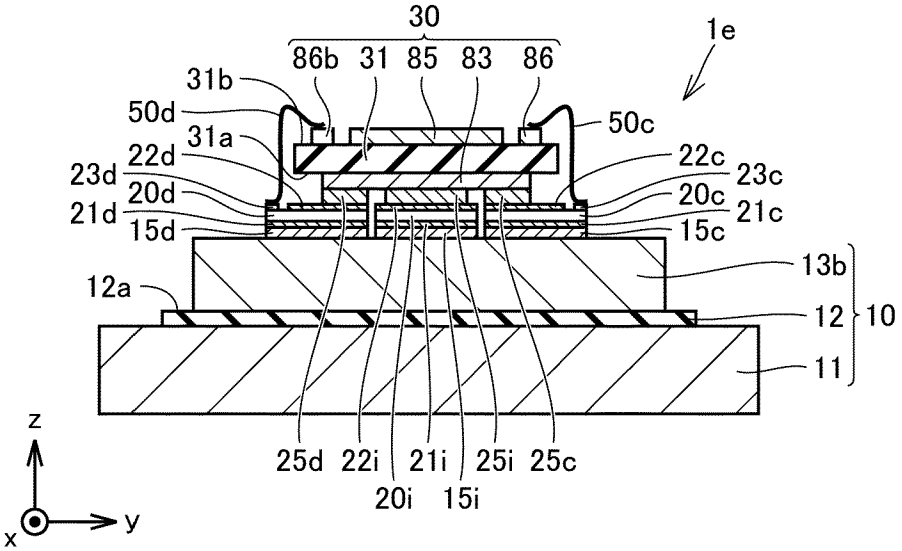
[図25]

図25



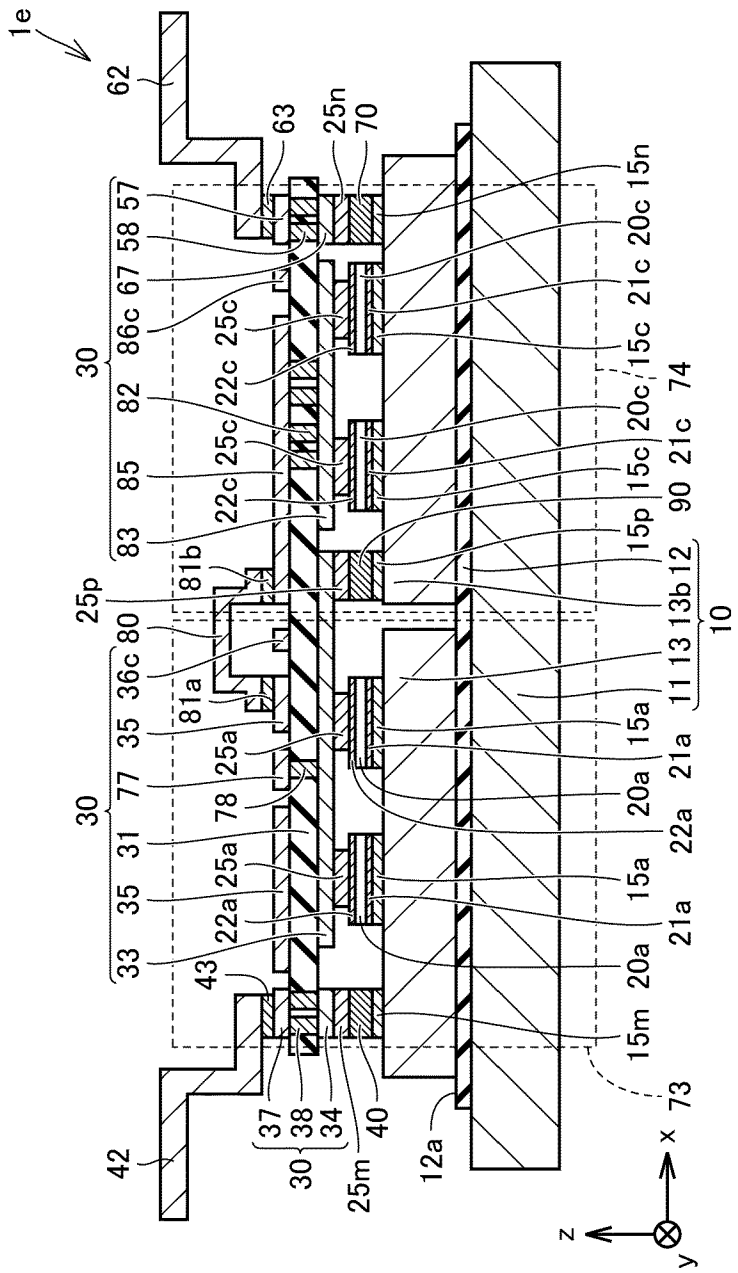
[図26]

図26



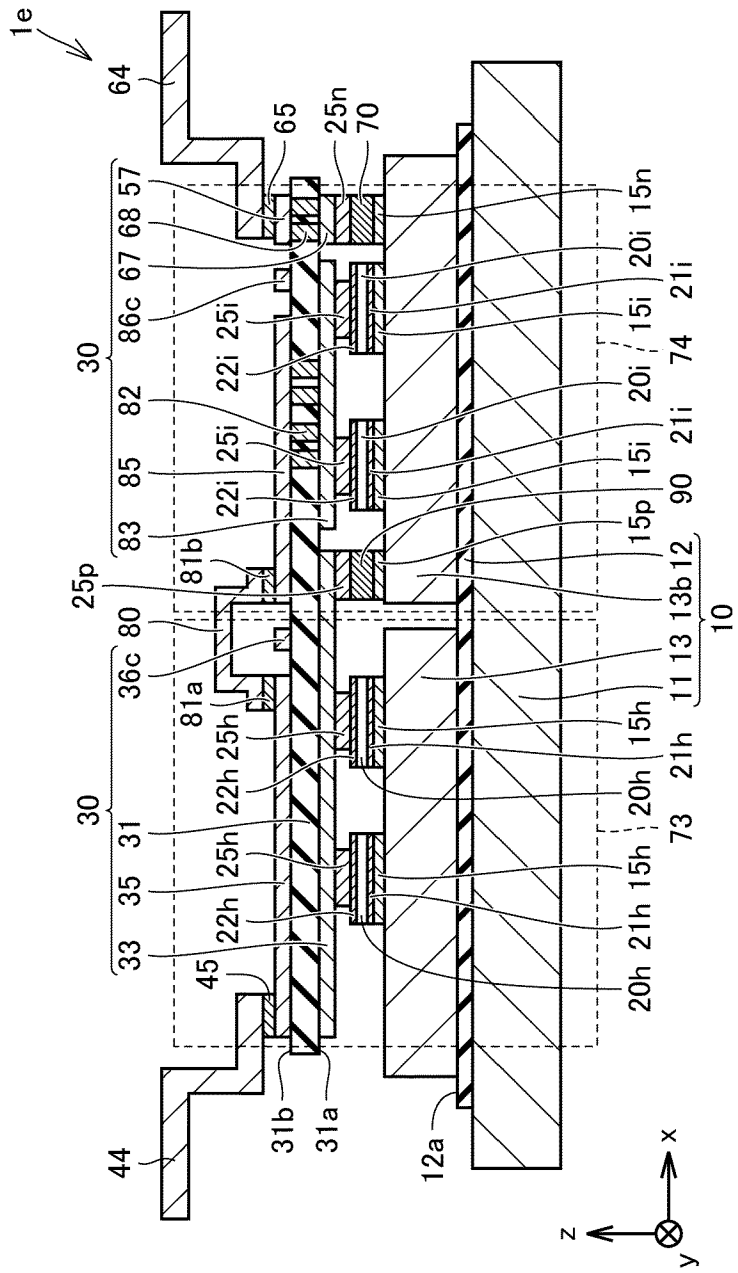
[図27]

図27


1e
62
63
25n
70
57
58
67
86c
25c
22c
82
25c
22c
85
83
81b
25p
80
36c
81a
35
25a
77
78
31
25a
35
22a
33
43
42
37
38
34
40
30
25m
12a
15n
20c
21c
15c
74
20c
21c
15c
90
15p
12
13b
10
11
13
15a
21a
20a
22a
15a
21a
20a
15m
73
x
z
y

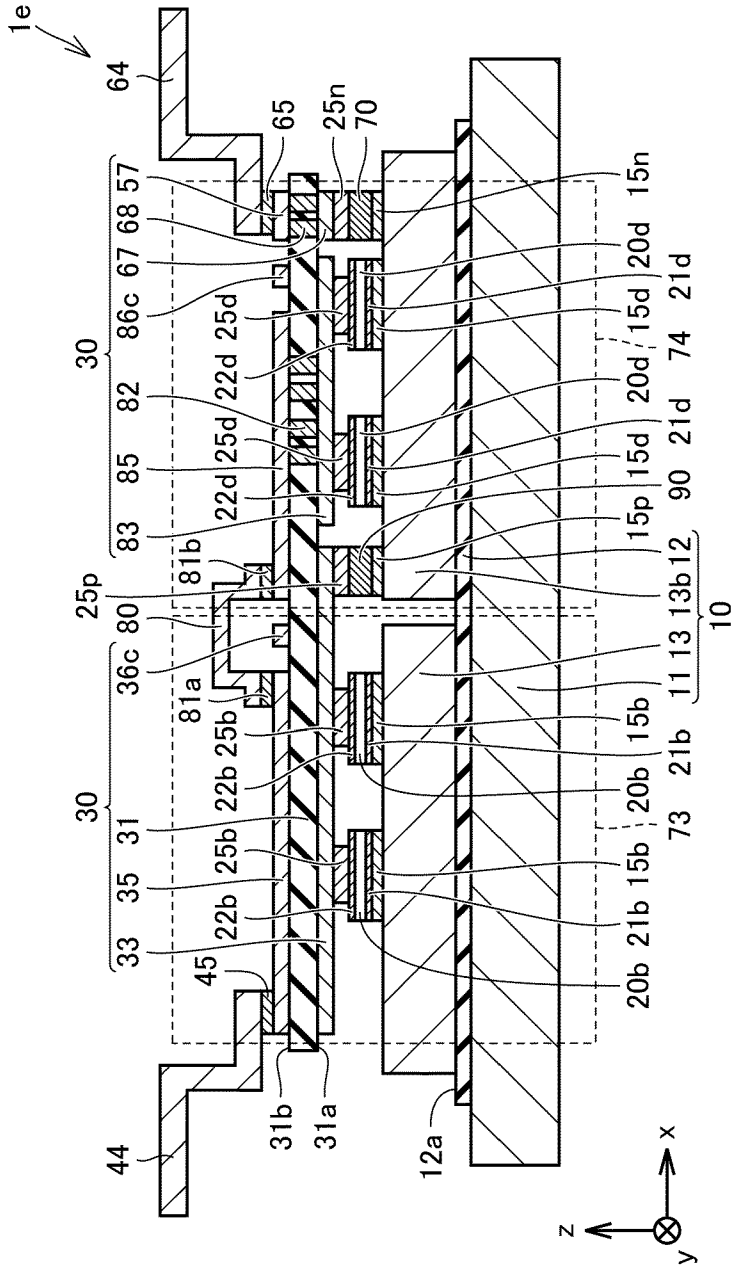
[図28]

図28


1e
64
65
25n
70
57
68
67
86c
25i
22i
82
25i
22i
85
83
81b
25p
80
36c
81a
25h
22h
31
25h
35
22h
33
45
44
31b
31a
12a
15n
20i
21i
15i
74
20i
21i
15i
90
15p
12
13b
10
11
13
15h
21h
20h
73
15h
21h
20h
x
z
y

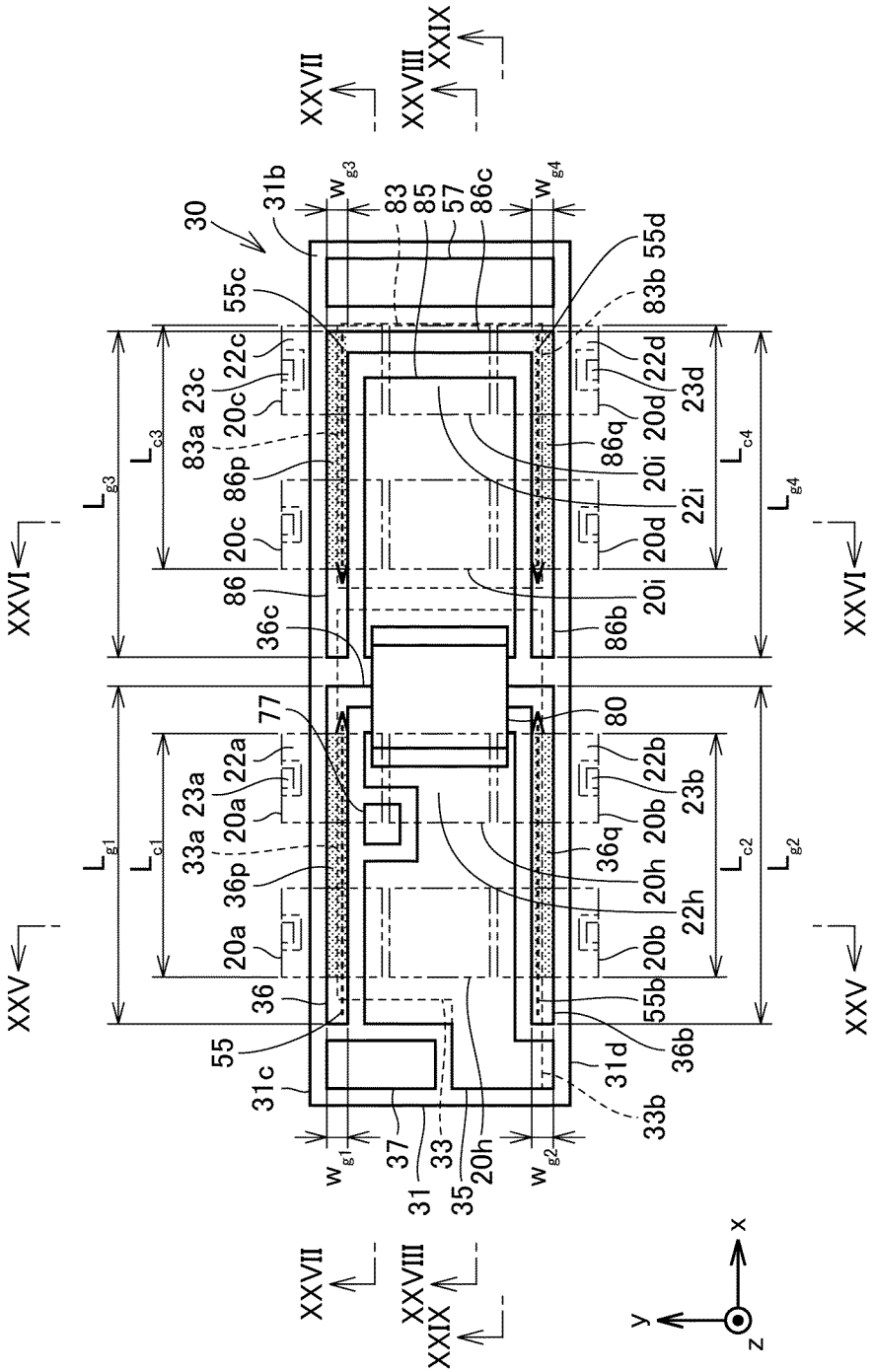
[図29]

図29


1e
64
65
25n
70
57
68
67
86c
82
85
83
81b
25p
80
36c
81a
30
31
35
33
45
44
31b
31a
12a
25d
22d
22b
15n
20d
15d
21d
74
90
15p
12
13b
10
11
13
15b
21b
20b
73
x
z
y

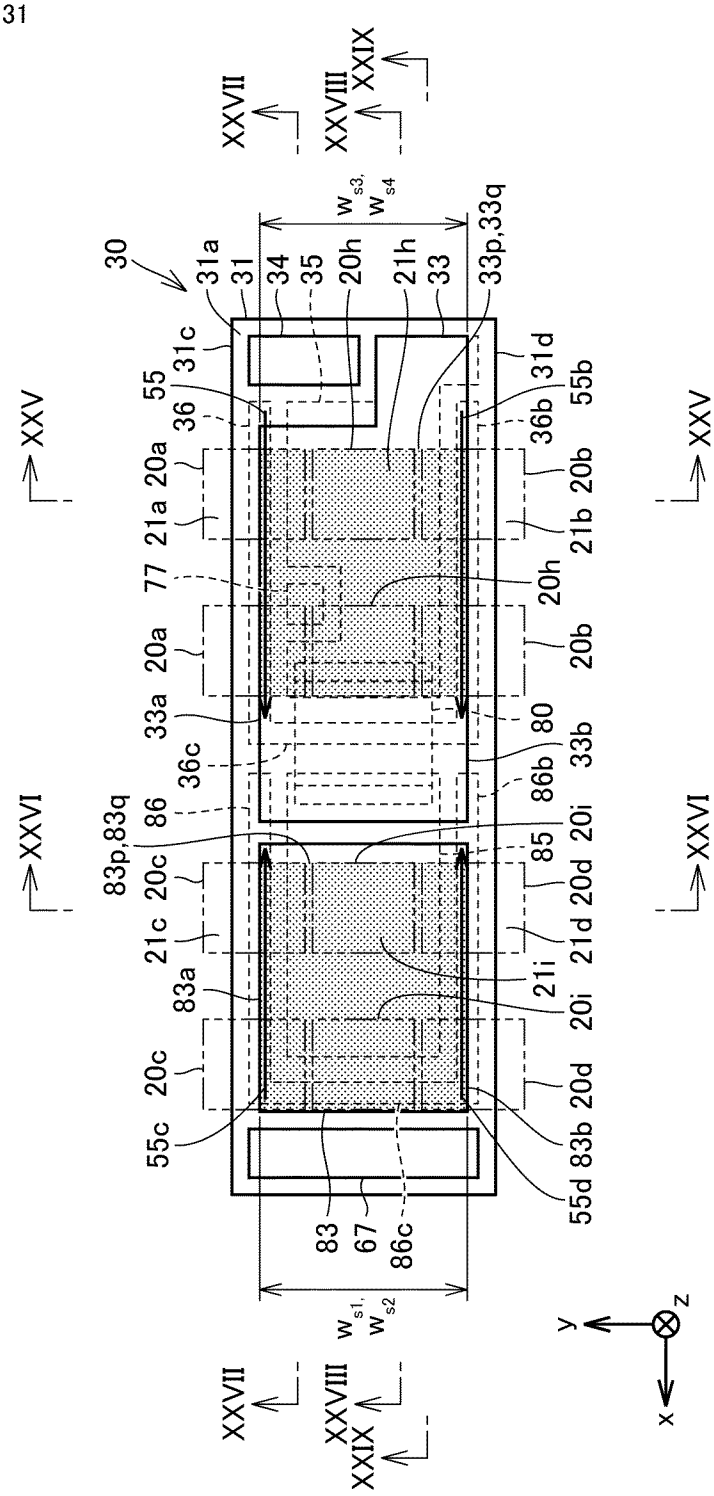
[図30]

図30


XXVII
XXVIII
XXIX
30
31b
w_{g3}
83
85
57
86c
w_{g4}
55d
83b
55c
22c
23c
20c
83a
86p
86
36c
L_{g3}
L_{c3}
XXVI
20c
86
20i
86b
22d
23d
20d
86q
20i
22i
L_{c4}
L_{g4}
XXVI
77
80
22a
23a
20a
33a
36p
20a
36
55
31c
L_{g1}
L_{c1}
XXV
22b
23b
20b
36q
20h
22h
L_{c2}
L_{g2}
XXV
55b
36b
31d
33b
w_{g1}
37
33
31
35
20h
w_{g2}
XXVII
XXVIII
XXIX
x
y
z

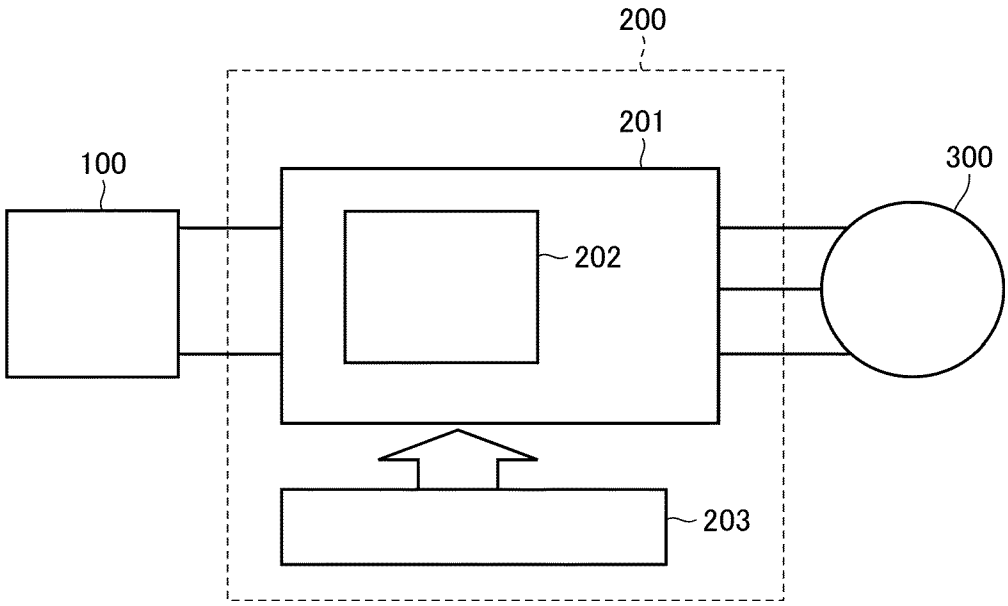
[図31]

図31


XXVII
XXVIII
XXIX
w_{s3}, w_{s4}
30
31a
31
34
35
20h
21h
33
33p,33q
31c
31d
55
36
55b
36b
XXV
20a
20b
21a
21b
77
20h
33a
80
36c
33b
86b
86
20i
83p,83q
85
20c
20d
21c
21d
21i
83a
20i
55c
83b
55d
83
67
86c
w_{s1}, w_{s2}
XXVI
y
z
x

[図32]

図32



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/026741

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H01L25/07(2006.01)i
FI: H01L25/04 C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H01L25/07

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2020
Registered utility model specifications of Japan 1996-2020
Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2016-164919 A (MITSUBISHI ELECTRIC CORP.) 08 September 2016, paragraphs [0001], [0013]-[0067], fig. 1-6	1, 3, 5-7, 9-12, 14-15, 17 2, 4, 8, 13, 16
A	JP 2005-243713 A (TOSHIBA CORP.) 08 September 2005, paragraphs [0001], [0017]-[0035], fig. 1, 2	1-17
A	WO 2014/185050 A1 (FUJI ELECTRIC CO., LTD.) 20 November 2014, paragraphs [0001], [0010]-[0017], fig. 1	1-17

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
09.09.2020	24.09.2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/026741

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2016-164919 A	08.09.2016	(Family: none)	
JP 2005-243713 A	08.09.2005	(Family: none)	
WO 2014/185050 A1	20.11.2014	US 2017/0077068 A1 paragraphs [0002], [0038]-[0058], fig. 1 CN 105103289 A	

国際調査報告

国際出願番号
PCT/JP2020/026741

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 25/07(2006.01)i
FI: H01L25/04 C

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L25/07

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2016-164919 A (三菱電機株式会社) 08.09.2016 (2016-09-08) 段落[0001],[0013]-[0067], 図1-6	1,3,5-7,9-12,14-15,17
A		2,4,8,13,16
A	JP 2005-243713 A (株式会社東芝) 08.09.2005 (2005-09-08) 段落[0001],[0017]-[0035], 図1-2	1-17
A	WO 2014/185050 A1 (富士電機株式会社) 20.11.2014 (2014-11-20) 段落[0001],[0010]-[0017], 図1	1-17

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
09.09.2020	24.09.2020

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

小池　英敏 5F 8396

電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/026741

引用文献	公表日	パテントファミリー文献	公表日
JP 2016-164919 A	08.09.2016	（ファミリーなし）	
JP 2005-243713 A	08.09.2005	（ファミリーなし）	
WO 2014/185050 A1	20.11.2014	US 2017/0077068 A1 段落[0002],[0038]-[0058], 図1 CN 105103289 A	