

公告本

90年12月31日 修正 補充

申請日期	90.1.12.
案 號	90100744
類 別	H01L > 9/68

A4
C4

488077

中文說明書修正本(90年12月)

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	半導體積體電路裝置及其製造方法
	英 文	A SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND A METHOD OF MANUFACTURING THEREOF
二、發明 創作人	姓 名	1.西田 彰男 2.藪押 法之 3.吉田 安子 4.小森 和宏 5.通口 光宏 6.今任 宏一 7.十 壯介 8.三輪 秀郎
	國 籍	均日本
	住、居所	1.-6. 日本國東京都千代田區丸之內一丁目5番1號新丸大樓 日立製作所股份有限公司知的所有權本部內 7.-8. 日本國東京都小平市上水本町五丁目22番1號 日立超愛爾·愛斯·愛系統股份有限公司內
三、申請人	姓 名 (名稱)	1.日商日立製作所股份有限公司 HITACHI, LTD. 2.日商日立超愛爾·愛斯·愛系統股份有限公司 HITACHI ULSI SYSTEMS CO., LTD.
	國 籍	均日本
	住、居所 (事務所)	1.日本國東京都千代田區神田駿河台四丁目6番地 2.日本國東京都小平市上水本町5丁目22番1號
	代 表 人 姓 名	1.庄山 悦彦 ETSUHIKO SHOYAMA 2.鈴木 仁一郎 JINICHIRO SUZUKI

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 2000年02月01日 特願2000-024465 ☒有 ☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明(1)

[發明範疇]

本發明係關於半導體積體電路裝置及其製造方法，尤其關於可減少經予微細化的MISFET(金屬絕緣體半導體場效電晶體)之閾值電壓變化性之技術。

[先前技術]

藉由在形成在半導體基板的溝渠內部掩埋氧化矽膜等絕緣膜所形成之元件隔離溝渠，由於其係(a)可縮小元件隔離間隔，(b)容易控制元件隔離膜厚度且容易設定場反轉電壓，(c)在溝渠之側壁與底部分開導入雜質，便可由元件用擴散層或通道區分離反轉防止層，因此，對於確保亞閾值(sub-threshold)特性、減少結漏(junction leak)電流、以及反向閘效應(back gate effect)上有利等，較之由傳統選擇氧化(LOCOS；矽局部氧化)法形成之場絕緣膜具有出色的優點。

如欲在半導體基板(以下簡稱為基板)形成元件隔離溝渠，則通常採用例如：先以遮罩覆蓋氮化矽膜而以蝕刻處理基板，以形成元件隔離區基板之溝渠。接著，在基板上沉積氧化矽膜，使氧化矽膜掩埋於溝渠內部後，使用化學機械研磨(CMP)法除去溝渠外部不需要之氧化矽膜的方法。

關於此種技術，曾記載於例如1997年度超大型積體電路技術討論會之技術論文文摘第121-122頁。

然而，若以如上述方法在形成有元件隔離溝渠之基板上形成MISFET之閘極，則有會發生閾值電壓(V_{th})將在與元件隔離溝渠相接之主動區(active region)端部局部性地下降，使通道因低閘極電壓(V_g)反轉而引起汲極電流通之現象(

五、發明說明 (2)

被稱為轉折(kink)特性或峰(hump)特性)之問題，為人所詬病。

上述閾值電壓下降之原因乃在於導入於主動區之基板的閾值電壓控制用之部分雜質因製造工序中熱處理而擴散於氧化矽膜中，致使在主動區端部上述雜質之濃度下降，或起因於製造工序中所發生元件隔離溝渠端部之氧化矽膜厚度減少(凹入)，致使形成在主動區端部之閘極絕緣膜之膜厚變薄而使高電場集中於該處之緣故。

相對於美國專利第5,567,553號公報之日本專利申請案特開平第8-55985號公報，曾揭示一種將橫穿過主動區與元件隔離溝渠之境界的區域之閘極長度(通道長度)設定為比主動區中央部之閘極長度為長，藉此以使主動區端部之閾值電壓設定為與主動區中央部之閾值電壓大致相同值之技術，以作為因發生於主動區端部之閾值電壓下降而在切斷(cut-off)區洩漏電流會增加的問題之對策。

另外，曾有一篇論文"溝渠隔離金屬氧半導體場效電晶體閾值電壓之異常閘長度相依性"(由T. Oishi(大西)，K. Shiozawa(鹽澤)，A. Furukawa(古河)，Y. Abe(安倍)，以及Y. Tokuda(德田)等氏發表於JJAP第37卷(1998)L852-L854)，論述使用一種在直線狀圖案之兩端設置向與此成正交的方向延伸之分歧圖案，並使直線狀之圖案部分不會橫穿過主動區與元件隔離溝渠之境界而構成之閘極(H型閘)時，主動區端部之電場集中對於閾值電壓之閘長度相依性造成之影響。

五、發明說明 (3)

[發明所欲解決之課題]

本發明人正在研發一種可當做攜帶用電子機器等之資料記憶體使用之低耗電型SRAM(靜態隨機存取記憶體)。該SRAM，在周邊電路之一部分具有用以從外部電源電壓(Vcc)產生基準電壓(Vdd)之基準電壓產生電路。該基準電壓產生電路包括複數個增強型MISFET與複數個耗盡型MISFET，係用以依增強型MISFET之閾值電壓與耗盡型MISFET之閾值電壓間之差的部份來產生基準電壓(Vdd)之電路。另外，為了推動低耗電化，構成該基準電壓產生電路之MISFET，係相對於其他之周邊電路例如構成輸入輸出電路等之MISFET需要以數 μA 左右之電流始能動作，卻僅以極其微小的如10 nA左右之電流即可使其動作。

如欲製造如上述的可以微小電流即動作之MISFET，則必須使供形成該MISFET通道的區域之基板雜質濃度比供形成其他之MISFET的區域之基板雜質濃度為高，藉此以提高閾值電壓。但是，若予以提高供形成通道的區域之基板雜質濃度，則因對於在上述主動區端部的氧化矽膜中之雜質摻雜量亦會跟著增加，使得與主動區中央部之雜質濃度差變大，因此，將與在製造工序所產生元件隔離溝渠端部之凹入量不穩定現象互起作用，容易發生在主動區端部因閾值電壓下降所造成之轉折現象。

由於構成上述基準電壓產生電路之MISFET係設計為以微小電流下也能使之動作，因此，即使為在較大電流下動作之其他電路不致成問題之小小的轉折現象，也會造成電路

五、發明說明(4)

的錯誤動作之原因。尤其是上述基準電壓產生電路，係採用依增強型MISFET之閾值電壓與耗盡型MISFET之閾值電壓間之差的部分來產生基準電壓之電路方式，因此，MISFET之閾值電壓若因發生轉折現象而不穩定，則基準電壓也會跟著不穩定，致不能獲得所期望之基準電壓。上述基準電壓產生電路，由於動作電流與因轉折造成之洩漏電流係大致相同，因此，必定會發生因轉折現象而閾值電壓不穩定之問題。

本發明之目的乃在於提供一種可減少經予微細化的MISFET之閾值電壓不穩定性之技術。

本發明之其他目的乃在於提供一種可防止由以微小電流下動作之MISFET所構成電路的錯誤動作之技術。

本發明之上述以及其他目的與新穎特徵，由本說明書之敘述及附圖當可更加明瞭。

茲將本申請案所揭示發明中較具代表性者之概要簡單說明如下。

(1)本發明之半導體積體電路裝置，係在以元件隔離溝渠界定周圍之第一主動區之基板形成第一MISFET，在上述第一主動區之基板上形成橫穿過上述第一主動區而從其一端向另一端延伸之上述第一MISFET之第一閘極，且上述第一主動區與上述元件隔離溝渠間的境界區之上上述第一閘極之閘長度，係比上述第一主動區中央部之閘長度為大，上述境界區之第一閘極，係覆蓋著上述沿上述境界區之閘長度方向之一邊的全部，與沿閘寬度方向之兩邊的一部分。

五、發明說明 (5)

(2)本發明之半導體積體電路裝置，係在以元件隔離溝渠界定周圍之第一主動區之基板形成第一MISFET，在以元件隔離溝渠界定周圍之第二主動區之基板形成第二MISFET，在上述第一主動區之基板上形成橫穿過上述第一主動區而從其一端向另一端延伸之上述第一MISFET之第一閘極，在上述第二主動區之基板上形成橫穿過上述第二主動區而從其一端向另一端延伸之上述第二MISFET之第二閘極，且上述第一主動區與上述元件隔離溝渠間的境界區之上述第一閘極之閘長度，係比上述第一主動區中央部之閘長度為大，上述第二主動區與上述元件隔離溝渠間的境界區之上述第二閘極之閘長度，係與上述第二主動區中央部之閘長度大致相同。

[圖式之簡要說明]

圖1係本發明一實施形態之形成有SRAM之半導體晶片方塊圖。

圖2係顯示本發明一實施形態之SRAM基準電壓產生電路之電路圖。

圖3中(a)係顯示構成於圖2所示基準電壓產生電路之一部分的增強型MISFET之閘極圖案俯視圖，(b)係(a)之沿B-B線之剖面圖。

圖4中(a)係顯示構成本發明一實施形態之SRAM輸入輸出電路或邏輯電路之MISFET之閘極圖案俯視圖。

圖5係本發明一實施形態之SRAM記憶格之等效電路圖。

圖6係顯示構成本發明一實施形態之SRAM記憶格之

五、發明說明 (6)

MISFET之閘極圖案俯視圖。

圖7係顯示本發明一實施形態之SRAM製造方法之基板重要部分剖面圖。

圖8係顯示本發明一實施形態之SRAM製造方法之基板重要部分剖面圖。

圖9係顯示本發明一實施形態之SRAM製造方法之基板重要部分剖面圖。

圖10係顯示本發明一實施形態之SRAM製造方法之基板重要部分剖面圖。

圖11係顯示本發明一實施形態之SRAM製造方法之基板重要部分剖面圖。

圖12係顯示本發明一實施形態之SRAM製造方法之基板重要部分剖面圖。

圖13係顯示本發明一實施形態之SRAM製造方法之基板重要部分剖面圖。

圖14係顯示本發明一實施形態之SRAM製造方法之基板重要部分剖面圖。

圖15係顯示本發明一實施形態之SRAM製造方法之基板重要部分剖面圖。

圖16係顯示本發明一實施形態之SRAM製造方法之基板重要部分剖面圖。

圖17係顯示本發明一實施形態之SRAM製造方法之基板重要部分剖面圖。

圖18係顯示本發明一實施形態之SRAM製造方法之基板重

五、發明說明 (7)

要部分剖面圖。

圖19係顯示本發明一實施形態之SRAM製造方法之基板重要部分剖面圖。

圖20係顯示本發明一實施形態之SRAM製造方法之基板重要部分剖面圖。

圖21係顯示本發明一實施形態之SRAM製造方法之基板重要部分剖面圖。

圖22係顯示構成本發明其他實施形態之基準電壓產生電路的一部分之MISFET之閘極圖案俯視圖。

[發明之實施形態]

茲配合圖式詳細說明本發明之實施形態如下。另外，在用以說明實施形態之所有圖式中具有相同功能之部分則附以相同符號並省略其反覆的說明。

圖1係形成有本實施形態之SRAM之半導體晶片方塊圖。該形成有SRAM之半導體晶片1A係供內裝於攜帶用電子機器等而使用，其主面形成有分割成複數個記憶體墊子MM之記憶體部，與由輸入輸出電路(輸入緩衝解碼器IBD、輸出電路OC)IOC，以及控制CC及基準電壓產生電路(降壓電源電路DVC)VC等構成之周邊電路。

圖2係顯示上述SRAM之基準電壓產生電路VC之圖。該基準電壓產生電路包括例如連接成四段之n通道型MISFET($Q_1 \sim Q_4$)，與同樣地連接成四段之耗盡型之n通道型MISFET($DQ_1 \sim DQ_4$)，其係採用依增強型MISFET($Q_1 \sim Q_4$)之閾值電壓(V_{th})與耗盡型MISFET($DQ_1 \sim DQ_4$)之閾值電壓

五、發明說明 (8)

(V_{thd}) 間之差分而由外部電源電壓(V_{cc})產生基準電壓(V_{dd})之方式。例如，假設外部電源電壓(V_{cc})為5V(伏特)，增強型MISFET($Q_1 \sim Q_4$)之各自閾值電壓(V_{the})為0.4V，耗盡型MISFET($DQ_1 \sim DQ_4$)之閾值電壓(V_{thd})為-0.5V時，則依閾值電壓(V_{the})與閾值電壓(V_{thd})間之差分 $4 \times (0.4 - (-0.5))$ 而產生3.6V之基準電壓(V_{dd})。另外，為了推動低耗電化，構成該基準電壓產生電路VC之MISFET($Q_1 \sim Q_4$)及($DQ_1 \sim DQ_4$)，係相對於其他之構成周邊電路輸入輸出電路等之MISFET需要以數 μA 左右之電流始能動作，卻僅以極其微小的如10 nA左右之電流即可使其動作。另外，圖中CCS係恒流電源(≈ 10 nA)。

圖3(a)係顯示構成上述基準電壓產生電路VC之一部分的增強型MISFET($Q_1 \sim Q_4$)之閘極圖案俯視圖，圖3(b)係沿圖3(a)中B-B線之剖面圖。這些圖僅顯示MISFET(Q_1)之閘極，但其他MISFET($Q_2 \sim Q_4$)之閘極也具有相同之平面及剖面形狀。另外，假設閘極9a的左側之主動區為源極(S)，右側之主動區為汲極(D)。

如圖所示，MISFET(Q_1)之閘極9a，係形成在由元件隔離溝渠2界定周圍之主動區L之基板上，且在沿MISFET(Q_1)之閘寬度方向，橫穿過主動區L而從其一端向另一端延伸。該閘極9a，其沿著主動區L與元件隔離溝渠2的境界區之閘長度(L_{g2})係比主動區L之中央部閘長度(L_{g1})為大，而全體係由H形之平面圖案構成。在主動區L之中央部的閘極9a之閘長度(L_{g1})，係例如為0.4 μM ，閘寬度為例如10 μM 。另外

五、發明說明 (9)

，該閘極9a係覆蓋著沿主動區L與元件隔離溝渠2的境界區之閘長度方向的一邊之全部，與沿閘寬度方向的兩邊之一部分。閘極9a係由例如在多晶矽膜上部形成Co(鈷)金屬矽化物層之多晶矽化金屬構造所構成。

如上述構成之閘極9a，由於覆蓋著上述境界區之閘長度方向的一邊之全部與沿閘寬度方向的兩邊之一部分之閘長度(Lg₂)係閾值電壓會增高，所以主動區L之中央部閘長度小的部分之閾值電壓就是MISFET(Q₁)之閾值電壓。換言之，MISFET(Q₁)之閾值電壓，係取決於主動區L之中央部閘長度(Q₁)之部分。因此，具有該閘極9a之MISFET(Q₁)，不致於受到諸如在後述之製造工序途中所產生雜質對於元件隔離溝渠之擴散，或在元件隔離溝渠之端部的凹下現象之影響而在上述境界區形成閾值電壓低的寄生電晶體。由於此，便可減少MISFET(Q₁)之閾值電壓不穩定性，因此，可實現可產生安定的基準電壓(Vdd)之基準電壓產生電路VC。

另方面，圖4(a)係顯示上述基準電壓產生電路以外之周邊電路，例如由諸如NAND(反及)、NOR(及)等邏輯電路構成之周邊電路或構成部分輸入輸出電路IOC之MISFET(Q₅)之閘極圖案俯視圖，圖4(b)係圖4(a)之沿B-B線剖面圖。圖中雖僅顯示MISFET(Q₅)之閘極，但構成輸入輸出電路IOC或周邊電路之其他MISFET之閘極也具有相同之平面及剖面形狀。

如圖示，該MISFET(Q₅)之閘極9b，係形成在由元件隔離

五、發明說明 (10)

溝渠2界定周圍之主動區L之基板1上，且橫穿過主動區L而從其一端向另一端延伸。該閘極9b，其為主動區L與元件隔離溝渠2之境界區的閘長度(Lg_4)，係與位在主動區L之中央部的閘長度(Lg_3)大致相同，而全體係以I形之平面圖案構成。閘極9b係由例如在多晶矽膜上部形成Co(鈷)金屬矽化物層之多晶矽化金屬構造所構成。另外，假設閘極9b之左側為源極(S)，右側為汲極(D)。

如上述構成之閘極9b，其實質上作為閘極而起作用之部分係接觸於主動區L與元件隔離溝渠2之境界區，因此，受到製造工序途中所產生雜質對於元件隔離溝渠之擴散或在元件隔離溝渠端部的凹入所造成影響，容易在上述境界區形成寄生電晶體。就是說，微小的洩漏電流會在源極、汲極間沿著閘極下方之主動區L與元件隔離溝渠2之境界區而流通。然而，供使用於如NAND、NOR等邏輯電路之MISFET(Q_5)，係比供使用於上述基準電壓產生電路之MISFET($Q_1 \sim Q_4$ 及 $DQ_1 \sim DQ_4$)需要以較大的電流動作，因此，即使有微小洩漏電流，也不會造成邏輯電路發生錯誤動作之問題。

圖5係上述SRAM之記憶格MC之等效電路圖。該記憶格MC，係包括佈局在一對互補性資料線(DL、 $\overline{DL}$)與字線(WL)之交叉部的一對驅動用MISFET(Qd_1 、 Qd_2)，一對負荷用MISFET(Qp_1 、 Qp_2)，以及一對轉送用MISFET(Qt_1 、 Qt_2)。驅動用MISFET(Qd_1 、 Qd_2)及轉送用MISFET(Qt_1 、 Qt_2)係由n通道型MISFET構成，負荷用MISFET(Qp_1 、 Qp_2)

五、發明說明 (11)

係由p通道型MISFET構成。亦即，記憶格MC係由使用四個n通道型MISFET與兩個p通道型MISFET之完全的CMOS型構成。完全的CMOS型記憶格MC，由於待命時之洩漏電流較之使用四個n通道型MISFET與兩個高電阻負荷元件之負荷電阻型記憶格為少，因此，具有耗電量低之特徵。

構成記憶格MC之上述六個MISFET中驅動用MISFETQd₁及負荷用MISFETQp₁，係構成第一反相器(INV₁)，驅動用MISFETQd₂及負荷用MISFETQp₂，係構成第二反相器(INV₂)。這些一對反相器(INV₁、INV₂)係在記憶格內交叉結合，以構成作為存儲1位元資訊之資訊存儲部的正反器電路。

上述正反器電路之一方的輸入輸出端子係連接於轉送用MISFETQt₁之源極、汲極之一方，另一方之輸入輸出端子係連接於轉送用MISFETQt₂之源極、汲極之一方。轉送用MISFETQt₁之源極、汲極之另一方係連接於資料線DL，轉送用MISFETQt₂之源極、汲極之另一方係連接於資料線/DL。另外，正反器電路之一端(兩個負荷用MISFETQp₁、Qp₂之各自的源極、汲極之一方)，係連接於例如5V之電源電壓(Vcc)，另一端(兩個驅動用MISFETQd₁、Qd₂之各自的源極、汲極之一方)，係連接於例如0V之GND電壓。

圖6係顯示構成記憶格MC之上述六個MISFET之各自閘極圖案平面圖。另外，將圖中所示四個+符號以直線連接成之矩形區域，係代表記憶格一個份之領域。

構成記憶格MC之六個MISFET(驅動用MISFETQd₁、Qd₂，負荷用MISFETQp₁、Qp₂及轉送用MISFETQt₁、Qt₂)，係

五、發明說明 (12)

形成在基板1之主面上由元件隔離溝渠2包圍周圍之主動區(Ln、Lp)。以n通道型構成之驅動用MISFETQd₁、Qd₂及轉送用MISFETQt₁、Qt₂，係形成在形成有p型井之主動區Lp，以p通道型構成之負荷用MISFETQp₁、Qp₂係形成在形成有n型井之主動區Ln。

轉送用MISFETQt₁、Qt₂具有與字線(WL)一體構成之閘極9d。另外，正反器電路之用以構成第一反相器(INV₁)之驅動用MISFETQd₁及負荷用MISFETQp₁，具有共同之閘極9e，用以構成第二反相器(INV₂)之驅動用MISFETQd₂及負荷用MISFETQp₂，則具有共同使用之閘極9f。

共同使用於上述驅動用MISFETQd₁及負荷用MISFETQp₁的閘極9e中，作為驅動用MISFETQd₁之閘極使用之部分，若與作為負荷用MISFETQp₁之閘極使用之部分相較，則其閘極長度較小，閘極寬度較大。另外，該閘極9e中作為驅動用MISFETQd₁之閘極使用之部分，其在主動區Lp與元件隔離溝渠2之境界區(圖中加圈○符號之區域)之閘長度，係比主動區Lp之中央部閘長度為大。

同樣地，共同使用於驅動用MISFETQd₂及負荷用MISFETQp₂的閘極9f中，作為驅動用MISFETQd₂之閘極使用之部分，若與作為負荷用MISFETQp₂之閘極使用之部分相較，則其閘極長度較小，閘極寬度較大。另外，該閘極9f中作為驅動用MISFETQd₂之閘極使用之部分，其在主動區Lp與元件隔離溝渠2之境界區(圖中加圈○符號之區域)之閘長度，係比主動區Lp之中央部閘長度為大。

五、發明說明 (13)

構成記憶格MC之上述六個MISFET之各自閘極9d~9f，係由例如在多晶矽膜上部形成鈷(Co)金屬氧化物層之多晶矽化金屬構造構成。

上述一對驅動用MISFET(Qd₁、Qd₂)之閘極9e、9f，其為主動區Lp與元件隔離溝渠2之境界區之閘長度，係比主動區Lp之中央部閘長度為大。因此，即使因製造工序途中所產生雜質對於元件隔離溝渠之擴散，或因在元件隔離溝渠端部的凹下造成之影響而在上述境界區形成寄生電晶體，若與將此境界區之閘長度形成為與主動區Lp之中央部閘長度大致相同之情況相較，則流通於境界部通道之汲極電流少。就是說，若將驅動用MISFET(Qd₁、Qd₂)之閘極9e、9f形成為如上述形狀，即可減少因閾值電壓不穩定所引起記憶格動作不良之情形，使得晶片產率提高，進而提高SRAM之製造良品率。另外，也可減少驅動用MISFET(Qd₁、Qd₂)之洩漏電流，因此，可減少記憶格之耗電量。

接著，使用圖7~圖21說明構成上述SRAM之記憶格MC及周邊電路之MISFET製造方法如下。另外，在這些圖中，自左側起依序排列著：構成基準電壓產生電路VC之一部分的n通道型MISFET(Q₁)，構成輸入輸出電路之一部分的n通道型MISFET(Q₅)及p通道型MISFET(Q₆)，轉送用MISFET(Qt₁)，負荷用MISFET(Qp₁)，以及驅動用MISFET(Qd₂)。

首先，如圖7所示，以大約850°C下將電阻率具有例如1~10Ω·cm左右之p型單晶矽所構成之基板1，施予熱氧化處理

五、發明說明 (14)

，使其表面形成膜厚10 nm左右之薄氧化矽膜30後，以CVD法在氧化矽膜30上部沉積膜厚120 nm左右之氮化矽膜(抗氧化膜)3。氮化矽膜3係將充當為形成溝渠而蝕刻元件隔離區的基板1時之遮罩而使用。另外，由於氮化矽膜3具有不容易受到氧化之性質，故也可充當用以防止其下部之基板1表面受到氧化之遮罩而使用。氮化矽膜3下部之氧化矽膜30，係為緩和產生於基板1與氮化矽膜3間之界面的應力，以防止起因於該應力而在基板1表面發生差排(dislocation)等缺陷為目的而形成。

接著，如圖8所示，以光抗蝕劑膜31作為遮罩之乾蝕刻，選擇性地除去元件隔離區之氮化矽膜3與其下部之氧化矽膜30，以使基板1之表面露出。

接著，經以灰化處理除去光抗蝕劑膜31後，如圖9所示，以氮化矽膜3作為遮罩之乾蝕刻法，在元件隔離區之基板1形成深度350~400 nm左右之溝渠2a。

接著，以使用稀氫氟酸等之洗滌處理除去附著於溝渠2a之蝕刻殘餘物後，如圖10所示，以大約800~1000℃下將基板1施予熱氧化處理，以在溝渠2a之內壁形成膜厚10 nm左右之薄氧化矽膜32。該氧化矽膜32，係為修復因乾蝕刻而發生於溝渠2a內壁之損傷且緩和於後續工序產生於掩埋於溝渠2a內部之氧化矽膜與基板1間的界面之應力為目的而形成。

接著，如圖11所示，以CVD法在包括溝渠2a內部之基板1上沉積氧化矽膜4。該氧化矽膜4以較之溝渠2a之深度為厚

五、發明說明 (15)

的膜厚(例如450~500 nm左右)下予以沉積，並使之完全填充溝渠2a之內部。氧化矽膜4係如例如使用氧與四乙氧基矽烷($(C_2H_5)_4Si$)所沉積的氧化矽膜，以階梯覆蓋性良好的沉積方法形成之。

接著，將基板1以大約1000°C下施予熱氧化處理，使填充於溝渠2a之氧化矽膜4緻密化(densification)，以改善其膜質後，如圖12所示，藉由以光抗蝕劑膜33作為遮罩之乾蝕刻法除去氮化矽膜3上部之氧化矽膜4。光抗蝕劑膜33之圖案則使用於乾蝕刻處理元件隔離區的氮化矽膜3時所使用光抗蝕劑膜31之反轉圖案。

接著，經除去光抗蝕劑膜33後，如圖13所示，使用化學機械研磨(CMP)法研磨溝渠2a上部之氧化矽膜4，使其表面平坦化以形成元件隔離溝渠2。該研磨作業係以覆蓋主動區的基板1表面之氮化矽膜3作為停止目標而實行，而以氧化矽膜4之表面高度與氮化矽膜3之高度成為相同時，則結束之。

接著，以熱氫氟酸除去覆蓋主動區之基板1表面之氮化矽膜3，使其下部之氧化矽膜30露出。當除去氮化矽膜3時，如圖14所擴大顯示，在主動區之基板1表面所形成氧化矽膜30之表面與埋設在元件隔離溝渠2的氧化矽膜4之表面間即將產生相當於氮化矽膜3之膜厚的段差。

接著，以氫氟酸將埋設在元件隔離溝渠2的氧化矽膜4之表面加以濕蝕刻處理，以減少產生於與主動區之基板1表面間之段差。此時，形成在主動區之基板1的薄氧化矽膜30亦

五、發明說明 (16)

會受到蝕刻，而使基板1之表面露出。另外，與上述氮化矽膜3相鄰接處之氧化矽膜4，由於不僅是其上面連側面也會曝露於氫氟酸，致其被蝕刻量將較之距自主動區離遠的區域之氧化矽膜4為多。因此，如圖15所擴大顯示，元件隔離溝渠2之端部附近氧化矽膜4之表面(以箭頭所指位置)，會向下方凹入。

接著，如圖16所示，將基板1以大約850℃下予以熱氧化處理，以在主動區之基板1表面形成膜厚10 nm左右之薄氧化矽膜34。此氧化矽膜34係為減少接著實施之離子導入法對於基板1造成的損傷而形成。

接著，為在基板1形成井(p型井及n型井)，穿過上述氧化矽膜34在基板1之一部分導入n型雜質(例如磷)，另一方之一部分則導入p型雜質(硼)。另外，為控制MISFET之閾值電壓，穿過上述氧化矽膜34在基板1導入p型雜質(硼)。用以形成井之雜質係以高能量下導入於基板1之深的區域，用以控制閾值電壓之雜質則以低能量下導入於基板1之淺的區域。

接著，如圖17所示，將基板1以大約950℃下施予熱處理，使上述雜質拉長而擴散，藉此以在基準電壓產生電路區之基板1的深區域形成n型井5，在淺區域形成p型井6。另外，在記憶格區之基板1形成p型井6及n型井7，在輸入輸出電路區之基板1形成p型井6及n型井7。在基準電壓產生電路區，n型井5係以包圍p型井6之方式形成，藉此，p型井6即可與p型基板1成電隔離。

五、發明說明 (17)

接著，經以使用氫氟酸之濕蝕刻法除去基板1表面之氧化矽膜34後，如圖18所示，將基板1以大約800~850°C下施予熱氧化處理，以在p型井6及n型井7之各自表面形成清淨的閘氧化膜8後，在上述閘氧化膜8上部形成閘極9a~9f。該閘極9a~9f係經在閘氧化膜8上部以CVD法沉積膜厚200 nm~250 nm左右之多晶矽膜後，以光抗蝕劑膜作為遮罩而將多晶矽膜加以乾蝕刻所形成。

構成基準電壓產生電路VC之一部分的MISFET(Q₁)之閘極9a，係用上述圖3所示圖案形成之，構成輸入輸出電路IOC之一部分的MISFET(Q₅)之閘極9b，係用上述圖4所示圖案形成之。另外，構成記憶格MC之驅動用MISFETQ_{d2}、負荷用MISFETQ_{p1}以及轉送用MISFETQ_{t1}之各自1閘極9d~9f，係用上述圖6所示之圖案形成之。

構成基準電壓產生電路VC之一部分的MISFET(Q₁)之閘極9a之閘長度，係例如，0.4 μm，閘寬度係例如，10 μm。像此種細長模式之閘極9a，在閘極加工後之洗滌工序等中一受到振動，即容易倒。然而，在本實施形態，則使閘極9a之兩端部的閘長度形成為比其中央部長度為大，因此，具有中央部之閘長度小的部分不容易倒之特徵。

接著，如圖19所示，在p型井6導入磷(P)離子，形成低雜質濃度之n⁻型半導體區10，在n型井7導入硼(B)離子，形成低雜質濃度之p⁻型半導體區11。接著，在p型6導入硼(B)離子，形成可作為穿通阻止器(punch-through)而起作用之由p型半導體區構成之袋形區12，在n型7導入磷(P)離子

五、發明說明 (18)

，形成可作為穿通阻止器而起作用之由n型半導體區構成之袋形區13。

接著，如圖20所示，經在閘極9d~9f之側壁形成側壁間隔膜14後，在n型井7導入硼(B)離子以形成高雜質濃度之 p^+ 型半導體區(源極、汲極)15，在p型井6導入磷(P)以形成高雜質濃度之 n^+ 型半導體區(源極、汲極)16後，如圖21所示，在閘極9d~9f， p^+ 型半導體區(源極、汲極)15及 n^+ 型半導體區(源極、汲極)16之表面，形成Co金屬矽化物層17，即可完成MISFET之製造。

茲將於上述圖21所示用以構成基準電壓產生電路VC之n通道型MISFET(Q_1)說明如下。如圖21所示，n通道型MISFET(Q_1)之源極與形成有n通道型M(Q_1)之p型井6係成電互連。另外，形成有n通道型M(Q_1)之p型井6與p型半導體基板1，係為n型井5所電隔離。如此構成，便可防止因n通道型MISFET(Q_1)之基板效應引起之閾值電壓變動。

上述關於n通道型MISFET(Q_1)之說明，對於n通道型MISFET(Q_2 、 Q_3 、 Q_4)之情形也相同。亦即圖2之n通道型MISFET(Q_1 、 Q_2 、 Q_3 、 Q_4)係各自藉n型井5而完全與p型半導體基板電氣分離。此外，各p型井6亦為電氣上獨立。

如上述，由於具有可使串聯連接之複數個MISFET基板(p型井6)之電位成為獨立，因此，具有可輸出各MISFET所希望之閾值電壓之功效。

上述說明，對於耗盡型之n通道型MISFET(DQ_1 、 DQ_2 、 DQ_3 、 DQ_4)而言，也是相同，且藉其也可獲得相同功效。

五、發明說明 (19)

以上所舉述者僅根據實施形態說明本發明，但本發明並非限定於上述實施形態，在不脫離本發明精神範圍內，當可進行各種變化例。

構成基準電壓產生電路之MISFET之閘極，除如上述圖3所示平面形狀外，例如圖22所示，也可作為可覆蓋主動區L與元件隔離溝渠2的境界區全體之平面形狀。

本發明之閘極構造，不僅是構成基準電壓產生電路之MISFET，也可適用於例如構成待命用差動放大器的MISFET等。

另外，上述實施形態係就適用於SRAM之情形加以說明，惟並非局限於此，也可廣泛適用於在具有元件隔離溝渠之基板形成微細的MISFET之各種LSI。

茲就由本申請案所揭示發明中可由較具代表性者實現之功效，說明如下。

如依照本發明，則由於可減少經予微細化的MISFET之閾值電壓不穩定性，因此，可防止由特別以微小電流下動作的MISFET所構成電路之錯誤動作。

四、中文發明摘要（發明之名稱： 半導體積體電路裝置及其製造方法)

MISFET之閘極係形成在由元件隔離溝渠所界定周圍之主動區的基板上，且橫穿過主動區而從其一端延伸到另一端。該閘極，其在主動區與元件隔離溝渠之境界區的閘長度，係比其在主動區中央部之閘長度為大，全體係由H形之平面圖案構成。另外，該閘極係覆蓋著沿主動區L與元件隔離溝渠間的閘長度方向之一邊的全部與沿閘寬度方向之兩邊的一部分。

上述MISFET係各自形成在電獨立之井上，且連接成串聯而構成基準電壓產生電路之一部分。

英文發明摘要（發明之名稱： A SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND A METHOD OF MANUFACTURING THEREOF)

MISFETのゲート電極は、素子分離溝によって周囲を規定されたアクティブ領域の基板上に形成され、アクティブ領域を横切ってその一端から他端に延在している。このゲート電極は、アクティブ領域と素子分離溝との境界領域におけるゲート長がアクティブ領域の中央部におけるゲート長よりも大きく、全体としてH形の平面パターンで構成されている。また、このゲート電極は、アクティブ領域と素子分離溝との境界領域のゲート長方向に沿った一辺の全体とゲート幅方向に沿った二辺の一部とを覆っている。

上記 MISFET は各々電氣的に独立したウエルに形成され、かつ直列に接続されて基準電圧発生回路の一部を構成する。

六、申請專利範圍

1. 一種半導體積體電路裝置，其特徵為：

在由元件隔離溝渠界定周圍之第一主動區之基板形成第一MISFET(金絕半場效電晶體)；且

在上述第一主動區之基板上，形成：橫穿過上述第一主動區，而從其一端向另一端延伸之上述第一MISFET之第一閘極；而

在上述第一主動區與上述元件隔離溝渠間的境界區之上述第一閘極之閘長度，係比上述第一主動區中央部之閘長度為大；

上述境界區之第一閘極，係覆蓋著上述沿上述境界區之閘長度方向之一邊的全部，與沿閘寬度方向之兩邊的一部分。

2. 如申請專利範圍第1項之半導體積體電路裝置，其中之第一MISFET之源極、汲極，係由具有低雜質濃度的第一導電型半導體區與高雜質濃度的第一半導體區之LDD(低滲雜濃度)構造構成，且

在上述形成有第一MISFET之基板，形成由包圍上述低雜質濃度的第一導電型半導體區之第二導電型半導體區所構成之袋形區。

3. 如申請專利範圍第1項之半導體積體電路裝置，其中之第一MISFET係由增強型構成，且係用以構成恒壓產生電路之一部分，其係依上述第一MISFET的閾值電壓與由耗盡型構成之第二MISFET的閾值電壓之差分，而產生低於電源電壓之電壓者。

六、申請專利範圍

4. 如申請專利範圍第3項之半導體積體電路裝置，其中之恆壓產生電路係構成SRAM之周邊電路的一部分之基準電壓產生電路。
5. 一種半導體積體電路裝置，其特徵為：

在由元件隔離溝渠界定周圍之第一主動區之基板，形成第一MISFET，在由上述元件隔離溝渠界定周圍之第二主動區之基板，形成第二MISFET；且

在上述第一主動區之基板上，形成橫穿過上述第一主動區而從其一端向另一端延伸之上述第一MISFET之第一閘極；

在上述第二主動區之基板上，形成橫穿過上述第二主動區而從其一端向另一端延伸之上述第二MISFET之第二閘極；而

上述第一主動區與上述元件隔離溝渠間的境界區之上述第一閘極之閘長度，係比上述第一主動區中央部之閘長度為大；

上述第二主動區與上述元件隔離溝渠間的境界區之上述第二閘極之閘長度，係與上述第二主動區中央部之閘長度大致相同。
6. 如申請專利範圍第5項之半導體積體電路裝置，其中之第一主動區與元件隔離溝渠間的境界區之第一閘極，係覆蓋著上述境界區之沿閘長度方向的一邊之全部，與沿閘寬度方向的兩邊之一部分。
7. 如申請專利範圍第5項之半導體積體電路裝置，其中之

六、申請專利範圍

第一 MISFET 之閾值電壓係比上述第二 MISFET 之閾值電壓為高。

8. 如申請專利範圍第 5 項之半導體積體電路裝置，其中導入於第一主動區之基板的閾值電壓控制用雜質之濃度，係比導入於第二主動區之基板的閾值電壓控制用雜質之濃度為高。

9. 如申請專利範圍第 5 項之半導體積體電路裝置，其中之第一 MISFET 可在比上述第二 MISFET 為低的低電流下動作。

10. 一種半導體積體電路裝置，其特徵為：

由一對驅動用 MISFET，一對負荷用 MISFET，以及一對轉送用 MISFET 構成記憶格，並在由元件隔離溝渠界定周圍之第一主動區之基板形成上述驅動用 MISFET；且

在上述第一主動區之基板上，形成橫穿過上述第一主動區而從其一端向另一端延伸之上述驅動用 MISFET 之閘極；而

在上述第一主動區與上述元件隔離溝渠間的境界區之上述閘極之閘長度，係比上述第一主動區中央部之閘長度為大。

11. 如申請專利範圍第 10 項之半導體積體電路裝置，其中之驅動用 MISFET 的閘極之閘寬度，係比上述負荷用 MISFET 的閘極之閘寬度為大。

12. 如申請專利範圍第 10 項之半導體積體電路裝置，其中之驅動用 MISFET 的閘極之閘長度，係比上述負荷用

六、申請專利範圍

MISFET的閘極之閘長度為小。

13. 一種半導體積體電路裝置之製造方法，包括下列工序：

(a)於自基板上所形成的絕緣膜露出之區域中，在基板上形成溝渠之工序；

(b)經在包括上述溝渠的內部在內之上述絕緣膜上形成氧化矽膜後，藉由使用上述絕緣膜為阻止器之化學機械研磨法除去上述溝渠之外部的氧化矽膜，以在上述元件隔離區之基板形成元件隔離溝渠之工序；

(c)經除去上述絕緣膜後，藉由濕蝕刻法處理上述基板，以減少上述元件隔離溝渠之表面與由上述元件隔離溝渠界定周圍之第一主動區之基板表面間的段差之工序；

(d)在上述第一主動區之基板導入用以控制第一MISFET閾值電壓的雜質之工序；以及

(e)在上述第一主動區之基板上，形成：橫穿過上述第一主動區而從其一端向另一端延伸，且在上述第一主動區與上述元件隔離溝渠間的境界區之閘長度係比上述第一主動區中央部之閘長度為大，並覆蓋著上述境界區之沿閘長度方向的一邊之全部，與沿閘寬度方向的兩邊之一部分的上述第一MISFET之第一閘極之工序。

14. 一種半導體積體電路裝置之製造方法，包括下列工序：

(a)以使用形成在基板上的抗氧化膜作為遮罩之乾蝕刻法，在元件隔離區之基板形成溝渠之工序；

(b)經在包括上述溝渠的內部在內之上述絕緣膜上形成氧化矽膜後，藉由使用上述絕緣膜為阻止器之化學機械

六、申請專利範圍

研磨法除去上述溝渠之外部的氧化矽膜，以在上述元件隔離區之基板形成元件隔離溝渠之工序；

(c)經除去上述絕緣膜後，藉由濕蝕刻法處理上述基板，以減少上述元件隔離溝渠之表面與由上述元件隔離溝渠界定周圍之第一主動區之基板表面間的段差之工序；

(d)在上述第一主動區之基板導入用以控制第一MISFET閾值電壓的第一雜質，在上述第二主動區之基板導入用以控制第二MISFET之閾值電壓的第二雜質之工序；以及

(e)在上述第一主動區之基板上，形成：橫穿過上述第一主動區而從其一端向另一端延伸，且在上述第一主動區與上述元件隔離溝渠間的境界區之間長度係比上述第一主動區中央部之間長度為大的上述第一MISFET之第一閘極；並在上述第二主動區之基板上，形成：橫穿過上述第二主動區而從其一端向另一端延伸，且在上述第二主動區與上述元件隔離溝渠間的境界區之間長度係比上述第二主動區中央部之間長度大致相同的上述第二MISFET之第二閘極之工序。

15. 如申請專利範圍第14項之半導體積體電路裝置之製造方法，其中在上述第一主動區與上述元件隔離溝渠間的境界區之上述第一閘極，係覆蓋著上述境界區之沿閘長度方向的一邊之全部，與沿閘寬度方向的兩邊之一部分。
16. 如申請專利範圍第14項之半導體積體電路裝置之製造方法，其中使導入於上述第一主動區之基板的第一雜質濃

六、申請專利範圍

度，高於導入於上述第二主動區之基板的第二雜質濃度。

17. 一種半導體積體電路裝置，其特徵為：

在由元件隔離溝渠界定周圍之第一主動區之基板，形成第一MISFET，在由上述元件隔離溝渠界定周圍之第二主動區之基板，形成第二MISFET；且

在上述第一主動區之基板上，形成橫穿過上述第一主動區而從其一端向另一端延伸之上述第一MISFET之第一閘極；

在上述第二主動區之基板上，形成橫穿過上述第二主動區而從其一端向另一端延伸之上述第二MISFET之第二閘極；而

上述第一主動區與上述元件隔離溝渠間的境界區之上述第一閘極之閘長度，係比上述第一主動區中央部之閘長度為大；

上述第一主動區與上述元件隔離溝渠間的境界區之上述第一閘極之閘長度，係比上述第二主動區與上述元件隔離溝渠間的境界區之上述第二閘極之閘長度為大。

18. 如申請專利範圍第1項之半導體積體電路裝置，其中：

在由上述元件隔離溝渠界定周圍之第二主動區之基板，形成第二MISFET；

在上述第二主動區之基板上，形成橫穿過上述第二主動區而從其一端向另一端延伸之上述第二MISFET之第二閘極；而

上述第二主動區與上述元件隔離溝渠間的境界區之上

六、申請專利範圍

述第二閘極之閘長度，係比上述第二主動區中央部之閘長度為大；

上述境界區之上述第二閘極，係覆蓋著上述境界區之沿閘長度方向的一邊之全部，與沿閘寬度方向的兩邊之一部分；

上述第一主動區係形成在第一導電型之第一井區；

上述第二主動區係形成在第一導電型之第二井區；

上述第一井區係為與上述第一井區之導電型相反的導電型之第三井區所包圍其周圍；

上述第二井區係為與上述第二井區之導電型相反的導電型之第四井區所包圍其周圍；

上述第一井區與上述第二井區係以電隔離而形成；

上述第一MISFET與上述第二MISFET係連接成串聯，而構成電壓產生電路。

19. 一種半導體積體電路裝置，其特徵為：

在由元件隔離溝渠界定周圍之第一主動區之基板，形成第一MISFET，在由上述元件隔離溝渠界定周圍之第二主動區之基板，形成第二MISFET；且

在上述第一主動區之基板上，形成橫穿過上述第一主動區而從其一端向另一端延伸之上述第一MISFET之第一閘極；

上述第一主動區與上述元件隔離溝渠間的境界區之上述第一閘極之閘長度，係比上述第一主動區中央部之閘長度為大；

六、申請專利範圍

上述境界區之上述第一閘極，係覆蓋著上述境界區之沿閘長度方向的一邊之全部，與沿閘寬度方向的兩邊之一部分；

在上述第二主動區之基板上，形成橫穿過上述第二主動區而從其一端向另一端延伸之上述第二MISFET之第二閘極；

上述第二主動區與上述元件隔離溝渠間的境界區之上述第二閘極之閘長度，係比上述第二主動區中央部之閘長度為大；

上述境界區之上述第二閘極，係覆蓋著上述境界區之沿閘長度方向的一邊之全部，與沿閘寬度方向的兩邊之一部分；

上述第一主動區係形成在第一導電型之第一井區；

上述第二主動區係形成在第一導電型之第二井區；

上述第一井區與上述第二井區係以電隔離而形成。

20. 如申請專利範圍第19項之半導體積體電路裝置，其中之第一MISFET與第二MISFET係連接成串聯。

21. 如申請專利範圍第20項之半導體積體電路裝置，其中之第一MISFET與第二MISFET係構成電壓產生電路。

22. 如申請專利範圍第19項之半導體積體電路裝置，其中

上述第一井區係為與上述第一井區之導電型相反的導電型之第三井區所包圍其周圍；

上述第二井區係為與上述第二井區之導電型相反的導電型之第四井區所包圍其周圍；

六、申請專利範圍

在第一導電型之基板內，上述第一井區與上述第二井區係以電隔離而形成。

23. 如申請專利範圍第22項之半導體積體電路裝置，其中之第一MISFET與第二MISFET係增強型。
24. 如申請專利範圍第22項之半導體積體電路裝置，其中之第一MISFET與第二MISFET係耗盡型。
25. 如申請專利範圍第22項之半導體積體電路裝置，其中之第一MISFET與第二MISFET係連接成串聯，而構成電壓產生電路。

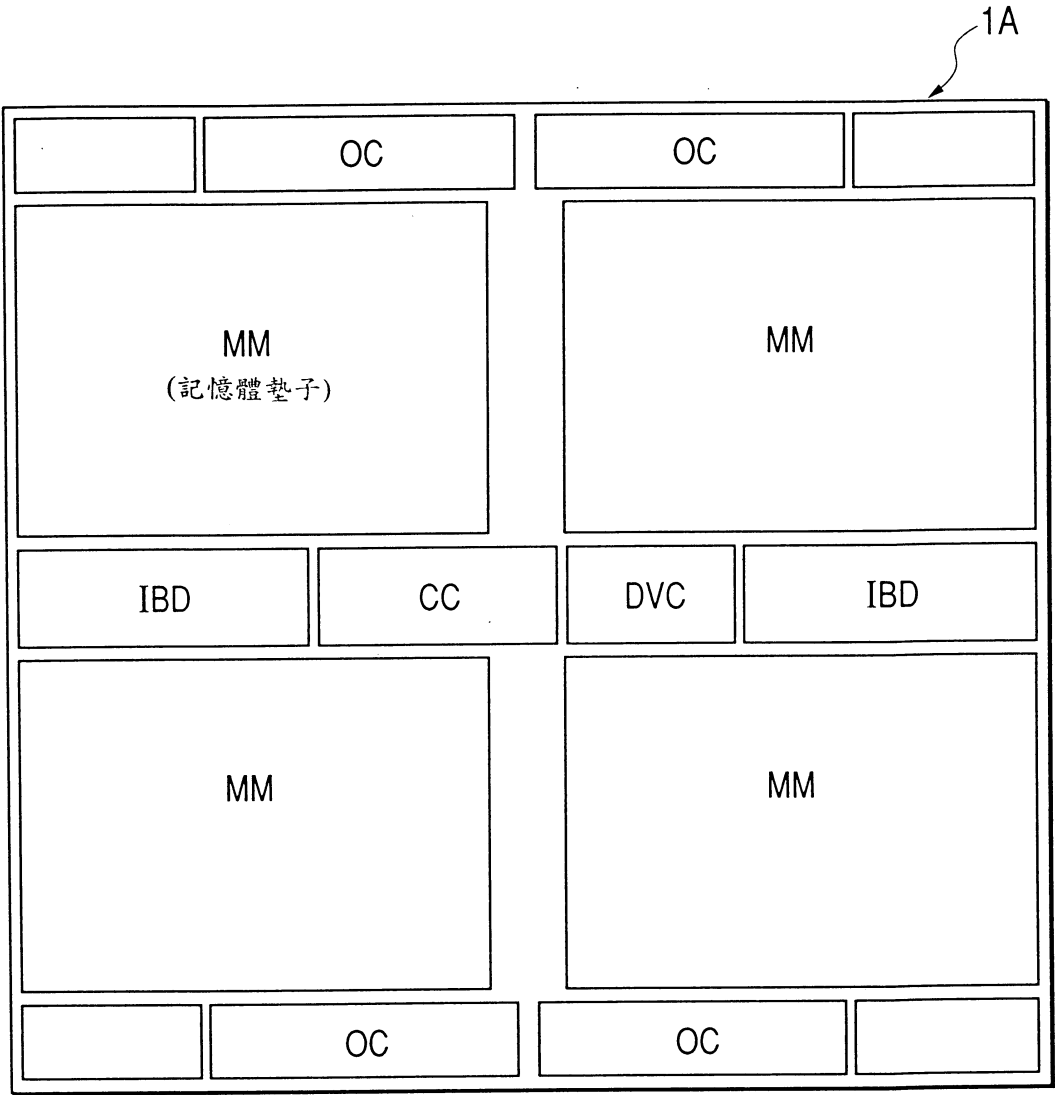


圖 1

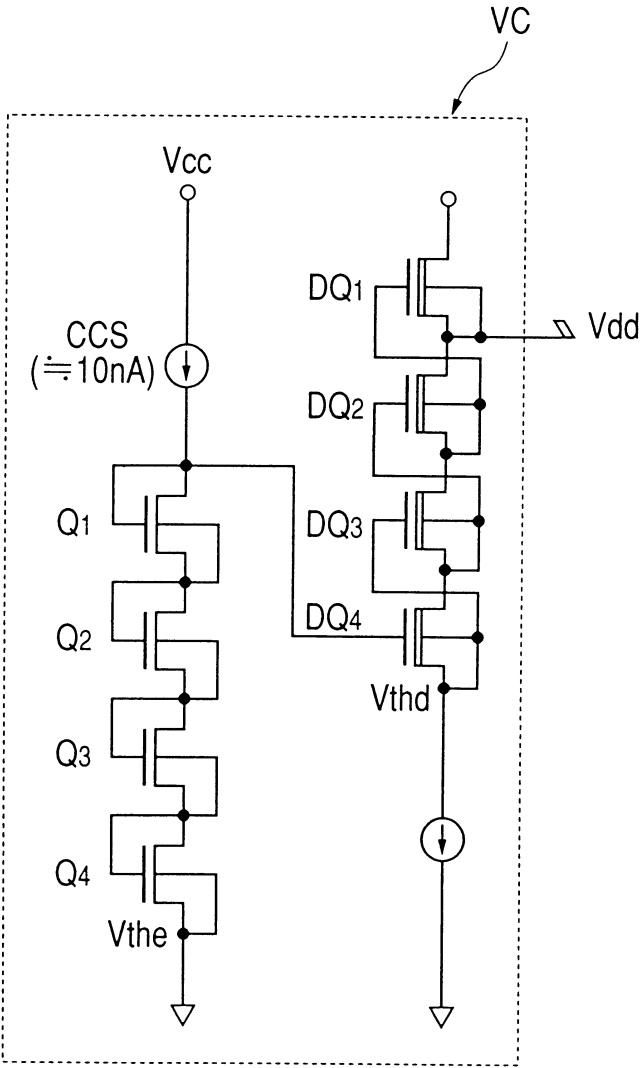


圖 2

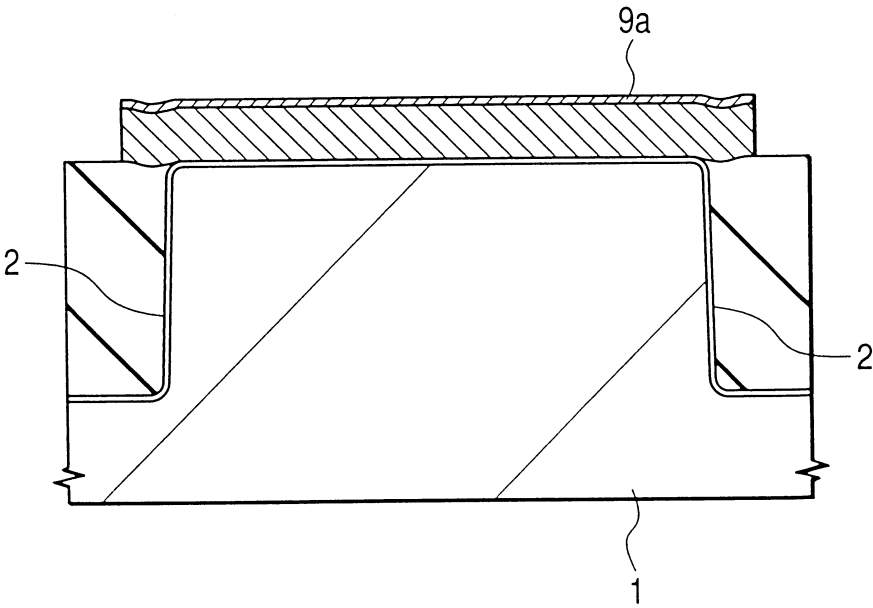
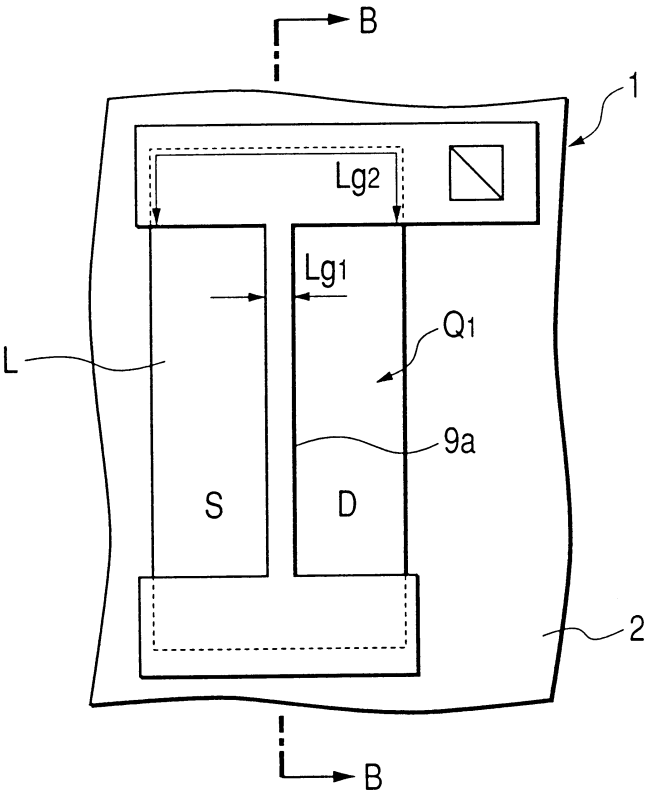


圖 3

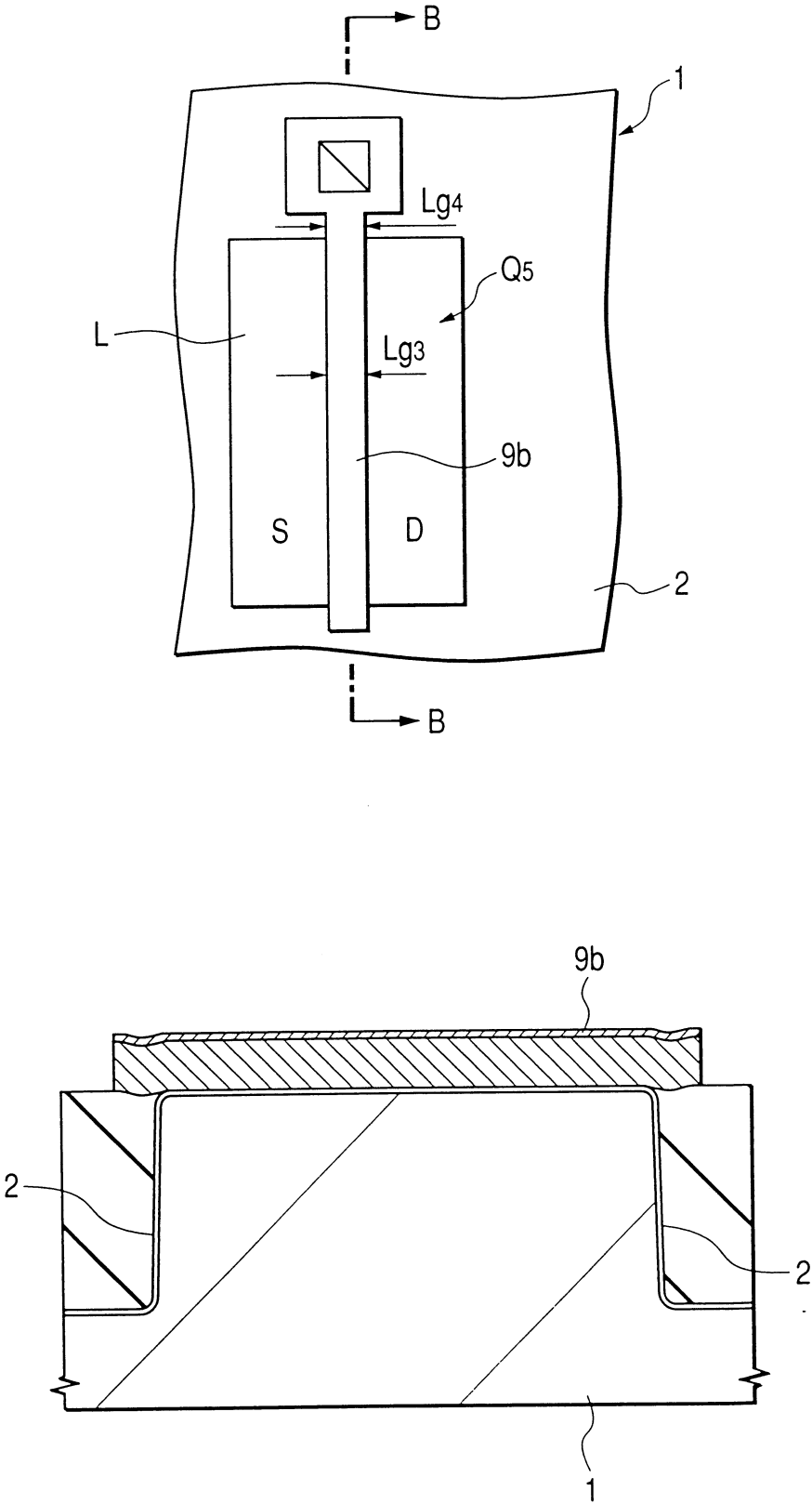


圖 4

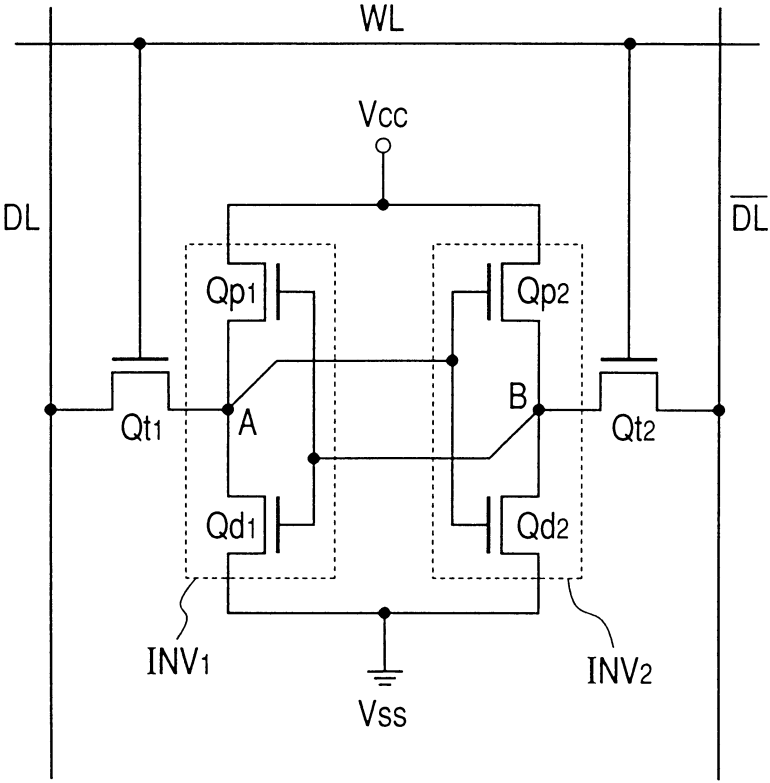


圖 5

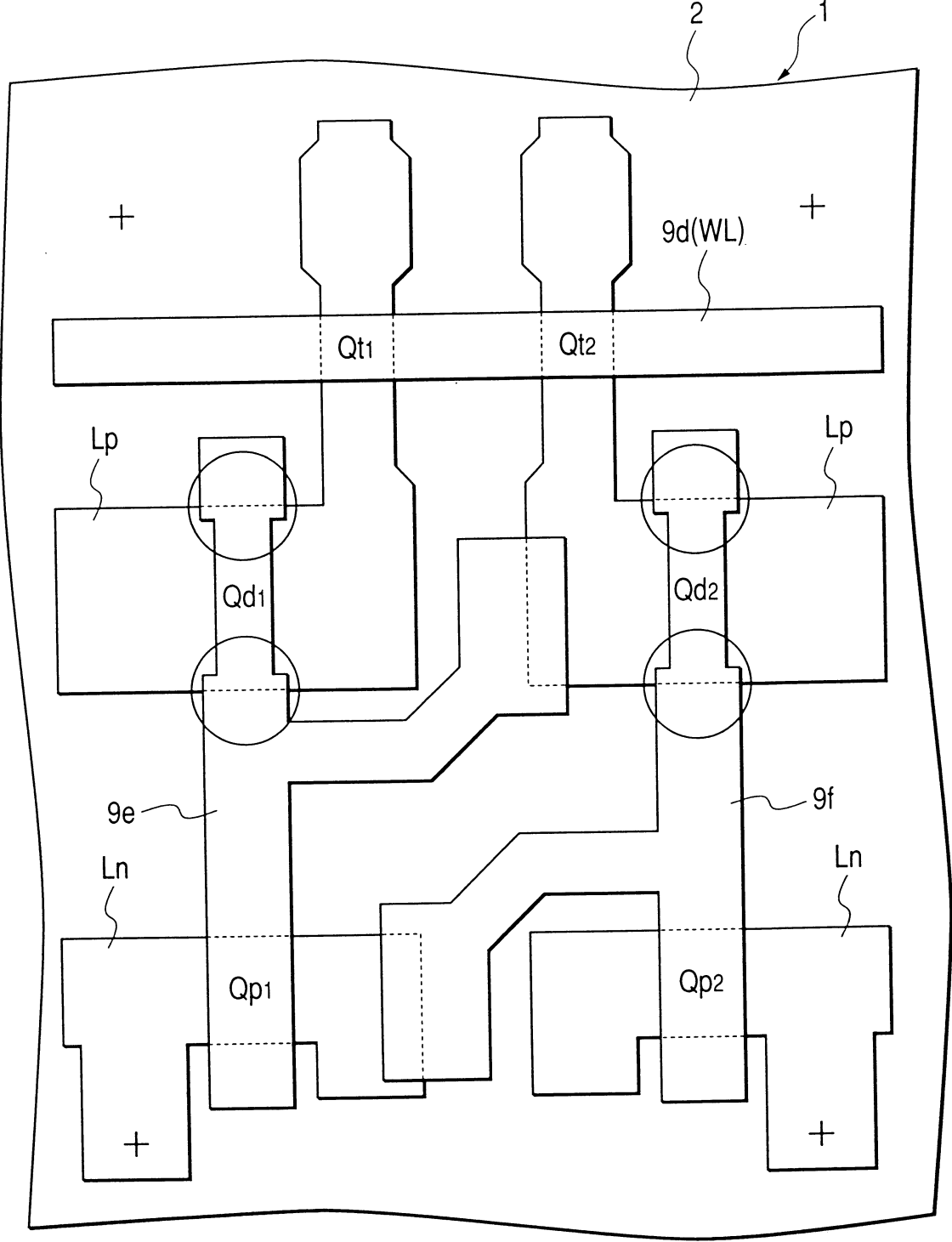


圖 6

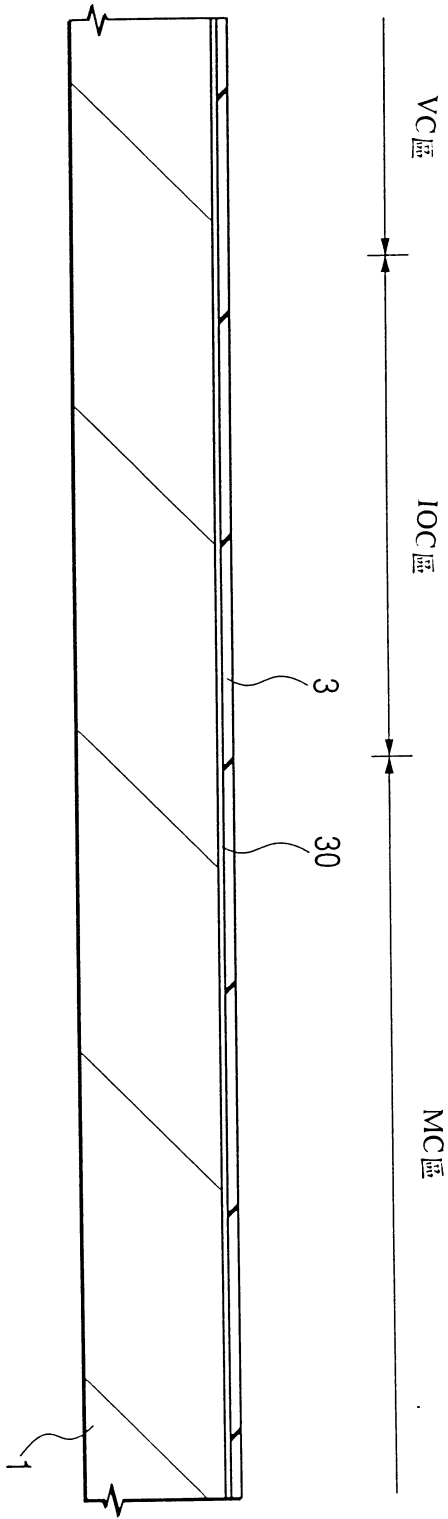


圖 7

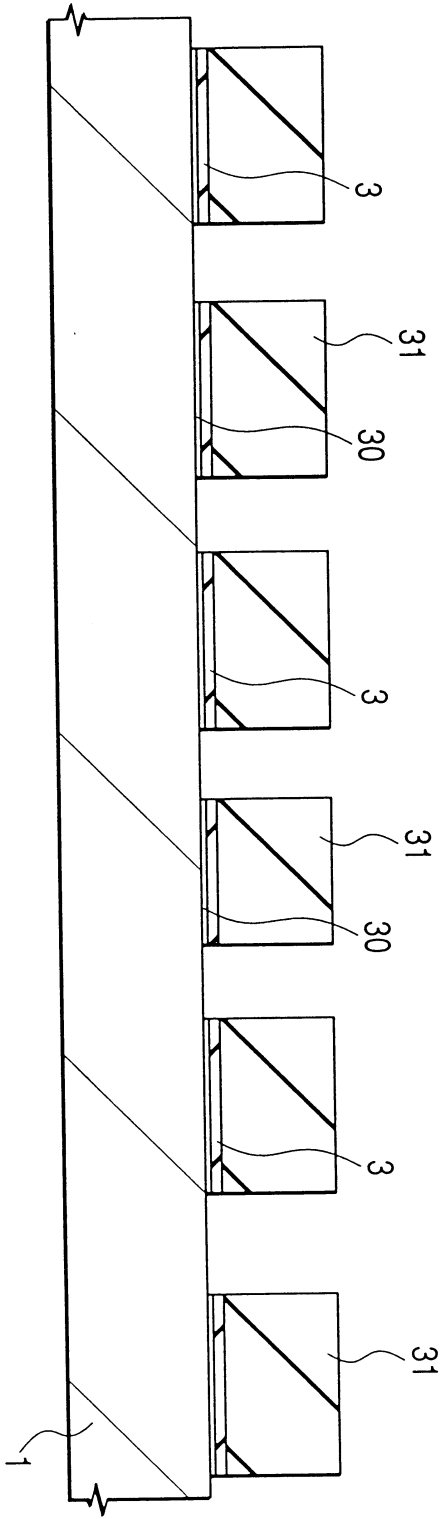


圖 8

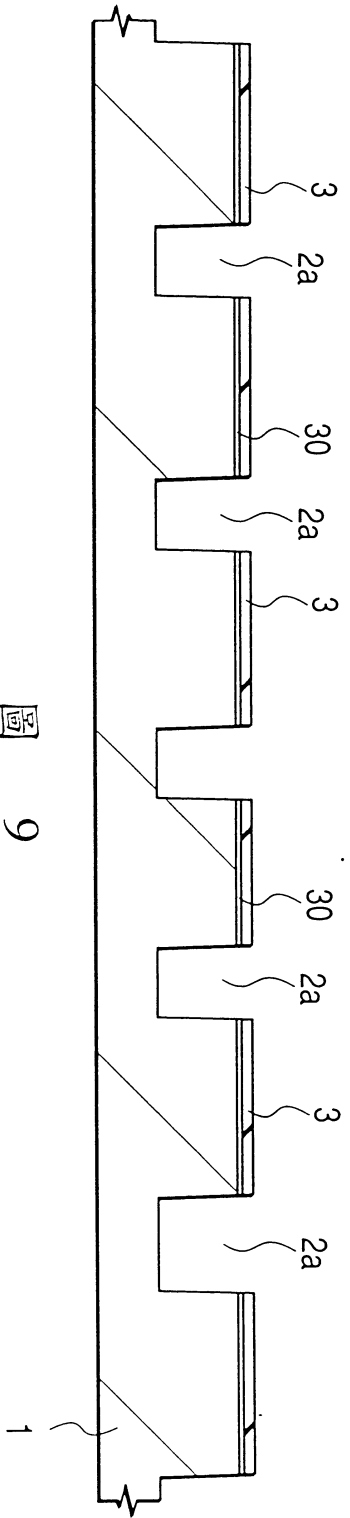


圖 9

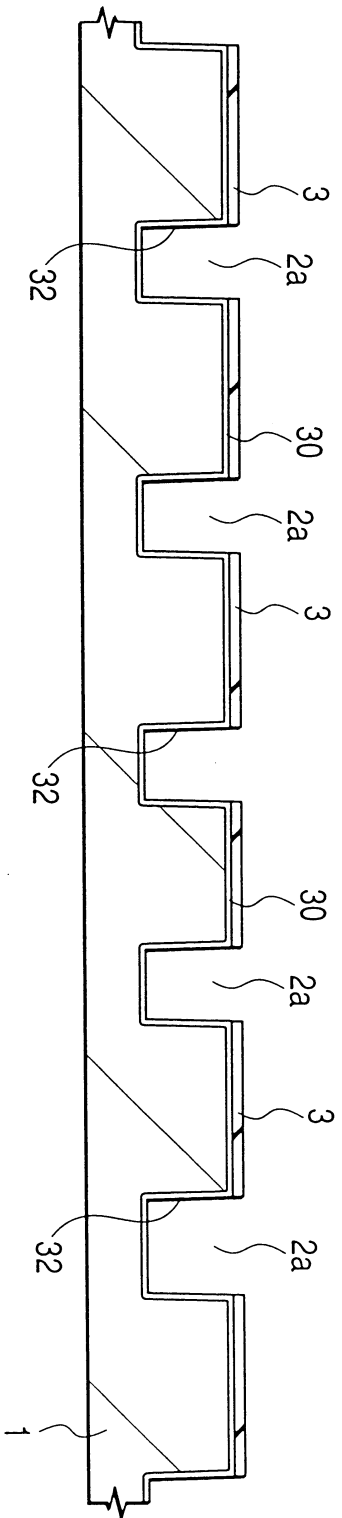


圖 10

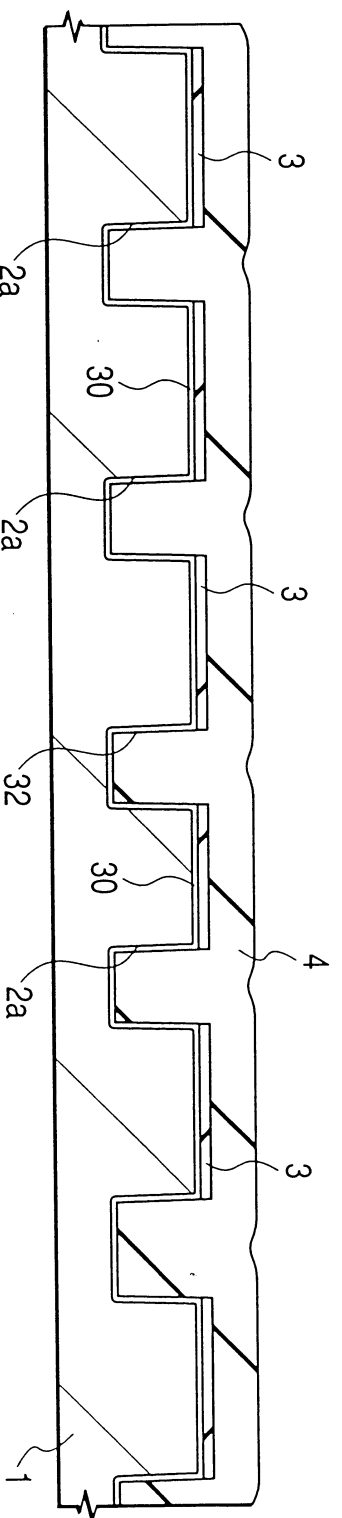


圖 11

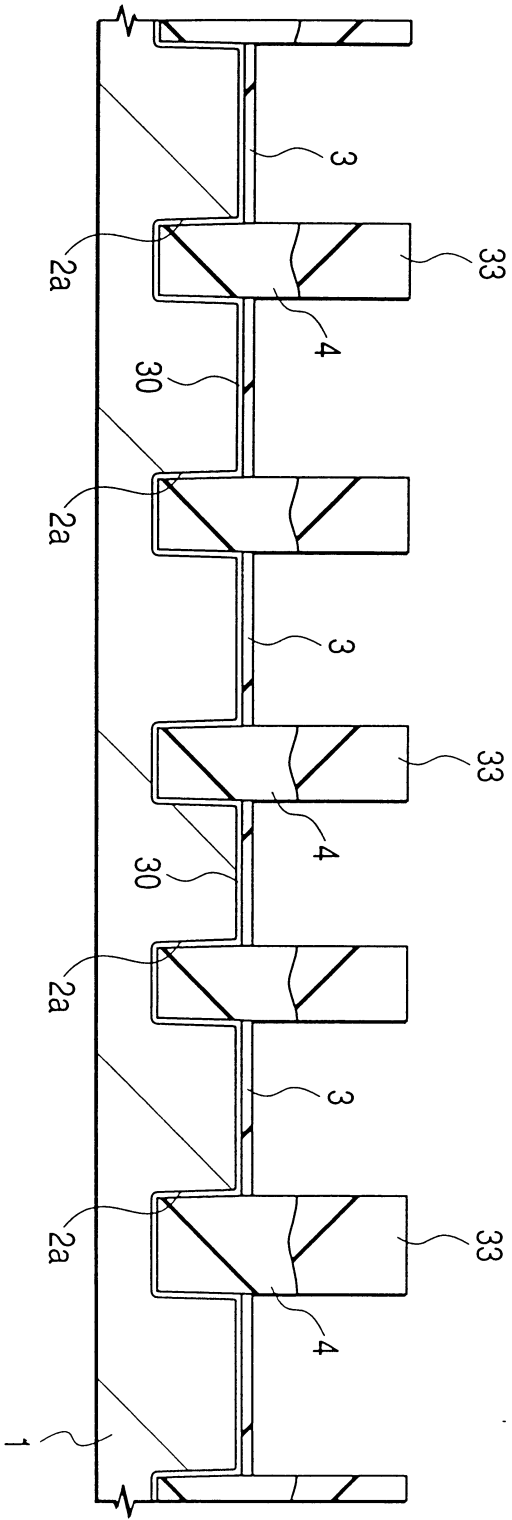


圖 12

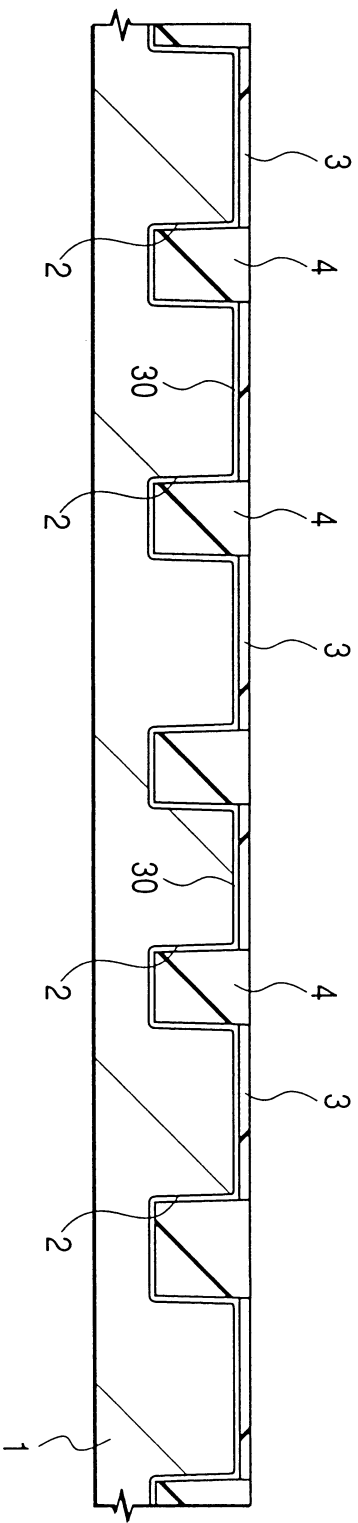


圖 13

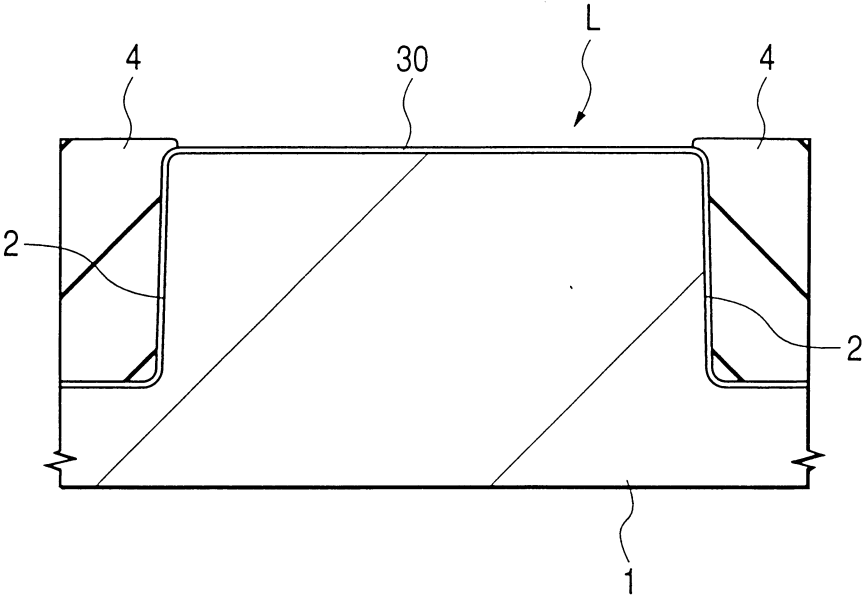


圖 14

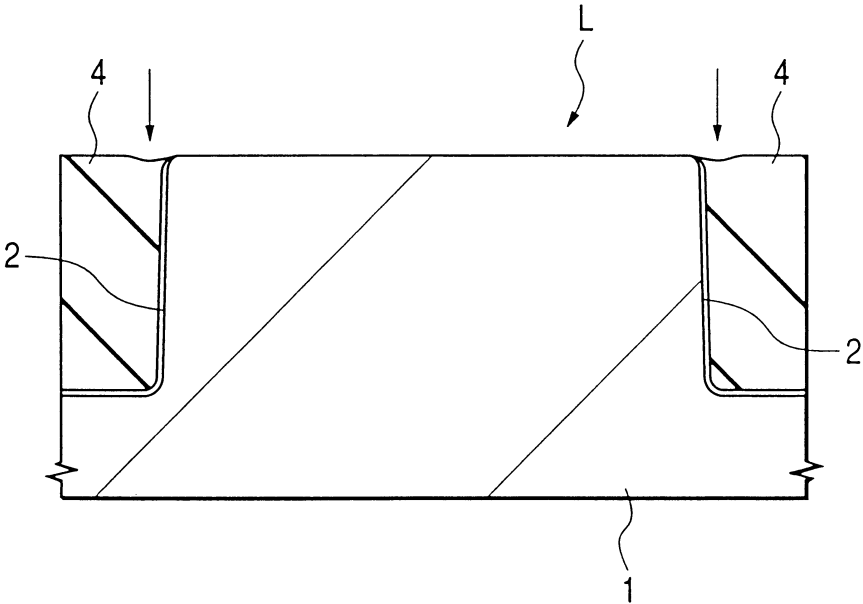


圖 15

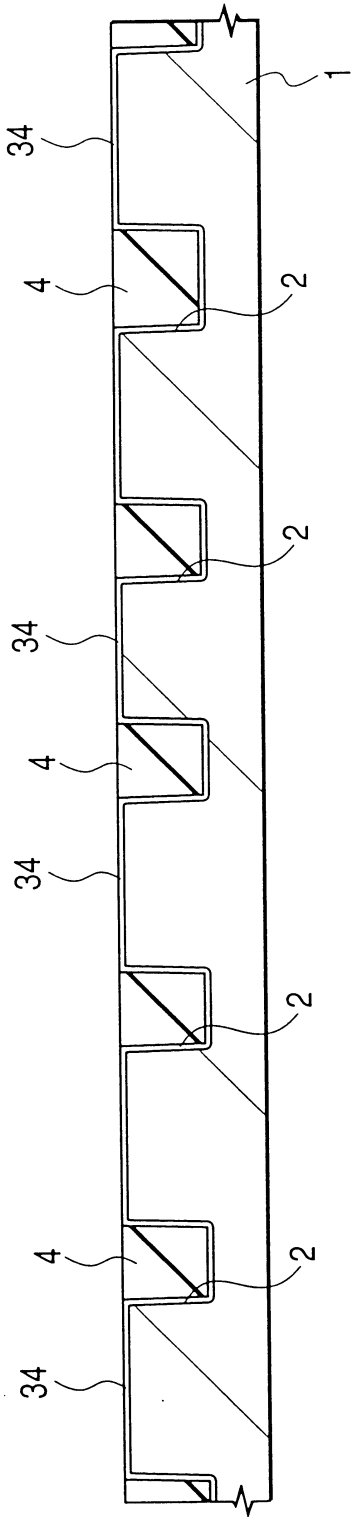


圖 16

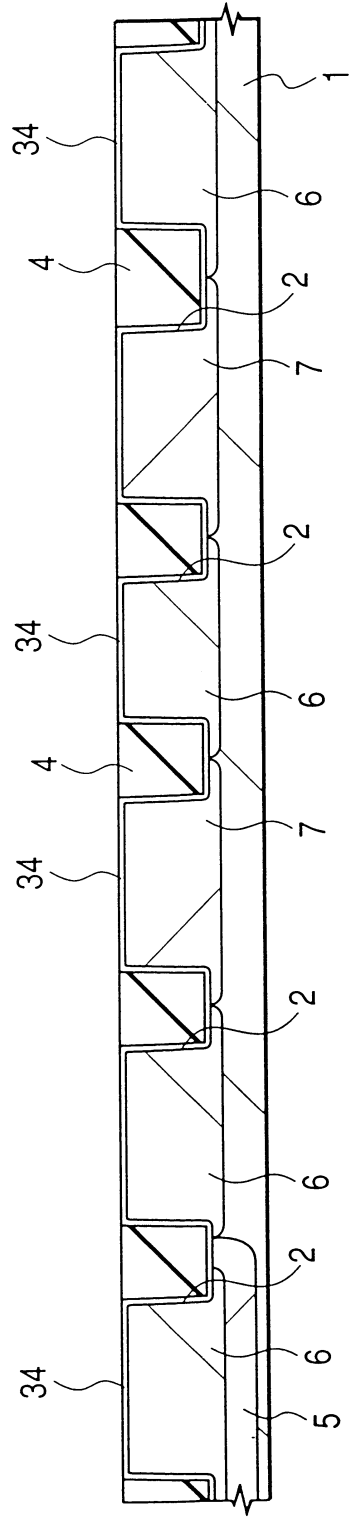


圖 17

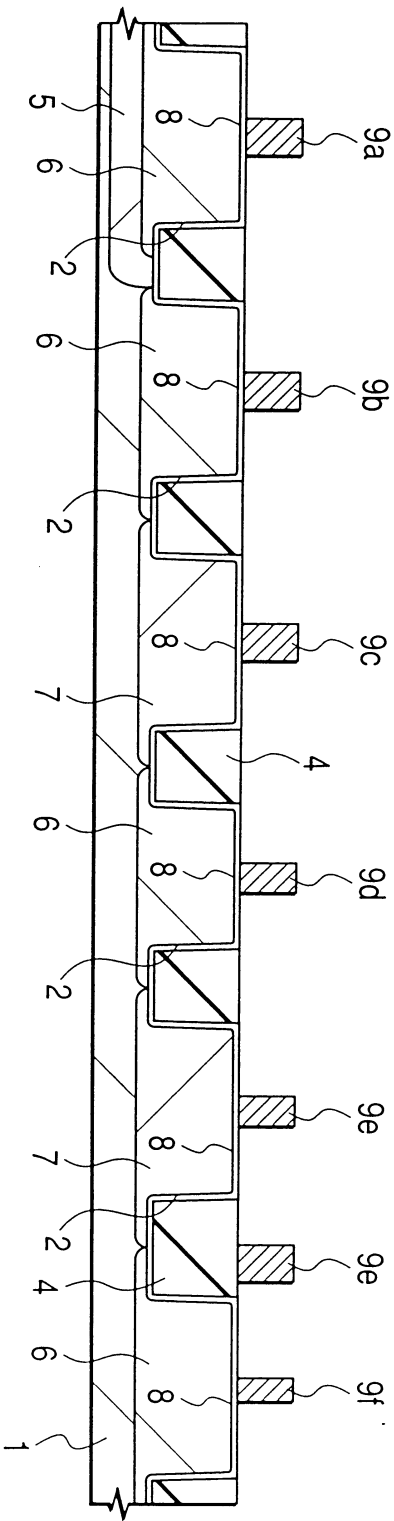


圖 18

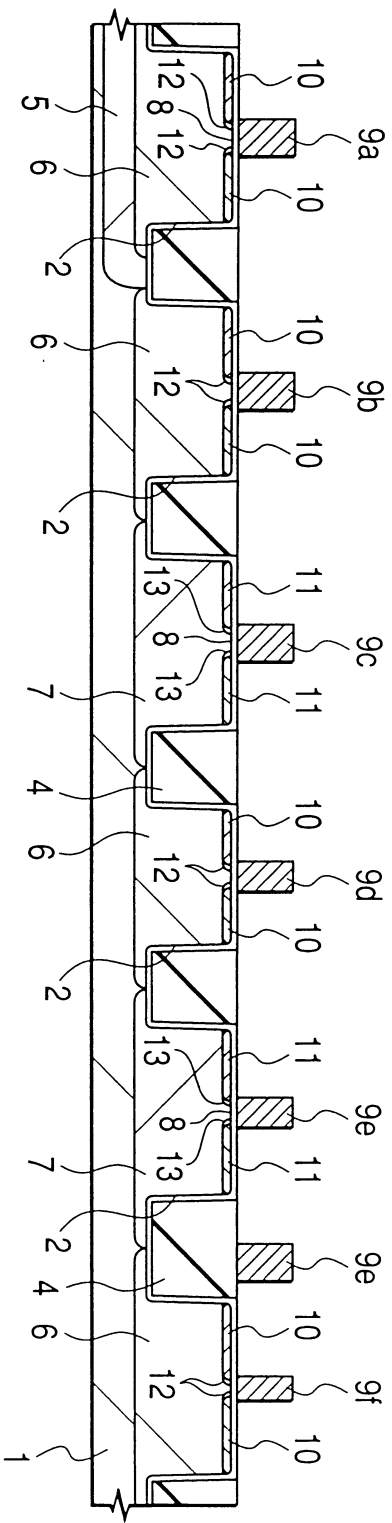


圖 19

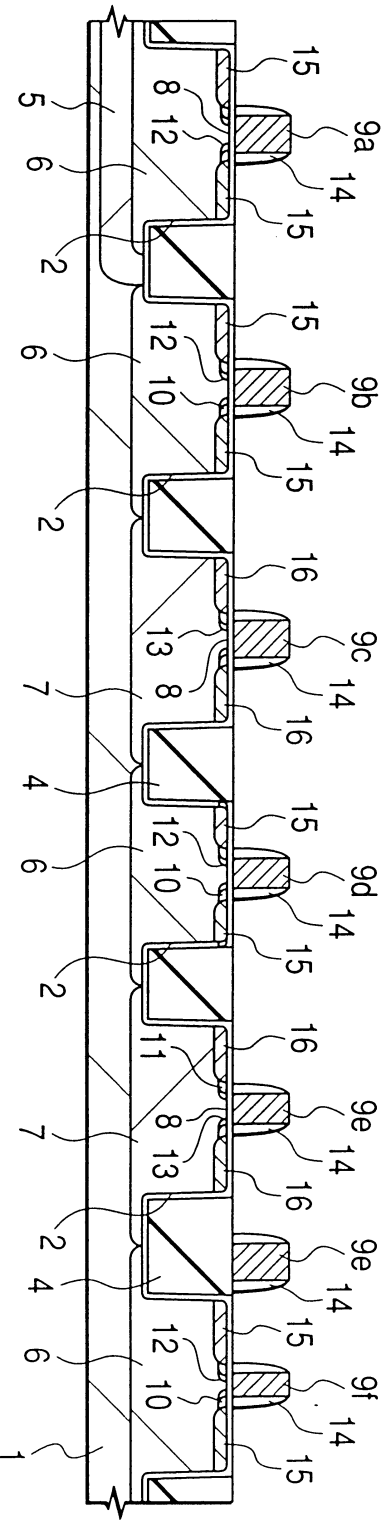


圖 20

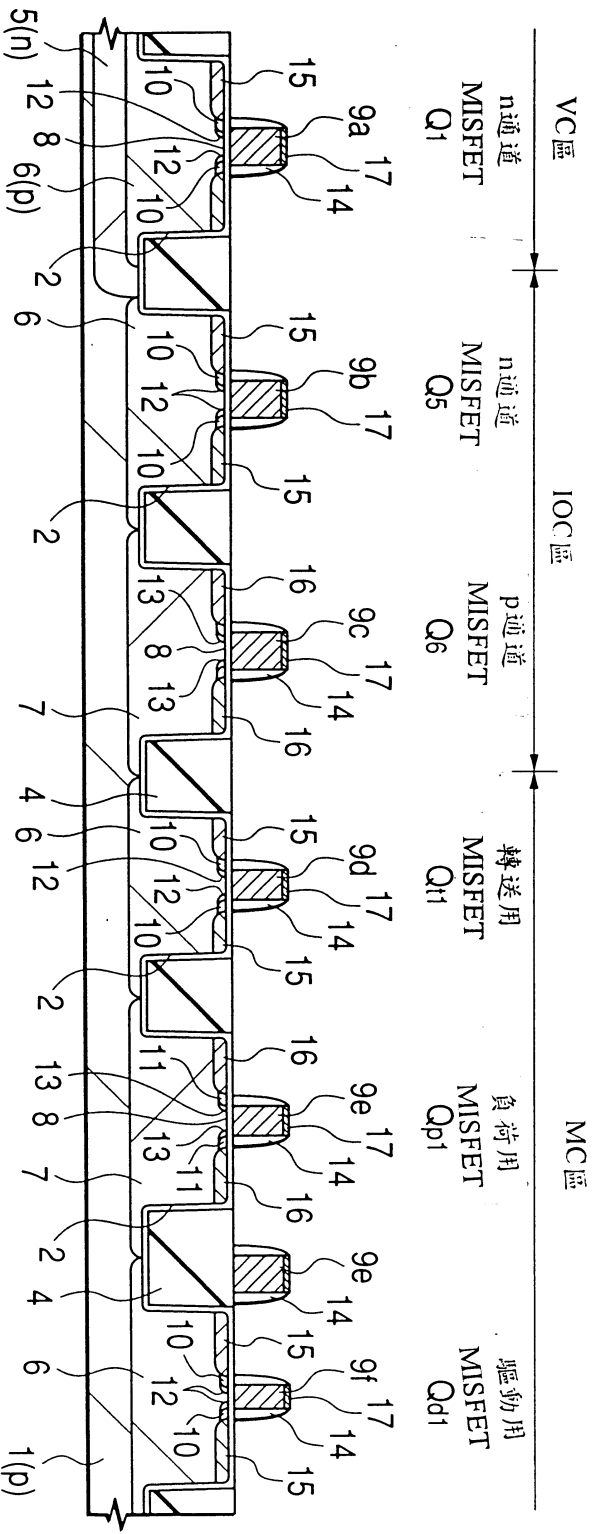


圖 21

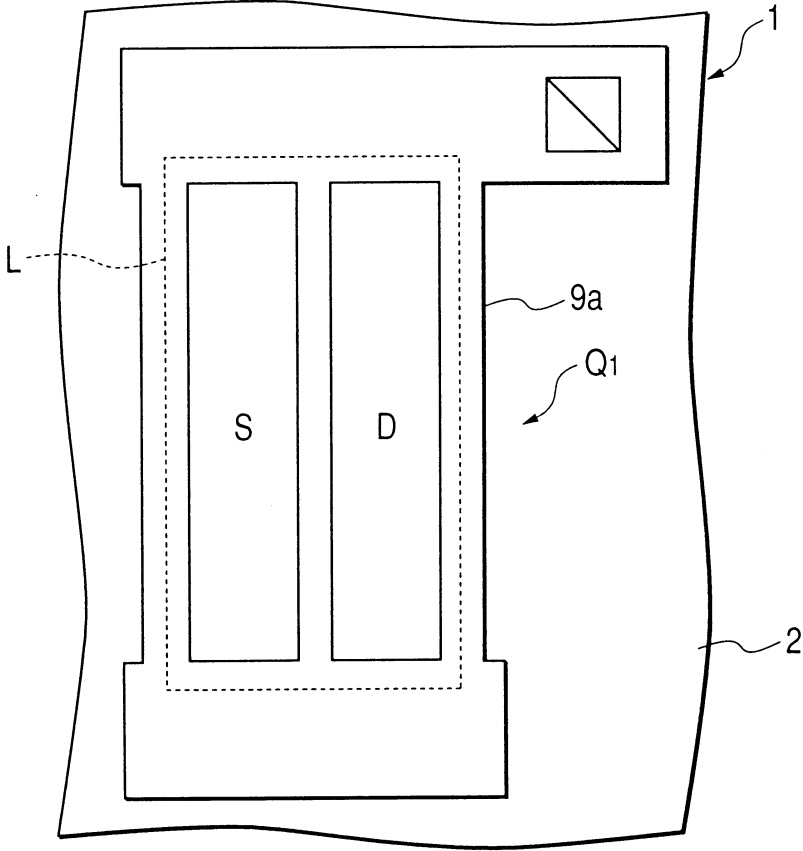


圖 22