



등록특허 10-2050779



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년12월02일

(11) 등록번호 10-2050779

(24) 등록일자 2019년11월26일

(51) 국제특허분류(Int. Cl.)

H01L 29/78 (2006.01) H01L 21/336 (2006.01)

(21) 출원번호 10-2013-0067855

(22) 출원일자 2013년06월13일

심사청구일자 2018년05월29일

(65) 공개번호 10-2014-0145421

(43) 공개일자 2014년12월23일

(56) 선행기술조사문헌

US20090227082 A1\*

US20110156107 A1\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자 주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

김국태

경기 화성시 동탄숲속로 68, 873동 2003호 (능동, 숲속마을자연앤파크아파트)

김영탁

경기 화성시 동탄공원로 21-39, 970동 304호 (능동, 푸른마을신일해피트리아파트)

(뒷면에 계속)

(74) 대리인

특허법인가산

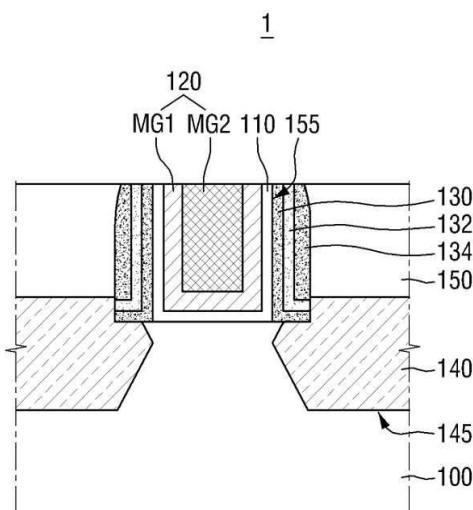
심사관 : 최정민

전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 소자 및 이의 제조 방법

**(57) 요 약**

저유전율 물질을 포함하는 다중 게이트 스페이서 구조를 이용함으로써, 게이트와 소오스 및/또는 드레인간의 용량 커플링(capacitive coupling) 현상을 경감시킬 수 있는 반도체 소자를 제공하는 것이다. 상기 반도체 소자는 기판 상에 형성되고, 트렌치를 포함하는 충간 절연막, 상기 트렌치 내에 형성되는 리플레이스먼트(replacement) 게이트 전극, 상기 게이트 전극의 측벽 상에 L자 모양으로 형성되는 제1 게이트 스페이서, 상기 제1 게이트 스페이서 상에, 실리콘 질화물보다 낮은 유전 상수를 갖고, L자 모양으로 형성되는 제2 게이트 스페이서, 및 상기 제2 게이트 스페이서 상에 형성되는 제3 스페이서를 포함한다.

**대 표 도** - 도1

(72) 발명자

**손호성**

경기 화성시 병점4로 102, 1010동 904호 (진안동,  
진안골마을주공10단지)

**원석준**

서울 서초구 서운로 62, 12동 403호 (서초동, 우성  
아파트)

**이지혜**

경기 수원시 영통구 태장로 45, 203동 802호 (망포  
동, 망포마을현대2차아이파크)

**이철웅**

경기도 수원시 영통구 망포동 영통로 200번길 156,  
방죽마을영통뜨란채APT 1002동 302호

## 명세서

### 청구범위

#### 청구항 1

기판 상에 형성되고, 트렌치를 포함하는 충간 절연막;

상기 트렌치 내에 형성되고, 상기 트렌치의 측면 및 바닥면을 따라 형성되는 제1 금속층 및 상기 제1 금속층에 의해 형성된 공간을 채우는 제2 금속층을 포함하는 게이트 전극;

상기 기판과 상기 게이트 전극 사이에 형성된 게이트 유전막;

상기 게이트 전극 및 상기 게이트 유전막의 측벽 상에 형성되고, 실리콘 질화물을 포함하는 제1 게이트 스페이서;

상기 제1 게이트 스페이서 상에 형성되고, 실리콘 질화물보다 작은 유전 상수를 갖는 제2 게이트 스페이서;

상기 제2 게이트 스페이서 상에 형성된 제3 게이트 스페이서; 및

상기 기판에 형성된 리세스 내에 형성되고, SiGe를 포함하는 소오스/드레인을 포함하되,

상기 제1 게이트 스페이서는 상기 게이트 유전막에 직접 접하고, 상기 소오스/드레인의 상면은 상기 게이트 전극의 하부에 형성된 상기 게이트 유전막의 상면보다 높게 형성되는 반도체 소자.

#### 청구항 2

제1 항에 있어서,

상기 제2 게이트 스페이서는 실리콘 산화물보다 큰 유전 상수를 갖는 반도체 소자.

#### 청구항 3

제2 항에 있어서,

상기 제2 게이트 스페이서는 SiOCN 또는 SiOC를 포함하는 반도체 소자.

#### 청구항 4

제1 항에 있어서,

상기 제3 게이트 스페이서는 실리콘 질화물을 포함하는 반도체 소자.

#### 청구항 5

제1 항에 있어서,

상기 충간 절연막의 상면 및 상기 게이트 전극의 상면은 동일 평면 상에 놓여있는 반도체 소자.

#### 청구항 6

제 1항에 있어서,

상기 게이트 유전막은 하프늄 산화물을 포함하는 반도체 소자.

#### 청구항 7

제 1항에 있어서,

상기 제1 금속층은 TiN을 포함하는 반도체 소자.

#### 청구항 8

제 1항에 있어서,

상기 제2 금속층은 AI을 포함하는 반도체 소자.

### 청구항 9

기판 상에 형성되고, 트렌치를 포함하는 충간 절연막;

상기 트렌치 내에 형성되고, 상기 트렌치의 측면 및 바닥면을 따라 형성되는 제1 금속층 및 상기 제1 금속층에 의해 형성된 공간을 채우는 제2 금속층을 포함하는 게이트 전극;

상기 기판과 상기 게이트 전극 사이에 형성된 게이트 유전막;

상기 게이트 전극 및 상기 게이트 유전막의 측벽 상에 형성되고, 실리콘 질화물을 포함하고, 상기 게이트 전극의 측벽으로부터 돌출된 하부를 갖는 제1 게이트 스페이서;

상기 제1 게이트 스페이서 상에 형성되고, 실리콘 질화물보다 작은 유전 상수를 갖는 제2 게이트 스페이서;

상기 제2 게이트 스페이서 상에 형성된 제3 게이트 스페이서; 및

상기 기판에 형성된 리세스 내에 형성되고, SiGe를 포함하는 소오스/드레인을 포함하되,

상기 제1 게이트 스페이서는 상기 게이트 유전막에 직접 접하고, 상기 소오스/드레인의 상면은 상기 게이트 전극의 하부에 형성된 상기 게이트 유전막의 상면보다 높게 형성되는 반도체 소자.

### 청구항 10

제 9항에 있어서,

상기 제2 게이트 스페이서의 유전 상수는 4 내지 6의 값을 갖고, 상기 제1 및 제2 게이트 스페이서 각각은 L자 형상을 갖는 반도체 소자.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 반도체 소자 및 이의 제조 방법에 관한 것이다.

### 배경 기술

[0002] 반도체 장치의 밀도를 높이기 위한 스케일링(scaling) 기술 중 하나로서, 기판 상에 핀(fin) 형상의 실리콘 바디(body)를 형성하고 실리콘 바디의 표면 위에 게이트를 형성하는 멀티-게이트(multi-gate) 트랜지스터가 제안되었다.

[0003] 이러한 멀티 게이트 트랜지스터는 3차원의 채널을 이용하기 때문에, 스케일링하는 것이 용이하다. 또한, 멀티 게이트 트랜지스터의 게이트 길이를 증가시키지 않아도, 전류 제어 능력을 향상시킬 수 있다. 뿐만 아니라, 드레인 전압에 의해 채널 영역의 전위가 영향을 받는 SCE(short channel effect)를 효과적으로 억제할 수 있다.

### 발명의 내용

#### 해결하려는 과제

[0004] 본 발명이 해결하려는 과제는, 저유전율 물질을 포함하는 다중 게이트 스페이서 구조를 이용함으로써, 게이트와 소오스 및/또는 드레인간의 용량 커플링(capacitive coupling) 현상을 경감시킬 수 있는 반도체 소자를 제공하는 것이다.

[0005] 본 발명이 해결하려는 다른 과제는, 상기 반도체 소자를 제조하는 반도체 소자 제조 방법을 제공하는 것이다.

[0006] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

### 과제의 해결 수단

[0007] 상기 과제를 해결하기 위한 본 발명의 반도체 소자의 일 태양(aspect)은 기판 상에 형성되고, 트렌치를 포함하는 충간 절연막, 상기 트렌치 내에 형성되는 리플레이스먼트(replacement) 게이트 전극, 상기 게이트 전극의 측벽 상에 L자 모양으로 형성되는 제1 게이트 스페이서, 상기 제1 게이트 스페이서 상에, 실리콘 질화물보다 낮은 유전 상수를 갖고, L자 모양으로 형성되는 제2 게이트 스페이서, 및 상기 제2 게이트 스페이서 상에 형성되는 제3 스페이서를 포함한다.

[0008] 본 발명의 몇몇 실시예에서, 상기 제2 게이트 스페이서는 실리콘 산화물보다 큰 유전 상수를 갖는다.

[0009] 본 발명의 몇몇 실시예에서, 상기 제2 게이트 스페이서는 SiOCN 또는 SiOC를 포함한다.

[0010] 본 발명의 몇몇 실시예에서, 상기 제2 게이트 스페이서의 유전 상수는 4 내지 6 사이의 값을 갖는다.

[0011] 본 발명의 몇몇 실시예에서, 상기 제1 게이트 스페이서 및 상기 제3 게이트 스페이서는 실리콘 질화물을 포함한다.

[0012] 본 발명의 몇몇 실시예에서, 상기 충간 절연막의 상면 및 상기 게이트 전극의 상면은 동일 평면 상에 놓여있다.

[0013] 본 발명의 몇몇 실시예에서, 상기 게이트 전극과 상기 기판 사이에 형성되는 게이트 유전막을 더 포함하고, 상기 게이트 유전막은 상기 트렌치의 측면 및 바닥면을 따라 형성된다.

[0014] 본 발명의 몇몇 실시예에서, 상기 제1 게이트 스페이서는 상기 게이트 유전막에 접하여 형성된다.

[0015] 본 발명의 몇몇 실시예에서, 상기 게이트 전극과 상기 기판 사이에 형성되는 게이트 유전막을 더 포함하고, 상기 게이트 유전막은 상기 트렌치의 바닥면에 형성된다.

[0016] 본 발명의 몇몇 실시예에서, 상기 제1 게이트 스페이서는 상기 게이트 유전막 및 상기 게이트 전극에 접하여 형성된다.

[0017] 본 발명의 몇몇 실시예에서, 상기 게이트 전극의 양측에 형성되는 상승된 소오스/드레인을 더 포함한다.

[0018] 상기 과제를 해결하기 위한 본 발명의 반도체 소자의 다른 태양은 기판 상에 형성되고, 트렌치를 포함하는 충간 절연막, 상기 트렌치 내에 형성되는 게이트 전극으로, 상기 게이트 전극의 상면은 상기 충간 절연막의 상면과 동일 평면 상에 놓이는 게이트 전극, 상기 게이트 전극의 측벽 상에 L자 모양으로 형성되고, SiOCN을 포함하는 제1 게이트 스페이서, 및 상기 제1 게이트 스페이서 상에 형성되고, 실리콘 질화물을 포함하는 제2 게이트 스페이서를 포함한다.

[0019] 본 발명의 몇몇 실시예에서, 상기 게이트 전극과 상기 제1 게이트 스페이서 사이에 L자 모양으로 형성되는 제3 스페이서를 더 포함하고, 상기 제1 스페이서는 상기 제3 스페이서 상에 형성된다.

[0020] 본 발명의 몇몇 실시예에서, 상기 제3 스페이서는 실리콘 질화물을 포함한다.

[0021] 본 발명의 몇몇 실시예에서, 상기 제1 게이트 스페이서의 유전 상수는 4 내지 6 사이의 값을 갖는다.

[0022] 상기 다른 과제를 해결하기 위한 본 발명의 반도체 소자 제조 방법의 일 태양은 기판 상에 더미 게이트 전극을 형성하고, 상기 더미 게이트 전극의 양측에 있는 상기 기판 내에 불순물 영역을 형성하고, 상기 불순물 영역을 형성한 후, 상기 더미 게이트 전극의 양 측벽에, L자 모양의 제1 게이트 스페이서를 형성하고, 상기 제1 게이트 스페이서 상에 실리콘 질화물보다 낮은 유전 상수를 갖는 L자 모양의 제2 게이트 스페이서를 형성하고, 상기 제2 게이트 스페이서 상에 제3 게이트 스페이서를 형성하고, 상기 제1 내지 제3 게이트 스페이서의 측면에, 상기 기판을 식각하여 리세스를 형성하는 것을 포함한다.

[0023] 본 발명의 실시예에서, 상기 제1 내지 제3 게이트 스페이서를 형성하는 것은 상기 기판 및 상기 더미 게이트 전극 상에, 상기 기판 및 상기 더미 게이트 전극을 따라 제1 스페이서막과, 제2 스페이서막과, 제3 스페이서막을 순차적으로 형성하고, 상기 제1 스페이서막과, 제2 스페이서막과, 상기 제3 스페이서막을 건식 식각하여, 상기 제1 내지 제3 게이트 스페이서를 동시에 형성하는 것을 포함한다.

[0024] 본 발명의 실시예에서, 상기 제1 스페이서막과, 상기 제2 스페이서막과, 상기 제3 스페이서막은 인시츄(in-situ)로 형성하는 것을 포함한다.

[0025] 본 발명의 실시예에서, 상기 제2 스페이서막은 SiOCN 또는 SiOC을 포함한다.

[0026] 본 발명의 실시예에서, 상기 제2 스페이서막은 SiOCN막이고, 상기 제2 스페이서막을 형성하는 것은 SiON막과

SiCN막을 반복적으로 적층하여 형성하는 것을 포함한다.

[0027] 본 발명의 실시예에서, 상기 제1 게이트 스페이서 및 상기 제3 게이트 스페이서는 실리콘 질화물을 포함한다.

[0028] 본 발명의 실시예에서, 상기 불순물 영역을 형성하는 것은 상기 기판 및 상기 더미 게이트 전극을 따라 라이너 막을 형성하고, 이온 주입 공정을 이용하여, 상기 라이너막이 형성된 상기 기판 내에 불순물을 주입하고, 습식 식각을 이용하여, 상기 라이너막의 적어도 일부를 제거하는 것을 포함한다.

[0029] 본 발명의 실시예에서, 상기 리세스 내에 상승된 소오스/드레인을 형성하고, 상기 상승된 소오스/드레인 및 상기 더미 게이트 전극을 덮는 층간 절연막을 형성하고, 상기 층간 절연막을 평탄화하여, 상기 더미 게이트 전극을 노출시키고, 상기 더미 게이트 전극을 제거하여, 상기 층간 절연막 내에 트렌치를 형성하고, 상기 트렌치를 매립하는 게이트 전극을 형성하는 것을 포함한다.

[0030] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

### 도면의 간단한 설명

[0031] 도 1은 본 발명의 일 실시예에 따른 반도체 소자를 설명하기 위한 도면이다.

도 2은 본 발명의 다른 실시예에 따른 반도체 소자를 설명하기 위한 도면이다.

도 3은 본 발명의 또 다른 실시예에 따른 반도체 소자를 설명하기 위한 도면이다.

도 4 내지 도 12는 본 발명의 일 실시예에 따른 반도체 소자 제조 방법을 설명하기 위한 중간단계 도면들이다.

도 13은 본 발명의 실시예들에 따른 반도체 소자를 포함하는 메모리 카드의 블록도이다.

도 14는 본 발명의 실시예들에 따른 반도체 소자를 이용한 정보 처리 시스템의 블록도이다.

도 15는 본 발명의 실시예들에 따른 반도체 소자를 포함하는 전자 장치의 블록도이다.

### 발명을 실시하기 위한 구체적인 내용

[0032] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0033] 하나의 소자(elements)가 다른 소자와 "접속된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 접속된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0034] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.

[0035] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음을 물론이다.

[0036] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다

른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0037] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

[0038] 이하에서, 도 1을 참조하여, 본 발명의 일 실시예에 따른 반도체 소자에 대해 설명한다.

[0039] 도 1은 본 발명의 일 실시예에 따른 반도체 소자를 설명하기 위한 도면이다. 도 1에서는 저농도 불순물 영역(LDD) 및/또는 할로(Halo) 이온 영역은 설명의 편의를 위해 생략하였다.

[0040] 도 1을 참고하면, 본 발명의 일 실시예에 따른 반도체 소자(1)은 게이트 전극(120), 게이트 유전막(110), 제1 게이트 스페이서(130), 제2 게이트 스페이서(132), 제3 게이트 스페이서(134) 및 층간 절연막(150)을 포함한다.

[0041] 기판(100)은 예를 들어, 벌크 실리콘 또는 SOI(silicon-on-insulator)일 수 있다. 이와 달리, 기판(100)은 실리콘 기판일 수도 있고, 또는 다른 물질, 예를 들어, 실리콘게르마늄, 안티몬화 인듐, 납 텔루르 화합물, 인듐 비소, 인듐 인화물, 갈륨 비소 또는 안티몬화 갈륨을 포함할 수 있다. 또는 기판(100)은 베이스 기판 상에 에피 층이 형성된 것일 수도 있다.

[0042] 소오스/드레인(140)은 게이트 전극(120)의 양측에 형성될 수 있다. 소오스/드레인(140)은 기판(100) 내에 형성된 리세스(145)를 내에 형성될 수 있다. 소오스/드레인(140)은 기판(100)과 게이트 유전막(110) 사이의 경계보다 돌출되어 형성될 수 있고, 즉, 상승된 소오스/드레인일 수 있으나, 이에 제한되는 것은 아니다.

[0043] 도 1에서, 소오스/드레인(140)이 형성되는 리세스(145)의 단면은 시그마( $\Sigma$ )형상인 것으로 도시하였지만, 이에 제한되는 것은 아니다.

[0044] 반도체 소자(1)가 PMOS 펀형 트랜지스터인 경우, 소오스/드레인(140)은 압축 스트레스 물질을 포함할 수 있다. 예를 들어, 압축 스트레스 물질은 Si에 비해서 격자상수가 큰 물질일 수 있고, 예를 들어 SiGe일 수 있다. 압축 스트레스 물질은 소오스/드레인(140) 사이에 압축 스트레스를 가하여 채널 영역의 캐리어의 이동도(mobility)를 향상시킬 수 있다.

[0045] 이와는 달리, 반도체 소자(1)가 NMOS 펀형 트랜지스터인 경우, 소오스/드레인(140)은 기판(100)과 동일 물질 또는, 인장 스트레스 물질일 수 있다. 예를 들어, 기판(100)이 Si일 때, 소오스/드레인(140)은 Si이거나, Si보다 격자 상수가 작은 물질(예를 들어, SiC)일 수 있다.

[0046] 층간 절연막(150)은 기판(100) 상에 형성되고, 소오스/드레인(140)를 덮는다. 층간 절연막(150)은 트렌치(155)를 포함한다. 층간 절연막(150)은 저유전율 물질, 산화막, 질화막 및 산질화막 중 적어도 하나를 포함할 수 있다. 저유전율 물질은 예를 들어, FOX(Flowable Oxide), TOSZ(Tonen SilaZen), USG(Undoped Silica Glass), BSG(Borosilica Glass), PSG(PhosphoSilica Glass), BPSG(BoroPhosphoSilica Glass), PRTEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate), FSG(Fluoride Silicate Glass), HDP(High Density Plasma), PEOX(Plasma Enhanced Oxide), FCVD(Flowable CVD) 또는 이들의 조합으로 이뤄질 수 있으나, 이에 제한되는 것은 아니다.

[0047] 게이트 전극(120)은 트렌치(155) 내에 형성된다. 게이트 전극(120)은 예를 들어, 리플레이스먼트(replacement) 공정을 통해서 형성되는 리플레이스먼트 게이트 전극일 수 있다. 게이트 전극(120)의 상면은 층간 절연막(150)의 상면과 동일 평면 상에 놓여 있다.

[0048] 게이트 전극(120)은 금속층(MG1, MG2)을 포함할 수 있다. 게이트 전극(120)은 도시된 것과 같이, 2층 이상의 금속층(MG1, MG2)이 적층될 수 있다. 제1 금속층(MG1)은 일함수 조절을 하고, 제2 금속층(MG2)은 제1 금속층(MG1)에 의해 형성된 공간을 채우는 역할을 한다. 제1 금속층(MG1)은 트렌치(155)의 측면 및 바닥면을 따라 형성될 수 있다. 예를 들어, 제1 금속층(MG1) TiN, TaN, TiC, 및 TaC 중 적어도 하나를 포함할 수 있다. 또한, 제2 금속층(MG2)은 W 또는 Al을 포함할 수 있다.

[0049] 게이트 유전막(110)은 기판(100)과 게이트 전극(120) 사이에 형성될 수 있다. 게이트 유전막(110)은 트렌치(155)의 측면 및 바닥면을 따라 형성될 수 있다. 게이트 유전막(110)은 실리콘 산화막보다 높은 유전 상수를 갖는 고유전체 물질을 포함할 수 있다. 예를 들어, 게이트 유전막(110)은 하프늄 산화물(hafnium oxide), 하프늄 실리콘 산화물(hafnium silicon oxide), 란타늄 산화물(lanthanum oxide), 란타늄 알루미늄 산화물(lanthanum aluminum oxide), 지르코늄 산화물(zirconium oxide), 지르코늄 실리콘 산화물(zirconium silicon oxide), 탄

탈륨 산화물(tantalum oxide), 티타늄 산화물(titanium oxide), 바륨 스트론튬 티타늄 산화물(barium strontium titanium oxide), 바륨 티타늄 산화물(barium titanium oxide), 스트론튬 티타늄 산화물(strontium titanium oxide), 이트륨 산화물(yttrium oxide), 알루미늄 산화물(Aluminum oxide), 납 스칸듐 탄탈륨 산화물(lead scandium tantalum oxide), 또는 납 아연 니오브산염(lead zinc niobate) 중에서 하나 이상을 포함할 수 있으나, 이에 제한되는 것은 아니다.

[0050] 게이트 전극(120)의 측벽에는 3중 구조의 스페이서(130, 132, 134)가 형성된다. 3중 구조의 스페이서(130, 132, 134)는 제1 게이트 스페이서(130), 제2 게이트 스페이서(132) 및 제3 게이트 스페이서(134)를 포함한다.

[0051] 제1 게이트 스페이서(130)는 게이트 전극(120)의 측벽 상에 형성될 수 있다. 다시 말하면, 제1 게이트 스페이서(130)는 트렌치(155)의 측면에 형성된 게이트 유전막(110) 상에 형성된다. 제1 게이트 스페이서(130)는 게이트 유전막(110)과 접하여 형성된다.

[0052] 제1 게이트 스페이서(130)는 기판(100) 상에 L자 모양으로 형성된다. 따라서, 제1 게이트 스페이서(130)의 일부는 게이트 유전막(110)과 접하여 형성된다.

[0053] 제1 게이트 스페이서(130)는 높은 식각 선택비(etching selectivity)를 갖는 물질을 포함할 수 있고, 예를 들어, 실리콘 질화물을 포함할 수 있다.

[0054] 제2 게이트 스페이서(132)는 제1 게이트 스페이서(130) 상에 형성된다. 구체적으로, 제2 게이트 스페이서(132)는 L자 모양으로 형성되고, L자 모양의 제1 게이트 스페이서(130) 상에 형성된다.

[0055] 제2 게이트 스페이서(132)는 제1 게이트 스페이서(130) 및 제3 게이트 스페이서(134)보다 낮은 유전 상수를 갖는 물질을 포함할 수 있다. 구체적으로, 제2 게이트 스페이서(132)는 실리콘 질화물보다 유전 상수가 낮은 물질을 포함한다. 또한, 제2 게이트 스페이서(132)는 실리콘 산화물보다 유전 상수가 큰 물질을 포함한다. 제2 게이트 스페이서(132)는 실리콘 질화물보다 낮은 유전 상수를 갖지만, 실리콘 질화물과 유사한 식각 선택비를 가질 수 있다. 여기에서, 제2 게이트 스페이서(132)의 식각 선택비는 실리콘 산화물에 대한 식각 선택비일 수 있다.

[0056] 예를 들어, 제2 게이트 스페이서(132)는 SiOCN 또는 SiOC를 포함할 수 있다. 제2 게이트 스페이서(132)의 유전 상수는 4 내지 6 사이의 값을 가질 수 있다.

[0057] 제3 게이트 스페이서(134)는 제2 게이트 스페이서(132) 상에 형성된다. 제3 게이트 스페이서(134)는 제1 게이트 스페이서(130) 및 제2 게이트 스페이서(132)와 달리, L자 모양을 갖지 않을 수 있다.

[0058] 제3 게이트 스페이서(134)는 제1 게이트 스페이서(130)와 같이, 식각 내성 물질을 포함할 수 있고, 예를 들어, 실리콘 질화물을 포함할 수 있다.

[0059] 제1 게이트 스페이서(130)와 제3 게이트 스페이서(134) 사이에 개재되는 제2 게이트 스페이서(132)는 제1 게이트 스페이서(130)뿐만 아니라, 제3 게이트 스페이서(134)와 직접 접하여 형성될 수 있다. 제2 게이트 스페이서(132)는 제1 게이트 스페이서(130) 및 제3 게이트 스페이서(134) 사이에 형성되므로, 제2 게이트 스페이서(132)가 노출되는 면적이 줄어들 수 있다.

[0060] 게이트 전극(120)의 측벽 상에 3중 구조의 스페이서(130, 132, 134)가 형성된다. 예를 들어, 제1 게이트 스페이서(130) 및 제3 게이트 스페이서(134)는 실리콘 질화물로 이루어진 스페이서이고, 제2 게이트 스페이서(132)는 SiOCN으로 이루어진 스페이서이다. 제2 게이트 스페이서(132)는 제1 게이트 스페이서(130) 및 제3 게이트 스페이서(134)보다 낮은 유전 물질을 포함한다. 제2 게이트 스페이서(132)가 실리콘 질화물을 각각 포함하는 제1 게이트 스페이서(130) 및 제3 게이트 스페이서(134)보다 저유전 물질을 포함하기 때문에, 3중 구조의 스페이서(130, 132, 134)의 전체적인 유전 상수는 낮아지게 된다. 이를 통해, 게이트 전극(120)과 소오스/드레인(140) 사이의 용량 커플링(capacitive coupling)을 감소시켜줄 수 있다. 용량 커플링을 감소시켜줌으로써, 반도체 소자(1)의 AC 성능을 향상시켜 줄 수 있다.

[0061] 도 2를 참조하여, 본 발명의 다른 실시예에 따른 반도체 소자에 대해 설명한다. 본 실시예는 게이트 유전막(110)의 형상을 제외하고는 전술한 실시예와 실질적으로 동일하므로, 전술한 실시예와 중복되는 부분에 대하여는 동일한 도면번호를 기재하고 그에 대한 설명은 간략히 하거나 생략하기로 한다.

[0062] 도 2는 본 발명의 다른 실시예에 따른 반도체 소자를 설명하기 위한 도면이다.

[0063] 도 2를 참고하면, 본 발명의 다른 실시예에 따른 반도체 소자(2)은 게이트 전극(120), 게이트 유전막(110), 제1 게이트 스페이서(130), 제2 게이트 스페이서(132), 제3 게이트 스페이서(134) 및 층간 절연막(150)을 포함한다.

[0064] 리플레이스먼트 공정을 통해 형성되는 게이트 전극(120)은 트렌치(155) 내에 형성된다. 게이트 전극(120) 중 제1 금속층(MG1)은 트렌치(155)의 측면 및 바닥면을 따라 형성된다. 도 1에서, 제1 금속층(MG1)은 게이트 유전막(110)을 매개로 제1 게이트 스페이서(130)와 접하는 것으로 도시되었지만, 본 발명의 다른 실시예에 따른 반도체 소자(2)에서, 제1 금속층(MG1)은 제1 게이트 스페이서(130)와 접하여 형성될 수 있다.

[0065] 게이트 유전막(110)은 기판(100)과 게이트 전극(120) 사이에 형성될 수 있다. 게이트 유전막(110)은 트렌치(155)의 바닥면에 형성되지만, 트렌치(155)의 측면에는 형성되지 않는다. 리플레이스먼트 게이트 전극(120)을 형성하기 위해 트렌치(155)를 형성할 때, 게이트 유전막(110)은 남겨두고, 게이트 유전막(110) 상에 있는 더미 게이트 전극만을 제거할 경우, 게이트 유전막(110)은 트렌치(155)의 바닥면에만 형성될 수 있다.

[0066] 본 발명의 다른 실시예에 따른 반도체 소자(2)에서, 제1 게이트 스페이서(130)는 게이트 전극(120) 및 게이트 유전막(110)에 접하여 형성될 수 있다. 즉, 제1 게이트 스페이서(130)의 하부는 게이트 유전막(110)과 접하고, 제1 게이트 스페이서(130)의 상부는 게이트 전극(120)과 접할 수 있다.

[0067] 도 3을 참조하여, 본 발명의 또 다른 실시예에 따른 반도체 소자에 대해 설명한다. 본 실시예는 제1 게이트 스페이서를 포함하지 않는 것을 제외하고, 도 1을 통해 설명한 실시예와 실질적으로 동일하므로, 차이점을 중심으로 설명한다.

[0068] 도 3은 본 발명의 또 다른 실시예에 따른 반도체 소자를 설명하기 위한 도면이다.

[0069] 도 3을 참고하면, 본 발명의 또 다른 실시예에 따른 반도체 소자(3)은 게이트 전극(120), 게이트 유전막(110), 제2 게이트 스페이서(132), 제3 게이트 스페이서(134) 및 중간 절연막(150)을 포함한다.

[0070] 본 발명의 또 다른 실시예에 따른 반도체 소자(3)에서, 게이트 전극(120)의 측벽에는 2중 구조의 스페이서(132, 134)가 형성된다. 2중 구조의 스페이서(132, 134)는 제2 게이트 스페이서(132) 및 제3 게이트 스페이서(134)를 포함한다.

[0071] 제2 게이트 스페이서(132)는 게이트 전극(120)의 측벽 상에 형성될 수 있다. 다시 말하면, 제2 게이트 스페이서(132)는 트렌치(155)의 측면에 형성된 게이트 유전막(110) 상에 형성된다. 제2 게이트 유전막(110)은 게이트 유전막(110)과 접하여 형성된다.

[0072] 제2 게이트 스페이서(132)는 기판(100) 상에 L자 모양으로 형성된다. 따라서, 제2 게이트 스페이서(132)의 일부는 게이트 유전막(110)과 접하여 형성된다.

[0073] 제2 게이트 스페이서(132)는 실리콘 질화물보다 유전 상수가 낮은 물질을 포함한다. 또한, 제2 게이트 스페이서(132)는 실리콘 산화물보다 유전 상수가 큰 물질을 포함한다. 제2 게이트 스페이서(132)는 실리콘 질화물보다 낮은 유전 상수를 갖지만, 실리콘 질화물과 유사한 식각 선택비를 가질 수 있다. 예를 들어, 제2 게이트 스페이서(132)는 SiOCN 또는 SiOC를 포함할 수 있다.

[0074] 제3 게이트 스페이서(134)는 제2 게이트 스페이서(132) 상에 형성된다. 제3 게이트 스페이서(134)는 제2 게이트 스페이서(132)와 달리, L자 모양을 갖지 않을 수 있다.

[0075] 제3 게이트 스페이서(134)는 식각 내성 물질을 포함할 수 있고, 예를 들어, 실리콘 질화물을 포함할 수 있다.

[0076] 도 1, 도 4 내지 도 12를 참조하여, 본 발명의 일 실시예에 따른 반도체 소자 제조 방법에 대해 설명한다.

[0077] 도 4 내지 도 12는 본 발명의 일 실시예에 따른 반도체 소자 제조 방법을 설명하기 위한 중간단계 도면들이다.

[0078] 도 4를 참고하면, 기판(100) 상에 순차적으로 적층된 더미 게이트 유전막(112), 더미 게이트 전극(122) 및 게이트 하드마스크(124)를 형성한다.

[0079] 본 발명의 일 실시예에 따른 반도체 소자 제조 방법에서, 기판(100)은 실리콘 기판인 경우를 들어 설명한다.

[0080] 기판(100) 상에 더미 유전막, 더미 전극막 및 하드마스크막을 순차적으로 형성할 수 있다. 더미 유전막은 예를 들어, 실리콘 산화막(SiO<sub>2</sub>), 실리콘 산질화막(SiON) 및 이들의 조합 중 하나를 포함할 수 있다. 더미 유전막은 예를 들어, 열처리, 화학 물질 처리, 원자층 증착법(ALD) 또는 화학 기상 증착법(CVD) 등을 이용하여 형성할 수 있다. 더미 전극막은 예를 들어, 실리콘일 수 있고, 구체적으로, 다결정 실리콘(poly Si), 비정질 실리콘(a-Si) 및 이들의 조합 중 하나를 포함할 수 있다. 다결정 실리콘은 예를 들어, 화학 기상 증착법을 이용하여 형성될 수 있고, 비정질 실리콘은 예를 들어, 스퍼터링(sputtering), 화학 기상 증착법, 플라즈마 증착법 등을 이용하여 형성될 수 있으나, 이에 제한되는 것은 아니다. 하드마스크막은 예를 들어, 질화막, 산화막 및 이들의 조합

을 포함할 수 있다. 하드마스크막은 예를 들어, 예를 들어, 화학 기상 증착법을 이용하여 형성될 수 있다.

[0081] 이 후, 더미 유전막과, 더미 전극막과 하드마스크막을 패터닝하여, 기판(100) 상에 더미 게이트 유전막(112), 더미 게이트 전극(122) 및 게이트 하드마스크(124)를 형성한다.

[0082] 본 발명의 일 실시예에 따른 반도체 소자 제조 방법에서, 더미 게이트 전극(122)과 기판(100) 사이에 이 후 공정에서 제거될 더미 게이트 유전막(112)이 형성되는 것으로 설명하나, 이에 제한되는 것은 아니다. 즉, 더미 게이트 전극(122)과 기판(100) 사이에, 이 후 공정에서 제거되지 않고 고유전체 물질을 포함하는 게이트 유전막이 형성될 수 있음을 물론이다.

[0083] 도 5를 참고하면, 이온 주입 공정(103)을 이용하여, 더미 게이트 전극(122)의 양측에 불순물 영역을 형성한다. 불순물 영역은 기판(100) 내에 형성된다.

[0084] 본 발명의 일 실시예에 따른 반도체 소자 제조 방법에서, 불순물 영역은 저농도 불순물 영역(LDD) 및/또는 할로(Halo) 이온 영역일 수 있다.

[0085] 구체적으로, 기판(100) 및 더미 게이트 전극(122) 상에 라이너막(107)을 형성한다. 라이너막(107)은 기판(100) 및 더미 게이트 전극(122)을 따라 컨포말하게 형성될 수 있다. 라이너막(107)은 예를 들어, 실리콘 질화물을 포함할 수 있고, 원자층 증착법 또는 화학 기상 증착법 등을 이용하여 형성할 수 있다.

[0086] 이어서, 이온 주입 공정(103)을 이용하여, 기판(100) 내에 불순물을 주입한다. 이온 주입 공정(103)에 의해 주입되는 불순물은 라이너막(107)을 관통하여 기판(100)내로 주입되게 된다. 이온 주입 공정(103)에 있어서, 더미 게이트 전극(122)은 마스크 역할을 하여, 불순물 영역은 더미 게이트 전극(122)의 양측에 형성된다.

[0087] 이어서, 라이너막(107)의 적어도 일부를 제거한다. 라이너막(107)은 예를 들어, 습식 식각 공정을 이용하여 제거될 수 있다. 라이너막(107)을 제거하는 것은 이 후에 진행되는 스페이서막들을 형성하기 위한 클리닝 작업일 수 있다.

[0088] 도 6을 참고하면, 기판(100) 상에 더미 게이트 전극(122)을 덮는 제1 스페이서막(130p), 제2 스페이서막(132p) 및 제3 스페이서막(134p)을 순차적으로 형성한다. 제1 스페이서막(130p), 제2 스페이서막(132p) 및 제3 스페이서막(134p)은 각각 기판(100) 및 더미 게이트 전극(122)을 따라 컨포말하게 형성될 수 있다.

[0089] 제1 스페이서막(130p)은 예를 들어, 실리콘 질화물을 포함할 수 있고, 원자층 증착법 또는 화학 기상 증착법 등을 이용하여 형성할 수 있다. 제2 스페이서막(132p)은 실리콘 질화물보다 낮은 유전 상수를 갖는 유전 물질을 포함할 수 있고, 예를 들어, SiOCN 또는 SiOC를 포함할 수 있다. 제2 스페이서막(132p)은 예를 들어, 원자층 증착법 또는 화학 기상 증착법 등을 이용하여 형성할 수 있다. 제3 스페이서막(134p)은 예를 들어, 실리콘 질화물을 포함할 수 있고, 원자층 증착법 또는 화학 기상 증착법 등을 이용하여 형성할 수 있다.

[0090] 제2 스페이서막(132p)이 SiOCN막인 경우, 실리콘 전구체(precursor), 산소 전구체, 탄소 전구체 및 질소 전구체를 이용하여, 제2 스페이서막(132p)은 SiOCN 단일막으로 형성될 수 있다. 또는, 제2 스페이서막(132p)은 SiON막 및 SiCN막을 반복적으로 적층하여 형성되는 SiOCN막일 수 있다.

[0091] 제2 스페이서막(132p)이 SiOC막인 경우, 실리콘 전구체, 산소 전구체 및 탄소 전구체를 이용한 원자층 증착법을 통해, 제2 스페이서막(132p)은 SiOC 단일막으로 형성될 수 있다.

[0092] 본 발명의 일 실시예에 따른 반도체 소자 제조 방법에서, 제1 스페이서막(130p), 제2 스페이서막(132p) 및 제3 스페이서막(134p)은 인시츄(in-situ)로 형성할 수 있으나, 이에 제한되는 것은 아니다. 예를 들어, 제1 스페이서막(130p), 제2 스페이서막(132p) 및 제3 스페이서막(134p)은 원자층 증착법을 이용하여 인시츄로 형성될 수 있다.

[0093] 본 발명의 일 실시예에 따른 반도체 소자 제조 방법에서, 제1 내지 제3 스페이서막(130p, 132p, 134p)이 형성되는 것으로 설명하나, 이에 제한되는 것은 아니다. 제1 스페이서막(130p)을 제외하고, 제2 스페이서막(132p) 및 제3 스페이서막(134p)만이 기판(100) 및 더미 게이트 전극(122)을 따라 컨포말하게 형성될 수 있음을 물론이다. 이 같은 경우, 도 3에서 설명한 2중의 스페이서가 형성될 수 있다.

[0094] 도 7을 참고하면, 더미 게이트 전극(122)의 양 측벽에, 제1 게이트 스페이서(130), 제2 게이트 스페이서(132) 및 제3 게이트 스페이서(134)가 순차적으로 형성된다.

[0095] 본 발명의 일 실시예에 따른 반도체 소자 제조 방법에서, 제1 게이트 스페이서(130), 제2 게이트 스페이서(132)

및 제3 게이트 스페이서(134)는 동시에 형성된다.

[0096] 기판(100) 및 더미 게이트 전극(122) 상에 컨포밀하게 형성된 제1 스페이서막(130p), 제2 스페이서막(132p) 및 제3 스페이서막(134p)을 한번에 식각한다. 제1 내지 제3 스페이서막(130p, 132p, 134p)를 식각하는 식각 공정은 예를 들어, 건식 식각 공정일 수 있다. 제1 스페이서막(130p), 제2 스페이서막(132p) 및 제3 스페이서막(134p)을 한번에 식각함으로써, 제1 게이트 스페이서(130), 제2 게이트 스페이서(132) 및 제3 게이트 스페이서(134)는 동시에 형성된다.

[0097] 제1 게이트 스페이서(130)는 더미 게이트 전극(122)의 양 측벽에, L자 모양으로 형성된다. 제2 게이트 스페이서(132)는 제1 게이트 스페이서(130) 상에 형성되고, L자 모양으로 형성된다. 제3 게이트 스페이서(134)는 제2 게이트 스페이서(132) 상에 형성된다.

[0098] 제1 게이트 스페이서(130) 및 제3 게이트 스페이서(134)에 의해, 제2 게이트 스페이서(132)는 노출되는 부분이 줄어들 수 있다.

[0099] 도 8을 참고하면, 더미 게이트 전극(122)의 양측에 프리 리세스(pre recess)(145p)를 형성한다. 즉, 제1 내지 제3 게이트 스페이서(130, 132, 134)의 측면에, 기판(100)을 식각하여, 프리 리세스(145p)를 형성한다.

[0100] 프리 리세스(145p)는 예를 들어, 등방성 건식 식각을 이용하여 형성될 수 있다. 기판(100)이 실리콘인 경우, 건식 식각에 사용되는 식각 가스는 플루오르(F)를 포함하는 가스일 수 있다.

[0101] 이하에서, 실리콘 질화물을 포함하는 제3 게이트 스페이서(134)의 역할에 대해서 설명한다.

[0102] 제3 게이트 스페이서(134) 없이, 프리 리세스(145p)를 형성하기 위한 건식 식각 공정을 진행하면, SiOCN 또는 SiOC를 포함하는 제2 게이트 스페이서(132)는 플루오르를 포함하는 식각 가스에 노출이 된다. 노출된 제2 게이트 스페이서(132)의 표면에는 탄소 역시 노출될 수 있다. 이와 같이 노출된 탄소는 기판(100)을 식각하기 위해 사용돼야 할 플루오르와 결합을 하여, 건식 식각 공정이 진행되는 챔버 내의 플루오르 플라즈마 농도를 낮출 수 있다. 또한, 제2 게이트 스페이서(132)에 포함된 탄소가 스퍼터링 또는 아웃 가싱(out-gassing)되어 플루오르와 반응할 경우, 건식 식각을 방해 하는 C-F 폴리머가 형성되게 된다.

[0103] 건식 식각 공정이 진행되는 챔버 내의 플루오르 플라즈마 농도가 낮아지거나, C-F 폴리머가 형성될 경우, 도 9를 통해 진행되는 리세스(145) 형성 공정에서, 리세스(145)의 팁(tip) 위치를 조절하기 어렵게 된다. 즉, 리세스(145)의 팁은 기판(100)의 상면으로부터 더 깊어지고, 더미 게이트 전극(122)과 오버랩되지 않을 수 있다.

[0104] 따라서, 제3 게이트 스페이서(134)를 제2 게이트 스페이서(132) 상에 형성함으로써, 제2 게이트 스페이서(132)가 노출되는 면적을 줄여주고, 제2 게이트 스페이서(132)에 포함된 탄소의 영향을 최소화할 수 있다.

[0105] 덧붙여, 제1 게이트 스페이서(130)는 제2 게이트 스페이서(132)에 포함된 탄소가 기판(100)으로 확산되는 것을 방지할 수 있다.

[0106] 도 9를 참고하면, 더미 게이트 전극(122)의 양측에 리세스(145)를 형성한다. 구체적으로, 제1 내지 제3 게이트 스페이서(130, 132, 134)의 측면에, 기판(100)을 식각하여, 기판(100) 내에 리세스(145)를 형성한다.

[0107] 구체적으로, 리세스(145)는 프리 리세스(145p)를 식각하여, 더미 게이트 전극(122)의 양측에 형성된다. 리세스(145)는 예를 들어, 습식 식각을 이용하여 형성될 수 있다. 리세스(145)의 단면은 실리콘의 결정면을 따라 형성되고, 시그마 단면일 수 있다.

[0108] 본 발명의 일 실시예에 따른 반도체 소자 제조 방법에서, 프리 리세스(145p)는 등방성 건식 식각을 이용하여 형성하고, 리세스(145)는 습식 식각을 이용하여 형성하는 것으로 설명하나, 이에 제한되는 것은 아니다. 즉, 프리 리세스(145p) 및 리세스(145)는 이방성 건식 식각을 이용하여 형성될 수 있다. 이 때, 리세스(145)의 단면은 시그마 단면이 아닌 박스 모양의 단면일 수 있다.

[0109] 도 10을 참고하면, 리세스(145) 내에 소오스/드레인(140)을 형성한다. 리세스(145) 내에 형성되는 소오스/드레인(140)의 상면은 기판(100)의 상면보다 상승되어 있을 수 있다. 즉, 소오스/드레인(140)은 상승된 소오스/드레인(140)일 수 있다.

[0110] 에피 공정에 의해, 소오스/드레인(140)은 리세스(145) 내에 반도체 물질을 에피택셜(epitaxial) 성장시켜 형성될 수 있다. 즉, 소오스/드레인(140)은 단결정 에피택셜층일 수 있다. 본 발명의 실시예에 따른 반도체 장치(1-3)가 n형 트랜지스터인지, p형 트랜지스터인지에 따라, 소오스/드레인(140)의 물질이 달라질 수 있다. 또한, 필

요에 따라서, 에피 공정시 불순물을 인시츄 도핑할 수도 있다.

[0111] 도 11을 참고하면, 상승된 소오스/드레인(140), 더미 게이트 전극(122) 및 제1 내지 제3 게이트 스페이서(130, 132, 134)를 덮는 충간 절연막(150)을 형성한다. 충간 절연막(150)은 예를 들어, 저유전율 물질, 산화막, 질화막 및 산질화막 중 적어도 하나를 포함할 수 있다.

[0112] 이어서, 충간 절연막(150)을 평탄화하여, 더미 게이트 전극(122)의 상면을 노출시킨다. 예를 들어, 평탄화 공정은 CMP(Chemical Mechanical Polishing) 공정을 이용할 수 있다.

[0113] 도 11에서, 제1 게이트 스페이서(130), 제2 게이트 스페이서(132) 및 제3 게이트 스페이서(134)가 평탄화 공정을 통해 노출되는 것으로 도시되었지만, 이에 제한되는 것은 아니다. 게이트 하드마스크(124)의 두께에 따라, 제2 게이트 스페이서(132) 및/또는 제3 게이트 스페이서(134)는 노출되지 않을 수 있다.

[0114] 도 12를 참고하면, 더미 게이트 전극(122)을 제거한다. 더미 게이트 전극(122)을 제거한 후, 더미 게이트 유전막(112)을 제거하여, 충간 절연막(150) 내에 트렌치(155)를 형성한다. 트렌치(155)에 의해, 기판(100)의 상면이 노출될 수 있다.

[0115] 트렌치(155)의 바닥면은 기판(100)의 상면이고, 트렌치(155)의 측면은 제1 게이트 스페이서(130)이다.

[0116] 더미 게이트 전극(122)은 습식 공정 또는 건식 공정을 이용하여 제거될 수 있다. 습식 식각을 구체적으로 설명하면, 수산화물 소스를 포함하는 수용액에 충분한 시간 동안 충분한 온도에 노출시켜 더미 게이트 전극(122)을 실질적으로 제거할 수 있다. 수산화물 소스는 수산화 암모늄 또는 테트라아킬 수산화 암모늄, 예를 들어, 테트라메틸 수산화 암모늄(TMAH)을 포함할 수 있으나, 이에 제한되는 것은 아니다.

[0117] 더미 게이트 유전막(112)은 습식 식각, 건식 식각 및 이들의 조합으로 제거할 수 있다. 더미 게이트 유전막(112)의 물질에 따라, 식각액 또는 식각 가스가 달라질 수 있음을 자명하다.

[0118] 본 발명의 일 실시예에 따른 반도체 소자 제조 방법에서, 더미 게이트 전극(122) 및 더미 게이트 유전막(112)을 모두 제거하여, 기판(100)의 상면을 노출시키는 것으로 설명하나, 이에 제한되는 것은 아니다. 즉, 도 4에서, 더미 게이트 유전막(112)이 아닌 트랜지스터에 사용되는 게이트 유전막을 형성한 경우, 더미 게이트 전극(122)만을 제거할 수 있다.

[0119] 도 1을 참고하면, 트렌치(155) 내에 게이트 유전막(110) 및 게이트 전극(120)을 형성한다. 매립하는 금속 게이트 전극(120)을 형성한다.

[0120] 구체적으로, 게이트 유전막(110)에 포함되는 계면막(interfacial layer)을 트렌치(155)의 바닥면에 형성한다. 계면막은 실리콘 산화막을 포함할 수 있고, 예를 들어, 화학적 산화 방법, 자외선 산화(UV oxidation) 방법 또는 듀얼 플라즈마 산화(Dual Plasma oxidation) 방법 등을 이용하여 형성될 수 있다.

[0121] 이 후, 트렌치(155)의 측면 및 바닥면과 충간 절연막(150)의 상면에 컨포말하게 유전막을 형성한다. 유전막은 실리콘 산화막보다 높은 유전 상수를 갖는 고유전체 물질을 포함할 수 있다.

[0122] 이 후, 유전막 상에 게이트 전극막을 형성한다. 게이트 전극막은 하부 전극막과 상부 전극막을 포함할 수 있다. 하부 전극막은 트렌치(155)의 측면 및 바닥면과 충간 절연막(150)의 상면을 따라 형성되고, 상부 전극막은 트렌치(155)를 매립하여, 충간 절연막(150)의 상면 상에도 형성된다.

[0123] 이 후, 평탄화 공정을 통해, 충간 절연막(150)의 상면 상에 형성된 유전막 및 게이트 유전막을 제거한다. 이를 통해, 충간 절연막(150)의 상면은 노출되고, 트렌치(155) 내에 게이트 유전막(110) 및 게이트 전극(120)이 형성된다.

[0124] 이를 통해, 게이트 전극(120)의 상면 및 충간 절연막(150)의 상면은 동일 평면 상에 놓이게 된다.

[0125] 도 13은 본 발명의 실시예들에 따른 반도체 소자를 포함하는 메모리 카드의 블록도이다.

[0126] 도 13을 참조하면, 본 발명의 다양한 실시예들에 따라 제조된 반도체 소자를 포함하는 메모리(1210)는 메모리 카드(1200)에 채용될 수 있다. 메모리 카드(1200)는 호스트(1230)와 메모리(1210) 사이에서 데이터 교환을 컨트롤하는 메모리 컨트롤러(1220)를 포함할 수 있다. SRAM(1221)은 중앙 처리 장치(1222)의 동작 메모리로 사용될 수 있다. 호스트 인터페이스(1223)은 호스트(1230)가 메모리 카드(1200)에 접속하여 데이터를 교환하기 위한 프로토콜을 포함할 수 있다. 예를 정정 코드(1224)는 메모리(1210)로부터 리드된 데이터의 예러를 탐지하고 정정 할 수 있다. 메모리 인터페이스(1225)는 메모리(1210)와 인터페이싱할 수 있다. 중앙 처리 장치(1222)는 메모리

컨트롤러(1220)의 데이터 교환과 관련된 전체적인 컨트롤 동작을 수행할 수 있다.

[0127] 도 14는 본 발명의 실시예들에 따른 반도체 소자를 이용한 정보 처리 시스템의 블록도이다.

[0128] 도 14를 참조하면, 정보 처리 시스템(1300)은 본 발명의 다양한 실시예들에 따라 제조된 반도체 소자를 포함하는 메모리 시스템(1310)을 포함할 수 있다. 정보 처리 시스템(1300)은, 시스템 버스(1360)와 전기적으로 접속된, 메모리 시스템(1310), 모뎀(1320), 중앙 처리 장치(1330), RAM(1340) 및 사용자 인터페이스(1350)를 포함할 수 있다. 메모리 시스템(1310)은 메모리(1311)와, 메모리 컨트롤러(1312)를 포함할 수 있으며, 도 13에 도시된 메모리 카드(1200)와 실질적으로 동일한 구성을 가질 수 있다. 중앙 처리 장치(1330)에 의해 처리되는 데이터 또는 외부 장치로부터 수신되는 데이터는 메모리 시스템(1310)에 저장될 수 있다. 정보 처리 시스템(1300)은 메모리 카드, SSD, 카메라 이미지 센서 및 기타 다양한 칩셋에 적용될 수 있다. 예를 들어, 메모리 시스템(1310)은 SSD가 채용되도록 구성될 수 있으며, 이 경우, 정보 처리 시스템(1300)은 대용량의 데이터를 안정적이고 신뢰성있게 처리할 수 있다.

[0129] 도 15는 본 발명의 실시예들에 따른 반도체 소자를 포함하는 전자 장치의 블록도이다.

[0130] 도 15를 참조하면, 전자 장치(1400)은 본 발명의 다양한 실시예들에 따라 제조된 반도체 소자를 포함할 수 있다. 전자 장치(1400)는 무선 통신 기기(예를 들어, PDA, 노트북, 휴대용 컴퓨터, 웹 태블릿, 무선 전화기, 및/또는 무선 디지털 음악 재생기) 또는 무선 통신 환경에서 정보를 주고 받는 다양한 기기에 사용될 수 있다.

[0131] 전자 장치(1400)는 컨트롤러(1410), 입/출력 장치(1420), 메모리(1430), 및 무선 인터페이스(1440)를 포함할 수 있다. 여기서, 메모리(1430)는 본 발명의 다양한 실시예들에 따라 제조된 반도체 소자를 포함할 수 있다. 컨트롤러(1410)는 마이크로프로세서, 디지털 시그널 프로세서, 또는 이와 유사한 프로세서를 포함할 수 있다. 메모리(1430)는 컨트롤러(1410)에 의해 처리되는 커맨드(또는 사용자 데이터)를 저장하는데 이용될 수 있다. 무선 인터페이스(1440)는 무선 데이터 네트워크를 통해 데이터를 주고 받는데 이용될 수 있다. 무선 인터페이스(1440)는 안테나 및/또는 무선 트랜시버(transceiver)를 포함할 수 있다. 전자 장치(1400)는 예를 들어, CDMA, GSM, NADC, E-TDMA, WCDMA, CDMA2000과 같은 제3 세대 통신 시스템 프로토콜을 이용할 수 있다.

[0132] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

### 부호의 설명

[0133] 100: 기판 110: 게이트 유전막

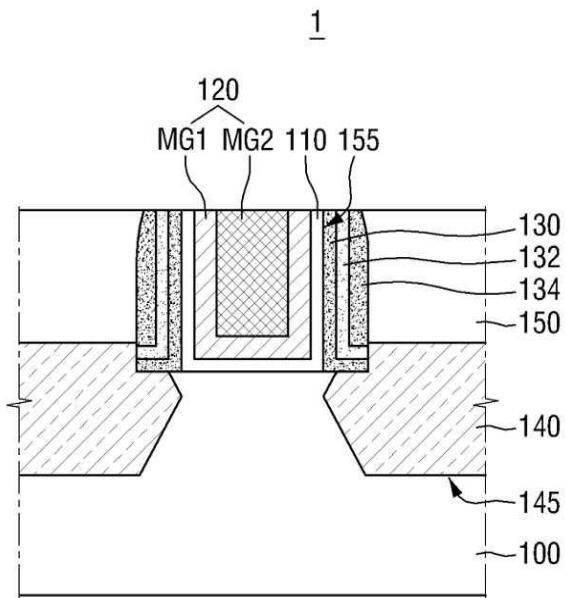
120: 리플레이스먼트 게이트 전극 130: L자 모양의 제1 스페이서

132: L자 모양의 제2 스페이서 134: 제3 스페이서

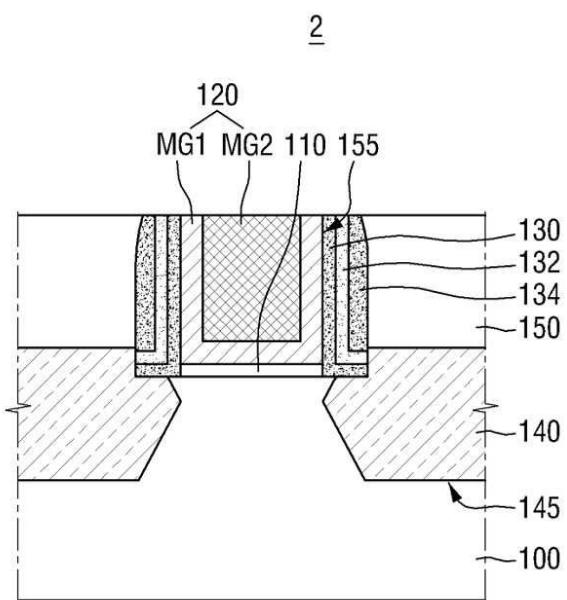
140: 소오스/드레인 150: 중간 절연막

도면

도면1

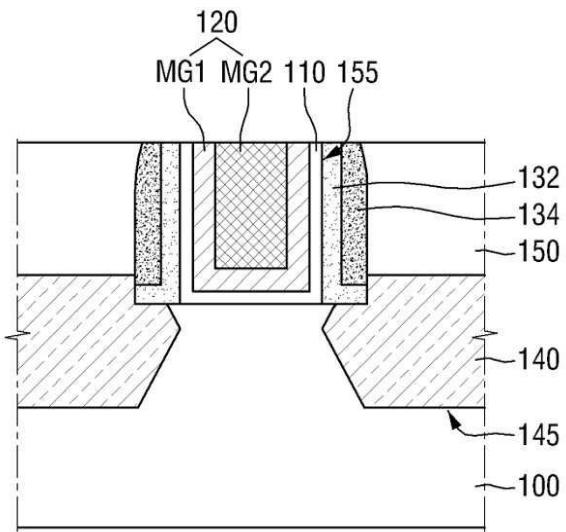


도면2

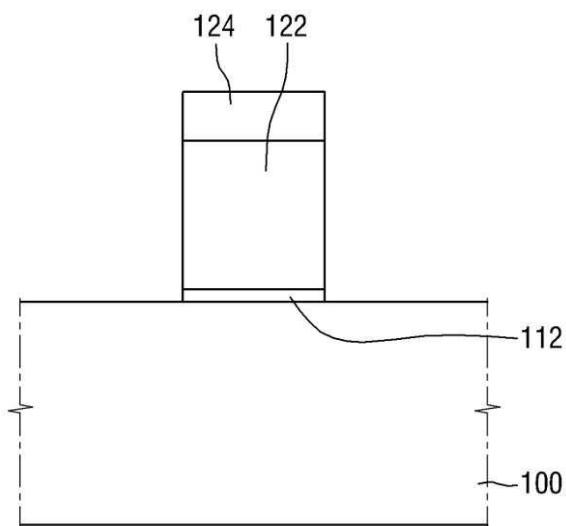


도면3

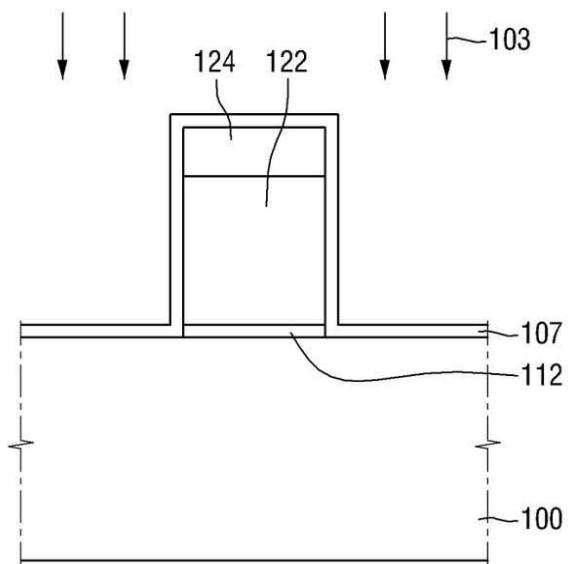
3



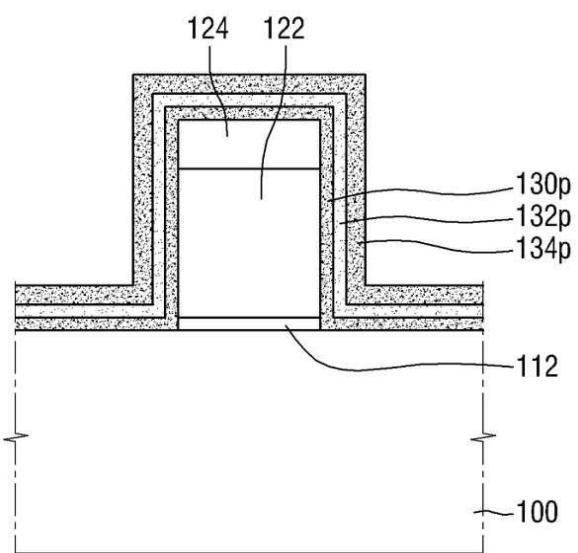
도면4



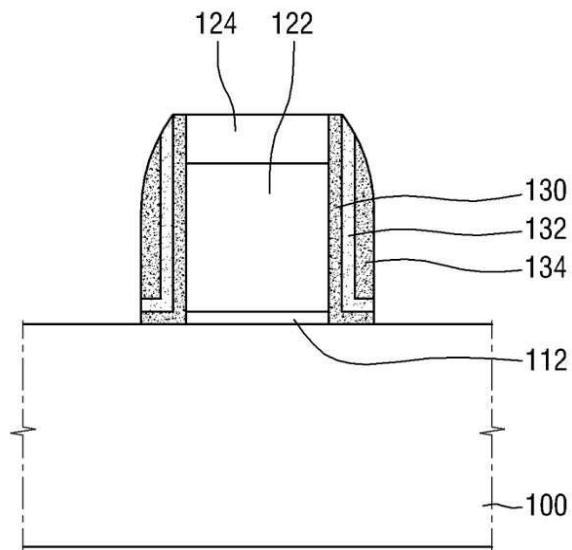
도면5



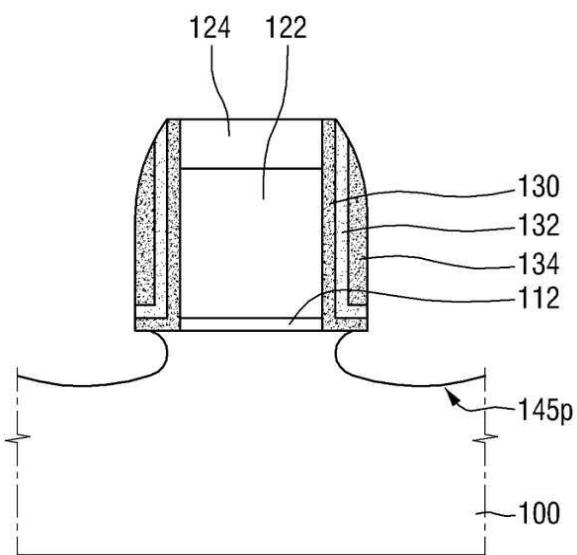
도면6



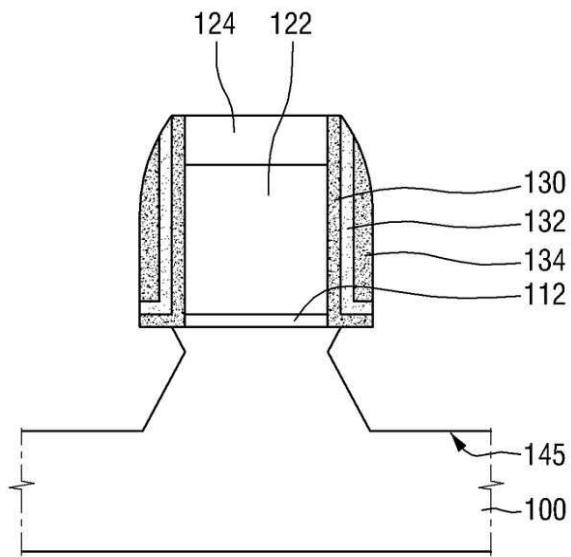
도면7



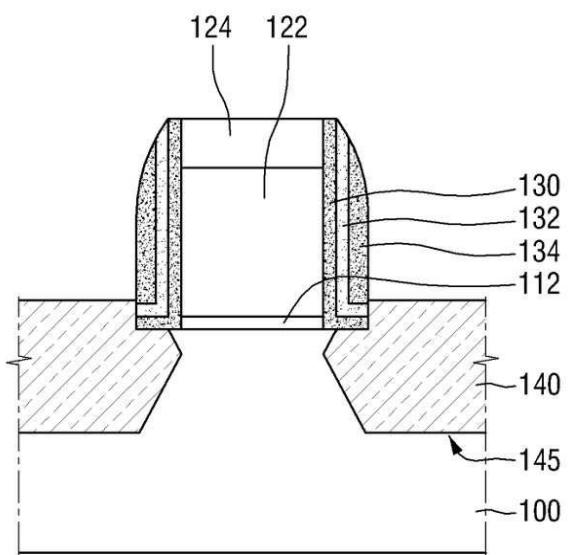
도면8



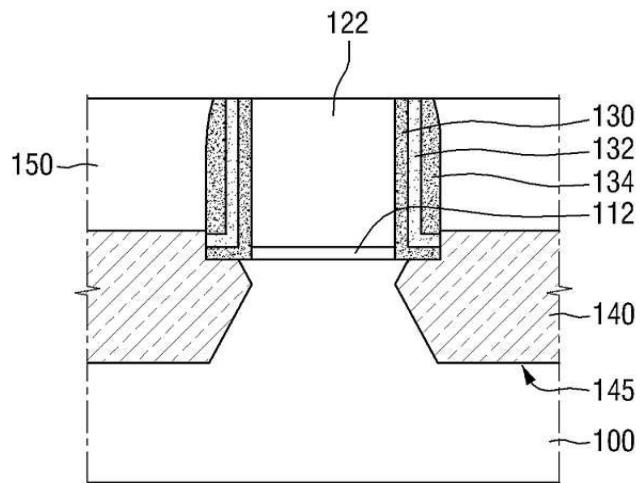
도면9



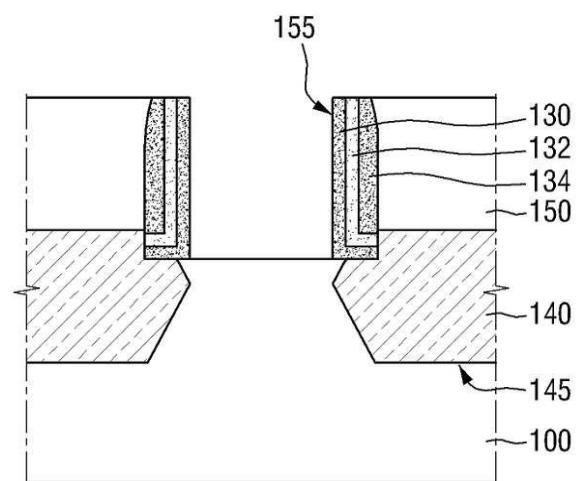
도면10



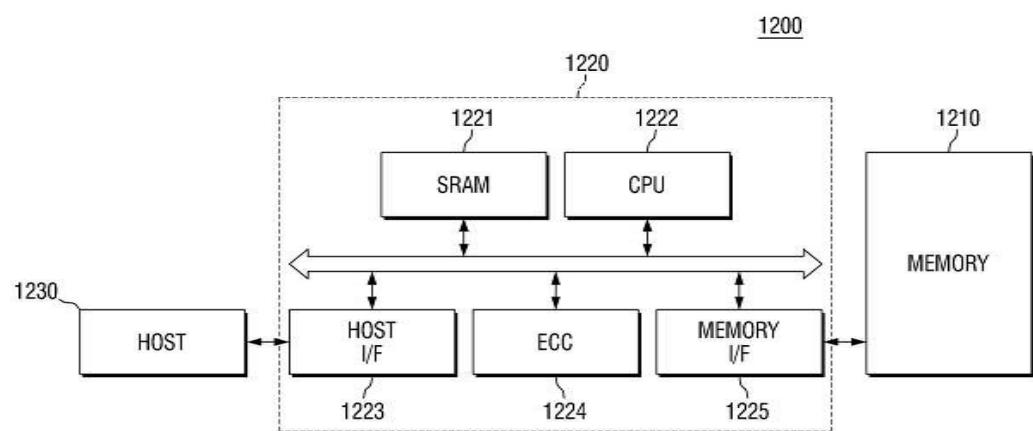
## 도면11



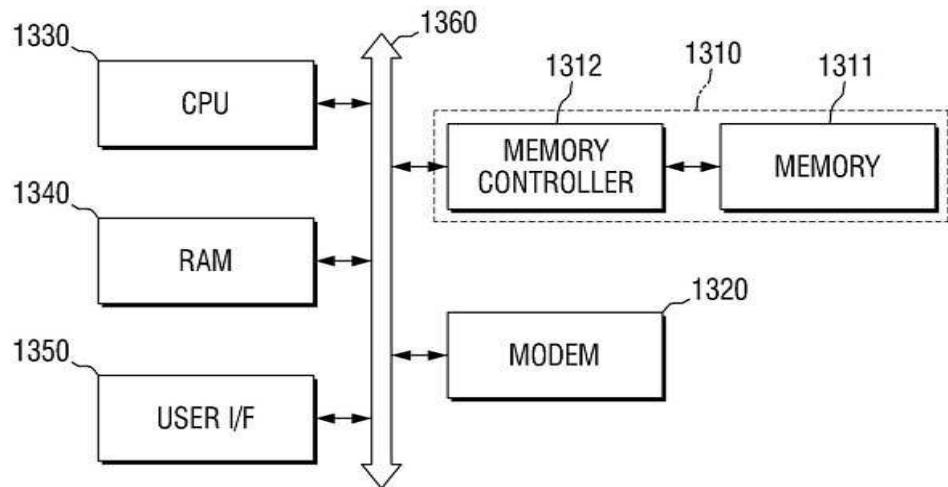
## 도면12



### 도면13



도면14

1300

도면15

1400