



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201433901 A

(43)公開日：中華民國 103 (2014) 年 09 月 01 日

(21)申請案號：102106544

(22)申請日：中華民國 102 (2013) 年 02 月 25 日

(51)Int. Cl. : **G06F1/04 (2006.01)** **G06F12/02 (2006.01)**

(71)申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)
苗栗縣竹南鎮群義路 1 號

(72)發明人：陳志銘 CHEN, CHIH MING (TW) ; 陳安忠 CHEN, AN CHUNG (TW)

(74)代理人：詹銘文；葉璟宗

申請實體審查：有 申請專利範圍項數：36 項 圖式數：10 共 49 頁

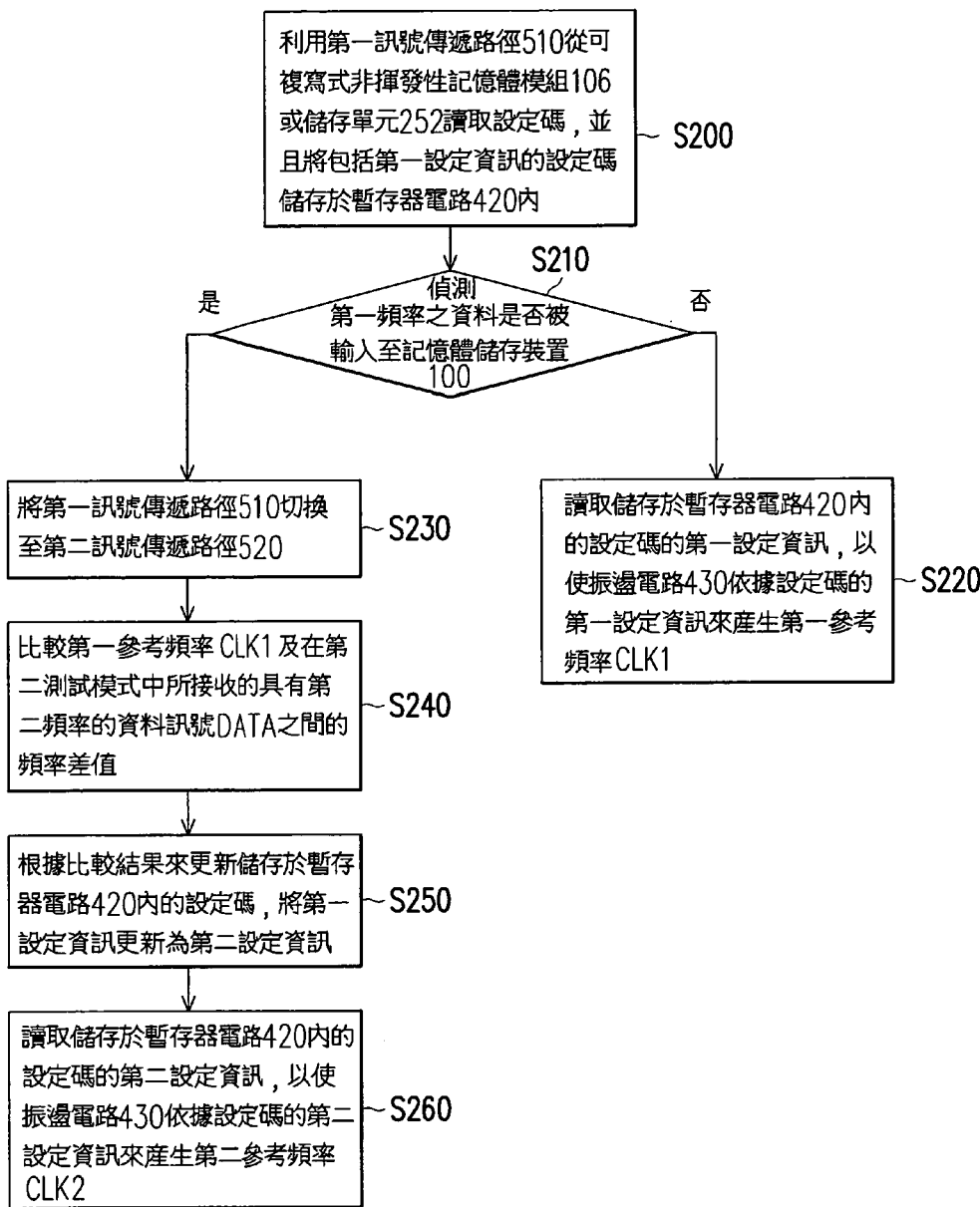
(54)名稱

參考頻率設定方法、記憶體控制器及記憶體儲存裝置

REFERENCE FREQUENCY SETTING METHOD, MEMORY CONTROLLER AND FLASH
MEMORY STORAGE APPARATUS

(57)摘要

一種記憶體儲存裝置的參考頻率設定方法，包括如下步驟。利用第一訊號傳遞路徑從記憶體模組或儲存單元內讀取包括第一設定資訊的設定碼，並將設定碼儲存於暫存器電路內。偵測特定頻率之資料是否被輸入。若否，讀取儲存於暫存器電路內的設定碼，以使振盪電路模組依據設定碼的第一設定資訊來產生第一參考頻率。若是，利用第二訊號傳遞路徑來更新儲存於暫存器電路內的設定碼，並且讀取儲存於暫存器電路內更新後的設定碼，以使振盪電路模組依據第二設定資訊來產生第二參考頻率。更新後的設定碼包括第二設定資訊。



- S200：參考頻率設定方法的步驟
- S210：參考頻率設定方法的步驟
- S220：參考頻率設定方法的步驟
- S230：參考頻率設定方法的步驟
- S240：參考頻率設定方法的步驟
- S250：參考頻率設定方法的步驟
- S260：參考頻率設定方法的步驟

圖 10

發明摘要

※ 申請案號：102106544

※ 申請日：102. 2. 25

※IPC 分類：G06F 1/04 (2006.1)
G06F 12/02 (2006.1)

【發明名稱】 參考頻率設定方法、記憶體控制器及記憶體儲存裝置 / REFERENCE FREQUENCY SETTING METHOD, MEMORY CONTROLLER AND FLASH MEMORY STORAGE APPARATUS

【中文】

一種記憶體儲存裝置的參考頻率設定方法，包括如下步驟。利用第一訊號傳遞路徑從記憶體模組或儲存單元內讀取包括第一設定資訊的設定碼，並將設定碼儲存於暫存器電路內。偵測特定頻率之資料是否被輸入。若否，讀取儲存於暫存器電路內的設定碼，以使振盪電路模組依據設定碼的第一設定資訊來產生第一參考頻率。若是，利用第二訊號傳遞路徑來更新儲存於暫存器電路內的設定碼，並且讀取儲存於暫存器電路內更新後的設定碼，以使振盪電路模組依據第二設定資訊來產生第二參考頻率。更新後的設定碼包括第二設定資訊。

【英文】

A reference frequency setting method of a memory storage apparatus including the following steps is provided. A setting code is read from in a memory module or a storage unit and stored into a register circuit by a first signal transmission path. The setting code includes a first setting information. Whether the data having a

specific frequency is inputted is detected. If not, the setting code stored in the register circuit is read, such that an oscillator circuit module of the memory storage apparatus generates a first reference frequency based on the first setting information. If yes, the setting code stored in the register circuit is updated by a second signal transmission path, and the updated setting code is read, such that the oscillator circuit module generates a second reference frequency based on a second setting information. The updated setting code includes the second setting information.

【代表圖】

【本案指定代表圖】：圖 10。

【本代表圖之符號簡單說明】：

S200、S210、S220、S230、S240、S250、S260：參考頻率設定方法的步驟

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

specific frequency is inputted is detected. If not, the setting code stored in the register circuit is read, such that an oscillator circuit module of the memory storage apparatus generates a first reference frequency based on the first setting information. If yes, the setting code stored in the register circuit is updated by a second signal transmission path, and the updated setting code is read, such that the oscillator circuit module generates a second reference frequency based on a second setting information. The updated setting code includes the second setting information.

【代表圖】

【本案指定代表圖】：圖 10。

【本代表圖之符號簡單說明】：

S200、S210、S220、S230、S240、S250、S260：參考頻率設定方法的步驟

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 參考頻率設定方法、記憶體控制器及記憶體儲存裝置 / REFERENCE FREQUENCY SETTING METHOD, MEMORY CONTROLLER AND FLASH MEMORY STORAGE APPARATUS

【技術領域】

【0001】 本發明是有關於一種參考頻率設定方法，且特別是有關於一種將參考頻率記錄於記憶體內部的設定方法及使用此方法的記憶體控制器與記憶體儲存裝置。

【先前技術】

【0002】 通用串列匯流排(Universal Serial Bus，以下簡稱 USB)裝置在消費市場上已是極為普遍且成熟的產品。其中爲了產生一較爲精確之參考頻率以供此電子裝置運作，常用之方式即利用一外部電路，即一石英振盪電路來產生。且在相關技術中，若需調整晶片內振盪電路之特性時，製造商通常於開卡程序時，使用一硬體元件，如之電子熔斷絲(e-fuse)或者微調連接墊(trim pad)，來記錄調整的設定。然而，一者，石英振盪電路成本昂貴，二者，以此種方式來記錄調整晶片內振盪電路之頻率設定勢必會增加 USB 裝置的硬體面積及成本，且於開卡後，因硬體元件已燒斷，故不易再修改所設定之頻率，進而將降低其競爭力。

【0003】 一般而言，此種無石英振盪電路(Crystal-less oscillator) 5

通常需要參考(tracking)遠端主機之頻率，以產生較為準確的參考頻率。然而，使用此種無石英振盪電路來產生參考頻率的 USB 裝置在不同的測試模式中不一定會有遠端主機之頻率可供參考。因此，當無遠端主機之頻率可供參考時，無石英振盪電路所產生的參考頻率可能較不準確，從而造成 USB 裝置無法符合特定的測試規範。

【發明內容】

【0004】 本發明提供一種可複寫式非揮發性記憶體儲存裝置的參考頻率設定方法，利用此設定方法產生的參考頻率可符合不同的測試規範。

【0005】 本發明提供一種記憶體控制器，利用上述設定方法來控制記憶體儲存裝置，以使記憶體儲存裝置所產生的參考頻率可符合不同的測試規範。

【0006】 本發明提供一種可複寫式非揮發性記憶體儲存裝置，其所產生的參考頻率可符合不同的測試規範。

【0007】 本發明之範例實施例提供一種可複寫式非揮發性記憶體儲存裝置的參考頻率設定方法。可複寫式非揮發性記憶體儲存裝置包括一可複寫式非揮發性記憶體模組、一儲存單元以及一振盪電路模組。振盪電路模組包括一暫存器電路。可複寫式非揮發性記憶體儲存裝置不包括一石英振盪器。參考頻率設定方法包括如下步驟：利用一第一訊號傳遞路徑從可複寫式非揮發性記憶體模

組或儲存單元內讀取一設定碼，並將設定碼儲存於暫存器電路內，其中設定碼包括一第一設定資訊；偵測一第一頻率之資料是否被輸入；若第一頻率之資料沒有被輸入，讀取儲存於暫存器電路內的設定碼，以使振盪電路模組依據設定碼的第一設定資訊來產生一第一參考頻率；若第一頻率之資料被輸入，利用一第二訊號傳遞路徑來更新儲存於暫存器電路內的設定碼，其中更新後的設定碼包括一第二設定資訊；以及若第一頻率之資料被輸入，讀取儲存於暫存器電路內的更新後的設定碼，以使振盪電路模組依據第二設定資訊來產生一第二參考頻率。

【0008】 在本發明一範例實施例中，上述之參考頻率設定方法更包括根據一主機系統之頻率來設定設定碼的第一設定資訊，並且將包括第一設定資訊的設定碼儲存於可複寫式非揮發性記憶體模組或儲存單元內。

【0009】 在本發明一範例實施例中，上述之依據設定碼的第一設定資訊所產生的第一參考頻率符合一第一測試模式之規範。

【0010】 在本發明一範例實施例中，在第一測試模式中，可複寫式非揮發性記憶體儲存裝置係耦接至一第一測試裝置，第一測試裝置不輸出第一頻率之資料至可複寫式非揮發性記憶體儲存裝置。

【0011】 在本發明一範例實施例中，若第一頻率之資料沒有被輸入，參考頻率設定方法不執行利用第二訊號傳遞路徑來更新儲存於暫存器電路內的設定碼之步驟。

【0012】 在本發明一範例實施例中，上述之參考頻率設定方法更包括根據一主機系統之頻率來設定設定碼的第二設定資訊，並且將包括第二設定資訊的設定碼儲存於可複寫式非揮發性記憶體模組或儲存單元內。

【0013】 在本發明一範例實施例中，在利用第二訊號傳遞路徑來更新儲存於暫存器電路內的設定碼的步驟中，更新前的設定碼包括第二設定資訊。

【0014】 在本發明一範例實施例中，上述之依據設定碼的第二設定資訊所產生的第二參考頻率符合一第二測試模式之規範。

【0015】 在本發明一範例實施例中，在第二測試模式中，可複寫式非揮發性記憶體儲存裝置係耦接至一第二測試裝置，第二測試裝置輸出第一頻率之資料至可複寫式非揮發性記憶體儲存裝置。

【0016】 在本發明一範例實施例中，上述之參考頻率設定方法更包括若第一頻率之資料被輸入，將第一訊號傳遞路徑切換至第二訊號傳遞路徑，以利用第二訊號傳遞路徑來更新儲存於暫存器電路內的設定碼。

【0017】 在本發明一範例實施例中，上述之更新儲存於暫存器電路內的設定碼的步驟包括如下步驟：比較第一參考頻率或第二參考頻率與在第二測試模式中所接收的一第二頻率之資料之間的頻率差值；以及根據一比較結果來更新儲存於暫存器電路內的設定碼的第二設定資訊。

【0018】 在本發明一範例實施例中，上述之參考頻率設定方法更

包括將根據比較結果所得的設定碼的第二設定資訊儲存至可複寫式非揮發性記憶體模組或儲存單元內。

【0019】 本發明之範例實施例提供一種記憶體控制器，用於設定一可複寫式非揮發性記憶體儲存裝置的參考頻率。可複寫式非揮發性記憶體儲存裝置包括一可複寫式非揮發性記憶體模組以及一振盪電路模組。振盪電路模組包括一暫存器電路。記憶體控制器包括一記憶體介面、一記憶體管理電路以及一儲存單元。記憶體介面耦接至可複寫式非揮發性記憶體模組。記憶體管理電路耦接至記憶體介面。儲存單元耦接至記憶體管理電路。記憶體管理電路控制振盪電路模組利用一第一訊號傳遞路徑從可複寫式非揮發性記憶體模組或儲存單元內讀取一設定碼，並將設定碼儲存於暫存器電路內。設定碼包括一第一設定資訊。記憶體管理電路偵測一第一頻率之資料是否被輸入。若第一頻率之資料沒有被輸入，記憶體管理電路控制振盪電路模組讀取儲存於暫存器電路內的設定碼，以使振盪電路模組依據設定碼的第一設定資訊來產生一第一參考頻率。若第一頻率之資料被輸入，記憶體管理電路控制振盪電路模組利用一第二訊號傳遞路徑來更新儲存於暫存器電路內的設定碼。更新後的設定碼包括一第二設定資訊。若第一頻率之資料被輸入，記憶體管理電路控制振盪電路模組讀取儲存於暫存器電路內的更新後的設定碼，以使振盪電路模組依據第二設定資訊來產生一第二參考頻率。

【0020】 在本發明一範例實施例中，上述之記憶體管理電路根據

一主機系統之頻率來設定設定碼的第一設定資訊，並且將包括第一設定資訊的設定碼儲存於可複寫式非揮發性記憶體模組或儲存單元內。

【0021】 在本發明一範例實施例中，上述之依據設定碼的第一設定資訊所產生的第一參考頻率符合一第一測試模式之規範。

【0022】 在本發明一範例實施例中，在第一測試模式中，可複寫式非揮發性記憶體儲存裝置係耦接至一第一測試裝置。第一測試裝置不輸出第一頻率之資料至可複寫式非揮發性記憶體儲存裝置。

【0023】 在本發明一範例實施例中，若第一頻率之資料沒有被輸入，記憶體管理電路控制振盪電路模組不執行利用第二訊號傳遞路徑來更新儲存於暫存器電路內的設定碼之操作。

【0024】 在本發明一範例實施例中，上述之記憶體管理電路根據一主機系統之頻率來設定設定碼的第二設定資訊，並且將包括第二設定資訊的設定碼儲存於可複寫式非揮發性記憶體模組或儲存單元內。

【0025】 在本發明一範例實施例中，上述之更新前的設定碼包括第二設定資訊。

【0026】 在本發明一範例實施例中，上述之依據設定碼的第二設定資訊所產生的第二參考頻率符合一第二測試模式之規範。

【0027】 在本發明一範例實施例中，在第二測試模式中，可複寫式非揮發性記憶體儲存裝置係耦接至一第二測試裝置。第二測試

裝置輸出第一頻率之資料至可複寫式非揮發性記憶體儲存裝置。

【0028】 在本發明一範例實施例中，若第一頻率之資料被輸入，記憶體管理電路控制振盪電路模組將第一訊號傳遞路徑切換至第二訊號傳遞路徑，以利用第二訊號傳遞路徑來更新儲存於暫存器電路內的設定碼。

【0029】 在本發明一範例實施例中，上述之振盪電路模組包括一頻率追蹤電路，位於第二訊號傳遞路徑。頻率追蹤電路用以比較第一參考頻率或第二參考頻率與在第二測試模式中所接收的一第二頻率之資料之間的頻率差值。振盪電路模組根據一比較結果來更新儲存於暫存器電路內的設定碼的第二設定資訊。

【0030】 在本發明一範例實施例中，上述之記憶體管理電路將根據比較結果所得的設定碼的第二設定資訊儲存至可複寫式非揮發性記憶體模組或儲存單元內。

【0031】 本發明之範例實施例提供一種可複寫式非揮發性記憶體儲存裝置，包括一振盪電路模組、一可複寫式非揮發性記憶體模組、以及一記憶體控制器。振盪電路模組包括一暫存器電路。記憶體控制器耦接至振盪電路及可複寫式非揮發性記憶體模組。記憶體控制器包括一儲存單元。記憶體控制器控制振盪電路模組利用一第一訊號傳遞路徑從可複寫式非揮發性記憶體模組或儲存單元內讀取一設定碼，並將設定碼儲存於暫存器電路內。設定碼包括一第一設定資訊。記憶體控制器偵測一第一頻率之資料是否被輸入。若第一頻率之資料沒有被輸入，記憶體控制器控制振盪電

路模組讀取儲存於暫存器電路內的設定碼，以使振盪電路模組依據設定碼的第一設定資訊來產生一第一參考頻率。若第一頻率之資料被輸入，記憶體控制器控制振盪電路模組利用一第二訊號傳遞路徑來更新儲存於暫存器電路內的設定碼。更新後的設定碼包括一第二設定資訊。若第一頻率之資料被輸入，記憶體控制器控制振盪電路模組讀取儲存於暫存器電路內的更新後的設定碼，以使振盪電路模組依據第二設定資訊來產生一第二參考頻率。

【0032】 在本發明一範例實施例中，上述之記憶體控制器根據一主機系統之頻率來設定設定碼的第一設定資訊，並且將包括第一設定資訊的設定碼儲存於可複寫式非揮發性記憶體模組或儲存單元內。

【0033】 在本發明一範例實施例中，上述之依據設定碼的第一設定資訊所產生的第一參考頻率符合一第一測試模式之規範。

【0034】 在本發明一範例實施例中，在第一測試模式中，可複寫式非揮發性記憶體儲存裝置係耦接至一第一測試裝置。第一測試裝置不輸出第一頻率之資料至可複寫式非揮發性記憶體儲存裝置。

【0035】 在本發明一範例實施例中，若第一頻率之資料沒有被輸入，記憶體控制器控制振盪電路模組不執行利用第二訊號傳遞路徑來更新儲存於暫存器電路內的設定碼之操作。

【0036】 在本發明一範例實施例中，上述之記憶體控制器根據一主機系統之頻率來設定設定碼的第二設定資訊，並且將包括第二

設定資訊的設定碼儲存於可複寫式非揮發性記憶體模組或儲存單元內。

【0037】 在本發明一範例實施例中，更新前的設定碼包括第二設定資訊。

【0038】 在本發明一範例實施例中，上述之依據設定碼的第二設定資訊所產生的第二參考頻率符合一第二測試模式之規範。

【0039】 在本發明一範例實施例中，在第二測試模式中，可複寫式非揮發性記憶體儲存裝置係耦接至一第二測試裝置。第二測試裝置輸出第一頻率之資料至可複寫式非揮發性記憶體儲存裝置。

【0040】 在本發明一範例實施例中，若第一頻率之資料被輸入，記憶體控制器控制振盪電路模組將第一訊號傳遞路徑切換至第二訊號傳遞路徑，以利用第二訊號傳遞路徑來更新儲存於暫存器電路內的設定碼。

【0041】 在本發明一範例實施例中，上述之振盪電路模組包括一頻率追蹤電路，位於第二訊號傳遞路徑。頻率追蹤電路用以比較第一參考頻率或第二參考頻率與在第二測試模式中所接收的一第二頻率之資料之間的頻率差值。振盪電路模組根據一比較結果來更新儲存於暫存器電路內的設定碼的第二設定資訊。

【0042】 在本發明一範例實施例中，上述之記憶體控制器將根據比較結果所得的設定碼的第二設定資訊儲存至可複寫式非揮發性記憶體模組或儲存單元內。

【0043】 基於上述，在本發明之範例實施例中，記憶體儲存裝置 §

將參考頻率之調整設定記錄於其記憶體或儲存單元上。在不同測試模式中，記憶體儲存裝置選擇性的決定是否要啟動頻率追蹤功能，以產生可符合不同的測試規範的參考頻率。

【0044】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0045】

圖 1A 是根據本發明範例實施例所繪示的主機系統與記憶體儲存裝置。

圖 1B 是根據本發明範例實施例所繪示的電腦、輸入/輸出裝置與記憶體儲存裝置的示意圖。

圖 1C 是根據本發明另一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

圖 2 是繪示圖 1A 所示的記憶體儲存裝置的概要方塊圖。

圖 3 是根據本發明範例實施例所繪示之記憶體控制器的概要方塊圖。

圖 4 是根據本發明一範例實施例所繪示之振盪電路模組的概要方塊圖。

圖 5 及圖 6 分別繪示本範例實施例之輸入資料可能的概要波形。

圖 7 繪示在第一測試模式時記憶體儲存裝置耦接至第一測試

裝置的概要示意圖。

圖 8 繪示在第二測試模式時記憶體儲存裝置耦接至第二測試裝置的概要示意圖。

圖 9 是根據本發明一範例實施例所繪示之參考頻率設定方法的流程圖。

圖 10 是根據本發明另一範例實施例所繪示之參考頻率設定方法的流程圖。

【實施方式】

【0046】 本發明之範例實施例所提出之參考頻率設定方法，將參考頻率之調整設定，記錄於記憶體儲存裝置的可複寫式非揮發性記憶體或儲存單元上。在開卡程序執行時，記憶體儲存裝置可透過主機系統提供準確之參考頻率直接將參考頻率的設定值儲存於其中，或者利用頻率追蹤(tracking)的方式來追蹤主機系統提供之參考頻率，以調整其晶片內振盪電路模組所需之頻率設定。此參考頻率的設定值係以韌體型式儲存於可複寫式非揮發性記憶體模組或儲存單元內，以作為下一次開機時的頻率初始值，從而減少振盪電路模組的參考頻率與主機頻率的差異。之後，記憶體儲存裝置在一般操作模式(normal operation)中開機時，即可正確無誤地與主機連結。除了操作在一般操作模式之外，記憶體儲存裝置也可能必須要符合多種不同的測試模式所要求的規範，例如相容性測試(compliance test)模式規範或回授測試(loopback test)模式規

範。在不同的測試模式中，測試條件與環境都有可能不相同。舉例而言，在進行相容性測試時，與記憶體儲存裝置連接的主機或測試裝置並不會提供一外部訊號給記憶體儲存裝置，此時，記憶體儲存裝置的振盪電路模組便沒有參考頻率可以追蹤。反之，在進行回授測試時，與記憶體儲存裝置連接的主機或測試裝置會提供一外部訊號給記憶體儲存裝置，此時，記憶體儲存裝置的振盪電路模組即可持續的追蹤外部訊號頻率，以動態更新振盪電路模組的參考頻率的設定值。

【0047】 基此，本發明之範例實施例所提出之參考頻率設定方法除了能夠將此頻率初始值的設定以韌體型式儲存於可複寫式非揮發性記憶體模組或儲存單元內之外，更可以依據記憶體儲存裝置是操作何種環境中來決定是否要進行頻率追蹤的功能。為更清楚地瞭解本發明，以下將配合圖式，以一範例實施例來作詳細說明。

【0048】 一般而言，記憶體儲存裝置(亦稱，記憶體儲存系統)包括可複寫式非揮發性記憶體模組與控制器(亦稱，控制電路)。通常記憶體儲存裝置是與主機系統一起使用，以使主機系統可將資料寫入至記憶體儲存裝置或從記憶體儲存裝置中讀取資料。

【0049】 圖 1A 是根據本發明範例實施例所繪示的主機系統與記憶體儲存裝置。

【0050】 請參照圖 1A，主機系統 1000 一般包括電腦 1100 與輸入/輸出(input/output, I/O)裝置 1106。電腦 1100 包括微處理器 1102、隨機存取記憶體(random access memory, RAM) 1104、系統

匯流排 1108 與資料傳輸介面 1110。輸入/輸出裝置 1106 包括如圖 1B 的滑鼠 1202、鍵盤 1204、顯示器 1206 與印表機 1208。必須瞭解的是，圖 1B 所示的裝置非限制輸入/輸出裝置 1106，輸入/輸出裝置 1106 可更包括其他裝置。

【0051】 在本發明實施例中，記憶體儲存裝置 100 是透過資料傳輸介面 1110 與主機系統 1000 的其他元件耦接。藉由微處理器 1102、隨機存取記憶體 1104 與輸入/輸出裝置 1106 的運作可將資料寫入至記憶體儲存裝置 100 或從記憶體儲存裝置 100 中讀取資料。例如，記憶體儲存裝置 100 可以是如圖 1B 所示的隨身碟 1212、記憶卡 1214 或固態硬碟(Solid State Drive, SSD)1216 等的可複寫式非揮發性記憶體儲存裝置。

【0052】 一般而言，主機系統 1000 為可實質地與記憶體儲存裝置 100 配合以儲存資料的任意系統。雖然在本範例實施例中，主機系統 1000 是以電腦系統來作說明，然而，在本發明另一範例實施例中主機系統 1000 可以是數位相機、攝影機、通信裝置、音訊播放器或視訊播放器等系統，或者是在開卡程序執行時，提供記憶體儲存裝置 100 參考頻率之主機。例如，在主機系統為數位相機(攝影機)1310 時，可複寫式非揮發性記憶體儲存裝置則為其所使用的 SD 卡 1312、MMC 卡 1314、記憶棒(memory stick)1316、CF 卡 1318 或嵌入式儲存裝置 1320(如圖 1C 所示)。嵌入式儲存裝置 1320 包括嵌入式多媒體卡(Embedded MMC, eMMC)。值得一提的是，嵌入式多媒體卡是直接耦接於主機系統的基板上。在記憶

體儲存裝置 100 進行測試時，主機系統 1000 也可以是指對記憶體儲存裝置 100 進行測試的測試裝置，例如誤碼率(biterror)分析儀。

【0053】 圖 2 是繪示圖 1A 所示的記憶體儲存裝置的概要方塊圖。

【0054】 請參照圖 2，記憶體儲存裝置 100 包括連接器 102、記憶體控制器 104 與可複寫式非揮發性記憶體模組 106。

【0055】 在本範例實施例中，連接器 102 是相容於通用序列匯流排(Universal Serial Bus, USB) 標準。然而，必須瞭解的是，本發明不限於此，連接器 102 亦可以是符合電氣和電子工程師協會(Institute of Electrical and Electronic Engineers, IEEE) 1394 標準、高速周邊零件連接介面(Peripheral Component Interconnect Express, PCI Express) 標準、序列先進附件(Serial Advanced Technology Attachment, SATA)標準、安全數位(Secure Digital, SD)介面標準、超高速一代(Ultra High Speed-I, UHS-I)介面標準、超高速二代(Ultra High Speed-II, UHS-II)介面標準、記憶棒(Memory Stick, MS) 介面標準、多媒體儲存卡(Multi Media Card, MMC)介面標準、嵌入式多媒體儲存卡(Embedded Multimedia Card, eMMC)介面標準、通用快閃記憶體(Universal Flash Storage, UFS) 介面標準、小型快閃(Compact Flash, CF)介面標準、整合式驅動電子介面(Integrated Device Electronics, IDE) 標準或其他適合的標準。

【0056】 記憶體控制器 104 用以執行以硬體型式或軟體型式實作的多個邏輯閘或控制指令，並且根據主機系統 1000 的指令在可複寫式非揮發性記憶體模組 106 中進行資料的寫入、讀取與抹除等

運作。其中值得說明的是，在本發明之一範例實施例中，連接器 102 及記憶體控制器 104 中所使用之一參考頻率皆利用源自於主機系統 1000 所傳送之一封包資訊，而調整內部振盪電路模組，以產生出此參考頻率，此參考頻率非來自於一記憶體儲存裝置 100 內部之石英振盪器。而在本發明之另一範例實施例中，記憶體儲存裝置 100 內部不包含有一石英振盪器。

【0057】 可複寫式非揮發性記憶體模組 106 是耦接至記憶體控制器 104，並且用以儲存主機系統 1000 所寫入之資料。在本範例實施例中，可複寫式非揮發性記憶體模組 106 為多階記憶胞(Multi Level Cell, MLC)NAND 快閃記憶體模組。然而，本發明不限於此，可複寫式非揮發性記憶體模組 106 亦可是單階記憶胞(Single Level Cell, SLC)NAND 快閃記憶體模組、其他快閃記憶體模組或其他具有相同特性的記憶體模組。

【0058】 圖 3 是根據本發明範例實施例所繪示之記憶體控制器的概要方塊圖。

【0059】 請參照圖 3，記憶體控制器 104 包括記憶體管理電路 202、主機介面 204 與記憶體介面 206。

【0060】 記憶體管理電路 202 用以控制記憶體控制器 104 的整體運作。具體來說，記憶體管理電路 202 具有多個控制指令，並且在記憶體儲存裝置 100 運作時，這些控制指令會被執行以進行資料的寫入、讀取與抹除等運作。

【0061】 在本範例實施例中，記憶體管理電路 202 的控制指令是 5

以韌體型式來實作。例如，記憶體管理電路 202 具有微處理器單元(未繪示)與唯讀記憶體(未繪示)，並且此些控制指令是被燒錄至此唯讀記憶體中。當記憶體儲存裝置 100 運作時，此些控制指令會由微處理器單元來執行以進行資料的寫入、讀取與抹除等運作。

【0062】 在本發明另一範例實施例中，記憶體管理電路 202 的控制指令亦可以程式碼型式儲存於可複寫式非揮發性記憶體模組 106 的特定區域(例如，記憶體模組中專用於存放系統資料的系統區)中。此外，記憶體管理電路 202 具有微處理器單元(未繪示)、唯讀記憶體(未繪示)及隨機存取記憶體(未繪示)。特別是，此唯讀記憶體具有驅動碼，並且當記憶體控制器 104 被致能時，微處理器單元會先執行此驅動碼段來將儲存於可複寫式非揮發性記憶體模組 106 中之控制指令載入至記憶體管理電路 202 的隨機存取記憶體中。之後，微處理器單元會運轉此些控制指令以進行資料的寫入、讀取與抹除等運作。此外，在本發明另一範例實施例中，記憶體管理電路 202 的控制指令亦可以一硬體型式來實作。

【0063】 主機介面 204 是耦接至記憶體管理電路 202 並且用以接收與識別主機系統 1000 所傳送的指令與資料。也就是說，主機系統 1000 所傳送的指令與資料會透過主機介面 204 來傳送至記憶體管理電路 202。在本範例實施例中，主機介面 204 是相容於 SATA 標準。然而，必須瞭解的是本發明不限於此，主機介面 204 亦可以是相容於 SATA 標準、IEEE 1394 標準、PCI Express 標準、USB 標準、SD 標準、UHS-I 介面標準、UHS-II 介面標準、MS 標準、

MMC 標準、eMMC 介面標準、UFS 介面標準、CF 標準、IDE 標準或其他適合的資料傳輸標準。

【0064】 記憶體介面 206 是耦接至記憶體管理電路 202 並且用以存取可複寫式非揮發性記憶體模組 106。也就是說，欲寫入至可複寫式非揮發性記憶體模組 106 的資料會經由記憶體介面 206 轉換為可複寫式非揮發性記憶體模組 106 所能接受的格式。

【0065】 在本發明一範例實施例中，記憶體控制器 104 還包括一儲存單元 252。儲存單元 252 是耦接至記憶體管理電路 202 可用以儲存系統資料、暫存來自於主機系統 1000 的資料與指令或來自於可複寫式非揮發性記憶體模組 106 的資料。

【0066】 在本發明一範例實施例中，記憶體控制器 104 還包括電源管理電路 254。電源管理電路 254 是耦接至記憶體管理電路 202 並且用以控制記憶體儲存裝置 100 的電源。

【0067】 在本發明一範例實施例中，記憶體控制器 104 還包括錯誤檢查與校正電路 256。錯誤檢查與校正電路 256 是耦接至記憶體管理電路 202 並且用以執行錯誤檢查與校正程序以確保資料的正確性。具體來說，當記憶體管理電路 202 從主機系統 1000 中接收到寫入指令時，錯誤檢查與校正電路 256 會為對應此寫入指令的資料產生對應的錯誤檢查與校正碼(Error Checking and Correcting Code, ECC Code)，並且記憶體管理電路 202 會將對應此寫入指令的資料與對應的錯誤檢查與校正碼寫入至可複寫式非揮發性記憶體模組 106 中。之後，當記憶體管理電路 202 從可複寫式非揮發

性記憶體模組 106 中讀取資料時會同時讀取此資料對應的錯誤檢查與校正碼，並且錯誤檢查與校正電路 256 會依據此錯誤檢查與校正碼對所讀取的資料執行錯誤檢查與校正程序。

【0068】 圖 4 是根據本發明一範例實施例所繪示之振盪電路模組的概要方塊圖。請參考圖 2 至圖 4，本實施例之振盪電路模組 400 係為在記憶體儲存裝置 100 內部設計的一晶片內之振盪電路模組，其例如是配置在連接器 102 中，用以產生第一或第二參考頻率 CLK1、CLK2。在本範例實施例中，振盪電路模組 400 包括頻率追蹤電路 410、暫存器電路 420、振盪電路 430 及選擇器電路 440。振盪電路 430 例如是一個電阻/電容(RC)振盪器、環型(Ring)振盪器或是電感/電容(LC)振盪器。在本實施例中，振盪電路 430 可依據暫存器電路 420 內部所儲存的參考頻率之設定資訊來產生第一或第二參考頻率 CLK1、CLK2。暫存器電路 420 用以儲存參考頻率之設定資訊。

【0069】 在本範例實施例中，記憶體控制器 104 內部的記憶體管理電路 202 可用以偵測記憶體儲存裝置 100 是否接收到一輸入資料 IN_DATA，或者所接收到輸入資料 IN_DATA 是否包括一第一頻率之資料。亦即，記憶體控制器 104 會偵測第一頻率之資料是否被輸入至記憶體儲存裝置 100。圖 5 及圖 6 分別繪示本範例實施例之輸入資料 IN_DATA 可能的概要波形。請同時參考圖 5 及圖 6，在本範例實施例中，輸入訊號 IN_DATA 通常包括低頻率周期訊號(low frequency period signal, LFPS)、資料訊號 DATA 以及電氣閒

置狀態(electrical idle)。低頻率周期訊號例如是輸入訊號 IN_DATA 中具有第一頻率之資料，作為記憶體控制器 104 決定是否進行頻率追蹤的特定頻率之資料，其可以連續或不連續的方式分布在輸入訊號 IN_DATA 中，分別如圖 5 及圖 6 所示。低頻率周期訊號為低頻訊號，其周期大約介在 20 奈秒(nanosecond, ns)至 100ns 之間。在本範例實施例中，資料訊號 DATA 例如是輸入訊號 IN_DATA 中具有第二頻率之資料，作為頻率追蹤電路 410 進行頻率追蹤的目標訊號，其頻率一般為 5 吉赫 (Gigahertz, GHz)。因此，在此例中，記憶體控制器 104 會偵測低頻率周期訊號是否被輸入至記憶體儲存裝置 100，但低頻率周期訊號作為記憶體控制器 104 決定是否進行頻率追蹤的特定頻率之資料僅用以例示說明，本發明並不加以限制。

【0070】 本範例實施例的記憶體儲存裝置 100 可能操作在一般操作模式以及不同的測試模式，包括第一測試模式及第二測試模式。在第一測試模式中，例如相容性測試模式，記憶體儲存裝置 100 所耦接的第一測試裝置 700 並不會提供外部訊號給記憶體儲存裝置 100，如圖 7 所示。圖 7 繪示在第一測試模式時記憶體儲存裝置耦接至第一測試裝置的概要示意圖。在此測試模式中。記憶體控制器 104 在進行相容性測試時不會偵測到低頻率周期訊號被輸入至記憶體儲存裝置 100。在第二測試模式中，例如回授測試模式，記憶體儲存裝置 100 所耦接的第二測試裝置 800 會對記憶體儲存裝置 100 進行誤碼率分析測試(biterror test, BERT)，如圖 8

所示。圖 8 繪示在第二測試模式時記憶體儲存裝置耦接至第二測試裝置的概要示意圖。在第二測試模式中，第二測試裝置 800 會輸出輸入訊號 IN_DATA 給記憶體儲存裝置 100 進行測試，此輸入訊號 IN_DATA 包括具有第一頻率的低頻率周期訊號，以及具有第二頻率的資料訊號 DATA。

【0071】 在本發明之範例實施例中，爲了符合不同的測試規範，在記憶體儲存裝置 100 進行測試之前，記憶體控制器 104 會控制選擇器電路 440，選擇導通第一訊號傳遞路徑 510，以控制振盪電路模組 400 利用第一訊號傳遞路徑 510 從可複寫式非揮發性記憶體模組 106 或儲存單元 252 讀取設定碼，並且控制振盪電路模組 400 將設定碼儲存於暫存器電路 420 內。

【0072】 在一實施例中，利用第一訊號傳遞路徑 510 儲存至暫存器電路 420 的設定碼可包括第一設定資訊及第二設定資訊。在第一測試模式中，記憶體控制器 104 不會啓動頻率追蹤電路 410。此際，振盪電路 430 依據儲存在暫存器電路 420 內的第一設定資訊來產生的第一參考頻率 CLK1，以符合第一測試模式的測試規範。在第二測試模式中，若記憶體控制器 104 偵測第一頻率之資料，例如前述的低頻率周期訊號，記憶體控制器 104 會啓動頻率追蹤電路 410，以讓頻率追蹤電路 410 根據第二測試裝置 800 所提供的測試頻率來更新儲存於暫存器電路 420 內的第二設定資訊。因此，在不同測試模式中，振盪電路 430 依據第一設定資訊或第二設定資訊分別產生的第一參考頻率 CLK1 或第二參考頻率 CLK2 可各

自符合第一測試模式及第二測試模式的測試規範。

【0073】 具體而言，圖 9 是根據本發明一範例實施例所繪示之參考頻率設定方法的流程圖。請參考圖 9，在本實施例中，在步驟 S100 中，記憶體控制器 104 控制選擇器電路 440 選擇導通第一訊號傳遞路徑 510，以使振盪電路模組 400 利用第一訊號傳遞路徑 510 從可複寫式非揮發性記憶體模組 106 或儲存單元 252 讀取設定碼，並且將設定碼儲存於暫存器電路 420 內。在此步驟中，記憶體控制器 104 例如是先根據主機系統 1000 之頻率來設定設定碼的第一設定資訊及第二設定資訊，之後，再將設定碼以韌體之型式儲存於可複寫式非揮發性記憶體模組 106 或儲存單元 252 內。因此，在本實施例中，可複寫式非揮發性記憶體模組 106 或儲存單元 252 所儲存的設定碼包括第一設定資訊及第二設定資訊。接著，在步驟 S110 中，記憶體控制器 104 偵測第一頻率之資料是否被輸入至記憶體儲存裝置 100。若否，本實施例之參考頻率設定方法會執行步驟 S120。從另一觀點來看，若記憶體控制器 104 沒有偵測到第一頻率之資料被輸入至記憶體儲存裝置 100，表示此時記憶體儲存裝置 100 是處於第一測試模式的狀態。在步驟 S120 中，記憶體控制器 104 控制振盪電路 430 讀取儲存於暫存器電路 420 內的設定碼的第一設定資訊，以使振盪電路 430 依據設定碼的第一設定資訊來產生第一參考頻率 CLK1。因此，在第一測試模式中，振盪電路 430 依據設定碼的第一設定資訊所產生的第一參考頻率 CLK1 符合第一測試模式之規範。另外，在第一測試模式中，記憶

體控制器 104 不會啓動頻率追蹤電路 410 來執行頻率追蹤的操作。

【0074】 另一方面，在步驟 S110 中，若記憶體控制器 104 偵測到第一頻率之資料被輸入至記憶體儲存裝置 100，表示此時記憶體儲存裝置 100 是處於第二測試模式或是一般操作模式的狀態，本實施例之參考頻率設定方法會執行步驟 S130。在步驟 S130 中，記憶體控制器 104 控制選擇器電路 440 將第一訊號傳遞路徑 510 切換至第二訊號傳遞路徑 520，並且啓動頻率追蹤電路 410，以利用第二訊號傳遞路徑 520 來更新儲存於暫存器電路 420 內的設定碼。接著，在步驟 S140 中，頻率追蹤電路 410 比較第二參考頻率 CLK2 及在第二測試模式中所接收的具有第二頻率的資料訊號 DATA 之間的頻率差值。之後，在步驟 S150 中，記憶體控制器 104 根據比較結果來更新儲存於暫存器電路 420 內的設定碼的第二設定資訊。值得一提的是，由於本實施例之可複寫式非揮發性記憶體模組 106 或儲存單元 252 儲存有設定碼的第一設定資訊及第二設定資訊，因此，更新前的設定碼即包括第二設定資訊。繼之，在步驟 S160 中，記憶體控制器 104 控制振盪電路 430 讀取儲存於暫存器電路 420 內的設定碼的第二設定資訊，以使振盪電路 430 依據設定碼的第二設定資訊來產生第二參考頻率 CLK2。因此，在第二測試模式中，振盪電路 430 依據設定碼的第二設定資訊所產生的第二參考頻率 CLK2 符合第二測試模式之規範。

【0075】 此外，在本實施例中，執行完步驟 S150 之更新儲存於暫存器電路 420 內的設定碼的第二設定資訊的操作之後，記憶體控

制器 104 也可根據步驟 S150 的比較結果來更新儲存於可複寫式非揮發性記憶體模組 106 或儲存單元 252 內的設定碼。

【0076】 另外，本實施例的參考頻率設定方法之其他實施細節可以由圖 1 至圖 8 實施例之敘述中獲致足夠的教示、建議與實施說明，因此不再贅述。

【0077】 在另一實施例中，利用第一訊號傳遞路徑 510 從可複寫式非揮發性記憶體模組 106 或儲存單元 252 讀取，並且儲存至暫存器電路 420 的設定碼也可僅包括第一設定資訊。在此例中，記憶體控制器 104 是根據主機系統 1000 之頻率來設定設定碼的第一設定資訊，並且將目前僅包括第一設定資訊的設定碼儲存於可複寫式非揮發性記憶體模組 106 或儲存單元 252 內。在第一測試模式記憶體控制器 104 不會啟動頻率追蹤電路 410。此際，振盪電路 430 依據儲存在暫存器電路 420 內的第一設定資訊來產生的第一參考頻率，以符合第一測試模式的測試規範。在第二測試模式中，若記憶體控制器 104 偵測到第一頻率之資料，記憶體控制器 104 會啟動頻率追蹤電路 410，以讓頻率追蹤電路 410 根據第二測試裝置 800 所提供的具有第二頻率的資料訊號 DATA 來更新儲存於暫存器電路 420 內的第一設定資訊為第二設定資訊。換言之，在此例中，第二設定資訊是利用頻率追蹤操作來產生，並儲存於暫存器電路 420。因此，振盪電路 430 依據第二設定資訊產生的第二參考頻率可符合第二測試模式的測試規範。

【0078】 具體而言，圖 10 是根據本發明另一範例實施例所繪示 5

之參考頻率設定方法的流程圖。本實施例之參考頻率設定方法類似於圖 9 的參考頻率設定方法，惟兩者之間主要的差異例如在於，在步驟 S200 中，在進行第二測試模式或是進入一般操作模式之前，利用第一訊號傳遞路徑 510 從可複寫式非揮發性記憶體模組 106 或儲存單元 252 讀取設定碼並且儲存於暫存器電路 420 內，相較於圖 9 的實施例，設定碼僅包括第一設定資訊。因此，在進行第二測試模式或是進入一般操作模式之後，在步驟 S240 中，頻率追蹤電路 410 比較第一參考頻率 CLK1 及在第二測試模式中所接收的具有第二頻率的資料訊號 DATA 之間的頻率差值。在步驟 S250 中，記憶體控制器 104 根據步驟 S240 的比較結果來更新儲存於暫存器電路 420 內的設定碼，將第一設定資訊更新為第二設定資訊。接著，在步驟 S260 中，記憶體控制器 104 控制振盪電路 430 讀取儲存於暫存器電路 420 內的更新後的設定碼，其包括第二設定資訊，以使振盪電路 430 依據設定碼的第二設定資訊來產生第二參考頻率 CLK2。

【0079】 此外，在本實施例中，執行完步驟 S250 之更新儲存於暫存器電路 420 內的設定碼的第二設定資訊的操作之後，記憶體控制器 104 也可進一步將根據步驟 S250 的比較結果所得的設定碼的第二設定資訊儲存至可複寫式非揮發性記憶體模組 106 或儲存單元 252 內。

【0080】 另外，本實施例的參考頻率設定方法之其他實施細節可以由圖 1 至圖 9 實施例之敘述中獲致足夠的教示、建議與實施說

明，因此不再贅述。

【0081】 此外，在本實施例中，雖然在可複寫式非揮發性記憶體模組 106 或儲存單元 252 中所儲存的設定碼僅包括第一設定資訊，並且，在步驟 S250 中，是利用頻率追蹤的操作來產生第二設定資訊，並儲存於暫存器電路 420，然而，爲了使記憶體儲存裝置 100 符合第二測試模式的測試規範，或是確保記憶體儲存裝置 100 在進入一般操作模式之後可操作無虞，本實施例的參考頻率設定方法在可複寫式非揮發性記憶體模組 106 或儲存單元 252 中也可直接儲存符合第二測試模式的測試規範的第一設定資訊，以及直接儲存可確保記憶體儲存裝置 100 在進入一般操作模式之後操作無虞的第一設定資訊。換言之，此時振盪電路 430 依據第一設定資訊產生的參考頻率可符合第一、第二測試模式的測試規範，並且符合一般操作模式的參考頻率的標準。

【0082】 另一方面，在一般操作模式中，記憶體儲存裝置 100 在開卡程序執行時可先利用第一訊號傳遞路徑 510 將參考頻率的設定值以韌體型式儲存於暫存器電路 420 內，以作爲下一次開機時的頻率初始值。此後，在一般操作模式中，當記憶體儲存裝置 100 與主機系統 1000 連接時，可經由第二訊號傳遞路徑 520 來追蹤此時主機系統 1000 所提供之輸入訊號 IN_DATA，以作爲參考頻率之設定資訊，從而減少振盪電路模組 400 的參考頻率與主機系統 1000 頻率的差異。之後，記憶體儲存裝置 100 在一般操作模式中開機時，即可正確無誤地與主機系統 1000 連結。

【0083】 綜上所述，在本發明之範例實施例中，記憶體儲存裝置透過主機提供準確之參考頻率，調整其振盪電路模組所需之頻率設定碼，並將此設定碼儲存於可複寫式非揮發性記憶體模組或儲存單元內。此外，在不同測試模式中，記憶體儲存裝置選擇性的決定是否要啓動頻率追蹤功能，以產生可符合不同的測試規範的參考頻率。

【0084】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0085】

- 1000：主機系統
- 1100：電腦
- 1102：微處理器
- 1104：隨機存取記憶體
- 1106：輸入/輸出裝置
- 1108：系統匯流排
- 1110：資料傳輸介面
- 1202：滑鼠
- 1204：鍵盤

- 1206：顯示器
- 1208：印表機
- 1212：隨身碟
- 1214：記憶卡
- 1216：固態硬碟
- 1310：數位相機
- 1312：SD 卡
- 1314：MMC 卡
- 1316：記憶棒
- 1318：CF 卡
- 1320：嵌入式儲存裝置
- 100：記憶體儲存裝置
- 102：連接器
- 104：記憶體控制器
- 106：可複寫式非揮發性記憶體模組
- 202：記憶體管理電路
- 204：主機介面
- 206：記憶體介面
- 252：儲存單元
- 254：電源管理電路
- 256：錯誤檢查與校正電路
- 400：振盪電路模組

410：頻率追蹤電路

420：暫存器電路

430：振盪電路

440：選擇器電路

700：第一測試裝置

800：第二測試裝置

LFPS：低頻率周期訊號

DATA：資料訊號

IN_DATA：輸入訊號

CLK1：第一參考頻率

CLK2：第二參考頻率

S100、S120、S130、S140、S150、S160、S200、S220、S230、

S240、S250、S260：參考頻率設定方法的步驟

申請專利範圍

1. 一種可複寫式非揮發性記憶體儲存裝置的參考頻率設定方法，其中該可複寫式非揮發性記憶體儲存裝置包括一可複寫式非揮發性記憶體模組、一儲存單元以及一振盪電路模組，該振盪電路模組包括一暫存器電路，該可複寫式非揮發性記憶體儲存裝置不包括一石英振盪器，該參考頻率設定方法包括：

利用一第一訊號傳遞路徑從該可複寫式非揮發性記憶體模組或該儲存單元內讀取一設定碼，並將該設定碼儲存於該暫存器電路內，其中該設定碼包括一第一設定資訊；

偵測一第一頻率之資料是否被輸入；

若該第一頻率之資料沒有被輸入，讀取儲存於該暫存器電路內的該設定碼，以使該振盪電路模組依據該設定碼的該第一設定資訊來產生一第一參考頻率；

若該第一頻率之資料被輸入，利用一第二訊號傳遞路徑來更新儲存於該暫存器電路內的該設定碼，其中更新後的該設定碼包括一第二設定資訊；以及

若該第一頻率之資料被輸入，讀取儲存於該暫存器電路內的更新後的該設定碼，以使該振盪電路模組依據該第二設定資訊來產生一第二參考頻率。

2. 如申請專利範圍第1項所述之參考頻率設定方法，更包括：
根據一主機系統之頻率來設定該設定碼的該第一設定資訊，並且將包括該第一設定資訊的該設定碼儲存於該可複寫式非揮發

性記憶體模組或該儲存單元內。

3. 如申請專利範圍第 1 項所述之參考頻率設定方法，其中依據該設定碼的該第一設定資訊所產生的該第一參考頻率符合一第一測試模式之規範。

4. 如申請專利範圍第 3 項所述之參考頻率設定方法，其中在該第一測試模式中，該可複寫式非揮發性記憶體儲存裝置係耦接至一第一測試裝置，該第一測試裝置不輸出該第一頻率之資料至該可複寫式非揮發性記憶體儲存裝置。

5. 如申請專利範圍第 1 項所述之參考頻率設定方法，其中若該第一頻率之資料沒有被輸入，該參考頻率設定方法不執行利用該第二訊號傳遞路徑來更新儲存於該暫存器電路內的該設定碼之步驟。

6. 如申請專利範圍第 1 項所述之參考頻率設定方法，更包括：根據一主機系統之頻率來設定該設定碼的該第二設定資訊，並且將包括該第二設定資訊的該設定碼儲存於該可複寫式非揮發性記憶體模組或該儲存單元內。

7. 如申請專利範圍第 6 項所述之參考頻率設定方法，其中在利用該第二訊號傳遞路徑來更新儲存於該暫存器電路內的該設定碼的步驟中，更新前的該設定碼包括該第二設定資訊。

8. 如申請專利範圍第 1 項所述之參考頻率設定方法，其中依據該設定碼的該第二設定資訊所產生的該第二參考頻率符合一第二測試模式之規範。

9. 如申請專利範圍第 8 項所述之參考頻率設定方法，其中在該第二測試模式中，該可複寫式非揮發性記憶體儲存裝置係耦接至一第二測試裝置，該第二測試裝置輸出該第一頻率之資料至該可複寫式非揮發性記憶體儲存裝置。

10. 如申請專利範圍第 7 項所述之參考頻率設定方法，更包括：

若該第一頻率之資料被輸入，將該第一訊號傳遞路徑切換至該第二訊號傳遞路徑，以利用該第二訊號傳遞路徑來更新儲存於該暫存器電路內的該設定碼。

11. 如申請專利範圍第 1 項所述之參考頻率設定方法，其中更新儲存於該暫存器電路內的該設定碼的步驟包括：

比較該第一參考頻率或該第二參考頻率與在一第二測試模式中所接收的一第二頻率之資料之間的頻率差值；以及

根據一比較結果來更新儲存於該暫存器電路內的該設定碼的該第二設定資訊。

12. 如申請專利範圍第 11 項所述之參考頻率設定方法，更包括：

將根據該比較結果所得的該設定碼的該第二設定資訊儲存至該可複寫式非揮發性記憶體模組或該儲存單元內。

13. 一種記憶體控制器，用於設定一可複寫式非揮發性記憶體儲存裝置的參考頻率，其中該可複寫式非揮發性記憶體儲存裝置包括一可複寫式非揮發性記憶體模組以及一振盪電路模組，該

振盪電路模組包括一暫存器電路，該記憶體控制器包括：

- 一記憶體介面，耦接至該可複寫式非揮發性記憶體模組；
- 一記憶體管理電路，耦接至該記憶體介面；以及
- 一儲存單元，耦接至該記憶體管理電路，

其中該記憶體管理電路控制該振盪電路模組利用一第一訊號傳遞路徑從該可複寫式非揮發性記憶體模組或該儲存單元內讀取一設定碼，並將該設定碼儲存於該暫存器電路內，其中該設定碼包括一第一設定資訊；該記憶體管理電路偵測一第一頻率之資料是否被輸入；若該第一頻率之資料沒有被輸入，該記憶體管理電路控制該振盪電路模組讀取儲存於該暫存器電路內的該設定碼，以使該振盪電路模組依據該設定碼的該第一設定資訊來產生一第一參考頻率；若該第一頻率之資料被輸入，該記憶體管理電路控制該振盪電路模組利用一第二訊號傳遞路徑來更新儲存於該暫存器電路內的該設定碼，其中更新後的該設定碼包括一第二設定資訊；以及若該第一頻率之資料被輸入，該記憶體管理電路控制該振盪電路模組讀取儲存於該暫存器電路內的更新後的該設定碼，以使該振盪電路模組依據該第二設定資訊來產生一第二參考頻率。

14. 如申請專利範圍第 13 項所述之記憶體控制器，其中該記憶體管理電路根據一主機系統之頻率來設定該設定碼的該第一設定資訊，並且將包括該第一設定資訊的該設定碼儲存於該可複寫式非揮發性記憶體模組或該儲存單元內。

15. 如申請專利範圍第 13 項所述之記憶體控制器，其中依據該設定碼的該第一設定資訊所產生的該第一參考頻率符合一第一測試模式之規範。

16. 如申請專利範圍第 15 項所述之記憶體控制器，其中在該第一測試模式中，該可複寫式非揮發性記憶體儲存裝置係耦接至一第一測試裝置，該第一測試裝置不輸出該第一頻率之資料至該可複寫式非揮發性記憶體儲存裝置。

17. 如申請專利範圍第 13 項所述之記憶體控制器，其中若該第一頻率之資料沒有被輸入，該記憶體管理電路控制該振盪電路模組不執行利用該第二訊號傳遞路徑來更新儲存於該暫存器電路內的該設定碼之操作。

18. 如申請專利範圍第 13 項所述之記憶體控制器，其中該記憶體管理電路根據一主機系統之頻率來設定該設定碼的該第二設定資訊，並且將包括該第二設定資訊的該設定碼儲存於該可複寫式非揮發性記憶體模組或該儲存單元內。

19. 如申請專利範圍第 18 項所述之記憶體控制器，其中更新前的該設定碼包括該第二設定資訊。

20. 如申請專利範圍第 13 項所述之記憶體控制器，其中依據該設定碼的該第二設定資訊所產生的該第二參考頻率符合一第二測試模式之規範。

21. 如申請專利範圍第 20 項所述之記憶體控制器，其中在該第二測試模式中，該可複寫式非揮發性記憶體儲存裝置係耦接至

一第二測試裝置，該第二測試裝置輸出該第一頻率之資料至該可複寫式非揮發性記憶體儲存裝置。

22. 如申請專利範圍第 19 項所述之記憶體控制器，其中若該第一頻率之資料被輸入，該記憶體管理電路控制該振盪電路模組將該第一訊號傳遞路徑切換至該第二訊號傳遞路徑，以利用該第二訊號傳遞路徑來更新儲存於該暫存器電路內的該設定碼。

23. 如申請專利範圍第 13 項所述之記憶體控制器，其中該振盪電路模組包括一頻率追蹤電路，位於該第二訊號傳遞路徑，該頻率追蹤電路用以比較該第一參考頻率或該第二參考頻率與在一第二測試模式中所接收的一第二頻率之資料之間的頻率差值，以及該振盪電路模組根據一比較結果來更新儲存於該暫存器電路內的該設定碼的該第二設定資訊。

24. 如申請專利範圍第 23 項所述之記憶體控制器，其中該記憶體管理電路將根據該比較結果所得的該設定碼的該第二設定資訊儲存至該可複寫式非揮發性記憶體模組或該儲存單元內。

25. 一種可複寫式非揮發性記憶體儲存裝置，包括：
一振盪電路模組，包括一暫存器電路；
一可複寫式非揮發性記憶體模組；以及
一記憶體控制器，耦接至該振盪電路及該可複寫式非揮發性記憶體模組，該記憶體控制器包括一儲存單元，

其中該記憶體控制器控制該振盪電路模組利用一第一訊號傳遞路徑從該可複寫式非揮發性記憶體模組或該儲存單元內讀取一

設定碼，並將該設定碼儲存於該暫存器電路內，其中該設定碼包括一第一設定資訊；該記憶體控制器偵測一第一頻率之資料是否被輸入；若該第一頻率之資料沒有被輸入，該記憶體控制器控制該振盪電路模組讀取儲存於該暫存器電路內的該設定碼，以使該振盪電路模組依據該設定碼的一第一設定資訊來產生一第一參考頻率；若該第一頻率之資料被輸入，該記憶體控制器控制該振盪電路模組利用一第二訊號傳遞路徑來更新儲存於該暫存器電路內的該設定碼，其中更新後的該設定碼包括一第二設定資訊；以及若該第一頻率之資料被輸入，該記憶體控制器控制該振盪電路模組讀取儲存於該暫存器電路內更新後的該設定碼，以使該振盪電路模組依據該第二設定資訊來產生一第二參考頻率。

26. 如申請專利範圍第 25 項所述之可複寫式非揮發性記憶體儲存裝置，其中該記憶體控制器根據一主機系統之頻率來設定該設定碼的該第一設定資訊，並且將包括該第一設定資訊的該設定碼儲存於該可複寫式非揮發性記憶體模組或該儲存單元內。

27. 如申請專利範圍第 25 項所述之可複寫式非揮發性記憶體儲存裝置，其中依據該設定碼的該第一設定資訊所產生的該第一參考頻率符合一第一測試模式之規範。

28. 如申請專利範圍第 27 項所述之可複寫式非揮發性記憶體儲存裝置，其中在該第一測試模式中，該可複寫式非揮發性記憶體儲存裝置係耦接至一第一測試裝置，該第一測試裝置不輸出該第一頻率之資料至該可複寫式非揮發性記憶體儲存裝置。

29. 如申請專利範圍第 25 項所述之可複寫式非揮發性記憶體儲存裝置，其中若該第一頻率之資料沒有被輸入，該記憶體控制器控制該振盪電路模組不執行利用該第二訊號傳遞路徑來更新儲存於該暫存器電路內的該設定碼之操作。

30. 如申請專利範圍第 25 項所述之可複寫式非揮發性記憶體儲存裝置，其中該記憶體控制器根據一主機系統之頻率來設定該設定碼的該第二設定資訊，並且將包括該第二設定資訊的該設定碼儲存於該可複寫式非揮發性記憶體模組或該儲存單元內。

31. 如申請專利範圍第 30 項所述之可複寫式非揮發性記憶體儲存裝置，其中更新前的該設定碼包括該第二設定資訊。

32. 如申請專利範圍第 25 項所述之可複寫式非揮發性記憶體儲存裝置，其中依據該設定碼的該第二設定資訊所產生的該第二參考頻率符合一第二測試模式之規範。

33. 如申請專利範圍第 32 項所述之可複寫式非揮發性記憶體儲存裝置，其中在該第二測試模式中，該可複寫式非揮發性記憶體儲存裝置係耦接至一第二測試裝置，該第二測試裝置輸出該第一頻率之資料至該可複寫式非揮發性記憶體儲存裝置。

34. 如申請專利範圍第 31 項所述之可複寫式非揮發性記憶體儲存裝置，其中若該第一頻率之資料被輸入，該記憶體控制器控制該振盪電路模組將該第一訊號傳遞路徑切換至該第二訊號傳遞路徑，以利用該第二訊號傳遞路徑來更新儲存於該暫存器電路內的該設定碼。

35. 如申請專利範圍第 25 項所述之可複寫式非揮發性記憶體儲存裝置，其中該振盪電路模組包括一頻率追蹤電路，位於該第二訊號傳遞路徑，該頻率追蹤電路用以比較該第一參考頻率或該第二參考頻率與在一第二測試模式中所接收的一第二頻率之資料之間的頻率差值，以及該振盪電路模組根據一比較結果來更新儲存於該暫存器電路內的該設定碼的該第二設定資訊。

36. 如申請專利範圍第 35 項所述之可複寫式非揮發性記憶體儲存裝置，其中該記憶體控制器將根據該比較結果所得的該設定碼的該第二設定資訊儲存至該可複寫式非揮發性記憶體模組或該儲存單元內。

圖式

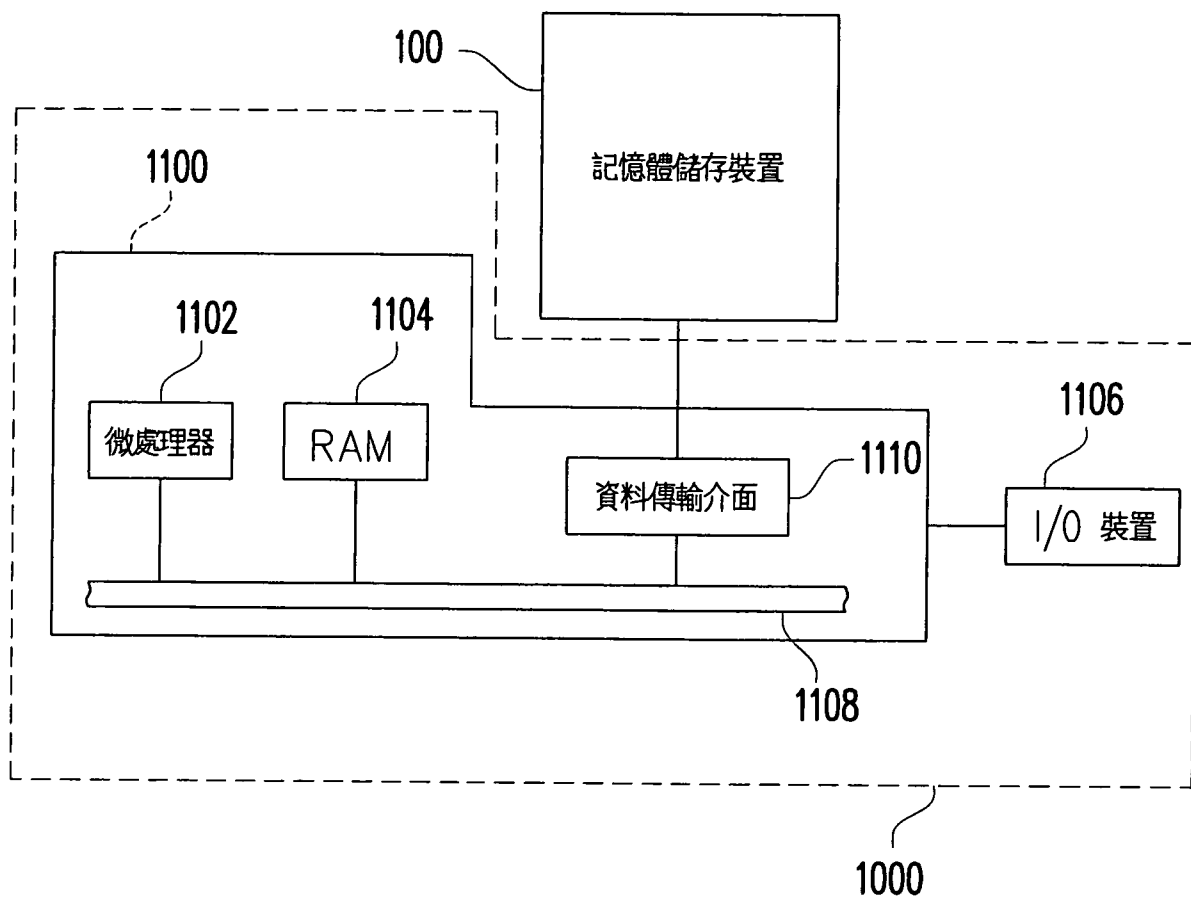


圖 1A

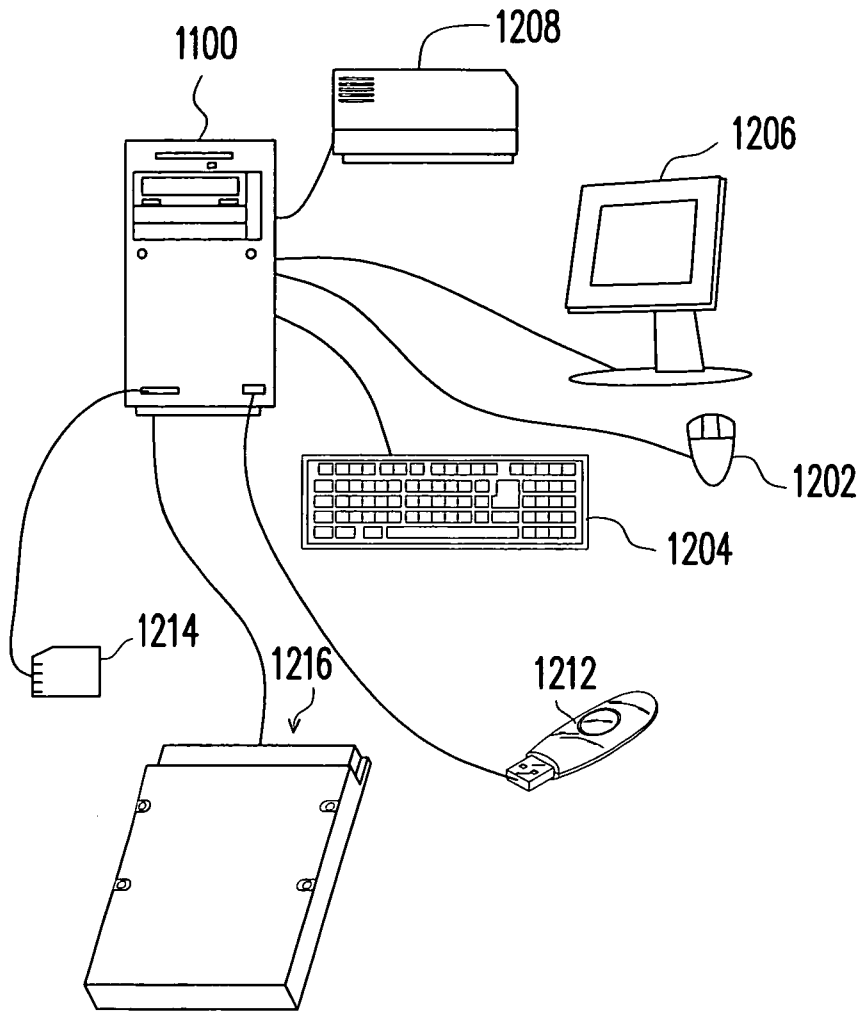


圖 1B

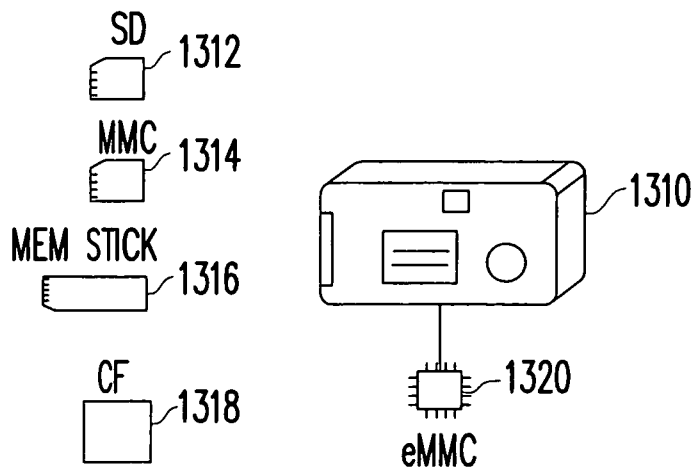


圖 1C

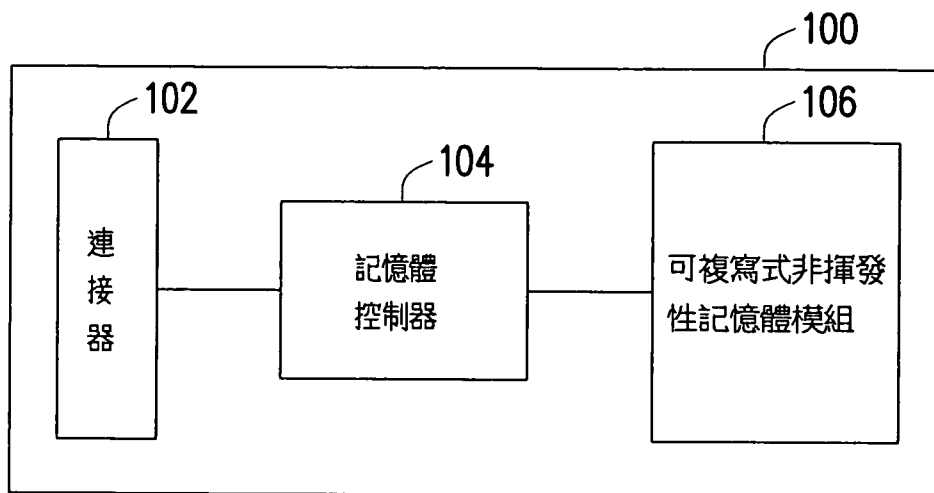


圖 2

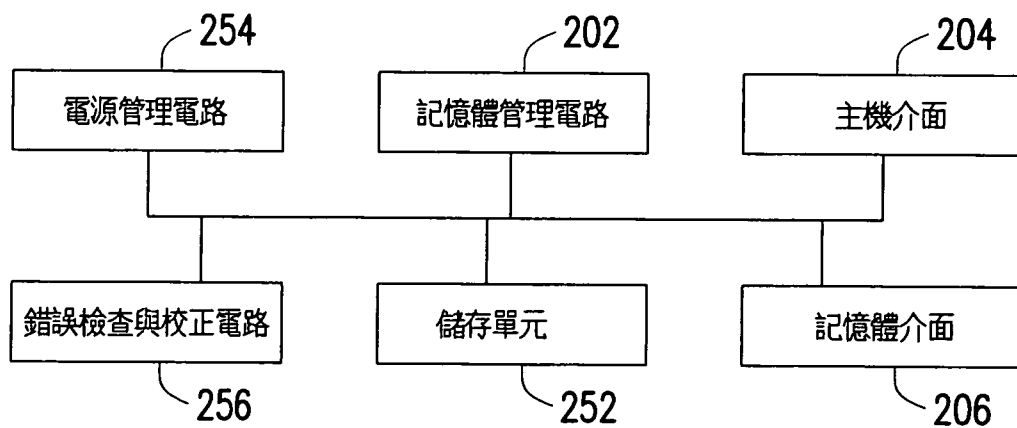


圖 3

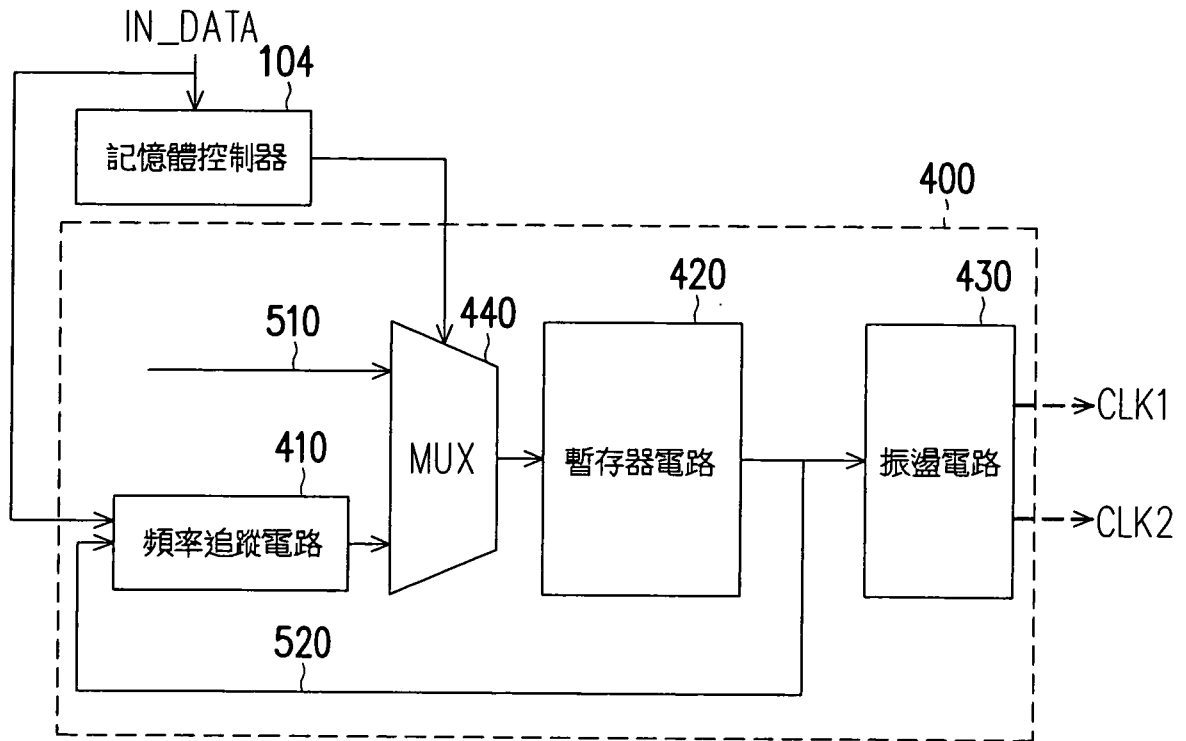


圖 4

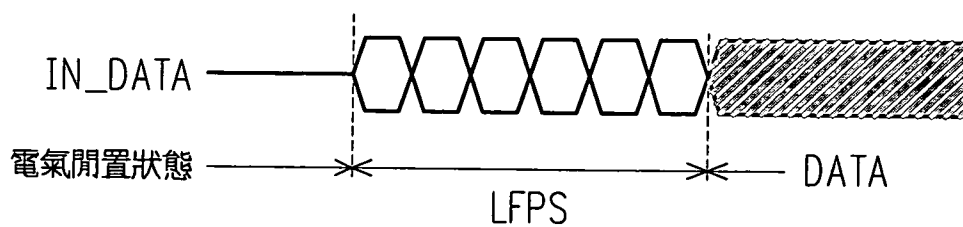


圖 5

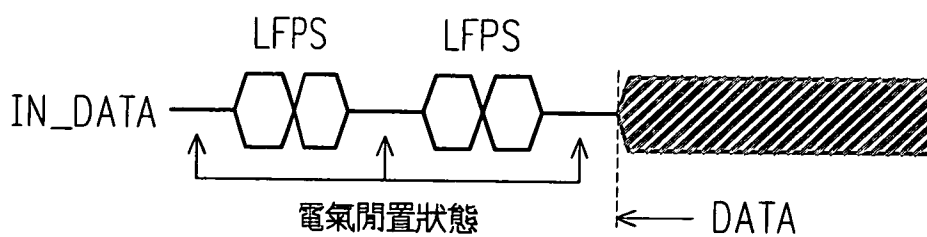


圖 6

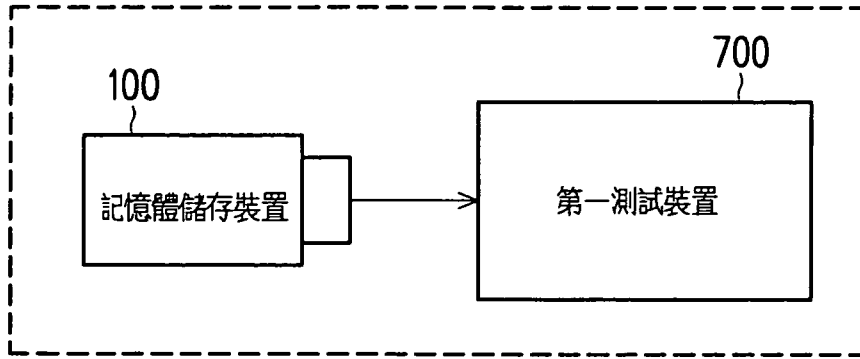


圖 7

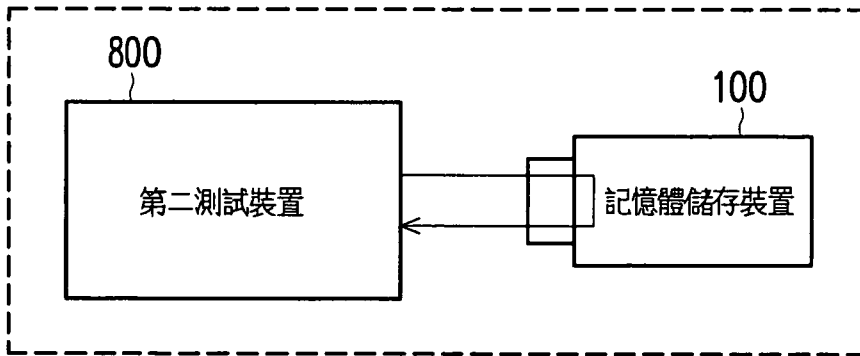


圖 8

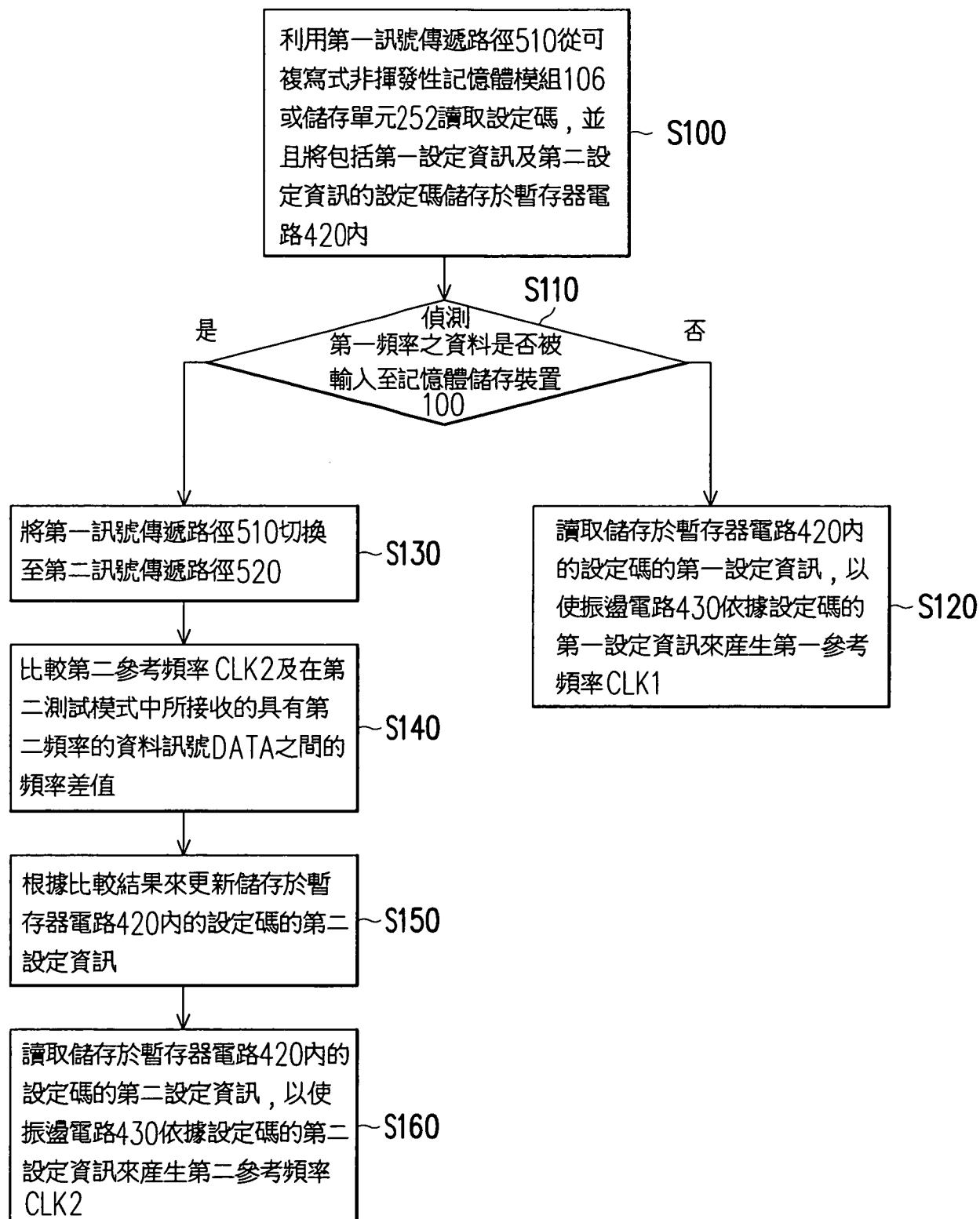


圖9

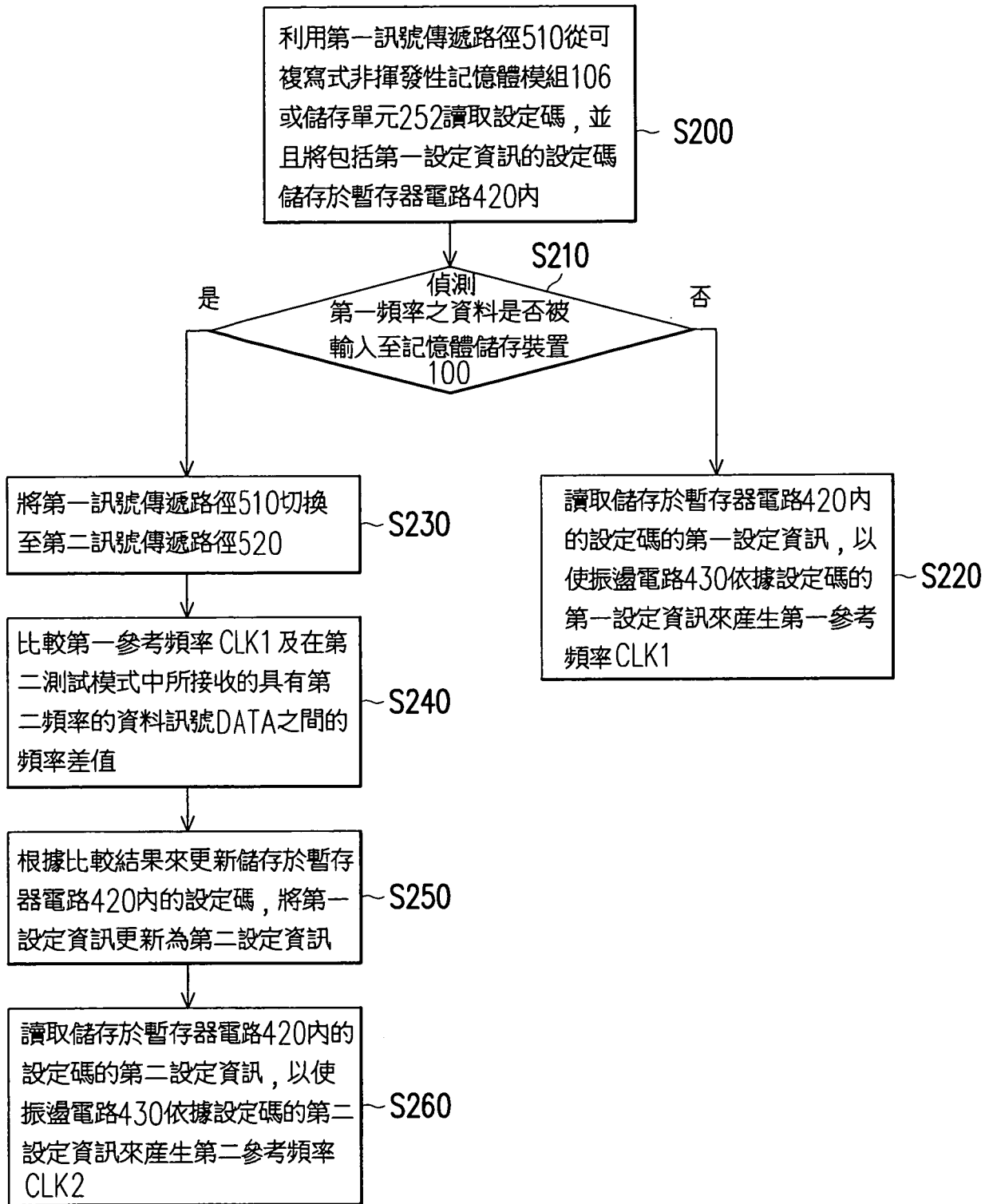


圖 10