

(11) 공개번호 10-2020-0047845
(43) 공개일자 2020년05월08일

(51) 국제특허분류(Int. Cl.)		(71) 출원인	
H01L 25/065 (2006.01)	H01L 21/76 (2006.01)	삼성전자주식회사	
H01L 23/00 (2006.01)	H01L 23/485 (2006.01)	경기도 수원시 영통구 삼성로 129 (매탄동)	
H01L 23/525 (2006.01)	H01L 23/528 (2006.01)	(72) 발명자	
(52) CPC특허분류		김선철	
H01L 25/0657 (2013.01)		경기도 화성시 동탄순환대로21길 54	
H01L 21/76 (2013.01)		김태훈	
(21) 출원번호	10-2018-0127570	충청남도 아산시 탕정면 탕정면로 37 401동 603호 (명암리, 탕정삼성트라팔리스아파트)	
(22) 출원일자	2018년10월24일	황지환	
심사청구일자	없음	경기도 화성시 동탄대로시범길 20 (청계동, 동탄역시범한화 꿈에그린 프레스티지) 1419동 1004호	
		(74) 대리인	
		특허법인씨엔에스	

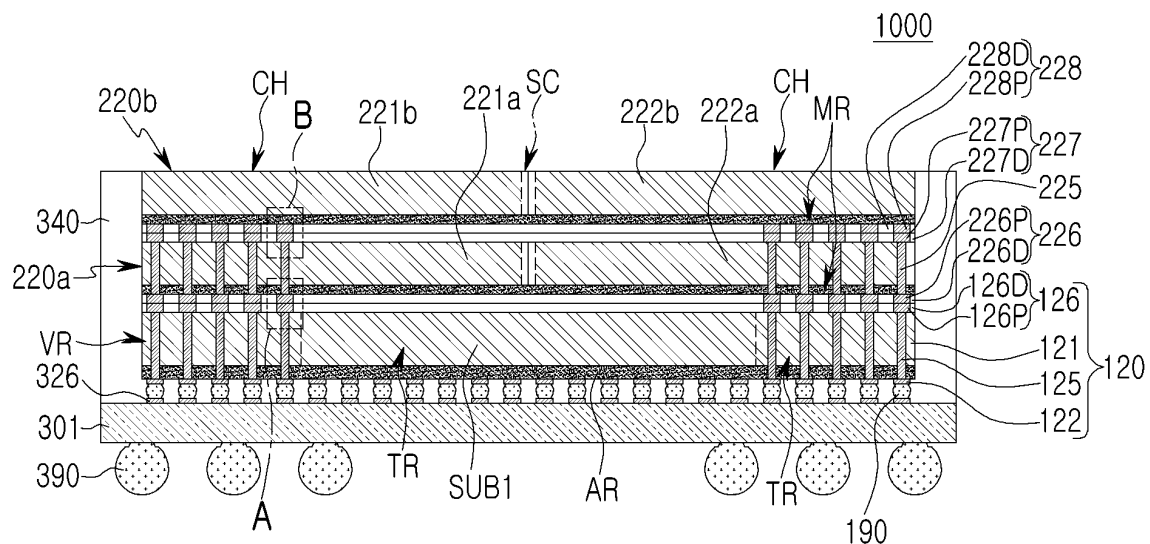
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 패키지

(57) 요약

본 발명의 실시예에 따른 반도체 패키지는, 일면 상에 배치된 제1 본딩층을 포함하는 제1 반도체 칩, 및 제1 반도체 칩 상에 적층되며, 제1 반도체 칩을 향하는 일면 상에 배치된 제2 본딩층 및 복수의 제2 반도체 칩들을 포함하는 칩 구조물을 포함하고, 복수의 제2 반도체 칩들은 각각 칩 영역 및 칩 영역을 둘러싸는 스크라이브 영역을 포함하고, 칩 구조물에서 복수의 제2 반도체 칩들은 스크라이브 영역에 의해 서로 연결된 상태이고, 제1 및 제2 본딩층들은, 대응되도록 배치되어 서로 접합되는 제1 및 제2 금속 패드들 및 제1 및 제2 금속 패드들을 둘러싸는 제1 및 제2 본딩 절연층들을 각각 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 23/485 (2013.01)

H01L 23/525 (2013.01)

H01L 23/528 (2013.01)

H01L 24/06 (2013.01)

H01L 24/46 (2013.01)

명세서

청구범위

청구항 1

일면 상에 배치된 제1 본딩층을 포함하는 제1 반도체 칩; 및

상기 제1 반도체 칩 상에 적층되며, 상기 제1 반도체 칩을 향하는 일면 상에 배치된 제2 본딩층 및 복수의 제2 반도체 칩들을 포함하는 칩 구조물을 포함하고,

상기 복수의 제2 반도체 칩들은 각각 칩 영역 및 상기 칩 영역을 둘러싸는 스크라이브 영역을 포함하고, 상기 칩 구조물에서 상기 복수의 제2 반도체 칩들은 상기 스크라이브 영역에 의해 서로 연결된 상태이고,

상기 제1 및 제2 본딩층들은, 대응되도록 배치되어 서로 접합되는 제1 및 제2 금속 패드들 및 상기 제1 및 제2 금속 패드들을 둘러싸는 제1 및 제2 본딩 절연층들을 각각 포함하는 반도체 패키지.

청구항 2

제1 항에 있어서,

상기 복수의 제2 반도체 칩들은 서로 절단되지 않은 상태로 상기 칩 구조물을 이루는 반도체 패키지.

청구항 3

제1 항에 있어서,

상기 칩 구조물은 평면 상에서 상기 제1 반도체 칩과 실질적으로 동일한 크기를 갖는 반도체 패키지.

청구항 4

제1 항에 있어서,

상기 제1 반도체 칩은, 반도체 소자들이 배치되는 소자 영역 및 상기 소자 영역의 적어도 일측에 배치되며 상기 칩 구조물과 상기 제1 반도체 칩을 전기적으로 연결하는 제1 관통 비아들이 배치되는 비아 영역을 갖는 반도체 패키지.

청구항 5

제4 항에 있어서,

상기 제1 반도체 칩은, 상기 소자 영역 및 상기 비아 영역 전체에 배치되는 하나의 기판을 더 포함하는 반도체 패키지.

청구항 6

제4 항에 있어서,

상기 칩 구조물은 상기 비아 영역과 중첩되는 영역에 배치되는 제2 관통 비아들을 더 포함하는 반도체 패키지.

청구항 7

제1 항에 있어서,

상기 칩 구조물은 상하로 적층되는 제1 및 제2 칩 구조물들을 포함하고,

하부에 배치되는 상기 제1 칩 구조물은 상기 제2 본딩층 및 제3 본딩층을 포함하고, 상부에 배치되는 상기 제2 칩 구조물은 상기 제3 본딩층과 연결되는 제4 본딩층을 포함하며,

상기 제3 및 제4 본딩층들은, 대응되도록 배치되어 서로 접합되는 제3 및 제4 금속 패드들 및 상기 제3 및 제4 금속 패드들을 둘러싸는 제3 및 제4 본딩 절연층들을 각각 포함하는 반도체 패키지.

청구항 8

일면 상에 배치된 제1 본딩층을 포함하고, 반도체 소자들이 배치되는 소자 영역 및 상기 소자 영역의 적어도 일 측에 배치되며 관통 비아들이 배치되는 비아 영역을 갖는 제1 반도체 칩; 및

상기 제1 반도체 칩 상에 적층되어 상기 제1 본딩층을 통해 상기 제1 반도체 칩과 접합되며, 상기 제1 본딩층과 연결되는 제2 본딩층 및 복수의 제2 반도체 칩들을 포함하는 칩 구조물을 포함하고,

상기 복수의 제2 반도체 칩들은 각각 칩 영역 및 상기 칩 영역을 둘러싸는 스크라이브 영역을 포함하고, 상기 칩 구조물에서 상기 복수의 제2 반도체 칩들은 상기 스크라이브 영역에 의해 서로 연결된 상태인 반도체 패키지.

청구항 9

제8 항에 있어서,

상기 제1 반도체 칩에서, 상기 소자 영역 및 상기 비아 영역은 공면인 상면 및 하면을 갖는 반도체 패키지.

청구항 10

일면 상에 배치된 제1 금속 패드들을 포함하는 제1 반도체 칩;

상기 제1 반도체 칩 상에 배치되며, 상기 제1 반도체 칩과 전기적으로 연결되는 재배선층, 하면 상에 배치되어 상기 제1 금속 패드들과 접합되는 제2 금속 패드들을 포함하는 재배선부; 및

상기 재배선부 상에 배치되며, 복수의 제2 반도체 칩들을 포함하는 칩 구조물을 포함하고,

상기 복수의 제2 반도체 칩들은 각각 칩 영역 및 상기 칩 영역을 둘러싸는 스크라이브 영역을 포함하고, 상기 칩 구조물에서 상기 복수의 제2 반도체 칩들은 상기 스크라이브 영역에 의해 서로 연결된 상태이며, 상기 칩 영역 및 상기 스크라이브 영역은 하나의 기판 상에 배치되고,

상기 제1 반도체 칩은 평면 상에서의 크기가 상기 칩 구조물의 크기와 실질적으로 동일한 반도체 패키지.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 패키지에 관한 것이다.

배경 기술

[0002] 전자 산업의 발달로 전자 부품의 고기능화, 고속화, 및 소형화 요구가 증대되고 있다. 이러한 추세에 따라, 기능적인 측면에서는 복잡화 및 다기능화를 요구하는 시스템 인 패키지(System in Package, SIP)가 연구되고 있으

며, 구조적인 측면에서는 하나의 패키지 기판에 여러 반도체 칩들을 적층하여 실장하거나 패키지 위에 패키지를 적층하는 패키지 온 패키지(Package on Package, PoP) 구조가 개발되고 있다. 특히, 이와 같은 반도체 패키지들에 있어서, 두께 감소를 위한 다양한 시도가 이루어지고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제 중 하나는, 최소화된 두께를 가지며 신뢰성이 확보된 반도체 패키지를 제공하는 것이다.

과제의 해결 수단

[0004] 예시적인 실시예들에 따른 반도체 패키지는, 일면 상에 배치된 제1 본딩층을 포함하는 제1 반도체 칩, 및 상기 제1 반도체 칩 상에 적층되며, 상기 제1 반도체 칩을 향하는 일면 상에 배치된 제2 본딩층 및 복수의 제2 반도체 칩들을 포함하는 칩 구조물을 포함하고, 상기 복수의 제2 반도체 칩들은 각각 칩 영역 및 상기 칩 영역을 둘러싸는 스크라이브 영역을 포함하고, 상기 칩 구조물에서 상기 복수의 제2 반도체 칩들은 상기 스크라이브 영역에 의해 서로 연결된 상태이고, 상기 제1 및 제2 본딩층들은, 대응되도록 배치되어 서로 접합되는 제1 및 제2 금속 패드들 및 상기 제1 및 제2 금속 패드들을 둘러싸는 제1 및 제2 본딩 절연층들을 각각 포함할 수 있다.

[0005] 예시적인 실시예들에 따른 반도체 패키지는, 일면 상에 배치된 제1 본딩층을 포함하고, 반도체 소자들이 배치되는 소자 영역 및 상기 소자 영역의 적어도 일측에 배치되며 관통 비아들이 배치되는 비아 영역을 갖는 제1 반도체 칩, 및 상기 제1 반도체 칩 상에 적층되어 상기 제1 본딩층을 통해 상기 제1 반도체 칩과 접합되며, 상기 제1 본딩층과 연결되는 제2 본딩층 및 복수의 제2 반도체 칩들을 포함하는 칩 구조물을 포함하고, 상기 복수의 제2 반도체 칩들은 각각 칩 영역 및 상기 칩 영역을 둘러싸는 스크라이브 영역을 포함하고, 상기 칩 구조물에서 상기 복수의 제2 반도체 칩들은 상기 스크라이브 영역에 의해 서로 연결된 상태일 수 있다.

[0006] 예시적인 실시예들에 따른 반도체 패키지는, 일면 상에 배치된 제1 금속 패드들을 포함하는 제1 반도체 칩, 상기 제1 반도체 칩 상에 배치되며, 상기 제1 반도체 칩과 전기적으로 연결되는 제1 재배선층, 하면 상에 배치되어 상기 제1 금속 패드들과 접합되는 제2 금속 패드들을 포함하는 제1 재배선부, 및 상기 제1 재배선부 상에 배치되며, 복수의 제2 반도체 칩들을 포함하는 칩 구조물을 포함하고, 상기 제1 반도체 칩은 평면 상에서의 크기가 상기 칩 구조물의 크기와 실질적으로 동일할 수 있다.

발명의 효과

[0007] 메모리 구조물 및 반도체 칩을 하이브리드 본딩으로 연결함으로써, 최소화된 두께를 가지며 신뢰성이 확보된 반도체 패키지가 제공될 수 있다.

[0008] 본 발명의 다양하면서도 유익한 장점과 효과는 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시예를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

도면의 간단한 설명

[0009] 도 1은 예시적인 실시예들에 따른 반도체 패키지의 개략적인 단면도이다.

도 2a 및 도 2b는 예시적인 실시예들에 따른 반도체 패키지의 부분 확대도들이다.

도 3은 예시적인 실시예들에 따른 반도체 패키지의 일부 구성의 개략적인 평면도이다.

도 4a 및 도 4b는 예시적인 실시예들에 따른 반도체 패키지의 일부 구성의 개략적인 평면도들이다.

도 5는 예시적인 실시예들에 따른 반도체 패키지의 개략적인 단면도이다.

도 6은 예시적인 실시예들에 따른 반도체 패키지의 개략적인 단면도이다.

도 7은 예시적인 실시예들에 따른 반도체 패키지의 개략적인 단면도이다.

도 8a 및 도 8b는 예시적인 실시예들에 따른 반도체 패키지의 부분 확대도들이다.

도 9는 예시적인 실시예들에 따른 반도체 패키지의 개략적인 단면도이다.

도 10은 예시적인 실시예들에 따른 반도체 패키지의 개략적인 단면도이다.

도 11a 내지 도 11f는 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 개략적으로 나타내는 주요 단계별 도면들이다.

도 12a 내지 도 12d는 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 개략적으로 나타내는 주요 단계별 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 다음과 같이 설명한다.

[0011] 도 1은 예시적인 실시예들에 따른 반도체 패키지의 개략적인 단면도이다.

[0012] 도 2a 및 도 2b는 예시적인 실시예들에 따른 반도체 패키지의 부분 확대도들이다. 도 2a 및 도 2b에서는 각각 도 1의 'A' 영역 및 'B' 영역을 확대하여 도시한다.

[0013] 도 3은 예시적인 실시예들에 따른 반도체 패키지의 일부 구성의 개략적인 평면도이다. 도 3에서는 제1 반도체 칩(120)의 평면도를 도시한다.

[0014] 도 1 내지 도 3을 참조하면, 반도체 패키지(1000)는, 기판(301), 범프들(190)에 의해 기판(301) 상에 실장되는 제1 반도체 칩(120), 제1 반도체 칩(120)의 상부에 적층되어 배치되는 제1 및 제2 칩 구조물들(220a, 220b), 제1 반도체 칩(120) 및 제1 및 제2 칩 구조물들(220a, 220b)을 봉지하는 봉지부(340), 및 기판(301)의 하면에 배치되는 접속 단자들(390)을 포함한다.

[0015] 기판(301)에는 제1 반도체 칩(120) 및 제1 및 제2 칩 구조물들(220a, 220b)이 실장될 수 있다. 기판(301)은 예를 들어, 실리콘(Si), 유리(glass), 세라믹(ceramic), 또는 플라스틱(plastic)을 포함할 수 있다. 기판(301)은 상면 상에 기판 패드들(326)이 배치되고, 하면 상에 접속 단자들(390)이 배치될 수 있다. 기판(301)은 내부에 배선 패턴들을 포함하는 다층 구조를 가질 수 있으나, 이에 한정되지는 않는다.

[0016] 제1 반도체 칩(120)은 바디부(121), 하면 상의 접속 패드들(122), 바디부(121)의 적어도 일부를 관통하는 관통비아들(125), 및 제1 본딩층(126)을 포함할 수 있다. 제1 반도체 칩(120)은 로직 반도체 칩 및/또는 메모리 반도체 칩을 포함할 수 있다. 상기 로직 반도체 칩은 마이크로 프로세서(micro-processor)일 수 있고, 예를 들어 중앙처리장치(central processing unit, CPU), 컨트롤러(controller), 또는 주문형 반도체(application specific integrated circuit, ASIC) 등일 수 있다. 상기 메모리 반도체 칩은 DRAM(dynamic random access memory), SRAM(static random access memory) 등과 같은 휘발성 메모리, 또는 플래시 메모리 등과 같은 비휘발성 메모리일 수 있다.

[0017] 제1 반도체 칩(120)은 이와 같은 반도체 소자들이 배치되는 소자 영역(TR) 및 소자 영역(TR) 주변에 배치되며 관통비아들(125)이 배치되는 비아 영역(VR)을 갖는다. 소자 영역(TR)과 비아 영역(VR)은 평면적으로 구분되는 영역들일 수 있으며, 도 3에 도시된 것과 같이, 비아 영역(VR)은 중앙에 위치하는 소자 영역(TR)을 둘러싸도록 배치될 수 있다. 소자 영역(TR)은 예를 들어, 로직 반도체 칩을 구성하는 트랜지스터들이 배치되는 영역일 수 있다. 비아 영역(VR)은 관통비아들(125)이 배치되어 상부의 제1 및 제2 칩 구조물들(220a, 220b)과 하부의 기판(301)을 전기적으로 연결하는 영역일 수 있다. 소자 영역(TR) 및 비아 영역(VR)은 하나의 기판 상에 형성된 서로 다른 영역이므로, 일체를 이룰 수 있으며, 공면인 상면 및 하면을 가질 수 있다.

[0018] 바디부(121)는 제1 기판 영역(SUB1) 및 제1 기판 영역(SUB1)의 하면 상의 반도체 영역(AR)을 포함할 수 있다.

제1 기판 영역(SUB1)과 반도체 영역(AR)은 제1 반도체 칩(120)의 상면에 수직한 방향을 따라 구분되는 영역들일 수 있다. 제1 기판 영역(SUB1)은 제1 반도체 칩(120) 전체에서 소자 영역(TR) 및 비아 영역(VR)에 걸쳐 하나로 배치될 수 있다. 제1 기판 영역(SUB1)은 실리콘(Si)과 같은 반도체 물질을 포함하는 영역일 수 있다. 반도체 영역(AR)은 제1 기판 영역(SUB1)을 기반으로 반도체 칩을 구성하는 트랜지스터 및/또는 메모리 셀들과 같은 소자들이 형성된 영역일 수 있으며, 특히 평면 상에서 소자 영역(TR)에 대응되는 영역에 상기 소자들이 형성될 수 있다. 반도체 영역(AR)은 기판(301)을 향하는 제1 반도체 칩(120)의 하부에 위치할 수 있다. 따라서, 제1 반도체 칩(120)은 하면이 활성면이고, 상면이 비활성면일 수 있다. 다만, 이와 같은 활성면의 배치 위치는 실시예들에 따라 변경될 수 있다.

[0019] 관통 비아들(125)은 적어도 바디부(121)의 제1 기판 영역(SUB1) 및 반도체 영역(AR) 전체를 관통할 수 있다. 관통 비아들(125)은 기판(301)과 제1 및 제2 칩 구조물들(220a, 220b)의 사이에 전기적 연결을 제공할 수 있다. 관통 비아들(125)은 도전성 물질로 이루어질 수 있으며, 예를 들어, 텅스텐(W), 알루미늄(Al), 및 구리(Cu) 중 적어도 하나를 포함할 수 있다. 도 2a에 도시된 것과 같이, 관통 비아(125)는 절연성의 비아 절연층(125I)에 의해 제1 기판 영역(SUB1)으로부터 전기적으로 분리될 수 있다.

[0020] 접속 패드들(122)은 제1 반도체 칩(120)의 하면에서 관통 비아들(125)과 연결되도록 배치될 수 있다. 접속 패드들(122)은 텅스텐(W), 알루미늄(Al), 구리(Cu) 등과 같은 도전성 물질로 이루어질 수 있다.

[0021] 제1 본딩층(126)은 제1 반도체 칩(120)의 상면에 배치되며, 제1 금속 패드들(126P) 및 제1 금속 패드들(126P)을 둘러싸도록 배치되는 제1 본딩 절연층(126D)을 포함할 수 있다. 제1 본딩층(126)은 상부의 제1 칩 구조물(220a)의 제2 본딩층(226)과 본딩되어, 제1 칩 구조물(220a)을 제1 반도체 칩(120)과 연결하는 층일 수 있다. 제1 금속 패드들(126P)은 비아 영역(VR) 상에서 관통 비아들(125)과 대응되도록 배치될 수 있으나, 이에 한정되지는 않는다. 예를 들어, 제1 금속 패드들(126P) 중 일부는 관통 비아들(125)이 형성되지 않은 영역에 배치되어 전기적 연결 기능을 수행하지 않고, 단지 본딩 기능을 수행할 수도 있다.

[0022] 범프들(190)은 제1 반도체 칩(120)의 하면 상에 배치되어, 접속 패드들(122)을 기판(301) 상의 기판 패드들(326)과 연결할 수 있다. 범프들(190)은 도전성 물질, 예를 들어 솔더(solder), 주석(Sn), 은(Ag), 구리(Cu) 및 알루미늄(Al) 중 적어도 하나를 포함할 수 있다. 범프들(190)의 형태는 범프 형상 이외에, 볼, 랜드, 범프, 필라, 핀 등 다양한 형태로 변경될 수 있다. 범프들(190)은 접속 단자들(390)보다 작은 크기를 갖는 마이크로 범프들일 수 있다.

[0023] 제1 및 제2 칩 구조물들(220a, 220b)은 제1 반도체 칩(120) 상에 순차적으로 적층될 수 있다. 제1 및 제2 칩 구조물들(220a, 220b)은 제1 반도체 칩(120)과 평면 상에서 실질적으로 동일한 크기를 가질 수 있다. 제1 및 제2 칩 구조물들(220a, 220b)은 각각 두 개의 제2 하부 반도체 칩들(221a, 222a) 및 제2 상부 반도체 칩들(221b, 222b)을 포함할 수 있다. 제2 반도체 칩들(221a, 222a, 221b, 222b)은 로직 반도체 칩 및/또는 메모리 반도체 칩을 포함할 수 있다. 예를 들어, 제1 반도체 칩(120)은 AP 칩이고, 제2 반도체 칩들(221a, 222a, 221b, 222b)은 메모리 칩들일 수 있다.

[0024] 제1 및 제2 칩 구조물들(220a, 220b) 내에서, 제2 하부 반도체 칩들(221a, 222a) 및 제2 상부 반도체 칩들(221b, 222b)은 두 개가 서로 절단되지 않은 상태로 하나의 구조물을 이룰 수 있다. 즉, 제1 및 제2 칩 구조물들(220a, 220b)은 소잉 또는 싱글레이션 되지 않은 상태의 제2 하부 반도체 칩들(221a, 222a) 및 제2 상부 반도체 칩들(221b, 222b)로 이루어질 수 있다. 제1 및 제2 칩 구조물들(220a, 220b)이 포함하는 제2 반도체 칩들(221a, 222a, 221b, 222b)의 개수는 실시예들에서 다양하게 변경될 수 있다.

[0025] 제2 하부 반도체 칩들(221a, 222a) 및 제2 상부 반도체 칩들(221b, 222b)은 각각 칩 영역(CH) 및 칩 영역(CH)의 적어도 일측의 스크라이브 영역(SC)을 포함할 수 있다. 스크라이브 영역(SC)은, 나란하게 배치되는 제2 하부 반도체 칩들(221a, 222a) 및 제2 상부 반도체 칩들(221b, 222b) 각각에서, 칩 영역들(CH)의 사이에 위치할 수 있다. 실시예들에 따라, 나란히 배치되는 제2 하부 반도체 칩들(221a, 222a)의 사이 및 제2 상부 반도체 칩들(221b, 222b)의 사이 영역뿐 아니라, 평면 상에서 서로 마주하지 않는 외측 영역에도 스크라이브 영역(SC)이 더 배치될 수 있다. 각각의 제1 및 제2 칩 구조물들(220a, 220b) 내에서, 제2 하부 반도체 칩들(221a, 222a) 및 제2 상부 반도체 칩들(221b, 222b)은 스크라이브 영역(SC)에 의해 서로 연결된 상태일 수 있다. 이와 같이, 제2 반도체 칩들(221a, 222a, 221b, 222b)이 서로 연결된 상태로 실장됨으로써, 패키지 전체의 크기를 최소화할

수 있다.

- [0026] 제1 칩 구조물(220a)은, 제2 하부 반도체 칩들(221a, 222a)의 적어도 일부를 관통하는 칩 관통 비아들(225) 및 제2 및 제3 본딩층들(226, 227)을 더 포함할 수 있다. 제2 칩 구조물(220b)은 제4 본딩층(228)을 더 포함할 수 있다.
- [0027] 제2 하부 반도체 칩들(221a, 222a) 및 제2 상부 반도체 칩들(221b, 222b)은 각각 제2 및 제3 기판 영역(SUB2, SUB3) 및 제2 및 제3 기판 영역(SUB2, SUB3)의 하면 상의 상부 반도체 영역(MR)을 포함할 수 있다. 제2 및 제3 기판 영역들(SUB2, SUB3)은 실리콘(Si)과 같은 반도체 물질을 포함하는 영역일 수 있다. 상부 반도체 영역들(MR)은 제2 및 제3 기판 영역들(SUB2, SUB3)을 기반으로 반도체 칩을 구성하는 트랜지스터 및/또는 메모리 셀들과 같은 소자들이 형성된 영역일 수 있다. 상부 소자 영역들(MR)에는, 도 2a 및 도 2b에 도시된 것과 같이, 상기 소자들을 구성하는 소자층들(DL)이 배치될 수 있다. 따라서, 제2 반도체 칩들(221a, 222a, 221b, 222b)은 각각 하면이 활성면일 수 있으나, 이에 한정되지는 않는다.
- [0028] 칩 관통 비아들(225)은 제1 반도체 칩(120)의 비아 영역(VR)과 중첩되는 영역에 배치될 수 있다. 실시예들에 따라, 칩 관통 비아들(225)은 관통 비아들(125)과 대응되도록 배치되거나, 더 적은 개수로 배치될 수 있으나, 이에 한정되지는 않는다. 칩 관통 비아들(225)은 적어도 제2 하부 반도체 칩들(221a, 222a)의 제2 기판 영역(SUB2)을 관통할 수 있으며, 상부 소자 영역(MR)의 적어도 일부를 관통할 수 있다. 칩 관통 비아들(225)은 제2 칩 구조물(220b)과 제 반도체 칩(120) 사이에 전기적 연결을 제공할 수 있다. 칩 관통 비아들(225)은 제1 칩 구조물(220a)의 상부 소자 영역(MR)의 상기 소자들과도 전기적으로 연결될 수 있으나, 이에 한정되지는 않는다. 칩 관통 비아들(225)은 도전성 물질로 이루어질 수 있으며, 예를 들어, 텅스텐(W), 알루미늄(Al), 및 구리(Cu) 중 적어도 하나를 포함할 수 있다. 도 2a 및 도 2b에 도시된 것과 같이, 칩 관통 비아들(225)은 절연성의 상부 비아 절연층(225I)에 의해 제2 기판 영역(SUB2)으로부터 전기적으로 분리될 수 있다.
- [0029] 제2 내지 제4 본딩층들(226, 227, 228)은 제2 내지 제4 금속 패드들(226P, 227P, 228P) 및 제2 내지 제4 금속 패드들(226P, 227P, 228P)을 둘러싸도록 배치되는 제2 내지 제4 본딩 절연층들(226D, 227D, 228D)을 포함할 수 있다.
- [0030] 제2 본딩층(226)은 하부의 제1 반도체 칩(120)의 제1 본딩층(126)과 본딩되어, 제1 칩 구조물(220a)을 제1 반도체 칩(120)과 연결하는 층일 수 있다. 제2 금속 패드들(226P)은 제1 금속 패드들(126P)과 전기적으로 연결되며, 제1 칩 구조물(220a)의 상부 소자 영역(MR)의 소자들 및 칩 관통 비아들(225)과 전기적으로 연결될 수 있다.
- [0031] 제3 및 제4 본딩층들(227, 228)은 서로 접합되어, 제2 칩 구조물(220b)을 제1 칩 구조물(220a)을 포함하는 하부의 구조물과 연결하는 층일 수 있다. 제3 본딩층(227)은 제1 칩 구조물(220a)의 비활성면, 즉 제2 하부 반도체 칩들(221a, 222a)의 비활성면 상에 배치되고, 제4 본딩층(228)은 제2 칩 구조물(220b)의 활성면, 즉 제2 상부 반도체 칩들(221b, 222b)의 활성면 상에 배치될 수 있다. 제3 금속 패드들(227P)은 제1 칩 구조물(220a)의 상면을 이루며, 칩 관통 비아들(225)과 연결될 수 있다. 제4 금속 패드들(228P)은 제2 칩 구조물(220b)의 상부 소자 영역(MR)의 소자들과 전기적으로 연결될 수 있다.
- [0032] 도 2a 및 도 2b에 도시된 것과 같이, 제1 및 제2 금속 패드들(126P, 226P)은 서로 대응되는 위치에 배치되어 직접 접합될 수 있으며, 제3 및 제4 금속 패드들(227P, 228P)은 서로 대응되는 위치에 배치되어 직접 접합될 수 있다. 제1 내지 제4 금속 패드들(126P, 226P, 227P, 228P)은 텅스텐(W), 알루미늄(Al), 구리(Cu), 텅스텐 질화물(WN), 탄탈륨 질화물(TaN), 및 티타늄 질화물(TiN) 중 적어도 하나를 포함할 수 있으며, 예를 들어, 구리(Cu)로 이루어진 경우, 구리(Cu)-구리(Cu) 본딩에 의해 물리적 및 전기적으로 연결될 수 있다. 서로 연결되는 제1 내지 제4 금속 패드들(126P, 226P, 227P, 228P)은 크기가 서로 동일하거나 유사할 수 있으나, 이에 한정되지는 않는다.
- [0033] 제1 및 제2 본딩 절연층들(126D, 226D) 및 제3 및 제4 본딩 절연층들(227D, 228D)은 각각 유전체-유전체 본딩에 의해 접합될 수 있다. 제1 내지 제4 본딩 절연층들(126D, 226D, 227D, 228D)은 절연성 물질, 예를 들어, SiO₂, SiN, SiCN, SiOC, SiON 및 SiOCN 중 적어도 하나를 포함할 수 있다.

- [0034] 반도체 패키지(1000)에서, 제1 반도체 칩(120)과 제1 칩 구조물(220a), 및 제1 칩 구조물(220a)과 제2 칩 구조물(220b)은 각각 하이브리드 본딩에 의해 접합될 수 있다. 이 경우, 접합 두께가 최소화될 수 있어, 댄드 등에 의해 연결되는 경우에 비하여 반도체 패키지(1000)의 두께가 감소될 수 있다. 즉, 반도체 패키지(1000)는 예를 들어, AP 칩인 제1 반도체 칩(120) 상에 메모리 칩들을 포함하는 제1 및 제2 칩 구조물들(220a, 220b)이 적층되는 구조를 가지면서도, 최소화된 두께를 가질 수 있다. 따라서, 반도체 패키지(1000) 내에서 상대적으로 반도체 칩(120) 및 제1 및 제2 칩 구조물들(220a, 220b)의 두께를 상향할 수 있는 마진이 있어, 방열 측면에서 유리할 수 있다. 또한, 반도체 패키지(1000)는 최소화된 두께를 가지면서도 재배선층을 포함하지 않아, 공정이 단순화될 수 있다.
- [0035] 봉지부(340)는 기판(301)의 상면, 댄드들(190), 제1 반도체 칩(120), 및 제1 및 제2 칩 구조물들(220a, 220b)을 감싸도록 배치되어, 제1 반도체 칩(120) 및 제1 및 제2 칩 구조물들(220a, 220b)을 보호하는 역할을 할 수 있다. 봉지부(340)는 예를 들어, 실리콘(silicone) 계열 물질, 열경화성 물질, 열가소성 물질, UV 처리 물질 등으로 이루어질 수 있다. 봉지부(340)는 레진과 같은 폴리머로 형성될 수 있으며, 에컨대, EMC(Epoxy Molding Compound)로 형성될 수 있다. 다만, 실시예들에 따라, 봉지부(340)는 생략되는 것도 가능하다.
- [0036] 접속 단자들(390)은 기판(301)의 하부에 배치될 수 있다. 접속 단자들(390)은 반도체 패키지(1000)를 반도체 패키지(1000)가 실장되는 전자기기의 메인보드 등과 연결할 수 있다. 접속 단자들(390)은 도전성 물질, 예를 들어 솔더(solder), 주석(Sn), 은(Ag), 구리(Cu) 및 알루미늄(Al) 중 적어도 하나를 포함할 수 있다. 접속 단자들(390)의 형태는 볼 형상 이외에, 랜드(land), 댄드, 필라, 핀 등 다양한 형태로 변경될 수 있다.
- [0037] 도 4a 및 도 4b는 예시적인 실시예들에 따른 반도체 패키지의 일부 구성의 개략적인 평면도들이다. 도 4a 및 도 4b에서는 도 3에 대응되는 영역들을 도시한다.
- [0038] 도 4a를 참조하면, 제1 반도체 칩(120a)은 반도체 소자들이 배치되는 소자 영역(TR) 및 소자 영역(TR)의 둘레를 따라 서로 분리되어 배치되며 관통 비아들(125)이 배치되는 제1 내지 제4 비아 영역들(VR1, VR2, VR3, VR4)을 갖는다. 제1 내지 제4 비아 영역들(VR1, VR2, VR3, VR4)은 평면 상에서 소자 영역(TR)의 각각의 면에 접촉되도록 배치될 수 있다.
- [0039] 도 4b를 참조하면, 제1 반도체 칩(120b)은 반도체 소자들이 배치되는 소자 영역(TR) 및 소자 영역(TR)의 둘레를 따라 서로 이격되어 배치되며 관통 비아들(125)이 배치되는 제1 및 제2 비아 영역들(VR1, VR2)을 갖는다. 제1 및 제2 비아 영역들(VR1, VR2)은 평면 상에서 소자 영역(TR)의 마주보는 면들 각각에 접촉되도록 배치되며, 제1 반도체 칩(120b)의 일 방향에서의 폭만큼 연장되어 배치될 수 있다.
- [0040] 이와 같이, 실시예들에서, 비아 영역들(VR1, VR2)은 복수개로 분리되어 배치될 수 있으며, 소자 영역(TR)의 주변에서 다양한 형태로 배치될 수 있다.
- [0041] 도 5는 예시적인 실시예들에 따른 반도체 패키지의 개략적인 단면도이다.
- [0042] 도 5를 참조하면, 반도체 패키지(1000a)에서, 기판(301)은 제1 반도체 칩(120) 및 제1 및 제2 칩 구조물들(220a, 220b)과 실질적으로 동일한 크기를 가질 수 있으며, 제1 반도체 칩(120) 및 제1 및 제2 칩 구조물들(220a, 220b)은 측면이 외측으로 노출될 수 있다. 일 방향에서, 제1 반도체 칩(120)의 폭(W1)은 제1 및 제2 칩 구조물들(220a, 220b)의 폭(W2)과 실질적으로 동일할 수 있다. 즉, 평면 상에서 제1 반도체 칩(120)은 제1 및 제2 칩 구조물들(220a, 220b)과 실질적으로 동일한 크기를 가질 수 있으며, 이는 반도체 패키지(1000a)의 크기 와도 실질적으로 동일할 수 있다. 봉지부(340a)는 기판(301)과 댄드들(190)의 사이를 채우도록 위치할 수 있다.
- [0043] 도 6은 예시적인 실시예들에 따른 반도체 패키지의 개략적인 단면도이다.

- [0044] 도 6을 참조하면, 반도체 패키지(1000b)는 방열층(350) 및 접착층(355)을 더 포함한다.
- [0045] 방열층(350)은 제2 칩 구조물(220b)의 상면 상에 배치될 수 있다. 방열층(350)은 접착층(355)을 매개로 제2 칩 구조물(220b) 상에 적층될 수 있다. 방열층(350)은 제1 및 제2 칩 구조물들(220a, 220b)보다 열전도도가 높은 물질로 이루어질 수 있으며, 이에 의해 제1 및 제2 칩 구조물들(220a, 220b)로부터 발생한 열을 상부로 방출시킬 수 있다. 방열층(350)은 예를 들어, 구리(Cu)와 같은 금속으로 이루어진 금속층일 수 있다.
- [0046] 방열층(350)은 제1 및 제2 칩 구조물들(220a, 220b)보다 큰 크기를 가질 수 있다. 예를 들어, 방열층(350)은 평면 상에서 반도체 패키지(1000b)와 실질적으로 동일한 크기를 가질 수 있으나, 이에 한정되지는 않는다. 실시예들에 따라, 방열층(350)은 제1 및 제2 칩 구조물들(220a, 220b)과 동일한 크기를 가질 수도 있다.
- [0047] 도 7은 예시적인 실시예들에 따른 반도체 패키지의 개략적인 단면도이다.
- [0048] 도 8a 및 도 8b는 예시적인 실시예들에 따른 반도체 패키지의 부분 확대도들이다. 도 8a 및 도 8b에서는 각각 도 7의 'C' 영역 및 'D' 영역을 확대하여 도시한다.
- [0049] 도 7 내지 도 8b를 참조하면, 반도체 패키지(1000c)는, 제1 반도체 칩(120a), 제1 반도체 칩(120a)의 하부에 배치되는 제1 재배선부(110), 제1 반도체 칩(120a)의 상부에 배치되는 제2 재배선부(130), 제1 반도체 칩(120a)을 봉지하는 봉지부(340a), 봉지부(340a)를 관통하는 도전성 포스트들(325), 제2 재배선부(130) 상에 적층되어 배치되는 제1 및 제2 칩 구조물들(220a, 220b), 및 제1 재배선부(110)의 하부에 배치되는 접속 단자들(390)을 포함한다. 반도체 패키지(1000c)는 제1 반도체 칩(120)이 제1 반도체 칩(120)의 외측 영역으로 확장되어 재배선되는 팬-아웃(fan-out) 타입의 반도체 패키지일 수 있다. 따라서, 제1 재배선부(110)는 평면 상에서 제1 반도체 칩(120)과 중첩되지 않는 영역을 포함할 수 있다. 도 7 내지 도 8b에서 도 1과 동일한 도면 번호는 동일하거나 대응되는 구성을 나타내며, 도 1을 참조하여 상술한 설명이 동일하게 적용될 수 있다.
- [0050] 제1 반도체 칩(120a)은 도 1의 실시예에서와 달리, 비아 영역(VR)을 포함하지 않을 수 있으며, 도 1의 소자 영역(TR)에 해당하는 영역만을 포함할 수 있다. 제1 반도체 칩(120a)의 바디부(121)는 제1 기판 영역(SUB1) 및 소자 영역(AR)을 포함할 수 있으며, 소자 영역(AR)은 상부에 위치할 수 있다.
- [0051] 또한, 본 실시예에서, 제1 반도체 칩(120a)은 제1 및 제2 칩 구조물들(220a, 220b)보다 작은 크기를 가질 수 있다. 이에 따라, 봉지부(340a)는 제1 및 제2 재배선부들(110, 130)의 사이에서 제1 반도체 칩(120)의 외측에 배치되어, 제1 반도체 칩(120)을 봉지할 수 있다. 봉지부(340a) 내에는 봉지부(340a)를 관통하여 제1 재배선부(110)와 제2 재배선부(130)를 연결하는 도전성 포스트들(325)이 더 배치될 수 있다. 도전성 포스트들(325)은 하단에 상대적으로 큰 폭을 갖는 영역을 가질 수 있으나, 도전성 포스트들(325)의 형상은 이에 한정되지는 않는다.
- [0052] 제1 재배선부(110)는 제1 반도체 칩(120)의 하부에 배치되어, 제1 반도체 칩(120)을 재배선할 수 있다. 제1 재배선부(110)는 제1 배선 절연층(111), 제1 재배선층들(112), 및 제1 비아들(113)을 포함할 수 있다. 제1 재배선부(110)를 이루는 제1 배선 절연층(111), 제1 재배선층들(112), 및 제1 비아들(113)의 층수 및 배치는 도면에 도시된 것에 한정되지 않으며, 실시예들에서 다양하게 변경될 수 있다.
- [0053] 제1 배선 절연층(111)은 절연성 물질, 예를 들어 감광성 절연(photo imagable dielectric, PID) 수지로 이루어질 수 있다. 이 경우, 제1 배선 절연층(111)은 무기필러를 더 포함할 수도 있다. 제1 배선 절연층(111)은 제1 재배선층들(112)의 층수에 따라 복수의 층들로 이루어질 수 있으며, 서로 동일하거나 다른 물질로 이루어질 수 있다. 제1 재배선층들(112) 및 제1 비아들(113)은 제1 반도체 칩(120)을 재배선하는 역할을 할 수 있다. 제1 비아들(113)은 도전성 물질로 완전히 충전될 수 있으나, 이에 한정되지는 않으며, 도전성 물질이 비아의 벽을 따라 형성된 형상을 가질 수도 있으며, 테이퍼 형상뿐 아니라, 원통 형상 등 다양한 형상을 가질 수 있다. 제1 재배선층들(112) 및 제1 비아들(113)은 도전성 물질, 예를 들어, 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금을 포함할 수 있다.
- [0054] 제2 재배선부(130)는 제1 반도체 칩(120)의 상부에 배치되며, 반도체 칩(120) 및 제1 재배선부(110)와 전기적으

로 연결될 수 있다. 제2 재배선부(130)는 제2 배선 절연층(131), 제2 재배선층들(132), 제2 비아들(133), 및 하면을 이루는 제2 본딩층(136)을 포함할 수 있다. 제2 재배선부(130)를 이루는 제2 배선 절연층(131), 제2 재배선층들(132), 및 제2 비아들(133)의 층수 및 배치는 도면에 도시된 것에 한정되지 않으며, 실시예들에서 다양하게 변경될 수 있다.

[0055] 제2 배선 절연층(131)은 제1 배선 절연층(111)과 같이 절연성 물질, 예를 들어 감광성 절연(PID) 수지로 이루어질 수 있다. 제2 재배선층들(132) 및 제2 비아들(133)은 도전성 물질, 예를 들어, 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금을 포함할 수 있다.

[0056] 제2 본딩층(136)은 제2 금속 패드들(136P) 및 제2 금속 패드들(136P)을 둘러싸도록 배치되는 제2 본딩 절연층(136D)을 포함할 수 있다. 제2 금속 패드들(136P)은 상부의 제2 재배선층들(132)과 제2 비아들(133)에 의해 연결될 수 있다. 제2 본딩층(136)은 하부의 제1 반도체 칩(120a)의 제1 본딩층(126)과 본딩되어, 제1 및 제2 칩 구조물들(220a, 220b)을 하부의 제1 반도체 칩(120) 및 제1 재배선부(110)와 연결하는 층일 수 있다.

[0057] 제1 및 제2 칩 구조물들(220a, 220b)은 제1 반도체 칩(120a)의 상부에서, 제2 재배선부(130) 상에 순차적으로 적층될 수 있다. 제1 칩 구조물(220a)은 제2 하부 반도체 칩들(221a, 222a)을 포함할 수 있으며, 제2 하부 반도체 칩들(221a, 222a)의 적어도 일부를 관통하는 칩 관통 비아들(225) 및 제3 본딩층(227)을 더 포함할 수 있다. 제2 칩 구조물(220b)은 제2 상부 반도체 칩들(221b, 222b)을 포함할 수 있으며, 제4 본딩층(228)을 더 포함할 수 있다. 도 8b에 도시된 것과 같이, 제2 하부 반도체 칩들(221a, 222a)은 상면이 활성면이고, 제2 상부 반도체 칩들(221b, 222b)은 하면이 활성면일 수 있다. 따라서, 제1 및 제2 칩 구조물들(220a, 220b)은 페이스-투-페이스(face-to-face) 형태로 활성면들이 서로 마주보도록 적층될 수 있다.

[0058] 도 8a 및 도 8b에 도시된 것과 같이, 제1 및 제2 금속 패드들(126P, 136P)은 서로 대응되는 위치에 배치되어 직접 접합될 수 있으며, 제3 및 제4 금속 패드들(227P, 228P)은 서로 대응되는 위치에 배치되어 직접 접합될 수 있다. 제1 내지 제4 금속 패드들(126P, 136P, 227P, 228P)은 예를 들어, 구리(Cu)로 이루어진 경우, 구리(Cu)-구리(Cu) 본딩에 의해 물리적 및 전기적으로 연결될 수 있다. 서로 연결되는 제1 내지 제4 금속 패드들(126P, 136P, 227P, 228P)은 크기가 서로 동일하거나 유사할 수 있으나, 이에 한정되지는 않는다. 제1 및 제2 본딩 절연층들(126D, 136D) 및 제3 및 제4 본딩 절연층들(227D, 228D)은 각각 유전체-유전체 본딩에 의해 접합될 수 있다.

[0059] 반도체 패키지(1000c)에서, 제1 반도체 칩(120)과 제2 재배선부(130), 및 제1 칩 구조물(220a)과 제2 칩 구조물(220b)은 각각 하이브리드 본딩에 의해 접합될 수 있다. 이 경우, 접합 두께가 최소화될 수 있어, 범프 등에 의해 연결되는 경우에 비하여 반도체 패키지(1000c)의 두께가 감소될 수 있다.

[0060] 도 9는 예시적인 실시예들에 따른 반도체 패키지의 개략적인 단면도이다.

[0061] 도 9를 참조하면, 반도체 패키지(1000d)에서, 제2 반도체 칩들(221a, 222a, 221b, 222b)은 모두 하면이 활성면일 수 있다. 따라서, 제1 및 제2 칩 구조물들(220a, 220b)은 페이스-투-백(face-to-back) 형태로 활성면들이 모두 하부를 향하도록 적층될 수 있다. 이와 같이, 실시예들에서, 제1 및 제2 칩 구조물들(220a, 220b)의 적층 방향은 제조 공정 등에 따라 다양하게 결정될 수 있다. 제1 반도체 칩(120)의 경우도 유사하게, 실시예들에 따라 활성면의 방향은 다양하게 변경될 수 있을 것이다.

[0062] 도 10은 예시적인 실시예들에 따른 반도체 패키지의 개략적인 단면도이다.

[0063] 도 10을 참조하면, 반도체 패키지(1000e)는 제1 반도체 칩(120)을 둘러싸는 코어층(170)을 더 포함할 수 있다.

[0064] 코어층(170)은 제1 반도체 칩(120)이 실장되도록 상하면을 관통하는 관통홀(CA)을 포함할 수 있다. 관통홀(CA)은 코어층(170)의 중앙에 형성될 수 있으나, 관통홀(CA)의 개수 및 배치는 도시된 것에 한정되지 않는다. 또한, 일부 실시예들에서, 관통홀(CA)은 하면을 완전히 관통하지 않고, 캐비티 형태를 가질 수도 있다. 코어층(170)은 제1 반도체 칩(120)과 유사하게 제1 재배선부(110)와 하이브리드 본딩될 수 있으나, 이에 한정되지는 않는다.

- [0065] 코어층(170)은 코어 절연층(171), 코어 배선층들(172), 및 코어 비아들(174)을 포함할 수 있다. 코어 배선층들(172) 및 코어 비아들(174)은 코어층(170)의 상하면을 전기적으로 연결하도록 배치될 수 있다. 코어 배선층들(172)은 제1 및 제2 재배선부들(110, 130)의 제1 및 제2 재배선층들(112, 132)과 연결될 수 있다. 코어 배선층들(172)은 코어 절연층(171) 내부에 배치될 수 있으나, 이에 한정되지는 않는다. 코어 배선층들(172) 중 코어층(170)의 하면을 통해 노출되는 코어 배선층들(172)은 코어 절연층(171)에 매립되어 배치될 수 있으며, 이는 제조 공정에 따른 구조일 수 있다. 실시예들에 따라, 코어층(170)은 코어 배선층들(172) 및 코어 비아들(174)을 포함하지 않고, 코어 절연층(171)으로만 이루어지는 것도 가능하다. 본 실시예에서, 코어 비아들(174)은 하부로 향할수록 폭이 증가하는 테이퍼 형상을 갖는 것으로 도시되었으나, 이에 한정되지는 않으며, 코어 비아들(174)의 형상, 테이퍼 방향 등은 공정 순서에 따라 변경될 수 있다.
- [0066] 코어 절연층(171)은 절연성 물질, 예를 들어, 에폭시 수지와 같은 열경화성 수지 또는 폴리이미드와 같은 열가소성 수지를 포함할 수 있으며, 무기필러를 더 포함할 수 있다. 또는, 코어 절연층(171)은 무기필러와 함께 유리 섬유(glass fiber, glass cloth, glass fabric) 등의 심재에 함침된 수지, 예를 들어, 프리프레그(prepreg), ABF(Ajinomoto Build-up Film), 또는 FR-4, BT(Bismaleimide Triazine)를 포함할 수 있다. 코어 배선층들(172) 및 코어 비아들(174)은 구리(Cu) 등과 같은 금속 물질을 포함할 수 있다.
- [0067] 봉지부(340b)는 코어층(170)의 관통홀(CA) 내의 공간을 채워 관통홀(CA)을 봉합하고, 코어층(170)의 하면 상으로 연장될 수 있다. 다만, 제조 공정에 따라, 봉지부(340b)는 코어층(170)의 상면 상으로 연장될 수도 있다. 봉지부(340b)는 제1 반도체 칩(120)과 관통홀(CA)의 내측벽 사이의 공간의 적어도 일부를 채울 수 있다. 이에 의해, 봉지부(340b)는 접착층의 역할도 수행할 수 있다.
- [0068] 도 11a 내지 도 11f는 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 개략적으로 나타내는 주요 단계별 도면들이다. 도 11a 내지 도 11f에서는, 도 1의 반도체 패키지의 예시적인 제조 방법을 도시한다.
- [0069] 도 11a를 참조하면, 제1 반도체 칩들(120)을 웨이퍼 레벨로 형성할 수 있다.
- [0070] 제1 반도체 칩(120)은, 하나의 반도체 기판 상에, 반도체 소자들을 포함하는 소자 영역(TR)을 형성하고, 소자 영역(TR) 주변에 관통 비아들(125)을 형성하여 비아 영역(VR)을 형성함으로써, 제공될 수 있다. 소자 영역(TR)과 비아 영역(VR)은 계면이 구별되거나, 명확히 구별되지 않을 수도 있다.
- [0071] 관통 비아들(125)은 예를 들어, 비아-라스트(via-last) 구조로 형성될 수 있다. 다만, 관통 비아들(125)의 구조는 이에 한정되지는 않으며, 비아-미들(via-middle) 또는 비아-라스트(via-last) 구조로 형성될 수 있음은 물론이다. 참고로, 비아-퍼스트는 바디부(121)에서 소자 영역(AR)이 형성되기 전에 관통 비아가 먼저 형성되는 구조를 지칭하고, 비아-미들은 소자 영역(AR)의 트랜지스터 등과 같은 회로를 형성한 후 상부에 배선들이 형성되기 전에 관통 비아가 형성되는 구조를 지칭하며, 비아-라스트는 상기 배선들이 모두 형성된 후에 관통 비아가 형성되는 구조를 지칭할 수 있다.
- [0072] 또한, 제1 반도체 칩(120)은 활성면 상에 접속 패드들(122)을 형성하고, 비활성면 상에 제1 금속 패드들(126P) 및 제1 본딩 절연층(126D)을 포함하는 제1 본딩층(126)을 형성하여 준비될 수 있다.
- [0073] 도 11b를 참조하면, 제1 반도체 칩들(120) 상에 제1 칩 구조물(220a)을 접합할 수 있다.
- [0074] 제1 칩 구조물(220a)은 하나의 기판 상에 제2 하부 반도체 칩들(221a, 222a)을 형성하고, 소잉되지 않은 상태로 준비될 수 있다. 따라서, 제2 하부 반도체 칩들(221a, 222a)은 각각 칩 영역(CH) 및 칩 영역(CH)의 적어도 일측의 스크라이브 영역(SC)을 포함하며, 제2 하부 반도체 칩들(221a, 222a) 각각의 스크라이브 영역들(SC)이 서로 연결된 상태일 수 있다. 제1 칩 구조물(220a)은, 제1 반도체 칩들(120)의 비아 영역(VR)에 대응되거나, 비아 영역(VR)과 중첩되는 영역에 상부 관통 비아들(225)을 형성하고, 하면 및 상면에 각각 제2 및 제3 본딩층들(226, 227)을 형성함으로써 제조될 수 있다.
- [0075] 제1 칩 구조물(220a)은, 제1 반도체 칩(120)의 제1 본딩층(126)과 제1 칩 구조물(220a)의 제2 본딩층(226)을 하이브리드 본딩함으로써, 서로 연결될 수 있다. 제1 반도체 칩(120)과 제1 칩 구조물(220a)은 별도의 접착층과 같은 접착제의 개재없이 직접 접합(direct bonding)될 수 있다. 예를 들어, 제1 반도체 칩(120)과 제1 칩 구조물(220a)은 가압 공정에 의하여 원자 레벨에서의 결합을 형성할 수 있다. 실시예들에 따라, 본딩 전에, 접합력을 강화하기 위하여, 제1 반도체 칩(120) 및 제1 칩 구조물(220a)의 접합면들에 대하여 수소 플라스마 처리

와 같은 표면 처리 공정이 더 수행될 수도 있다. 제1 반도체 칩(120)과 제1 칩 구조물(220a)은 웨이퍼 레벨에서, 웨이퍼 대 웨이퍼(wafer to wafer)로 본딩될 수 있다.

- [0076] 도 11c를 참조하면, 제1 칩 구조물(220a) 상에 제2 칩 구조물(220b)을 접합할 수 있다.
- [0077] 제2 칩 구조물(220b)은 제1 칩 구조물(220a)과 유사하게, 하나의 기판 상에 제2 상부 반도체 칩들(221b, 222b)을 형성하고, 소잉되지 않은 상태로 준비될 수 있다. 제2 칩 구조물(220b)은 하면 상에 제4 본딩층(228)을 형성하여 제공될 수 있다.
- [0078] 제2 칩 구조물(220b)은, 제3 본딩층(227)과 제4 본딩층(228)을 하이브리드 본딩함으로써, 제1 반도체 칩(120) 및 제1 칩 구조물(220a)의 적층 구조물 상에 접합될 수 있다. 제1 칩 구조물(220a)과 제2 칩 구조물(220b)은 별도의 접착층과 같은 접착제의 개재없이 직접 접합될 수 있다. 제1 칩 구조물(220a)과 제2 칩 구조물(220b)은 웨이퍼 레벨에서, 웨이퍼 대 웨이퍼로 본딩될 수 있다.
- [0079] 도 11d를 참조하면, 제1 반도체 칩(120)의 하면에 범프들(190)을 형성하고, 제1 반도체 칩(120) 및 제1 및 제2 칩 구조물들(220a, 220b)의 적층 구조물을 패키지 단위로 소잉할 수 있다.
- [0080] 범프들(190)은 증착 또는 도금 공정 및 리플로우(reflow) 공정을 이용하여 형성할 수 있다.
- [0081] 상기 적층 구조물은 패키지 단위로 소잉하여, 하나의 패키지가 하나의 제1 반도체 칩(120)과 네 개의 제2 반도체 칩들(221a, 222a, 221b, 222b)을 포함하도록 절단될 수 있다. 절단 공정은, 제1 및 제2 칩 구조물들(220a, 220b)의 스크라이브 영역들(SC) 중 일부를 따라 상기 패키지 단위로 수행될 수 있다. 이에 의해, 하나의 패키지에서, 칩 영역들(CH)의 외측에서는 스크라이브 영역(SC)이 제거되거나 일부 잔존할 수 있으며, 칩 영역들(CH)의 사이에는 스크라이브 영역들(SC)이 그대로 남아있을 수 있다.
- [0082] 도 11e를 참조하면, 패키지 단위로 절단된 상기 적층 구조물을 기판(301) 상에 실장할 수 있다.
- [0083] 기판(301) 상의 기판 패드들(326)에 범프들(190)을 연결함으로써, 상기 적층 구조물이 실장될 수 있다.
- [0084] 도 11f를 참조하면, 상기 적층 구조물을 봉지하는 봉지부(340)를 형성할 수 있다.
- [0085] 봉지부(340)는 라미네이션 또는 도포 등의 방법으로 봉지부(340)를 이루는 물질을 상기 적층 구조물 상에 형성한 후, 이를 경화시켜 형성할 수 있다. 상기 도포 방법은, 예를 들어, 스크린 인쇄법 또는 스프레이 인쇄법일 수 있다.
- [0086] 다음으로, 기판(301)의 하면 상에 접속 단자들(390)을 형성함으로써, 도 1의 반도체 패키지(1000)가 제조될 수 있다.
- [0087] 도 12a 내지 도 12d는 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 개략적으로 나타내는 주요 단계별 도면들이다. 도 12a 내지 도 12d에서는, 도 7의 반도체 패키지의 예시적인 제조 방법을 도시한다. 이하에서는 도 11a 내지 도 11f를 참조한 설명과 중복되는 설명은 생략한다.
- [0088] 도 12a를 참조하면, 제2 칩 구조물(220b) 상에 제1 칩 구조물(220a)을 접합할 수 있다.
- [0089] 제1 및 제2 칩 구조물들(220a, 220b)은 도 11b 및 도 11c를 참조하여 상술한 것과 같이 제조되어 준비될 수 있다. 제1 및 제2 칩 구조물들(220a, 220b)은 제3 본딩층(227)과 제4 본딩층(228)을 하이브리드 본딩함으로써, 서로 접합될 수 있다. 제1 칩 구조물(220a)과 제2 칩 구조물(220b)은 별도의 접착층과 같은 접착제의 개재없이 직접 접합될 수 있다. 제1 칩 구조물(220a)과 제2 칩 구조물(220b)은 웨이퍼 레벨에서, 웨이퍼 대 웨이퍼로 본딩될 수 있다.
- [0090] 도 12b를 참조하면, 제1 및 제2 칩 구조물들(220a, 220b) 상에 제2 재배선부(130)를 형성할 수 있다.

- [0091] 제2 재배선부(130)는, 제2 배선 절연층(131)을 일부 두께로 형성하는 공정, 제2 배선 절연층(131)의 일부를 관통하는 비아홀을 형성하는 공정, 및 도금 공정 등을 이용하여 상기 비아홀을 매립하여 제2 비아들(133) 및 제2 비아들(133) 상의 제2 재배선층들(132)을 형성하는 공정을 반복하여 수행함으로써 일부가 제조할 수 있다.
- [0092] 다음으로, 제2 재배선부(130)의 최상부에 패터닝된 제2 본딩 절연층(136D)을 형성하고, 패터닝된 영역 내에 도금 공정 등을 이용하여 제2 금속 패드들(136P)을 형성함으로써, 제2 본딩층(136)을 형성할 수 있다.
- [0093] 도 12c를 참조하면, 제2 재배선부(130) 상에 도전성 포스트들(325)을 형성하고, 제1 반도체 칩들(120)을 접합할 수 있다.
- [0094] 도전성 포스트들(325)은 마스크 패턴들을 형성하고, 도금 또는 증착 공정을 수행함으로써 형성할 수 있다.
- [0095] 제1 반도체 칩(120)은, 제2 재배선부(130)의 제2 본딩층(136)과 제1 반도체 칩(120)의 제1 본딩층(126)을 하이브리드 본딩함으로써, 서로 접합될 수 있다. 제1 반도체 칩(120)과 제2 재배선부(130)는 별도의 접착층과 같은 접착제의 개재없이 직접 접합될 수 있다.
- [0096] 도 12d를 참조하면, 도전성 포스트들(325) 및 제1 반도체 칩들(120)을 봉지하는 봉지부(340a)를 형성하고, 제1 재배선부(110)를 형성한 후, 접속 단자들(390)을 형성할 수 있다.
- [0097] 제1 재배선부(110)는 제1 배선 절연층(111)을 일부 두께로 형성하는 공정, 제1 배선 절연층(111)의 일부를 관통하는 비아홀을 형성하는 공정, 및 도금 공정 등을 이용하여 상기 비아홀을 매립하여 제1 비아들(113) 및 제1 비아들(113) 상의 제1 재배선층들(112)을 형성하는 공정을 반복하여 수행함으로써 제조할 수 있다.
- [0098] 제1 재배선부(110) 상에 접속 단자들(390)을 형성한 후, 소잉 공정을 통해 단위 패키지 단위로 절단하여 도 7의 반도체 패키지(1000c)를 제조할 수 있다. 절단 공정은, 제1 및 제2 칩 구조물들(220a, 220b)의 스크라이브 영역들(SC) 중 일부를 따라 상기 패키지 단위로 수행될 수 있다. 이에 의해, 하나의 패키지에서, 칩 영역들(CH)의 외측에서는 스크라이브 영역(SC)이 제거되거나 일부 잔존할 수 있으며, 칩 영역들(CH)의 사이에는 스크라이브 영역들(SC)이 그대로 남아있을 수 있다.
- [0099] 본 발명은 상술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니며 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

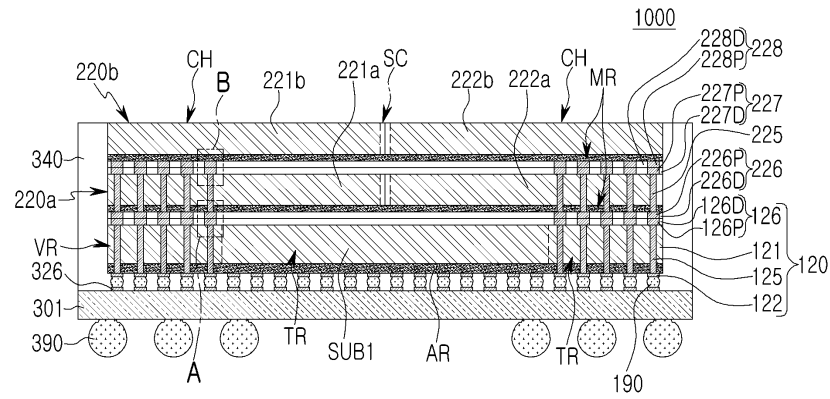
부호의 설명

- [0100] 100, 1000: 반도체 패키지 110: 제1 재배선부
- 111: 제1 배선 절연층 112: 제1 재배선층
- 113: 제1 비아 120: 제1 반도체 칩
- 121: 바디부 122: 접속 패드
- 125: 관통 비아 126: 제1 본딩층
- 130: 제2 재배선부 131: 제2 배선 절연층
- 132: 제2 재배선층 133: 제2 비아
- 136: 제2 본딩층 170: 코어층
- 171: 코어 절연층 172: 코어 배선층
- 174: 코어 비아 190: 범프

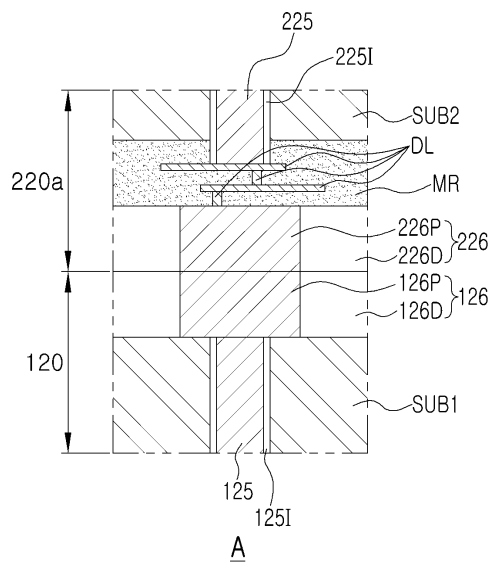
220: 칩 구조물 221, 222: 제2 반도체 칩
 225: 상부 관통 비아 226: 제2 본딩층
 227: 제3 본딩층 228: 제4 본딩층
 301: 기판 326: 기판 패드
 340: 봉지부 390: 접속 단자

도면

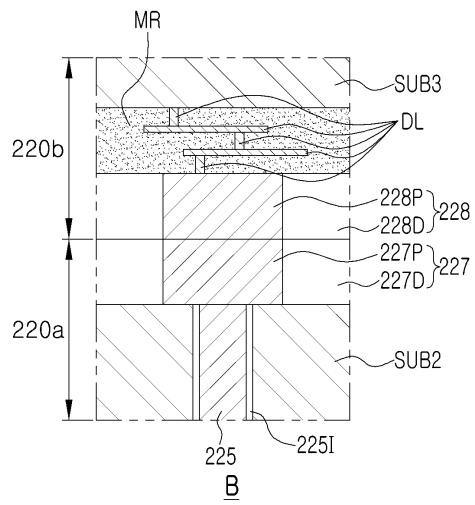
도면1



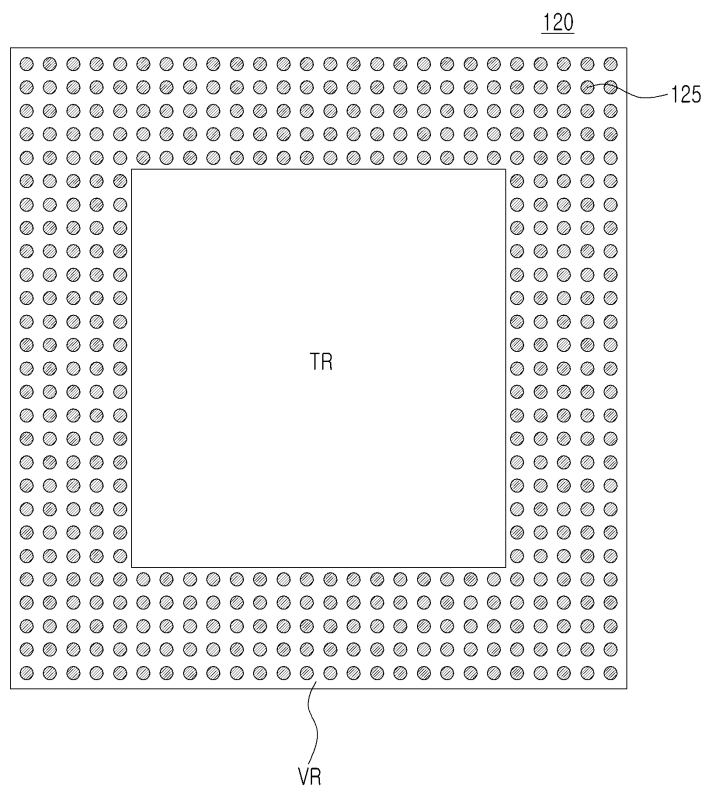
도면2a



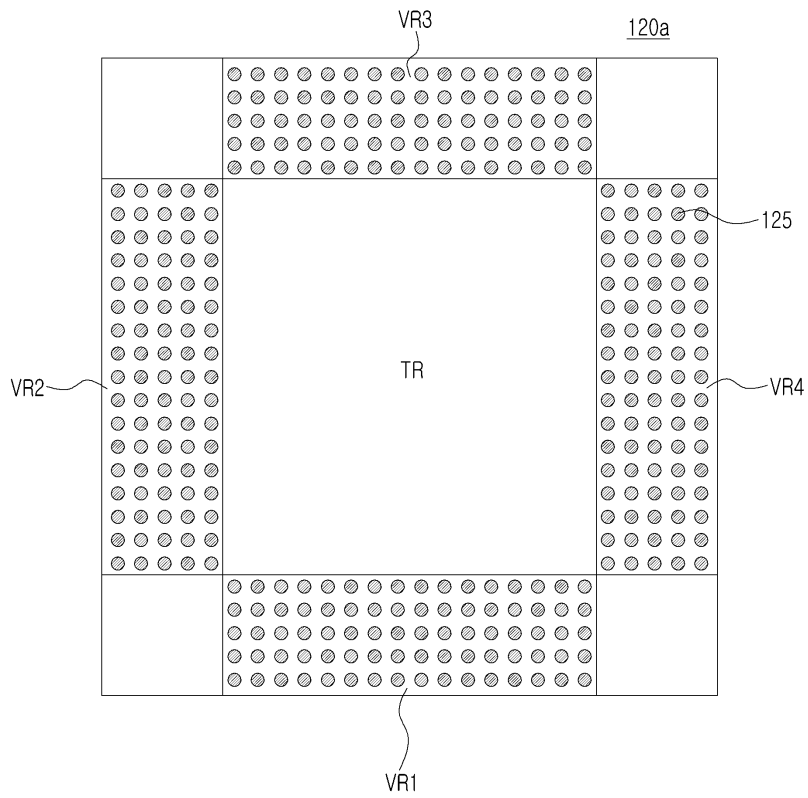
도면2b



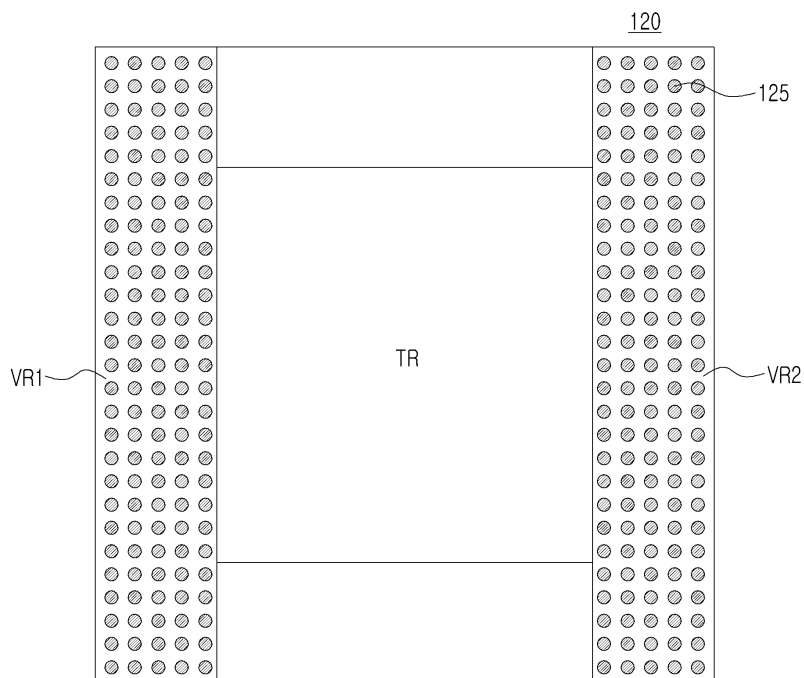
도면3



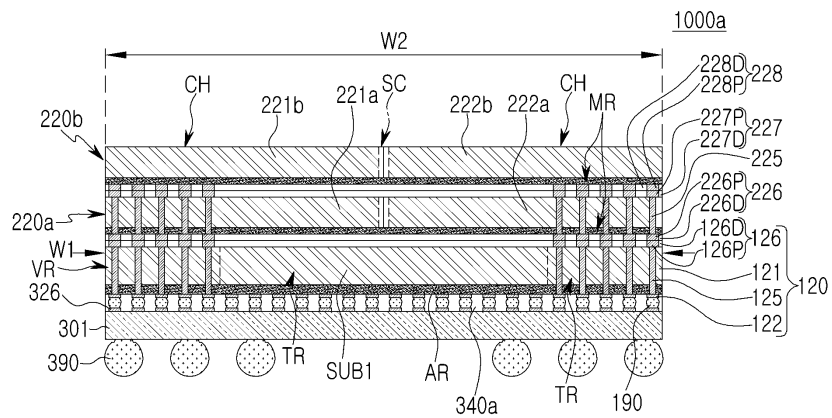
도면4a



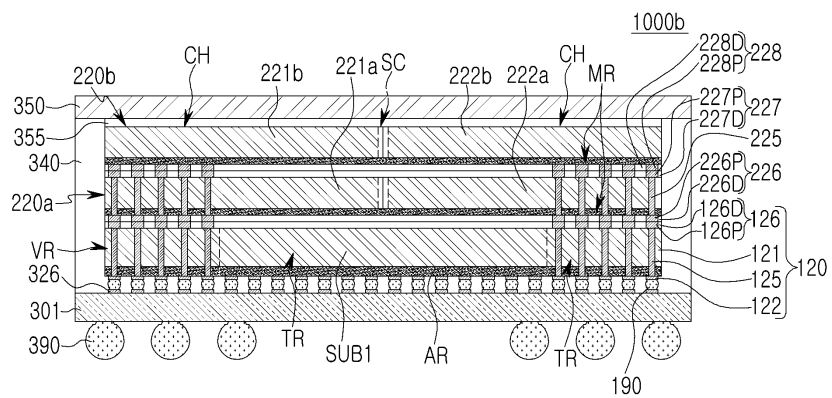
도면4b



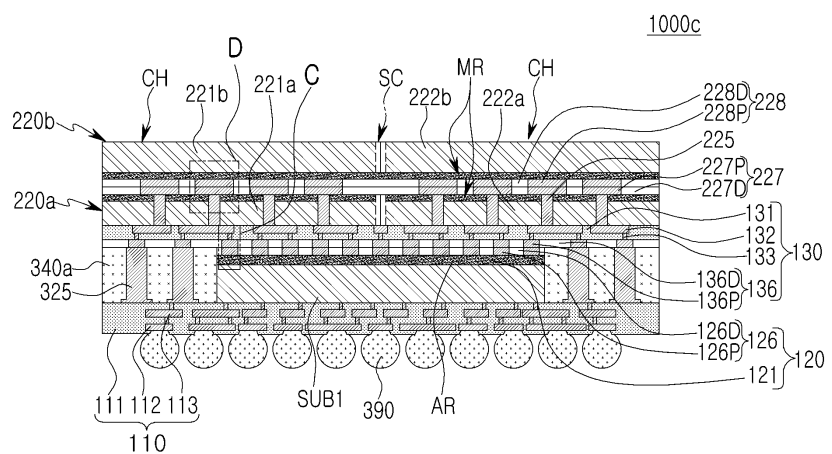
도면5



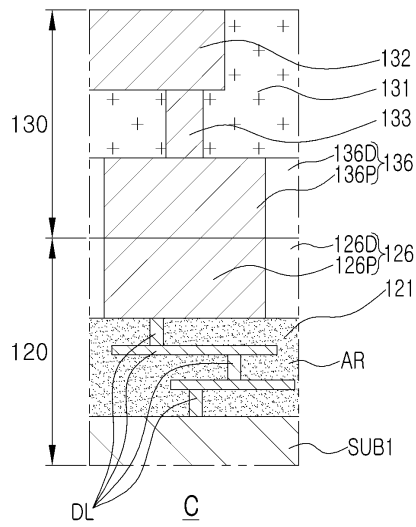
도면6



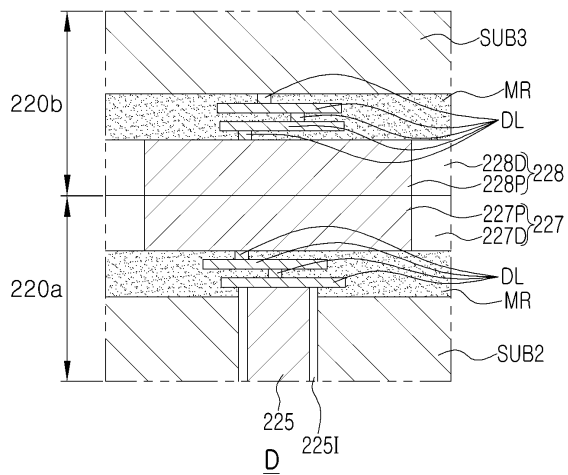
도면7



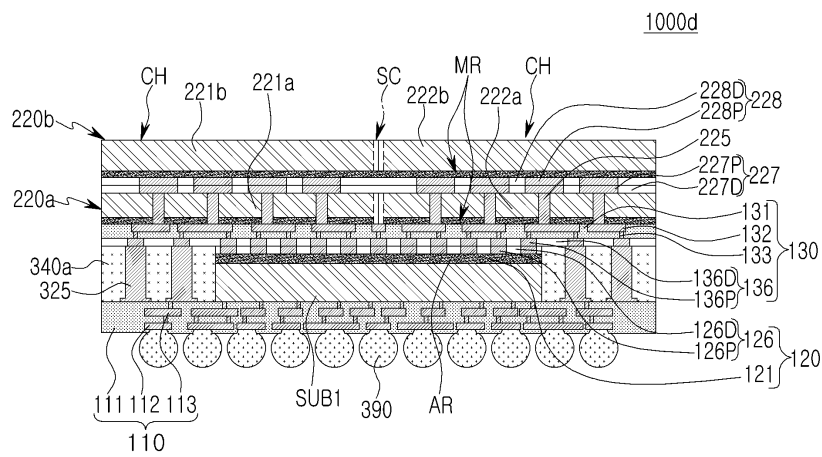
도면8a



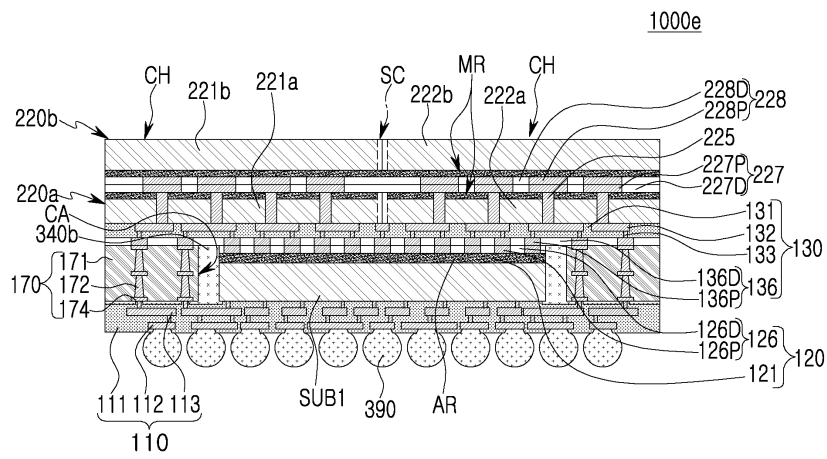
도면8b



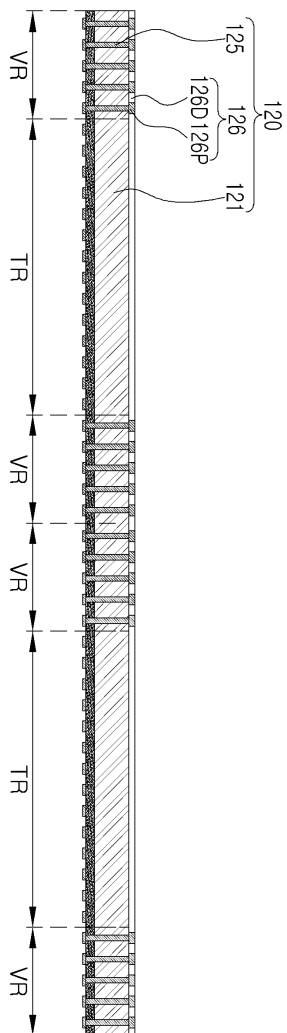
도면9



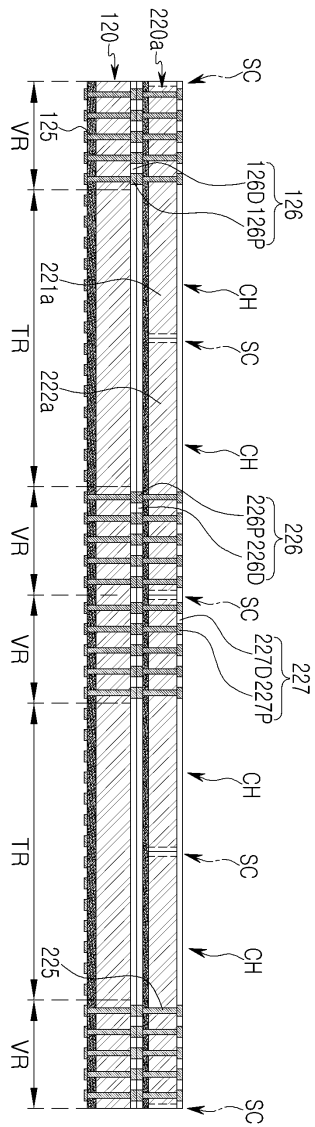
도면10



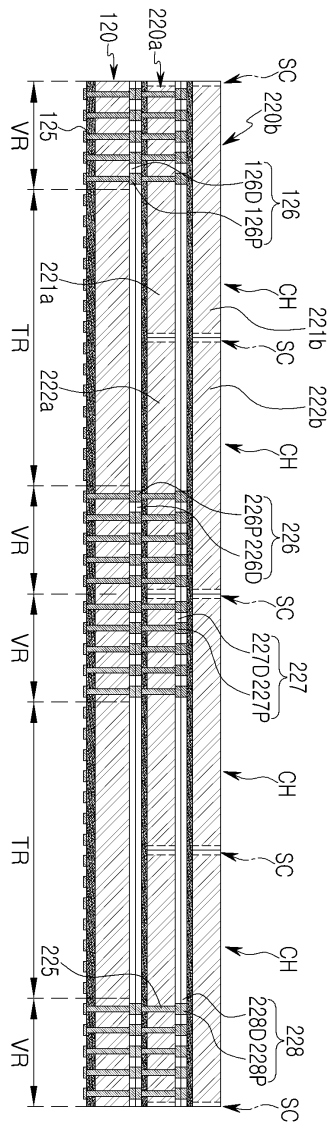
도면11a



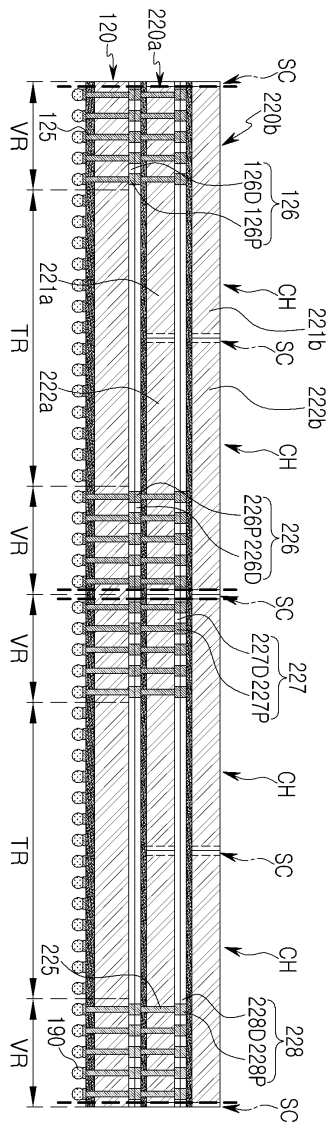
도면11b



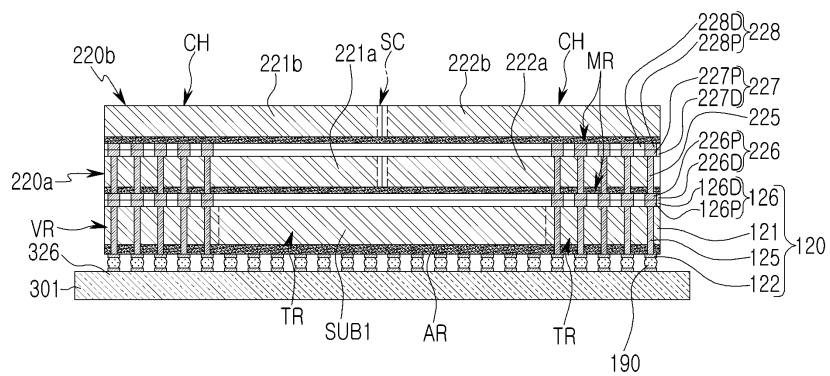
도면11c



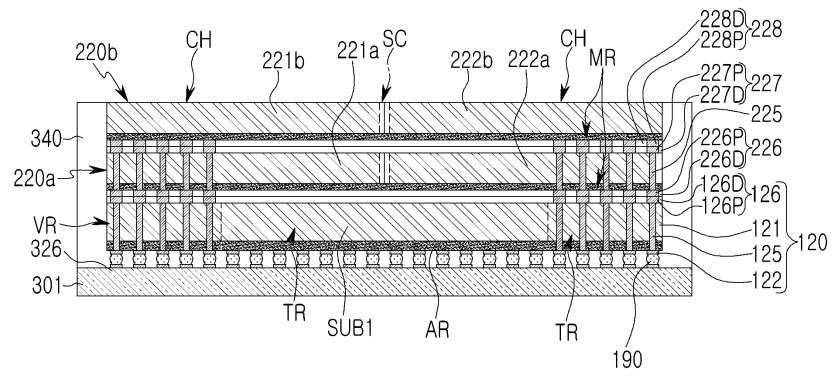
도면11d



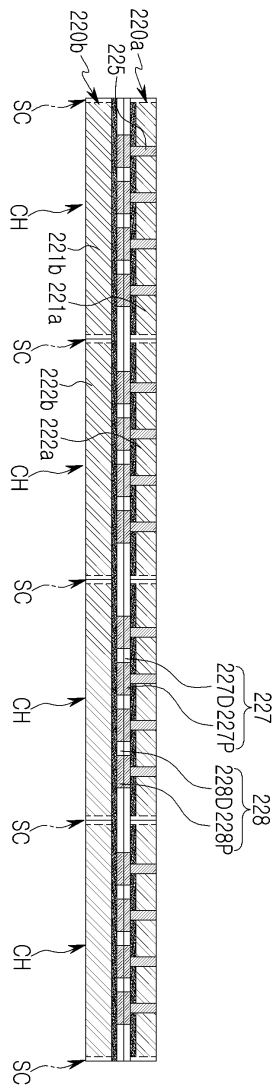
도면11e



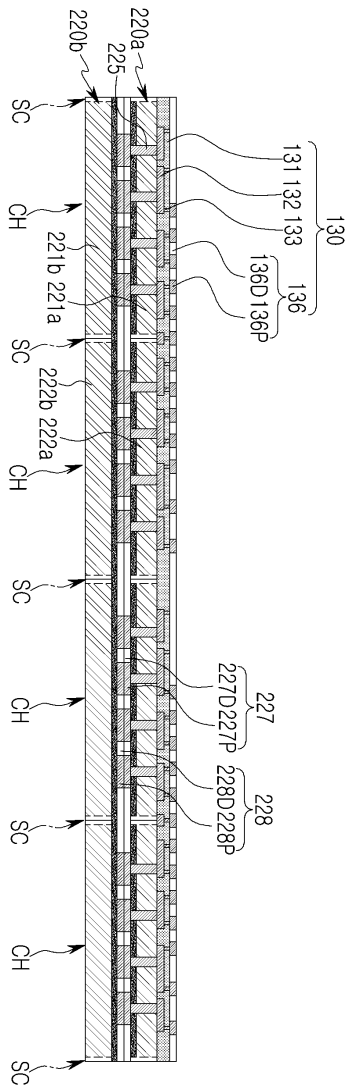
도면11f



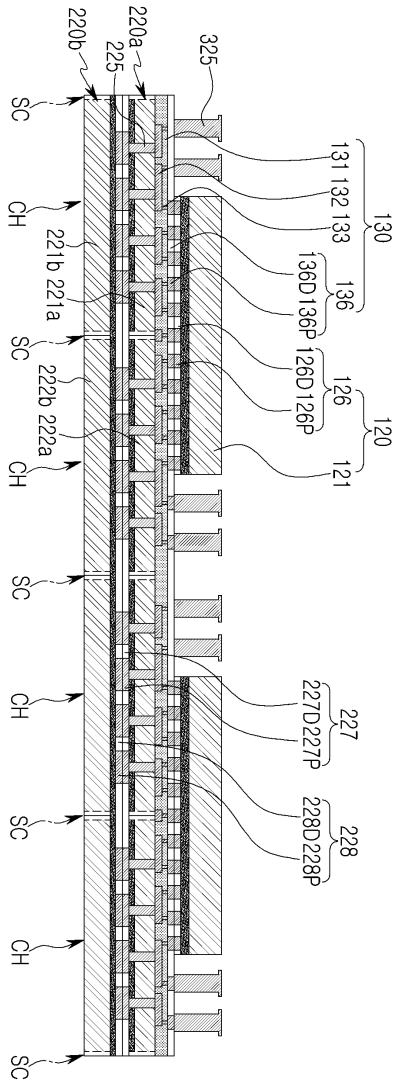
도면12a



도면12b



도면12c



도면12d

