(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년08월05일
(11) 등록번호 10-1542239
(24) 등록일자 2015년07월30일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) *G02F 1/133* (2006.01)
G09G 3/20 (2006.01)
(21) 출원번호 10-2008-0082402
(22) 출원일자 2008년08월22일
심사청구일자 2013년07월24일
(65) 공개번호 10-2010-0023560
(43) 공개일자 2010년03월04일
(56) 선행기술조사문헌
KR1020040085314 A*
KR1020080034602 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
김경렬
부산광역시 연제구 대리로5번길 20 (연산동)
(74) 대리인
특허법인 고려

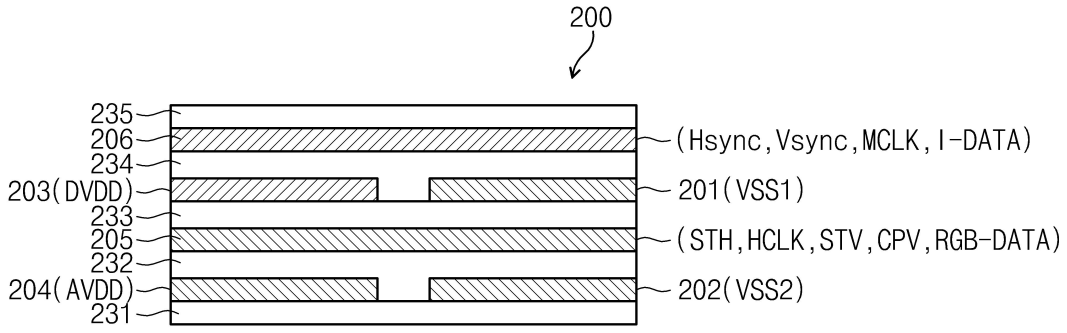
전체 청구항 수 : 총 18 항 심사관 : 추장희

(54) 발명의 명칭 **표시장치**

(57) 요 약

표시장치에서, 데이터 드라이버는 디지털 처리부와 아날로그 처리부로 구분되고, 인쇄회로기판은 데이터 드라이버의 디지털 처리부에 제1 소오스 전원전압을 공급하는 제1 전압배선, 및 데이터 드라이버의 아날로그 처리부에 제2 소오스 전원전압을 공급하는 제2 전압배선을 구비한다. 제1 및 제2 소오스 전원전압은 그라운드 전압레벨을 갖지만, 제1 및 제2 전압배선은 서로 전기적으로 분리되어 설계된다. 따라서, 제1 및 제2 소오스 전원전압 중 어느 하나에 발생한 노이즈로 인해서 나머지 하나의 소오스 전원전압이 왜곡되는 것을 방지할 수 있고, 그 결과 데이터 드라이버의 구동 마진을 향상시킬 수 있다.

대 표 도 - 도3



명 세 서

청구범위

청구항 1

영상을 표시하는 표시패널;

영상 데이터, 데이터측 제어신호 및 게이트측 제어신호를 출력하는 제어회로를 포함하는 인쇄회로기판;

상기 영상 데이터 및 데이터측 제어신호를 입력받아 상기 표시패널에 데이터 신호를 제공하는 데이터 드라이버; 및

상기 게이트측 제어신호를 입력받아 상기 표시패널에 게이트 신호를 제공하는 게이트 드라이버를 포함하고,

상기 인쇄회로기판은,

다층 구조로 이루어지며,

상기 데이터 드라이버의 디지털 처리부에 제1 소오스 전원전압을 공급하는 제1 전압배선; 및

상기 데이터 드라이버의 아날로그 처리부에 제2 소오스 전원전압을 공급하고, 상기 제1 전압배선과 전기적으로 분리되는 제2 전압배선을 포함하되,

상기 제1 및 제2 전압배선은 서로 다른 층에 배치되는 특징으로 하는 표시장치.

청구항 2

제1항에 있어서, 상기 디지털 처리부는 상기 데이터측 제어신호에 동기하여 디지털 형태의 상기 영상 데이터를 입력받아서 처리하고,

상기 아날로그 처리부는 상기 디지털 처리부로부터 상기 디지털 형태의 영상 데이터를 입력받아서 아날로그 형태의 데이터 신호로 변환하는 것을 특징으로 하는 표시장치.

청구항 3

제1항에 있어서, 상기 제1 및 제2 소오스 전원전압은 그라운드 전압레벨을 갖는 것을 특징으로 하는 표시장치.

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 인쇄회로기판은,

상기 디지털 처리부에 디지털 구동전압을 공급하는 제3 전압배선; 및

상기 아날로그 처리부에 아날로그 구동전압을 공급하고, 상기 제3 전압배선과 전기적으로 분리되는 제4 전압배선을 더 포함하는 것을 특징으로 하는 표시장치.

청구항 6

제5항에 있어서, 상기 제1 전압배선과 상기 제3 전압배선은 서로 동일한 층에 배치되고,

상기 제2 전압배선과 상기 제4 전압배선은 서로 동일한 층에 배치되는 것을 특징으로 하는 표시장치.

청구항 7

제1항에 있어서, 상기 데이터 드라이버는 하나 이상의 칩을 포함하는 것을 특징으로 하는 표시장치.

청구항 8

제7항에 있어서, 상기 칩은 상기 표시패널 상에 실장되는 것을 특징으로 하는 표시장치.

청구항 9

제8항에 있어서, 상기 표시패널과 상기 인쇄회로기판 사이에 부착되어 상기 인쇄회로기판으로부터 출력된 신호를 상기 칩으로 제공하는 연성회로필름을 더 포함하는 것을 특징으로 하는 표시장치.

청구항 10

제1항에 있어서, 상기 데이터 드라이버는 상기 제1 전압배선에 연결되어 상기 제1 소오스 전원전압을 입력받는 제1 단자, 및 상기 제2 전압배선에 연결되어 상기 제2 소오스 전원전압을 입력받는 제2 단자를 포함하는 것을 특징으로 하는 표시장치.

청구항 11

제10항에 있어서, 상기 제1 및 제2 단자로 각각 인가되는 상기 제1 및 제2 소오스 전원전압의 노이즈를 제거하는 전압 안정화 회로를 더 포함하는 것을 특징으로 하는 표시장치.

청구항 12

제11항에 있어서, 상기 데이터 드라이버는 상기 제1 단자에 연결되고, 상기 제1 소오스 전원전압을 상기 전압 안정화 회로로 피드백시키는 제1 피드백 단자, 및 상기 제2 단자에 연결되고, 상기 제2 소오스 전원전압을 상기 전압 안정화 회로로 피드백시키는 제2 피드백 단자를 더 포함하는 것을 특징으로 하는 표시장치.

청구항 13

제12항에 있어서, 상기 전압 안정화 회로는,

상기 제1 단자와 상기 제1 피드백 단자 사이에 구비되어 상기 제1 피드백 단자로부터 공급된 상기 제1 소오스 전원전압의 노이즈를 필터링하여 상기 제1 단자로 공급하는 제1 필터; 및

상기 제2 단자와 상기 제2 피드백 단자 사이에 구비되어 상기 제2 피드백 단자로부터 공급된 상기 제2 소오스 전원전압의 노이즈를 필터링하여 상기 제2 단자로 공급하는 제2 필터를 포함하는 것을 특징으로 하는 표시장치.

청구항 14

제13항에 있어서, 상기 전압 안정화 회로는 상기 제1 단자와 상기 제2 단자 사이에 구비된 제3 필터를 더 포함하는 것을 특징으로 하는 표시장치.

청구항 15

제14항에 있어서, 상기 제1 내지 제3 필터 각각은,

두 개의 단자 사이에 연결된 하나 이상의 저항; 및

상기 저항에 병렬 연결된 하나 이상의 커패시터를 포함하는 것을 특징으로 하는 표시장치.

청구항 16

제11항에 있어서, 상기 전압 안정화 회로는 상기 인쇄회로기판 상에 구비되는 것을 특징으로 하는 표시장치.

청구항 17

표시장치의 데이터 드라이버의 제1 및 제2 단자로 각각 공급되는 제1 및 제2 소오스 전원전압의 노이즈를 제거하는 전압 안정화 회로에서,

상기 제1 단자와 상기 제1 소오스 전원전압을 피드백시키는 상기 데이터 드라이버의 제1 피드백 단자 사이에 구비되어 상기 제1 피드백 단자로부터 수신된 상기 제1 소오스 전원전압의 노이즈를 필터링하여 상기 제1 단자로 공급하는 제1 필터; 및

상기 제2 단자와 상기 제2 소오스 전원전압을 피드백시키는 상기 데이터 드라이버의 제2 피드백 단자 사이에 구비되어 상기 제2 피드백 단자로부터 수신된 상기 제2 소오스 전원전압의 노이즈를 필터링하여 상기 제2 단자로 공급하는 제2 필터를 포함하는 전압 안정화 회로.

청구항 18

제17항에 있어서, 상기 제1 단자와 상기 제2 단자 사이에 구비된 제3 필터를 더 포함하는 것을 특징으로 하는 전압 안정화 회로.

청구항 19

제18항에 있어서, 상기 제1 내지 제3 필터 각각은,

두 개의 단자 사이에 연결된 하나 이상의 저항; 및

상기 저항에 병렬 연결된 하나 이상의 커패시터를 포함하는 것을 특징으로 하는 전압 안정화 회로.

발명의 설명

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 표시장치에 관한 것으로, 더욱 상세하게는 구동 마진을 향상시킬 수 있는 표시장치에 관한 것이다.

배 경 기 술

[0002] 일반적으로, 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시한다. 그러기 위해 액정표시장치는 액정셀들이 매트릭스 형태로 배열된 액정표시패널 및 액정표시패널을 구동하는 구동회로를 구비한다.

[0003] 구동회로는 액정표시패널에 구비된 게이트 라인들을 구동하는 게이트 드라이버, 데이터 라인들을 구동하는 데이터 드라이버를 포함한다. 일반적으로, 게이트 드라이버와 데이터 드라이버 각각은 다수의 칩으로 집적화된다. 다수의 칩은 테이프 캐리어 패키지(Tape Carrier Package) 상에 실장되어 탭(Tape Automated Bonding: TAB) 방식으로 액정표시패널에 접속되거나, 칩 온 글라스(Chip On Glass) 방식으로 액정표시패널 상에 실장된다.

[0004] 칩 온 글라스 방식을 채용하는 액정표시장치에서는 실장 과정에서 발생할 수 있는 전력 손실로 인해서 칩의 구동 마진이 저하된다.

발명의 내용

해결 하고자하는 과제

[0005] 따라서, 본 발명의 목적은 데이터 드라이버로 제공되는 전원전압을 안정화시켜 구동 마진을 향상시키기 위한 표시장치를 제공하는 것이다.

과제 해결수단

[0006] 본 발명에 따른 표시장치는 영상을 표시하는 표시패널, 영상 데이터, 데이터측 제어신호 및 게이트측 제어신호를 출력하는 제어회로를 포함하는 인쇄회로기판, 상기 영상 데이터 및 데이터측 제어신호를 입력받아 상기 표시패널에 데이터 신호를 제공하는 데이터 드라이버, 및 상기 게이트측 제어신호를 입력받아 상기 표시패널에 게이트 신호를 제공하는 게이트 드라이버를 포함한다.

[0007] 상기 인쇄회로기판은 상기 데이터 드라이버의 디지털 처리부에 제1 소오스 전원전압을 공급하는 제1 전압배선, 및 상기 데이터 드라이버의 아날로그 처리부에 제2 소오스 전원전압을 공급하고, 상기 제1 전압배선과 전기적으로 분리되는 제2 전압배선을 포함한다.

효 과

[0008] 이와 같은 표시장치에 따르면, 제1 및 제2 소오스 전원전압은 그라운드 전압레벨을 갖지만, 인쇄회로기판에는 제1 및 제2 소오스 전원전압이 각각 인가되는 제1 및 제2 전압배선이 서로 전기적으로 분리되어 설계된다.

[0009] 따라서, 제1 및 제2 소오스 전원전압 중 어느 하나에 발생한 노이즈로 인해서 나머지 하나의 소오스 전원전압이 왜곡되는 것을 방지할 수 있고, 그 결과 데이터 드라이버의 구동 마진을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0010] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.

[0011] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 평면도이고, 도 2는 도 1에 도시된 액정표시장치의 블럭도이다.

[0012] 도 1을 참조하면, 액정표시장치(400)는 영상을 표시하는 액정표시패널(100), 상기 액정표시패널(100)에 인접한 인쇄회로기판(200) 및 상기 액정표시패널(100)과 상기 인쇄회로기판(200)을 전기적으로 연결시키는 연성회로필름(300)을 포함한다.

[0013] 상기 액정표시패널(100)은 어레이 기판(110), 상기 어레이 기판(110)과 마주하는 컬러필터기판(120) 및 상기 어레이 기판(110)과 상기 컬러필터기판(120)과의 사이에 개재된 액정층(미도시)으로 이루어진다. 상기 어레이 기판(110)은 영상을 표시하는 표시영역(DA) 및 상기 표시영역(DA)을 둘러싼 주변영역(PA)으로 구분된다.

[0014] 상기 어레이 기판(110)의 표시영역(DA)에는 다수의 화소가 매트릭스 형태로 구비된다. 구체적으로, 상기 표시영역(DA)에는 다수의 게이트 라인(GL), 및 다수의 데이터 라인(DL)이 구비된다. 상기 다수의 게이트 라인(GL)은 제1 방향으로 연장되고, 서로 일정 간격으로 배열된다. 상기 다수의 데이터 라인(DL)은 상기 제1 방향과 직교하는 제2 방향으로 연장되고 서로 일정 간격으로 배열된다. 상기 다수의 데이터 라인(DL)과 상기 다수의 게이트 라인(GL)은 서로 다른 층 상에 구비되어 서로 절연되게 교차한다.

[0015] 상기 게이트 라인들(GL) 및 데이터 라인들(DL)에 의해서 상기 표시영역(DA)에는 다수의 화소영역이 정의된다. 각 화소영역에는 하나의 화소가 배치되고, 각 화소는 박막 트랜지스터(TFT), 액정 커패시터(Clc) 및 스토리지 커패시터(Cst)를 포함한다. 박막 트랜지스터(TFT)는 대응하는 게이트 라인에 연결된 게이트 전극, 대응하는 데이터 라인에 연결된 소오스 전극 및 상기 액정 커패시터(Clc)의 하부전극인 화소전극에 연결된 드레인 전극을 구비한다. 상기 스토리지 커패시터(Cst)는 상기 액정 커패시터(Clc)에 병렬 연결된다.

[0016] 도면에 도시하지는 않았지만, 상기 컬러필터기판(120)은 컬러필터 및 공통전극을 포함한다. 상기 컬러필터는 레드, 그린 및 블루 색화소를 포함하고, 상기 공통전극은 상기 컬러필터기판(120) 전면에 형성되고, 화소전극과 마주하여 상기 액정 커패시터(Clc)를 형성한다.

[0017] 상기 액정표시장치(400)는 데이터 드라이버(130) 및 게이트 드라이버(140)를 포함한다.

[0018] 상기 데이터 드라이버(130)는 다수의 칩으로 이루어지고, 상기 액정표시패널의 주변영역(PA) 상에 실장된다. 상기 데이터 드라이버(130)는 상기 다수의 데이터 라인(DL)과 전기적으로 연결되어 데이터 신호를 제공한다. 본 발명의 일 실시예로써 상기 데이터 드라이버(130)가 다수의 칩으로 이루어진 구조를 제시하였으나, 여기에 한정되지 않으며 하나의 칩으로 이루어질 수도 있다.

[0019] 상기 게이트 드라이버(140)는 다수의 아몰퍼스 실리콘 트랜지스터로 이루어져, 박막 트랜지스터 제조 공정을 통해서 상기 어레이 기판(110)의 주변영역(PA) 상에 직접적으로 형성된다. 상기 게이트 드라이버(140)는 상기 다수의 게이트 라인(GL)의 일단부에 인접하여 구비되어 상기 다수의 게이트 라인(GL)으로 게이트 신호를 순차적으로 인가한다.

[0020] 상기 액정표시장치(400)는 상기 데이터 드라이버(130) 및 상기 게이트 드라이버(140)의 구동을 제어하는 타이밍 컨트롤러(210) 및 상기 데이터 드라이버(130)와 상기 게이트 드라이버(140)로 전압(AVDD, VSS1, VSS2, Von, Voff)을 공급하는 DC/DC 컨버터(220)를 포함한다. 상기 타이밍 컨트롤러(210)와 상기 DC/DC 컨버터(220)는 상기 인쇄회로기판(200) 상에 구비된다.

[0021] 상기 인쇄회로기판(200) 상에는 외부 장치로부터 각종 신호들을 입력받아서 상기 타이밍 컨트롤러(210)로 제공하는 커넥터(230)가 더 구비된다. 본 발명의 일 예로, 상기 커넥터(230)는 저전압 차동신호(Low Voltage Differential Signal) 인터페이스 방식을 통해서 외부 장치로부터 각종 신호들을 입력받는다.

[0022] 도 2를 참조하면, 타이밍 컨트롤러(210)는 상기 커넥터(230)로부터 데이터 인에이블 신호(DE), 수직 및 수평 동기신호(Vsync, Hsync), 메인 클록 신호(MCLK) 및 영상 데이터(I-DATA)를 입력받는다. 상기 타이밍 컨트롤러(210)는 상기 영상 데이터(I-DATA)를 레드, 그린 및 블루 데이터(RGB-DATA)로 변환하여 상기 데이터 드라이버

(130)로 제공한다. 상기 타이밍 컨트롤러(210)는 데이터 인에이블 신호(DE), 메인 클록 신호(MCLK), 수직 및 수평 동기신호(Vsync, Hsync)를 이용하여 데이터측 제어신호 및 게이트측 제어신호를 생성하여 데이터 드라이버(130)와 게이트 드라이버(140)로 각각 출력한다.

[0023] 상기 DC/DC 컨버터(220)는 외부 전원(Vpower)을 입력받아서 아날로그 구동전압(AVDD), 제1 소오스 전원전압(VSS1) 및 제2 소오스 전원전압(VSS2)을 발생하여 상기 데이터 드라이버(130)로 공급한다. 또한, 상기 DC/DC 컨버터(220)는 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)을 발생하여 상기 게이트 드라이버(140)로 공급한다.

[0024] 도면에 도시하지는 않았지만, 상기 액정표시장치(400)에는 액정표시패널(100)로 공통전압을 제공하기 위한 공통전압 발생부 및 상기 데이터 드라이버(130)로 다수의 감마전압(Vgamma1~Vgammai)을 제공하기 위한 감마전압 발생부가 더 구비될 수 있다.

[0025] 상기 데이터 드라이버(130)는 상기 데이터측 제어신호 및 레드, 그린 및 블루 데이터(RGB-DATA)를 상기 타이밍 컨트롤러(210)로부터 입력받아서 다수의 데이터 신호(DS1~DSm)를 출력한다. 여기서, 상기 데이터측 제어신호는 수평개시신호(STH), 수평클럭신호(HCLK) 및 출력개시신호(TP)를 포함한다. 상기 수평개시신호(STH)는 데이터 드라이버(230)의 동작을 개시하는 신호이고, 상기 수평클럭신호(HCLK)는 상기 레드, 그린 및 블루 데이터(RGB-DATA)의 동기신호이며, 상기 출력개시신호(TP)는 상기 데이터 드라이버(130)로부터 상기 데이터 신호들(DS1~DSm)이 출력되는 시점을 결정하는 신호이다.

[0026] 상기 데이터 드라이버(130)는 외부 장치로부터 디지털 구동전압(DVDD)을 입력받고, 상기 DC/DC 컨버터(220)로부터 아날로그 구동전압(AVDD), 제1 및 제2 소오스 전원전압(VSS1, VSS2)을 입력받아서 동작한다. 상기 데이터 드라이버(130)는 상기 디지털 구동전압(DVDD)과 상기 제1 소오스 전원전압(VSS1)을 입력받는 디지털 처리부 및 상기 아날로그 구동전압(AVDD)과 상기 제2 소오스 전원전압(VSS2)을 입력받는 아날로그 처리부로 이루어진다. 상기 디지털 처리부 및 상기 아날로그 처리부에 대해서는 이후 도 4를 참조하여 구체적으로 설명한다.

[0027] 본 발명의 일 예로, 상기 디지털 구동전압(DVDD)은 3.3V의 전압레벨을 갖고, 상기 아날로그 구동전압(AVDD)는 상기 디지털 구동전압(DVDD)보다 큰 전압레벨을 갖는다. 상기 제1 및 제2 소오스 전원전압(VSS1, VSS2)은 그라운드 전압레벨을 갖는다. 그러나, 상기 제1 소오스 전원전압(VSS1)을 상기 디지털 처리부로 연결하는 배선과 상기 제2 소오스 전원전압(VSS2)을 상기 아날로그 처리부로 연결하는 배선을 상기 인쇄회로기판 상에 분리해서 설계한다. 따라서, 상기 제1 및 제2 소오스 전원전압(VSS1, VSS2) 중 어느 하나에서 노이즈가 발생하더라도 나머지 다른 하나에 영향을 미치지 않을 수 있다.

[0028] 또한, 상기 데이터 드라이버(130)는 감마전압 발생부로부터 공급된 상기 다수의 감마전압(Vgamma1~Vgammai)을 근거로하여 디지털 형태인 상기 레드, 그린 및 블루 데이터(RGB-data)를 아날로그 형태인 다수의 데이터 신호(DS1~DSm)로 변환한다.

[0029] 상기 게이트 드라이버(140)는 상기 게이트측 제어신호에 응답하여 복수의 게이트 신호(GS1~GSn)를 순차적으로 출력한다. 상기 게이트측 제어신호는 수직개시신호(STV), 수직클럭신호(CPV)를 포함한다. 상기 수직개시신호(STV)는 상기 게이트 드라이버(140)의 동작을 개시하는 신호이고, 상기 수직클럭신호(CPV)는 상기 게이트 구동부(140)로부터 상기 게이트 신호들(GS1~GSn)이 출력되는 시기를 결정하는 신호이다. 상기 게이트 드라이버(140)로 공급된 상기 게이트 온 전압(Von) 및 상기 게이트 오프 전압(Voff)은 상기 게이트 신호들(GS1~GSn)의 하이레벨 및 로우레벨을 각각 결정한다.

[0030] 도 3은 도 1에 도시된 인쇄회로기판의 단면도이다.

[0031] 도 2 및 3을 참조하면, 인쇄회로기판(200)은 다층 구조로 이루어진다. 특히, DC/DC 컨버터(220)로부터 출력된 제1 및 제2 소오스 전원전압(VSS1, VSS2)이 각각 인가되는 제1 및 제2 전압배선(201, 202)은 서로 다른 층에 배치되어 전기적으로 절연되고, 디지털 구동전압(DVDD)과 아날로그 구동전압(AVDD)이 각각 인가되는 제3 및 제4 전압배선(203, 204)도 서로 다른 층에 배치되어 전기적으로 절연된다.

[0032] 구체적으로, 절연체로 이루어진 베이스 기판(231) 상에는 상기 아날로그 구동전압(AVDD)이 인가되는 제4 전압배선(204) 및 상기 제2 소오스 전원전압(VSS2)이 인가되는 제2 전압배선(202)이 배치된다. 상기 제2 및 제4 전압배선(202, 204)은 서로 동일한 층 상에 배치되지만, 서로 전기적으로 절연된다.

[0033] 상기 제2 및 제4 전압배선(202, 204)는 제1 절연막(232)에 의해서 커버된다. 상기 제1 절연막(232) 상에는 다수의 제1 신호배선(205)이 구비된다. 상기 다수의 제1 신호배선(205)은 도 2에 도시된 타이밍 컨트롤러(210)로부

터 출력된 신호를 입력받아서 상기 데이터 드라이버(130) 및 상기 게이트 드라이버(140) 각각 제공하는 배선들이다. 상기 다수의 제1 신호배선(205)을 통해 제공되는 신호들에는 수평개시신호(STH), 수평클럭신호(HCLK), 수직개시신호(STV), 수직클럭신호(CPV), 및 레드, 그린 및 블루 데이터(RGB-DATA)가 포함될 수 있다.

[0034] 상기 다수의 제1 신호배선(205)은 제2 절연막(233)에 의해서 커버된다. 상기 제2 절연막(233) 상에는 상기 디지털 구동전압(DVDD)이 인가되는 제3 전압배선(203) 및 상기 제1 소오스 전원전압(VSS1)이 인가되는 제1 전압배선(201)이 배치된다. 상기 제1 및 제3 전압배선(201, 203)은 서로 동일한 층 상에 배치되지만, 서로 전기적으로 절연된다.

[0035] 상기 제1 및 제3 전압배선(201, 203)은 제3 절연막(234)에 의해서 커버된다. 상기 제3 절연막(234) 상에는 다수의 제2 신호배선(206)이 구비된다. 상기 다수의 제2 신호배선(206)은 도 2에 도시된 커넥터(230)로부터의 신호들을 상기 타이밍 컨트롤러(210)로 공급하는 배선들이다.

[0036] 상기 커넥터(230)로부터 출력되어 상기 타이밍 컨트롤러(210)로 제공되는 신호들에는 수평동기신호(Hsync), 수직동기신호(Vsync), 메인 클럭신호(MCLK) 및 영상 데이터(I-DATA)가 포함될 수 있다.

[0037] 상기 다수의 제2 신호배선(206) 위로는 제4 절연막(235)이 코팅되어 상기 다수의 제2 신호배선(206)을 커버한다.

[0038] 상술한 바와 같이, 다층 구조를 갖는 인쇄회로기판(200)에서, 상기 데이터 드라이버(130)의 디지털 처리부에 연결된 제1 전압배선(201)은 상기 데이터 드라이버(130)의 아날로그 처리부에 연결된 제2 전압배선(202)과 서로 다른 층에 구비된다. 따라서, 상기 데이터 드라이버(130)를 상기 액정표시패널(100) 상에 실장하는 칩 온 글라스(Chip On Glass: COG) 공정 상에서 발생할 수 있는 전력 손실로 인해서 제1 및 제2 소오스 전원전압(VSS1, VSS2) 중 어느 하나에 발생한 노이즈는 나머지 하나의 소오스 전원전압에 영향을 미치지 못하여 왜곡을 방지할 수 있다. 그 결과 상기 데이터 드라이버(130)의 구동 마진을 향상시킬 수 있다.

[0039] 도 4는 도 2에 도시된 데이터 드라이버의 블럭도이다.

[0040] 도 4를 참조하면, 데이터 드라이버(130)는 디지털 처리부(130a) 및 아날로그 처리부(130b)를 포함한다.

[0041] 상기 디지털 처리부(130a)는 쉬프트 레지스터(131), 및 래치부(133)로 이루어진다. 상기 쉬프트 레지스터(131) 및 래치부(133)는 상기 인쇄회로기판(200, 도 3에 도시됨)에 구비된 제1 및 제3 전압배선(201, 203)을 통해서 제1 소오스 전원전압(VSS1) 및 디지털 구동전압(DVDD)을 입력받아서 동작한다.

[0042] 상기 쉬프트 레지스터(131)는 종속적으로 연결된 k(2이상의 자연수)개의 스테이지(SRC1, SRC2, SRC3, SRC4...)로 이루어진다. 상기 쉬프트 레지스터(131)의 각 스테이지에는 수평클럭신호(HCLK)가 제공되고, 첫번째 스테이지(SRC1)에는 수평개시신호(STH)가 인가된다. 상기 수평개시신호(STH)가 인가되는 첫번째 스테이지(SRC1)의 동작이 개시되면, k개의 스테이지(SRC1, SRC2, SRC3, SRC4...)는 상기 수평클럭신호(HCLK)에 응답하여 순차적으로 제어신호를 출력한다.

[0043] 상기 래치부(133)는 k개의 래치(133a)로 이루어지고, 상기 k개의 래치(133a)는 상기 k개의 스테이지(SRC1, SRC2, SRC3, SRC4...)와 일대일 대응하여 연결된다. 따라서, 상기 k개의 래치(133a)는 상기 k개의 스테이지(SRC1, SRC2, SRC3, SRC4...)로부터 순차적으로 출력된 제어신호에 응답하여 k개의 데이터 신호(RGB-Data)를 각각 저장한다.

[0044] 상기 아날로그 처리부(130b)는 D/A 컨버터(135) 및 출력버퍼(136)로 이루어진다. 상기 D/A 컨버터(135) 및 출력버퍼(136)는 상기 인쇄회로기판(200)에 구비된 제2 및 제4 전압배선(202, 204)을 통해서 제2 소오스 전원전압(VSS2) 및 아날로그 구동전압(AVDD)을 입력받아서 동작한다.

[0045] 상기 D/A 컨버터(135)는 다수의 감마전압(Vgamma1~Vgammai)에 근거해서, 디지털 형태의 데이터 신호(RGB-DATA)를 아날로그 형태의 데이터 신호(DS1, DS2, DS3, DS4,...)로 변환한다.

[0046] 상기 출력 버퍼(136)는 k개의 오피 엠프(136a)로 이루어지고, 상기 D/A 컨버터(135)로부터 출력되는 아날로그 형태의 데이터 신호(DS1, DS2, DS3, DS4,...)를 저장한 후 출력개시신호(TP)에 동기해서 상기 액정표시패널(100)의 데이터 라인들로 공급한다.

[0047] 도 5는 본 발명의 다른 실시예에 따른 전압 안정화 회로를 나타낸 도면이다.

[0048] 도 5를 참조하면, 전압 안정화 회로(240)는 데이터 드라이버(130)를 구성하는 칩으로부터 제1 및 제2 소오스 전

원전압(VSS1, VSS2)을 피드백 받아서 노이즈를 필터링하기 위한 제1 내지 제3 필터(241, 242, 243)를 포함하고, 상기 제1 내지 제3 필터(241, 242, 243)는 인쇄회로기판(200) 상에 구비된다.

[0049] 상기 칩(130)은 상기 인쇄회로기판(200)에 구비된 제1 전압배선(201, 도 3에 도시됨)에 전기적으로 연결되어 상기 제1 소오스 전원전압(VSS1)을 입력받는 제1 단자(IT1), 및 상기 인쇄회로기판(200)에 구비된 제2 전압배선(202, 도 3에 도시됨)에 전기적으로 연결되어 상기 제2 소오스 전원전압(VSS2)을 입력받는 제2 단자(IT2)를 포함한다. 상기 제1 및 제2 전압배선(201, 202)은 연성회로기판(300)을 경유하여 상기 액정표시패널(100)의 어레이 기판(110) 측으로 연장되어 상기 제1 및 제2 단자(IT1, IT2)에 각각 전기적으로 연결된다.

[0050] 상기 칩(130)은 상기 제1 단자(IT1)에 연결되고, 상기 제1 소오스 전원전압(VSS1)을 상기 전압 안정화 회로(240)로 피드백시키는 제1 피드백 단자(FT1), 및 상기 제2 단자(IT2)에 연결되고, 상기 제2 소오스 전원전압(VSS2)을 상기 전압 안정화 회로(240)로 피드백시키는 제2 피드백 단자(FT2)를 더 포함한다. 상기 제1 및 제2 피드백 단자(FT1, FT2) 각각은 상기 칩(130)에 구비되는 더미 단자들(미도시) 중 어느 하나로 이루어질 수 있다.

[0051] 상기 제1 필터(241)는 상기 제1 단자(IT1)와 상기 제1 피드백 단자(FT1) 사이에 구비되어 상기 제1 피드백 단자(FT1)로부터 공급된 상기 제1 소오스 전원전압(VSS1)의 노이즈를 필터링하여 상기 제1 단자(IT1)로 공급한다. 구체적으로, 상기 제1 필터(241)는 상기 제1 단자(IT1)와 상기 제1 피드백 단자(FT1) 사이에 연결된 제1 저항(R1) 및 상기 제1 저항(R1)에 병렬 연결된 제1 커패시터(C1)를 포함한다. 따라서, 상기 제1 피드백 단자(FT1)를 통해서 피드백된 상기 제1 소오스 전원전압(VSS1)이 상기 제1 필터(241)를 통과하면 노이즈 성분은 제거되고, DC 성분만이 상기 제1 단자(IT1)로 제공된다.

[0052] 상기 제2 필터(242)는 상기 제2 단자(IT2)와 상기 제2 피드백 단자(FT2) 사이에 구비되어 상기 제2 피드백 단자(FT2)로부터 공급된 상기 제2 소오스 전원전압(VSS2)의 노이즈를 필터링하여 상기 제2 단자(IT2)로 공급한다. 상기 제3 필터(243)는 상기 제1 단자(IT1)와 상기 제2 단자(IT2) 사이에 구비된다. 상기 제2 및 제3 필터(242, 243)은 상기 제1 필터(241)와 동일한 구조를 가진다.

[0053] 이처럼, 상기 전압 안정화 회로(240)를 상기 인쇄회로기판(200)에 구비함으로써, 상기 노이즈로 인해 저하되는 상기 칩(130)의 구동 마진을 향상시킬 수 있다.

[0054] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

[0055] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 평면도이다.

[0056] 도 2는 도 1에 도시된 액정표시장치의 블럭도이다.

[0057] 도 3은 도 1에 도시된 인쇄회로기판의 단층 구조를 나타낸 도면이다.

[0058] 도 4는 도 2에 도시된 데이터 드라이버의 블럭도이다.

[0059] 도 5는 본 발명의 다른 실시예에 따른 전압 안정화 회로를 나타낸 도면이다.

[0060] *도면의 주요 부분에 대한 부호의 설명*

[0061] 100 : 액정표시패널 130 : 데이터 드라이버

[0062] 140 : 게이트 드라이버 200 : 인쇄회로기판

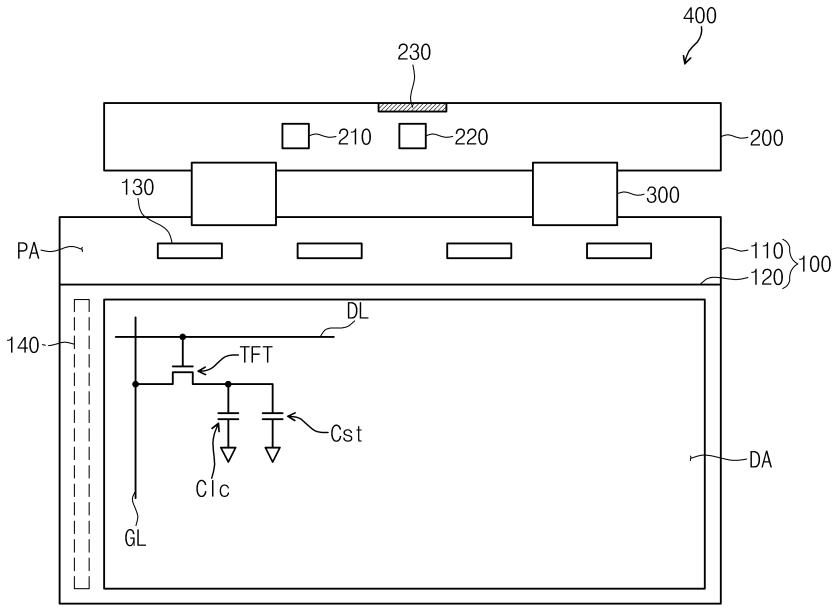
[0063] 210 : 타이밍 컨트롤러 220 : DC/DC 컨버터

[0064] 230 : 커넥터 300 : 연성회로필름

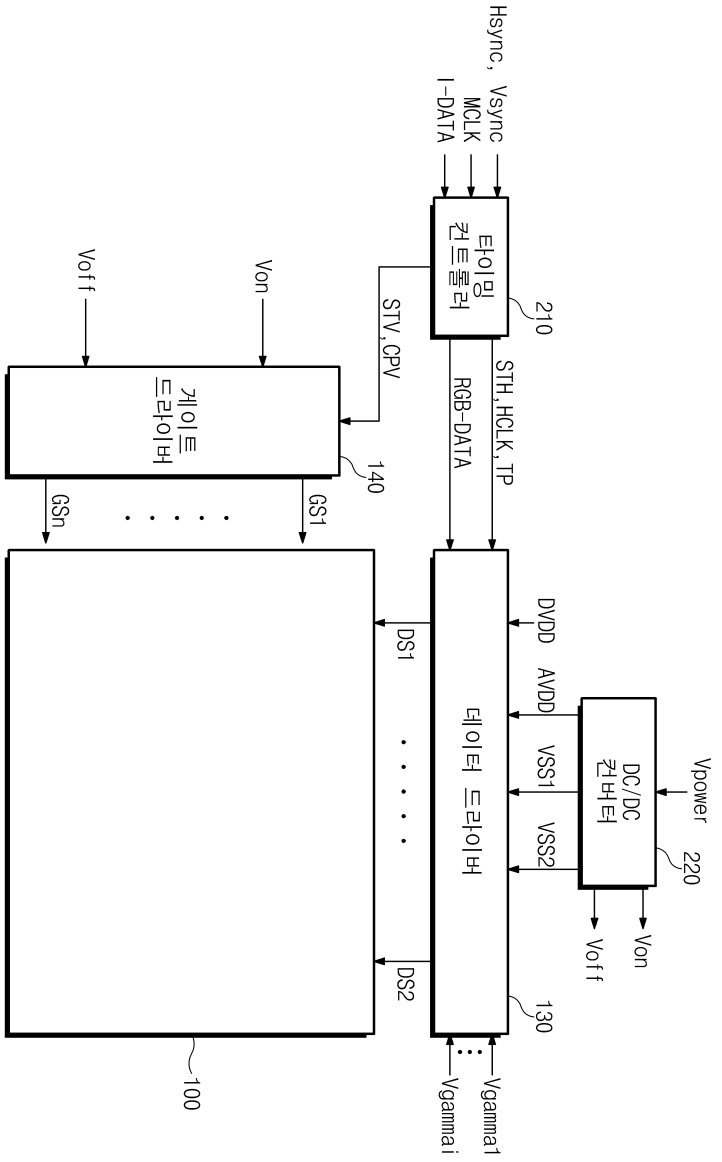
[0065] 400 : 액정표시장치

도면

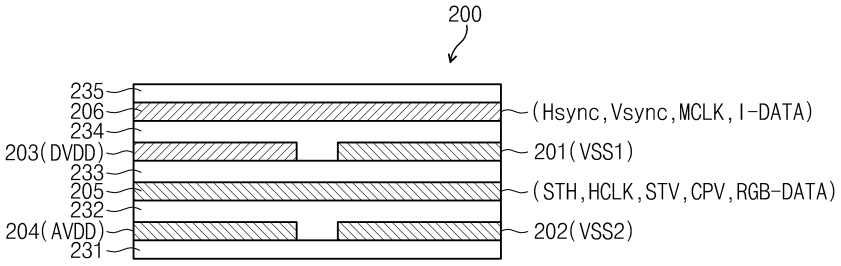
도면1


400
230
210
220
200
130
300
PA
110
120
100
DL
140
TFT
Cst
Clc
DA
GL

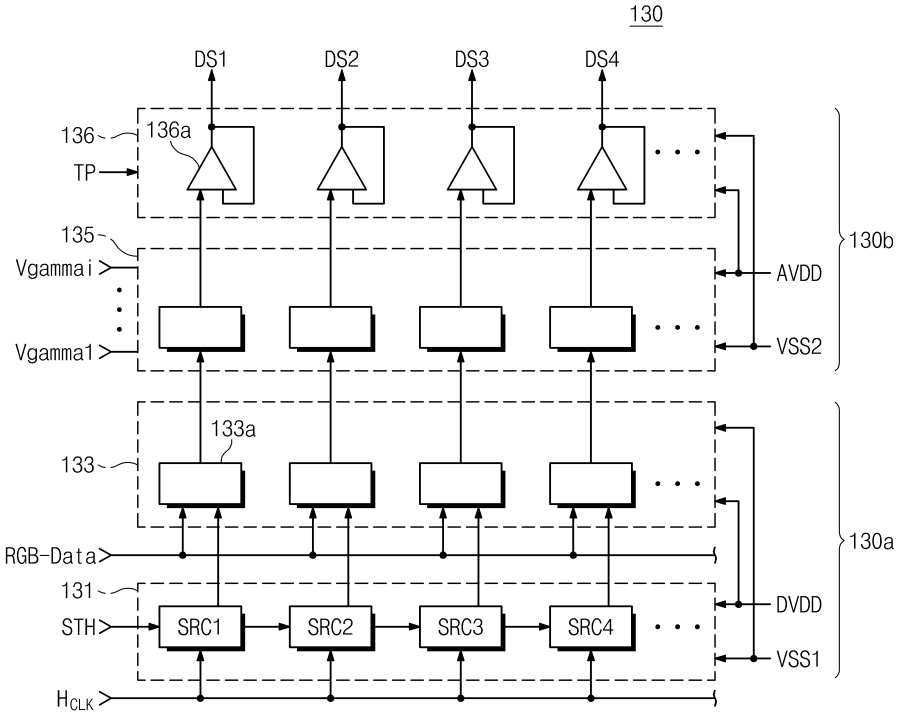
도면2


Hsync, Vsync
MCLK
I-DATA
타이밍 컨트롤러
210
Voff
Von
STV,CPV
게이트 드라이버
140
RGB-DATA
STH,HCLK,TP
GSn
GS1
DS1
DS2
데이터 드라이버
130
DVDD
AVDD
VSS1
VSS2
DC/DC 컨버터
220
Vpower
Voff
Von
100
Vgammai
Vgamma1

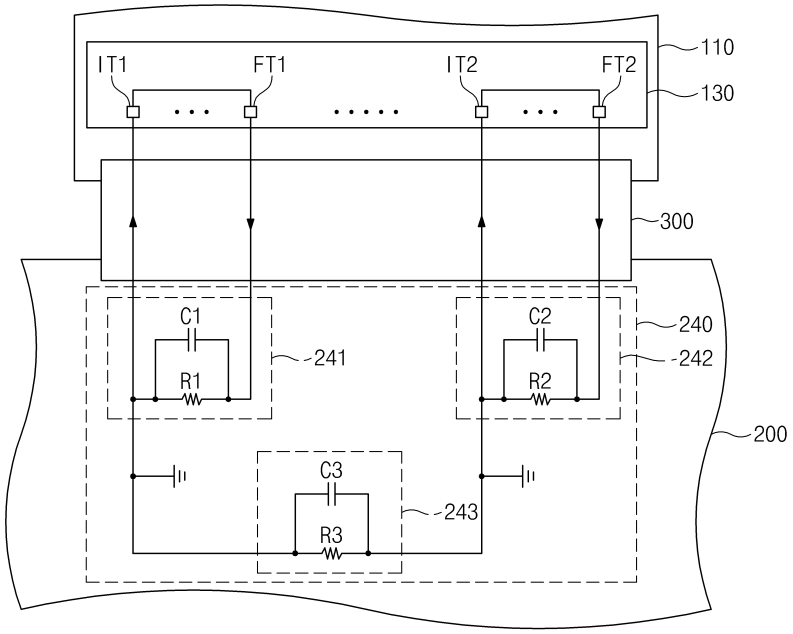
도면3


200
235
206
234
203(DVDD)
233
205
232
204(AVDD)
231
(Hsync,Vsync,MCLK,I-DATA)
201(VSS1)
(STH,HCLK,STV,CPV,RGB-DATA)
202(VSS2)

도면4


130
DS1
DS2
DS3
DS4
136
136a
TP
135
Vgammai
Vgamma1
AVDD
VSS2
130b
133a
133
RGB-Data
131
STH
SRC1
SRC2
SRC3
SRC4
DVDD
VSS1
130a
HCLK

도면5


IT1
FT1
IT2
FT2
110
130
300
C1
R1
241
C2
R2
240
242
200
C3
R3
243