

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-92829  
(P2016-92829A)

(43) 公開日 平成28年5月23日(2016.5.23)

(51) Int.Cl.

**H03K 3/354 (2006.01)**

F I

H03K 3/354  
H03K 3/354

テーマコード(参考)

B  
C

審査請求 未請求 請求項の数 8 O L (全 66 頁)

(21) 出願番号 特願2015-211423 (P2015-211423)  
(22) 出願日 平成27年10月28日(2015.10.28)  
(31) 優先権主張番号 特願2014-222832 (P2014-222832)  
(32) 優先日 平成26年10月31日(2014.10.31)  
(33) 優先権主張国 日本国(JP)

(71) 出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(72) 発明者 岡本 佑樹  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内  
(72) 発明者 黒川 義元  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内

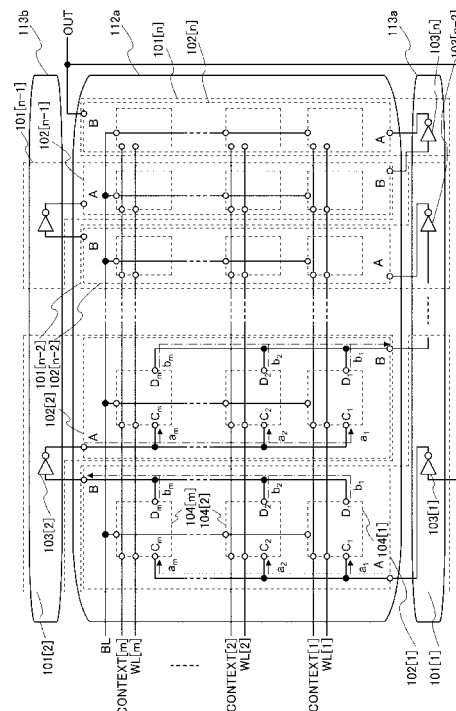
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】発振周波数の精度を向上させること、又はそれを実現可能な回路構成を提供する。

【解決手段】発振回路を有し、発振回路は、第1乃至第n(nは3以上の奇数)のインバータと、第1の回路と、第2の回路と、を有し、第1の回路および第2の回路の第1の端子は、第i(iは1乃至n-1のいずれか)のインバータの出力端子と電気的に接続され、第1の回路および第2の回路の第2の端子は、第i+1のインバータの入力端子と電気的に接続され、第iのインバータの出力端子と第1の回路の第1の端子との間の配線経路と、第1の回路の第2の端子と第i+1のインバータの入力端子との間の配線経路と、の長さの和と、第iのインバータの出力端子と第2の回路の第1の端子との間の配線経路と、第2の回路の第2の端子と第i+1のインバータの入力端子との間の配線経路と、の長さの和が、概略等しい半導体装置。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

発振回路を有し、

前記発振回路は、第 1 乃至第  $n$  ( $n$  は 3 以上の奇数) のインバータと、第 1 の回路と、第 2 の回路と、を有し、

前記第 1 の回路の第 1 の端子は、前記第  $i$  ( $i$  は 1 乃至  $n - 1$  のいずれか) のインバータの出力端子と電氣的に接続され、

前記第 1 の回路の第 2 の端子は、前記第  $i + 1$  のインバータの入力端子と電氣的に接続され、

前記第 2 の回路の第 1 の端子は、前記第  $i$  のインバータの出力端子と電氣的に接続され

10

、  
前記第 2 の回路の第 2 の端子は、前記第  $i + 1$  のインバータの入力端子と電氣的に接続され、

前記第  $i$  のインバータの出力端子と前記第 1 の回路の第 1 の端子との間の配線経路と、前記第 1 の回路の第 2 の端子と前記第  $i + 1$  のインバータの入力端子との間の配線経路と、の長さの和と、

前記第  $i$  のインバータの出力端子と前記第 2 の回路の第 1 の端子との間の配線経路と、前記第 2 の回路の第 2 の端子と前記第  $i + 1$  のインバータの入力端子との間の配線経路と、の長さの和が、概略等しいことを特徴とする半導体装置。

## 【請求項 2】

20

請求項 1 において、

前記第 1 の回路および前記第 2 の回路の少なくとも一部の上に絶縁膜を有し、

前記絶縁膜の上に、前記第  $i$  のインバータの出力端子と電氣的に接続された第 1 の配線と、前記第  $i + 1$  のインバータの入力端子と電氣的に接続された第 2 の配線を有し、

前記第 1 の配線は、前記絶縁膜に設けられた第 1 の開口部を介して前記第 1 の回路の第 1 の端子と電氣的に接続され、且つ前記絶縁膜に設けられた第 2 の開口部を介して前記第 2 の回路の第 1 の端子と電氣的に接続され、

前記第 2 の配線は、前記絶縁膜に設けられた第 3 の開口部を介して前記第 1 の回路の第 2 の端子と電氣的に接続され、且つ前記絶縁膜に設けられた第 4 の開口部を介して前記第 2 の回路の第 2 の端子と電氣的に接続され、

30

前記第 1 の開口部と前記第 2 の開口部の間の距離は、前記第 3 の開口部と前記第 4 の開口部の間の距離と概略等しいことを特徴とする半導体装置。

## 【請求項 3】

請求項 1 または請求項 2 において、

前記第  $j$  ( $j$  は 1 以上  $n$  以下の奇数) のインバータが設けられた第 1 の領域と、

前記第 1 の回路および前記第 2 の回路が設けられた第 2 の領域と、

前記第  $k$  ( $k$  は 2 以上  $n - 1$  以下の偶数) のインバータが設けられた第 3 の領域と、を有し、

前記第 1 の領域と前記第 3 の領域の間に、前記第 2 の領域が位置することを特徴とする半導体装置。

40

## 【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 1 の回路は、第 1 のデータを格納する機能を有し、

前記第 1 の回路は、第 1 の端子と第 2 の端子とを非導通にするか、第 1 の端子と第 2 の端子との間の抵抗値を前記第 1 のデータに基づいた値にするかを切り替える機能を有し、

前記第 2 の回路は、第 2 のデータを格納する機能を有し、

前記第 2 の回路は、第 1 の端子と第 2 の端子とを非導通にするか、第 1 の端子と第 2 の端子との間の抵抗値を前記第 2 のデータに基づいた値にするかを切り替える機能を有することを特徴とする半導体装置。

## 【請求項 5】

50

請求項 1 乃至請求項 4 のいずれか一項において、  
前記第 1 のデータ及び前記第 2 のデータは、アナログ電位であることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、  
前記第 1 の回路は、第 1 のトランジスタと、第 1 の容量素子と、を有し、  
前記第 2 の回路は、第 2 のトランジスタと、第 2 の容量素子と、を有し、  
前記第 1 のデータは、前記第 1 のトランジスタを介して前記第 1 の容量素子に入力され、  
前記第 2 のデータは、前記第 2 のトランジスタを介して前記第 2 の容量素子に入力され、  
前記第 1 のトランジスタは、チャンネル形成領域に酸化物半導体を有し、  
前記第 2 のトランジスタは、チャンネル形成領域に酸化物半導体を有することを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、  
前記第 1 の回路は、第 3 のトランジスタと、第 4 のトランジスタと、を有し、  
前記第 2 の回路は、第 5 のトランジスタと、第 6 のトランジスタと、を有し、  
前記第 3 のトランジスタ及び前記第 4 のトランジスタは、前記第 1 の回路の第 1 の端子と前記第 1 の回路の第 2 の端子との間に直列に電氣的に接続され、  
前記第 5 のトランジスタ及び前記第 6 のトランジスタは、前記第 2 の回路の第 1 の端子と前記第 2 の回路の第 2 の端子との間に直列に電氣的に接続され、  
前記第 3 のトランジスタのソースとドレインとの間の抵抗値は、前記第 1 のデータに基づいた値を有し、  
前記第 4 のトランジスタは、前記第 1 の回路の第 1 の端子と前記第 1 の回路の第 2 の端子との導通又は非導通を制御する機能を有し、  
前記第 5 のトランジスタのソースとドレインとの間の抵抗値は、前記第 2 のデータに基づいた値を有し、  
前記第 6 のトランジスタは、前記第 2 の回路の第 1 の端子と前記第 2 の回路の第 2 の端子との導通又は非導通を制御する機能を有することを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、  
PLL を有し、  
前記 PLL は、前記発振回路と、分周器と、位相比較器と、ループフィルタと、を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置等の装置又はその駆動方法に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニファクチャ、または、組成物（コンビジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

【背景技術】

【0003】

PLL (Phase Locked Loop) の開発が活発に進められている（非特

許文献 1 参照)。PLL は、CPU、又はプログラマブルロジックデバイス等の回路において、回路を所望の動作速度で動作させるために用いられる。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献 1】X. Gao, A. M. Klumperink, P. F. J. Geraedts, B. Nauta, "Jitter Analysis and a Benchmarking Figure-of-Merit for Phase-Locked Loops" IEEE Trans. On Circuits and Systems - II, vol. 56, no. 2, pp. 117 - 121, Feb. 2009

10

【発明の概要】

【発明が解決しようとする課題】

【0005】

従来の PLL 回路では、発振周波数を瞬時に切り替えることが困難であった。

【0006】

本発明の一態様は、新規の回路構成を提供することを課題の一とする。本発明の一態様は、発振周波数を切り替えること、又はそれを実現可能な回路構成を提供することを課題の一とする。本発明の一態様は、発振周波数の精度を向上させること、又はそれを実現可能な回路構成を提供すること課題の一とする。

20

【0007】

なお、本発明の一態様は、新規な半導体装置などの提供を、課題の一つとする。なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0008】

本発明の一態様は、発振回路を有し、発振回路は、第 1 乃至第  $n$  ( $n$  は 3 以上の奇数) のインバータと、第 1 の回路と、第 2 の回路と、を有し、第 1 の回路の第 1 の端子は、第  $i$  ( $i$  は 1 乃至  $n - 1$  のいずれか) のインバータの出力端子と電氣的に接続され、第 1 の回路の第 2 の端子は、第  $i + 1$  のインバータの入力端子と電氣的に接続され、第 2 の回路の第 1 の端子は、第  $i$  のインバータの出力端子と電氣的に接続され、第 2 の回路の第 2 の端子は、第  $i + 1$  のインバータの入力端子と電氣的に接続され、第  $i$  のインバータの出力端子と第 1 の回路の第 1 の端子との間の配線経路と、第 1 の回路の第 2 の端子と第  $i + 1$  のインバータの入力端子との間の配線経路と、の長さの和と、第  $i$  のインバータの出力端子と第 2 の回路の第 1 の端子との間の配線経路と、第 2 の回路の第 2 の端子と第  $i + 1$  のインバータの入力端子との間の配線経路と、の長さの和が、概略等しいことを特徴とする半導体装置である。

30

【0009】

また、本発明の他の一態様は、第 1 の回路および第 2 の回路の少なくとも一部の上に絶縁膜を有し、絶縁膜の上に、第  $i$  のインバータの出力端子と電氣的に接続された第 1 の配線と、第  $i + 1$  のインバータの入力端子と電氣的に接続された第 2 の配線を有し、第 1 の配線は、絶縁膜に設けられた第 1 の開口部を介して第 1 の回路の第 1 の端子と電氣的に接続され、且つ絶縁膜に設けられた第 2 の開口部を介して第 2 の回路の第 1 の端子と電氣的に接続され、第 2 の配線は、絶縁膜に設けられた第 3 の開口部を介して第 1 の回路の第 2 の端子と電氣的に接続され、且つ絶縁膜に設けられた第 4 の開口部を介して第 2 の回路の第 2 の端子と電氣的に接続され、第 1 の開口部と第 2 の開口部の間の距離は、第 3 の開口部と第 4 の開口部の間の距離と概略等しいことが好ましい。

40

【0010】

50

また、本発明の他の一態様は、第  $j$  ( $j$  は 1 以上  $n$  以下の奇数) のインバータが設けられた第 1 の領域と、第 1 の回路および第 2 の回路が設けられた第 2 の領域と、第  $k$  ( $k$  は 2 以上  $n - 1$  以下の偶数) のインバータが設けられた第 3 の領域と、を有し、第 1 の領域と第 3 の領域の間に、第 2 の領域が位置することが好ましい。

【0011】

また、本発明の他の一態様は、第 1 の回路は、第 1 のデータを格納する機能を有し、第 1 の回路は、第 1 の端子と第 2 の端子とを非導通にするか、第 1 の端子と第 2 の端子との間の抵抗値を第 1 のデータに基づいた値にするかを切り替える機能を有し、第 2 の回路は、第 2 のデータを格納する機能を有し、第 2 の回路は、第 1 の端子と第 2 の端子とを非導通にするか、第 1 の端子と第 2 の端子との間の抵抗値を第 2 のデータに基づいた値にするかを切り替える機能を有することが好ましい。

10

【0012】

また、本発明の他の一態様は、第 1 のデータ及び第 2 のデータは、アナログ電位であってもよい。

【0013】

また、本発明の他の一態様は、第 1 の回路は、第 1 のトランジスタと、第 1 の容量素子と、を有し、第 2 の回路は、第 2 のトランジスタと、第 2 の容量素子と、を有し、第 1 のデータは、第 1 のトランジスタを介して第 1 の容量素子に入力され、第 2 のデータは、第 2 のトランジスタを介して第 2 の容量素子に入力され、第 1 のトランジスタは、チャンネル形成領域に酸化物半導体を有し、第 2 のトランジスタは、チャンネル形成領域に酸化物半導体を有していてもよい。

20

【0014】

また、本発明の他の一態様は、第 1 の回路は、第 3 のトランジスタと、第 4 のトランジスタと、を有し、第 2 の回路は、第 5 のトランジスタと、第 6 のトランジスタと、を有し、第 3 のトランジスタ及び第 4 のトランジスタは、第 1 の回路の第 1 の端子と第 1 の回路の第 2 の端子との間に直列に電氣的に接続され、第 5 のトランジスタ及び第 6 のトランジスタは、第 2 の回路の第 1 の端子と第 2 の回路の第 2 の端子との間に直列に電氣的に接続され、第 3 のトランジスタのソースとドレインとの間の抵抗値は、第 1 のデータに基づいた値を有し、第 4 のトランジスタは、第 1 の回路の第 1 の端子と第 1 の回路の第 2 の端子との導通又は非導通を制御する機能を有し、第 5 のトランジスタのソースとドレインとの間の抵抗値は、第 2 のデータに基づいた値を有し、第 6 のトランジスタは、第 2 の回路の第 1 の端子と第 2 の回路の第 2 の端子との導通又は非導通を制御する機能を有していてもよい。

30

【0015】

上記装置において、PLL を有していてもよい。PLL は、発振回路と、分周器と、位相比較器と、ループフィルタと、を有する。

【発明の効果】

【0016】

本発明の一態様により、新規の回路構成を提供することができる。本発明の一態様により、発振周波数を切り替えること、又はそれを実現可能な回路構成を提供することができる。本発明の一態様により、発振周波数の精度を向上させること、又はそれを実現可能な回路構成を提供することができる。

40

【0017】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0018】

【図 1】装置の構成を示す図。

50

- 【図 2】装置の構成を示す図。
- 【図 3】装置の構成を示す図。
- 【図 4】装置の動作を示す図。
- 【図 5】装置の動作を示す図。
- 【図 6】装置の動作を示す図。
- 【図 7】装置の動作を示す図。
- 【図 8】PLLの構成を示す図。
- 【図 9】装置の平面構造を示す図。
- 【図 10】装置の断面構造を示す図。
- 【図 11】トランジスタの構造を示す図。
- 【図 12】トランジスタの構造を示す図。
- 【図 13】装置の断面構造を示す図。
- 【図 14】装置の断面構造を示す図。
- 【図 15】電子機器の図。
- 【図 16】実施例に係る装置の写真。
- 【図 17】実施例に係る装置の平面構造を示す図。
- 【図 18】装置の動作を説明するグラフ。
- 【図 19】装置の動作を説明するグラフ。
- 【図 20】装置の動作を説明するグラフ。
- 【図 21】装置の動作を説明するグラフ。
- 【図 22】装置の動作を説明するグラフ。
- 【図 23】装置の動作を説明するグラフ。
- 【図 24】装置の動作を説明するグラフ。
- 【図 25】装置の動作を説明するグラフ。
- 【発明を実施するための形態】
- 【0019】

10

20

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

30

【0020】

本発明の一態様は、集積回路、RFタグ、半導体表示装置など、トランジスタを用いたあらゆる半導体装置を、その範疇に含む。なお、集積回路には、マイクロプロセッサ、画像処理回路、DSP(Digital Signal Processor)、マイクロコントローラを含むLSI(Large Scale Integrated Circuit)、FPGA(Field Programmable Gate Array)やCPLD(Complex PLD)などのプログラマブル論理回路(PLD: Programmable Logic Device)が、その範疇に含まれる。また、半導体表示装置には、液晶表示装置、有機発光素子(OLED)に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD(Digital Micromirror Device)、PDP(Plasma Display Panel)、FED(Field Emission Display)など、半導体膜を用いた回路素子を駆動回路に有している半導体表示装置が、その範疇に含まれる。

40

【0021】

本明細書において半導体表示装置とは、液晶素子や発光素子などの表示素子が各画素に形成されたパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを、その範疇に含む。

【0022】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と

50

、XとYとが直接接続されている場合とを含むものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【0023】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0024】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。

10

【0025】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

20

【0026】

なお、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

30

【0027】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合は、以下のように表現することが出来る。

40

【0028】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トラ

50

ンジスタのソース（又は第 1 の端子など）、トランジスタのドレイン（又は第 2 の端子など）、Y は、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第 1 の端子など）と、ドレイン（又は第 2 の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z 1、Z 2 は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

**【 0 0 2 9 】**

なお、本明細書において、トランジスタのソースとは、活性層として機能する半導体膜の一部であるソース領域、或いは上記半導体膜に接続されたソース電極を意味する。同様に、トランジスタのドレインとは、上記半導体膜の一部であるドレイン領域、或いは上記半導体膜に接続されたドレイン電極を意味する。また、ゲートはゲート電極を意味する。

10

**【 0 0 3 0 】**

トランジスタが有するソースとドレインは、トランジスタの導電型及び各端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、n チャネル型トランジスタでは、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。また、p チャネル型トランジスタでは、低い電位が与えられる端子がドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。

20

**【 0 0 3 1 】**

（実施の形態 1）

本実施の形態では、本発明の一態様に係る装置について説明する。本発明の一態様に係る装置にトランジスタ等の半導体素子を用いる場合、本発明の一態様に係る装置を半導体装置と呼んでもよい。

**【 0 0 3 2 】**

本発明の一態様に係る半導体装置の構成の一例を図 1 に示す。図 1 に例示する装置は、発振することにより、クロック信号等の交流信号を生成する機能を有し、発振器（発振回路ともいう）と呼んでもよい。特に、図 1 に例示する装置は、入力電圧に基づいて信号の周波数（発振周波数ともいう）を変更する機能を有し、電圧制御発振器（電圧制御発振回路ともいう）と呼んでもよい。

30

**【 0 0 3 3 】**

図 1 に例示する装置は、回路 1 0 1 [ 1 ] 乃至 1 0 1 [ n ]（n は 3 以上の奇数）を有する。回路 1 0 1 [ 1 ] 乃至 1 0 1 [ n ] は、リング状に接続される。具体的には、回路 1 0 1 [ 1 ] 乃至 [ n - 1 ] のそれぞれは、出力端子が次段の回路の入力端子と接続される。回路 1 0 1 [ n ] は、出力端子が回路 1 0 1 [ 1 ] の入力端子と接続される。また、回路 1 0 1 [ n ] の出力端子は、端子 O U T と接続される。端子 O U T からは、図 1 に例示する装置が発振することによって生成される信号が出力される。

**【 0 0 3 4 】**

なお、図 1 に例示する装置が発振することによって生成される信号は、バッファ等を介して出力されてもよい。

40

**【 0 0 3 5 】**

回路 1 0 1 [ 1 ] 乃至 [ n ] のそれぞれは、入力信号に対し反転した信号を出力する機能を有する。また、回路 1 0 1 [ 1 ] 乃至 1 0 1 [ n ] のそれぞれは、複数のデータを格納する機能を有し、格納した複数のデータに基づいて遅延時間を設定する機能を有する。遅延時間とは、入力信号に対する出力信号の遅延時間である。回路 1 0 1 [ 1 ] 乃至 1 0 1 [ n ] のそれぞれは、複数のデータを格納することができるため、遅延時間を切り替えることができる。

**【 0 0 3 6 】**

50



図1に例示する装置は、回路101[1]乃至101[n]のそれぞれの遅延時間を切り替えることによって、発振周波数を変更することができる。

【0037】

回路101[1]乃至101[n]は、それぞれ対応して回路102[1]乃至102[n]及びインバータ103[1]乃至103[n]を有することが好ましい。回路102[i](iは1以上n-1以下の自然数)は、端子Aがインバータ103[i]の出力端子と電氣的に接続され、回路102[i]の端子Bがインバータ103[i+1]の入力端子と電氣的に接続される。回路102[n]は、端子Aがインバータ103[n]の出力端子と電氣的に接続され、回路102[n]の端子Bがインバータ103[1]の入力端子および端子OUTに電氣的に接続される。即ち、インバータ103[1]乃至103[n]がリング状に接続され、インバータリングを構成する。そして、インバータ103[1]乃至103[n]のそれぞれの間に回路102[1]乃至102[n]のうち対応する一つが接続される。なお、回路102[1]乃至102[n]について特に限定する必要のない場合、回路102と表記する場合がある。また、インバータ103[1]乃至103[n]について特に限定する必要のない場合、インバータ103と表記する場合がある。

10

【0038】

回路102[1]乃至102[n]のそれぞれは、複数のデータを記憶する機能を有し、格納した複数のデータに基づいて端子Aと端子Bとの間の抵抗値を設定する機能を有する。回路102[1]乃至102[n]のそれぞれは、複数のデータを格納することができるため、端子Aと端子Bとの間の抵抗値を切り替えることができる。

20

【0039】

インバータ103[1]乃至103[n]のそれぞれは、入力信号に対し反転した信号を出力する機能を有する。

【0040】

なお、インバータ103[1]乃至103[n]の代わりに、入力信号に対し反転した信号を出力する機能を有する回路を採用してもよい。そのような回路としては、NAND回路又はNOR回路などがある。

【0041】

図1に例示する装置は、回路101[1]乃至101[n]のそれぞれにおいて、回路102の端子Aと端子Bとの間の抵抗値を切り替えることにより、発振周波数を変更することができる。具体的には、回路102の端子Aと端子Bとの間の抵抗値を切り替えると、インバータ103の出力端子にかかる負荷が変化する。よって、回路101[1]乃至101[n]のそれぞれにおいて遅延時間が変化するため、発振周波数も変化する。

30

【0042】

なお、図1に示す装置において、インバータ103[1]乃至103[n]のそれぞれの間に回路102[1]乃至102[n]のうち対応する一つが接続される構成としているが、本実施の形態に示す半導体装置は、これに限られるものではない。インバータ103[1]乃至103[n]のうち少なくとも2つの間に回路102が接続されていれば発振周波数を変化させることができる。

40

【0043】

回路102[1]乃至102[n]はそれぞれ、回路104[1]乃至104[m](mは2以上の自然数)を有する。回路104[1]乃至104[m]において、端子C<sub>1</sub>乃至C<sub>m</sub>が回路102の端子Aと電氣的に接続され、端子D<sub>1</sub>乃至D<sub>m</sub>が回路102の端子Bと電氣的に接続される。また、回路104[1]乃至104[m]のそれぞれは、配線BL、配線CONTEXT[1]乃至CONTEXT[m]のうち対応する1本の配線、配線WL[1]乃至WL[m]のうち対応する1本の配線と電氣的に接続される。配線WL[1]乃至WL[m]のうち対応する1本の配線とは、回路104[j](jは1乃至mのいずれか一)においては配線WL[j]である。また、配線CONTEXT[1]乃至CONTEXT[m]のうち対応する1本の配線とは、回路104[j]においては

50

配線  $CONTEXT[j]$  である。また、端子  $C_1$  乃至  $C_m$  について特に限定する必要のない場合、端子  $C$  と表記する場合がある。また、端子  $D_1$  乃至  $D_m$  について特に限定する必要のない場合、端子  $D$  と表記する場合がある。

【0044】

なお、以下では、配線  $WL$ 、配線  $CONTEXT$  が延伸される方向を行方向と呼び、回路  $104[1]$  乃至  $104[m]$  が配列されている方向を列方向と呼ぶ場合がある。

【0045】

ここで、回路  $102$  の端子  $A$  は同じ段のインバータ  $103$  の出力端子と電氣的に接続され、回路  $102$  の端子  $B$  は次の段のインバータ  $103$  の入力端子と電氣的に接続されている。よって、本明細書等において、回路  $102$  の端子  $A$  を同じ段のインバータ  $103$  の出力端子と置き換えて表現する場合がある。また、本明細書等において、回路  $102$  の端子  $B$  を次の段のインバータ  $103$  の入力端子と置き換えて表現する場合がある。つまり、回路  $104[1]$  乃至  $104[m]$  において、端子  $C_1$  乃至  $C_m$  は回路  $102$  の同じ段のインバータ  $103$  の出力端子と電氣的に接続され、端子  $D_1$  乃至  $D_m$  が次の段のインバータ  $103$  の入力端子と電氣的に接続されている、ということが出来る。

10

【0046】

回路  $102$  の詳細な構成の一例として、回路  $102[i]$  の構成について図2を参照して説明する。

【0047】

回路  $104[1]$  乃至  $104[m]$  のそれぞれは、トランジスタ  $105$ 、トランジスタ  $106$ 、トランジスタ  $107$  及び容量素子  $108$  を有する。以下では、回路  $104$  の例として回路  $104[j]$  の接続関係について説明する。なお、回路  $104[1]$  乃至  $104[j-1]$ 、回路  $104[j+1]$  乃至  $104[m]$  の接続関係についても回路  $104[j]$  同様である。

20

【0048】

回路  $104[j]$  において、トランジスタ  $105$  の第1の端子は配線  $BL$  と電氣的に接続され、トランジスタ  $105$  の第2の端子はトランジスタ  $106$  のゲートと電氣的に接続され、トランジスタ  $105$  のゲートは配線  $WL[j]$  と電氣的に接続される。トランジスタ  $106$  の第1の端子は端子  $C_j$  と電氣的に接続される。トランジスタ  $107$  の第1の端子はトランジスタ  $106$  の第2の端子と電氣的に接続され、トランジスタ  $107$  の第2の端子は端子  $D_j$  と電氣的に接続され、トランジスタ  $107$  のゲートは配線  $CONTEXT[j]$  と電氣的に接続される。容量素子  $108$  の第1の端子はトランジスタ  $106$  のゲートと電氣的に接続され、容量素子  $108$  の第2の端子は所定の電位が供給される配線と電氣的に接続される。

30

【0049】

なお、トランジスタ  $106$  及びトランジスタ  $107$  は端子  $C_j$  と端子  $D_j$  との間に直列に接続されていればよく、トランジスタ  $106$  及びトランジスタ  $107$  の位置は反対であってもよい。

【0050】

回路  $102$  の端子  $A$  と端子  $B$  との間の抵抗値は、回路  $104[1]$  乃至  $104[m]$  のそれぞれの端子  $C$  と端子  $D$  との間の抵抗値の合成抵抗と概ね等しくなる。よって、回路  $102$  の端子  $A$  と端子  $B$  との間の抵抗値の切り替えは、回路  $104[1]$  乃至  $104[m]$  のそれぞれにおいて端子  $C$  と端子  $D$  との間の抵抗値を制御することによって行うことができる。

40

【0051】

回路  $104[1]$  乃至  $104[m]$  のそれぞれは、ノード  $SN$  に電位を格納し、その電位に基づいてトランジスタ  $106$  の第1の端子と第2の端子（以下、ソースとドレインと記載する場合がある。）との間の抵抗値を設定する機能を有する。ノード  $SN$  への電位の格納は、トランジスタ  $105$  をオンにすることにより、配線  $BL$  の電位をノード  $SN$  に入力するとともに、配線  $BL$  の電位に基づいた電荷を容量素子  $108$  に蓄積することによ

50

て行うことができる。また、回路104[1]乃至104[m]のそれぞれは、ノードSNにアナログ電位を格納することができる。よって、回路104[1]乃至104[m]のそれぞれにおいて、ノードSNに異なる電位を格納し、トランジスタ106の第1の端子と第2の端子との間の抵抗値を異ならせることができる。トランジスタ106がNチャネル型であれば、ノードSNの電位が高いほど、トランジスタ106の第1の端子と第2の端子との間の抵抗値が小さくなる。また、トランジスタ106がPチャネル型であれば、ノードSNの電位が低いほど、トランジスタ106の第1の端子と第2の端子との間の抵抗値が小さくなる。

#### 【0052】

トランジスタ105としては、チャネル形成領域に酸化物半導体を有するトランジスタを採用することが好ましい。後述するとおり、チャネル形成領域に酸化物半導体を有するトランジスタはオフ電流が小さいため、容量素子108からの電荷の漏れを少なくすることができる。特に、アナログ電位に基づいた電荷を容量素子108に蓄積する場合、デジタル電位と比較して微量な電位の変化でもデータを変動させる恐れがある。このため、トランジスタ105としてチャネル形成領域に酸化物半導体を有するトランジスタを採用する効果がより顕著に表れる。

10

#### 【0053】

なお、ノードSNに格納する電位は、トランジスタ106がオンになる電位であることが好ましい。よって、トランジスタ106のソースとドレインとの間の抵抗値はトランジスタ106のオン抵抗と言い換えることもできる。

20

#### 【0054】

なお、トランジスタ106のゲート容量等のノードSNの寄生容量に配線BLの電位に基づいた電荷を蓄積することができれば、容量素子108を省略してもよい。

#### 【0055】

回路104[1]乃至104[m]のそれぞれは、端子Cと端子Dとの導通又は非導通を切り替える機能を有する。端子Cと端子Dとの間の導通又は非導通の切り替えは、トランジスタ107のオン又はオフを制御して行うことができる。回路104[1]乃至104[m]は、トランジスタ107がオンであれば、端子Cと端子Dとが導通するため、端子Cと端子Dとの間の抵抗値はトランジスタ106のソースとドレインとの間の抵抗値に依存した値になる。具体的には、端子Cと端子Dとの間の抵抗値は、トランジスタ106のソースとドレインとの間の抵抗値とトランジスタ107がオンであるときのソースとドレインとの間の抵抗値との和と概ね等しくなる。一方、トランジスタ107がオフであれば、端子Cと端子Dとは導通は非導通になるため、トランジスタ106のソースとドレインとの間の抵抗値に係らず、端子Cと端子Dとはハイインピーダンスになる。

30

#### 【0056】

つまり、回路104[1]乃至104[m]のそれぞれは、端子Cと端子Dとを非導通にするか、端子Cと端子Dとの間の抵抗値を格納したデータに基づいた値にするかを切り替える機能を有する。

#### 【0057】

回路102の端子Aと端子Bとの間の抵抗値の切り替えは様々な方法を用いることが可能である。

40

#### 【0058】

回路102の端子Aと端子Bとの間の抵抗値の切り替えは、回路104[1]乃至104[m]の中から端子Cと端子Dとを導通にする回路を1つ以上選択し、その数を制御することによって行うことができる。回路104[1]乃至104[m]のそれぞれに同じデータが格納されている場合、回路104[1]乃至104[m]のそれぞれにおいてトランジスタ106のソースとドレインとの間の抵抗値は同じである。そこで、回路104[1]乃至104[m]のうち端子Cと端子Dとを導通にする回路の数を制御することにより、回路102の端子Aと端子Bとの間の抵抗値を制御することができる。

#### 【0059】

50

回路102の端子Aと端子Bとの間の抵抗値の切り替えは、回路104[1]乃至104[m]の中から端子Cと端子Dとを導通にする回路を1つ選択し、その回路に格納されているデータに基づいて行うことができる。回路104[1]乃至104[m]のそれぞれに異なるデータが格納されている場合、回路104[1]乃至104[m]のそれぞれにおいてトランジスタ106のソースとドレインとの間の抵抗値は異なる。そこで、回路104[1]乃至104[m]のうちどれを選択するかによって、回路102の端子Aと端子Bとの間の抵抗値を制御することができる。

#### 【0060】

なお、上記2つ例を適宜組み合わせてもよい。即ち、回路104[1]乃至104[m]のうち少なくとも2以上に異なるデータを格納するとともに、回路104[1]乃至104[m]の中から端子Cと端子Dとを導通にする回路を1つ以上選択することによって、回路102の端子Aと端子Bとの間の抵抗値を切り替えてもよい。

10

#### 【0061】

ところで、発振周波数の精度向上の観点において、特定のデータに対応する発振周波数は概略等しいことが好ましい。具体的には、回路104[1]乃至104[m]のいずれか一に特定のデータを格納する場合、回路104[1]乃至104[m]のどれに当該データを格納したとしても、発振周波数は概略等しいことが好ましい。

#### 【0062】

上記の通り、本実施の形態に示す半導体装置は、回路101[1]乃至101[n]のそれぞれの遅延時間を切り替えることによって、発振周波数を変更することができる。回路101[1]乃至101[n]のそれぞれの遅延時間は、回路102[1]乃至102[n]のそれぞれの端子Aと端子Bの間の抵抗値によって決定され、回路102の端子Aと端子Bの間の抵抗値は、回路104[1]乃至104[m]に格納されたデータによって制御される。

20

#### 【0063】

逆に言うと、回路104[1]乃至104[m]に格納されたデータが同じであっても、回路102の端子Aと端子Bの間の抵抗値が異なる場合、発振周波数が変化する恐れがある。

#### 【0064】

例えば、回路104[1]にのみ特定のデータを格納する場合と、回路104[m]にのみ当該特定のデータと同じデータを格納する場合とについて考える。このとき、端子Aから端子Bまで回路104[1]を経由する配線経路と、回路104[m]を経由する配線経路とで配線経路の長さが異なると、配線経路の選択によって、端子Aと端子Bの間の配線抵抗が異なることになる。つまり、回路104[1]と回路104[m]で同じデータを格納しても、発振周波数が異なる恐れがある。

30

#### 【0065】

そのため、本実施の形態に示す半導体装置では、回路102において、どの回路104を経由する配線経路を選択しても端子Aと端子Bの間の配線経路の長さが概略等しくなる構成とする。なお、本明細書等において、「Aの長さ」とBの長さが概略等しい」などと記載する場合、Aの長さ」とBの長さは完全に一致する必要はない。例えば、Aの長さ」とBの長さの差が、Aの長さまたはBの長さの20%以下、好ましくは10%以下、より好ましくは5%以下、の範囲ならば概略等しいとみなすことができる。

40

#### 【0066】

具体的には、図1に示すように回路102において、端子Aと端子C<sub>1</sub>の間の配線経路の長さ(a<sub>1</sub>)と、端子D<sub>1</sub>と端子Bの間の配線経路の長さ(b<sub>1</sub>)との和が、端子Aと端子C<sub>2</sub>の間の配線経路の長さ(a<sub>2</sub>)と、端子D<sub>2</sub>と端子Bの間の配線経路の長さ(b<sub>2</sub>)との和と等しく、また同様に端子Aと端子C<sub>m</sub>の間の配線経路の長さ(a<sub>m</sub>)と、端子D<sub>m</sub>と端子Bの間の配線経路の長さ(b<sub>m</sub>)との和と等しい。図1に図示してはいないが、端子Aと端子C<sub>3</sub>乃至C<sub>m-1</sub>の間の配線経路および端子D<sub>3</sub>乃至D<sub>m-1</sub>と端子Bの間の配線経路についても同様のことが言える。

50

## 【 0 0 6 7 】

言い換えると、本実施の形態に示す半導体装置では、回路 1 0 2 において端子 A と端子  $C_1$  乃至  $C_m$  の間に設けられた配線経路の長さ、端子  $D_1$  乃至  $D_m$  と端子 B の間に設けられた配線経路の長さの関係は、

$a_1 + b_1 = a_2 + b_2 = \dots = a_m + b_m$  となり、まとめると以下の式 ( 1 ) で表される。

## 【 0 0 6 8 】

【 数 1 】

$$a_j + b_j = L_L \quad (1)$$

10

## 【 0 0 6 9 】

ここで、回路 1 0 2 および回路 1 0 4 [ j ] ( j は 1 乃至 m のいずれか ) において、端子 A と端子  $C_j$  の間の配線経路の長さを  $a_j$  とし、端子  $D_j$  と端子 B の間の配線経路の長さを  $b_j$  とする。また、 $L_L$  は任意の長さを表す。

## 【 0 0 7 0 】

回路 1 0 2 において端子 A と端子  $C_1$  乃至  $C_m$  の間に設けられた配線と、端子  $D_1$  乃至  $D_m$  と端子 B の間に設けられた配線が式 ( 1 ) の関係を満たすことによって、配線経路の選択によらず、端子 A と端子 B の間の配線抵抗を概略等しくすることができる。これにより、本実施の形態に示す半導体装置は、特定のデータに対応する発振周波数を概略等しくすることができるので、発振周波数の精度を向上させることができる。

20

## 【 0 0 7 1 】

ところで、図 1 に示すように、本実施の形態に示す半導体装置においては、回路 1 0 2 [ 1 ] 乃至 1 0 2 [ n ] およびインバータ 1 0 3 [ 1 ] 乃至 1 0 3 [ n ] が分割して設けられている。すなわち、インバータ 1 0 3 [  $k_1$  ] (  $k_1$  は 1 以上 n 以下の奇数 ) は第 1 の領域 1 1 3 a に、回路 1 0 2 [ 1 ] 乃至 [ n ] は第 2 の領域 1 1 2 a に、インバータ 1 0 3 [  $k_2$  ] (  $k_2$  は 2 以上 n - 1 以下の偶数 ) は第 3 の領域 1 1 3 b に設けられる。基板平面上において、第 1 の領域 1 1 3 a と第 3 の領域 1 1 3 b の間に、第 2 の領域 1 1 2 a が位置する。

30

## 【 0 0 7 2 】

回路 1 0 1 [ 1 ] および回路 1 0 1 [ 2 ] に注目すると、回路 1 0 1 [ 1 ] のインバータ 1 0 3 [ 1 ] は、第 1 の領域 1 1 3 a に設けられ、回路 1 0 1 [ 1 ] の回路 1 0 2 [ 1 ] および回路 1 0 1 [ 2 ] の回路 1 0 2 [ 2 ] は、第 2 の領域 1 1 2 a に設けられ、回路 1 0 1 [ 2 ] のインバータ 1 0 3 [ 2 ] は、第 3 の領域 1 1 3 b に設けられる。

## 【 0 0 7 3 】

このようにインバータ 1 0 3 [ 1 ] およびインバータ 1 0 3 [ 2 ] の間の領域に回路 1 0 2 [ 1 ] 及び [ 2 ] が設けられているので、回路 1 0 2 [ 1 ] において端子 A は第 1 の領域 1 1 3 a 側に、端子 B は第 3 の領域 1 1 3 b 側に設けられ、回路 1 0 2 [ 2 ] において端子 A は第 3 の領域 1 1 3 b 側に、端子 B は第 1 の領域 1 1 3 a 側に設けられる。このとき、回路 1 0 2 [ 1 ] 及び 1 0 2 [ 2 ] のそれぞれにおいて端子 A と端子  $C_1$  乃至  $C_m$  の間に設けられた配線と、端子  $D_1$  乃至  $D_m$  と端子 B の間に設けられた配線は、平面視すると、概略 2 回回転対称性を有する形状となる。これにより、端子 A と端子  $C_1$  乃至  $C_m$  の間に設けられた配線のうちの一つの長さ、端子  $D_1$  乃至  $D_m$  と端子 B の間に設けられた配線のうち対応する一つの長さ、の和が一定になるような関係になる。

40

## 【 0 0 7 4 】

このような位置関係で回路 1 0 1、回路 1 0 2 およびインバータ 1 0 3 が設けられることにより、配線を余計に引き回すことなく、上記式 ( 1 ) を満たすように、回路 1 0 2 の配線を設けることができる。よって、本実施の形態に示す半導体装置は、占有面積の増大を抑制しつつ、発振周波数の精度の向上を図ることができる。

50

## 【 0 0 7 5 】

仮に第3の領域113bを設けず、インバータ103をすべて第1の領域113aに設ける場合、回路102において、端子Aと端子Bは両方とも第1の領域113a側に設けられることになる。この場合、回路102において端子Aと端子 $C_1$ 乃至 $C_m$ の間に設けられた配線経路の長さ、端子 $D_1$ 乃至 $D_m$ と端子Bの間に設けられた配線経路の長さの関係は、 $a_1 + b_1 < a_2 + b_2 < \dots < a_m + b_m$ となる。よって、配線経路の選択によって、端子Aと端子Bの間の配線抵抗が変わってしまい、発振周波数の精度が下がってしまう。

## 【 0 0 7 6 】

また、図1で回路101[1]および回路101[2]で示すように、奇数段の回路101と偶数段の回路102を対にして設けることが好ましい。これにより、奇数段の回路102と偶数段の回路102の配線CONTEXTの延伸方向に平行な方向(行方向)の幅の分のスペース(回路102の2つ分の幅)を、それぞれ奇数段のインバータ103と偶数段のインバータ103に用いることができる。そのため、インバータ103を構成するトランジスタのチャンネル幅を当該配線CONTEXTの延伸方向に平行な方向に長くすることが効果的である。

10

## 【 0 0 7 7 】

また、図1に示す構成において、回路101[1]乃至101[n]、回路102[1]乃至102[n]およびインバータ103[1]乃至103[n]を、第1の領域113a、第2の領域112aおよび第3の領域113bに分割して設けたが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、図3に示すように回路101[1]乃至101[n]、回路102[1]乃至102[n]およびインバータ103[1]乃至103[n]を、第1の領域113a、第2の領域112a、第3の領域113b、第4の領域112bおよび第5の領域113cに分割して設けてもよい。なお、図3において回路102の詳細な構成については、図1を参照することができるので省略する。

20

## 【 0 0 7 8 】

ここで、インバータ103[ $k_3$ ] ( $k_3$ は1以上 $(n+1)/2$ 以下の奇数)、およびインバータ103[ $k_4$ ] ( $k_4$ は $(n+3)/2$ 以上 $n-1$ 以下の偶数)は第1の領域113aに設けられる。また、インバータ103[ $k_5$ ] ( $k_5$ は2以上 $(n-1)/2$ 以下の偶数)は第3の領域113bに設けられる。また、インバータ103[ $k_6$ ] ( $k_6$ は $(n+5)/2$ 以上 $n$ 以下の奇数)は第5の領域113cに設けられる。また、回路102[ $k_7$ ] ( $k_7$ は1以上 $(n+1)/2$ 以下の自然数)は第2の領域112aに設けられる。また、回路102[ $k_8$ ] ( $k_8$ は $(n+3)/2$ 以上 $n$ 以下の自然数)は第4の領域112bに設けられる。

30

## 【 0 0 7 9 】

基板平面上において、第1の領域113aと第3の領域113bの間に、第2の領域112aが位置し、第1の領域113aと第5の領域113cの間に第4の領域112bが位置する。

## 【 0 0 8 0 】

図1に示す構成と同様に、このような位置関係で回路101、回路102およびインバータ103が設けられることにより、配線を余計に引き回すことなく、上記式(1)を満たすように、回路102の配線を設けることができる。よって、図3に示す半導体装置は、占有面積の増大を抑制しつつ、発振周波数の精度の向上を図ることができる。

40

## 【 0 0 8 1 】

また、図1に示す構成と同様に、奇数段の回路101と偶数段の回路102を対にして設けることが好ましい。これにより、奇数段の回路102と偶数段の回路102の配線CONTEXTの延伸方向に平行な方向(行方向)の幅の分のスペースを、それぞれ奇数段のインバータ103と偶数段のインバータ103に用いることができる。そのため、インバータ103を構成するトランジスタのチャンネル幅を当該配線CONTEXTの延伸方向

50

に平行な方向に長くすることが効果的である。

【0082】

なお、端子Aと端子Bとの間の抵抗値のうちトランジスタ106の抵抗値が占める割合が大きいほど、トランジスタ106のソースとドレインとの間の抵抗値に対する発振周波数の変化量を大きくすることができる。よって、トランジスタ106のW（チャネル幅）は、トランジスタ107のWよりも小さいことが好ましい。または、トランジスタ106のWは、インバータ103又はインバータ103の代わりに採用可能な回路を構成するトランジスタのいずれか一又は全てのトランジスタのWよりも小さいことが好ましい。

【0083】

なお、上述したとおり、インバータ103の代わりにNAND回路又はNOR回路などを採用してもよい。NAND回路又はNOR回路において、前記NAND回路又は前記NOR回路の出力端子がインバータ103の出力端子に対応し、前記NAND回路又は前記NOR回路の第1の入力端子がインバータ103の入力端子に対応する。つまり、NAND回路又はNOR回路の出力端子は回路102の端子Aと接続され、第1の入力端子は前段の回路102の端子Bと接続される。また、回路101[1]乃至101[n]のそれぞれにおいて、NAND回路又はNOR回路の第2の入力端子は同じ配線に接続されることが好ましい。そして、NAND回路又はNOR回路の第2の入力端子が接続される配線の電位を制御することにより、回路102の端子Aの電位を固定することができる。よって、トランジスタ106の第1の端子の電位を固定した状態でトランジスタ106のゲートに配線BLの電位を入力することができるため、トランジスタ106のゲートとソースとの間の電位差を正確に設定することができる。そのため、トランジスタ106のソースとドレインとの間の抵抗値を正確に設定することができる。

【0084】

以上のような構成とすることにより、本実施の形態に示す半導体装置は、新規の回路構成を提供することができる。または、本実施の形態に示す半導体装置は、発振周波数を切り替えること、又はそれを実現可能な回路構成を提供することができる。または、本実施の形態に示す半導体装置は、発振周波数の精度を向上させること、又はそれを実現可能な回路構成を提供することができる。

【0085】

次に、図1に例示する装置の動作の一例について図4のタイミングチャートを参照して説明する。図4には、配線BL、配線CONTEXT[1]乃至CONTEXT[m]、配線WL[1]乃至WL[m]、回路104[1]乃至104[m]のノードSNの電位、出力端子OUTの電位の一例を示す。

【0086】

なお、回路101[1]乃至101[n]の動作は同じであるため、回路101[1]乃至101[n]のいずれか一の動作のみを説明する。

【0087】

まず、回路104[1]乃至104[m]のそれぞれにデータを格納し、そのデータに基づいてトランジスタ106のソースとドレインとの間の抵抗値を設定する。

【0088】

時刻 $t_0$ において、配線WL[1]をハイレベルにし、配線BLを電位 $V_1$ にする。これにより、回路104[1]は次のように動作する。トランジスタ105がオンになるため、トランジスタ105を介して配線BLの電位 $V_1$ がノードSNに入力されるとともに、電位 $V_1$ に基づいた電荷が容量素子108に蓄積される。その後、配線WL[1]をローレベルにすることにより、トランジスタ105がオフになるため、容量素子108に蓄積された電荷によってノードSNが電位 $V_1$ に維持される。こうして、電位 $V_1$ に基づいたデータが回路104[1]に格納される。

【0089】

時刻 $t_1$ において、配線WL[2]をハイレベルにし、配線BLを電位 $V_2$ にする。これにより、回路104[2]は次のように動作する。トランジスタ105がオンになるた

10

20

30

40

50

め、トランジスタ105を介して配線BLの電位V2がノードSNに入力されるとともに、電位V2に基づいた電荷が容量素子108に蓄積される。その後、配線WL[2]をローレベルにすることにより、トランジスタ105がオフになるため、容量素子108に蓄積された電荷によってノードSNが電位V2に維持される。こうして、電位V2に基づいたデータが回路104[2]に格納される。

【0090】

時刻t2以降でも、配線WL[3]乃至WL[m-1]を順次ハイレベルにし、それに合わせて配線BLの電位を適宜設定することにより、回路104[3]乃至104[m-1]に配線BLの電位に基づいたデータが格納される。

【0091】

時刻t3において、配線WL[m]をハイレベルにし、配線BLを電位Vmにする。これにより、回路104[m]は次のように動作する。トランジスタ105がオンになるため、トランジスタ105を介して配線BLの電位VmがノードSNに入力されるとともに、電位Vmに基づいた電荷が容量素子108に蓄積される。その後、配線WL[m]をローレベルにすることにより、トランジスタ105がオフになるため、容量素子108に蓄積された電荷によってノードSNが電位Vmに維持される。こうして、電位Vmに基づいたデータが回路104[m]に格納される。

【0092】

以上のとおり、配線WL[1]乃至配線[m]を順次ハイレベルにし、配線BLの電位を適宜設定することにより、回路104[1]乃至104[m]のそれぞれに配線BLの電位に基づいたデータを順次格納することができる。

【0093】

なお、時刻t0乃至t4において、配線CONTEXT[1]乃至CONTEXT[m]をハイレベルにしてもよいしローレベルにしてもよい。つまり、回路104[1]乃至104[m]のそれぞれにおいてトランジスタ107はオンでもよいしオフでもよい。図4には、時刻t0乃至t4において、配線CONTEXT[1]乃至CONTEXT[m]をローレベルにすることにより、回路104[1]乃至104[m]のそれぞれにおいてトランジスタ107をオフにしている場合を例示する。よって、回路104[1]乃至104[m]のそれぞれにおいて端子Cと端子Dとが非導通になるため、回路102の端子Aと端子Bとはハイインピーダンスになる。そのため、時刻t0乃至t4においては、図1に例示する装置は発振しない。また、回路104[1]乃至104[m]のそれぞれにおいて、トランジスタ107をオフにすることにより、端子Bが浮遊状態になる。そのため、端子Bの電位は徐々にグランド等の所定に電位になる。例えば、端子Bの電位がローレベルに相当する電位である場合には、次段のインバータ103の出力はハイレベル電位になる。つまり、端子Aの電位を固定することができる。よって、トランジスタ106の第1の端子の電位を固定した状態でトランジスタ106のゲートに配線BLの電位を入力することができるため、トランジスタ106のゲートとソースとの間の電位差を正確に設定することができる。そのため、トランジスタ106のソースとドレインとの間の抵抗値を正確に設定することができる。

【0094】

なお、図4には、電位V1乃至Vmが同じ値である場合を例示する。ただし、これに限定されない。

【0095】

なお、回路104[j]に格納される配線BLの電位を電位Vjと示す。

【0096】

なお、図4には、配線WL[1]乃至WL[m]を順次ハイレベルにする場合を例示したが、この動作に限定されない。配線WL[1]乃至WL[m]を任意の順番でハイレベルにしてもよい。配線WL[1]乃至WL[m]のうち2つ以上の配線を同時にハイレベルにしてもよい。配線WL[1]乃至WL[m]にハイレベルにしない配線があってもよい。また、前述した事項を組み合わせてもよい。

10

20

30

40

50



## 【 0 0 9 7 】

なお、図 4 には、配線 W L [ 1 ] 乃至 W L [ m ] をハイレベルにすることによって、トランジスタ 1 0 5 がオンになる場合を例示しているが、その動作はこれに限定されない。配線 W L [ 1 ] 乃至 W L [ m ] をローレベルにすることによって、トランジスタ 1 0 5 がオンになってもよい。トランジスタ 1 0 5 がオンになる配線 W L [ 1 ] 乃至 W L [ m ] の電位をアクティブと呼び、トランジスタ 1 0 5 がオフにする配線 W L [ 1 ] 乃至 W L [ m ] の電位を非アクティブ（インアクティブともいう）と呼んでもよい。同様に、トランジスタ 1 0 7 がオンになる配線 C O N T E X T [ 1 ] 乃至 C O N T E X T [ m ] の電位をアクティブと呼び、トランジスタ 1 0 7 がオフにする配線 C O N T E X T [ 1 ] 乃至 C O N T E X T [ m ] の電位を非アクティブと呼んでもよい。

10

## 【 0 0 9 8 】

次に、回路 1 0 4 [ 1 ] 乃至 1 0 4 [ m ] のそれぞれにおいて、端子 C と端子 D との導通又は非導通を制御することによって、回路 1 0 2 の端子 A と端子 B との間の抵抗値を切り替える。そして、回路 1 0 2 の端子 A と端子 B との間の抵抗値に基づいて端子 O U T の信号の周波数を変更する。

## 【 0 0 9 9 】

時刻 t 4 において、配線 C O N T E X T [ 1 ] をハイレベルにするとともに、配線 C O N T E X T [ 2 ] 乃至 C O N T E X T [ m ] をローレベルにする。これにより、回路 1 0 4 [ 1 ] においては、トランジスタ 1 0 7 がオンになるため、端子 C と端子 D との間の抵抗値はトランジスタ 1 0 6 のソースとドレインとの間の抵抗値に基づいた値になる。つまり、回路 1 0 4 [ 1 ] の端子 C と端子 D との間の抵抗値は格納されたデータに基づいた値になる。また、回路 1 0 4 [ 2 ] 乃至 1 0 4 [ m ] のそれぞれにおいては、トランジスタ 1 0 7 がオフになるため、端子 C と端子 D とが非導通になる。よって、端子 O U T の信号の周波数は、回路 1 0 4 [ 1 ] に格納されたデータに基づいて決定される。

20

## 【 0 1 0 0 】

時刻 t 5 において、配線 C O N T E X T [ 1 ] 乃至 C O N T E X T [ 2 ] をハイレベルにするとともに、配線 C O N T E X T [ 3 ] 乃至 [ m ] をローレベルにする。これにより、回路 1 0 4 [ 1 ] 乃至 1 0 4 [ 2 ] のそれぞれにおいては、トランジスタ 1 0 7 がオンになるため、端子 C と端子 D との間の抵抗値はトランジスタ 1 0 6 のソースとドレインとの間の抵抗値に基づいた値になる。つまり、回路 1 0 4 [ 1 ] 乃至 1 0 4 [ 2 ] の端子 C と端子 D との間の抵抗値は格納されたデータに基づいた値になる。また、回路 1 0 4 [ 3 ] 乃至 [ m ] のそれぞれのトランジスタ 1 0 7 がオフになるため、端子 C と端子 D とが非導通になる。よって、端子 O U T の信号の周波数は、回路 1 0 4 [ 1 ] 乃至 1 0 4 [ 2 ] に格納されたデータに基づいて決定される。

30

## 【 0 1 0 1 】

時刻 t 5 においては回路 1 0 4 [ 1 ] 乃至 1 0 4 [ m ] のうち 2 つの回路において端子 C と端子 D とが導通するのに対し、時刻 t 4 においては回路 1 0 4 [ 1 ] 乃至 1 0 4 [ m ] のうち 1 つの回路において端子 C と端子 D とが導通する。よって、時刻 t 5 において設定される回路 1 0 2 の端子 A と端子 B との間の抵抗値は時刻 t 4 において設定される回路 1 0 2 の端子 A と端子 B との間の抵抗値よりも小さくなるため、時刻 t 5 において決定される端子 O U T の信号の周波数は時刻 t 4 において決定される端子 O U T の信号の周波数よりも高くなる。

40

## 【 0 1 0 2 】

時刻 t 6 において、配線 C O N T E X T [ 1 ] 乃至 C O N T E X T [ m ] をハイレベルにする。これにより、回路 1 0 4 [ 1 ] 乃至 [ m ] において、各々のトランジスタ 1 0 7 がオンになるため、端子 C と端子 D との間の抵抗値はトランジスタ 1 0 6 のソースとドレインとの間の抵抗値に基づいた値になる。つまり、回路 1 0 4 [ 1 ] 乃至 1 0 4 [ m ] の各々の端子 C と端子 D との間の抵抗値は格納されたデータに基づいた値になる。よって、端子 O U T の信号の周波数は、回路 1 0 4 [ 1 ] 乃至 1 0 4 [ m ] に格納されたデータに基づいて決定される。

50

## 【 0 1 0 3 】

時刻  $t_6$  においては回路 1 0 4 [ 1 ] 乃至 1 0 4 [  $m$  ] のうち  $m$  個の回路において端子 C と端子 D とが導通するのに対し、時刻  $t_4$  においては回路 1 0 4 [ 1 ] 乃至 1 0 4 [  $m$  ] のうち 1 つの回路において端子 C と端子 D とが導通し、時刻  $t_5$  においては回路 1 0 4 [ 1 ] 乃至 [  $m$  ] のうち 2 つの回路において端子 C と端子 D とが導通する。よって、時刻  $t_6$  において設定される回路 1 0 2 の端子 A と端子 B との間の抵抗値は時刻  $t_4$  及び時刻  $t_5$  において設定される回路 1 0 2 の端子 A と端子 B との間の抵抗値よりも小さくなるため、時刻  $t_6$  において決定される端子 O U T の信号の周波数は時刻  $t_4$  及び時刻  $t_5$  において決定される端子 O U T の信号の周波数よりも高くなる。

## 【 0 1 0 4 】

以上のとおり、回路 1 0 4 [ 1 ] 乃至 1 0 4 [  $m$  ] のうち端子 C と端子 D とが導通する回路の数に基づいて、端子 O U T の信号の周波数を変更することができる。

## 【 0 1 0 5 】

なお、図 4 では、配線 B L の電位  $V_1$  乃至  $V_m$  が同じ値である場合、即ち回路 1 0 4 [ 1 ] 乃至 [  $m$  ] のそれぞれに同じデータを格納する場合を例示しているが、その動作はこれに限定されない。例えば、配線 B L の電位  $V_1$  乃至  $V_m$  は互いに異なる値でもよい。即ち、回路 1 0 4 [ 1 ] 乃至 1 0 4 [  $m$  ] のそれぞれに異なるデータを格納してもよい。または、配線 B L の電位  $V_1$  乃至  $V_m$  のうち少なくとも 2 つを異なる値としてもよい。即ち、回路 1 0 4 [ 1 ] 乃至 1 0 4 [  $m$  ] のうち少なくとも 2 つに異なるデータを格納してもよい。

## 【 0 1 0 6 】

図 5 は、配線 W L [ 1 ] 乃至 W L [  $m$  ] がハイレベルになる毎に、配線 B L の電位が高くなる場合を例示する。電位  $V_1$  乃至  $V_m$  は、電位  $V_2$  が電位  $V_1$  よりも高く、電位  $V_m$  が電位  $V_{m-1}$  よりも高いといったように、電位  $V_j$  が電位  $V_{j-1}$  よりも高く且つ電位  $V_{j+1}$  よりも低いといった関係にある。

## 【 0 1 0 7 】

図 5 では、時刻  $t_4$  において配線 C O N T E X T [ 1 ] をハイレベルにし、時刻  $t_5$  において配線 C O N T E X T [ 2 ] をハイレベルにし、時刻  $t_6$  において配線 C O N T E X T [  $m$  ] をハイレベルにする場合を例示する。即ち、端子 O U T の信号の周波数は、時刻  $t_4$  においては回路 1 0 4 [ 1 ] に格納されたデータに基づいて決定され、時刻  $t_5$  においては回路 1 0 4 [ 2 ] に格納されたデータに基づいて決定され、時刻  $t_6$  においては回路 1 0 4 [  $m$  ] に格納されたデータに基づいて決定される。

## 【 0 1 0 8 】

電位  $V_2$  は電位  $V_1$  よりも高いため、回路 1 0 4 [ 2 ] のトランジスタ 1 0 6 のソースとドレインとの間の抵抗値は回路 1 0 4 [ 1 ] のトランジスタ 1 0 6 のソースとドレインとの間の抵抗値よりも小さくなる。よって、時刻  $t_5$  において設定される回路 1 0 2 の端子 A と端子 B との間の抵抗値は時刻  $t_4$  において設定される回路 1 0 2 の端子 A と端子 B との間の抵抗値よりも小さくなるため、時刻  $t_5$  において決定される端子 O U T の信号の周波数は時刻  $t_4$  において決定される端子 O U T の信号の周波数よりも高くなる。

## 【 0 1 0 9 】

電位  $V_m$  は電位  $V_1$  及び電位  $V_2$  よりも高いため、回路 1 0 4 [  $m$  ] のトランジスタ 1 0 6 のソースとドレインとの間の抵抗値は回路 1 0 4 [ 1 ] 及び回路 1 0 4 [ 2 ] のトランジスタ 1 0 6 のソースとドレインとの間の抵抗値よりも小さくなる。よって、時刻  $t_6$  において設定される回路 1 0 2 の端子 A と端子 B との間の抵抗値は時刻  $t_4$  及び時刻  $t_5$  において設定される回路 1 0 2 の端子 A と端子 B との間の抵抗値よりも小さくなるため、時刻  $t_6$  において決定される端子 O U T の信号の周波数は時刻  $t_4$  及び  $t_5$  において決定される端子 O U T の信号の周波数よりも高くなる。

## 【 0 1 1 0 】

以上のとおり、回路 1 0 4 [ 1 ] 乃至 1 0 4 [  $m$  ] のうち端子 C と端子 D とが導通する回路に格納されているデータに基づいて、端子 O U T の信号の周波数を変更することがで

10

20

30

40

50

きる。

【0111】

図6は、電位 $V_1$ 乃至 $V_{m-1}$ を同じ値とし、電位 $V_m$ を電位 $V_1$ 乃至 $V_{m-1}$ よりも低くした場合を例示する。

【0112】

図6では、時刻 $t_4$ において配線CONTEXT[m]をハイレベルにし、時刻 $t_5$ において配線CONTEXT[1]をハイレベルにし、時刻 $t_6$ において配線CONTEXT[1]乃至CONTEXT[2]をハイレベルにする場合を例示する。即ち、端子OUTの信号の周波数は、時刻 $t_4$ においては回路104[m]に格納されたデータに基づいて決定され、時刻 $t_5$ においては回路104[1]に格納されたデータに基づいて決定され、時刻 $t_6$ においては回路104[1]乃至104[2]に格納されたデータに基づいて決定される。

10

【0113】

電位 $V_1$ は電位 $V_m$ よりも高いため、回路104[1]のトランジスタ106のソースとドレインとの間の抵抗値は回路104[m]のトランジスタ106のソースとドレインとの間の抵抗値よりも小さくなる。よって、時刻 $t_5$ において設定される回路102の端子Aと端子Bとの間の抵抗値は時刻 $t_4$ において設定される回路102の端子Aと端子Bとの間の抵抗値よりも小さくなるため、時刻 $t_5$ において決定される端子OUTの信号の周波数は時刻 $t_4$ において決定される端子OUTの信号の周波数よりも高くなる。

20

【0114】

時刻 $t_6$ においては回路104[1]乃至104[2]の端子Cと端子Dとが導通するのに対し、時刻 $t_5$ においては回路104[1]端子Cと端子Dとが導通する。よって、時刻 $t_6$ において設定される回路102の端子Aと端子Bとの間の抵抗値は時刻 $t_5$ において設定される回路102の端子Aと端子Bとの間の抵抗値よりも小さくなるため、時刻 $t_6$ において決定される端子OUTの信号の周波数は時刻 $t_5$ において決定される端子OUTの信号の周波数よりも高くなる。

【0115】

以上のように、図4及び図5に例示する動作を組み合わせてもよい。

【0116】

次に、端子OUTの信号の周波数を正確に設定するための回路104[1]乃至104[m]のそれぞれへのデータの格納方法について図7を参照して説明する。

30

【0117】

なお、便宜上、 $m$ が2である場合について説明する。つまり、回路102は、回路104[1]及び回路104[2]を有する。

【0118】

なお、初期状態として、回路104[1]及び回路104[2]にデータは格納されていないものとする。つまり、回路104[1]及び回路104[2]のそれぞれにおいて、ノードSNの電位はトランジスタ106がオフになる電位であるものとする。

【0119】

時刻 $t_0$ において、配線CONTEXT[1]をハイレベルにする。これにより、回路104[1]において、トランジスタ107がオンになる。ただし、トランジスタ106がオフであるため、端子Cと端子Dが非導通になる。よって、図1に例示する装置は発振しない。

40

【0120】

時刻 $t_1$ において、配線WL[1]をハイレベルにし、配線BLを電位 $V_1$ にする。これにより、回路104[1]において、トランジスタ105がオンになるため、トランジスタ105を介して配線BLの電位 $V_1$ がノードSNに入力されるとともに、電位 $V_1$ に基づいた電荷が容量素子108に蓄積される。そして、トランジスタ106のソースとドレインとの間の抵抗値は電位 $V_1$ に基づいた値になる。また、回路104[1]において、トランジスタ107がオンであるため、図1に例示する装置が発振し、端子OUTの信

50

号の周波数が  $f(V1)$  になる。

【0121】

時刻  $t_2$  において、配線 `CONTEXT[1]` をローレベルにする。これにより、回路 `104[1]` において、トランジスタ `107` がオフになる。よって、図1に例示する装置が発振しなくなる。

【0122】

時刻  $t_3$  において、配線 `CONTEXT[2]` をハイレベルにする。これにより、回路 `104[2]` において、トランジスタ `107` がオンになる。ただし、トランジスタ `106` がオフであるため、端子 `C` と端子 `D` とが非導通になる。よって、図1に例示する装置は発振しない。

10

【0123】

時刻  $t_4$  において、配線 `WL[2]` をハイレベルにし、配線 `BL` を電位  $V_2$  にする。これにより、回路 `104[2]` において、トランジスタ `105` がオンになるため、トランジスタ `105` を介して配線 `BL` の電位  $V_2$  がノード `SN` に入力されるとともに、電位  $V_2$  に基づいた電荷が容量素子 `108` に蓄積される。そして、トランジスタ `106` のソースとドレインとの間の抵抗値は電位  $V_2$  に基づいた値になる。また、回路 `104[2]` において、トランジスタ `107` がオンであるため、図1に例示する装置が発振し、端子 `OUT` の信号の周波数が  $f(V_2)$  になる。

【0124】

時刻  $t_5$  において、配線 `CONTEXT[2]` をローレベルにする。これにより、回路 `104[2]` において、トランジスタ `107` がオフになる。よって、図1に例示する装置が発振しなくなる。

20

【0125】

時刻  $t_6$  において、配線 `CONTEXT[1]` をハイレベルにする。これにより、回路 `104[1]` において、トランジスタ `107` がオンになる。よって、図1に例示する装置が発振する。ただし、時刻  $t_6$  では回路 `104[2]` においてトランジスタ `106` がオンであるため、時刻  $t_1$  時点と比較して、回路 `102` の端子 `A` と端子 `B` との間の負荷が増加している。そのため、時刻  $t_6$  における端子 `OUT` の信号の周波数は、時刻  $t_1$  における端子 `OUT` の信号の周波数が  $f(V_1)$  よりも低くなる。

【0126】

時刻  $t_7$  において、配線 `WL[1]` をハイレベルにし、配線 `BL` を電位  $V_1'$  にする。これにより、回路 `104[1]` において、トランジスタ `105` がオンになるため、トランジスタ `105` を介して配線 `BL` の電位  $V_1'$  がノード `SN` に入力されるとともに、電位  $V_1'$  に基づいた電荷が容量素子 `108` に蓄積される。そして、トランジスタ `106` のソースとドレインとの間の抵抗値は電位  $V_1'$  に基づいた値になる。また、回路 `104[1]` において、トランジスタ `107` がオンであるため、図1に例示する装置が発振する。ここで、電位  $V_1'$  は、時刻  $t_7$  における端子 `OUT` の信号の周波数を  $f(V_1)$  にする値であり、電位  $V_1$  よりも高い値である。よって、端子 `OUT` の信号の周波数が  $f(V_1)$  と概ね等しくなる。

30

【0127】

時刻  $t_8$  において、配線 `CONTEXT[1]` をローレベルにする。これにより、回路 `104[1]` において、トランジスタ `107` がオフになる。よって、図1に例示する装置が発振しなくなる。

40

【0128】

時刻  $t_9$  において、配線 `CONTEXT[2]` をハイレベルにする。これにより、回路 `104[2]` において、トランジスタ `107` がオンになる。よって、図1に例示する装置が発振する。ただし、時刻  $t_9$  における回路 `104[1]` のノード `SN` の電位は、時刻  $t_4$  時点における回路 `104[1]` のノード `SN` の電位よりも高くなっている。つまり、時刻  $t_9$  における回路 `104[1]` のトランジスタ `106` のソースとドレインとの間の抵抗値は時刻  $t_4$  における回路 `104[1]` のトランジスタ `106` のソースとドレインとの間

50

の抵抗値よりも小さくなっている。或いは、時刻  $t_9$  における回路 104 [ 1 ] のトランジスタ 106 のゲート容量は時刻  $t_4$  における回路 104 [ 1 ] のトランジスタ 106 のゲート容量よりも大きくなっている。よって、時刻  $t_9$  における回路 102 の端子 A と端子 B との間の負荷は、時刻  $t_4$  時点と比較して増加している。そのため、時刻  $t_9$  における端子 O U T の信号の周波数は、時刻  $t_4$  における端子 O U T の信号の周波数が  $f(V_2)$  よりも低くなる。

【 0 1 2 9 】

時刻  $t_{10}$  において、配線 W L [ 2 ] をハイレベルにし、配線 B L を電位  $V_2'$  にする。これにより、回路 104 [ 2 ] において、トランジスタ 105 がオンになるため、トランジスタ 105 を介して配線 B L の電位  $V_2'$  がノード S N に入力されるとともに、電位  $V_2'$  に基づいた電荷が容量素子 108 に蓄積される。そして、トランジスタ 106 のソースとドレインとの間の抵抗値は電位  $V_2'$  に基づいた値になる。また、回路 104 [ 2 ] において、トランジスタ 107 がオンであるため、図 1 に例示する装置が発振する。ここで、電位  $V_2'$  は、時刻  $t_{10}$  における端子 O U T の信号の周波数を  $f(V_2)$  にする値であり、電位  $V_2$  よりも高い値である。よって、端子 O U T の信号の周波数が  $f(V_2)$  と概ね等しくなる。

10

【 0 1 3 0 】

時刻  $t_{11}$  において、配線 C O N T E X T [ 2 ] をローレベルにする。これにより、回路 104 [ 2 ] において、トランジスタ 107 がオフになる。よって、図 1 に例示する装置が発振しなくなる。

20

【 0 1 3 1 】

その後、時刻  $t_6$  乃至  $t_{11}$  までの動作を繰り返すことにより、配線 C O N T E X T [ 1 ] をハイレベルにしたときの端子 O U T の信号の周波数を  $f(V_1)$  に収束させ、配線 C O N T E X T [ 2 ] をハイレベルにしたときの端子 O U T の信号の周波数を  $f(V_2)$  に収束させることができる。

【 0 1 3 2 】

以上のような構成とすることにより、本実施の形態に示す半導体装置は、新規の回路構成を提供することができる。または、本実施の形態に示す半導体装置は、発振周波数を切り替えること、又はそれを実現可能な回路構成を提供することができる。または、本実施の形態に示す半導体装置は、発振周波数の精度を向上させること、又はそれを実現可能な回路構成を提供することができる。

30

【 0 1 3 3 】

本実施の形態は、他の実施の形態等の本明細書等において開示する構成と適宜組み合わせ実施することができる。

【 0 1 3 4 】

(実施の形態 2)

本実施の形態では、実施の形態 1 において説明した装置を用いた P L L について説明する。

【 0 1 3 5 】

図 8 に例示する P L L は、位相比較器 201、ループフィルタ 202、電圧制御発振器 203、及び分周器 204 を有する。

40

【 0 1 3 6 】

位相比較器 201 は、2つの入力信号の位相差を検出し、検出結果を電圧信号として出力する機能を有する。即ち、位相比較器 201 は、 $f_{in}$  の周波数の信号と  $f_{out}/N$  の周波数の信号との位相差を電圧信号として出力する機能を有する。

【 0 1 3 7 】

ループフィルタ 202 は、電圧制御発振器 203 に入力するための直流電圧信号 D A T A を生成する機能を有する。また、ループフィルタ 202 は、位相比較器 201 の出力信号に含まれる高周波成分を取り除く機能を有する。ループフィルタ 202 としては、ローパスフィルタがある。

50

## 【 0 1 3 8 】

電圧制御発振器 2 0 3 は、D A T A に依存して特定の発振周波数を示すクロック信号を出力する機能を有する。電圧制御発振器 2 0 3 としては、図 1 に例示する装置を採用することができる。なお、D A T A が配線 B L の電位に対応する。なお、図 1 に例示する装置は、図 8 に示すようにバッファを介して信号を出力してもよい。

## 【 0 1 3 9 】

分周器 2 0 4 は、電圧制御発振器 2 0 3 から出力された特定の発振周波数を示すクロック信号を  $1 / N$  倍に変化させたクロック信号を生成する機能を有する。

## 【 0 1 4 0 】

なお、D A T A が配線 B L の電位に対応する。また、D A T A は、分周器 2 0 4 において  $N$  を変化させることによって制御することができる。即ち、電圧制御発振器 2 0 3 の回路 1 0 1 [ 1 ] 乃至 1 0 1 [  $n$  ] のそれぞれに格納するデータは、分周器 2 0 4 において  $N$  を変化させることによって制御することができる。

10

## 【 0 1 4 1 】

本実施の形態は、他の実施の形態等の本明細書等において開示する構成と適宜組み合わせ実施することができる。

## 【 0 1 4 2 】

## (実施の形態 3)

## 半導体装置の平面構造・断面構造の例

本実施の形態では、先の実施の形態に示す半導体装置の構造の例について図 9 乃至図 1 4 を用いて説明する。

20

## 【 0 1 4 3 】

なお、以下に示す構造は、先の実施の形態に示す半導体装置の一例にすぎず、用いる材料や構造など、半導体装置の具体的な構成はここで示すものに限定される必要はない。

## 【 0 1 4 4 】

先の実施の形態において、図 1 および図 2 で示した回路 1 0 4 [ 1 ] および回路 1 0 4 [ 2 ] について、 $m = 2$  の場合の構造の一例を図 9 および図 1 0 を用いて説明する。図 9 ( A ) および図 9 ( B ) は回路 1 0 4 [ 1 ] および回路 1 0 4 [ 2 ] の平面図である。また、図 1 0 は、図 9 ( A ) および図 9 ( B ) に示す一点鎖線 X 1 - X 2 および一点鎖線 X 3 - X 4 に対応する断面図である。

30

## 【 0 1 4 5 】

なお、図 9 ( A ) は図 1 0 に示す絶縁膜 3 1 4 より下に位置する主な構造を示した平面図であり、図 9 ( B ) は図 1 0 に示す絶縁膜 3 1 4 より上に位置する主な構造を示した平面図である。また、図 9 において、回路 1 0 4 [ 2 ] の構成で回路 1 0 4 [ 1 ] と重複する構成については、符号および詳細な説明を省略しており、これらについては回路 1 0 4 [ 1 ] の構成についての記載を参照することができる。

## 【 0 1 4 6 】

図 9 および図 1 0 に示す半導体装置の一例として、下部に第 1 の半導体材料をチャネル形成領域に用いるトランジスタ 1 0 6 [ 1 ] とトランジスタ 1 0 7 [ 1 ] が形成され、上部に第 2 の半導体材料をチャネル形成領域に用いるトランジスタ 1 0 5 [ 1 ] が形成される場合について示す。

40

## 【 0 1 4 7 】

第 1 の半導体材料と第 2 の半導体材料は異なる禁制帯幅を持つ材料とすることが好ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料（シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素など）とし、第 2 の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料として単結晶シリコンを用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、オフ電流が低い。

## 【 0 1 4 8 】

ただし、本発明の一態様に係る半導体装置はこれに限られるものではなく、トランジス

50

タ 1 0 5、トランジスタ 1 0 6 およびトランジスタ 1 0 7 に同じ半導体材料を用いる構成としてもよい。この場合、トランジスタ 1 0 5、トランジスタ 1 0 6 およびトランジスタ 1 0 7 を同じ層に形成することもできる。

【 0 1 4 9 】

トランジスタ 1 0 6 [ 1 ] およびトランジスタ 1 0 7 [ 1 ] は、基板 3 0 0 上に形成された絶縁膜 3 1 0 の上に形成されている。

【 0 1 5 0 】

トランジスタ 1 0 6 [ 1 ] は、絶縁膜 3 1 0 上に形成された半導体膜 3 2 0 と、半導体膜 3 2 0 上に形成されたゲート絶縁膜 3 2 2 a と、ゲート絶縁膜 3 2 2 a 上に設けられたゲート電極 3 2 4 a と、ゲート絶縁膜 3 2 2 a 上にゲート電極 3 2 4 a の側面に接するように設けられたサイドウォール絶縁膜 3 2 6 a と、を有する。トランジスタ 1 0 6 [ 1 ] は、半導体膜 3 2 0 のゲート電極 3 2 4 a と重なる部分にチャネル形成領域 3 2 0 f を有し、チャネル形成領域 3 2 0 f を挟むように不純物領域 3 2 0 a および不純物領域 3 2 0 b が設けられる。不純物領域 3 2 0 a および不純物領域 3 2 0 b は、トランジスタ 1 0 6 [ 1 ] のソース領域またはドレイン領域として機能する。また、半導体膜 3 2 0 において、不純物領域 3 2 0 a および不純物領域 3 2 0 b とチャネル形成領域 3 2 0 f との間、サイドウォール絶縁膜 3 2 6 a と重なる領域に不純物領域 3 2 0 d を設けることが好ましい。不純物領域 3 2 0 d は、不純物領域 3 2 0 a および不純物領域 3 2 0 b より不純物濃度が低い L D D ( L i g h t l y D o p e d D r a i n ) 領域として機能することが好ましい。

10

20

【 0 1 5 1 】

また、トランジスタ 1 0 7 [ 1 ] は、絶縁膜 3 1 0 上に形成された半導体膜 3 2 0 と、半導体膜 3 2 0 上に形成されたゲート絶縁膜 3 2 2 b と、ゲート絶縁膜 3 2 2 b 上に設けられたゲート電極 3 2 4 b と、ゲート絶縁膜 3 2 2 b 上にゲート電極 3 2 4 b の側面に接するように設けられたサイドウォール絶縁膜 3 2 6 b と、を有する。トランジスタ 1 0 7 [ 1 ] は、半導体膜 3 2 0 のゲート電極 3 2 4 b と重なる部分にチャネル形成領域 3 2 0 g を有し、チャネル形成領域 3 2 0 g を挟むように不純物領域 3 2 0 b および不純物領域 3 2 0 c が設けられる。不純物領域 3 2 0 b および不純物領域 3 2 0 c は、トランジスタ 1 0 7 [ 1 ] のソース領域またはドレイン領域として機能する。また、半導体膜 3 2 0 において、不純物領域 3 2 0 b および不純物領域 3 2 0 c とチャネル形成領域 3 2 0 g との間、サイドウォール絶縁膜 3 2 6 b と重なる領域に不純物領域 3 2 0 e を設けることが好ましい。不純物領域 3 2 0 e は、不純物領域 3 2 0 b および不純物領域 3 2 0 c より不純物濃度が低い L D D 領域として機能することが好ましい。

30

【 0 1 5 2 】

ここで、半導体膜 3 2 0 は、非晶質、微結晶、多結晶または単結晶である、シリコン、炭化シリコン、ゲルマニウムまたはシリコンゲルマニウムなどの半導体を用いることができる。シリコンの薄膜を用いて半導体膜 3 2 0 を形成する場合、当該薄膜には、プラズマ C V D 法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

40

【 0 1 5 3 】

絶縁膜 3 1 0 は、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウム、酸化タンタルなどから選ばれた一種以上含む絶縁体を用いることができる。また、ゲート絶縁膜 3 2 2 a、ゲート絶縁膜 3 2 2 b、サイドウォール絶縁膜 3 2 6 a およびサイドウォール絶縁膜 3 2 6 b も絶縁膜 3 1 0 に用いることができる上記の絶縁膜を用いて形成することができる。

【 0 1 5 4 】

50

基板 300 としては、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムからなる化合物半導体基板を用いることができる。

【0155】

また、基板 300 としては絶縁基板を用いてもよい。該絶縁基板として、例えば、ガラス基板、石英基板、プラスチック基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどが挙げられる。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート (PET)、ポリエチレンナフタレート (PEN)、ポリエーテルサルフォン (PES) に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。貼り合わせフィルムの一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。基材フィルムの一例としては、ポリエステル、ポリアミド、ポリイミド、アラミド、エポキシ、無機蒸着フィルム、又は紙類などがある。

10

【0156】

本実施の形態では、基板 300 上に絶縁膜 310 が設けられ、絶縁膜 310 上に半導体膜 320 が設けられた SOI (Silicon on Insulator) 基板を例示しているが、その構成はこれに限られるものではない。例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等の半導体基板に素子分離法を用いてトランジスタを形成してもよい。素子分離法として、トレンチ分離法 (STI 法: Shallow Trench Isolation)、LOCOS (Local Oxidation of Silicon) 法などを用いることができる。また、基板 300 として、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、などを用いてもよい。

20

【0157】

ゲート電極 324 a およびゲート電極 324 b としては、タンタル、タングステン、チタン、モリブデン、クロム、ニオブ等から選択された金属、またはこれらの金属を主成分とする合金材料若しくは化合物材料を用いることが好ましい。また、リン等の不純物を添加した多結晶シリコンを用いることができる。また、金属窒化物膜と上記の金属膜の積層構造でゲート電極 324 a およびゲート電極 324 b を形成してもよい。金属窒化物としては、窒化タングステン、窒化モリブデン、窒化チタンを用いることができる。金属窒化物膜を設けることにより、金属膜の密着性を向上させることができ、剥離を防止することができる。

30

【0158】

不純物領域 320 a 乃至不純物領域 320 e は、n 型を付与する不純物元素または p 型を付与する不純物元素を半導体膜 320 に添加して形成される。n 型を付与する不純物元素としては、リン (P) やヒ素 (As) などを用いればよく、p 型を付与する不純物元素としては、硼素 (B) やアルミニウム (Al) などを用いればよい。

【0159】

トランジスタ 106 [1] およびトランジスタ 107 [1] の上に絶縁膜 311 が形成され、絶縁膜 311 の上に導電膜 328 a 乃至導電膜 328 c が形成されている。導電膜 328 a は絶縁膜 311 に設けられた開口部を介して不純物領域 320 a と接続され、導電膜 328 b は絶縁膜 311 に設けられた開口部を介して不純物領域 320 c と接続され、導電膜 328 c は絶縁膜 311 に設けられた開口部を介してゲート電極 324 a と接続される。

40

【0160】

ここで、導電膜 328 a は、トランジスタ 106 [1] のソース電極またはドレイン電極の一方として機能し、導電膜 328 b はトランジスタ 107 [1] のソース電極またはドレイン電極の一方として機能する。なお、図 10 に示すトランジスタ 106 [1] およびトランジスタ 107 [1] は明示的にソース電極またはドレイン電極の他方を有さないが、便宜上、このような状態の素子を含めてトランジスタと呼ぶ場合がある。また、この

50



場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。

【0161】

導電膜328a乃至導電膜328cとしては、銅(Cu)、タングステン(W)、モリブデン(Mo)、金(Au)、アルミニウム(Al)、マンガン(Mn)、チタン(Ti)、タンタル(Ta)、ニッケル(Ni)、クロム(Cr)、鉛(Pb)、錫(Sn)、鉄(Fe)、コバルト(Co)の低抵抗材料からなる単体、もしくは低抵抗材料の合金、またはこれらを主成分とする化合物を含む導電膜の単層または積層とすることが好ましい。特に、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましい。また、導電膜328a乃至導電膜328cはアルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。さらに、導電膜328a乃至導電膜328cにCu-Mn合金を用いると、酸素を含む絶縁体との界面に酸化マンガンを形成し、酸化マンガンがCuの拡散を抑制する機能を持つので好ましい。また、導電膜328a乃至導電膜328cなどは、スパッタリング法またはCVD法などを用いて成膜することができる。

10

【0162】

絶縁膜311は、絶縁膜310に用いることができる上記の絶縁膜を用いて形成することができる。また、絶縁膜311は、ポリイミド樹脂、ポリアミド樹脂、アクリル樹脂、シロキサン樹脂、エポキシ樹脂、フェノール樹脂等の有機樹脂を用いることもできる。

【0163】

なお、絶縁膜311をCVD法により形成することで、絶縁膜311の水素含有量が高まる。このような絶縁膜311存在下、加熱処理を行うことにより、半導体膜320を水素化し、水素によりダングリングボンドを終端させ、半導体膜320中の欠陥を低減することができる。このように、半導体膜320のダングリングボンドを終端させることにより、トランジスタ106[1]およびトランジスタ107[1]の信頼性を向上させることができる。

20

【0164】

導電膜328a乃至導電膜328cおよび絶縁膜311の上に絶縁膜312が形成され、絶縁膜312の上に導電膜330a乃至導電膜330c、導電膜332、導電膜334および導電膜336が形成されている。導電膜330aは絶縁膜312に設けられた開口部を介して導電膜328aと接続され、導電膜330bは絶縁膜312に設けられた開口部を介して導電膜328bと接続され、導電膜330cは絶縁膜312に設けられた開口部を介して導電膜328cと接続される。また、図10で示していないが、導電膜332は、導電膜330cがゲート電極324aと電氣的に接続されるのと同様に絶縁膜312および絶縁膜311に設けられた開口部を介してゲート電極324bと電氣的に接続される。

30

【0165】

ここで、導電膜332は、図9(A)において行方向に延伸して設けられており、先の実施の形態に示す配線CONTEXT[1]として機能する。また、導電膜334は、容量素子108[1]の第2の端子として機能する。なお、導電膜334は、図9(A)において行方向に延伸して設けられており、回路102[1]乃至102[n]の回路104[1]においても容量素子108[1]の第2の端子として機能する。

40

【0166】

導電膜336は、トランジスタ105[1]のバックゲートとして機能する。このような導電膜336を設けることにより、トランジスタ105[1]のしきい値電圧の制御を行うことができる。導電膜336は、電氣的に絶縁しているフローティングの状態であっても良いし、電位が他の配線から与えられている状態であっても良い。導電膜336の状態は、トランジスタ105[1]のしきい値電圧の制御に応じて適宜設定することができる。なお、導電膜336は、図9(A)において行方向に延伸して設けられており、回路102[1]乃至102[n]の回路104[1]においてもトランジスタ105[1]

50

のバックゲートとして機能する。また、トランジスタ105[1]は少なくとも一つのゲート電極を有していればよく、必ずしもバックゲートとして機能する導電膜336を設けなくてもよい。

【0167】

導電膜330a乃至導電膜330c、導電膜332、導電膜334および導電膜336は、導電膜328aおよび導電膜328bに用いることができる上記の材料を用いて形成することができる。

【0168】

絶縁膜312は、絶縁膜310に用いることができる上記の絶縁膜を用いて形成することができる。また、絶縁膜312は、ポリイミド樹脂、ポリアミド樹脂、アクリル樹脂、シロキサン樹脂、エポキシ樹脂、フェノール樹脂等の有機樹脂を用いることもできる。

10

【0169】

なお、絶縁膜312は、CMP (Chemical Mechanical Polishing) 法などの平坦化処理を行って平坦性の向上を図ることが好ましい。

【0170】

絶縁膜313の上に絶縁膜314が形成され、絶縁膜314の上に絶縁膜315が形成されている。

【0171】

上記の通り、トランジスタ106[1]およびトランジスタ107[1]の半導体膜320の近傍に設けられる絶縁膜311などの中の水素でシリコンのダングリングボンドを末端させた。しかしながら、トランジスタ105[1]の酸化物半導体膜340の近傍に設けられる絶縁膜中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなるため、トランジスタ105[1]の信頼性を低下させる要因となる場合がある。よって、下層に設けられたトランジスタ106[1]およびトランジスタ107[1]と、上層に設けられたトランジスタ105[1]との間に位置する絶縁膜314として、水素の拡散を防止する機能を有する絶縁膜を設けることは特に効果的である。絶縁膜314により、下層に水素を閉じ込めることでトランジスタ106[1]およびトランジスタ107[1]の信頼性が向上することに加え、絶縁膜314は下層から上層に水素が拡散することが抑制されることでトランジスタ105[1]の信頼性も同時に向上させることができる。

20

【0172】

絶縁膜314としては、例えば、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア (YSZ) 等を用いることができる。

30

【0173】

絶縁膜315として、加熱により酸素の一部が脱離する酸化絶縁膜を用いて形成することが好ましい。加熱により酸素の一部が脱離する酸化絶縁膜としては、化学量論比を満たす酸素よりも多くの酸素を含む酸化絶縁膜を用いる。絶縁膜315としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム、酸化窒化アルミニウムを単層または積層して用いることができる。

40

【0174】

なお、絶縁膜315は、CMP法などの平坦化処理を行って平坦性の向上を図ることが好ましい。

【0175】

トランジスタ105[1]は、絶縁膜315上に形成されている。トランジスタ105[1]は、絶縁膜315上に、酸化物半導体膜340と、酸化物半導体膜340に電氣的に接続された、ソース電極またはドレイン電極として機能する導電膜344a及び導電膜344bと、酸化物半導体膜340の上に接して形成されたゲート絶縁膜346と、ゲート絶縁膜346を間に挟んで酸化物半導体膜340と重なるゲート電極348と、を有す

50

る。また、導電膜 344a は、容量素子 108 [ 1 ] の第 1 の端子として機能する。

【 0176 】

ここで、酸化物半導体膜 340 は、絶縁膜 315 上において順に積層された酸化物半導体膜 340a 乃至酸化物半導体膜 340c を有する場合を例示している。ただし、本発明の一態様では、トランジスタ 105 [ 1 ] が有する酸化物半導体膜 340 が、単膜の金属酸化物膜で構成されていても良い。

【 0177 】

また、絶縁膜 315 上には導電膜 342a および導電膜 342b も形成されている。導電膜 342a は絶縁膜 313 乃至絶縁膜 315 に設けられた開口部を介して導電膜 330a と接続され、導電膜 342b は絶縁膜 313 乃至絶縁膜 315 に設けられた開口部を介して導電膜 330b と接続され、導電膜 344a は絶縁膜 313 乃至絶縁膜 315 に設けられた開口部を介して導電膜 330c と接続される。

【 0178 】

導電膜 342a、導電膜 342b、導電膜 344a および導電膜 344b は、導電膜 328a および導電膜 328b に用いることができる上記の材料を用いて形成することができる。

【 0179 】

ゲート絶縁膜 346 には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、ゲート絶縁膜 346 は上記材料の積層であってもよい。なお、ゲート絶縁膜 346 に、ランタン (La)、窒素、ジルコニウム (Zr) などを、不純物として含んでいてもよい。

【 0180 】

また、ゲート絶縁膜 346 の積層構造の一例について説明する。ゲート絶縁膜 346 は、例えば、酸素、窒素、シリコン、ハフニウムなどを有する。具体的には、ゲート絶縁膜 346 は、酸化ハフニウム、および酸化シリコンまたは酸化窒化シリコンを含むと好ましい。酸化ハフニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、酸化ハフニウムを用いた場合、酸化シリコンを用いた場合と比べて、ゲート絶縁膜 346 の膜厚を大きくできるため、等価酸化膜厚を 10nm 以下または 5nm 以下とした場合でも、トンネル電流によるリーク電流を小さくすることができる。即ち、オフ電流の小さいトランジスタを実現することができる。

【 0181 】

ここで、ゲート電極 348 は、図 9 (B) において行方向に延伸して設けられており、先の実施の形態に示す配線 WL [ 1 ] として機能する。

【 0182 】

ゲート電極 348 は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金などを用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属元素を用いてもよい。また、ゲート電極 348 は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造などがある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジウム、スカンジウムから選ばれた一または複数を組み合わせた合金膜、もしくは窒化膜を用いてもよい。

【 0183 】

また、ゲート電極 348 は、インジウム錫酸化物、酸化タングステンを含むインジウム

10

20

30

40

50

酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

【0184】

なお、酸化物半導体膜にチャネル形成領域を有するトランジスタ、および当該酸化物半導体膜の詳細な説明については後述する。

【0185】

トランジスタ105[1]および絶縁膜315の上に絶縁膜316が形成され、絶縁膜316の上に絶縁膜317が形成されている。

10

【0186】

絶縁膜316は酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキング効果を有することが好ましい。絶縁膜316としては、例えば、窒化物絶縁膜を用いることができる。該窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。なお、窒化物絶縁膜の代わりに、酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜を設けてもよい。酸化物絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

【0187】

酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高いので絶縁膜316に適用するのに好ましい。また、酸化アルミニウム膜に含まれる酸素を酸化物半導体膜340に拡散させることもできる。

20

【0188】

絶縁膜317は、絶縁膜310に用いることができる上記の絶縁膜を用いて形成することができる。

【0189】

絶縁膜317上に導電膜350a乃至350cが形成されている。導電膜350aは絶縁膜316および絶縁膜317に設けられた開口部C<sub>1</sub>を介して導電膜342aと接続され、導電膜350bは絶縁膜316および絶縁膜317に設けられた開口部D<sub>1</sub>を介して導電膜342bと接続され、導電膜350cは絶縁膜316および絶縁膜317に設けられた開口部を介して導電膜344bと接続されている。

30

【0190】

導電膜350aは、図9(B)において列方向に延伸して設けられており、回路104[2]において絶縁膜311乃至317に設けられた開口部C<sub>2</sub>を介してトランジスタ106[2]のソース領域またはドレイン領域の一方と電気的に接続される。また、導電膜350aの一方は、図1に示す第1の領域113aまで延伸されて同じ段のインバータ103の出力端子と電気的に接続され、導電膜350aの他方は、図9に示す回路はm=2の場合について例示しているので、開口部C<sub>2</sub>を介してトランジスタ106[2]とコンタクトを取ったところで途切れる。つまり、導電膜350aは、先の実施の形態に示す端子Aと端子C<sub>1</sub>および端子Aと端子C<sub>2</sub>の間の配線として機能する。

40

【0191】

また、導電膜350bは、図9(B)において列方向に延伸して設けられており、回路104[2]において絶縁膜311乃至317に設けられた開口部D<sub>2</sub>を介してトランジスタ107[2]のソース領域またはドレイン領域の一方と電気的に接続される。また、図9に示す回路はm=2の場合について例示しているので、導電膜350bの一方は、開口部D<sub>1</sub>を介してトランジスタ107[1]とコンタクトを取ったところで途切れており、導電膜350bの他方は、図1に示す第3の領域113bまで延伸されて次の段のインバータ103の入力端子と電気的に接続される。つまり、導電膜350bは、先の実施の形態に示す端子D<sub>1</sub>と端子Bおよび端子D<sub>2</sub>と端子Bの間の配線として機能する。

【0192】

50

ここで、開口部  $C_1$  に設けられた導電膜は、トランジスタ 106 [ 1 ] のソース領域またはドレイン領域の一方と電氣的に接続されており、図 2 に示す端子  $C_1$  とみなすことができる。同様に、開口部  $C_2$  に設けられた導電膜は、図 2 に示す端子  $C_2$  とみなすことができ、開口部  $D_1$  に設けられた導電膜は、図 2 に示す端子  $D_1$  とみなすことができ、開口部  $D_2$  に設けられた導電膜は、図 2 に示す端子  $D_2$  とみなすことができる。

【 0 1 9 3 】

よって、開口部  $C_1$  と開口部  $C_2$  の間の距離を  $a_2 - a_1$  とみなし、開口部  $D_1$  と開口部  $D_2$  の間の距離を  $b_1 - b_2$  とみなすことができる。図 9 に示すように、本実施の形態に示す半導体装置においては、関係は  $a_2 - a_1 = b_1 - b_2$  となる。これは先の実施の形態に示す式 ( 1 ) を満たす。

10

【 0 1 9 4 】

つまり、開口部  $C_1$  と開口部  $C_2$  の間の距離が開口部  $D_1$  と開口部  $D_2$  の間の距離と概略等しい構成とすることにより、回路 104 の配線経路の選択によらず、回路 102 の端子 A と端子 B の間の配線抵抗を概略等しくすることができる。また、言い換えると、導電膜 350 a における、開口部  $C_1$  と重なる部分と開口部  $C_2$  と重なる部分の間の距離が、導電膜 350 b における、開口部  $D_1$  と重なる部分と開口部  $D_2$  と重なる部分の間の距離と概略等しい構成とすることにより、回路 104 の配線経路の選択によらず、回路 102 の端子 A と端子 B の間の配線抵抗を概略等しくすることができる。これにより、本実施の形態に示す半導体装置は、特定のデータに対応する発振周波数を概略等しくすることができるので、発振周波数の精度を向上させることができる。

20

【 0 1 9 5 】

また、導電膜 350 c は、図 9 ( B ) において列方向に延伸して設けられており、回路 104 [ 2 ] において絶縁膜 317 および絶縁膜 316 に設けられた開口部を介してトランジスタ 105 [ 2 ] のソース電極またはドレイン電極の一方と電氣的に接続される。また、図 9 に示す回路は  $m = 2$  の場合について例示しているので、導電膜 350 c の一方は、開口部を介してトランジスタ 105 [ 1 ] とコンタクトを取ったところで途切れている。つまり、導電膜 350 c は、先の実施の形態に示す配線 B L として機能する。

【 0 1 9 6 】

導電膜 350 a 乃至導電膜 350 c は、導電膜 328 a および導電膜 328 b に用いることができる上記の材料を用いて形成することができる。

30

【 0 1 9 7 】

以上のような構成とすることにより、本実施の形態に示す半導体装置は、新規の回路構成を提供することができる。または、本実施の形態に示す半導体装置は、発振周波数を切り替えること、又はそれを実現可能な回路構成を提供することができる。または、本実施の形態に示す半導体装置は、発振周波数の精度を向上させること、又はそれを実現可能な回路構成を提供することができる。

【 0 1 9 8 】

なお、導電膜 350 a と不純物領域 320 a の接続では、絶縁膜の開口部と導電膜を繰り返して形成したが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、絶縁膜 317 乃至絶縁膜 311 に一括で開口部を形成し、導電膜 350 a と不純物領域 320 a を直接接続するような構成としてもよい。また、これは、回路 104 の他の開口部と導電膜についても同様のことが言える。

40

【 0 1 9 9 】

また、容量素子 108 [ 1 ] において、第 2 の端子として機能する導電膜 334 を第 1 の端子として機能する導電膜 344 a の下に設けたが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、導電膜 344 a の上に第 2 の端子として機能する導電膜を設け、絶縁膜 316 を誘電体として用いる構成としてもよい。

【 0 2 0 0 】

また、図 10 では、トランジスタ 105 [ 1 ] が、ゲート電極 348 に対応したチャネル形成領域を有する場合を例示している。しかし、トランジスタ 105 [ 1 ] は、電氣的

50

に接続された複数のゲート電極を有することで、一の活性層にチャンネル形成領域を複数有する、マルチゲート構造であっても良い。また、本実施の形態では、トランジスタ105とトランジスタ106およびトランジスタ107とが、重畳しない構成となっているが、本実施の形態に示す半導体装置はこれに限られるものではなく、トランジスタ105とトランジスタ106および/またはトランジスタ107とが、重畳する構成としてもよい。また、本実施の形態では、トランジスタ105のチャンネル長方向とトランジスタ106およびトランジスタ107のチャンネル長方向とが、平行な構成となっているが、本実施の形態に示す半導体装置はこれに限られるものではなく、トランジスタ105のチャンネル長方向とトランジスタ106およびトランジスタ107のチャンネル長方向とが、平行にならない構成としてもよい。

10

#### 【0201】

トランジスタについて

次いで、酸化物半導体膜にチャンネル形成領域を有するトランジスタ90の構成例について説明する。

#### 【0202】

図11に、酸化物半導体膜にチャンネル形成領域を有するトランジスタ90の構成を、一例として示す。図11(A)には、トランジスタ90の上面図を示す。なお、図11(A)では、トランジスタ90のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図11(A)に示した上面図の、一点鎖線A1-A2における断面図を図11(B)に示し、一点鎖線A3-A4における断面図を図11(C)に示す。

20

#### 【0203】

図11に示すように、トランジスタ90は、基板97に形成された絶縁膜91上において順に積層された酸化物半導体膜92a及び酸化物半導体膜92bと、酸化物半導体膜92bに電氣的に接続され、ソース電極またはドレイン電極としての機能を有する導電膜93及び導電膜94と、酸化物半導体膜92b、導電膜93及び導電膜94上の酸化物半導体膜92cと、ゲート絶縁膜としての機能を有し、なおかつ酸化物半導体膜92c上に位置する絶縁膜95と、ゲート電極としての機能を有し、なおかつ絶縁膜95上において酸化物半導体膜92a乃至酸化物半導体膜92cと重なる導電膜96とを有する。なお、基板97は、ガラス基板や半導体基板などであってもよいし、ガラス基板や半導体基板上に半導体素子が形成された素子基板であってもよい。

30

#### 【0204】

ここで、トランジスタ90は、上述のトランジスタ105と対応しており、絶縁膜91は絶縁膜315と、酸化物半導体膜92a乃至酸化物半導体膜92cは酸化物半導体膜340と、導電膜93および導電膜94は導電膜344aおよび導電膜344bと、絶縁膜95はゲート絶縁膜346と、導電膜96はゲート電極348と、が対応する。

#### 【0205】

また、トランジスタ90の、具体的な構成の別の一例を、図12に示す。図12(A)には、トランジスタ90の上面図を示す。なお、図12(A)では、トランジスタ90のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図12(A)に示した上面図の、一点鎖線A1-A2における断面図を図12(B)に示し、一点鎖線A3-A4における断面図を図12(C)に示す。

40

#### 【0206】

図12に示すように、トランジスタ90は、絶縁膜91上において順に積層された酸化物半導体膜92a乃至酸化物半導体膜92cと、酸化物半導体膜92cに電氣的に接続され、ソース電極またはドレイン電極としての機能を有する導電膜93及び導電膜94と、ゲート絶縁膜としての機能を有し、なおかつ酸化物半導体膜92c、導電膜93及び導電膜94上に位置する絶縁膜95と、ゲート電極としての機能を有し、なおかつ絶縁膜95上において酸化物半導体膜92a乃至酸化物半導体膜92cと重なる導電膜96とを有する。

#### 【0207】

50

なお、図 1 1 及び図 1 2 では、積層された酸化物半導体膜 9 2 a 乃至酸化物半導体膜 9 2 c を用いるトランジスタ 9 0 の構成を例示している。トランジスタ 9 0 が有する酸化物半導体膜は、積層された複数の酸化物半導体膜で構成されているとは限らず、単膜の酸化物半導体膜で構成されていても良い。

#### 【 0 2 0 8 】

酸化物半導体膜 9 2 a 乃至酸化物半導体膜 9 2 c が順に積層されている半導体膜をトランジスタ 9 0 が有する場合、酸化物半導体膜 9 2 a 及び酸化物半導体膜 9 2 c は、酸化物半導体膜 9 2 b を構成する金属元素の少なくとも 1 つを、その構成要素に含み、伝導帯下端のエネルギーが酸化物半導体膜 9 2 b よりも  $0.05 \text{ eV}$  以上、 $0.07 \text{ eV}$  以上、 $0.1 \text{ eV}$  以上または  $0.15 \text{ eV}$  以上、かつ  $2 \text{ eV}$  以下、 $1 \text{ eV}$  以下、 $0.5 \text{ eV}$  以下または  $0.4 \text{ eV}$  以下、真空準位に近い酸化物膜である。さらに、酸化物半導体膜 9 2 b は、少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。

10

#### 【 0 2 0 9 】

上記構成の半導体膜をトランジスタ 9 0 が有する場合、ゲート電極に電圧を印加することで、半導体膜に電界が加わると、半導体膜のうち、伝導帯下端のエネルギーが小さい酸化物半導体膜 9 2 b にチャンネル領域が形成される。即ち、酸化物半導体膜 9 2 b と絶縁膜 9 5 との間に酸化物半導体膜 9 2 c が設けられていることによって、絶縁膜 9 5 と隔離している酸化物半導体膜 9 2 b に、チャンネル領域を形成することができる。

#### 【 0 2 1 0 】

また、酸化物半導体膜 9 2 c は、酸化物半導体膜 9 2 b を構成する金属元素の少なくとも 1 つをその構成要素に含むため、酸化物半導体膜 9 2 b と酸化物半導体膜 9 2 c の界面では、界面散乱が起こりにくい。従って、当該界面においてキャリアの動きが阻害されにくいいため、トランジスタ 9 0 の電界効果移動度が高くなる。

20

#### 【 0 2 1 1 】

また、酸化物半導体膜 9 2 b と酸化物半導体膜 9 2 a の界面に界面準位が形成されると、界面近傍の領域にもチャンネル領域が形成されるために、トランジスタ 9 0 の閾値電圧が変動してしまう。しかし、酸化物半導体膜 9 2 a は、酸化物半導体膜 9 2 b を構成する金属元素の少なくとも 1 つをその構成要素に含むため、酸化物半導体膜 9 2 b と酸化物半導体膜 9 2 a の界面には、界面準位が形成されにくい。よって、上記構成により、トランジスタ 9 0 の閾値電圧等の電気的特性のばらつきを、低減することができる。

30

#### 【 0 2 1 2 】

また、酸化物半導体膜間に不純物が存在することによって、各膜の界面にキャリアの流れを阻害する界面準位が形成されることがないように、複数の酸化物半導体膜を積層させることが望ましい。積層された酸化物半導体膜の膜間に不純物が存在していると、酸化物半導体膜間における伝導帯下端のエネルギーの連続性が失われ、界面近傍において、キャリアがトラップされるか、あるいは再結合により消滅してしまうからである。膜間における不純物を低減させることで、主成分である一の金属を少なくとも共に有する複数の酸化物半導体膜を、単に積層させるよりも、連続接合（ここでは特に伝導帯下端のエネルギーが各膜の間で連続的に変化する U 字型の井戸構造を有している状態）が形成されやすくなる。

40

#### 【 0 2 1 3 】

連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置（スパッタリング装置）を用いて各膜を大気に触れさせることなく連続して積層することが必要となる。スパッタリング装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ $5 \times 10^{-7} \text{ Pa}$  乃至  $1 \times 10^{-4} \text{ Pa}$  程度まで）することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせる排気系からチャンバー内に気体が逆流しないようにしておくことが好ましい。

#### 【 0 2 1 4 】

高純度の真性な酸化物半導体を得るためには、各チャンバー内を高真空排気するのみな

50

らず、スパッタリングに用いるガスの高純度化も重要である。上記ガスとして用いる酸素ガスやアルゴンガスの露点を、 $-40$  以下、好ましくは $-80$  以下、より好ましくは $-100$  以下とし、使用するガスの高純度化を図ることで、酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。具体的に、酸化物半導体膜92bがIn-M-Zn酸化物(Mは、Ga、Y、Zr、La、Ce、またはNd)の場合、酸化物半導体膜92bを成膜するために用いるターゲットにおいて、金属元素の原子数比をIn:M:Zn= $x_1$ : $y_1$ : $z_1$ とすると、 $x_1/y_1$ は、 $1/3$ 以上6以下、さらには1以上6以下であって、 $z_1/y_1$ は、 $1/3$ 以上6以下、さらには1以上6以下であることが好ましい。なお、 $z_1/y_1$ を1以上6以下とすることで、酸化物半導体膜92bとしてCAAC-OS膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn=1:1:1、In:M:Zn=3:1:2等がある。

10

## 【0215】

具体的に、酸化物半導体膜92a、酸化物半導体膜92cがIn-M-Zn酸化物(Mは、Ga、Y、Zr、La、Ce、またはNd)の場合、酸化物半導体膜92a、酸化物半導体膜92cを成膜するために用いるターゲットにおいて、金属元素の原子数比をIn:M:Zn= $x_2$ : $y_2$ : $z_2$ とすると、 $x_2/y_2 < x_1/y_1$ であって、 $z_2/y_2$ は、 $1/3$ 以上6以下、さらには1以上6以下であることが好ましい。なお、 $z_2/y_2$ を1以上6以下とすることで、酸化物半導体膜92a、酸化物半導体膜92cとしてCAAC-OS膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn=1:3:2、In:M:Zn=1:3:4、In:M:Zn=1:3:6、In:M:Zn=1:3:8等がある。

20

## 【0216】

なお、酸化物半導体膜92a及び酸化物半導体膜92cの厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。また、酸化物半導体膜92bの厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下であり、さらに好ましくは3nm以上50nm以下である。

## 【0217】

3層構造の半導体膜において、酸化物半導体膜92a乃至酸化物半導体膜92cは、非晶質または結晶質の両方の形態を取りうる。ただし、チャンネル領域が形成される酸化物半導体膜92bが結晶質であることにより、トランジスタ90に安定した電気的特性を付与することができるため、酸化物半導体膜92bは結晶質であることが好ましい。

30

## 【0218】

なお、チャンネル形成領域とは、トランジスタ90の半導体膜のうち、ゲート電極と重なり、かつソース電極とドレイン電極に挟まれる領域を意味する。また、チャンネル領域とは、チャンネル形成領域において、電流が主として流れる領域をいう。

## 【0219】

例えば、酸化物半導体膜92a及び酸化物半導体膜92cとして、スパッタリング法により形成したIn-Ga-Zn酸化物膜を用いる場合、酸化物半導体膜92a及び酸化物半導体膜92cの成膜には、In-Ga-Zn酸化物(In:Ga:Zn=1:3:2[原子数比])であるターゲットを用いることができる。成膜条件は、例えば、成膜ガスとしてアルゴンガスを30sccm、酸素ガスを15sccm用い、圧力0.4Paとし、基板温度を200とし、DC電力0.5kWとすればよい。

40

## 【0220】

また、酸化物半導体膜92bをCAAC-OS膜とする場合、酸化物半導体膜92bの成膜には、In-Ga-Zn酸化物(In:Ga:Zn=1:1:1[原子数比])を含む多結晶ターゲットを用いることが好ましい。成膜条件は、例えば、成膜ガスとしてアルゴンガスを30sccm、酸素ガスを15sccm用い、圧力を0.4Paとし、基板の温度300とし、DC電力0.5kWとすることができる。

## 【0221】

なお、酸化物半導体膜92a乃至92cは、スパッタリング法により形成することがで

50



きるが、他の方法、例えば、熱CVD法により形成してもよい。熱CVD法の例としてMOCVD (Metal Organic Chemical Vapor Deposition) 法やALD (Atomic Layer Deposition) 法を使っても良い。

#### 【0222】

なお、電子供与体(ドナー)となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体(purified Oxide Semiconductor)は、キャリア発生源が少ないため、i型(真性半導体)又はi型に限りなく近くすることができる。そのため、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタは、オフ電流が著しく小さく、信頼性が高い。そして、当該酸化物半導体膜にチャネル形成領域が形成されるトランジスタは、閾値電圧がプラスとなる電気的特性(ノーマリーオフ特性ともいう。)になりやすい。

10

#### 【0223】

不純物元素を低減することで、このような高純度化された酸化物半導体膜は膜中のキャリア密度が低減されている。膜中のキャリア密度は、例えば、 $1 \times 10^{17}$  個/cm<sup>3</sup>以下、又は $1 \times 10^{15}$  個/cm<sup>3</sup>以下、又は $1 \times 10^{13}$  個/cm<sup>3</sup>以下、又は $8 \times 10^{11}$  個/cm<sup>3</sup>以下、とすることができる。より好ましくは、キャリア密度を $8 \times 10^{11}$  個/cm<sup>3</sup>未満、 $1 \times 10^{11}$  個/cm<sup>3</sup>未満、さらに好ましくは $1 \times 10^{10}$  個/cm<sup>3</sup>未満とし、 $1 \times 10^{-9}$  個/cm<sup>3</sup>以上とすることができる。

20

#### 【0224】

具体的に、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6$  μmでチャネル長が10 μmの素子であっても、ソース電極とドレイン電極間の電圧(ドレイン電圧)が1 Vから10 Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13}$  A以下という特性を得ることができる。この場合、トランジスタのチャネル幅で規格化したオフ電流は、100 z A/μm以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、高純度化された酸化物半導体膜を上記トランジスタのチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が3 Vの場合に、数十y A/μmという、さらに小さいオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく小さい。

30

#### 【0225】

なお、半導体膜として酸化物半導体膜を用いる場合、酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。また、スタビライザーとしてジルコニウム(Zr)を含むことが好ましい。

40

#### 【0226】

酸化物半導体の中でもIn-Ga-Zn酸化物、In-Sn-Zn酸化物などは、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、スパッタリング法や湿式法により電気的特性の優れたトランジスタを作製することが可能であり、量産性に優れるといった利点がある。また、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、上記In-Ga-Zn酸化物は、ガラス基板上に、電気的特性の優れたトランジスタを作製することが可能である。また、基板の大型化にも対応が可能である。

50

## 【0227】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種または複数種を含んでいてもよい。

## 【0228】

例えば、酸化物半導体として、酸化インジウム、酸化ガリウム、酸化スズ、酸化亜鉛、In-Zn酸化物、Sn-Zn酸化物、Al-Zn酸化物、Zn-Mg酸化物、Sn-Mg酸化物、In-Mg酸化物、In-Ga酸化物、In-Ga-Zn酸化物(IGZOとも表記する)、In-Al-Zn酸化物、In-Sn-Zn酸化物、Sn-Ga-Zn酸化物、Al-Ga-Zn酸化物、Sn-Al-Zn酸化物、In-Hf-Zn酸化物、In-La-Zn酸化物、In-Pr-Zn酸化物、In-Nd-Zn酸化物、In-Ce-Zn酸化物、In-Sm-Zn酸化物、In-Eu-Zn酸化物、In-Gd-Zn酸化物、In-Tb-Zn酸化物、In-Dy-Zn酸化物、In-Ho-Zn酸化物、In-Er-Zn酸化物、In-Tm-Zn酸化物、In-Yb-Zn酸化物、In-Lu-Zn酸化物、In-Sn-Ga-Zn酸化物、In-Hf-Ga-Zn酸化物、In-Al-Ga-Zn酸化物、In-Sn-Al-Zn酸化物、In-Sn-Hf-Zn酸化物、In-Hf-Al-Zn酸化物を用いることができる。

10

## 【0229】

なお、例えば、In-Ga-Zn酸化物とは、InとGaとZnを含む酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素を含んでいてもよい。In-Ga-Zn酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

20

## 【0230】

例えば、In-Sn-Zn酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

## 【0231】

また、トランジスタ90において、ソース電極及びドレイン電極に用いられる導電性材料によっては、ソース電極及びドレイン電極中の金属が、酸化物半導体膜から酸素を引き抜くことがある。この場合、酸化物半導体膜のうち、ソース電極及びドレイン電極に接する領域が、酸素欠損の形成によりn型化される。n型化された領域は、ソース領域またはドレイン領域として機能するため、酸化物半導体膜とソース電極及びドレイン電極との間におけるコンタクト抵抗を下げるることができる。よって、n型化された領域が形成されることで、トランジスタ90の移動度及びオン電流を高めることができ、それにより、トランジスタ90を用いた半導体装置の高速動作を実現することができる。

30

## 【0232】

なお、ソース電極及びドレイン電極中の金属による酸素の引き抜きは、ソース電極及びドレイン電極をスパッタリング法などにより形成する際に起こりうるし、ソース電極及びドレイン電極を形成した後に行われる加熱処理によっても起こりうる。また、n型化される領域は、酸素と結合し易い導電性材料をソース電極及びドレイン電極に用いることで、より形成されやすくなる。上記導電性材料としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wなどが挙げられる。

40

## 【0233】

複数の積層された酸化物半導体膜を有する半導体膜をトランジスタ90に用いる場合、n型化される領域は、チャンネル領域となる酸化物半導体膜92bにまで達していることが、トランジスタ90の移動度及びオン電流を高め、半導体装置の高速動作を実現する上で好ましい。

## 【0234】

50

絶縁膜 9 1 は、加熱により上記酸素の一部を酸化物半導体膜 9 2 a 乃至酸化物半導体膜 9 2 c に供給する機能を有する絶縁膜であることが望ましい。また、絶縁膜 9 1 は、欠陥が少ないことが好ましく、代表的には、E S R 測定により得られる、シリコンのダングリングボンドに由来する  $g = 2.001$  を持つスピンの密度が  $1 \times 10^{18} \text{ spins/cm}^3$  以下であることが好ましい。

#### 【0235】

絶縁膜 9 1 は、加熱により上記酸素の一部を酸化物半導体膜 9 2 a 乃至酸化物半導体膜 9 2 c に供給する機能を有するため、酸化物であることが望ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化珪素、酸化窒化珪素、窒化酸化珪素、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどを用いることができる。絶縁膜 9 1 は、プラズマ C V D ( C h e m i c a l V a p o r D e p o s i t i o n ) 法またはスパッタリング法等により、形成することができる。

10

#### 【0236】

なお、本明細書中において、酸化窒化物は、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物は、その組成として、酸素よりも窒素の含有量が多い材料を指す。

#### 【0237】

なお、図 1 1 及び図 1 2 に示すトランジスタ 9 0 は、チャネル領域が形成される酸化物半導体膜 9 2 b の端部のうち、導電膜 9 3 及び導電膜 9 4 とは重ならない端部、言い換えると、導電膜 9 3 及び導電膜 9 4 が位置する領域とは異なる領域に位置する端部と、導電膜 9 6 とが、重なる構成を有する。酸化物半導体膜 9 2 b の端部は、当該端部を形成するためのエッチングでプラズマに曝されるときに、エッチングガスから生じた塩素ラジカル、フッ素ラジカル等が、酸化物半導体を構成する金属元素と結合しやすい。よって、酸化物半導体膜の端部では、当該金属元素と結合していた酸素が脱離しやすい状態にあるため、酸素欠損が形成され、n 型化しやすいと考えられる。しかし、図 1 1 及び図 1 2 に示すトランジスタ 9 0 では、導電膜 9 3 及び導電膜 9 4 とは重ならない酸化物半導体膜 9 2 b の端部と、導電膜 9 6 とが重なるため、導電膜 9 6 の電位を制御することにより、当該端部にかかる電界を制御することができる。よって、酸化物半導体膜 9 2 b の端部を介して導電膜 9 3 と導電膜 9 4 の間に流れる電流を、導電膜 9 6 に与える電位によって制御することができる。このようなトランジスタ 9 0 の構造を、S u r r o u n d e d C h a n n e l ( S - C h a n n e l ) 構造とよぶ。

20

30

#### 【0238】

具体的に、S - C h a n n e l 構造の場合、トランジスタ 9 0 がオフとなるような電位を導電膜 9 6 に与えたときは、当該端部を介して導電膜 9 3 と導電膜 9 4 の間に流れるオフ電流を小さく抑えることができる。そのため、トランジスタ 9 0 では、大きなオン電流を得るためにチャネル長を短くし、その結果、酸化物半導体膜 9 2 b の端部における導電膜 9 3 と導電膜 9 4 の間の長さが短くなっても、トランジスタ 9 0 のオフ電流を小さく抑えることができる。よって、トランジスタ 9 0 は、チャネル長を短くすることで、オンのときには大きいオン電流を得ることができ、オフのときにはオフ電流を小さく抑えることができる。

40

#### 【0239】

また、具体的に、S - C h a n n e l 構造の場合、トランジスタ 9 0 がオンとなるような電位を導電膜 9 6 に与えたときは、当該端部を介して導電膜 9 3 と導電膜 9 4 の間に流れる電流を大きくすることができる。当該電流は、トランジスタ 9 0 の電界効果移動度とオン電流の増大に寄与する。そして、酸化物半導体膜 9 2 b の端部と、導電膜 9 6 とが重なることで、酸化物半導体膜 9 2 b においてキャリアの流れる領域が、絶縁膜 9 5 に近い酸化物半導体膜 9 2 b の界面近傍のみでなく、酸化物半導体膜 9 2 b の広い範囲においてキャリアが流れるため、トランジスタ 9 0 におけるキャリアの移動量が増加する。この結果、トランジスタ 9 0 のオン電流が大きくなる共に、電界効果移動度が高くなり、代表的

50

には電界効果移動度が  $10 \text{ cm}^2 / \text{V} \cdot \text{s}$  以上、さらには  $20 \text{ cm}^2 / \text{V} \cdot \text{s}$  以上となる。なお、ここでの電界効果移動度は、酸化物半導体膜の物性値としての移動度の近似値ではなく、トランジスタの飽和領域における電流駆動力の指標であり、見かけ上の電界効果移動度である。

【0240】

以下では、酸化物半導体膜の構造について説明する。

【0241】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜などをいう。

10

【0242】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

【0243】

微結晶酸化物半導体膜は、例えば、 $1 \text{ nm}$  以上  $10 \text{ nm}$  未満の大きさの微結晶 (ナノ結晶ともいう。) を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

20

【0244】

CAAC-OS 膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が  $100 \text{ nm}$  未満の立方体内に収まる大きさである。従って、CAAC-OS 膜に含まれる結晶部は、一辺が  $10 \text{ nm}$  未満、 $5 \text{ nm}$  未満または  $3 \text{ nm}$  未満の立方体内に収まる大きさの場合も含まれる。CAAC-OS 膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。CAAC-OS 膜を透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって観察すると、結晶部同士の明確な境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、CAAC-OS 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

30

【0245】

CAAC-OS 膜を、試料面と概略平行な方向から TEM によって観察 (断面 TEM 観察) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS 膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、CAAC-OS 膜の被形成面または上面と平行に配列する。

【0246】

本明細書において、「平行」とは、二つの直線が  $-10^\circ$  以上  $10^\circ$  以下の角度で配置されている状態をいう。従って、 $-5^\circ$  以上  $5^\circ$  以下の場合も含まれる。また、「垂直」とは、二つの直線が  $80^\circ$  以上  $100^\circ$  以下の角度で配置されている状態をいう。従って、 $85^\circ$  以上  $95^\circ$  以下の場合も含まれる。

40

【0247】

一方、CAAC-OS 膜を、試料面と概略垂直な方向から TEM によって観察 (平面 TEM 観察) すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0248】

断面 TEM 観察および平面 TEM 観察より、CAAC-OS 膜の結晶部は配向性を有していることがわかる。

【0249】

CAAC-OS 膜に対し、X線回折 (XRD: X-Ray Diffraction)

50

装置を用いて構造解析を行うと、例えば  $\text{InGaZnO}_4$  の結晶を有する C A A C - O S 膜の out - o f - p l a n e 法による解析では、回折角 ( $2\theta$ ) が  $31^\circ$  近傍にピークが現れる場合がある。このピークは、 $\text{InGaZnO}_4$  の結晶の (009) 面に帰属されることから、C A A C - O S 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

#### 【0250】

一方、C A A C - O S 膜に対し、c 軸に概略垂直な方向から X 線を入射させる in - p l a n e 法による解析では、 $2\theta$  が  $56^\circ$  近傍にピークが現れる場合がある。このピークは、 $\text{InGaZnO}_4$  の結晶の (110) 面に帰属される。 $\text{InGaZnO}_4$  の単結晶酸化物半導体膜であれば、 $2\theta$  を  $56^\circ$  近傍に固定し、試料面の法線ベクトルを軸 (c 軸) として試料を回転させながら分析 (スキャン) を行うと、(110) 面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、C A A C - O S 膜の場合は、 $2\theta$  を  $56^\circ$  近傍に固定して スキャンした場合でも、明瞭なピークが現れない。

10

#### 【0251】

以上のことから、C A A C - O S 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面 T E M 観察で確認された層状に配列した金属原子の各層は、結晶の a b 面に平行な面である。

#### 【0252】

なお、結晶部は、C A A C - O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、C A A C - O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が C A A C - O S 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

20

#### 【0253】

また、C A A C - O S 膜中の結晶化度が均一でなくてもよい。例えば、C A A C - O S 膜の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなる場合がある。また、C A A C - O S 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

30

#### 【0254】

なお、 $\text{InGaZnO}_4$  の結晶を有する C A A C - O S 膜の out - o f - p l a n e 法による解析では、 $2\theta$  が  $31^\circ$  近傍のピークの他に、 $2\theta$  が  $36^\circ$  近傍にもピークが現れる場合がある。 $2\theta$  が  $36^\circ$  近傍のピークは、C A A C - O S 膜中の一部に、c 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、 $2\theta$  が  $31^\circ$  近傍にピークを示し、 $2\theta$  が  $36^\circ$  近傍にピークを示さないことが好ましい。

#### 【0255】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気的特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

#### 【0256】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、C A A C - O S 膜のうち、二種以上を有する積層膜であってもよい。

40

#### 【0257】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

#### 【0258】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、処理室内に存在する不純物濃度 (水素、水、二酸化炭素、及び窒素など) を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が  $-80$  以下、好ましくは  $-100$  以下である成膜ガスを用いる。

#### 【0259】

50

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を100以上740以下、好ましくは200以上500以下として成膜する。成膜時の基板加熱温度を高めることで、平板状又はペレット状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【0260】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0261】

ターゲットの一例として、In-Ga-Zn酸化物ターゲットについて以下に示す。

【0262】

InO<sub>x</sub>粉末、GaO<sub>y</sub>粉末及びZnO<sub>z</sub>粉末を所定のmol数比で混合し、加圧処理後、1000以上1500以下の温度で加熱処理をすることで多結晶であるIn-Ga-Zn酸化物ターゲットとする。なお、X、Y及びZは任意の正数である。ここで、所定のmol数比は、例えば、InO<sub>x</sub>粉末、GaO<sub>y</sub>粉末及びZnO<sub>z</sub>粉末が、2:2:1、8:4:3、3:1:1、1:1:1、4:2:3、2:1:3または3:1:2である。なお、粉末の種類、及びその混合するmol数比は、作製するターゲットによって適宜変更すればよい。特に、In、Ga、Znのmol数比が2:1:3のターゲットを用いて作製されたCAAC-Os膜は、一定の範囲におけるCAAC-Osの回折パターンが観測される領域の割合(CAAC化率ともいう)を高くすることができるので、当該CAAC-Os膜にチャンネル形成領域を有するトランジスタの周波数特性(f特)を高めることができる。

【0263】

なお、アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちNaは、酸化物半導体膜に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散してNa<sup>+</sup>となる。また、Naは、酸化物半導体膜内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの電気的特性の劣化が起こり、加えて、特性のばらつきも生じる。具体的に、二次イオン質量分析法によるNa濃度の測定値は、 $5 \times 10^{16} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、Li濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、K濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。

【0264】

また、インジウムを含む金属酸化物が用いられている場合に、酸素との結合エネルギーがインジウムよりも大きいシリコンや炭素が、インジウムと酸素の結合を切断し、酸素欠損を形成することがある。そのため、シリコンや炭素が酸化物半導体膜に混入していると、アルカリ金属やアルカリ土類金属の場合と同様に、トランジスタの電気的特性の劣化が起こりやすい。よって、酸化物半導体膜中におけるシリコンや炭素の濃度は低いことが望ましい。具体的に、二次イオン質量分析法によるC濃度の測定値、またはSi濃度の測定値は、 $1 \times 10^{18} / \text{cm}^3$ 以下とするとよい。上記構成により、トランジスタの電気的特性の劣化を防ぐことができ、半導体装置の信頼性を高めることができる。

【0265】

また、酸化物半導体膜に含まれる水分または水素などの不純物をさらに低減して、酸化物半導体膜を高純度化するために、加熱処理を行ってもよい。

【0266】

例えば、減圧雰囲気下、窒素や希ガスなどの不活性雰囲気下、酸化性雰囲気下、又は超

10

20

30

40

50

乾燥エア（CRDS（キャピティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55）以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）雰囲気下で、酸化物半導体膜に加熱処理を施す。なお、酸化性雰囲気とは、酸素、オゾンまたは窒化酸素などの酸化性ガスを10ppm以上含有する雰囲気をいう。また、不活性雰囲気とは、前述の酸化性ガスが10ppm未満であり、その他、窒素または希ガスで充填された雰囲気をいう。

【0267】

なお、不活性ガス雰囲気加熱処理した後に、酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気加熱処理を行ってもよい。なお、加熱処理は、酸化物半導体膜の形成後であれば、いつ行ってもよい。例えば、酸化物半導体膜の選択的なエッチング後に加熱処理を行ってもよい。

10

【0268】

加熱処理は、250以上650以下、好ましくは300以上500以下で行えばよい。処理時間は24時間以内とする。

【0269】

加熱処理は、電気炉、RTA（Rapid Thermal Annealing）装置等を用いることができる。RTA装置を用いることで、短時間に限り、基板の歪み点以上の温度で熱処理を行うことができる。そのため加熱処理時間を短縮することができる。

【0270】

半導体装置の断面構造の変形例1

20

図13に、図2に示すトランジスタ105およびトランジスタ106に対応する断面構造の一例を示す。トランジスタ22はトランジスタ105に対応し、トランジスタ23はトランジスタ106に対応する。なお、破線A1-A2で示す領域では、トランジスタ22及びトランジスタ23のチャンネル長方向における構造を示しており、破線A3-A4で示す領域では、トランジスタ22及びトランジスタ23のチャンネル幅方向における構造を示している。ただし、本発明の一態様では、トランジスタ22のチャンネル長方向とトランジスタ23のチャンネル長方向とが、必ずしも一致していなくともよい。

【0271】

なお、トランジスタのチャンネル長方向とは、ソース（ソース領域またはソース電極）及びドレイン（ドレイン領域またはドレイン電極）間において、キャリアが移動する方向を意味し、チャンネル幅方向は、基板と水平な面内において、チャンネル長方向に対して垂直の方向を意味する。

30

【0272】

また、図13では、酸化物半導体膜にチャンネル形成領域を有するトランジスタ22が、単結晶のシリコン基板にチャンネル形成領域を有するトランジスタ23上に形成されている場合を例示している。

【0273】

トランジスタ23は、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜または半導体基板に、チャンネル形成領域を有していても良い。或いは、トランジスタ23は、酸化物半導体膜または酸化物半導体基板に、チャンネル形成領域を有していても良い。全てのトランジスタが酸化物半導体膜または酸化物半導体基板に、チャンネル形成領域を有している場合、トランジスタ22はトランジスタ23上に積層されていなくとも良く、トランジスタ22とトランジスタ23とは、同一の層に形成されていても良い。

40

【0274】

シリコンの薄膜を用いてトランジスタ23を形成する場合、当該薄膜には、プラズマCVD法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

50

## 【0275】

トランジスタ23が形成される基板400は、例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等を用いることができる。図13では、単結晶シリコン基板を基板400として用いる場合を例示している。

## 【0276】

また、トランジスタ23は、素子分離法により電氣的に分離されている。素子分離法として、トレンチ分離法等を用いることができる。図13では、トレンチ分離法を用いてトランジスタ23を電氣的に分離する場合を例示している。具体的に、図13では、エッチング等により基板400に形成されたトレンチに、酸化珪素などが含まれる絶縁物を埋め込んだ後、当該絶縁物をエッチング等により部分的に除去することで形成される素子分離領域401により、トランジスタ23を素子分離させて電氣的に分離する場合を例示している。

10

## 【0277】

また、トレンチ以外の領域に存在する基板400の凸部には、トランジスタ23の不純物領域402及び不純物領域403と、不純物領域402及び不純物領域403に挟まれたチャンネル形成領域404とが設けられている。さらに、トランジスタ23は、チャンネル形成領域404を覆う絶縁膜405と、絶縁膜405を間に挟んでチャンネル形成領域404と重なるゲート電極406とを有する。

## 【0278】

トランジスタ23では、チャンネル形成領域404における凸部の側部及び上部と、ゲート電極406とが絶縁膜405を間に挟んで重なることで、チャンネル形成領域404の側部と上部を含めた広い範囲においてキャリアが流れる。そのため、トランジスタ23の基板上における占有面積を小さく抑えつつ、トランジスタ23におけるキャリアの移動量を増加させることができる。その結果、トランジスタ23は、オン電流が大きくなると共に、電界効果移動度が高められる。特に、チャンネル形成領域404における凸部のチャンネル幅方向の長さ(チャンネル幅)を $W$ 、チャンネル形成領域404における凸部の膜厚を $T$ とすると、チャンネル幅 $W$ に対する膜厚 $T$ の比に相当するアスペクト比が高い場合、キャリアが流れる範囲はより広くなるため、トランジスタ23のオン電流をより大きくすることができ、電界効果移動度もより高められる。

20

## 【0279】

なお、バルクの半導体基板を用いたトランジスタ23の場合、アスペクト比は0.5以上であることが望ましく、1以上であることがより望ましい。

30

## 【0280】

トランジスタ23上には、絶縁膜411が設けられている。絶縁膜411には開口部が形成されている。そして、上記開口部には、不純物領域402、不純物領域403にそれぞれ電氣的に接続されている導電膜412、導電膜413と、ゲート電極406に電氣的に接続されている導電膜414とが、形成されている。

## 【0281】

そして、導電膜412は、絶縁膜411上に形成された導電膜416に電氣的に接続されており、導電膜413は、絶縁膜411上に形成された導電膜417に電氣的に接続されており、導電膜414は、絶縁膜411上に形成された導電膜418に電氣的に接続されている。

40

## 【0282】

導電膜416乃至導電膜418上には、絶縁膜420が設けられている。そして、絶縁膜420上には、酸素、水素、水の拡散を防ぐブロッキング効果を有する絶縁膜421が設けられている。絶縁膜421は、密度が高く緻密である程、また未結合手が少なく化学的に安定である程、より高いブロッキング効果を示す。酸素、水素、水の拡散を防ぐブロッキング効果を示す絶縁膜421として、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いることができる。水素、水の拡散を防ぐ

50



ロッキング効果を示す絶縁膜 4 2 1 として、例えば、窒化シリコン、窒化酸化シリコン等を用いることができる。

【0283】

絶縁膜 4 2 1 上には絶縁膜 4 2 2 が設けられており、絶縁膜 4 2 2 上には、トランジスタ 2 2 が設けられている。

【0284】

トランジスタ 2 2 は、絶縁膜 4 2 2 上に、酸化物半導体を含む半導体膜 4 3 0 と、半導体膜 4 3 0 に電氣的に接続された、ソース電極またはドレイン電極として機能する導電膜 4 3 2 及び導電膜 4 3 3 と、半導体膜 4 3 0 を覆っているゲート絶縁膜 4 3 1 と、ゲート絶縁膜 4 3 1 を間に挟んで半導体膜 4 3 0 と重なるゲート電極 4 3 4 と、を有する。なお、絶縁膜 4 2 0 乃至絶縁膜 4 2 2 には開口部が設けられており、導電膜 4 3 3 は、上記開口部において導電膜 4 1 8 に接続されている。

10

【0285】

なお、図 1 3 において、トランジスタ 2 2 は、ゲート電極 4 3 4 を半導体膜 4 3 0 の片側において少なくとも有していれば良いが、絶縁膜 4 2 2 を間に挟んで半導体膜 4 3 0 と重なるゲート電極を、さらに有していても良い。

【0286】

トランジスタ 2 2 が、一对のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極は、電位が他の配線から与えられている状態であっても良い。この場合、一对のゲート電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

20

【0287】

なお、一般的に、電位（電圧）は、相対的な値であり、基準の電位からの相対的な大きさによってその値が決定される。したがって、「接地」「GND」「グラウンド」などと記載されている場合であっても、必ずしも、電位が 0 ボルトであるとは限らないものとする。例えば、回路で最も低い電位を基準として、「接地」や「GND」を定義する場合もある。または、回路で中間くらいの電位を基準として、「接地」や「GND」を定義する場合もある。その場合には、その電位を基準として、正の電位と負の電位が規定されることとなる。

30

【0288】

ここで、あるトランジスタ T が、半導体膜を間に挟んで存在する一对のゲートを有している場合、一方のゲートには信号 A が、他方のゲートには固定電位  $V_b$  が与えられてもよい。

【0289】

信号 A は、例えば、導通状態または非導通状態を制御するための信号である。信号 A は、電位  $V_1$ 、または電位  $V_2$  ( $V_1 > V_2$  とする) の 2 種類の電位をとるデジタル信号であってもよい。例えば、電位  $V_1$  を高電源電位とし、電位  $V_2$  を低電源電位とすることができる。信号 A は、アナログ信号であってもよい。

40

【0290】

固定電位  $V_b$  は、例えば、トランジスタ T のしきい値電圧  $V_{thA}$  を制御するための電位である。固定電位  $V_b$  は、電位  $V_1$ 、または電位  $V_2$  であってもよい。この場合、固定電位  $V_b$  を生成するための電位発生回路を別途設ける必要がなく好ましい。固定電位  $V_b$  は、電位  $V_1$ 、または電位  $V_2$  と異なる電位であってもよい。固定電位  $V_b$  を低くすることで、しきい値電圧  $V_{thA}$  を高くできる場合がある。その結果、ゲート-ソース間電圧  $V_{gs}$  が 0 V のときのドレイン電流を低減し、トランジスタ T を有する回路のリーク電流を低減できる場合がある。例えば、固定電位  $V_b$  を低電源電位よりも低くしてもよい。固定電位  $V_b$  を高くすることで、しきい値電圧  $V_{thA}$  を低くできる場合がある。その結果、ゲート-ソース間電圧  $V_{gs}$  が  $V_{DD}$  のときのドレイン電流を向上させ、トランジスタ

50

Tを有する回路の動作速度を向上できる場合がある。例えば、固定電位V<sub>b</sub>を低電源電位よりも高くしてもよい。

【0291】

また、トランジスタTの一方のゲートには信号Aが、他方のゲートには信号Bが与えられてもよい。信号Bは、例えば、トランジスタTの導通状態または非導通状態を制御するための信号である。信号Bは、電位V<sub>3</sub>、または電位V<sub>4</sub> (V<sub>3</sub> > V<sub>4</sub>とする)の2種類の電位をとるデジタル信号であってもよい。例えば、電位V<sub>3</sub>を高電源電位とし、電位V<sub>4</sub>を低電源電位とすることができる。信号Bは、アナログ信号であってもよい。

【0292】

信号Aと信号Bが共にデジタル信号である場合、信号Bは、信号Aと同じデジタル値を持つ信号であってもよい。この場合、トランジスタTのオン電流を向上し、トランジスタTを有する回路の動作速度を向上できる場合がある。このとき、信号Aの電位V<sub>1</sub>は信号Bの電位V<sub>3</sub>と異なっても良い。また、信号Aの電位V<sub>2</sub>は信号Bの電位V<sub>4</sub>と異なっても良い。例えば、信号Bが入力されるゲートに対応するゲート絶縁膜が、信号Aが入力されるゲートに対応するゲート絶縁膜よりも厚い場合、信号Bの電位振幅(V<sub>3</sub> - V<sub>4</sub>)を、信号Aの電位振幅(V<sub>1</sub> - V<sub>2</sub>)より大きくしても良い。そうすることで、トランジスタTの導通状態または非導通状態に対して、信号Aが与える影響と、信号Bが与える影響と、を同程度とすることができる場合がある。

【0293】

信号Aと信号Bが共にデジタル信号である場合、信号Bは、信号Aと異なるデジタル値を持つ信号であってもよい。この場合、トランジスタTの制御を信号Aと信号Bによって別々に行うことができ、より高い機能を実現できる場合がある。例えば、トランジスタTがnチャンネル型である場合、信号Aが電位V<sub>1</sub>であり、かつ、信号Bが電位V<sub>3</sub>である場合のみ導通状態となる場合や、信号Aが電位V<sub>2</sub>であり、かつ、信号Bが電位V<sub>4</sub>である場合のみ非導通状態となる場合には、一つのトランジスタでNAND回路やNOR回路等の機能を実現できる場合がある。また、信号Bは、しきい値電圧V<sub>thA</sub>を制御するための信号であってもよい。例えば、信号Bは、トランジスタTを有する回路が動作している期間と、当該回路が動作していない期間と、で電位が異なる信号であってもよい。信号Bは、回路の動作モードに合わせて電位が異なる信号であってもよい。この場合、信号Bは信号Aほど頻繁には電位が切り替わらない場合がある。

【0294】

信号Aと信号Bが共にアナログ信号である場合、信号Bは、信号Aと同じ電位のアナログ信号、信号Aの電位を定数倍したアナログ信号、または、信号Aの電位を定数だけ加算もしくは減算したアナログ信号等であってもよい。この場合、トランジスタTのオン電流を向上し、トランジスタTを有する回路の動作速度を向上できる場合がある。信号Bは、信号Aと異なるアナログ信号であってもよい。この場合、トランジスタTの制御を信号Aと信号Bによって別々に行うことができ、より高い機能を実現できる場合がある。

【0295】

信号Aがデジタル信号、信号Bがアナログ信号であってもよい。信号Aがアナログ信号、信号Bがデジタル信号であってもよい。

【0296】

また、トランジスタTの一方のゲートには固定電位V<sub>a</sub>が、他方のゲートには固定電位V<sub>b</sub>が与えられてもよい。トランジスタTの両方のゲートに固定電位を与える場合、トランジスタTを、抵抗素子と同等の素子として機能させることができる場合がある。例えば、トランジスタTがnチャンネル型である場合、固定電位V<sub>a</sub>または固定電位V<sub>b</sub>を高く(低く)することで、トランジスタの実効抵抗を低く(高く)することができる場合がある。固定電位V<sub>a</sub>及び固定電位V<sub>b</sub>を共に高く(低く)することで、一つのゲートしか有さないトランジスタによって得られる実効抵抗よりも低い(高い)実効抵抗が得られる場合がある。

【0297】

10

20

30

40

50

また、図 13 では、トランジスタ 22 が、ゲート電極 434 に対応したチャネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタ 22 は、電氣的に接続された複数のゲート電極を有することで、一の活性層にチャネル形成領域を複数有する、マルチゲート構造であっても良い。

【0298】

また、図 13 に示すように、トランジスタ 22 は、半導体膜 430 が、絶縁膜 422 上において順に積層された酸化物半導体膜 430 a 乃至酸化物半導体膜 430 c を有する場合を例示している。ただし、本発明の一態様では、トランジスタ 22 が有する半導体膜 430 が、単膜の金属酸化物膜で構成されていても良い。

【0299】

半導体装置の断面構造の変形例 2

図 14 に、図 2 に示すトランジスタ 105 およびトランジスタ 106 に対応する断面構造の一例を示す。

【0300】

なお、図 14 では、酸化物半導体膜にチャネル形成領域を有するトランジスタ 22 が、単結晶のシリコン基板にチャネル形成領域を有するトランジスタ 23 上に形成されている場合を例示している。なお、トランジスタ 22 がトランジスタ 105 に、トランジスタ 23 がトランジスタ 106 に対応している。

【0301】

トランジスタ 23 は、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜または半導体基板に、チャネル形成領域を有していても良い。或いは、トランジスタ 23 は、酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有していても良い。全てのトランジスタが酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有している場合、トランジスタ 22 はトランジスタ 23 上に積層されていなくとも良く、トランジスタ 22 とトランジスタ 23 とは、同一の層に形成されていても良い。

【0302】

シリコンの薄膜を用いてトランジスタ 23 を形成する場合、当該薄膜には、プラズマ CVD 法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剝離した単結晶シリコンなどを用いることができる。

【0303】

トランジスタ 23 が形成される半導体基板 601 は、例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等を用いることができる。図 14 では、単結晶シリコン基板を半導体基板 601 として用いる場合を例示している。

【0304】

また、トランジスタ 23 は、素子分離法により電氣的に分離されている。素子分離法として、選択酸化法 (LOCOS 法: Local Oxidation of Silicon 法)、トレンチ分離法 (STI 法: Shallow Trench Isolation) 等を用いることができる。図 14 では、トレンチ分離法を用いてトランジスタ 23 を電氣的に分離する場合を例示している。具体的に、図 14 では、半導体基板 601 にエッチング等によりトレンチを形成した後、酸化珪素などを含む絶縁物を当該トレンチに埋め込むことで形成される素子分離領域 610 により、トランジスタ 23 を素子分離により電氣的に分離された場合を例示している。

【0305】

トランジスタ 23 上には、絶縁膜 611 が設けられている。絶縁膜 611 には開口部が形成されている。そして、上記開口部には、トランジスタ 23 のソース及びドレインにそれぞれ電氣的に接続されている導電膜 625 及び導電膜 626 と、トランジスタ 23 のゲートに電氣的に接続されている導電膜 627 とが、形成されている。

10

20

30

40

50

## 【0306】

そして、導電膜625は、絶縁膜611上に形成された導電膜634に電氣的に接続されており、導電膜626は、絶縁膜611上に形成された導電膜635に電氣的に接続されており、導電膜627は、絶縁膜611上に形成された導電膜636に電氣的に接続されている。

## 【0307】

導電膜634乃至導電膜636上には、絶縁膜612が形成されている。絶縁膜612には開口部が形成されており、上記開口部に、導電膜636に電氣的に接続された導電膜637が形成されている。そして、導電膜637は、絶縁膜612上に形成された導電膜651に、電氣的に接続されている。

10

## 【0308】

また、導電膜651上には、絶縁膜613が形成されている。絶縁膜613には開口部が形成されており、上記開口部に、導電膜651に電氣的に接続された導電膜652が形成されている。そして、導電膜652は、絶縁膜613上に形成された導電膜653に、電氣的に接続されている。また、絶縁膜613上には、導電膜644が形成されている。

## 【0309】

導電膜653及び導電膜644上には絶縁膜661が形成されている。そして、図14では、絶縁膜661上にトランジスタ22が形成されている。

## 【0310】

トランジスタ22は、絶縁膜661上に、酸化物半導体を含む半導体膜701と、半導体膜701上の、ソースまたはドレインとして機能する導電膜721及び導電膜722と、半導体膜701、導電膜721及び導電膜722上のゲート絶縁膜662と、ゲート絶縁膜662上に位置し、導電膜721と導電膜722の間において半導体膜701と重なっているゲート電極731と、を有する。なお、導電膜722は、絶縁膜661に設けられた開口部において、導電膜653に電氣的に接続されている。

20

## 【0311】

そして、トランジスタ22では、半導体膜701において、導電膜721に重なる領域と、ゲート電極731に重なる領域との間に、領域710が存在する。また、トランジスタ22では、半導体膜701において、導電膜722に重なる領域と、ゲート電極731に重なる領域との間に、領域711が存在する。領域710及び領域711に、導電膜721、導電膜722、及びゲート電極731をマスクとしてアルゴン等の希ガス、p型の導電型を半導体膜701に付与する不純物、或いは、n型の導電型を半導体膜701に付与する不純物を添加することで、半導体膜701のうちゲート電極731に重なる領域よりも、領域710及び領域711の抵抗率を下げる事ができる。

30

## 【0312】

そして、トランジスタ22上に、絶縁膜663が設けられている。

## 【0313】

なお、図14において、トランジスタ22は、ゲート電極731を半導体膜701の片側において少なくとも有していれば良いが、トランジスタ22は、半導体膜701を間に挟んで存在する一対のゲート電極を有していても良い。

40

## 【0314】

トランジスタ22が、半導体膜701を間に挟んで存在する一対のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極は、電位が他の配線から与えられている状態であっても良い。この場合、一対のゲート電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

## 【0315】

また、図14では、トランジスタ22が、ゲート電極731に対応したチャネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタ22

50

は、電氣的に接続された複数のゲート電極を有することで、一の活性層にチャンネル形成領域を複数有する、マルチゲート構造であっても良い。

【0316】

本実施の形態は、他の実施の形態等の本明細書等において開示する構成と適宜組み合わせ実施することができる。

【0317】

(実施の形態4)

電子機器の例

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機、医療機器などが挙げられる。これら電子機器の具体例を図15に示す。

10

【0318】

図15(A)は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカー5006、操作キー5007、スタイラス5008等を有する。本発明の一態様にかかる半導体装置は、携帯型ゲーム機の各種集積回路に用いることができる。なお、図15(A)に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

20

【0319】

図15(B)は携帯情報端末であり、第1筐体5601、第2筐体5602、第1表示部5603、第2表示部5604、接続部5605、操作キー5606等を有する。本発明の一態様にかかる半導体装置は、携帯情報端末の各種集積回路に用いることができる。第1表示部5603は第1筐体5601に設けられており、第2表示部5604は第2筐体5602に設けられている。そして、第1筐体5601と第2筐体5602とは、接続部5605により接続されており、第1筐体5601と第2筐体5602の間の角度は、接続部5605により変更が可能である。第1表示部5603における映像を、接続部5605における第1筐体5601と第2筐体5602との間の角度に従って、切り替える構成としても良い。また、第1表示部5603及び第2表示部5604の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることで、付加することができる。

30

【0320】

図15(C)はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。本発明の一態様にかかる半導体装置は、ノート型パーソナルコンピュータの各種集積回路に用いることができる。

40

【0321】

図15(D)は電気冷凍冷蔵庫であり、筐体5301、冷蔵室用扉5302、冷凍室用扉5303等を有する。本発明の一態様にかかる半導体装置は、電気冷凍冷蔵庫の各種集積回路に用いることができる。

【0322】

図15(E)はビデオカメラであり、第1筐体5801、第2筐体5802、表示部5

50

803、操作キー5804、レンズ5805、接続部5806等を有する。本発明の一態様にかかる半導体装置は、ビデオカメラの各種集積回路に用いることができる。操作キー5804及びレンズ5805は第1筐体5801に設けられており、表示部5803は第2筐体5802に設けられている。そして、第1筐体5801と第2筐体5802とは、接続部5806により接続されており、第1筐体5801と第2筐体5802の間の角度は、接続部5806により変更が可能である。表示部5803における映像を、接続部5806における第1筐体5801と第2筐体5802との間の角度に従って切り替える構成としても良い。

【0323】

図15(F)は自動車であり、車体5101、車輪5102、ダッシュボード5103、ライト5104等を有する。本発明の一態様にかかる半導体装置は、自動車の各種集積回路に用いることができる。

10

【0324】

なお、本明細書等において、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【0325】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

20

【0326】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。

【0327】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

30

【0328】

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

40

【0329】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、

50

Z 2 を介して（又は介さず）、Y と電氣的に接続されている場合や、トランジスタのソース（又は第 1 の端子など）が、Z 1 の一部と直接的に接続され、Z 1 の別の一部が X と直接的に接続され、トランジスタのドレイン（又は第 2 の端子など）が、Z 2 の一部と直接的に接続され、Z 2 の別の一部が Y と直接的に接続されている場合は、以下のように表現することが出来る。

【0330】

例えば、「X と Y とトランジスタのソース（又は第 1 の端子など）とドレイン（又は第 2 の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第 1 の端子など）、トランジスタのドレイン（又は第 2 の端子など）、Y の順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第 1 の端子など）は、X と電氣的に接続され、トランジスタのドレイン（又は第 2 の端子など）は Y と電氣的に接続され、X、トランジスタのソース（又は第 1 の端子など）、トランジスタのドレイン（又は第 2 の端子など）、Y は、この順序で電氣的に接続されている」と表現することができる。または、「X は、トランジスタのソース（又は第 1 の端子など）とドレイン（又は第 2 の端子など）とを介して、Y と電氣的に接続され、X、トランジスタのソース（又は第 1 の端子など）、トランジスタのドレイン（又は第 2 の端子など）、Y は、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第 1 の端子など）と、ドレイン（又は第 2 の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z 1、Z 2 は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

10

20

【0331】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1 つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0332】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び / 又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

30

【0333】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【0334】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び / 又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

40

【0335】

なお、明細書の中の図面や文章において規定されていない内容について、その内容を除くことを規定した発明の一態様を構成することが出来る。または、ある値について、上限値と下限値などで示される数値範囲が記載されている場合、その範囲を任意に狭めることで、または、その範囲の中の一点を除くことで、その範囲を一部除いた発明の一態様を規定することができる。これらにより、例えば、従来技術が本発明の一態様の技術的範囲内に入らないことを規定することができる。

【0336】

50

具体例としては、ある回路において、第1乃至第5のトランジスタを用いている回路図が記載されているとする。その場合、その回路が、第6のトランジスタを有していないことを発明として規定することが可能である。または、その回路が、容量素子を有していないことを規定することが可能である。さらに、その回路が、ある特定の接続構造をとっているような第6のトランジスタを有していない、と規定して発明を構成することができる。または、その回路が、ある特定の接続構造をとっている容量素子を有していない、と規定して発明を構成することができる。例えば、ゲートが第3のトランジスタのゲートと接続されている第6のトランジスタを有していない、と発明を規定することが可能である。または、例えば、第1の電極が第3のトランジスタのゲートと接続されている容量素子を有していない、と発明を規定することが可能である。

10

**【0337】**

別の具体例としては、ある値について、例えば、「ある電圧が、3V以上10V以下であることが好適である」と記載されているとする。その場合、例えば、ある電圧が、-2V以上1V以下である場合を除く、と発明の一態様を規定することが可能である。または、例えば、ある電圧が、13V以上である場合を除く、と発明の一態様を規定することが可能である。なお、例えば、その電圧が、5V以上8V以下であると発明を規定することも可能である。なお、例えば、その電圧が、概略9Vであると発明を規定することも可能である。なお、例えば、その電圧が、3V以上10V以下であるが、9Vである場合を除くと発明を規定することも可能である。なお、ある値について、「このような範囲であることが好ましい」、「これらを満たすことが好適である」などと記載されていたとしても、ある値は、それらの記載に限定されない。つまり、「好ましい」、「好適である」などと記載されていたとしても、必ずしも、それらの記載には、限定されない。

20

**【0338】**

別の具体例としては、ある値について、例えば、「ある電圧が、10Vであることが好適である」と記載されているとする。その場合、例えば、ある電圧が、-2V以上1V以下である場合を除く、と発明の一態様を規定することが可能である。または、例えば、ある電圧が、13V以上である場合を除く、と発明の一態様を規定することが可能である。

**【0339】**

別の具体例としては、ある物質の性質について、例えば、「ある膜は、絶縁膜である」と記載されているとする。その場合、例えば、その絶縁膜が、有機絶縁膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その絶縁膜が、無機絶縁膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その膜が、導電膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その膜が、半導体膜である場合を除く、と発明の一態様を規定することが可能である。

30

**【0340】**

別の具体例としては、ある積層構造について、例えば、「A膜とB膜との間に、ある膜が設けられている」と記載されているとする。その場合、例えば、その膜が、4層以上の積層膜である場合を除く、と発明を規定することが可能である。または、例えば、A膜とその膜との間に、導電膜が設けられている場合を除く、と発明を規定することが可能である。

40

**【0341】**

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であると言える。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先が複数のケース考えられる場合には、その端子の接続先を特定の箇所限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子

50



など)などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

【0342】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であると言える。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

10

【0343】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そして、その発明の一態様は明確であると言える。そのため、例えば、能動素子(トランジスタ、ダイオードなど)、配線、受動素子(容量素子、抵抗素子など)、導電層、絶縁層、半導体層、有機材料、無機材料、部品、装置、動作方法、製造方法などが単数もしくは複数記載された図面または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。例えば、N個(Nは整数)の回路素子(トランジスタ、容量素子等)を有して構成される回路図から、M個(Mは整数で、 $M < N$ )の回路素子(トランジスタ、容量素子等)を抜き出して、発明の一態様を構成することは可能である。別の例としては、N個(Nは整数)の層を有して構成される断面図から、M個(Mは整数で、 $M < N$ )の層を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、N個(Nは整数)の要素を有して構成されるフローチャートから、M個(Mは整数で、 $M < N$ )の要素を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、「Aは、B、C、D、E、または、Fを有する」と記載されている文章から、一部の要素を任意に抜き出して、「Aは、BとEとを有する」、「Aは、EとFとを有する」、「Aは、CとEとFとを有する」、または、「Aは、BとCとDとEとを有する」などの発明の一態様を構成することは可能である。

20

30

【0344】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念を導き出すことは、当業者であれば容易に理解される。したがって、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は、明確であると言える。

40

【0345】

なお、本明細書等においては、少なくとも図に記載した内容(図の中の一部でもよい)は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。したがって、ある内容について、図に記載されていれば、文章を用いて述べていなくても、その内容は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。同様に、図の一部を取り出した図についても、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は明確であると言える。

【実施例】

【0346】

50

本実施例においては、本発明の一態様に係る電圧制御発振器（VCO：Voltage - Controlled Oscillator）を作製し、評価した結果について説明する。本実施例に係るVCOの回路構成は、上記実施の形態で図2および図3に示す装置の回路構成で作製した。本実施例に係るVCOは、回路101[1]乃至101[n]を $n = 101$ とし、回路104[1]乃至104[m]を $m = 2$ のとしたものと、 $m = 8$ としたものと、で2種類に分けて作製した。

【0347】

本実施例に係るVCOは、回路101[1]乃至101[101]を有し、回路101[1]乃至101[101]は、リング状に接続される。具体的には、回路101[1]乃至101[100]のそれぞれは、出力端子が次段の回路の入力端子と接続される。回路101[101]は、出力端子が回路101[1]の入力端子と接続される。また、回路101[51]の出力端子は、端子OUTとも接続される。端子OUTからは、VCOが発振することによって生成される信号が出力される。

10

【0348】

回路101[1]乃至101[101]のそれぞれは、回路102及びインバータ103を有する。回路102は、端子Aがインバータ103の出力端子と接続され、回路102の端子Bが次段のインバータ103の入力端子と接続される。即ち、101個のインバータ103がリング状に接続され、インバータリングを構成する。そして、各インバータ103の間に回路102が接続される。また、回路102は、配線BL、配線CONTEXT[1]乃至CONTEXT[m]及び配線WL[1]乃至WL[m]と接続される。

20

【0349】

図3において、第2の領域112aは、回路102[1]乃至102[51]から構成されており、第4の領域112bは、回路102[52]乃至102[101]から構成されている。また、第3の領域113bは、インバータ103[ $i_1$ ]（ $i_1$ は2以上50以下の偶数）から構成される。第1の領域113aはインバータ103[ $i_2$ ]（ $i_2$ は1以上51以下の奇数）と、インバータ103[ $i_3$ ]（ $i_3$ は52以上100以下の偶数）と、から構成される。第5の領域113cは、インバータ103[ $i_4$ ]（ $i_4$ は53以上101以下の奇数）から構成される。

【0350】

ここで、インバータ103は、低電源電位として接地電位GNDを、高電源電位として電位 $V_{RO}$ を与える。また、配線BLは、低電源電位として接地電位GNDを、高電源電位として電位 $V_{DATA}$ を与える。なお、以下で配線BLから入力する信号をAVD（analog voltage data）と呼ぶ場合もある。また、配線WL[1]乃至WL[m]は、低電源電位として電位 $V_{SS}$ を、高電源電位として電位 $V_{DATA}$ を与える。また、配線CONTEXT[1]乃至CONTEXT[m]は、低電源電位として接地電位GNDを、高電源電位として電位 $V_{CONTEXT}$ を与える。

30

【0351】

回路102は、回路104[1]乃至104[m]を有する。回路104[1]乃至104[m]のそれぞれは、端子Cが回路102の端子Aと接続され、回路104[1]乃至104[m]の端子Dが回路102の端子Bと接続される。また、回路104[1]乃至[m]のそれぞれは、配線BL、配線CONTEXT[1]乃至CONTEXT[m]のうち対応する1本の配線、配線WL[1]乃至WL[m]のうち対応する1本の配線と接続される。配線WL[1]乃至WL[m]のうち対応する1本の配線とは、回路104[j]（jは1乃至mのいずれか）においては配線WL[j]である。また、配線CONTEXT[1]乃至CONTEXT[m]のうち対応する1本の配線とは、回路104[j]においては配線CONTEXT[j]である。

40

【0352】

回路104[1]乃至104[m]のそれぞれは、トランジスタ105、トランジスタ106、トランジスタ107及び容量素子108を有する。トランジスタ105の第1の端子は配線BLと接続され、トランジスタ105の第2の端子はトランジスタ106のゲ

50

ートと接続され、トランジスタ105のゲートは配線WL[1]乃至WL[m]のうち対応する1本の配線と接続される。トランジスタ106の第1の端子は端子Cと接続される。トランジスタ107の第1の端子はトランジスタ106の第2の端子と接続され、第2の端子はトランジスタ107の端子Dと接続され、トランジスタ107のゲートは配線CONTEXT[1]乃至CONTEXT[m]のうち対応する1本の配線と接続される。容量素子108の第1の端子はトランジスタ106のゲートと接続され、容量素子108の第2の端子は所定の電位が供給される配線と接続される。

【0353】

トランジスタ105は、チャンネル長を $1\mu\text{m}$ 、チャンネル幅を $4\mu\text{m}$ とし、トランジスタ106およびトランジスタ107は、チャンネル長を $0.5\mu\text{m}$ 、チャンネル幅を $16\mu\text{m}$ とした。また、トランジスタ106およびトランジスタ107は、チャンネル形成領域にシリコンを用いている。

10

【0354】

トランジスタ105は、チャンネル形成領域にIn-Ga-Zn酸化物であるCAAC-OS膜を用いている。これにより、トランジスタ105はオフ電流が非常に小さくなっており、容量素子108に貯めた電荷の漏れを少なくすることができる。さらに、トランジスタ105をオフ状態とするときは、トランジスタ105のゲートに接地電位GNDより低い電位 $V_{SS}$ を印加して非導通状態とすることで、トランジスタ105のオフ電流をより低減し、容量素子108の電荷保持特性を向上させている。

【0355】

また、トランジスタ105は、バックゲートを有しており、バックゲートの電圧 $V_{BG}$ を変えることでトランジスタ105の閾値を制御させることができる。

20

【0356】

なお、トランジスタ106のゲート容量は $16\text{fF}$ 、保持容量は $2\text{fF}$ としており、ノードSN全体でゲート容量と保持容量の合成容量は $18\text{fF}$ としている。

【0357】

次に $m=2$ の構成としたVCOのチップの写真を図16に示す。また、図16に示すVCOのチップの一部のレイアウト図面を図17に示す。図16に示すVCOは、第1の領域113a、第2の領域112a、第3の領域113b、第4の領域112bおよび第5の領域113cを含み、さらに図3に図示されていない第6の領域114a、第7の領域114bおよび第8の領域115を含んで構成される。

30

【0358】

第6の領域114aおよび第7の領域114bは、配線BLと、配線BLに電位を与えるためのバッファと、当該バッファ周辺の配線が含まれている。第8の領域115は、配線WL[1]およびWL[2]と、配線CONTEXT[1]およびCONTEXT[2]と、これらの配線に電位を与えるためのバッファと、当該バッファ周辺の配線が含まれている。

【0359】

図17に示す平面レイアウトには、第1の領域113aに含まれるインバータ103[1]と、第2の領域112aに含まれる回路104[1-1]、回路104[1-2]、回路104[2-1]、回路104[2-2]と、第3の領域113bに含まれるインバータ103[2]を示す。ここで、回路104[1-1]および回路104[1-2]は、回路102[1]に含まれる回路104[1]および回路104[2]を指す。回路104[2-1]および回路104[2-2]は、回路102[2]に含まれる回路104[1]および回路104[2]を指す。なお、図17に示す平面レイアウトの回路104[1-1]および回路104[1-2]は、図9(A)および(B)に示すレイアウトの範囲とほぼ対応している。

40

【0360】

先の実施の形態で図9(B)で示したように、回路104[1-1]および回路104[1-2]において、開口部 $C_1$ と開口部 $C_2$ の間の距離を $a_2 - a_1$ とみなし、開口部

50

$D_1$  と開口部  $D_2$  の間の距離を  $b_1 - b_2$  とみなすことができる。図 17 に示す平面レイアウトに示すように、本実施例に係る VCO においても、関係は  $a_2 - a_1 = b_1 - b_2$  となる。

#### 【0361】

つまり、本実施例に係る VCO においても、開口部  $C_1$  と開口部  $C_2$  の間の距離が開口部  $D_1$  と開口部  $D_2$  の間の距離と概略等しくなっている。これにより、回路 104 の配線経路の選択によらず、回路 102 の端子 A と端子 B の間の配線抵抗を概略等しくすることができる。

#### 【0362】

また、図 3 で回路 101 [1] および回路 101 [2] 等で示したように、図 17 に示す平面レイアウトは、奇数段の回路 101 と偶数段の回路 101 が対にして設けられている。具体的には、奇数段の回路 102 (回路 104 [1-1] と回路 104 [1-2]) と、偶数段の回路 102 (回路 104 [2-1] と回路 104 [2-2]) とが行方向に隣接して設けられており、この一群の回路に対して、列方向下側に隣接して奇数段のインバータ 103 (インバータ 103 [1]) が設けられ、列方向上側に隣接して偶数段のインバータ 103 (インバータ 103 [2]) が設けられる。これにより、奇数段の回路 102 と偶数段の回路 102 の行方向の幅の分のスペースを、それぞれ奇数段のインバータ 103 と偶数段のインバータ 103 に用いることができている。これによりインバータ 103 の占有面積の増大を抑えながら、インバータ 103 を構成するトランジスタのチャンネル幅を長くすることができる。

#### 【0363】

$m = 2$  の VCO について、配線 BL から入力する電位  $V_{DATA}$  (AVD) に対する出力の発振周波数を評価した結果について図 18 (A) および図 18 (B) に示す。図 18 (A) は、横軸に電位  $V_{DATA}$  [V] を、縦軸に出力の発振周波数 [MHz] をリニアスケールでとる。図 18 (B) は、横軸に電位  $V_{DATA}$  [V] を、縦軸に出力の発振周波数 [MHz] を log スケールでとる。

#### 【0364】

電位  $V_{RO} = 1.0$  V、 $1.2$  V および  $1.5$  V の 3 条件について発振周波数を測定した。ここでは、回路 104 [1] のみを選択した。他の条件については、 $V_{CONTEXT} = 3.0$  V、 $V_{BG} = 0$  V、 $V_{SS} = -0.2$  V とし、書き込み時間を  $1.0$  ms とした。

#### 【0365】

図 18 (A) および図 18 (B) から、AVD を変更するだけで発振周波数を制御可能であることがわかった。 $V_{RO} = 1.5$  V とした条件で、電位  $V_{DATA} = 1.0$  以上  $3.0$  V 以下の範囲で発振周波数は  $197$  MHz 以上  $9.65$  MHz 以下であり、7 桁を超える可変発振周波数帯域を持つことがわかった。

#### 【0366】

なお、AVD の変化に対して、発振周波数の変化率は異なる。例えば、 $V_{DATA}$  が  $2.5$  V 以上  $3.0$  V 以下では、発振周波数は  $0.06$  decades /  $100$  mV となり、 $V_{DATA}$  が  $1.0$  V 以上  $1.5$  V 以下では、発振周波数は  $1.24$  decades /  $100$  mV である。これは、 $V_{DATA}$  が  $2.5$  V 以上  $3.0$  V 以下では、トランジスタ 106 の導電率は相対的に高く、インバータ 103 による遅延が支配的になり、AVD の変化に対するトランジスタ 106 による遅延の変化率の影響は小さいためである。一方、 $V_{DATA}$  が  $1.0$  V 以上  $1.5$  V 以下では、トランジスタ 106 の導電率は相対的に低く、トランジスタ 106 による遅延が支配的になり、発振周波数の AVD 依存は大きいためである。

#### 【0367】

AVD が高い領域では、インバータ 103 による遅延が支配的になるため、電位  $V_{RO}$  を変化させたときの、発振周波数の変化量は大きい。 $V_{DATA}$  が  $1.0$  V 以上  $1.5$  V 以下における発振周波数の平均増加率は、 $V_{RO} = 1.0$  V、 $1.2$  V、 $1.5$  V とした

とき、各々  $0.82 \text{ decades} / 100 \text{ mV}$  ,  $1.10 \text{ decades} / 100 \text{ mV}$  ,  $1.24 \text{ decades} / 100 \text{ mV}$  である。従って、広い周波数帯域が求められる用途では、インバータ103の駆動電圧を高く設定し、小刻みな周波数制御が求められる用途では、インバータ103の駆動電圧を低く設定する例を挙げることができる。

【0368】

次に、図18(A)および図18(B)に示す各点における消費電力を図19に示す。図19は、横軸に電位  $V_{DATA} [V]$  を、縦軸に消費電力  $[mW]$  をとる。

【0369】

各条件において、消費電力の  $V_{RO}$  および  $V_{DATA}$  への依存性は、おおよそ図18(A)に示した発振周波数の  $V_{RO}$  および  $V_{DATA}$  への依存と相関があることが分かる。従って、目的とする発振周波数と消費電力を考慮して、 $V_{RO}$  および  $V_{DATA}$  を設定することが有効である。また、 $V_{DATA}$  が  $V_{RO}$  に対して相対的に小さくなると、回路104を介して電圧降下が起こり、次段のインバータに中間電位が印加され、電力効率が悪くなる領域も存在する。

10

【0370】

次に、回路104[1]に  $V_{DATA} = 2.5 \text{ V}$  を格納し、 $V_{RO} = 1.5 \text{ V}$  で  $VCO$  を発振させたときの時間経過に伴う発振周波数の推移を図20に示す。図20は、横軸に経過時間  $[hour]$  を、縦軸に発振周波数  $[MHz]$  をとる。

【0371】

図20では、 $V_{SS} = 0 \text{ V}$ 、 $-0.2 \text{ V}$  の2条件での測定結果について示している。初期状態では両条件とも発振周波数は  $9.10 \text{ MHz}$  であったが、 $V_{SS} = 0 \text{ V}$  の条件では、時間の経過に伴って発振周波数が減衰し、5時間経過後には発振周波数が約  $7.7\%$  低下し、それ以降急激に発振周波数が低下した。

20

【0372】

一方、 $V_{SS} = -0.2 \text{ V}$  の条件では、時間経過に伴う発振周波数の低下はほとんどなかった。24時間経過後も発振周波数は  $9.02 \text{ MHz}$  であり、 $0.87\%$  しか低下しなかった。図18(A)のグラフと対応させると、 $V_{DATA}$  が一様に減少した場合、24時間経過後の  $V_{DATA}$  の減衰は、約  $30 \text{ mV}$  と見積もられる。

【0373】

ここで、時間を  $t (s)$ 、保持容量  $C (F)$ 、電圧変化量  $V (V)$  とするとき、リーク電流  $I_{leak}$  は以下の式(2)で表される。

30

【0374】

【数2】

$$I_{leak} = \frac{\Delta VC}{t} \quad (2)$$

【0375】

$t = 86400 (s)$ 、 $C = 18 (fF)$ 、 $V = 0.03 \text{ V}$  なので、式(2)よりリーク電流  $I_{leak} = 6 \text{ E} - 21 (A)$  と見積もられる。よって、極めて低頻度のリフレッシュを行うことで、AVDを長期間保持することが可能であることがわかる。以下の評価は、24時間経過時の発振周波数の減衰が  $1\%$  未満となる条件、すなわち、 $V_{SS} = -0.2 \text{ V}$  に設定した。

40

【0376】

次に、 $V_{RO} = 1.5 \text{ V}$  で  $VCO$  を発振させたときの発振周波数のスペクトル変化を図21(A)および図21(B)に示す。図21(A)および図21(B)は、横軸に発振周波数  $[MHz]$  を、縦軸に出力  $[dBm]$  をとる。

【0377】

図21(A)はAVDを  $2.5 \text{ V}$  と設定した際のグラフである。図21(A)に示す3つのスペクトルは、配線BLを介してノードSNに  $V_{DATA}$  を与えた直後を  $0 \text{ min}$  と

50

したスペクトル、90min後のスペクトル、180min後のスペクトルである。

【0378】

図21(B)はAVDを2.0Vと設定した際のグラフである。図21(B)に示す3つのスペクトルは、配線BLを介してノードSNに $V_{DATA}$ を与えた直後を0minとしたスペクトル、90min後のスペクトル、180min後のスペクトルである。

【0379】

図21(A)より、AVD=2.5Vの場合、0minのスペクトルにおけるピーク周波数は9.10MHzであり、180min経過時のピーク周波数は9.07MHzである。すなわち、発振周波数は0.34%減衰したことを示している。一方、図21(B)より、AVD=2.0Vの場合、0minのスペクトルにおけるピーク周波数は6.63MHzであり、180min経過時のピーク周波数は6.58MHzである。すなわち、発振周波数は0.74%減衰したことを示している。

10

【0380】

これにより、 $V_{SS} = -0.2V$ の条件下においては、AVDによらず発振周波数の変化量は非常に小さい、すなわち、AVDのデータ保持特性が極めて良好であることが分かった。

【0381】

さらに、図21(A)のスペクトルからAVDを2.5Vと設定した際の $t = 0min$ におけるFOM (figure of merit)を、式(3)を用いて算出した。

【0382】

20

【数3】

$$FOM = Phn - 20 \log \left( \frac{F_c}{\Delta F} \right) + 10 \log(1000P) \quad (3)$$

【0383】

ここで、Phnはphase noise、 $F_c$ は中心周波数、Pは消費電力を示す。

【0384】

表1に本実施例のFOMと、リングオシレータ型VCOの比較例1、比較例2のFOMを示す。なお、比較例1は文献1(S. B. Anand and B. Razavi, "A CMOS clock recovery circuit for 2.5-Gb/s NRZ data," IEEE J. Solid-State Circuits, vol. 36, no. 3, pp. 432-439, Mar. 2001.)を、比較例2は文献2(C. Zhai et al., "An N-path Filter Enhanced Low Phase Noise Ring VCO," in Proc. VLSI Circuits Symp., 2014, pp. 187-188.)を参照した。

30

【0385】

【表1】

	実施例	比較例1	比較例2
$F_c$	9.1MHz	2.5GHz	1.0GHz
Phase noise (dBc/Hz)	-108.8	-80.0	-110.0
Power	420 $\mu$ W	10.0mW	4.7mW
FOM (dBc/Hz)	-151.8	-124.0	-163.3

40

【0386】

表1に示すように、本実施例に示すVCOは、他のリングオシレータ型のVCOのFO

50

Mと比較して、同等または同等以上の性能である。

【0387】

本実施例に示すVCOは、アナログ電位をノードSNに保持でき、電源遮断後の再起動時も発振周波数を維持できる。図22(A)および図22(B)には、一例として、 $V_{DATA}$ を2.5Vとしたときの、電源遮断状態から再起動させた際の端子OUTで得られる波形図を示す。ここでは、 $V_{RO} = 1.5V$ 、 $V_{SS} = -0.2V$ 、 $V_{BG} = 0V$ の条件にて評価を行った。なお、図22(B)は、図22(A)の再起動時付近の拡大図である。

【0388】

図22(A)および図22(B)に示す波形図から、時刻(+1.0) $\mu s$ において、電源遮断状態から再起動させたところ、100ns以下で発振が再開されていることがわかった。なお図22(A)において、 $t_{\text{hold}}$ は1hourである。すなわち、図22(A)および図22(B)から、1時間経過後であっても良好な発振が再開されていることがわかった。

10

【0389】

以上より、本実施例に係るVCOをPLLに適用する場合、発振周波数の維持に要する低頻度のリフレッシュ動作を行う以外の期間、VCO以外の構成回路への電源をオフにできる。そのため、本実施例に係るVCOを適用したPLLは、消費電力を抑制できる。

【0390】

また、本実施例に係るVCOをPLLに適用する場合、電源遮断状態から再起動させた場合においても、以前の発振周波数を出力するための $V_{DATA}$ を保持しておくことができる。そのため、瞬時の再起動を行うことができる。

20

【0391】

また本実施例に示すVCOは、回路104[1]乃至104[m]毎に異なるアナログ電位の $V_{DATA}$ を設定しておき、回路104[1]乃至104[m]の選択を切り替えることで、短時間に発振周波数を変更することができる。図23は、 $V_{RO} = 1.5V$ とし、回路104[1]に $V_{DATA} = 1.8V$ 、回路104[2]に $V_{DATA} = 2.5V$ を設定し、回路104[1]と回路104[2]とを切り替えた際のVCOの端子OUTで得られる波形図を示す。

【0392】

図23では、時刻tが0 $\mu sec$ 以上1.0 $\mu sec$ 未満の期間において、回路104[1]が選択されており、1.8VのAVDに従った発振周波数4.0MHzの信号が出力されている。t=1.0 $\mu sec$ にて、選択する回路を回路104[2]に変更すると、出力される信号の発振周波数が9.1MHzに瞬間的に変化する。

30

【0393】

このように、図23に示す波形図から、本実施例に係るVCOは100ns以下の発振周波数の切り替えが可能であることがわかった。

【0394】

また本実施例に示す、 $m = 2$ のVCOについて、回路104[1]と回路104[2]をそれぞれ選択して配線BLから入力する電位 $V_{DATA}$ (AVD)に対する出力の発振周波数を評価した結果について図24に示す。図24は、横軸に電位 $V_{DATA}$ [V]を、縦軸に出力の発振周波数[MHz]をとる。

40

【0395】

電位 $V_{RO} = 1.0V$ 、1.2Vおよび1.5Vの3条件について発振周波数を測定した。他の条件については、 $V_{CONTEXT} = 2.5V$ 、 $V_{BG} = 0V$ 、 $V_{SS} = -0.2V$ とし、書き込み時間を1.0msとした。

【0396】

図24に示す通り、電位 $V_{RO} = 1.0V$ 、1.2Vおよび1.5Vのどの条件についても、回路104[1]と回路104[2]とで入力するAVDが同じならば、出力される発振周波数もほぼ同じになった。つまり、本実施例に示すVCOにおいて、回路104

50

[ 1 ] と回路 1 0 4 [ 2 ] のどちらを選択しても発振周波数は同じであった。

【 0 3 9 7 】

以上より、本実施例に示す V C O において、選択する回路 1 0 4 に依らず配線長を概略均一にすることができ、選択する回路 1 0 4 の違いによって信号の遅延が発生することを防ぐことができることが示された。これにより、本発明の一態様に係る半導体装置において、特定のデータに対応する発振周波数を概略等しくすることができるので、発振周波数の精度を向上させることができる。

【 0 3 9 8 】

次に、 $m = 8$  の V C O において、回路 1 0 4 [ 1 ] 乃至 1 0 4 [ 8 ] に  $V_{D A T A} = 2.5 V$  を設定して、選択する回路 1 0 4 の個数を、1、2、3、4 として、発振周波数の測定を行った。ここでは、 $V_{R O} = 3.0 V$ 、 $V_{S S} = -0.2 V$ 、 $V_{B G} = 0 V$  の条件にて評価を行った。図 2 5 に選択する回路 1 0 4 の個数と発振周波数の関係のグラフを示す。

10

【 0 3 9 9 】

選択する回路 1 0 4 が 1 つの時の発振周波数は 6.97 MHz であるのに対して、選択する回路 1 0 4 の数を 2、3、4 にすることで発振周波数は 9.93 MHz、10.80 MHz、11.10 MHz へ増大する。これは、選択する回路 1 0 4 の数を増やす事で、回路 1 0 2 の導電率が向上し、遅延が低減するためである。すなわち、選択する回路 1 0 4 の個数による発振周波数の制御が可能であることを示している。

【 0 4 0 0 】

なお、選択する回路 1 0 4 の数が増大し、導電率が向上すると、V C O の発振周波数において、相対的にインバータにおける遅延時間の寄与が増大する。したがって、選択する回路 1 0 4 の個数を増やす程、選択する回路 1 0 4 の数の増加に対する V C O の発振周波数の増加率は低下する。

20

【 0 4 0 1 】

複数のアナログメモリセットを持つ V C O を用いた場合、各回路 1 0 4 には異なる A V D を保持させることが可能である。従って、上記の選択する回路 1 0 4 の個数を変えるデジタル的な制御と A V D の値を変えるアナログ的な制御を行うことで、より広い発振周波数帯を細かく制御することが可能となる。

【 符号の説明 】

30

【 0 4 0 2 】

- 2 2      トランジスタ
- 2 3      トランジスタ
- 9 0      トランジスタ
- 9 1      絶縁膜
- 9 2 a    酸化物半導体膜
- 9 2 b    酸化物半導体膜
- 9 2 c    酸化物半導体膜
- 9 3      導電膜
- 9 4      導電膜
- 9 5      絶縁膜
- 9 6      導電膜
- 9 7      基板
- 1 0 1    回路
- 1 0 2    回路
- 1 0 3    インバータ
- 1 0 4    回路
- 1 0 5    トランジスタ
- 1 0 6    トランジスタ
- 1 0 7    トランジスタ

40

50

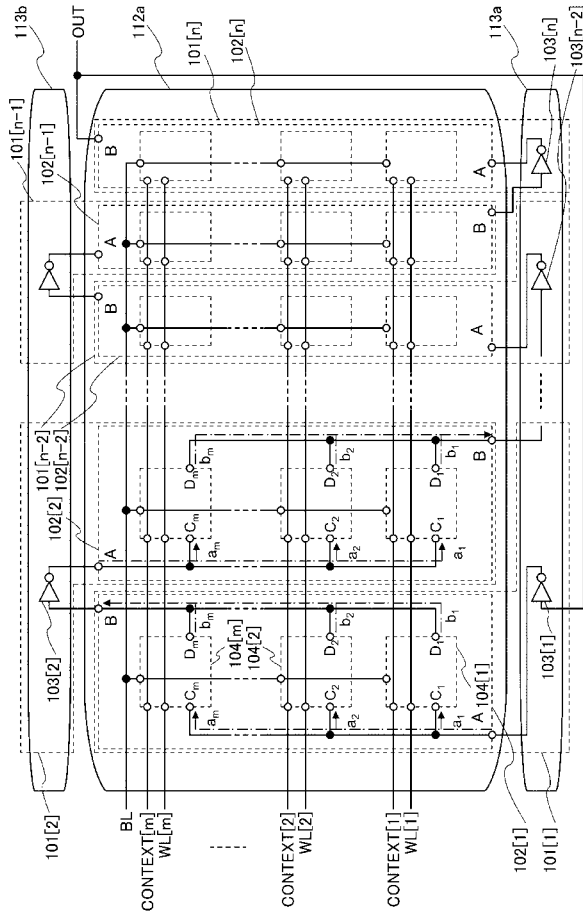


1 0 8	容量素子	
1 1 2 a	領域	
1 1 2 b	領域	
1 1 3 a	領域	
1 1 3 b	領域	
1 1 3 c	領域	
1 1 4 a	領域	
1 1 4 b	領域	
1 1 5	領域	
2 0 1	位相比較器	10
2 0 2	ループフィルタ	
2 0 3	電圧制御発振器	
2 0 4	分周器	
3 0 0	基板	
3 1 0	絶縁膜	
3 1 1	絶縁膜	
3 1 2	絶縁膜	
3 1 3	絶縁膜	
3 1 4	絶縁膜	
3 1 5	絶縁膜	20
3 1 6	絶縁膜	
3 1 7	絶縁膜	
3 2 0	半導体膜	
3 2 0 a	不純物領域	
3 2 0 b	不純物領域	
3 2 0 c	不純物領域	
3 2 0 d	不純物領域	
3 2 0 e	不純物領域	
3 2 0 f	チャネル形成領域	
3 2 0 g	チャネル形成領域	30
3 2 2 a	ゲート絶縁膜	
3 2 2 b	ゲート絶縁膜	
3 2 4 a	ゲート電極	
3 2 4 b	ゲート電極	
3 2 6 a	サイドウォール絶縁膜	
3 2 6 b	サイドウォール絶縁膜	
3 2 8 a	導電膜	
3 2 8 b	導電膜	
3 2 8 c	導電膜	
3 3 0 a	導電膜	40
3 3 0 b	導電膜	
3 3 0 c	導電膜	
3 3 2	導電膜	
3 3 4	導電膜	
3 3 6	導電膜	
3 4 0	酸化物半導体膜	
3 4 0 a	酸化物半導体膜	
3 4 0 c	酸化物半導体膜	
3 4 2 a	導電膜	
3 4 2 b	導電膜	50

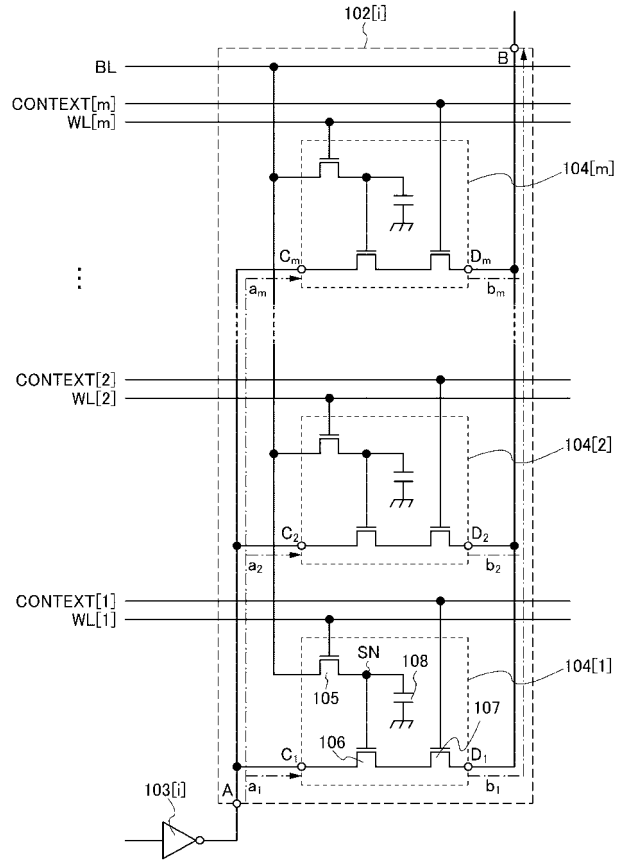
3 4 4 a	導電膜	
3 4 4 b	導電膜	
3 4 6	ゲート絶縁膜	
3 4 8	ゲート電極	
3 5 0 a	導電膜	
3 5 0 b	導電膜	
3 5 0 c	導電膜	
4 0 0	基板	
4 0 1	素子分離領域	
4 0 2	不純物領域	10
4 0 3	不純物領域	
4 0 4	チャンネル形成領域	
4 0 5	絶縁膜	
4 0 6	ゲート電極	
4 1 1	絶縁膜	
4 1 2	導電膜	
4 1 3	導電膜	
4 1 4	導電膜	
4 1 6	導電膜	
4 1 7	導電膜	20
4 1 8	導電膜	
4 2 0	絶縁膜	
4 2 1	絶縁膜	
4 2 2	絶縁膜	
4 3 0	半導体膜	
4 3 0 a	酸化物半導体膜	
4 3 0 c	酸化物半導体膜	
4 3 1	ゲート絶縁膜	
4 3 2	導電膜	
4 3 3	導電膜	30
4 3 4	ゲート電極	
6 0 1	半導体基板	
6 1 0	素子分離領域	
6 1 1	絶縁膜	
6 1 2	絶縁膜	
6 1 3	絶縁膜	
6 2 5	導電膜	
6 2 6	導電膜	
6 2 7	導電膜	
6 3 4	導電膜	40
6 3 5	導電膜	
6 3 6	導電膜	
6 3 7	導電膜	
6 4 4	導電膜	
6 5 1	導電膜	
6 5 2	導電膜	
6 5 3	導電膜	
6 6 1	絶縁膜	
6 6 2	ゲート絶縁膜	
6 6 3	絶縁膜	50

7 0 1	半 導 体 膜	
7 1 0	領 域	
7 1 1	領 域	
7 2 1	導 電 膜	
7 2 2	導 電 膜	
7 3 1	ゲ ー ト 電 極	
5 0 0 1	筐 体	
5 0 0 2	筐 体	
5 0 0 3	表 示 部	
5 0 0 4	表 示 部	10
5 0 0 5	マ イ ク ロ ホ ン	
5 0 0 6	ス ピ ー カ ー	
5 0 0 7	操 作 キ ー	
5 0 0 8	ス タ イ ラ ス	
5 1 0 1	車 体	
5 1 0 2	車 輪	
5 1 0 3	ダ ッ シ ュ ボ ー ド	
5 1 0 4	ラ イ ト	
5 3 0 1	筐 体	
5 3 0 2	冷 蔵 室 用 扉	20
5 3 0 3	冷 凍 室 用 扉	
5 4 0 1	筐 体	
5 4 0 2	表 示 部	
5 4 0 3	キ ー ボ ー ド	
5 4 0 4	ポ イ ン テ ィ ン グ デ バ イ ス	
5 6 0 1	筐 体	
5 6 0 2	筐 体	
5 6 0 3	表 示 部	
5 6 0 4	表 示 部	
5 6 0 5	接 続 部	30
5 6 0 6	操 作 キ ー	
5 8 0 1	筐 体	
5 8 0 2	筐 体	
5 8 0 3	表 示 部	
5 8 0 4	操 作 キ ー	
5 8 0 5	レ ン ズ	
5 8 0 6	接 続 部	

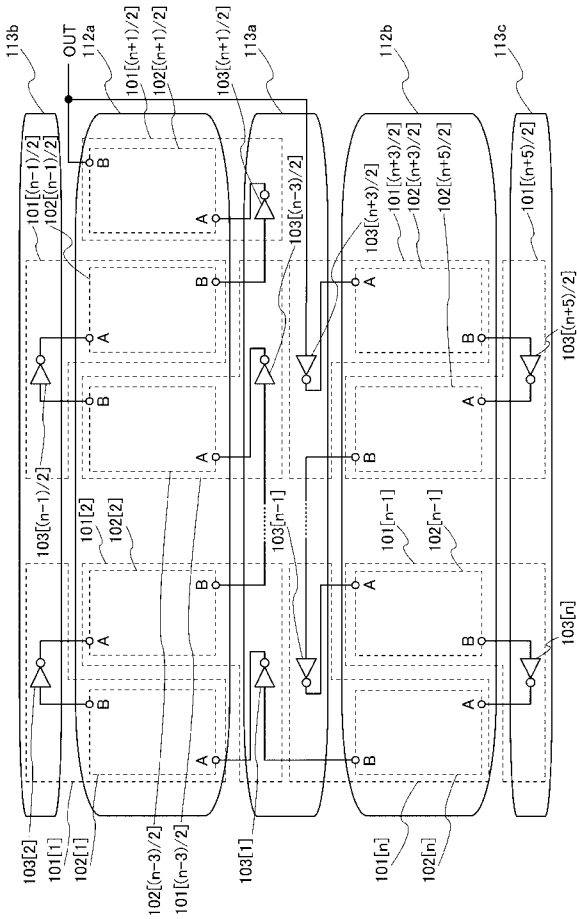
【 図 1 】



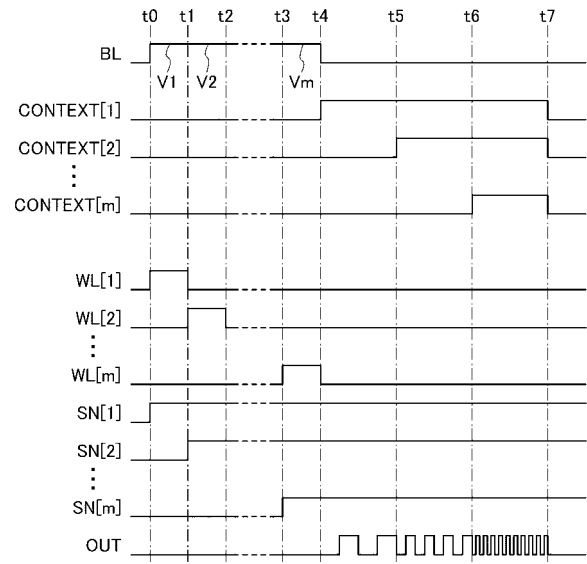
【 図 2 】



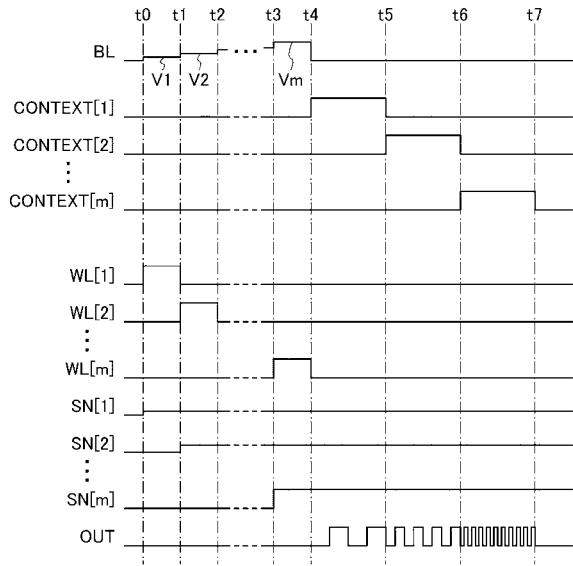
【 図 3 】



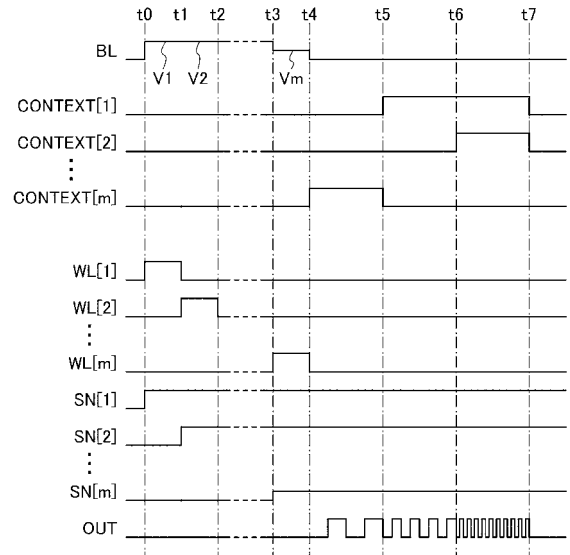
【 図 4 】



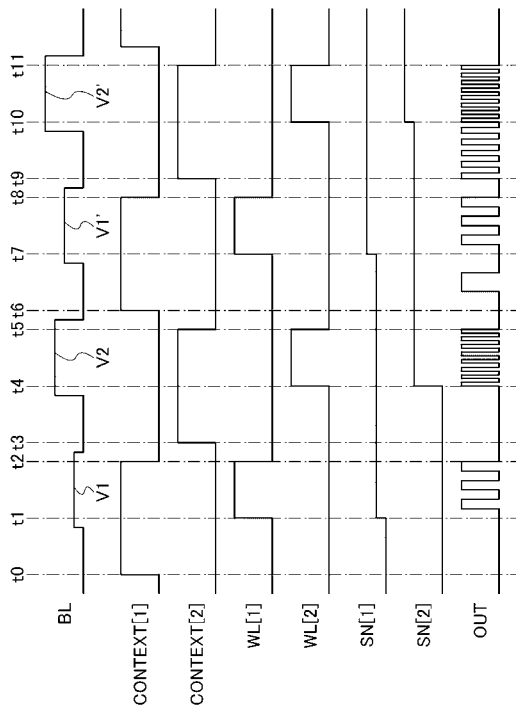
【 図 5 】



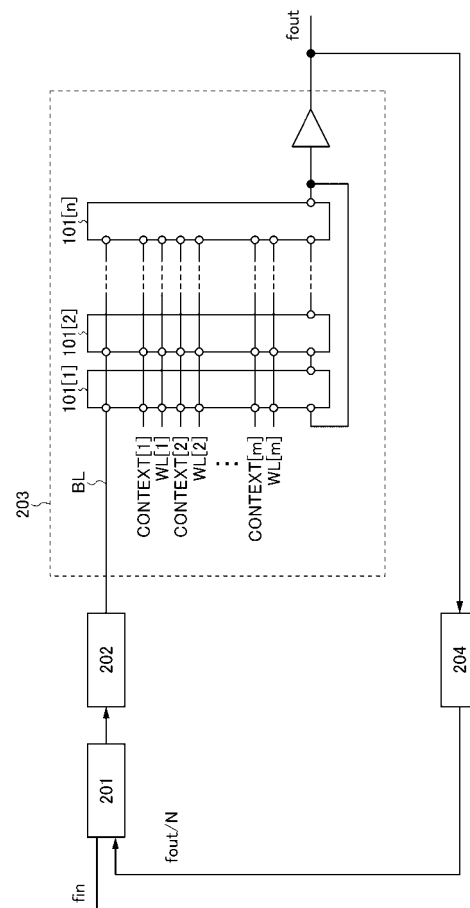
【 図 6 】



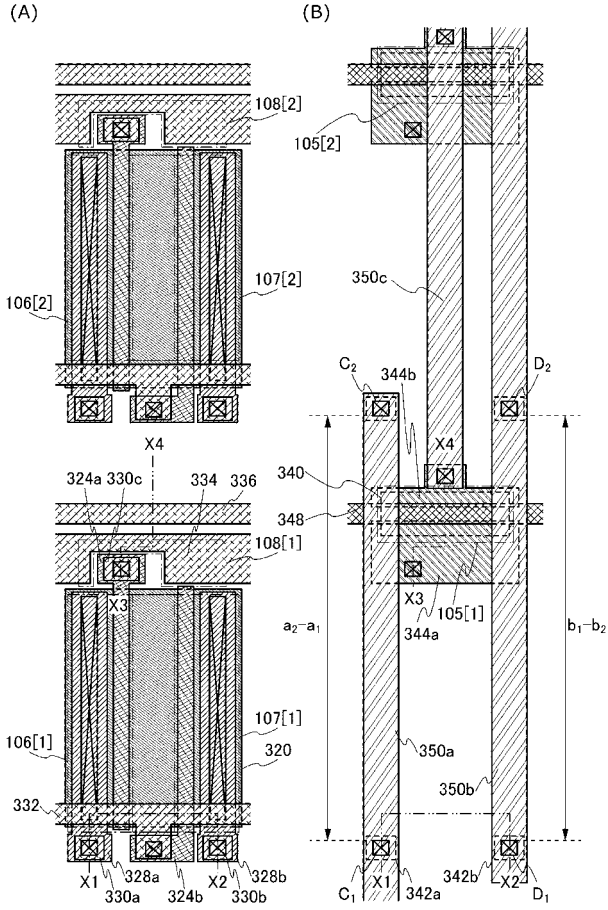
【 図 7 】



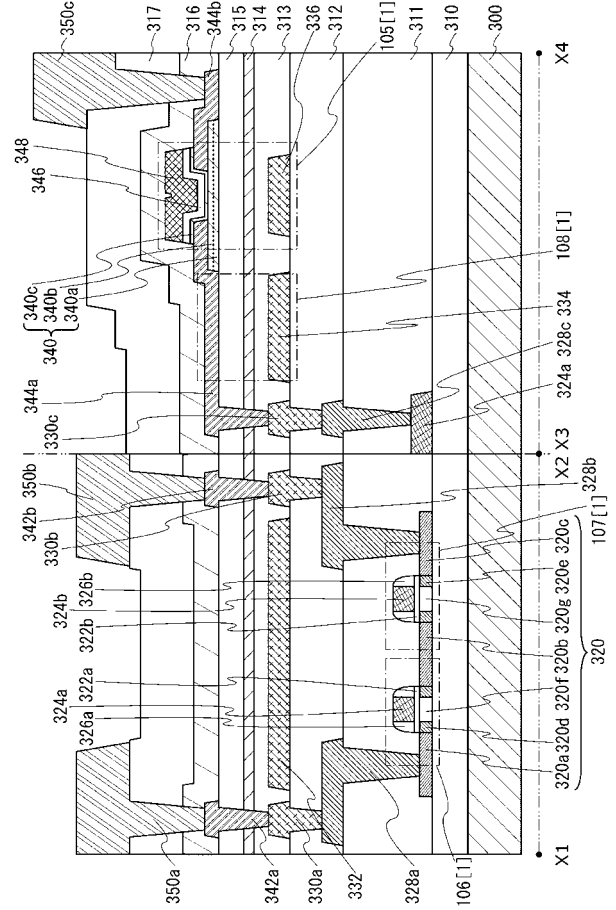
【 図 8 】



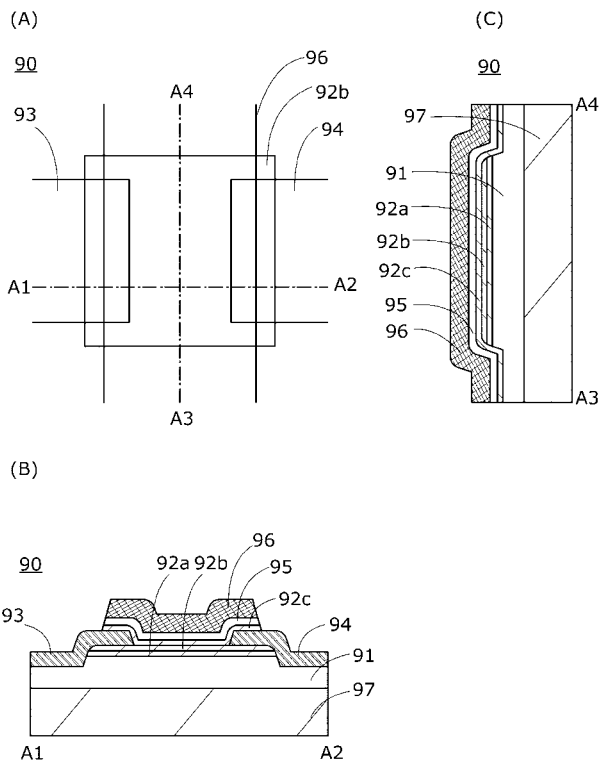
【 図 9 】



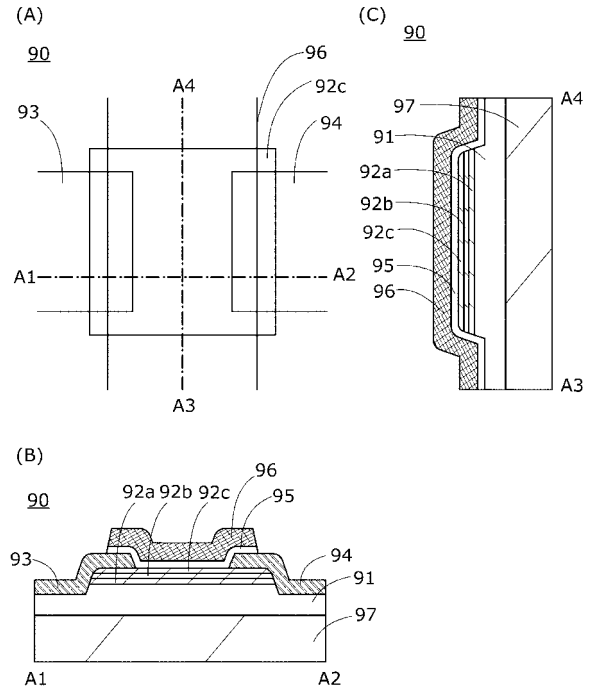
【 図 10 】



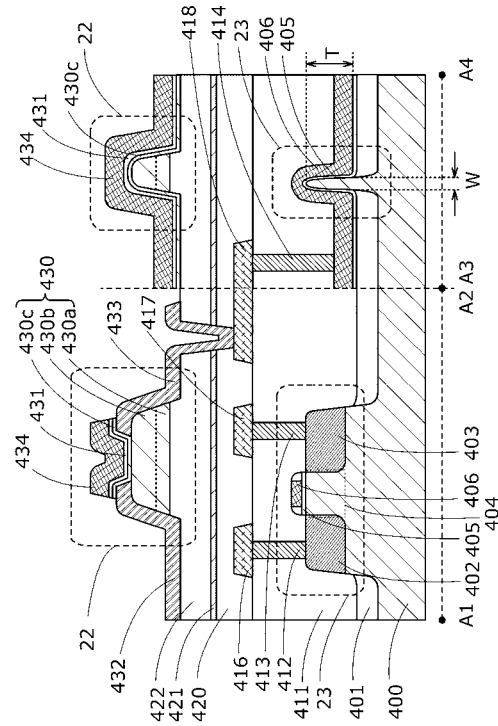
【 図 11 】



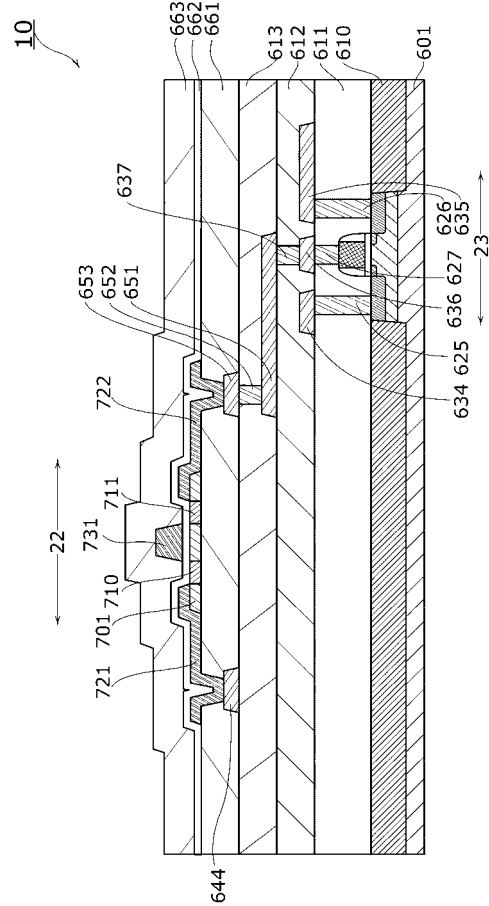
【 図 12 】



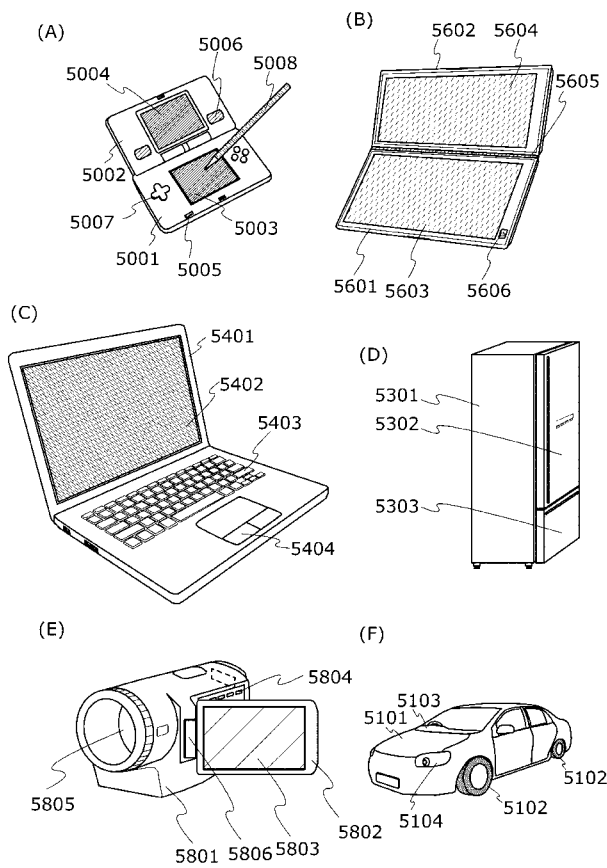
【 図 1 3 】



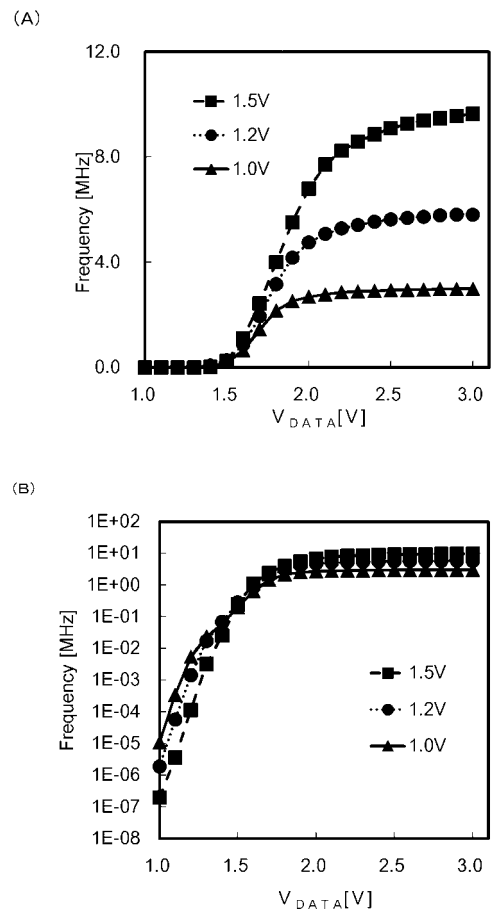
【 図 1 4 】



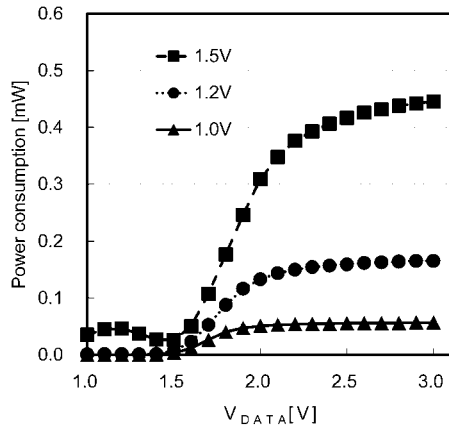
【 図 1 5 】



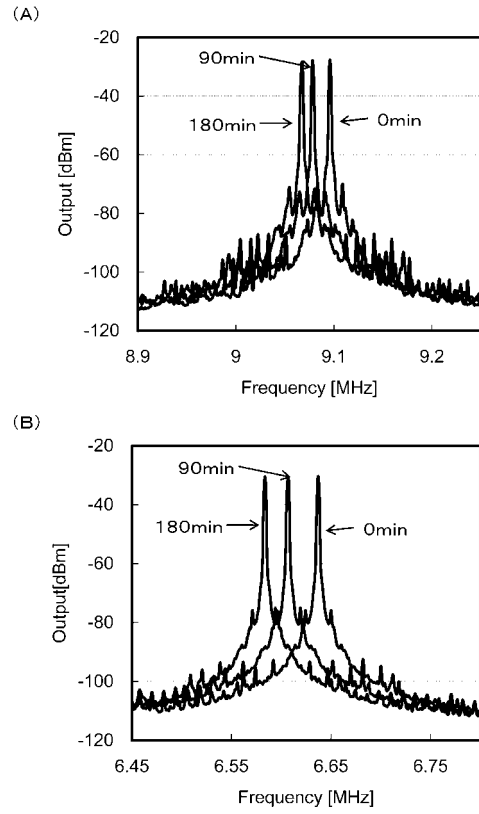
【 図 1 8 】



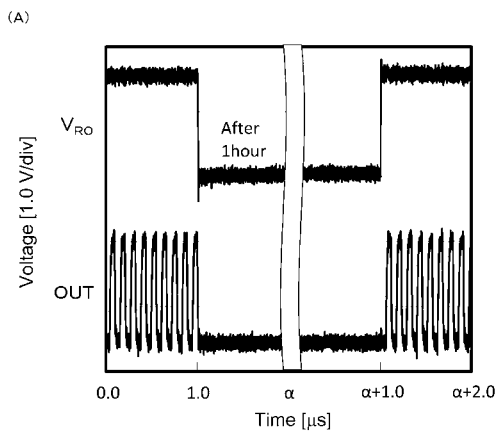
【 図 1 9 】



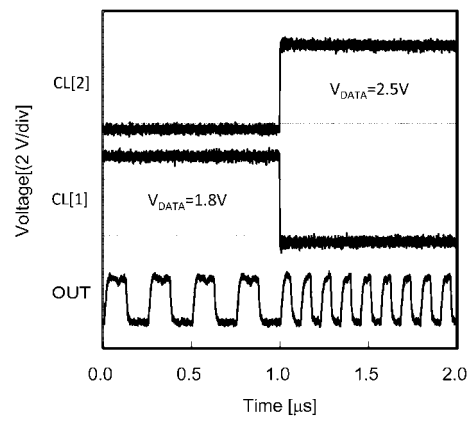
【 図 2 1 】



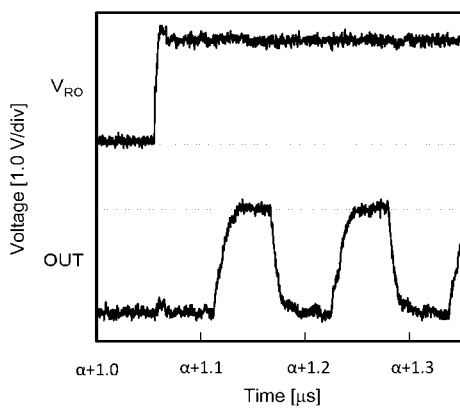
【 図 2 2 】



【 図 2 3 】

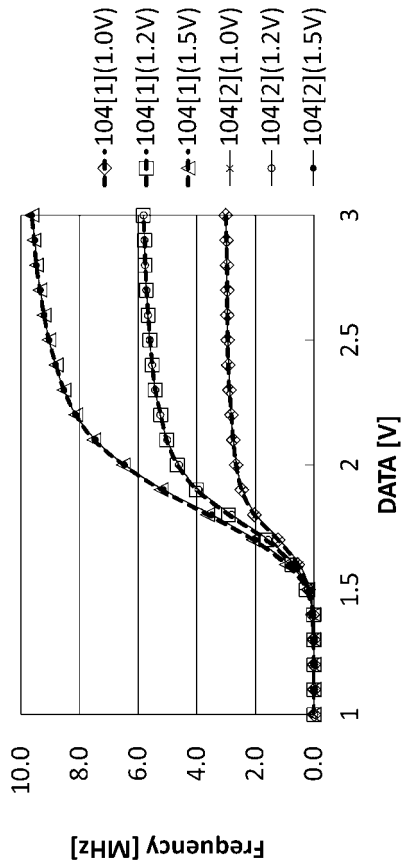


(B)

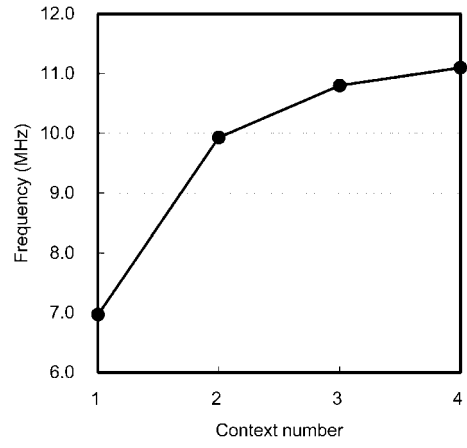




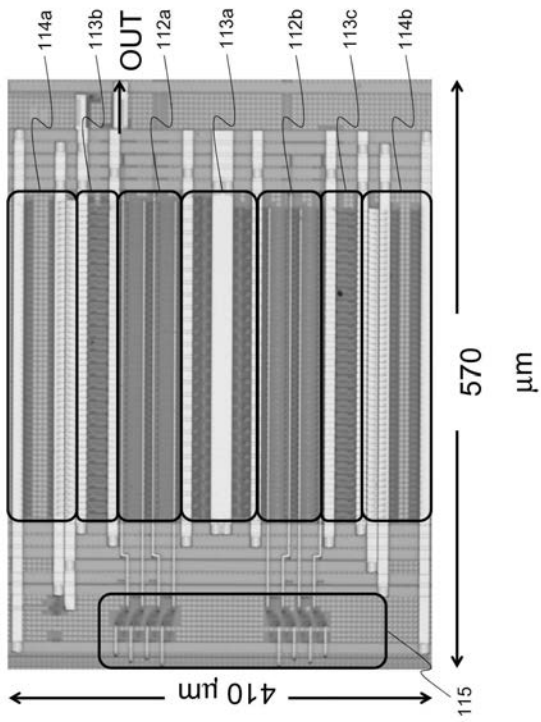
【 図 2 4 】



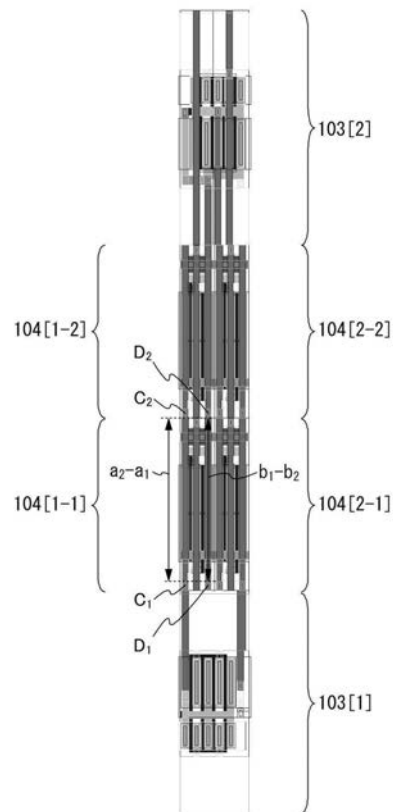
【 図 2 5 】



【 図 1 6 】



【 図 1 7 】



【 図 20 】

