

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月1日(01.10.2020)



(10) 国際公開番号

WO 2020/194932 A1

(51) 国際特許分類:

H05B 33/12 (2006.01) G09F 9/30 (2006.01)
H01L 51/50 (2006.01) G09F 9/302 (2006.01)
G09G 3/20 (2006.01) H01L 27/32 (2006.01)
G09G 3/3233 (2016.01)

東京都港区西新橋三丁目7番1号 株式会社
ジャパンディスプレイ内 Tokyo (JP). 小
川 康宏(OGAWA, Yasuhiro); 〒1050003 東京都
港区西新橋三丁目7番1号 株式会社ジャ
パンディスプレイ内 Tokyo (JP).

(21) 国際出願番号: PCT/JP2019/049828

(22) 国際出願日: 2019年12月19日(19.12.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-054605 2019年3月22日(22.03.2019) JP

(71) 出願人: 株式会社ジャパンディスプレイ (JAPAN
DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区
西新橋三丁目7番1号 Tokyo (JP).

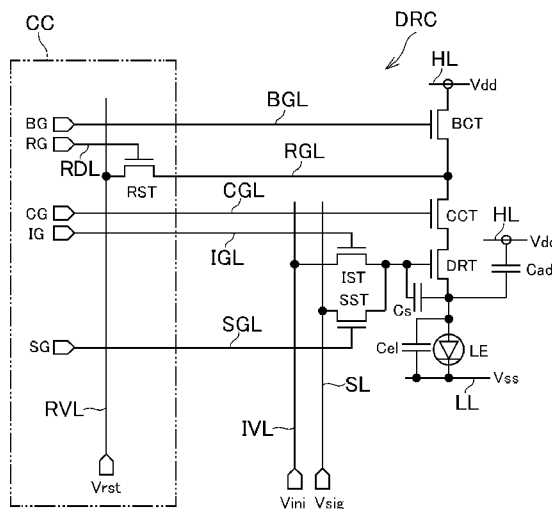
(72) 発明者: 田 畠 弘 志 (TABATAKE, Hiroshi);
〒1050003 東京都港区西新橋三丁目7番1
号 株式会社ジャパンディスプレイ内 Tokyo
(JP). 森田 哲生 (MORITA, Tetsuo); 〒1050003

(74) 代理人: 特許業務法人はるか国際特許
事務所 (HARUKA PATENT & TRADEMARK
ATTORNEYS); 〒1020085 東京都千代田区六番
町3 六番町SKビル5階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



Cs : Cs1, Cs2
Cel : Cel1, Cel2
Cad : Cad1, Cad2
EL : LE1, LE2

(57) Abstract: According to the present invention, a driving circuit (DRC) comprises: a holding capacitor (Cs), an element capacitor (Cel), and an additional capacitor (Cad) interposed between one among a source and a drain and one among a high-potential line (HL) and a low-potential line (LL). The driving circuit (DRC) for driving a first light emitting element (LE1) comprises: a first element capacitor (Cel1) serving as the element capacitor (Cel) and a first additional capacitor (Cad1) serving as the additional capacitor (Cad). The driving circuit (DRC) for driving a second light emitting element (LE2) comprises: a second element capacitor (Cel2) serving as the element capacitor (Cel) and a second additional capacitor (Cad2) serving as the additional capacitor (Cad). The capacitance of the first element capacitor (Cel1) is larger than the capacitance of the second element capacitor (Cel2). The capacitance of the first additional capacitor (Cad1) is smaller than the capacitance of the second additional capacitor (Cad2).

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 駆動回路 (DRC) は、保持キャパシタ (Cs) と、素子キャパシタ (Cel) と、ソース及びドレインの一方と高電位配線 (HL) 及び低電位配線 (LL) の一方の間に介在する付加キャパシタ (Cad) と、を含む。第1発光素子 (LE1) を駆動するための駆動回路 (DRC) は、素子キャパシタ (Cel) としての第1素子キャパシタ (Cel1) と、付加キャパシタ (Cad) としての第1付加キャパシタ (Cad1) と、を含む。第2発光素子 (LE2) を駆動するための駆動回路 (DRC) は、素子キャパシタ (Cel) としての第2素子キャパシタ (Cel2) と、付加キャパシタ (Cad) としての第2付加キャパシタ (Cad2) と、を含む。第1素子キャパシタ (Cel1) の容量は、第2素子キャパシタ (Cel2) の容量よりも大きい。第1付加キャパシタ (Cad1) の容量は、第2付加キャパシタ (Cad2) の容量よりも小さい。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、表示装置に関する。

背景技術

[0002] 有機エレクトロルミネセンス表示装置は、入力された画像信号に対応した電流を流すことで発光層を多階調で発光し、これにより画像を表示するようになっている（特許文献1）。電流は、薄膜トランジスタによって制御される。

先行技術文献

特許文献

[0003] 特許文献1：特開2019-16504号公報

発明の概要

発明が解決しようとする課題

[0004] 薄膜トランジスタによる電流の制御には、電位の安定が重要である。そのために画素電極を一方の電極とする容量が形成されるが、発光色によって電極の大きさが異なるため、その容量は発光色ごとに異なる。容量の違いで、薄膜トランジスタによる電流制御に差が生じる。さらに、電流が流れない状態の黒表示ができないとコントラストが悪化する。

[0005] 本発明は、薄膜トランジスタによる電流制御の差をなくすことを目的とする。

課題を解決するための手段

[0006] 本発明に係る表示装置は、複数の画素のそれぞれを構成する複数の発光色の副画素にそれぞれ設けられた複数の発光素子と、前記複数の発光素子のそれぞれを駆動するための駆動回路と、を有し、前記複数の発光素子は、前記複数の発光色の1つに対応する第1発光素子と、前記複数の発光色の他の1つに対応する第2発光素子と、を含み、前記第1発光素子は、前記第2発光

素子よりも、発光領域が大きく、前記駆動回路は、前記複数の発光素子の対応する1つに電流を流すための高電位配線及び低電位配線と、前記電流の流れ及び遮断を切り替える電流スイッチング素子と、前記電流スイッチング素子と直列に接続されて前記電流の量を制御する薄膜トランジスタと、前記薄膜トランジスタのゲートへの映像信号の入力及び遮断を切り替える信号スイッチング素子と、前記薄膜トランジスタのソース及びドレインの一方と前記ゲートとの間に介在する保持キャパシタと、前記複数の発光素子の対応する1つからなる素子キャパシタと、前記ソース及び前記ドレインの前記一方と前記高電位配線及び前記低電位配線の一方の間に介在する付加キャパシタと、を含み、前記第1発光素子を駆動するための前記駆動回路は、前記素子キャパシタとしての第1素子キャパシタと、前記付加キャパシタとしての第1付加キャパシタと、を含み、前記第2発光素子を駆動するための前記駆動回路は、前記素子キャパシタとしての第2素子キャパシタと、前記付加キャパシタとしての第2付加キャパシタと、を含み、前記第1素子キャパシタの容量は、前記第2素子キャパシタの容量よりも大きく、前記第1付加キャパシタの容量は、前記第2付加キャパシタの容量よりも小さいことを特徴とする。

[0007] 本発明によれば、第1発光素子は、第2発光素子と比較して、発光領域が大きいことで第1素子キャパシタの容量が大きい、第1付加キャパシタの容量が小さくなっている。これにより、第1発光素子及び第2発光素子の間で、電流制御の差をなくすることができる。

図面の簡単な説明

[0008] [図1]実施形態に係る表示装置の平面図である。

[図2]表示装置の使用状態を示す概略図である。

[図3]図2に示す表示装置のIII-III線断面の概略図である。

[図4]図1に示す表示領域の一部を示す図である。

[図5]図1に示す表示装置のV-V線断面図である。

[図6]図1に示す表示装置のVI-VI線断面図である。

[図7]駆動回路の詳細を示す図である。

[図8]駆動回路D R Cを駆動するための制御回路C Cのタイミングチャートを示す図である。

[図9]図8の期間1での動作を示す図である。

[図10]図8の期間2での動作を示す図である。

[図11]図8の期間3での動作を示す図である。

[図12]図8の期間4, 5での動作を示す図である。

[図13]図8の期間6での動作を示す図である。

発明を実施するための形態

[0009] 以下、本発明の実施形態について図面を参照して説明する。但し、本発明は、その要旨を逸脱しない範囲において様々な態様で実施することができ、以下に例示する実施形態の記載内容に限定して解釈されるものではない。

[0010] 図面は、説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。本明細書と各図において、既出の図に関して説明したものと同様の機能を備えた要素には、同一の符号を付して、重複する説明を省略することがある。

[0011] さらに、本発明の詳細な説明において、ある構成物と他の構成物の位置関係を規定する際、「上に」「下に」とは、ある構成物の直上あるいは直下に位置する場合のみでなく、特に断りの無い限りは、間にさらに他の構成物を介在する場合を含むものとする。

[0012] 図1は、実施形態に係る表示装置の平面図である。表示装置は、実際には、折り曲げて使用するので、図1は、表示装置を折り曲げる前の展開図である。図2は、表示装置の使用状態を示す概略図である。図3は、図2に示す表示装置のIII-III線断面の概略図である。

[0013] 表示装置は、例えば、有機エレクトロルミネセンス表示装置である。表示装置は、ディスプレイDSPを含む。屈曲の内側にはスペーサSPが配置されて、ディスプレイDSPの曲がりすぎを防いでいる。ディスプレイDSP

は、可撓性を有し、画像が表示される表示領域D Aの外側で折り曲げられている。ディスプレイD S Pには、画像を表示するための素子を駆動するための集積回路チップC Pが搭載されている。ディスプレイD S Pには、表示領域D Aの外側で、フレキシブルプリント基板F Pが接続されている。

[0014] 図4は、図1に示す表示領域の一部を示す図である。表示領域D Aでは、例えば、発光色が赤R、緑G及び青Bの複数からなる副画素S P X（サブピクセル）を組み合わせるフルカラーの1画素P Xを形成し、複数の画素P Xによってフルカラーの画像が表示される。人の目の感度は、青Bに対して低いため、青Bの副画素S P Xが最も大きくなっている。

[0015] 図5は、図1に示す表示装置のV-V線断面図である。詳しくは、発光色が青Bの副画素S P Xの断面図である。基板1 0は、ポリイミドからなる。ただし、シートディスプレイ又はフレキシブルディスプレイを構成するために十分な可撓性を有する基材であれば他の樹脂材料を用いてもよい。

[0016] 基板1 0上に、バリア無機膜1 2（アンダーコート層）が積層されている。バリア無機膜1 2は、シリコン酸化膜1 2 a、シリコン窒化膜1 2 b及びシリコン酸化膜1 2 cの三層積層構造である。最下層のシリコン酸化膜1 2 aは、基板1 0との密着性向上のため、中層のシリコン窒化膜1 2 bは、外部からの水分及び不純物のブロック膜として、最上層のシリコン酸化膜1 2 cは、シリコン窒化膜1 2 b中に含有する水素原子が薄膜トランジスタD R Tの半導体層1 6側に拡散しないようにするブロック膜として、それぞれ設けられるが、特にこの構造に限定するものではなく、さらに積層があってもよいし、単層あるいは二層積層であってもよい。

[0017] 薄膜トランジスタD R Tを形成する箇所に合わせて機能膜1 4を形成してもよい。機能膜1 4は、チャネル裏面からの光の侵入等による薄膜トランジスタD R Tの特性の変化を抑制したり、導電材料で形成して所定の電位を与えることで、薄膜トランジスタD R Tにバックゲート効果を与えたりすることができる。ここでは、シリコン酸化膜1 2 aを形成した後、薄膜トランジスタD R Tが形成される箇所に合わせて機能膜1 4を島状に形成し、その後

シリコン窒化膜 12b 及びシリコン酸化膜 12c を積層することで、バリア無機膜 12 に機能膜 14 を封入するように形成しているが、この限りではなく、基板 10 上にまず機能膜 14 を形成し、その後にバリア無機膜 12 を形成してもよい。

[0018] バリア無機膜 12 上に薄膜トランジスタ DRT が形成されている。ポリシリコン薄膜トランジスタを例に挙げて、ここでは Nch トランジスタのみを示しているが、Pch トランジスタを同時に形成してもよい。薄膜トランジスタ DRT の半導体層 16 は、チャネル領域とソース・ドレイン領域との間に、低濃度不純物領域を設けた構造を採る。ゲート絶縁膜 18 としてはここではシリコン酸化膜を用いる。ゲート電極 20 は、MoW から形成された第 1 配線層 W1 の一部である。第 1 配線層 W1 は、ゲート電極 20 に加え、第 1 保持容量線 CL1 を有する。第 1 保持容量線 CL1 と半導体層 16 (ソース・ドレイン領域) との間で、ゲート絶縁膜 18 を介して、保持キャパシタ Cs の一部が形成される。

[0019] ゲート電極 20 の上に、層間絶縁膜 22 (シリコン酸化膜及びシリコン窒化膜) が積層されている。層間絶縁膜 22 の上に、ソース・ドレイン電極 24 となる部分を含む第 2 配線層 W2 が形成されている。ここでは、Ti、Al 及び Ti の三層積層構造を採用する。層間絶縁膜 22 を介して、第 1 保持容量線 CL1 (第 1 配線層 W1 の一部) と第 2 保持容量線 CL2 (第 2 配線層 W2 の一部) とで、保持キャパシタ Cs の他の一部が形成される。

[0020] 第 2 配線層 W2 (ソース・ドレイン電極 24) を覆って、層間絶縁膜 22 の上にパッシベーション膜 26 が形成されている。パッシベーション膜 26 の上には平坦化有機膜 28 が設けられている。平坦化有機膜 28 は、CVD (Chemical Vapor Deposition) 等により形成される無機絶縁材料に比べ、表面の平坦性に優れることから、感光性アクリル等の樹脂が用いられる。

[0021] 平坦化有機膜 28 及びパッシベーション膜 26 は、画素コンタクト部 30 では除去されて、その上に酸化インジウムスズ (Indium Tin Oxide: ITO) 膜 32 が形成されている。酸化インジウムスズ膜 32 は、相互に分離され

た第1透明導電膜32a及び第2透明導電膜32bを含む。平坦化有機膜28及びパッシベーション膜26の除去により表面が露出した第2配線層W2は、第1透明導電膜32aにて被覆される。第1透明導電膜32aを被覆するように、平坦化有機膜28の上にシリコン窒化膜34が設けられている。シリコン窒化膜34は、画素コンタクト部30に開口を有し、この開口を介してソース・ドレイン電極24に導通するように画素電極36が積層されている。画素電極36は、反射電極として形成され、酸化インジウム亜鉛膜、Ag膜、酸化インジウム亜鉛膜の三層積層構造になっている。ここで、酸化インジウム亜鉛膜に代わって酸化インジウムスズ膜を用いてもよい。画素電極36は、画素コンタクト部30から側方に拡がり、薄膜トランジスタDRTの上方に至る。

[0022] 第2透明導電膜32bは、画素コンタクト部30に隣接して、画素電極36の下方（さらにシリコン窒化膜34の下方）に設けられている。第2透明導電膜32b、シリコン窒化膜34及び画素電極36は重なっており、これらによって第1付加キャパシタCad1が形成される。第1付加キャパシタCad1は、画素電極36に対向する第1対向電極46Aを有する。

[0023] 平坦化有機膜28の上であって例えば画素コンタクト部30の上方に、バンク（リブ）と呼ばれて隣同士の画素領域の隔壁となる絶縁有機膜38が形成されている。絶縁有機膜38としては平坦化有機膜28と同じく感光性アクリル等が用いられる。絶縁有機膜38は、画素電極36の表面を発光領域として露出するように開口され、その開口端はなだらかなテーパ形状となるのが好ましい。開口端が急峻な形状になっていると、その上に形成される有機エレクトロルミネセンス層40のカバレッジ不良を生ずる。

[0024] 平坦化有機膜28と絶縁有機膜38は、両者間にあるシリコン窒化膜34に設けた開口を通じて接触している。これにより、絶縁有機膜38の形成後の熱処理等を通じて、平坦化有機膜28から脱離する水分や脱ガスを、絶縁有機膜38を通じて引き抜くことができる。

[0025] 画素電極36の上に、有機材料からなる有機エレクトロルミネセンス層4

0が積層されている。有機エレクトロルミネセンス層40は、単層であってもよいが、画素電極36側から順に、正孔輸送層、発光層及び電子輸送層が積層された構造であってもよい。これらの層は、蒸着によって形成してもよい。

[0026] 有機エレクトロルミネセンス層40の上に、共通電極42が設けられている。ここでは、トップエミッション構造としているため、共通電極42は透明である。例えば、Mg層及びAg層を、有機エレクトロルミネセンス層40からの出射光が透過する程度の薄膜として形成する。前述の有機エレクトロルミネセンス層40の形成順序に従うと、画素電極36が陽極となり、共通電極42が陰極となる。複数の画素電極36と、共通電極42と、複数の画素電極36のそれぞれの中央部と共通電極42の間に介在する有機エレクトロルミネセンス層40とで第1発光素子LE1が構成される。第1発光素子LE1は、第1素子キャパシタCel1を構成する。

[0027] 共通電極42の上に、第1発光素子LE1を覆う封止層48が形成されている。封止層48は、先に形成した有機エレクトロルミネセンス層40を、外部からの水分侵入を防止することを機能の一としており、高いガスバリア性が要求される。封止層48は、有機膜50及びこれを挟む第1無機膜52及び第2無機膜54（例えばシリコン窒化膜）の積層構造になっている。封止層48には、樹脂層56及び偏光板58（例えば円偏光板）が積層されている。

[0028] 図6は、図1に示す表示装置のVI-VI線断面図である。詳しくは、発光色が赤R及び緑Gの副画素SPXの断面図である。第2発光素子LE2は、第2素子キャパシタCel2を構成する。図5に示す第1発光素子LE1が、図6に示す第2発光素子LE2よりも、発光領域が大きい（図4参照）。具体的には、第1発光素子LE1の画素電極36が、第2発光素子LE2の画素電極36よりも大きい。

[0029] 図5に示す第1付加キャパシタCad1の一方電極36Aである画素電極36は、図6に示す第2付加キャパシタCad2の一方電極36Bである画素電極3

6よりも大きい。第2付加キャパシタC_{ad2}は、画素電極36（一方電極36B）に対向する第2対向電極46Bを有する。第1付加キャパシタC_{ad1}に含まれる第1対向電極46A（図5）は、第2付加キャパシタC_{ad2}に含まれる第2対向電極46B（図6）よりも小さい。その他の構成は、図5に示す内容と同じである。

[0030] 図7は、駆動回路の詳細を示す図である。複数の発光素子LEは、複数の発光色R、G、Bの1つに対応する第1発光素子LE1（図5）を含む。複数の発光素子LEは、複数の発光色R、G、Bの他の1つに対応する第2発光素子LE2（図6）を含む。表示装置は、複数の画素PXのそれぞれを構成する複数の発光色R、G、Bの副画素SPXにそれぞれ設けられた複数の発光素子LEを有する。表示装置は、複数の発光素子LEのそれぞれを駆動するための駆動回路DRCを有する。

[0031] 高電位配線HL及び低電位配線LLの電位差によって、複数の発光素子LEのそれぞれに電流を流すことができる。その電流の流れ及び遮断は、電流スイッチング素子BCTによって切り替えられる。電流スイッチング素子BCTには、薄膜トランジスタDRTが直列に接続されて電流の量を制御するようになっている。薄膜トランジスタDRTのゲートへの映像信号V_{sig}の入力及び遮断は、信号スイッチング素子SSTによって切り替えられるようになっている。薄膜トランジスタDRTのソース及びドレインの一方とゲートとの間に保持キャパシタC_sが介在する。

[0032] 複数の発光素子LEのそれぞれは素子キャパシタC_{el}を構成する。素子キャパシタC_{el}は、発光素子LEの陽極（画素電極36）及び陰極（共通電極42）の間に付く容量である。図5に示す第1発光素子LE1を駆動するための駆動回路DRCは、素子キャパシタC_{el}としての第1素子キャパシタC_{el1}を含む。図6に示す第2発光素子LE2を駆動するための駆動回路DRCは、素子キャパシタC_{el}としての第2素子キャパシタC_{el2}を含む。複数の画素電極36のそれぞれは、素子キャパシタC_{el}及び付加キャパシタC_{ad}のそれぞれの一方電極36A、36Bとして共用される。一方電極36Aが一方

電極 3 6 B よりも大きいことから、第 1 素子キャパシタ Cel1 の容量は、第 2 素子キャパシタ Cel2 の容量よりも大きい。

[0033] 駆動回路 DRC は、ソース及びドレインの一方と高電位配線 HL 及び低電位配線 LL の一方の間に介在する付加キャパシタ Cad を含む。図 5 に示す第 1 発光素子 LE1 を駆動するための駆動回路 DRC は、付加キャパシタ Cad としての第 1 付加キャパシタ Cad1 を含む。図 6 に示す第 2 発光素子 LE2 を駆動するための駆動回路 DRC は、付加キャパシタ Cad としての第 2 付加キャパシタ Cad2 を含む。

[0034] 第 1 対向電極 4 6 A が第 2 対向電極 4 6 B よりも小さいことから、第 1 付加キャパシタ Cad1 の容量は、第 2 付加キャパシタ Cad2 の容量よりも小さい。第 1 素子キャパシタ Cel1 の容量及び第 1 付加キャパシタ Cad1 の容量の合計容量は、第 2 素子キャパシタ Cel2 の容量及び第 2 付加キャパシタ Cad2 の容量の合計容量に等しい。

[0035] 本実施形態によれば、図 5 に示す第 1 発光素子 LE1 は、図 6 に示す第 2 発光素子 LE2 と比較して、発光領域が大きいことで第 1 素子キャパシタ Cel1 の容量が大きい、第 1 付加キャパシタ Cad1 の容量が小さくなっている。これにより、第 1 発光素子 LE1 及び第 2 発光素子 LE2 の間で、電流制御の差をなくすることができる。

[0036] 光制御線 BGL、補正制御線 CGL、初期化制御線 IGL、書込制御線 SGL には、制御回路 CC から、それぞれ、信号 BG、CG、IG、SG が出力される。駆動回路 DRC には、電流スイッチング素子 BCT、補正トランジスタ CCT、初期化トランジスタ IST、信号スイッチング素子 SST、薄膜トランジスタ DRT が設けられる。これらのトランジスタの少なくとも 1 つは、隣接する駆動回路 DRC 間で共有されても良い。薄膜トランジスタ DRT のゲート・ソース間には保持キャパシタ Cs が設けられている。

[0037] 電流スイッチング素子 BCT、補正トランジスタ CCT、初期化トランジスタ IST、信号スイッチング素子 SST は、2 ノード間の導通、非導通を選択するスイッチング素子として機能する。薄膜トランジスタ DRT は、そ

のゲート・ソース間電圧に応じて、発光素子L Eに流れる電流値を制御する電流制御素子として機能する。使用されるトランジスタは、N型トランジスタであってもよいし、P型トランジスタであってもよい。P型トランジスタを用いる場合は、適宜電源電位や保持容量の接続を適合させるとよい。

[0038] 発光素子L Eの陽極は、電流スイッチング素子B C T、補正トランジスタC C T、薄膜トランジスタD R Tを介して、高電位（電源電圧V_{dd}）の高電位配線H Lに接続される。陰極は、低電位（電源電圧V_{ss}）の低電位配線L Lに接続される。

[0039] 図8は、駆動回路D R Cを駆動するための制御回路C Cのタイミングチャートを示す図である。本実施形態では、信号R G、B G、C G、I Gは、それぞれ、2行に並ぶ駆動回路D R C群に同時に入力され、符号R G、B G、C G、I Gの後ろに付けた2桁の数字は、それぞれの信号が入力される行番号を示す。符号S Gの後ろに付けた1桁の数字は、その信号が入力される行番号を示す。符号G 1～G 4で示される各区間が1水平期間であり、以後省略するが最終行まで、同様のタイミング関係が継続する。図8中、期間0～6について、以下詳細に説明する。

[0040] [前フレームでの発光]

図8において、あるフレーム期間での処理が開始されるまでの間（期間0）では、発光素子L Eは、前フレームの発光状態を継続している。

[0041] [薄膜トランジスタD R Tのソース初期化]

図9は、図8の期間1での動作を示す図である。この期間ではまず信号B GがLレベル、信号C GがHレベル、信号R GがHレベルとなり、電流スイッチング素子B C Tがオフし、補正トランジスタC C Tがオンする。信号R GがHレベルとなり、リセット駆動線R D Lを介してリセットトランジスタR S Tがオンする。リセットトランジスタR S Tは、表示領域D Aの外側に、例えば各行に1つ設けられる。電源電圧V_{dd}からの電流は電流スイッチング素子B C Tによって遮断されて、発光素子L Eの発光が停止する。発光素子L Eの陽極側に残留していた電荷が、リセット制御線R G Lを介して、リ

セットトランジスタ RST を通じて、リセット電位線 RVL に引き抜かれる。これにより、薄膜トランジスタ DRT のソースがリセット電位 V_{rst} に固定される。リセット電位 V_{rst} は、電源電圧 V_{ss} に対して、発光素子 LE の発光開始電圧よりも低い電位に設定されている。

[0042] [薄膜トランジスタ DRT のゲート初期化]

図 10 は、図 8 の期間 2 での動作を示す図である。この期間では、信号 IG が H レベルとなり、初期化トランジスタ IST がオンする。これにより、初期化電位線 IVL を介して薄膜トランジスタ DRT のゲートが初期化電位 V_{ini} に固定される。初期化電位 V_{ini} は、リセット電位 V_{rst} に対して薄膜トランジスタ DRT のしきい値 V_{th} よりも大きい電位に設定されている。つまり、この操作によって、薄膜トランジスタ DRT はオン状態となる。ただし、電流スイッチング素子 BCT がオフしているので、薄膜トランジスタ DRT にはまだ電流は流れない。

[0043] [オフセットキャンセル]

図 11 は、図 8 の期間 3 での動作を示す図である。この期間では、信号 BG が H レベル、信号 RG が L レベルとなり、電流スイッチング素子 BCT がオンし、リセットトランジスタ RST がオフする。薄膜トランジスタ DRT は前動作によってオン状態であるから、電流スイッチング素子 BCT、補正トランジスタ CCT を通じて電源電圧 V_{dd} から薄膜トランジスタ DRT に電流が供給される。

[0044] この段階では、発光素子 LE の陽極・陰極間の電圧は発光開始電圧を上回っていないので、電流が流れない。従って、電源電圧 V_{dd} から供給された電流によって、薄膜トランジスタ DRT のソースが充電され、その電位が上昇する。このとき、薄膜トランジスタ DRT のゲート電位は初期化電位 V_{ini} となっているので、薄膜トランジスタ DRT のソース電位が $(V_{ini} - V_{th})$ となった段階で薄膜トランジスタ DRT がオフし、ソース電位の上昇が停止する。

[0045] 薄膜トランジスタ DRT のしきい値電圧 V_{th} は、駆動回路 DRC によって

ばらつきがあるため、電位の上昇が停止したときの薄膜トランジスタDRTのソースの電位は駆動回路DRCによって異なる。つまり、本動作によって、各駆動回路DRCで薄膜トランジスタDRTのしきい値電圧 V_{th} に相当する電圧が、ソース・ゲート間に取得される。

[0046] このとき、発光素子LEの陽極・陰極間には、 $\{(V_{ini} - V_{th}) - V_{ss}\}$ の電圧 V_{le} が印加されているが、この電圧は依然発光開始電圧を上回っていないので、発光素子LEには電流が流れない。

[0047] なお、図8のタイミングチャートによると、薄膜トランジスタDRTのソース初期化（期間1）からオフセットキャンセル（期間3）までの動作は、2行分の駆動回路DRC群に対して並行して実施されているが、この限りではない。1行ごとに順次実施されても良いし、3行以上を並行して実施しても良い。

[0048] [映像信号書込み]

図12は、図8の期間4、5での動作を示す図である。この期間では、信号CGがLレベル、信号IGがLレベル、信号SGがHレベルとなり、補正トランジスタCCTがオフし、初期化トランジスタISTがオフし、信号スイッチング素子SSTがオンする。これにより、映像信号 V_{sig} が薄膜トランジスタDRTのゲートに入力され、薄膜トランジスタDRTのゲート電位は初期化電位 V_{ini} から映像信号 V_{sig} に変化する。つまり、映像信号 V_{sig} が薄膜トランジスタDRTのゲートに書き込まれる。

[0049] このとき、先のオフセットキャンセル（期間3）を通じて、薄膜トランジスタDRTのソース電位は、しきい値電圧 V_{th} の値に応じた電位 $(V_{ini} - V_{th})$ となっている。そのため、同じ映像信号 V_{sig} を書き込んでも、薄膜トランジスタDRTのゲート・ソース間電圧 V_{gs} は、しきい値電圧 V_{th} のばらつきを反映して $\{V_{sig} - (V_{ini} - V_{th})\}$ となる。つまり、駆動回路DRC間のしきい値電圧 V_{th} にばらつきがあっても、それに対応して補正した書き込みが可能になる。

[0050] 期間4では1行目の書き込みを行い、期間5では2行目の書き込みを行う

。同様に、奇数行の書込みが終わった後に偶数行の書込みを行う。偶数行の書込み中は、奇数行では信号スイッチング素子 SST がオフして「待ち」状態になる。映像信号 V_{sig} を共有する映像信号線 SL は、同列に属する複数行の駆動回路 $DR C$ で共通であるから、映像信号書込み動作は、1 行ごとに順次実施される。

[0051] [発光]

図 13 は、図 8 の期間 6 での動作を示す図である。この期間では、信号 C が H レベル、信号 S が L レベルとなり、補正トランジスタ $CC T$ がオンし、信号スイッチング素子 SST がオフする。電流スイッチング素子 $BC T$ 、補正トランジスタ $CC T$ を通じて電源電圧 V_{dd} から薄膜トランジスタ $DR T$ に電流が供給される。

[0052] 薄膜トランジスタ $DR T$ は、前段階までで設定されたゲート・ソース間電圧 V_{GS} に応じた電流を発光素子 LE に流し、発光素子 LE がその電流に応じた輝度で発光する。このときの発光素子 LE の陽極・陰極間電圧は、その電流に応じた電圧となるため、陽極側の電位が上昇し、保持キャパシタ C_s によって薄膜トランジスタ $DR T$ のゲート・ソース間電圧が保持される。保持キャパシタ C_s のカップリングによって薄膜トランジスタ $DR T$ のゲート電位も上昇する。

[0053] 実際には、薄膜トランジスタ $DR T$ のゲートに対しては、保持キャパシタ C_s のみならず付加キャパシタ C_{ad} や、その他の寄生容量が付いているため、陽極側の電位上昇よりも、薄膜トランジスタ $DR T$ のゲート電位の上昇はわずかに小さくなる。この値は既知であるから、最終的な薄膜トランジスタ $DR T$ のゲート・ソース間電圧において所望の電流値となるように、映像信号 V_{sig} の電位を決定すれば良い。

[0054] 以上により、一連の動作が完了する。当該動作を 1 行目から最終行まで完了すると、1 フレーム期間内での 1 画面の表示となる。以後、当該動作を繰り返して映像の表示が行われる。

[0055] 本発明は、上述した実施形態に限定されるものではなく種々の変形が可能

である。例えば、実施形態で説明した構成は、実質的に同一の構成、同一の作用効果を奏する構成又は同一の目的を達成することができる構成で置き換えることができる。

請求の範囲

- [請求項1] 複数の画素のそれぞれを構成する複数の発光色の副画素にそれぞれ設けられた複数の発光素子と、
- 前記複数の発光素子のそれぞれを駆動するための駆動回路と、
- を有し、
- 前記複数の発光素子は、前記複数の発光色の1つに対応する第1発光素子と、前記複数の発光色の他の1つに対応する第2発光素子と、
- を含み、
- 前記第1発光素子は、前記第2発光素子よりも、発光領域が大きく、
- 、
- 前記駆動回路は、
- 前記複数の発光素子の対応する1つに電流を流すための高電位配線及び低電位配線と、
- 前記電流の流れ及び遮断を切り替える電流スイッチング素子と、
- 前記電流スイッチング素子と直列に接続されて前記電流の量を制御する薄膜トランジスタと、
- 前記薄膜トランジスタのゲートへの映像信号の入力及び遮断を切り替える信号スイッチング素子と、
- 前記薄膜トランジスタのソース及びドレインの一方と前記ゲートとの間に介在する保持キャパシタと、
- 前記複数の発光素子の対応する1つからなる素子キャパシタと、
- 前記ソース及び前記ドレインの前記一方と前記高電位配線及び前記低電位配線の一方の間に介在する付加キャパシタと、
- を含み、
- 前記第1発光素子を駆動するための前記駆動回路は、前記素子キャパシタとしての第1素子キャパシタと、前記付加キャパシタとしての第1付加キャパシタと、を含み、
- 前記第2発光素子を駆動するための前記駆動回路は、前記素子キャ

パシタとしての第2素子キャパシタと、前記付加キャパシタとしての第2付加キャパシタと、を含み、

前記第1素子キャパシタの容量は、前記第2素子キャパシタの容量よりも大きく、

前記第1付加キャパシタの容量は、前記第2付加キャパシタの容量よりも小さいことを特徴とする表示装置。

[請求項2] 請求項1に記載された表示装置において、

前記第1素子キャパシタの前記容量及び前記第1付加キャパシタの前記容量の合計容量は、前記第2素子キャパシタの前記容量及び前記第2付加キャパシタの前記容量の合計容量に等しいことを特徴とする表示装置。

[請求項3] 請求項1に記載された表示装置において、

前記複数の発光素子は、複数の画素電極を含み、

前記複数の画素電極のそれぞれは、前記素子キャパシタ及び前記付加キャパシタのそれぞれの一方電極として共用され、

前記付加キャパシタは、前記一方電極に対向する対向電極を有することを特徴とする表示装置。

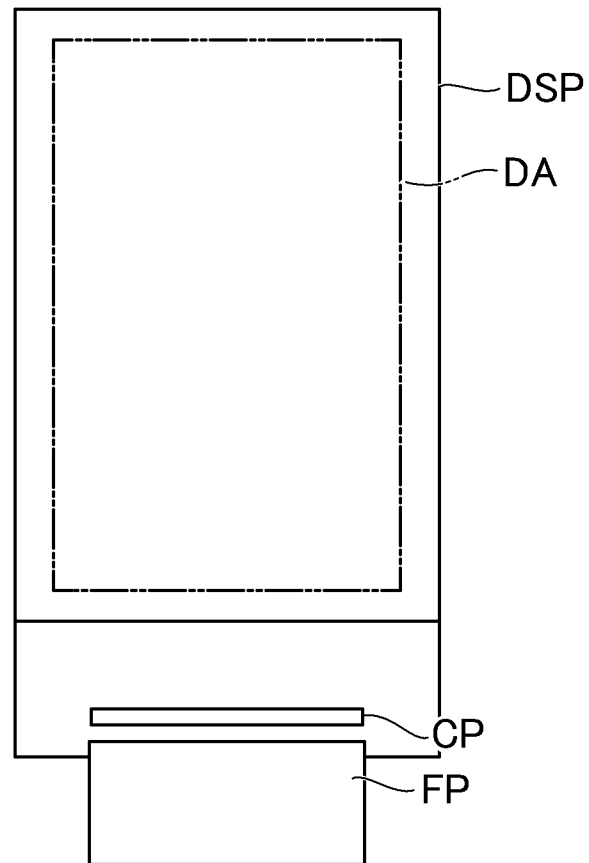
[請求項4] 請求項3に記載された表示装置において、

前記第1付加キャパシタに含まれる前記一方電極は、前記第2付加キャパシタに含まれる前記一方電極よりも大きいことを特徴とする表示装置。

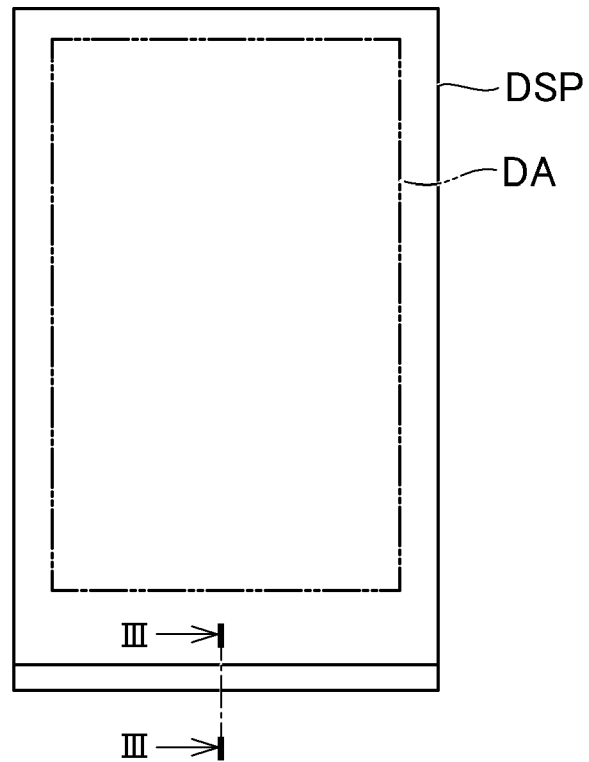
[請求項5] 請求項3に記載された表示装置において、

前記第1付加キャパシタに含まれる前記対向電極は、前記第2付加キャパシタに含まれる前記対向電極よりも小さいことを特徴とする表示装置。

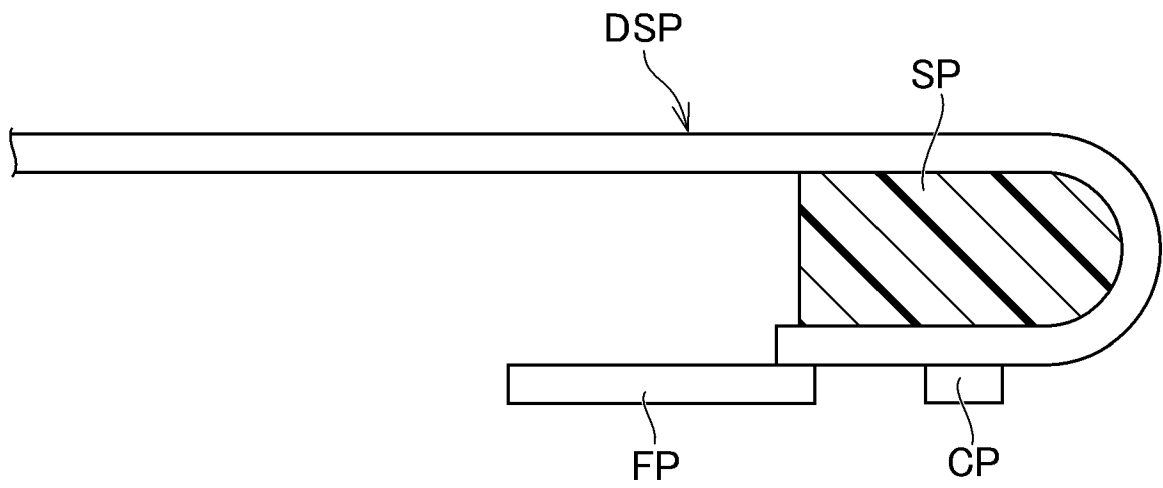
[図1]



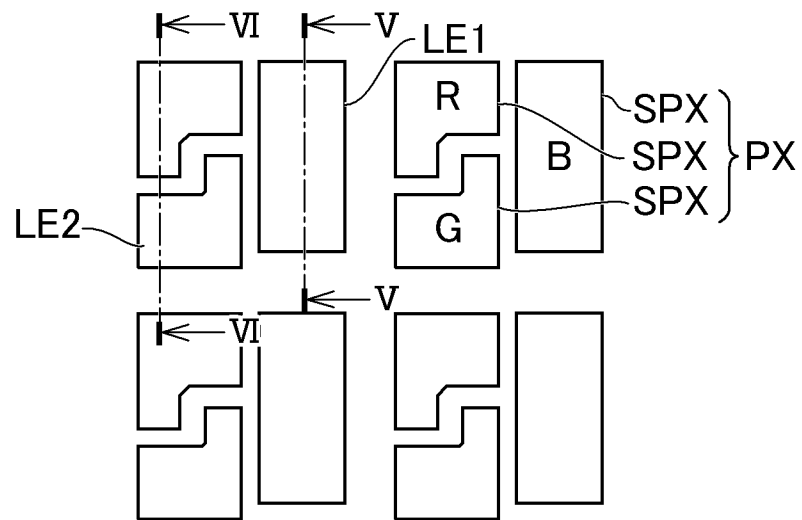
[図2]



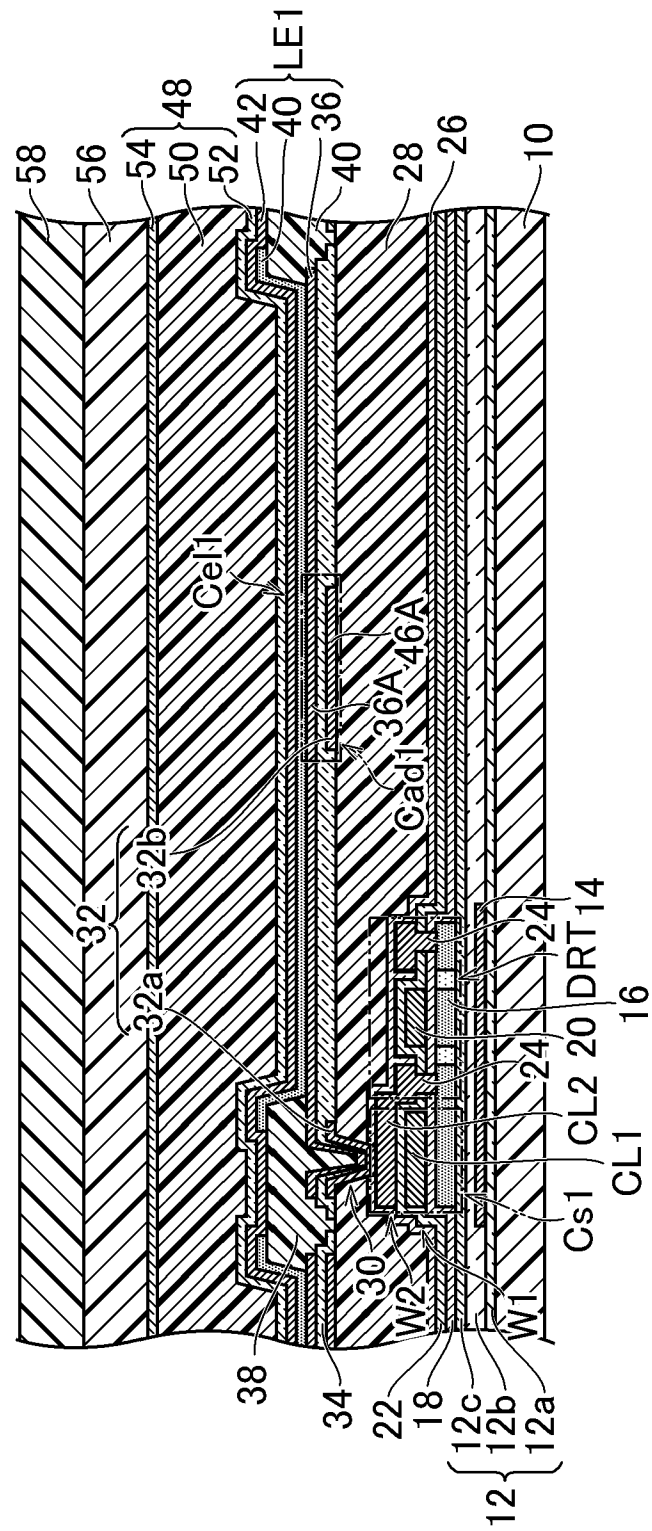
[図3]



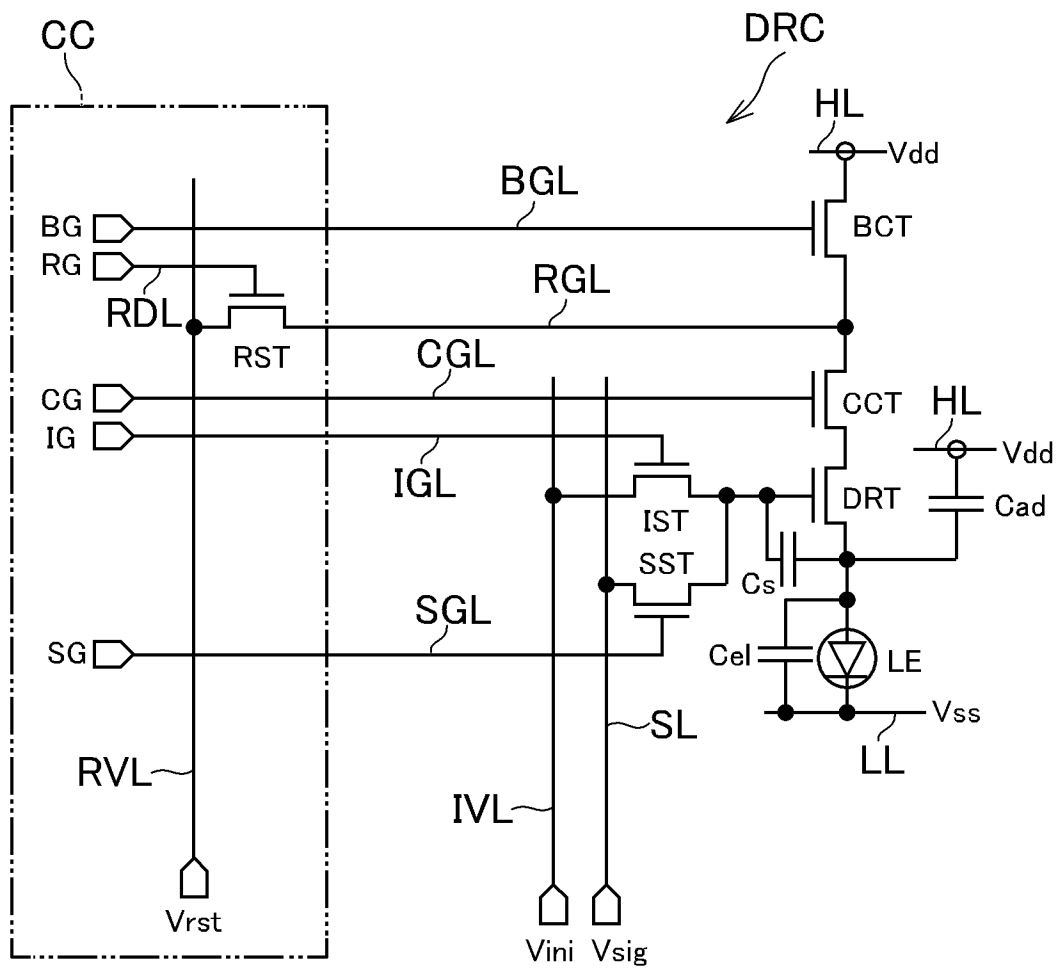
[図4]



[図5]

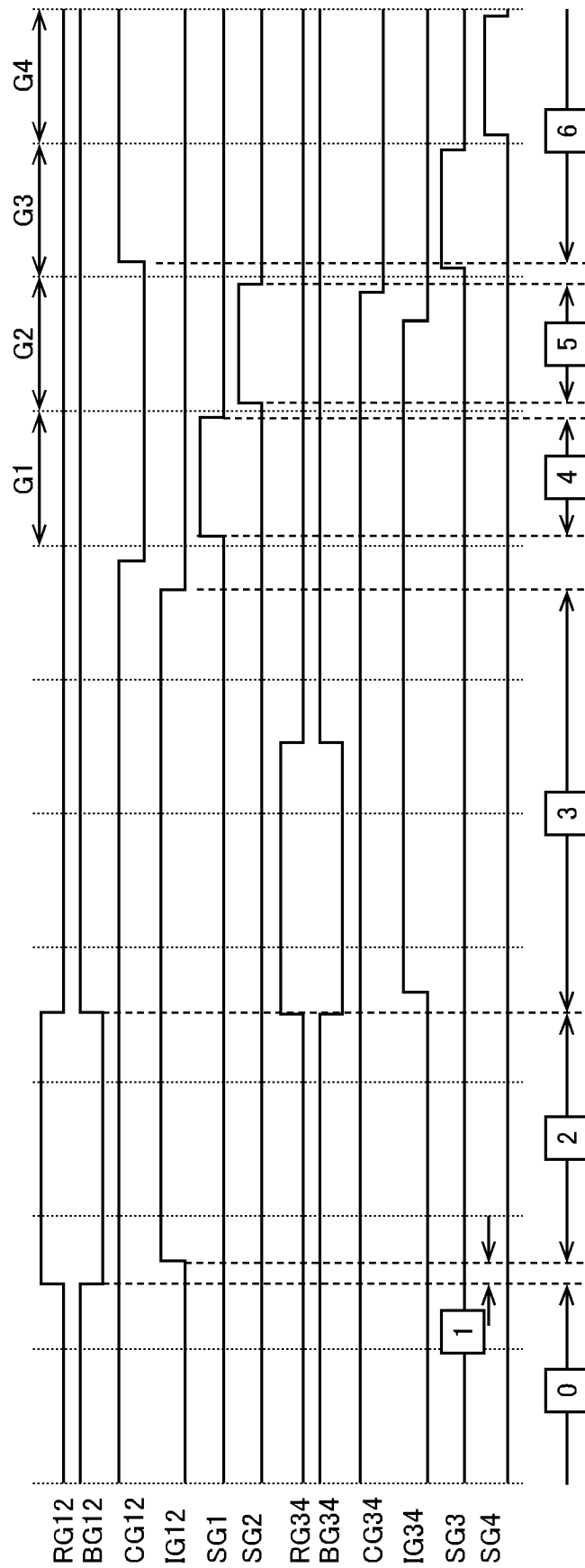


[図7]

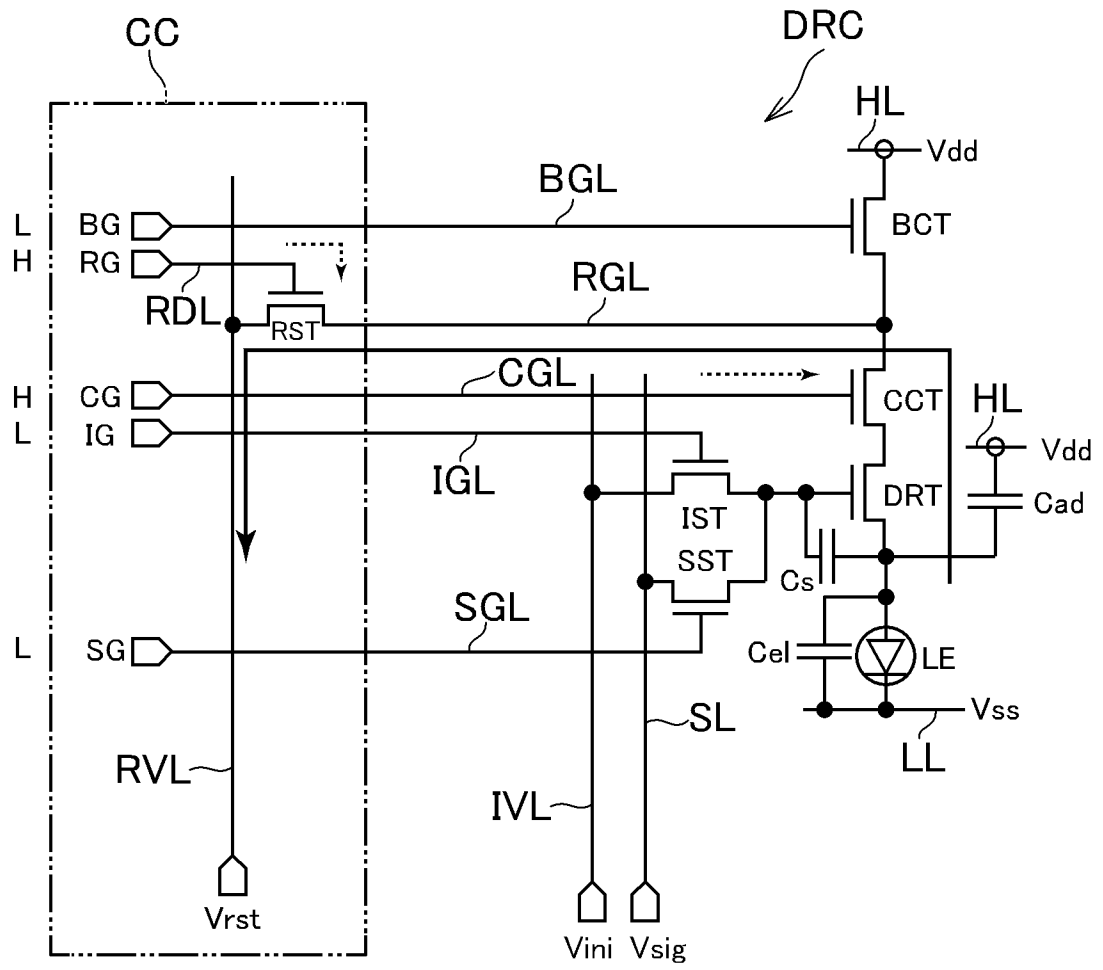


Cs : Cs₁,Cs₂
 Gel : Gel₁>Gel₂
 Cad : Cad₁<Cad₂
 EL : LE1,LE2

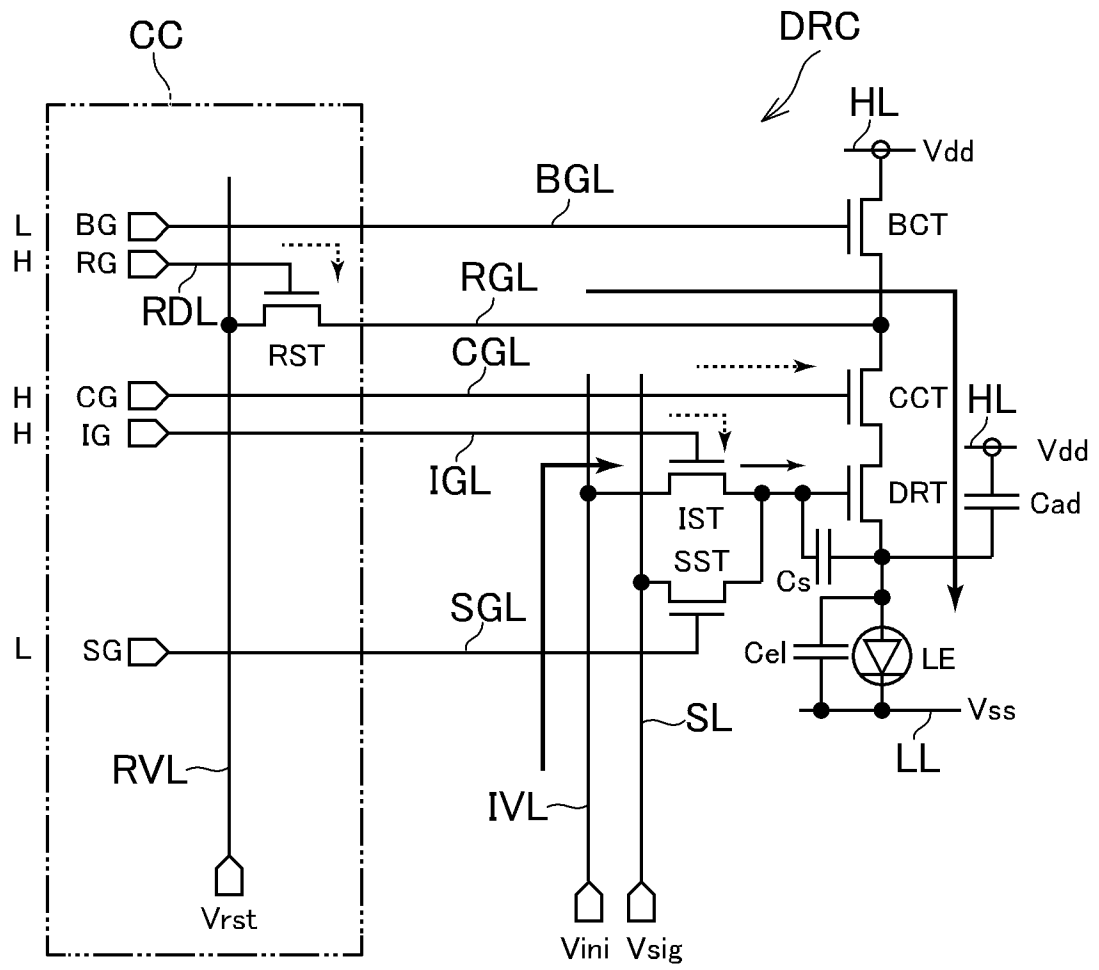
[図8]



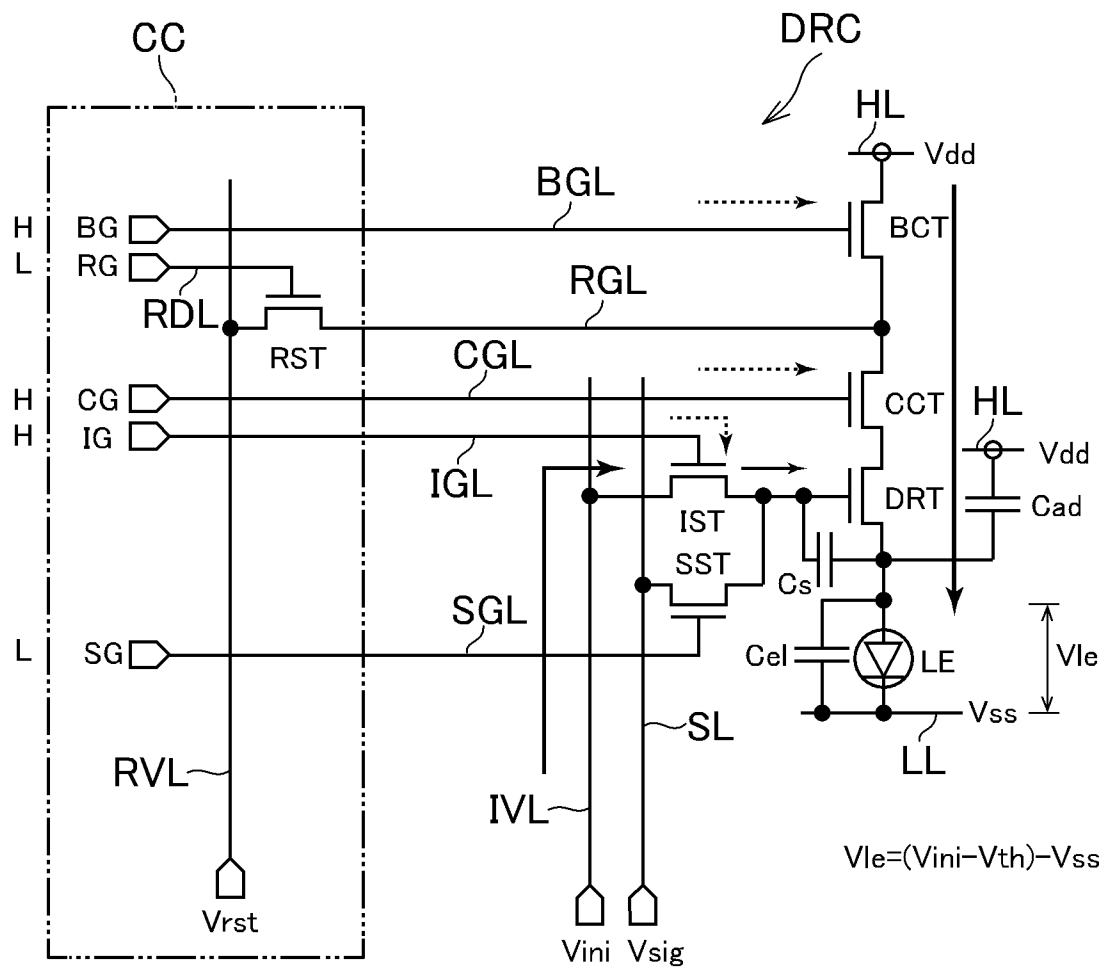
[図9]



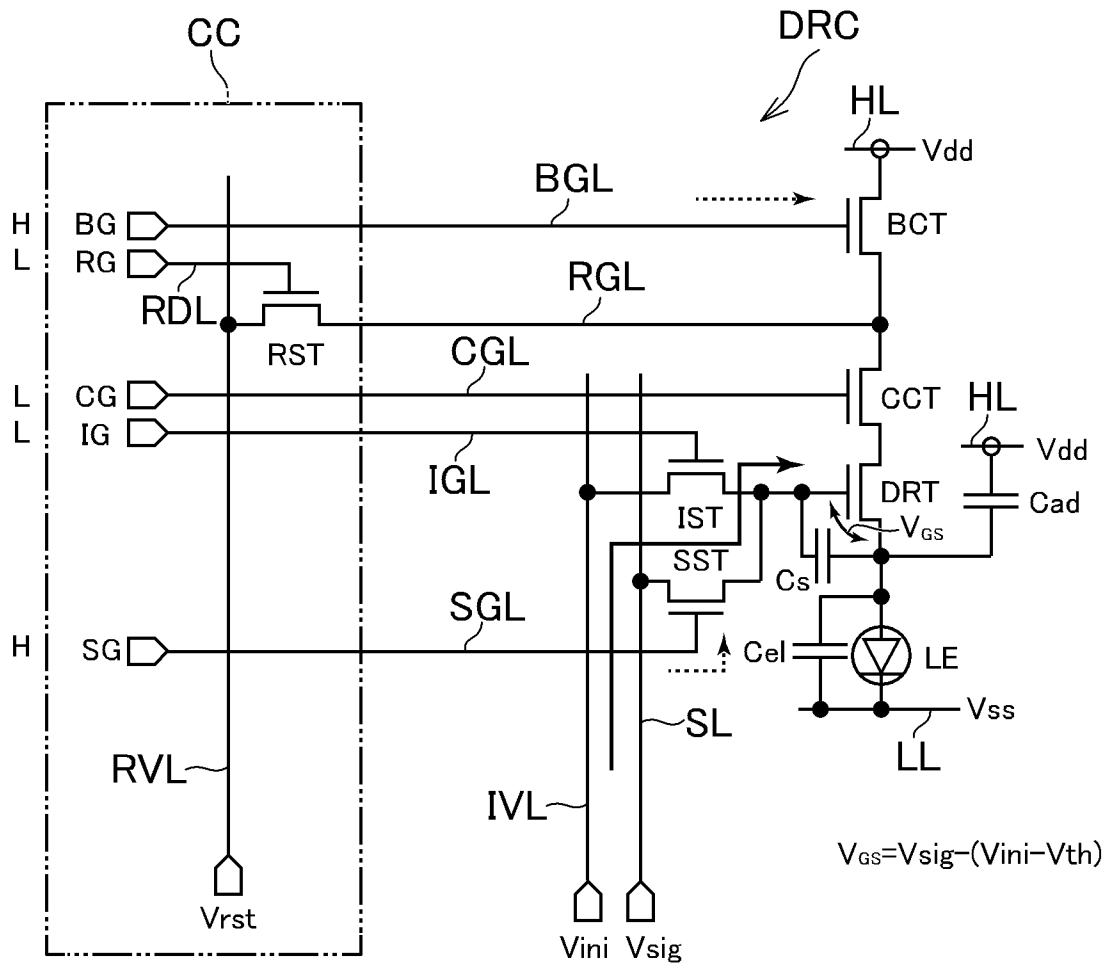
[図10]



[図11]



[図12]



[illegible]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/049828

A. CLASSIFICATION OF SUBJECT MATTER

H05B 33/12(2006.01)i; H01L 51/50(2006. 01)i; G09G 3/20(2006.01)i; G09G 3/3233(2016.01)i; G09F 9/30(2006.01)i; G09F 9/302(2006.01)i; H01L 27/32(2006.01)i

FI: G09G3/3233; G09G3/20 642E; G09G3/20 642A; G09G3/20 624B; G09F9/302 C; G09F9/30 338; H05B33/14 A; H05B33/12 B; H01L27/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05B33/12; H01L51/50; G09G3/20; G09G3/3233; G09F9/30; G09F9/302; H01L27/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2019/0088200 A1 (SAMSUNG DISPLAY CO., LTD.) 21.03.2019 (2019-03-21) paragraphs [0166]-[0183], fig. 15-16	1-2
A	JP 2008-249919 A (SONY CORP.) 16.10.2008 (2008-10-16) entire text	1-5
A	JP 2008-83084 A (SONY CORP.) 10.04.2008 (2008-04-10) entire text	1-5
A	JP 2017-53899 A (JAPAN DISPLAY INC.) 16.03.2017 (2017-03-16) entire text	1-5
P, A	JP 2019-160596 A (JAPAN DISPLAY INC.) 19.09.2019 (2019-09-19) entire text	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 February 2020 (04.02.2020)

Date of mailing of the international search report
18 February 2020 (18.02.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2019/049828

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2019/0088200 A1	21 Mar. 2019	KR 10-2019-0033683 A	
JP 2008-249919 A	16 Oct. 2008	CN 109545129 A	
JP 2008-83084 A	10 Apr. 2008	(Family: none)	
		US 2008/0074363 A1	
		whole document	
		CN 101154347 A	
JP 2017-53899 A	16 Mar. 2017	KR 10-2008-0028286 A	
JP 2019-160596 A	19 Sep. 2019	US 2017/0068129 A1	
		whole document	
		(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H05B 33/12(2006.01)i; H01L 51/50(2006.01)i; G09G 3/20(2006.01)i; G09G 3/3233(2016.01)i; G09F 9/30(2006.01)i; G09F 9/302(2006.01)i; H01L 27/32(2006.01)i FI: G09G3/3233; G09G3/20 642E; G09G3/20 642A; G09G3/20 624B; G09F9/302 C; G09F9/30 338; H05B33/14 A; H05B33/12 B; H01L27/32																				
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H05B33/12; H01L51/50; G09G3/20; G09G3/3233; G09F9/30; G09F9/302; H01L27/32 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年										
日本国実用新案公報	1922-1996年																			
日本国公開実用新案公報	1971-2020年																			
日本国実用新案登録公報	1996-2020年																			
日本国登録実用新案公報	1994-2020年																			
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 2019/0088200 A1 (SAMSUNG DISPLAY CO., LTD.) 21.03.2019 (2019-03-21) [0166]-[0183], FIGS. 15-16</td> <td>1-2</td> </tr> <tr> <td>A</td> <td>JP 2008-249919 A (ソニー株式会社) 16.10.2008 (2008-10-16) 全文</td> <td>1-5</td> </tr> <tr> <td>A</td> <td>JP 2008-83084 A (ソニー株式会社) 10.04.2008 (2008-04-10) 全文</td> <td>1-5</td> </tr> <tr> <td>A</td> <td>JP 2017-53899 A (株式会社ジャパンディスプレイ) 16.03.2017 (2017-03-16) 全文</td> <td>1-5</td> </tr> <tr> <td>P, A</td> <td>JP 2019-160596 A (株式会社ジャパンディスプレイ) 19.09.2019 (2019-09-19) 全文</td> <td>1-5</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	US 2019/0088200 A1 (SAMSUNG DISPLAY CO., LTD.) 21.03.2019 (2019-03-21) [0166]-[0183], FIGS. 15-16	1-2	A	JP 2008-249919 A (ソニー株式会社) 16.10.2008 (2008-10-16) 全文	1-5	A	JP 2008-83084 A (ソニー株式会社) 10.04.2008 (2008-04-10) 全文	1-5	A	JP 2017-53899 A (株式会社ジャパンディスプレイ) 16.03.2017 (2017-03-16) 全文	1-5	P, A	JP 2019-160596 A (株式会社ジャパンディスプレイ) 19.09.2019 (2019-09-19) 全文	1-5
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
X	US 2019/0088200 A1 (SAMSUNG DISPLAY CO., LTD.) 21.03.2019 (2019-03-21) [0166]-[0183], FIGS. 15-16	1-2																		
A	JP 2008-249919 A (ソニー株式会社) 16.10.2008 (2008-10-16) 全文	1-5																		
A	JP 2008-83084 A (ソニー株式会社) 10.04.2008 (2008-04-10) 全文	1-5																		
A	JP 2017-53899 A (株式会社ジャパンディスプレイ) 16.03.2017 (2017-03-16) 全文	1-5																		
P, A	JP 2019-160596 A (株式会社ジャパンディスプレイ) 19.09.2019 (2019-09-19) 全文	1-5																		
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																				
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																				
国際調査を完了した日 04.02.2020		国際調査報告の発送日 18.02.2020																		
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 西島 篤宏 21 9308 電話番号 03-3581-1101 内線 3273																		

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/049828

引用文献			公表日	パテントファミリー文献	公表日
US	2019/0088200	A1	21.03.2019	KR 10-2019-0033683 A CN 109545129 A	
JP	2008-249919	A	16.10.2008	(ファミリーなし)	
JP	2008-83084	A	10.04.2008	US 2008/0074363 A1 whole document CN 101154347 A KR 10-2008-0028286 A	
JP	2017-53899	A	16.03.2017	US 2017/0068129 A1 whole document	
JP	2019-160596	A	19.09.2019	(ファミリーなし)	