

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7632142号  
(P7632142)

(45)発行日 令和7年2月19日(2025.2.19)

(24)登録日 令和7年2月10日(2025.2.10)

(51)国際特許分類		F I	
H 1 0 D	84/80 (2025.01)	H 0 1 L	29/78 6 5 7 F
H 1 0 D	30/66 (2025.01)	H 0 1 L	29/78 6 5 7 D
H 1 0 D	12/00 (2025.01)	H 0 1 L	29/78 6 5 3 A
H 1 0 D	62/10 (2025.01)	H 0 1 L	29/78 6 5 5 F
H 1 0 D	8/50 (2025.01)	H 0 1 L	29/78 6 5 7 G
請求項の数 4 (全22頁) 最終頁に続く			
(21)出願番号	特願2021-116409(P2021-116409)	(73)特許権者	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(22)出願日	令和3年7月14日(2021.7.14)	(74)代理人	110001128 弁理士法人ゆうあい特許事務所
(65)公開番号	特開2023-12751(P2023-12751A)	(72)発明者	杉浦 寛人 愛知県刈谷市昭和町1丁目1番地 株式 会社デンソー内
(43)公開日	令和5年1月26日(2023.1.26)	(72)発明者	住友 正清 愛知県刈谷市昭和町1丁目1番地 株式 会社デンソー内
審査請求日	令和5年11月8日(2023.11.8)	審査官	西村 治郎
		最終頁に続く	

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

メイン素子（Me）が形成されたメイン領域（Rm）およびセンス素子（Se）が形成されたセンス領域（Rs）を有し、前記センス素子に流れるセンス電流に基づいて前記メイン素子に流れるメイン電流が検出される半導体装置であって、  
前記メイン素子および前記センス素子は、  
第1導電型のドリフト層（11）と、  
前記ドリフト層上に形成された第2導電型のベース層（12）と、  
前記ベース層の表層部に形成され、前記ドリフト層より高不純物濃度とされた第1導電型のエミッタ領域（16）と、  
前記エミッタ領域と前記ドリフト層との間に挟まれた前記ベース層の表面に配置されたゲート絶縁膜（14）と、  
前記ゲート絶縁膜上に配置されたゲート電極（15）と、  
前記ドリフト層を挟んで前記ベース層と反対側に形成された他面層（21）と、  
前記エミッタ領域および前記ベース層と電氣的に接続される第1電極（19）と、  
前記他面層と電氣的に接続される第2電極（22）と、を備え、  
前記メイン素子の他面層は、第2導電型のコレクタ層（21a）で構成されており、  
前記センス素子の他面層は、前記ドリフト層と前記ベース層との積層方向に沿って、前記コレクタ層よりも第2導電型の不純物量が少なくされた低不純物層（21b、21c）を含んで構成されており、

前記センス素子は、前記低不純物層の構成が異なる第1センス素子（S e 1）および第2センス素子（S e 2）を有し、

前記第1センス素子および前記第2センス素子は、前記メイン素子に対して並列に接続されている半導体装置。

【請求項2】

前記低不純物層は、前記コレクタ層よりも不純物濃度のピーク濃度が低くされた第2導電型の低不純物濃度層（21c）を含んで構成されている請求項1に記載の半導体装置。

【請求項3】

メイン素子（M e）が形成されたメイン領域（R m）およびセンス素子（S e）が形成されたセンス領域（R s）を有し、前記センス素子に流れるセンス電流に基づいて前記メイン素子に流れるメイン電流が検出される半導体装置であって、

前記メイン素子および前記センス素子は、

第1導電型のドリフト層（11）と、

前記ドリフト層上に形成された第2導電型のベース層（12）と、

前記ベース層の表層部に形成され、前記ドリフト層より高不純物濃度とされた第1導電型のエミッタ領域（16）と、

前記エミッタ領域と前記ドリフト層との間に挟まれた前記ベース層の表面に配置されたゲート絶縁膜（14）と、

前記ゲート絶縁膜上に配置されたゲート電極（15）と、

前記ドリフト層を挟んで前記ベース層と反対側に形成された他面層（21）と、

前記エミッタ領域および前記ベース層と電気的に接続される第1電極（19）と、

前記他面層と電気的に接続される第2電極（22）と、を備え、

前記メイン素子の他面層は、第2導電型のコレクタ層（21a）で構成されており、

前記センス素子の他面層は、前記ドリフト層と前記ベース層との積層方向に沿って、前記コレクタ層よりも第2導電型の不純物量が少なくされた低不純物層（21b、21c）を含んで構成されており、

前記低不純物層は、前記コレクタ層よりも不純物濃度のピーク濃度が低くされた第2導電型の低不純物濃度層（21c）を含んで構成されている半導体装置。

【請求項4】

前記メイン領域は、前記コレクタ層を有するI G B T素子が形成されたI G B T領域（1a）と、前記他面層としての第1導電型のカソード層（21d）を有するF W D素子が形成されたF W D領域（1b）とを有し、

前記低不純物層は、第1導電型の逆導電型層（21b）を含んで構成され、

前記逆導電型層は、前記カソード層と同じ厚さとされると共に同じ不純物濃度とされている請求項1ないし3のいずれか1つに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メイン素子が形成されたメイン領域およびセンス素子が形成されたセンス領域を有する半導体装置に関するものである。

【背景技術】

【0002】

従来より、メイン素子が形成されたメイン領域およびセンス素子が形成されたセンス領域を有する半導体装置が提案されている（例えば、特許文献1参照）。具体的には、この半導体装置では、メイン素子およびセンス素子として、同じI G B T（Insulated Gate Bipolar Transistorの略）素子が形成されている。また、メイン素子およびセンス素子（すなわち、メイン領域およびセンス領域）は、所定の面積比となるように形成されている。

【0003】

このような半導体装置は、センス素子に検出抵抗が直列に接続され、検出抵抗の両端電圧を検出信号としてメイン素子に流れるメイン電流が形成される。すなわち、まず、セン

10

20

30

40

50

ス素子に流れるセンス電流が検出信号に基づいて導出される。また、メイン素子に流れる電流およびセンス素子に流れる電流は、メイン素子とセンス素子の面積比に依存する。このため、メイン素子に流れるメイン電流は、センス素子に流れるセンス電流、およびメイン素子とセンス素子との面積比によって導出される。

【先行技術文献】

【特許文献】

【0004】

【文献】特開2018-101737号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0005】

ところで、上記のような半導体装置では、検出信号に基づいて半導体装置が定常状態（すなわち、正常状態）であるか異常状態であるかの状態判定も行われる。このため、上記のような半導体装置では、定常状態での定常検出信号と、異常状態での異常検出信号との差電圧が大きくなるようにして誤判定されることを抑制できるようにすることが好ましい。

【0006】

この場合、例えば、差電圧を大きくするために飽和電流を大きくして異常検出信号が大きくなるようにする構造が考えられ、IGBT素子におけるコレクタ層の不純物濃度を高くすることが考えられる。しかしながら、このような構成では、スイッチングオフ損失が大きくなる可能性がある。

20

【0007】

本発明は上記点に鑑み、スイッチングオフ損失が大きくなることを抑制しつつ、定常検出信号と異常検出信号との差電圧を大きくできる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するための請求項1および3では、メイン素子（Me）が形成されたメイン領域（Rm）およびセンス素子（Se）が形成されたセンス領域（Rs）を有し、センス素子に流れるセンス電流に基づいてメイン素子に流れるメイン電流が検出される半導体装置であって、メイン素子およびセンス素子は、第1導電型のドリフト層（11）と、ドリフト層上に形成された第2導電型のベース層（12）と、ベース層の表層部に形成され、ドリフト層より高不純物濃度とされた第1導電型のエミッタ領域（16）と、エミッタ領域とドリフト層との間に挟まれたベース層の表面に配置されたゲート絶縁膜（14）と、ゲート絶縁膜上に配置されたゲート電極（15）と、ドリフト層を挟んでベース層と反対側に形成された他面層（21）と、エミッタ領域およびベース層と電気的に接続される第1電極（19）と、他面層と電気的に接続される第2電極（22）と、を備え、メイン素子の他面層は、第2導電型のコレクタ層（21a）で構成されており、センス素子の他面層は、ドリフト層とベース層との積層方向に沿って、コレクタ層よりも第2導電型の不純物量が少なくされた低不純物層（21b、21c）を含んで構成されている。

30

そして、請求項1では、センス素子は、低不純物層の構成が異なる第1センス素子（Se1）および第2センス素子（Se2）を有し、第1センス素子および第2センス素子は、メイン素子に対して並列に接続されている。

40

請求項3では、低不純物層は、コレクタ層よりも不純物濃度のピーク濃度が低くされた第2導電型の低不純物濃度層（21c）を含んで構成されている。

【0009】

これによれば、センス素子は、低不純物層を含んで構成されており、他面層側からのキャリア（例えば、正孔）の注入が抑制される。このため、定常状態でセンス素子に流れるセンス電流を小さくでき、定常検出信号を小さくできる。したがって、定常検出信号と異常検出信号との差電圧を十分に大きくできる。また、この半導体装置では、コレクタ層の不純物濃度を必要以上に高くする必要がないため、スイッチングオフ損失が大きくなることも抑制できる。

50

## 【 0 0 1 0 】

なお、各構成要素等に付された括弧付きの参照符号は、その構成要素等と後述する実施形態に記載の具体的な構成要素等との対応関係の一例を示すものである。

## 【図面の簡単な説明】

## 【 0 0 1 1 】

【図 1】第 1 実施形態における半導体装置の平面図である。

【図 2】図 1 中の II - II 線に沿った断面図である。

【図 3】図 1 中の III - III 線に沿った断面図である。

【図 4】図 1 中の領域 IV における半導体基板の他面側の平面図である。

【図 5】センス素子に検出抵抗を接続した回路図である。

10

【図 6】定常検出信号を得るために構成した回路図である。

【図 7】比較対象の半導体装置における定常検出信号を示す図である。

【図 8】第 1 実施形態の半導体装置における定常検出信号を示す図である。

【図 9】図 8 中の領域 IX の拡大図である。

【図 10】異常検出信号を得るために構成した回路図である。

【図 11】比較対象の半導体装置および第 1 実施形態の半導体装置における異常検出信号を示す図である。

【図 12】比較対象の半導体装置における定常検出信号および異常検出信号の関係を示す図である。

【図 13】第 1 実施形態の半導体装置における定常検出信号および異常検出信号の関係を示す図である。

20

【図 14】第 1 実施形態の半導体装置における定常検出信号および異常検出信号の関係を示す図である。

【図 15 A】第 1 実施形態の変形例における半導体基板の他面側の平面図である。

【図 15 B】第 1 実施形態の変形例における半導体基板の他面側の平面図である。

【図 15 C】第 1 実施形態の変形例における半導体基板の他面側の平面図である。

【図 15 D】第 1 実施形態の変形例における半導体基板の他面側の平面図である。

【図 15 E】第 1 実施形態の変形例における半導体基板の他面側の平面図である。

【図 15 F】第 1 実施形態の変形例における半導体基板の他面側の平面図である。

【図 15 G】第 1 実施形態の変形例における半導体基板の他面側の平面図である。

30

【図 16】第 2 実施形態における半導体装置に検出抵抗を接続した回路図である。

【図 17】第 1 センス素子と第 2 センス素子との比率と、定常検出信号との関係を示す図である。

【図 18】第 1 センス素子と第 2 センス素子との比率と、異常検出信号との関係を示す図である。

【図 19】定常検出信号および異常検出信号の関係を示す図である。

【図 20】第 3 実施形態における半導体基板の他面側の平面図である。

【図 21】他面からの深さと、不純物濃度との関係を示す図である。

【図 22】ピーク濃度と定常検出信号との関係を示す図である。

【図 23】ピーク濃度と異常検出信号との関係を示す図である。

40

【図 24】定常検出信号および異常検出信号の関係を示す図である。

【図 25】コレクタ層のピーク濃度と、差電圧との関係を示す図である。

【図 26】第 3 実施形態の変形例における不純物濃度を示す図である。

【図 27】第 4 実施形態におけるメイン領域の断面図である。

## 【発明を実施するための形態】

## 【 0 0 1 2 】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

## 【 0 0 1 3 】

(第 1 実施形態)

50

第 1 実施形態について、図面を参照しつつ説明する。なお、本実施形態の半導体装置は、例えば、大電流が流れる電気自動車に搭載されて用いられると好適である。

【 0 0 1 4 】

本実施形態の半導体装置は、図 1 に示されるように、メイン素子 M e が形成されるメイン領域 R m、センス素子 S e が形成されるセンス領域 R s、周辺領域 R p を有している。以下、メイン領域 R m およびセンス領域 R s の構成について、図 1 ~ 図 4 を参照しつつ説明する。

【 0 0 1 5 】

なお、本実施形態のメイン素子 M e およびセンス素子 S e は、具体的には後述するが、半導体基板 1 0 の他面 1 0 b 側の構成が異なっている以外は同様の構成とされている。また、メイン素子 M e およびセンス素子 S e は、所定の面積比（例えば、3 0 0 0 : 1）となるように形成されている。そして、本実施形態の半導体装置は、センス素子 S e に流れるセンス電流および面積比によってメイン素子 M e に流れるメイン電流が検出（すなわち、導出）される。

【 0 0 1 6 】

半導体装置は、半導体基板 1 0 を用いて構成されている。半導体基板 1 0 は、N<sup>-</sup>型のドリフト層 1 1 を有しており、ドリフト層 1 1 上に、比較的不純物濃度が低く設定された P 型のベース層 1 2 が配置されている。以下、半導体基板 1 0 のうちのベース層 1 2 側の面を半導体基板 1 0 の一面 1 0 a とし、半導体基板 1 0 のうちのドリフト層 1 1 側の面を他面 1 0 b として説明する。

【 0 0 1 7 】

半導体基板 1 0 には、一面 1 0 a 側からベース層 1 2 を貫通してドリフト層 1 1 に達するように複数のトレンチ 1 3 が形成され、このトレンチ 1 3 によってベース層 1 2 が複数個に分離されている。なお、複数のトレンチ 1 3 は、半導体基板 1 0 の一面 1 0 a の面方向のうちの一方（すなわち、図 2 中紙面奥行き方向）を長手方向とし、各トレンチ 1 3 が等間隔にストライプ状となるように延設されている。

【 0 0 1 8 】

また、本実施形態では、トレンチ 1 3 は、メイン領域 R m に形成されている部分とセンス領域 R s に形成されている部分とが繋がった状態となるように構成されている。つまり、トレンチ 1 3 は、メイン領域 R m から周辺領域 R p を介してセンス領域 R s まで延設されている。但し、トレンチ 1 3 は、メイン領域 R m に形成されている部分とセンス領域 R s に形成されている部分とが分断されていてもよい。

【 0 0 1 9 】

各トレンチ 1 3 内は、各トレンチ 1 3 の壁面を覆うように形成されたゲート絶縁膜 1 4 と、このゲート絶縁膜 1 4 の上に形成されたポリシリコン等により構成されるゲート電極 1 5 とにより埋め込まれている。これにより、トレンチゲート構造が構成されている。なお、本実施形態では、トレンチ 1 3 の壁面のうちのベース層 1 2 を露出させる部分が、後述するエミッタ領域 1 6 とドリフト層 1 1 との間に配置されたベース層 1 2 の表面に相当する。

【 0 0 2 0 】

そして、ベース層 1 2 の表層部には、N<sup>+</sup>型のエミッタ領域 1 6 と、エミッタ領域 1 6 に挟まれる P<sup>+</sup>型のコンタクト領域 1 7 とが形成されている。具体的には、エミッタ領域 1 6 は、ドリフト層 1 1 よりも高不純物濃度で構成され、トレンチ 1 3 の側面に接するように形成されている。一方、コンタクト領域 1 7 は、ベース層 1 2 よりも高不純物濃度で構成され、エミッタ領域 1 6 を挟んでトレンチ 1 3 と反対側に形成されている。

【 0 0 2 1 】

より詳しくは、エミッタ領域 1 6 は、トレンチ 1 3 間の領域において、トレンチ 1 3 の長手方向に沿ってトレンチ 1 3 の側面に接するように棒状に延設されている。コンタクト領域 1 7 は、2 つのエミッタ領域 1 6 に挟まれてトレンチ 1 3 の長手方向（すなわち、エミッタ領域 1 6）に沿って棒状に延設されている。なお、本実施形態のコンタクト領域 1

10

20

30

40

50

7は、半導体基板10の一面10aを基準としてエミッタ領域16よりも深く形成されている。

#### 【0022】

ここで、本実施形態では、エミッタ領域16は、メイン領域R<sub>m</sub>およびセンス領域R<sub>s</sub>に形成されており、周辺領域R<sub>p</sub>には形成されていない。つまり、本実施形態では、半導体基板10の一面10a側では、エミッタ領域16が形成されている部分がメイン領域R<sub>m</sub>またはセンス領域R<sub>s</sub>とされており、エミッタ領域16が形成されていない部分が周辺領域R<sub>p</sub>とされている。言い換えると、半導体基板10の一面10a側では、エミッタ領域16が形成されているか否かにより、メイン領域R<sub>m</sub>、センス領域R<sub>s</sub>、周辺領域R<sub>p</sub>が区画されている。

10

#### 【0023】

なお、センス領域R<sub>s</sub>における半導体基板10の他面10b側は、センス領域R<sub>s</sub>の一面10a側よりも平面領域が大きくされている。具体的には、半導体基板10の他面10b側では、一面10a側よりも半導体基板10の厚さ分だけ全体的に広い領域がセンス領域R<sub>s</sub>とされている。図1では、センス領域R<sub>s</sub>における他面10b側の領域を点線で示し、センス領域R<sub>s</sub>における一面10a側の領域を実線で示している。

#### 【0024】

ベース層12（すなわち、半導体基板10の一面10a）上にはBPSG（Borophosphosilicate Glassの略）等で構成される層間絶縁膜18が形成されている。そして、層間絶縁膜18には、エミッタ領域16の一部およびコンタクト領域17を露出させるコンタクトホール18aが形成されている。

20

#### 【0025】

層間絶縁膜18上には上部電極19が形成されている。そして、この上部電極19は、コンタクトホール18aを介してエミッタ領域16およびコンタクト領域17と電氣的に接続されている。なお、本実施形態では、上部電極19が第1電極に相当する。

#### 【0026】

ドリフト層11のうちのベース層12側と反対側（すなわち、半導体基板10の他面10b側）には、N型のフィールドストップ層（以下では、単にFS層という）20が形成されている。このFS層20は、必ずしも必要なものではないが、空乏層の広がりを防ぐことで耐圧と定常損失の性能向上を図ると共に、半導体基板10の他面10b側から注入される正孔の注入量を制御するために備えてある。

30

#### 【0027】

そして、FS層20を挟んでドリフト層11と反対側には、他面層21が形成されている。具体的には、メイン領域R<sub>m</sub>においては、図2および図4に示されるように、他面層21として、P型のコレクタ層21aが形成されている。一方、センス領域R<sub>s</sub>においては、図3および図4に示されるように、他面層21として、コレクタ層21aと導電型が反対とされたN型の逆導電型層21bが形成されている。つまり、センス領域R<sub>s</sub>には、半導体基板10の厚さ方向に沿って、コレクタ層21aよりもP型の不純物量が少なくされた逆導電型層21bが形成されている。本実施形態のセンス領域R<sub>s</sub>では、全体に逆導電型層21bが形成されており、コレクタ層21aが形成されていない。すなわち、本実施形態のセンス領域R<sub>s</sub>では、他面10b側の全体が逆導電型層21bとされている。

40

#### 【0028】

なお、本実施形態の周辺領域R<sub>p</sub>は、メイン領域R<sub>m</sub>と同様のコレクタ層21aが形成されている。また、本実施形態では、逆導電型層21bが低不純物層に相当している。そして、半導体基板10の厚さ方向に沿ってとは、言い換えると、ドリフト層11とベース層12との積層方向に沿ってともいうことができる。

#### 【0029】

コレクタ層21aおよび逆導電型層21b上（すなわち、半導体基板10の他面10b）には下部電極22が形成されている。なお、本実施形態では、下部電極22が第2電極に相当している。

50

## 【 0 0 3 0 】

以上が本実施形態における半導体装置の構成である。なお、本実施形態では、N型、N<sup>-</sup>型、N<sup>+</sup>型が第1導電型に相当し、P型、P<sup>+</sup>型が第2導電型に相当している。

## 【 0 0 3 1 】

次に、このような半導体装置の作動および効果について説明する。

## 【 0 0 3 2 】

このような半導体装置は、上部電極19に下部電極22より低い電圧が印加されると共に、ゲート電極15に所定の閾値電圧以上の電圧が印加されると、ベース層12のうちのトレンチ13と接する部分にN型の反転層（すなわち、チャネル）が形成される。そして、エミッタ領域16から反転層を介して電子がドリフト層11に供給されると共に、コレクタ層21aから正孔がドリフト層11に供給され、伝導度変調によりドリフト層11の抵抗値が低下してオン状態となる。

10

## 【 0 0 3 3 】

そして、このような半導体装置は、図5に示されるように、センス素子S<sub>e</sub>の上部電極19に検出抵抗Rが接続され、メイン素子M<sub>e</sub>に流れるメイン電流が次のように検出される。まず、半導体装置では、検出抵抗Rに流れる電流とセンス素子S<sub>e</sub>に流れるセンス電流とが等しいため、検出抵抗Rの両端電圧である検出信号に基づき、センス素子S<sub>e</sub>に流れるセンス電流が検出される。また、メイン素子M<sub>e</sub>とセンス素子S<sub>e</sub>とが所定の面積比で形成されており、メイン素子M<sub>e</sub>に流れるメイン電流およびセンス素子S<sub>e</sub>に流れるセンス電流は、面積比に比例する。したがって、メイン領域R<sub>m</sub>に流れるメイン電流は、面積比とセンス電流に基づいて導出される。

20

## 【 0 0 3 4 】

また、このような半導体装置は、検出信号に基づいて定常状態であるか異常状態であるかの状態判定も行われる。この場合、上記のように、定常状態の定常検出信号（以下では、単に定常検出信号ともいう）と異常状態の異常検出信号（以下では、異常検出信号ともいう）との差である差電圧が大きくなるようにして誤判定を抑制することが好ましい。このため、本実施形態のセンス素子S<sub>e</sub>は、定常検出信号と異常検出信号との差が大きくなるように、他面層21が逆導電型層21bを含んで構成されている。

## 【 0 0 3 5 】

以下、本実施形態における定常検出信号および異常検出信号について、比較対象の半導体装置における定常検出信号および異常検出信号と比較しつつ説明する。なお、ここでの比較対象の半導体装置は、センス領域R<sub>s</sub>の他面層21の全体がメイン領域R<sub>m</sub>のコレクタ層21aと同じ構成とされた半導体装置としている。また、以下では、メイン領域R<sub>m</sub>とセンス領域R<sub>s</sub>の面積比を3000：1とした場合のシミュレーション結果を例に挙げて説明する。さらに、以下では、ゲート電極15に所定の閾値電圧以上の電圧が印加された後、ゲート電極15への所定電圧の印加を停止するまでの期間T<sub>1</sub>から期間T<sub>2</sub>の間の検出信号を定常検出信号とする。同様に、以下では、ゲート電極15に所定の閾値電圧以上の電圧が印加された後、ゲート電極15への所定電圧の印加を停止するまでの期間T<sub>3</sub>から期間T<sub>4</sub>の間の検出信号を異常検出信号とする。

30

## 【 0 0 3 6 】

まず、図6に示される検査回路を構成して得られた定常検出信号のシミュレーション結果について、図7～図9を参照しつつ説明する。なお、この検査回路は、メイン素子M<sub>e</sub>およびセンス素子S<sub>e</sub>のゲート電極15に調整抵抗31を介して駆動回路32が接続されると共に、下部電極22に電源33の正極側が接続されている。また、メイン素子M<sub>e</sub>の上部電極19、およびセンス素子S<sub>e</sub>の上部電極19に接続された検出抵抗Rにダイオード34が接続されている。

40

## 【 0 0 3 7 】

図7に示されるように、比較対象の半導体装置では、メイン電流が大きくなるにつれて定常検出信号も大きくなる。一方、本実施形態の半導体装置では、センス領域R<sub>s</sub>の他面層21の全体が逆導電型層21bとされているため、半導体基板10の他面10b側から

50

の正孔の供給が抑制される。このため、本実施形態の半導体装置では、センス電流が小さくなり、図 8 および図 9 に示されるように、比較対象の半導体装置と比較すると、定常検出信号が極めて小さくなる。そして、本実施形態の半導体装置における定常検出信号は、メイン電流が大きくなることで僅かに大きくなるが、比較対象の半導体装置ほどの変化はない。

#### 【 0 0 3 8 】

次に、図 10 に示される検査回路を構成して得られた異常検出信号のシミュレーション結果について、図 11 を参照しつつ説明する。なお、この検査回路は、メイン素子  $M_e$  およびセンス素子  $S_e$  のゲート電極 15 に調整抵抗 31 を介して駆動回路 32 が接続されると共に、下部電極 22 に電源 33 の正極側が接続されている。また、メイン素子  $M_e$  の上部電極 19、およびセンス素子  $S_e$  の上部電極 19 に接続された検出抵抗  $R$  は、グランドに接続されている。そして、図 11 および図 12 は、ゲート - エミッタ間電圧  $V_{ge}$  を一般的なゲート駆動電圧である 15 V 程度とした場合の異常検出信号を示している。

#### 【 0 0 3 9 】

図 11 に示されるように、比較対象の半導体装置では、メイン素子  $M_e$  に定常状態よりも極めて多い異常電流が流れた場合、異常検出信号が約 3.6 V となる。一方、本実施形態の半導体装置では、逆導電型層 21b が形成されているが、メイン素子  $M_e$  に多量の異常電流が流れる場合にはセンス素子  $S_e$  にも所定量のセンス電流が流れ、異常検出信号が約 2.9 V となる。つまり、本実施形態の半導体装置における定常検出信号および異常検出信号は、比較対象の半導体装置における定常検出信号および異常検出信号に対し、定常検出信号の減少率の方が異常検出信号の減少率よりも極めて大きくなる。

#### 【 0 0 4 0 】

そして、異常検出信号と定常検出信号とを重ね合わせると、比較対象の半導体装置では図 12 に示されるようになり、本実施形態の半導体装置では図 13 および図 14 に示されるようになる。

#### 【 0 0 4 1 】

具体的には、比較対象の半導体装置では、図 12 に示されるように、メイン電流が大きくなるほど定常検出信号も大きくなり、定常検出信号と異常検出信号との差電圧が小さくなる。このため、例えば、異常検出信号が約 3.6 V となるように半導体装置を製造したとしても、設計バラツキ等によって実際の異常検出信号が約 2.3 V 程度となってしまった場合等には、メイン電流が大きくなると異常検出信号より定常検出信号の方が大きくなる可能性がある。例えば、図 12 では、メイン電流が 2600 A 程度になると、定常検出信号が異常検出信号よりも大きくなる。したがって、比較対象のような半導体装置では、予め異常検出信号がさらに大きくなるように飽和電流を大きくすることが必要になる。

#### 【 0 0 4 2 】

一方、本実施形態の半導体装置では、図 13 および図 14 に示されるように、定常状態検出信号が十分に小さい値に抑えられ、定常検出信号と異常検出信号との差電圧を十分に大きくできる。なお、図 14 は、図 13 における定常検出信号の拡大図である。このため、本実施形態の半導体装置によれば、メイン電流が大きくなったとしても、異常検出信号より定常検出信号の方が大きくなることを抑制できる。また、本実施形態の半導体装置では、逆導電型層 21b を形成することによって定常検出信号が小さくなるようにしているため、センス素子  $S_e$  は抵抗が大きくなる。したがって、本実施形態の半導体装置では、定常状態ではセンス素子  $S_e$  にセンス電流が流れ難くなり、飽和電流の設計の自由度を向上できる。

#### 【 0 0 4 3 】

以上説明した本実施形態によれば、センス素子  $S_e$  は、逆導電型層 21b を含んで構成されており、半導体基板 10 の他面 10b 側からの正孔の注入が抑制される。このため、定常状態でセンス素子  $S_e$  に流れるセンス電流を小さくでき、定常検出信号を極めて小さくできる。したがって、定常検出信号と異常検出信号との差電圧を十分に大きくでき、誤判定されることを抑制できる。

10

20

30

40

50



## 【0044】

また、本実施形態の半導体装置では、メイン素子Meにおけるコレクタ層21aの不純物濃度を必要以上に高くする必要がないため、スイッチングオフ損失が大きくなることも抑制できる。

## 【0045】

(第1実施形態の変形例)

上記第1実施形態の変形例について説明する。上記第1実施形態において、センス領域Rsの他面層21は、全体が逆導電型層21bで構成されていなくてもよく、図15A～図15Gのように構成されていてもよい。なお、図15A～図15Gは、図1中の領域IVに相当する部分における半導体基板10の他面10b側の平面図である。

10

## 【0046】

例えば、図15Aに示されるように、センス領域Rsの他面層21は、内縁部に逆導電型層21bが形成され、逆導電型層21bを囲むようにコレクタ層21aが形成されていてもよい。つまり、センス領域Rsの他面層21は、コレクタ層21aおよび逆導電型層21bを有する構成とされていてもよい。

## 【0047】

この場合、逆導電型層21bは、図15Bのように一方向を長手方向として複数形成されていてもよいし、図15Cのように一方向を長手方向として1つのみ形成されていてもよい。なお、図15Bおよび図15Cでは、センス領域Rsからメイン領域Rmに向かう方向に沿って逆導電型層21bが延設されている。また、逆導電型層21bは、図15Dに示されるように、センス領域Rsからメイン領域Rmに向かう方向と直交する方向に沿って延設されていてもよい。さらに、逆導電型層21bは、図15Eに示されるように、センス領域Rsからメイン領域Rmに向かう方向に沿って延設された部分と、当該方向と直交する方向に延設された部分とが連結されていてもよい。また、逆導電型層21bは、図15Fに示されるように、ドット状に形成されていてもよい。この場合、逆導電型層21bは、図15Gに示されるように、一部の逆導電型層21bのみが配置される構成とされといてもよい。さらに、特に図示しないが、逆導電型層21bは、これらを適宜組み合わせ形成されていてもよいし、さらに別の形状とされていてもよい。

20

## 【0048】

(第2実施形態)

第2実施形態について説明する。本実施形態は、第1実施形態に対し、メイン素子Meに対して複数のセンス素子Seを並列に配置したものである。その他に関しては、第1実施形態と同様であるため、ここでは説明を省略する。

30

## 【0049】

まず、上記のように、比較対象の半導体装置では、定常検出信号が大きくなり、異常検出信号との差が小さくなる可能性がある。一方、上記第1実施形態の半導体装置では、定常検出信号を十分に小さくできるが、定常検出信号が小さくなり過ぎることで定常状態におけるメイン電流の検出精度が低下する可能性がある。

## 【0050】

このため、本実施形態の半導体装置は、図16に示されるように、メイン素子Meに対し、特性の異なる第1センス素子Se1および第2センス素子Se2が並列に接続されて構成されている。具体的には、本実施形態の第1センス素子Se1は、メイン素子Meと同様の構成とされており、他面層21としてのコレクタ層21aがセンス領域Rsの全体に形成されている。一方、第2センス素子Se2は、上記第1実施形態におけるセンス素子Seと同様の構成とされており、他面層21としての逆導電型層21bがセンス領域Rsの全体に形成されている。

40

## 【0051】

このような半導体装置では、図17および図18に示されるように、第1センス素子Se1と第2センス素子Se2との面積比を調整することにより、定常検出信号および異常検出信号の値を容易に調整できる。具体的には、図17および図18に示されるように、

50

定常検出信号および異常検出信号は、第1センス素子 $S_{e1}$ の比率を高くするほど大きくなる。なお、図17は、メイン電流が1500Aである場合の定常検出信号を示している。図18は、ゲート-エミッタ間電圧 $V_{ge}$ を一般的なゲート駆動電圧である15V程度とした場合の異常検出信号を示している。

#### 【0052】

そして、図19に示されるように、定常検出信号と異常検出信号とは、第1センス素子 $S_{e1}$ の比率が高くなるほど、差電圧が小さくなり易い。しかしながら、上記のように、定常検出信号は、第1センス素子 $S_{e1}$ の比率を大きくすることで大きくなる。したがって、第1センス素子 $S_{e1}$ および第2センス素子 $S_{e2}$ は、要求される特性に応じて比率が調整されることが好ましい。この場合、図19に示されるように設計ばらつきを考慮し、定常検出信号が異常検出信号より大きくなることがないようにすることが好ましい。

10

#### 【0053】

なお、本実施形態の定常検出信号は、図6と同様の検査回路を構成して得られたシミュレーション結果である。同様に、本実施形態の異常検出信号は、図10と同様の検査回路を構成して得られたシミュレーション結果である。

#### 【0054】

以上説明した本実施形態によれば、センス素子 $S_e$ が逆導電型層21bを含んで構成されるため、定常検出信号を十分に小さくでき、上記第1実施形態と同様の効果を得ることができる。

#### 【0055】

20

(1) 本実施形態では、メイン素子 $M_e$ に対し、特性の異なる第1センス素子 $S_{e1}$ および第2センス素子 $S_{e2}$ が並列に接続されて構成されている。このため、第1センス素子 $S_{e1}$ と第2センス素子 $S_{e2}$ との比率を調整することにより、定常検出信号の大きさおよび異常検出信号の大きさを容易に変更できる。

#### 【0056】

(第3実施形態)

第3実施形態について説明する。本実施形態は、第1実施形態に対し、センス素子 $S_e$ の構成を変更したものである。その他に関しては、第1実施形態と同様であるため、ここでは説明を省略する。

#### 【0057】

30

本実施形態のセンス領域 $R_s$ は、図20に示されるように、他面層21として、半導体基板10の厚さ方向に沿ってコレクタ層21aよりもP型の不純物量が少なくされたP<sup>-</sup>型の低不純物濃度層21cが形成されている。言い換えると、センス領域 $R_s$ は、他面層21として、コレクタ層21aよりもドーズ量が少なくされたP<sup>-</sup>型の低不純物濃度層21cが形成されている。

#### 【0058】

具体的には、本実施形態では、メイン素子 $M_e$ のコレクタ層21aおよびセンス素子 $S_e$ の低不純物濃度層21cは、それぞれ半導体基板10の他面10b側からイオン注入が行われることで形成されている。そして、本実施形態の低不純物濃度層21cは、半導体基板10の他面10bからの深さがコレクタ層21aと同じとされているが、コレクタ層21aよりもピーク濃度が低くされている。なお、図20は、図1中の領域IVに相当する部分における半導体基板の他面側の平面図である。

40

#### 【0059】

このようなセンス素子 $S_e$ では、図21に示されるように、低不純物濃度層21cの不純物濃度は、ピーク濃度が低くなるほど小さくなる。なお、図21は、コレクタ層21aのピーク濃度を基準としており、例えば、図21中のピーク濃度1/1は、コレクタ層21aのピーク濃度と同じであることを意味している。

#### 【0060】

そして、図22および図23に示されるように、定常検出信号および異常検出信号は、低不純物濃度層21cのピーク濃度が低くなるほど小さくなる。但し、低不純物濃度層2

50

1 c のピーク濃度に依存する定常検出信号の減少率は、異常検出信号の減少率よりも大きくなる。また、低不純物濃度層 2 1 c は、例えば、ピーク濃度がコレクタ層 2 1 a のピーク濃度の  $1/50$  である場合であっても、P 型層である。このため、定常検出信号および異常検出信号は、上記第 1 実施形態のように他面層 2 1 が逆導電型層 2 1 b である場合と比較すると大きくなる。なお、図 2 2 は、メイン電流が  $1000\text{ A}$  である場合の定常検出信号を示している。図 2 3 は、ゲート - エミッタ間電圧  $V_{ge}$  を一般的なゲート駆動電圧である  $15\text{ V}$  程度とした場合の異常検出信号を示している。

#### 【0061】

そして、図 2 4 に示されるように、定常検出信号と異常検出信号とは、コレクタ層 2 1 a のピーク濃度が高くなるほど差電圧が小さくなり易い。つまり、定常検出信号と異常検出信号とは、低不純物濃度層 2 1 c のピーク電圧が高くなるほど差電圧が小さくなり易い。したがって、低不純物濃度層 2 1 c のピーク濃度は、要求される特性に応じて調整されることが好ましい。この場合、図 2 5 に示されるように設計ばらつきを考慮し、定常検出信号が異常検出信号より大きくなることをないようにすることが好ましい。つまり、図 2 5 では、設計ばらつきを考慮し、差電圧が  $0\text{ V}$  以上となるようにすることが好ましい。

#### 【0062】

なお、本実施形態の定常検出信号は、図 6 と同様の検査回路を構成して得られたシミュレーション結果である。同様に、本実施形態の異常検出信号は、図 1 0 と同様の検査回路を構成して得られたシミュレーション結果である。

#### 【0063】

以上説明した本実施形態によれば、センス素子  $S_e$  が P - 型とされた低不純物濃度層 2 1 c を含んで構成されている。このため、上記第 1 実施形態と同様の効果を得ることができる。

#### 【0064】

( 1 ) 本実施形態では、センス素子  $S_e$  が P - 型とされた低不純物濃度層 2 1 c を含んで構成されている。このため、センス素子  $S_e$  の他面層 2 1 が逆導電型層 2 1 b のみで構成されている場合と比較して、センス素子  $S_e$  の定常検出信号が小さくなり過ぎることを抑制できる。

#### 【0065】

( 第 3 実施形態の変形例 )

上記第 3 実施形態では、低不純物層として、ピーク濃度がコレクタ層 2 1 a のピーク濃度よりも低くされている低不純物濃度層 2 1 c を説明した。しかしながら、低不純物層は、次のように構成されていてもよい。例えば、図 2 6 に示されるように、低不純物層は、コレクタ層 2 1 a とピーク濃度が等しくされているが、半導体基板 1 0 の厚さ方向に沿った不純物量が少なくなるように、コレクタ層 2 1 a よりも半導体基板 1 0 の他面 1 0 b からの深さが浅くされていてもよい。言い換えると、低不純物層は、コレクタ層 2 1 a とピーク濃度が等しくされているが、コレクタ層 2 1 a よりも厚さが薄くされた構成とされていてもよい。

#### 【0066】

なお、このようなコレクタ層 2 1 a および低不純物層は、例えば、次のように形成される。すなわち、加速電圧を変更しつつ複数回のイオン注入を行うことによってコレクタ層 2 1 a を形成すると共に、1 回のイオン注入を行うことによって低不純物濃度層 2 1 c を形成することにより、上記のコレクタ層 2 1 a および低不純物層が形成される。

#### 【0067】

また、上記第 3 実施形態において、低不純物濃度層 2 1 c の形状は、上記第 1 実施形態の変形例のように適宜変更可能である。さらに、上記第 3 実施形態を上記第 1 実施形態に組み合わせ、センス素子  $S_e$  は、他面層 2 1 として、逆導電型層 2 1 b および低不純物濃度層 2 1 c を有する構成とされていてもよい。

#### 【0068】

( 第 4 実施形態 )

10

20

30

40

50

第４実施形態について説明する。本実施形態は、第１実施形態に対し、メイン領域  $R_m$  の構成を変更したものである。その他に関しては、第１実施形態と同様であるため、ここでは説明を省略する。

【００６９】

本実施形態の半導体装置では、図２７に示されるように、メイン領域  $R_m$  は、ＩＧＢＴ素子が形成されるＩＧＢＴ領域１ａと、ＩＧＢＴ領域１ａに隣接し、ＦＷＤ素子として機能するＦＷＤ領域１ｂとを有している。つまり、本実施形態の半導体装置は、同じ半導体基板１０にＩＧＢＴ領域１ａとＦＷＤ領域１ｂとが形成されたＲＣ（Reverse Conductingの略）－ＩＧＢＴとされている。なお、本実施形態では、後述するように、半導体基板１０の他面１０ｂに位置するコレクタ層２１ａ上の部分がＩＧＢＴ領域１ａとされ、半導体基板１０の他面１０ｂに位置するカソード層２１ｄ上の部分がＦＷＤ領域１ｂとされている。

10

【００７０】

ＩＧＢＴ領域１ａは、上記第１実施形態のメイン領域  $R_m$  と同じ構成とされている。ＦＷＤ領域１ｂは、本実施形態では、半導体基板１０の一面１０ａ側の構成がＩＧＢＴ領域と同様の構成とされている。そして、層間絶縁膜１８には、ＦＷＤ領域１ｂにおいて、コンタクト領域１７等を露出させるコンタクトホール１８ｂが形成されていると共に、ゲート電極１５を露出させるコンタクトホール１８ｃが形成されている。

【００７１】

上部電極１９は、ＦＷＤ領域１ｂにおいて、コンタクトホール１８ｂを介してコンタクト領域１７と電気的に接続されている。そして、本実施形態の上部電極１９は、ＩＧＢＴ領域１ａにおいてエミッタ電極として機能し、ＦＷＤ領域１ｂにおいてアノード電極として機能する。また、本実施形態の上部電極１９は、ＦＷＤ領域１ｂにおいて、ゲート電極１５とも電気的に接続されている。すなわち、ＦＷＤ領域１ｂにおけるゲート電極１５は、上部電極１９と同電位とされている。

20

【００７２】

また、半導体基板１０の他面１０ｂ側においては、コレクタ層２１ａと隣接するように、他面層２１として、Ｎ型のカソード層２１ｄが形成されている。そして、本実施形態の半導体装置は、半導体基板１０の他面１０ｂに位置するコレクタ層２１ａ上の部分がＩＧＢＴ領域１ａとされ、半導体基板１０の他面１０ｂに位置するカソード層２１ｄ上の部分がＦＷＤ領域１ｂとされている。なお、本実施形態のカソード層２１ｄは、センス領域  $R_s$  における逆導電型層２１ｂと同じ不純物濃度で構成されていると共に、同じ深さで形成されている。

30

【００７３】

以上説明した本実施形態によれば、センス素子  $S_e$  が逆導電型層２１ｂを含んで構成されているため、定常検出信号を十分に小さくでき、上記第１実施形態と同様の効果を得ることができる。

【００７４】

（１）本実施形態では、メイン領域  $R_m$  にＦＷＤ領域１ｂが備えられた半導体装置とされている。そして、ＦＷＤ領域１ｂのカソード層２１ｄは、センス領域  $R_s$  における逆導電型層２１ｂと同じ不純物濃度で構成されていると共に、同じ深さで形成されている。このため、本実施形態では、カソード層２１ｄを形成する際に逆導電型層２１ｂを同時に形成することができる。したがって、製造工程を増加させることなく、逆導電型層２１ｂを配置することができる。

40

【００７５】

（第４実施形態の変形例）

上記第４実施形態の変形例について説明する。上記第４実施形態において、ＦＷＤ領域１ｂの構成は、適宜変更可能である。例えば、ＦＷＤ領域１ｂには、ゲート電極１５やエミッタ領域１６等が形成されていなくてもよい。なお、ＩＧＢＴ領域１ａとＦＷＤ領域１ｂとを含んでメイン領域  $R_m$  が構成される場合、メイン領域  $R_m$  は、電流が主に流れる領

50

域ということもできる。

#### 【 0 0 7 6 】

( 他の実施形態 )

本開示は、実施形態に準拠して記述されたが、本開示は当該実施形態や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

#### 【 0 0 7 7 】

例えば、上記各実施形態では、第 1 導電型を N 型とし、第 2 導電型を P 型とした半導体装置を説明したが、第 1 導電型を P 型とし、第 2 導電型を N 型とした半導体装置としてもよい。

10

#### 【 0 0 7 8 】

また、上記各実施形態では、トレンチゲート構造を有するメイン素子 M e およびセンス素子 S e を備えた半導体装置について説明したが、プレーナゲート構造を有するメイン素子 M e およびセンス素子 S e を備えた半導体装置としてもよい。

#### 【 0 0 7 9 】

さらに、上記各実施形態において、エミッタ領域 1 6 とコンタクト領域 1 7 との配置の仕方は、適宜変更可能である。例えば、エミッタ領域 1 6 およびコンタクト領域 1 7 は、トレンチ 1 3 の長手方向に沿って交互に配置されていてもよい。

20

#### 【 0 0 8 0 】

そして、上記各実施形態を適宜組み合わせた半導体装置とすることもできる。例えば、上記第 2 実施形態を上記第 3、第 4 実施形態に組み合わせ、センス素子 S e が特性の異なる第 1 センス素子 S e 1 および第 2 センス素子 S e 2 を有する構成とされていてもよい。また、上記第 3 実施形態を上記第 4 実施形態に組み合わせ、センス素子 S e の他面層 2 1 が低不純物濃度層 2 1 c で構成されていてもよい。さらに、上記各実施形態を組み合わせたもの同士をさらに組み合わせてもよい。

#### 【 符号の説明 】

#### 【 0 0 8 1 】

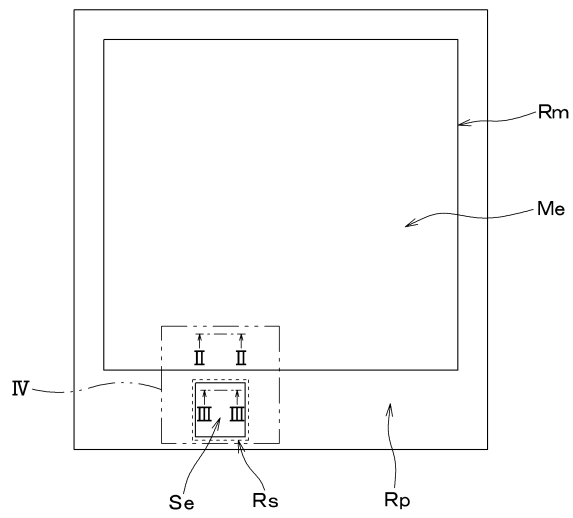
- 1 1     ドリフト層
- 1 2     ベース層
- 1 4     ゲート絶縁膜
- 1 5     ゲート電極
- 1 6     エミッタ領域
- 1 9     上部電極 ( 第 1 電極 )
- 2 1     他面層
- 2 1 a   コレクタ層
- 2 1 b   逆導電型層 ( 低不純物層 )
- 2 1 c   低不純物濃度層 ( 低不純物層 )
- 2 2     下部電極 ( 第 2 電極 )
- M e     メイン素子
- S e     センス素子
- R m     メイン領域
- R s     センス領域

30

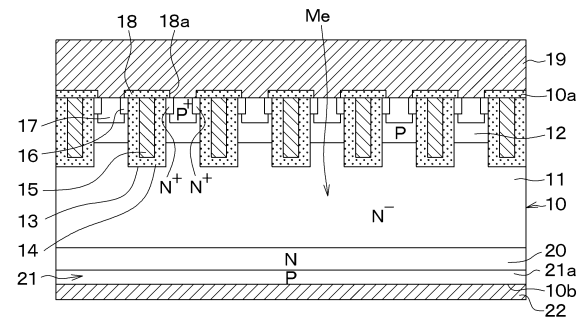
40

【図面】

【 図 1 】

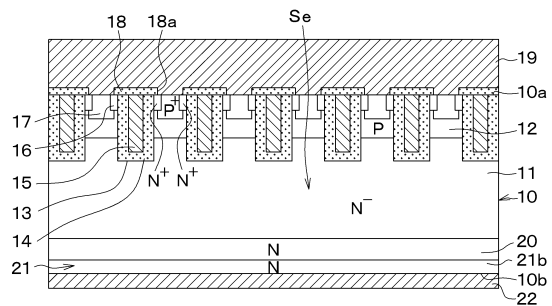


【 図 2 】

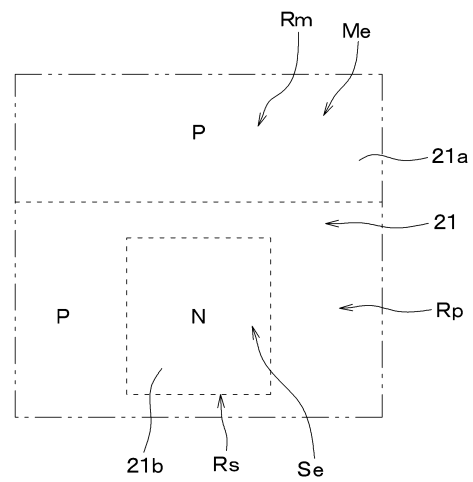


10

【 図 3 】



【 図 4 】



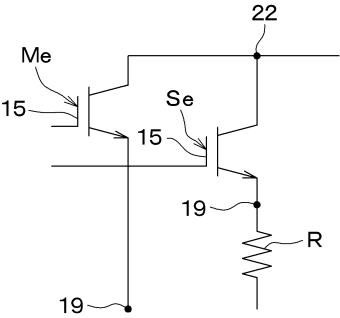
20

30

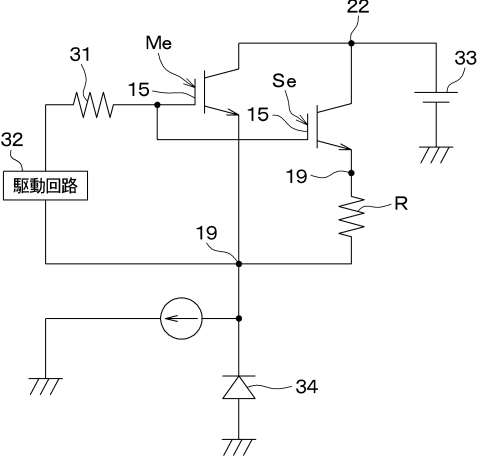
40

50

【図 5】

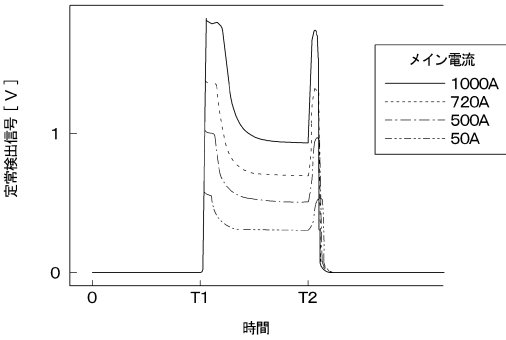


【図 6】

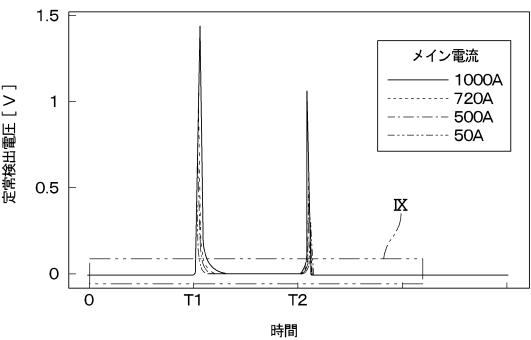


10

【図 7】



【図 8】



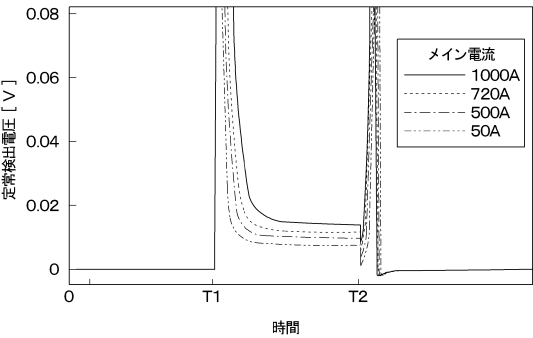
20

30

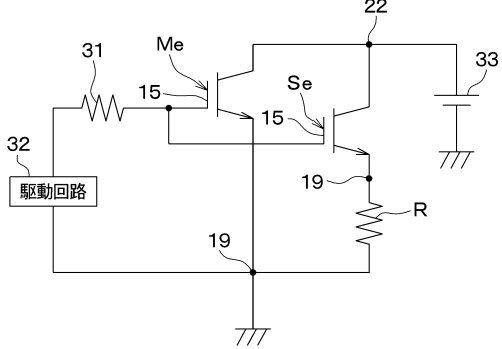
40

50

【図 9】

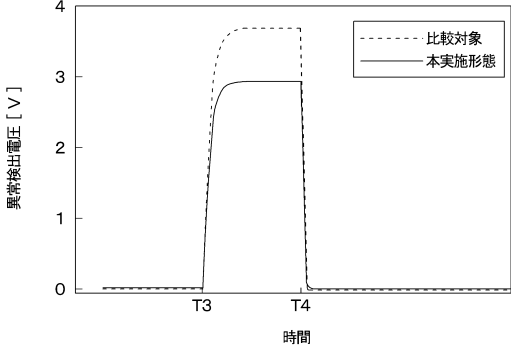


【図 10】

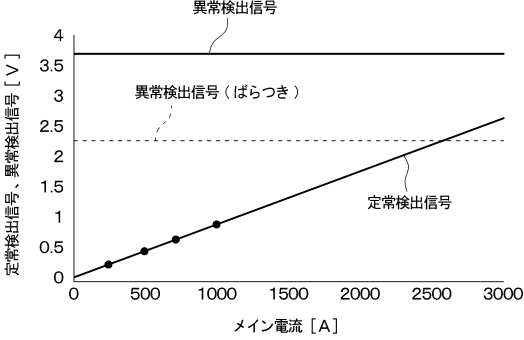


10

【図 11】

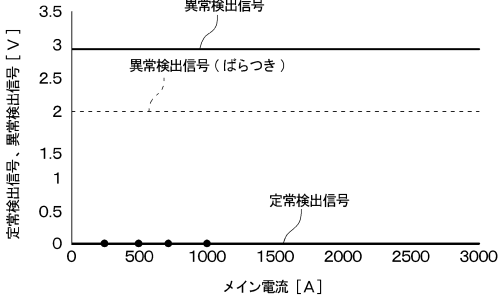


【図 12】

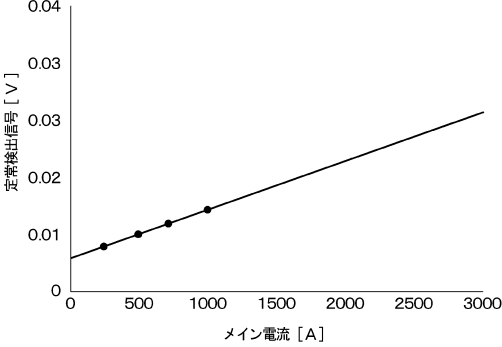


20

【図 13】



【図 14】



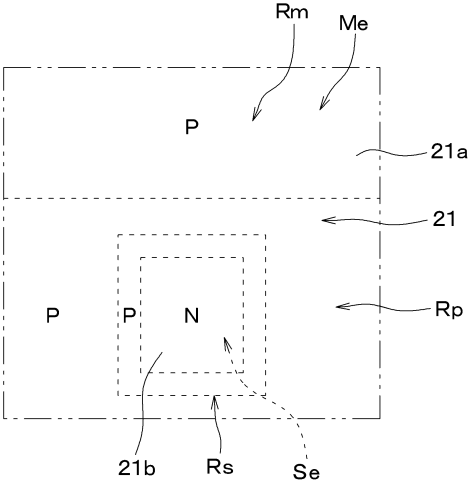
30

40

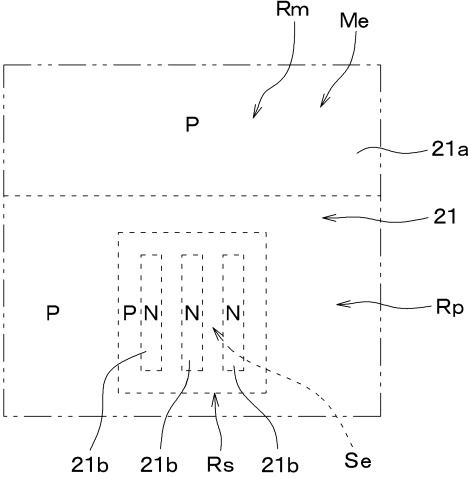
50



【図 15 A】

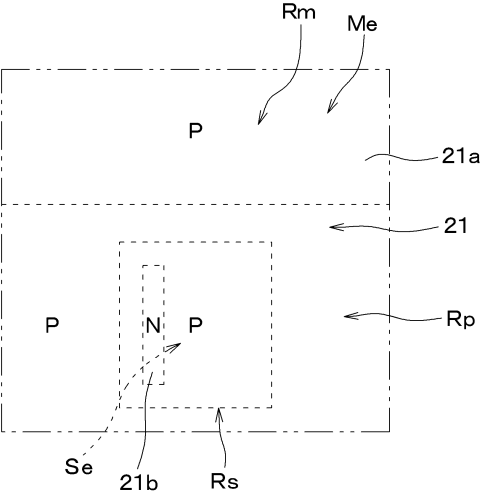


【図 15 B】

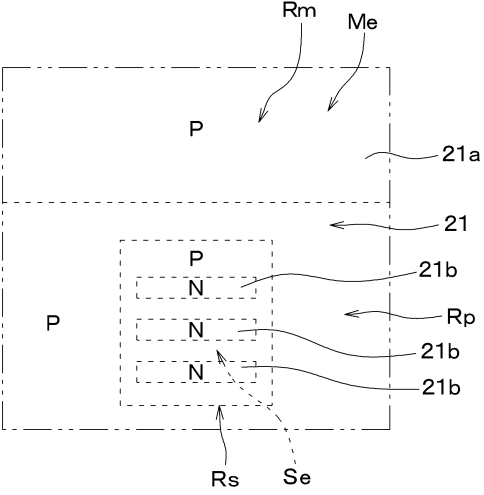


10

【図 15 C】



【図 15 D】



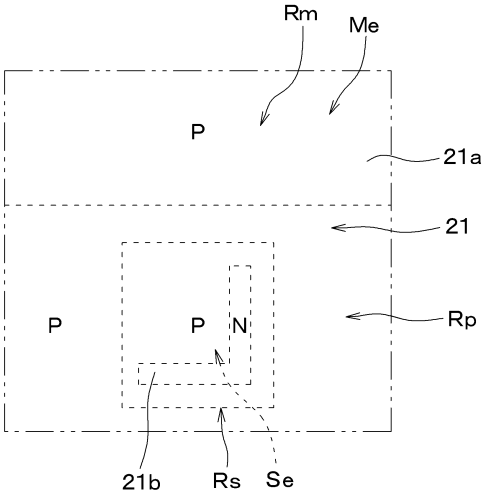
20

30

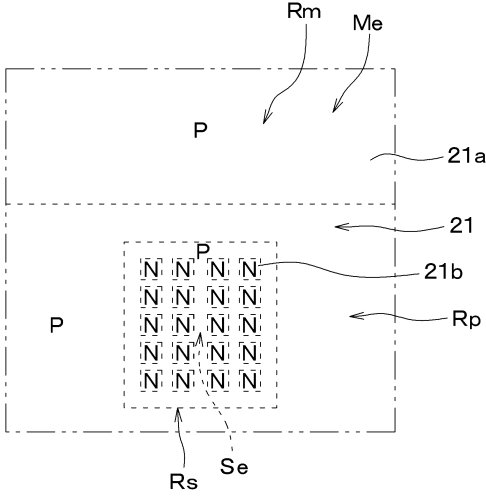
40

50

【図 15 E】

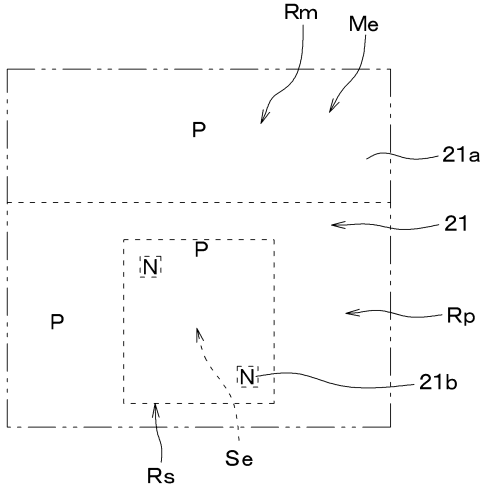


【図 15 F】

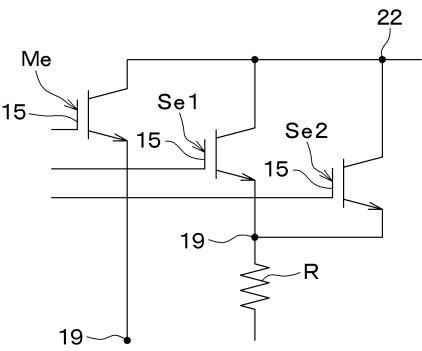


10

【図 15 G】



【図 16】



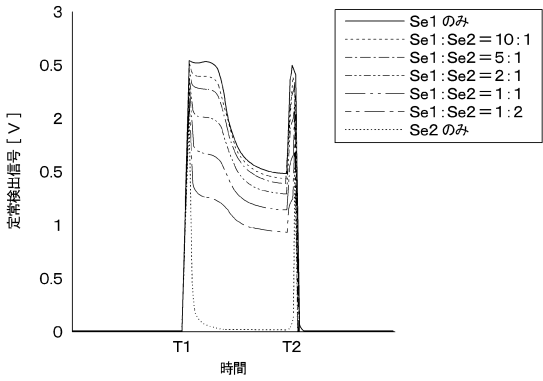
20

30

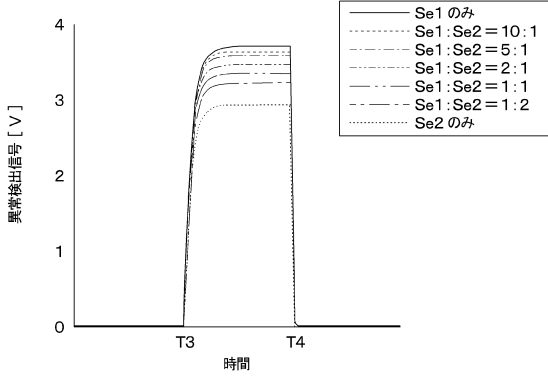
40

50

【図 17】

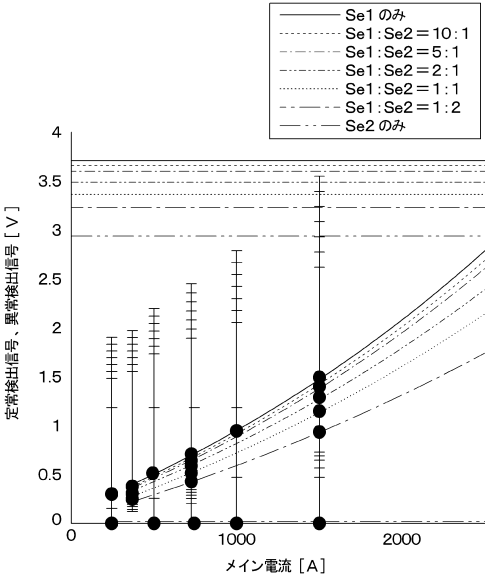


【図 18】

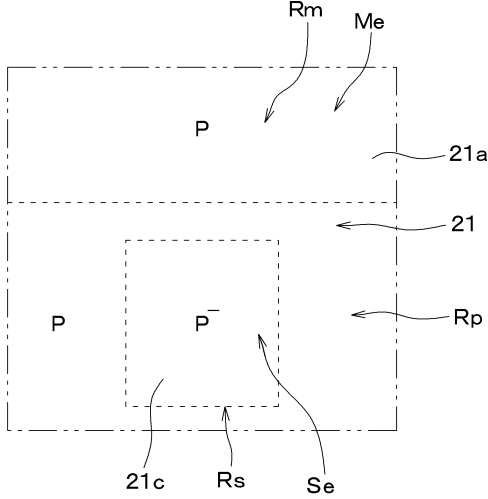


10

【図 19】



【図 20】



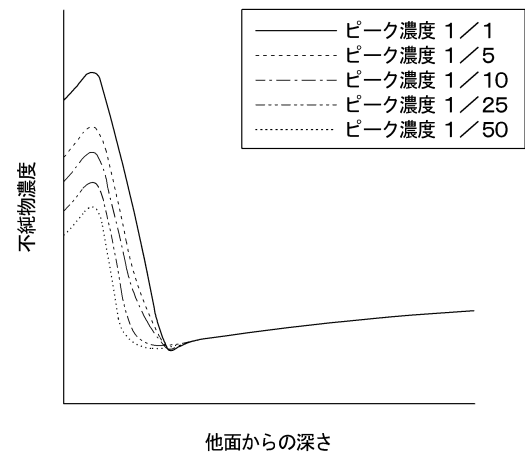
20

30

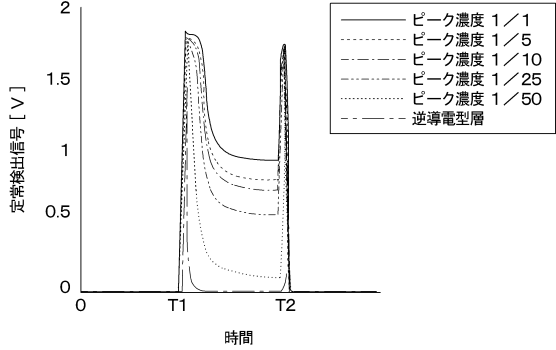
40

50

【図 2 1】

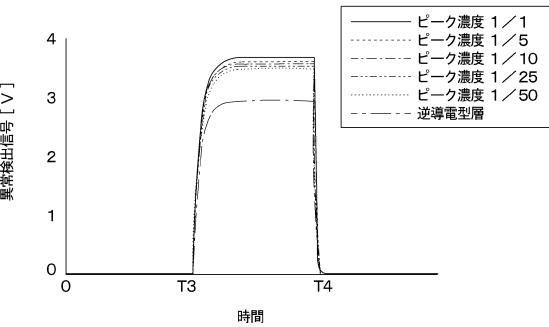


【図 2 2】

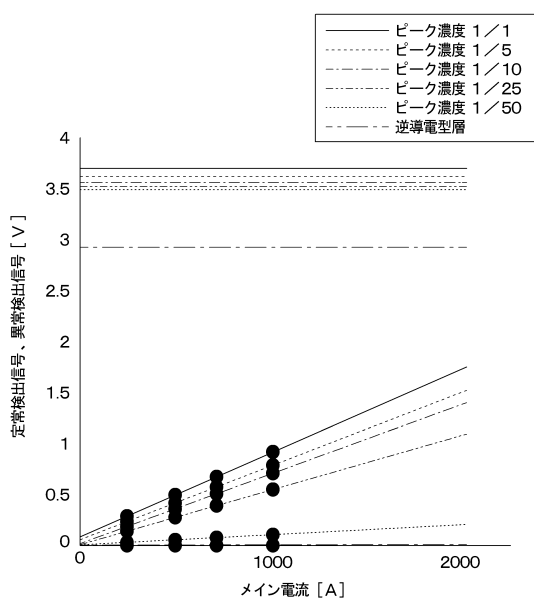


10

【図 2 3】



【図 2 4】



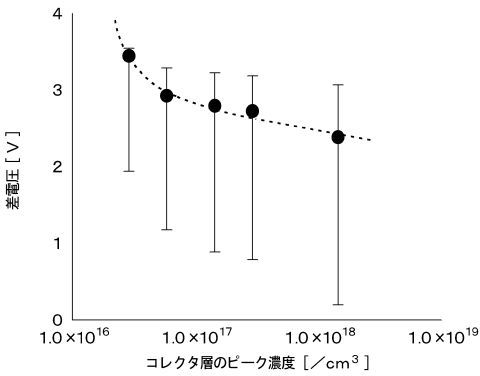
20

30

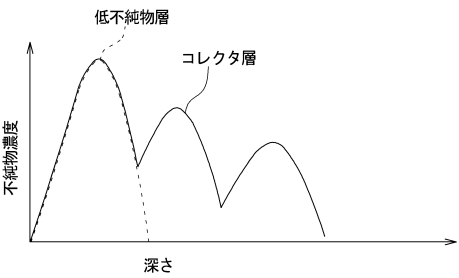
40

50

【図 2 5】

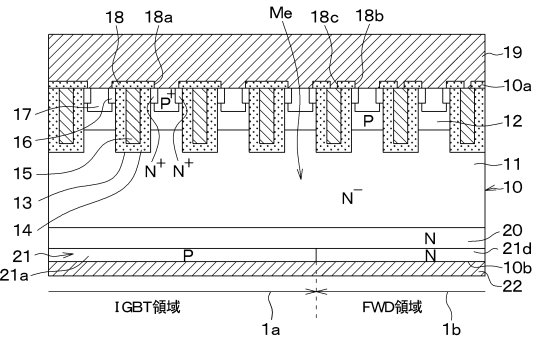


【図 2 6】



10

【図 2 7】



20

30

40

50

フロントページの続き

(51)国際特許分類	<i>H 1 0 D 30/65 (2025.01)</i>	F I		
		H 0 1 L	29/78	6 5 5 D
		H 0 1 L	29/06	3 0 1 D
		H 0 1 L	29/06	3 0 1 V
		H 0 1 L	29/91	C
		H 0 1 L	27/06	1 0 2 A
		H 0 1 L	29/78	3 0 1 D
		H 0 1 L	27/06	3 1 1 A

- (56)参考文献
- 国際公開第 2 0 2 0 / 2 0 8 7 3 8 ( W O , A 1 )
- 特開 2 0 1 9 - 0 2 1 8 8 5 ( J P , A )
- 国際公開第 2 0 2 2 / 1 7 2 3 2 8 ( W O , A 1 )
- 特開 2 0 0 9 - 1 1 7 7 8 6 ( J P , A )
- 特開 2 0 1 5 - 1 7 6 9 2 7 ( J P , A )
- 特開 2 0 1 2 - 1 1 9 6 5 8 ( J P , A )

- (58)調査した分野 (Int.Cl. , D B 名)
- H 0 1 L 2 1 / 3 3 6
- H 0 1 L 2 1 / 7 6
- H 0 1 L 2 1 / 8 2 3 4
- H 0 1 L 2 7 / 0 6
- H 0 1 L 2 9 / 0 6
- H 0 1 L 2 9 / 1 2
- H 0 1 L 2 9 / 7 3 9
- H 0 1 L 2 9 / 7 8
- H 0 1 L 2 9 / 8 6 1
- H 0 1 L 2 9 / 8 6 8