

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-225648

(P2016-225648A)

(43) 公開日 平成28年12月28日(2016.12.28)

(51) Int.Cl. F I テーマコード (参考)
 HO 1 L 21/82 (2006.01) HO 1 L 21/82 C 5 F 0 6 4

審査請求 有 請求項の数 43 O L (全 71 頁)

(21) 出願番号 特願2016-171635 (P2016-171635)
 (22) 出願日 平成28年9月2日(2016.9.2)
 (62) 分割の表示 特願2015-59324 (P2015-59324)
 の分割
 原出願日 平成20年7月31日(2008.7.31)
 (31) 優先権主張番号 60/963,364
 (32) 優先日 平成19年8月2日(2007.8.2)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 60/972,394
 (32) 優先日 平成19年9月14日(2007.9.14)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 12/013,356
 (32) 優先日 平成20年1月11日(2008.1.11)
 (33) 優先権主張国 米国 (US)

(71) 出願人 510027054
 テラ イノベーションズ インク
 アメリカ合衆国 カリフォルニア州 95
 032 ロス ガトス、スイート 115
 、アルベルト ウェイ 485
 (74) 代理人 100105924
 弁理士 森下 賢樹
 (72) 発明者 ベッカー、スコット、ティー、
 アメリカ合衆国 カリフォルニア州 95
 008 キャンベル スイート 150
 キャンベル テクノロジー パークウェイ
 655

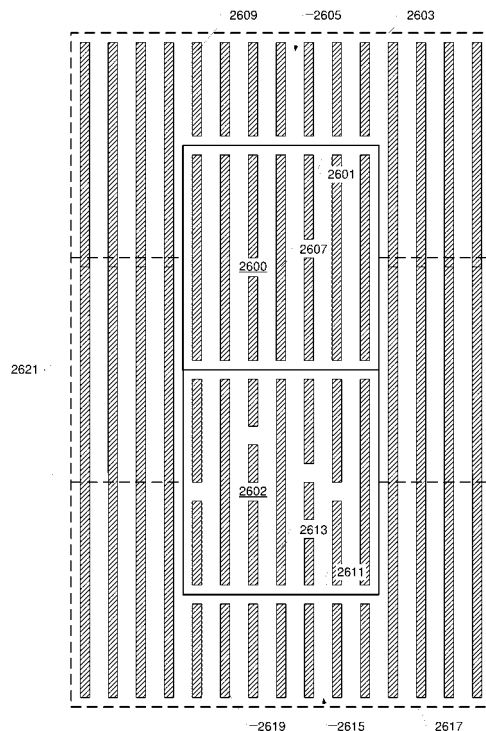
最終頁に続く

(54) 【発明の名称】 集積回路デバイス

(57) 【要約】 (修正有)

【課題】 リソグラフィギャップ問題を管理する。
 【解決手段】 集積回路デバイスは、四以上の外周境界領域セグメントにより定義される個別の外周境界内にそれぞれ形成される複数のダイナミックアレイ・セクション(DAS) 2600、2602を備える。DASの第1隣接ペアのそれぞれは、個別のゲート電極レベル製造保証ハ口部分とその外周境界セグメントの位置共通部から離れてDASの第1隣接ペアの他方に向けて第1方向に延在するように定義され、DASの第1隣接ペアの外周境界セグメント2601、2611の位置共通部にわたる終端-終端間スペーシングのそれぞれは、DASの第1隣接ペアのゲート電極レベル製造保証ハ口部分のそれぞれが互いに一列に並ぶよう配置される線形導電体セグメントのいずれの部分も有しないことを確実にするようサイズが規定される。

【選択図】 図26C-1



【特許請求の範囲】**【請求項 1】**

集積回路デバイスであって、

四以上の外周境界領域セグメントにより定義される個別の外周境界内にそれぞれ形成される複数のダイナミックアレイ・セクションを備え、前記複数のダイナミックアレイ・セクションのそれぞれは、前記集積回路デバイスのゲート電極レベル全体の一部を形成する個別のゲート電極レベルを含み、前記複数のダイナミックアレイ・セクションのそれぞれは、そのゲート電極レベル内に形成される三以上の線形導電体セグメントを含み、前記三以上の線形導電体セグメントは、平行となるよう第 1 方向に長く延在して形成され、

前記複数のダイナミックアレイ・セクションは、前記第 1 方向と垂直に延在する外周境界セグメントの位置共通部 (co-located portions) を有するよう配置されるダイナミックアレイ・セクションの第 1 隣接ペアを含み、

ダイナミックアレイ・セクションの前記第 1 隣接ペアの前記ゲート電極レベル内の前記三以上の線形導電体セグメントのいくつかは、前記第 1 方向に互いに一列に並ぶよう配置 (co-aligned) され、かつ、ダイナミックアレイ・セクションの前記第 1 隣接ペアの外周境界セグメントの前記位置共通部にわたる終端 - 終端間スペーシングにより分離され、

ダイナミックアレイ・セクションの前記第 1 隣接ペアのそれぞれは、個別のゲート電極レベル製造保証ハ口部分とその外周境界セグメントの位置共通部から離れてダイナミックアレイ・セクションの前記第 1 隣接ペアの他方に向けて前記第 1 方向に延在するよう定義され、ダイナミックアレイ・セクションの前記第 1 隣接ペアの外周境界セグメントの前記位置共通部にわたる終端 - 終端間スペーシングのそれぞれは、ダイナミックアレイ・セクションの前記第 1 隣接ペアのゲート電極レベル製造保証ハ口部分のそれぞれが前記互いに一列に並ぶよう配置される線形導電体セグメントのいずれの部分も有しないことを確実にするようサイズが規定される、集積回路デバイス。

【請求項 2】

前記複数のダイナミックアレイ・セクションのそれぞれは、別個の集積回路セルである、請求項 1 に記載の集積回路デバイス。

【請求項 3】

ダイナミックアレイ・セクションの前記第 1 隣接ペアの前記ゲート電極レベル内の前記三以上の線形導電体セグメントは、ダイナミックアレイ・セクションの前記第 1 隣接ペアの前記ゲート電極レベルにわたって実質的に等しいセグメントピッチにしたがって形成され、前記セグメントピッチは、隣接配置される線形導電体セグメントの各ペア間で前記第 1 方向と垂直な第 2 方向に測定される中心線 - 中心線間スペーシングとして定義される、請求項 1 に記載の集積回路デバイス。

【請求項 4】

ダイナミックアレイ・セクションの前記第 1 隣接ペアのそれぞれの前記外周境界は、前記第 1 方向に延在する二つの外周境界セグメントを含み、

ダイナミックアレイ・セクションの前記第 1 隣接ペアのそれぞれは、前記第 1 方向に延在する前記二つの外周境界セグメント間で前記第 2 方向に測定される個別の幅を有するよう定義され、前記幅が前記セグメントピッチの整数倍である、請求項 3 に記載の集積回路デバイス。

【請求項 5】

ダイナミックアレイ・セクションの前記第 1 隣接ペアの第 1 ダイナミックアレイ・セクションの前記ゲート電極レベル内に形成される前記三以上の線形導電体セグメントの少なくとも一つは、前記第 1 方向に延在する前記第 1 ダイナミックアレイ・セクションの前記二つの外周境界セグメントのいずれかから前記第 2 方向に測定される前記セグメントピッチの各整数倍に配置され、その結果、ダイナミックアレイ・セクションの前記第 1 隣接ペアの外周境界セグメントの前記位置共通部にわたる終端 - 終端間スペーシングによりダイナミックアレイ・セクションの前記第 1 隣接ペアの第 2 ダイナミックアレイ・セクションにおいて前記互いに一列に並ぶよう配置される線形導電体セグメントから分離される、請

10

20

30

40

50

求項 4 に記載の集積回路デバイス。

【請求項 6】

前記第 1 ダイナミックアレイ・セクションの前記ゲート電極レベル内の前記三以上の線形導電体セグメントの少なくとも一つは、トランジスタのゲート電極を形成しない、請求項 5 に記載の集積回路デバイス。

【請求項 7】

ダイナミックアレイ・セクションの前記第 1 隣接ペアの第 1 ダイナミックアレイ・セクションの前記ゲート電極レベル内に形成される前記三以上の線形導電体セグメントの少なくとも一つは、前記第 1 方向に延在する前記第 1 ダイナミックアレイ・セクションの前記二つの外周境界セグメントのいずれかより前記セグメントピッチの半分だけ外側の位置から前記第 2 方向に測定される前記セグメントピッチの各整数倍に配置され、その結果、ダイナミックアレイ・セクションの前記第 1 隣接ペアの外周境界セグメントの前記位置共通部にわたる終端 - 終端間スペーシングによりダイナミックアレイ・セクションの前記第 1 隣接ペアの第 2 ダイナミックアレイ・セクションにおいて前記互いに一列に並ぶよう配置される線形導電体セグメントから分離される、請求項 4 に記載の集積回路デバイス。

10

【請求項 8】

前記第 1 ダイナミックアレイ・セクションの前記ゲート電極レベル内の前記三以上の線形導電体セグメントの少なくとも一つは、トランジスタのゲート電極を形成しない、請求項 7 に記載の集積回路デバイス。

【請求項 9】

前記複数のダイナミックアレイ・セクションの少なくとも一つの前記ゲート電極レベル内の前記三以上の線形導電体セグメントの少なくとも一つは、トランジスタのゲート電極を形成しない、請求項 1 に記載の集積回路デバイス。

20

【請求項 10】

ダイナミックアレイ・セクションの前記第 1 隣接ペアの外周境界セグメントの前記位置共通部にわたる終端 - 終端間スペーシングのそれぞれは、前記第 1 方向に測定されるサイズが実質的に等しい、請求項 1 に記載の集積回路デバイス。

【請求項 11】

前記第 1 方向に測定されるゲート電極レベル製造保証ハ口部分のそれぞれのサイズは、前記第 1 方向に測定される前記終端 - 終端間スペーシングのサイズの半分に実質的に等しい、請求項 10 に記載の集積回路デバイス。

30

【請求項 12】

ゲート電極レベル製造保証ハ口部分のそれぞれは、ダイナミックアレイ・セクションの前記第 1 隣接ペアのいずれかの前記ゲート電極レベル内に形成されるいずれの線形導電体セグメントのいずれの部分も有しない、請求項 1 に記載の集積回路デバイス。

【請求項 13】

ダイナミックアレイ・セクションの前記第 1 隣接ペアの外周境界セグメントの前記位置共通部にわたる終端 - 終端間スペーシングのそれぞれは、ダイナミックアレイ・セクションの前記第 1 隣接ペアの間で実質的に等しく分割される、請求項 1 に記載の集積回路デバイス。

40

【請求項 14】

ダイナミックアレイ・セクションの前記第 1 隣接ペアの外周境界セグメントの前記位置共通部にわたる終端 - 終端間スペーシングのいくつかは、ダイナミックアレイ・セクションの前記第 1 隣接ペアの間で不均等に分割される、請求項 1 に記載の集積回路デバイス。

【請求項 15】

ダイナミックアレイ・セクションのある一つの前記第 1 隣接ペア内の終端 - 終端間スペーシングのそれぞれの各部分は、前記第 1 方向に測定されるサイズが実質的に等しい、請求項 14 に記載の集積回路デバイス。

【請求項 16】

前記第 1 方向と垂直に延在する外周境界セグメントの前記位置共通部は、ダイナミック

50

アレイ・セクションの前記第 1 隣接ペアの第 1 ダイナミックアレイ・セクションの第 1 境界セグメントの一部と、ダイナミックアレイ・セクションの前記第 1 隣接ペアの第 2 ダイナミックアレイ・セクションの第 2 境界セグメントの一部と、を含む、請求項 1 に記載の集積回路デバイス。

【請求項 17】

前記第 1 方向と垂直に延在する外周境界セグメントの前記位置共通部は、ダイナミックアレイ・セクションの前記第 1 隣接ペアの第 1 ダイナミックアレイ・セクションの第 1 境界セグメントの一部と、ダイナミックアレイ・セクションの前記第 1 隣接ペアの第 2 ダイナミックアレイ・セクションの第 2 境界セグメントの全体と、を含む、請求項 1 に記載の集積回路デバイス。

10

【請求項 18】

前記第 1 方向と垂直に延在する外周境界セグメントの前記位置共通部は、ダイナミックアレイ・セクションの前記第 1 隣接ペアの第 1 ダイナミックアレイ・セクションの第 1 境界セグメントの全体と、ダイナミックアレイ・セクションの前記第 1 隣接ペアの第 2 ダイナミックアレイ・セクションの第 2 境界セグメントの全体と、を含む、請求項 1 に記載の集積回路デバイス。

【請求項 19】

ダイナミックアレイ・セクションの前記第 1 隣接ペアの前記ゲート電極レベルは、ダイナミックアレイ・セクションの前記第 1 隣接ペアの間で連続的に延在するように前記ゲート電極レベル製造保証ハ口部分にわたって前記第 1 方向に長く延在する一以上の連続的線形導電体セグメントをさらに含む、請求項 1 に記載の集積回路デバイス。

20

【請求項 20】

前記複数のダイナミックアレイ・セクションのそれぞれは、前記集積回路デバイスの第 1 配線レベル全体の一部を形成する個別の第 1 配線レベルを含み、前記複数のダイナミックアレイ・セクションのそれぞれは、その第 1 配線レベル内に形成される多数の第 1 配線線形導電体セグメントを含み、前記多数の第 1 配線線形導電体セグメントは、平行となるよう前記第 1 方向に長く延在して形成され、

ダイナミックアレイ・セクションの前記第 1 隣接ペアの前記第 1 配線レベル内の前記多数の第 1 配線線形導電体セグメントのいくつかは、前記第 1 方向に互いに一列に並ぶよう配置され、かつ、ダイナミックアレイ・セクションの前記第 1 隣接ペアの外周境界セグメントの前記位置共通部にわたる第 1 配線終端 - 終端間スペーシングにより分離される、請求項 1 に記載の集積回路デバイス。

30

【請求項 21】

ダイナミックアレイ・セクションの前記第 1 隣接ペアのそれぞれは、個別の第 1 配線レベル製造保証ハ口部分とその外周境界セグメントの位置共通部から離れてダイナミックアレイ・セクションの前記第 1 隣接ペアの他方に向けて前記第 1 方向に延在するよう定義され、ダイナミックアレイ・セクションの前記第 1 隣接ペアの外周境界セグメントの前記位置共通部にわたる第 1 配線終端 - 終端間スペーシングのそれぞれは、ダイナミックアレイ・セクションの前記第 1 隣接ペアの第 1 配線レベル製造保証ハ口部分のそれぞれが前記互いに一列に並ぶよう配置される第 1 配線線形導電体セグメントのいずれの部分も有しないことを確実にするようサイズが規定される、請求項 20 に記載の集積回路デバイス。

40

【請求項 22】

ダイナミックアレイ・セクションの前記第 1 隣接ペアの前記第 1 配線レベルは、ダイナミックアレイ・セクションの前記第 1 隣接ペアの間で連続的に延在するように第 1 配線レベル製造保証ハ口部分にわたって前記第 1 方向に長く延在する一以上の連続的の第 1 配線線形導電体セグメントをさらに含む、請求項 20 に記載の集積回路デバイス。

【請求項 23】

ダイナミックアレイ・セクションの前記第 1 隣接ペアのそれぞれは、前記第 1 方向に延在する複数の外周境界セグメントにより定義され、ダイナミックアレイ・セクションの前記第 1 隣接ペアの少なくとも一方の前記第 1 配線レベルは、前記第 1 方向に延在する前記

50

複数の外周境界セグメントの一つと重なるように形成される最も外側の第 1 配線線形導電体セグメントを含む、請求項 20 に記載の集積回路デバイス。

【請求項 24】

前記複数のダイナミックアレイ・セクションのそれぞれは、前記集積回路デバイスの第 2 配線レベル全体の一部を形成する個別の第 2 配線レベルを含み、前記複数のダイナミックアレイ・セクションのそれぞれは、その第 2 配線レベル内に形成される多数の第 2 配線線形導電体セグメントを含み、前記多数の第 2 配線線形導電体セグメントは、平行となるよう前記第 1 方向と垂直な第 2 方向に長く延在して形成され、

前記複数のダイナミックアレイ・セクションは、前記第 1 方向に延在する外周境界セグメントの位置共通部を有するよう配置されるダイナミックアレイ・セクションの第 2 隣接ペアを含み、

ダイナミックアレイ・セクションの前記第 2 隣接ペアの前記第 2 配線レベル内の前記多数の第 2 配線線形導電体セグメントのいくつかは、前記第 2 方向に互いに一列に並ぶよう配置され、かつ、ダイナミックアレイ・セクションの前記第 2 隣接ペアの外周境界セグメントの前記位置共通部にわたる第 2 配線終端 - 終端間スペーシングにより分離される、請求項 20 に記載の集積回路デバイス。

【請求項 25】

ダイナミックアレイ・セクションの前記第 2 隣接ペアのそれぞれは、個別の第 2 配線レベル製造保証ハ口部分とその外周境界セグメントの位置共通部から離れてダイナミックアレイ・セクションの前記第 2 隣接ペアの他方に向けて前記第 2 方向に延在するよう定義され、ダイナミックアレイ・セクションの前記第 2 隣接ペアの外周境界セグメントの前記位置共通部にわたる第 2 配線終端 - 終端間スペーシングのそれぞれは、ダイナミックアレイ・セクションの前記第 2 隣接ペアの第 2 配線レベル製造保証ハ口部分のそれぞれが前記互いに一列に並ぶよう配置される第 2 配線線形導電体セグメントのいずれの部分も有しないことを確実にするようサイズが規定される、請求項 24 に記載の集積回路デバイス。

【請求項 26】

ダイナミックアレイ・セクションの前記第 2 隣接ペアは、ダイナミックアレイ・セクションの前記第 1 隣接ペアの一方を含む、請求項 25 に記載の集積回路デバイス。

【請求項 27】

前記第 1 方向に延在する外周境界セグメントの前記位置共通部は、ダイナミックアレイ・セクションの前記第 2 隣接ペアの第 1 ダイナミックアレイ・セクションの第 1 境界セグメントの一部と、ダイナミックアレイ・セクションの前記第 2 隣接ペアの第 2 ダイナミックアレイ・セクションの第 2 境界セグメントの一部と、を含む、請求項 24 に記載の集積回路デバイス。

【請求項 28】

前記第 1 方向に延在する外周境界セグメントの前記位置共通部は、ダイナミックアレイ・セクションの前記第 2 隣接ペアの第 1 ダイナミックアレイ・セクションの第 1 境界セグメントの一部と、ダイナミックアレイ・セクションの前記第 2 隣接ペアの第 2 ダイナミックアレイ・セクションの第 2 境界セグメントの全体と、を含む、請求項 24 に記載の集積回路デバイス。

【請求項 29】

前記第 1 方向に延在する外周境界セグメントの前記位置共通部は、ダイナミックアレイ・セクションの前記第 2 隣接ペアの第 1 ダイナミックアレイ・セクションの第 1 境界セグメントの全体と、ダイナミックアレイ・セクションの前記第 2 隣接ペアの第 2 ダイナミックアレイ・セクションの第 2 境界セグメントの全体と、を含む、請求項 24 に記載の集積回路デバイス。

【請求項 30】

ダイナミックアレイ・セクションの前記第 2 隣接ペアの前記第 2 配線レベルは、ダイナミックアレイ・セクションの前記第 2 隣接ペアの間で連続的に延在するよう第 2 配線レベル製造保証ハ口部分にわたって前記第 2 方向に長く延在する一以上の連続的の第 2 配線線

10

20

30

40

50

形導電体セグメントをさらに含む、請求項 2 4 に記載の集積回路デバイス。

【請求項 3 1】

ダイナミックアレイ・セクションの前記第 2 隣接ペアのそれぞれは、前記第 2 方向に延在する複数の外周境界セグメントにより定義され、ダイナミックアレイ・セクションの前記第 2 隣接ペアの少なくとも一方の前記第 2 配線レベルは、前記第 2 方向に延在する前記複数の外周境界セグメントの一つと重なるように形成される最も外側の第 2 配線線形導電体セグメントを含む、請求項 2 4 に記載の集積回路デバイス。

【請求項 3 2】

前記複数のダイナミックアレイ・セクションのそれぞれは、前記集積回路デバイスの第 1 配線レベル全体の一部を形成する個別の第 1 配線レベルを含み、前記複数のダイナミックアレイ・セクションのそれぞれは、その第 1 配線レベル内に形成される多数の第 1 配線線形導電体セグメントを含み、前記多数の第 1 配線線形導電体セグメントは、平行となるよう前記第 1 方向と垂直な第 2 方向に長く延在して形成され、

前記複数のダイナミックアレイ・セクションは、前記第 1 方向に延在する外周境界セグメントの位置共通部を有するよう配置されるダイナミックアレイ・セクションの第 2 隣接ペアを含み、

ダイナミックアレイ・セクションの前記第 2 隣接ペアの前記第 1 配線レベル内の前記多数の第 1 配線線形導電体セグメントのいくつかは、前記第 2 方向に互いに一列に並ぶよう配置され、かつ、ダイナミックアレイ・セクションの前記第 2 隣接ペアの外周境界セグメントの前記位置共通部にわたる第 1 配線終端 - 終端間スペーシングにより分離される、請求項 1 に記載の集積回路デバイス。

【請求項 3 3】

ダイナミックアレイ・セクションの前記第 2 隣接ペアのそれぞれは、個別の第 1 配線レベル製造保証ハ口部分とその外周境界セグメントの位置共通部から離れてダイナミックアレイ・セクションの前記第 2 隣接ペアの他方に向けて前記第 2 方向に延在するよう定義され、ダイナミックアレイ・セクションの前記第 2 隣接ペアの外周境界セグメントの前記位置共通部にわたる第 1 配線終端 - 終端間スペーシングのそれぞれは、ダイナミックアレイ・セクションの前記第 2 隣接ペアの第 1 配線レベル製造保証ハ口部分のそれぞれが前記互いに一列に並ぶよう配置される第 1 配線線形導電体セグメントのいずれの部分も有しないことを確実にするようサイズが規定される、請求項 3 2 に記載の集積回路デバイス。

【請求項 3 4】

ダイナミックアレイ・セクションの前記第 2 隣接ペアは、ダイナミックアレイ・セクションの前記第 1 隣接ペアの一方を含む、請求項 3 3 に記載の集積回路デバイス。

【請求項 3 5】

前記第 1 方向に延在する外周境界セグメントの前記位置共通部は、ダイナミックアレイ・セクションの前記第 2 隣接ペアの第 1 ダイナミックアレイ・セクションの第 1 境界セグメントの一部と、ダイナミックアレイ・セクションの前記第 2 隣接ペアの第 2 ダイナミックアレイ・セクションの第 2 境界セグメントの一部と、を含む、請求項 3 2 に記載の集積回路デバイス。

【請求項 3 6】

前記第 1 方向に延在する外周境界セグメントの前記位置共通部は、ダイナミックアレイ・セクションの前記第 2 隣接ペアの第 1 ダイナミックアレイ・セクションの第 1 境界セグメントの一部と、ダイナミックアレイ・セクションの前記第 2 隣接ペアの第 2 ダイナミックアレイ・セクションの第 2 境界セグメントの全体と、を含む、請求項 3 2 に記載の集積回路デバイス。

【請求項 3 7】

前記第 1 方向に延在する外周境界セグメントの前記位置共通部は、ダイナミックアレイ・セクションの前記第 2 隣接ペアの第 1 ダイナミックアレイ・セクションの第 1 境界セグメントの全体と、ダイナミックアレイ・セクションの前記第 2 隣接ペアの第 2 ダイナミックアレイ・セクションの第 2 境界セグメントの全体と、を含む、請求項 3 2 に記載の集積

10

20

30

40

50

回路デバイス。

【請求項 38】

ダイナミックアレイ・セクションの前記第 2 隣接ペアの前記第 1 配線レベルは、ダイナミックアレイ・セクションの前記第 2 隣接ペアの間で連続的に延在するように第 1 配線レベル製造保証ハ口部分にわたって前記第 2 方向に長く延在する一以上の連続的第 1 配線線形導電体セグメントをさらに含む、請求項 32 の記載の集積回路デバイス。

【請求項 39】

ダイナミックアレイ・セクションの前記第 2 隣接ペアのそれぞれは、前記第 2 方向に延在する複数の外周境界セグメントにより定義され、ダイナミックアレイ・セクションの前記第 2 隣接ペアの少なくとも一方の前記第 1 配線レベルは、前記第 2 方向に延在する前記複数の外周境界セグメントの一つと重なるように形成される最も外側の第 1 配線線形導電体セグメントを含む、請求項 32 に記載の集積回路デバイス。

10

【請求項 40】

前記複数のダイナミックアレイ・セクションのそれぞれは、前記集積回路デバイスの第 2 配線レベル全体の一部を形成する個別の第 2 配線レベルを含み、前記複数のダイナミックアレイ・セクションのそれぞれは、その第 2 配線レベル内に形成される多数の第 2 配線線形導電体セグメントを含み、前記多数の第 2 配線線形導電体セグメントは、平行となるよう前記第 1 方向に長く延在して形成され、

ダイナミックアレイ・セクションの前記第 1 隣接ペアの前記第 2 配線レベル内の前記多数の第 2 配線線形導電体セグメントのいくつかは、前記第 1 方向に互いに一列に並ぶよう配置され、かつ、ダイナミックアレイ・セクションの前記第 1 隣接ペアの外周境界セグメントの前記位置共通部にわたる第 2 配線終端 - 終端間スペーシングにより分離される、請求項 32 に記載の集積回路デバイス。

20

【請求項 41】

ダイナミックアレイ・セクションの前記第 1 隣接ペアのそれぞれは、個別の第 2 配線レベル製造保証ハ口部分とその外周境界セグメントの位置共通部から離れてダイナミックアレイ・セクションの前記第 1 隣接ペアの他方に向けて前記第 1 方向に延在するよう定義され、ダイナミックアレイ・セクションの前記第 1 隣接ペアの外周境界セグメントの前記位置共通部にわたる第 2 配線終端 - 終端間スペーシングのそれぞれは、ダイナミックアレイ・セクションの前記第 1 隣接ペアの第 2 配線レベル製造保証ハ口部分のそれぞれが前記互いに一列に並ぶよう配置される第 2 配線線形導電体セグメントのいずれの部分も有しないことを確実にするようサイズが規定される、請求項 40 に記載の集積回路デバイス。

30

【請求項 42】

ダイナミックアレイ・セクションの前記第 1 隣接ペアの前記第 2 配線レベルは、ダイナミックアレイ・セクションの前記第 1 隣接ペアの間で連続的に延在するように第 2 配線レベル製造保証ハ口部分にわたって前記第 1 方向に長く延在する一以上の連続的第 2 配線線形導電体セグメントをさらに含む、請求項 40 に記載の集積回路デバイス。

【請求項 43】

ダイナミックアレイ・セクションの前記第 1 隣接ペアのそれぞれは、前記第 1 方向に延在する複数の外周境界セグメントにより定義され、ダイナミックアレイ・セクションの前記第 1 隣接ペアの少なくとも一方の前記第 2 配線レベルは、前記第 1 方向に延在する前記複数の外周境界セグメントの一つと重なるように形成される最も外側の第 2 配線線形導電体セグメントを含む、請求項 40 に記載の集積回路デバイス。

40

【発明の詳細な説明】

【背景技術】

【0001】

より高い性能とより小さいダイサイズへの要求は、半導体産業が回路チップ面積を 2 年ごとに約 50% 縮小させることを推進する。チップ面積の縮小は、より新しい技術への移行という経済的利益をもたらす。50% のチップ面積縮小は、形状寸法を 25% と 30% の間で縮小させることで、達成される。形状寸法の縮小は、製造装置と材料を改良するこ

50

とによって可能になる。例えば、化学機械研磨（CMP）の改良は、一部分において、より多層の配線層を可能にしたが、リソグラフィプロセスの改良は、より小さい形状寸法の達成を可能にした。

【0002】

リソグラフィの進化において、最小形状寸法が、形状を露光するのに使用される光源の波長に近づいたとき、意図しない相互作用が隣接する形状の間に起きた。フォトリソグラフィプロセスで使用される光源の波長が、193nmに留まっているにもかかわらず、今日、最小形状寸法は、45nm（ナノメートル）に近づいている。最小形状寸法と、フォトリソグラフィプロセスで使用される光の波長との間の差は、リソグラフィギャップとして定義される。リソグラフィギャップが大きくなるのに従って、リソグラフィプロセスの分解能の許容性が減少する。

10

【0003】

マスク上の各形状が光と相互作用して干渉縞が発生する。隣接する形状からの干渉縞は、建設的または破壊的な干渉を引き起こし得る。建設的な干渉の場合では、求められていない形状が偶然に作られてもよい。破壊的な干渉では、必要な形状が偶然に取り除かれてもよい。どちらの場合でも、特定の形状が意図するのとは異なった方法でプリントされ、デバイス故障を引き起こすおそれがある。光近接効果補正（OPC）などの補正方法は、隣接する形状からの影響を予測して、プリントされた形状が望み通りに製作されるようにマスクを修正することを企図したものである。プロセス幾何学が縮小して、光相互作用がより複雑になるのに応じて、光相互作用の予測品質が低下している。

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記の観点から、半導体デバイスのより小さい形状寸法の方へ、技術が進歩し続けるのに、リソグラフィギャップ問題を管理する解決方法が必要とされる。

【課題を解決するための手段】

【0005】

本発明のある態様は、集積回路デバイスである。この集積回路デバイスは、四以上の外周境界領域セグメントにより定義される個別の外周境界内にそれぞれ形成される複数のダイナミックアレイ・セクションを備え、複数のダイナミックアレイ・セクションのそれぞれは、集積回路デバイスのゲート電極レベル全体の一部を形成する個別のゲート電極レベルを含み、複数のダイナミックアレイ・セクションのそれぞれは、そのゲート電極レベル内に形成される三以上の線形導電体セグメントを含み、三以上の線形導電体セグメントは、平行となるよう第1方向に長く延在して形成される。

30

【0006】

複数のダイナミックアレイ・セクションは、第1方向と垂直に延在する外周境界セグメントの位置共通部（co-located portions）を有するよう配置されるダイナミックアレイ・セクションの第1隣接ペアを含み、

ダイナミックアレイ・セクションの第1隣接ペアのゲート電極レベル内の三以上の線形導電体セグメントのいくつかは、第1方向に互いに一列に並ぶよう配置（co-aligned）され、かつ、ダイナミックアレイ・セクションの第1隣接ペアの外周境界セグメントの位置共通部にわたる終端 - 終端間スペーシングにより分離される。

40

【0007】

ダイナミックアレイ・セクションの第1隣接ペアのそれぞれは、個別のゲート電極レベル製造保証ハ口部分とその外周境界セグメントの位置共通部から離れてダイナミックアレイ・セクションの第1隣接ペアの他方に向けて第1方向に延在するよう定義され、ダイナミックアレイ・セクションの第1隣接ペアの外周境界セグメントの位置共通部にわたる終端 - 終端間スペーシングのそれぞれは、ダイナミックアレイ・セクションの第1隣接ペアのゲート電極レベル製造保証ハ口部分のそれぞれが互いに一列に並ぶよう配置される線形導電体セグメントのいずれの部分も有しないことを確実にするようサイズが規定される

50

【 0 0 0 8 】

本発明の他の特徴と長所は、添付図面に関連して得られた、本発明の一例として説明した、以下の詳細な説明により、より明らかになるであろう。

【 図面の簡単な説明 】

【 0 0 0 9 】

【 図 1 】本発明の一実施形態において、多くの隣接するレイアウト形状と、レイアウト形状のそれぞれの描画に使用される光強度の代表例を示す図である。

【 図 2 】本発明の一実施形態において、ダイナミックアレイ・アーキテクチャを定義付けするのに使用されるレイアウトの積み重ねの概略を示す図である。

【 図 3 A 】本発明の一実施形態において、限定的なトポロジの定義付けを容易にするダイナミックアレイに投影される基本グリッドの一例を示す図である。

【 図 3 B 】本発明の一実施形態において、ダイの分離領域にわたって投影される分離基本グリッドの一例を示す図である。

【 図 3 C 】本発明の一実施形態において、ダイナミックアレイに適合するように定義付けされた線形形状の一例を示す図である。

【 図 3 D 】本発明の一実施形態において、ダイナミックアレイに適合するように定義付けされた線形形状の別の一例を示す図である。

【 図 4 】本発明の一実施形態において、ダイナミックアレイの一例の拡散層レイアウトを示す図である。

【 図 5 】本発明の一実施形態において、ゲート電極層と、図 4 の拡散層の上及び隣の拡散コンタクト層を示す図である。

【 図 6 】本発明の一実施形態において、図 5 のゲート電極層の上及び隣に定義付けされたゲート電極コンタクト層を示す図である。

【 図 7 A 】ゲート電極のコンタクトを作る従来のアプローチを示す図である。

【 図 7 B 】本発明の一実施形態により定義付けされるゲート電極コンタクトを示す図である。

【 図 8 A 】本発明の一実施形態において、図 6 のゲート電極コンタクト層の上及び隣に定義付けされたメタル 1 層を示す図である。

【 図 8 B 】他のメタル 1 トラックにおいて、メタル 1 のグラウンド及びパワーのトラックのためのより幅の広いトラックを有する図 8 A のメタル 1 層を示す図である。

【 図 9 】本発明の一実施形態において、図 8 A のメタル 1 層の上及び隣に定義付けされたビア 1 層を示す図である。

【 図 1 0 】本発明の一実施形態において、図 9 のビア 1 層の上及び隣に定義付けされたメタル 2 層を示す図である。

【 図 1 1 】本発明の一実施形態において、第 1 及び第 2 参照方向 (x) 及び (y) に対して第 1 対角線方向にダイナミックアレイを横断する導電体トラックを示す図である。

【 図 1 2 】本発明の一実施形態において、第 1 及び第 2 参照方向 (x) 及び (y) に対して第 2 対角線方向にダイナミックアレイを横断する導電体トラックを示す図である。

【 図 1 3 A 】本発明の一実施形態において、リソグラフィ補強の拡散コンタクト及びゲート電極コンタクトに使用されるサブ解像度コンタクトレイアウトの一例を示す図である。

【 図 1 3 B 】本発明の一実施形態において、可能な範囲内でグリッドを満たすように定義付けされたサブ解像度のコンタクトを有する図 1 3 A のサブ解像度コンタクトレイアウトを示す図である。

【 図 1 3 C 】本発明の一実施形態において、種々の形状をしたサブ解像度コンタクトを利用したサブ解像度コンタクトレイアウトの一例を示す図である。

【 図 1 3 D 】本発明の一実施形態において、サブ解像度コンタクトを有する交互位相シフトマスク (A P S M) の一例を示す図である。

【 図 1 4 】本発明の一実施形態において、半導体チップ構成を示す図である。

【 図 1 5 】本発明の一実施形態において、ダイナミックアレイ・アーキテクチャを実装する典型的なチップを示す図である。

10

20

30

40

50

【図16】本発明の一実施形態において、ダイナミックアレイ・アーキテクチャ領域のブランクキャンパスを示す図である。

【図17A】本発明の一実施形態において、ダイナミックアレイ・アーキテクチャ領域内で定義された多くの典型的なダイナミックアレイ・セクションを示す図である。

【図17B】本発明の一実施形態において、ダイナミックアレイ・アーキテクチャ領域内のより高い垂直位置に定義された多くのダイナミックアレイ・セクションを示す図である。

【図17C】本発明の一実施形態において、図17Bのダイナミックアレイ・セクション(DAS)の積み重ねの側面図を示す図である。

【図18】本発明の一実施形態において、DAS10の基板レベルを示す図である。

【図19A】本発明の一実施形態において、DAS10例のゲート電極レベルの仮想格子を示す図である。

【図19A1】本発明の一実施形態において、隣接するコンタクトされたゲート電極形状間の最小中心-中心間スペーシングの2分の1のピッチに設定されたゲート電極レベルの仮想格子を示す図である。

【図19B】本発明の一実施形態において、図19Aのゲート電極レベルの仮想格子の各ラインに沿って定義されたノーカットの線形導電体形状を示す図である。

【図19B1】本発明の一実施形態において、図19A1のゲート電極レベルの仮想格子の様々なラインに沿って定義された線形導電体形状を示す図である。

【図19C】本発明の一実施形態において、図19Bの線形導電体形状の区分化を示す図である。

【図19D】機能を持たない線形導電体形状が削除された領域を有する図19Cのゲート電極レベルの区分化形状を示す図である。

【図20A】本発明の一実施形態において、DAS10例の第1の配線レベルの仮想格子を示す図である。

【図20A1】本発明の一実施形態において、第1の配線レベルの隣接するコンタクトされた導電体形状間の最小中心-中心間スペーシングの2分の1のピッチに設定された第1の配線レベルの仮想格子を示す図である。

【図20B】本発明の一実施形態において、図20Aの第1の配線レベルの仮想格子の各ラインに沿って定義されたノーカットの線形導電体形状を示す図である。

【図20B1】本発明の一実施形態において、図20A1の第1の配線レベルの仮想格子の様々なラインに沿って定義された線形導電体形状を示す図である。

【図20C】本発明の一実施形態において、図20Bの線形導電体形状の区分化を示す図である。

【図21A】本発明の一実施形態において、DAS10例の第2の配線レベルの仮想格子を示す図である。

【図21B】本発明の一実施形態において、第2の配線レベルの仮想格子とゲート電極レベルの導電体形状間での3:2ピッチ関係に基づいて定義された、DAS10例の第2の配線レベルの仮想格子とゲート電極レベルの仮想格子間の間隔関係を示す図である。

【図21C】本発明の一実施形態において、第2の配線レベルの仮想格子の各ラインに沿って定義されたノーカットの線形導電体形状を示す図である。

【図21D】本発明の一実施形態において、第2の配線レベル内の線形導電体形状の区分化を示す図である。

【図22A】本発明の一実施形態において、第2の配線レベルの導電体形状とゲート電極レベルの導電体形状間の4:3のピッチ関係に基づいて定義された、DAS10例の第2の配線レベルの仮想格子を示す図である。

【図22B】本発明の一実施形態において、第2の配線レベルの導電体形状とゲート電極レベルの導電体形状間の4:3のピッチ関係に基づいて定義された、ダイナミックアレイ・セクションの第2の配線レベル仮想格子とゲート電極レベルの仮想格子間の間隔関係を示す図である。

10

20

30

40

50

【図 2 2 C】本発明の一実施形態において、第 2 の配線レベルの仮想格子の各ラインに沿って定義されたノーカットの線形導電体形状を示す図である。

【図 2 2 D】本発明の一実施形態において、第 2 の配線レベル内の図 2 2 C の線形導電体形状の区分化を示す図である。

【図 2 3】本発明の一実施形態において、識別された多くの典型的なビア位置を有する、図 2 2 D の第 2 の配線レベルを示す図である。

【図 2 4 A】本発明の一実施形態において、D A S 1 0 例の第 3 の配線レベルの仮想格子を示す図である。

【図 2 4 B】本発明の一実施形態において、D A S 1 0 例の第 3 の配線レベルの仮想格子と第 1 の配線レベルの仮想格子間の間隔関係を示す図である。

【図 2 4 C】本発明の一実施形態において、第 3 の配線レベルの仮想格子の各ラインに沿って定義されたノーカットの線形導電体形状を示す図である。

【図 2 4 D】本発明の一実施形態において、第 3 の配線レベル内の線形導電体形状の区分化を示す図である。

【図 2 5 A】本発明の一実施形態において、それぞれの製造保証境界適合性指定を有する多くの典型的な D A S を示す図である。

【図 2 5 B】本発明の一実施形態において、それぞれの製造保証境界適合性指定に従って、D A S グリッド上の図 2 5 A の D A S の典型的なアセンブリを示す図である。

【図 2 5 C】本発明の一実施形態において、意図的に定義された空領域を有するそれぞれの製造保証境界適合性指定に従った、D A S グリッド上の図 2 5 A の D A S の典型的なアセンブリを示す図である。

【図 2 6 A - 1】本発明の一実施形態において、典型的な D A S のあるレベルを示す図である。

【図 2 6 A - 2】本発明の一実施形態において、多くの補強形状を含むように事前定義された D A S 八口領域を有する図 2 6 A - 1 の典型的な D A S を示す図である。

【図 2 6 B - 1】本発明の一実施形態において、別の典型的な D A S のレベルを示す図である。

【図 2 6 B - 2】本発明の一実施形態において、多くの補強形状を含むように事前定義された D A S 八口領域を有する図 2 6 B - 1 の典型的な D A S を示す図である。

【図 2 6 C - 1】本発明の一実施形態において、図 2 6 A - 2 の D A S と図 2 6 B - 2 の D A S の D A S グリッド上への典型的な配置を示す図である。

【図 2 6 C - 2】本発明の一実施形態において、それぞれの D A S 八口を考慮せずに、図 2 6 A - 2 の D A S と図 2 6 B - 2 の D A S の D A S グリッド上への典型的な配置を示す図である。

【図 2 6 C - 3】本発明の一実施形態において、D A S 八口領域を形成するために、D A S クラスターの周辺に定義された D A S 八口境界を有する、図 2 6 C - 2 の D A S クラスタを示す図である。

【図 2 6 C - 4】本発明の一実施形態において、図 2 6 C - 3 の D A S 八口領域の定義されたコンテンツを示す図である。

【図 2 6 C - 5】本発明の一実施形態において、中に定義された多くの D A S 配線セグメントを有する、図 2 6 C - 4 の D A S クラスタの特定のレベルを示す図である。

【図 2 6 D - 1】本発明の一実施形態において、半導体チップのダイナミックアレイ・アーキテクチャ領域の定義方法のフローチャートを示す図である。

【図 2 6 D - 2】本発明の一実施形態において、半導体チップのダイナミックアレイ・アーキテクチャ領域の定義方法のフローチャートを示す図である。

【図 2 7 A】本発明の一実施形態において、論理セルを定義する典型的な D A S を示す図である。

【図 2 7 B】本発明の一実施形態において、D A S 境界を超えて延びる D A S 構成要素を共有するように、互いに隣接して配置された図 2 7 A の D A S の多くの例を示す。

【図 2 8 A】本発明の一実施形態において、1 つまたは複数の機能的にインターフェース

10

20

30

40

50

されたダイナミックアレイ・セクションを有する半導体チップの設計方法のフローチャートを示す図である。

【図28B】本発明の一実施形態において、図28Aの方法のフローチャートの続きを示す図である。

【図28C】本発明の一実施形態において、図28Bの操作2809の展開を示す図である。

【図29A】本発明の一実施形態において、1つまたは複数の機能的にインターフェースされたダイナミックアレイ・セクションを有する半導体チップの設計方法のフローチャートを示す図である。

【図29B】本発明の一実施形態において、図29Aの操作2907の展開を示す図である。

【図30】本発明の一実施形態において、半導体チップのDAS設計方法のフローチャートを示す図である。

【図31】本発明の一実施形態において、半導体チップ上に製造されるダイナミックアレイ・セクションの定義方法のフローチャートを示す図である。

【図32】本発明の一実施形態において、1つまたは複数の機能的にインターフェースされたダイナミックアレイ・セクションを有する半導体チップの設計方法のフローチャートを示す図である。

【図33】本発明の一実施形態において、DAS内に定義された、隣接して配置された論理セルの第2の配線レベルにおける異なるフェイジングの例を示す図である。

【発明を実施するための形態】

【0010】

以下の説明において、本発明の理解を深めるために多くの詳細な説明が示される。しかし、これらの詳細な説明のいくつか又はすべてがなくても、本発明が実施されることが、当業者にとって明らかであろう。他の例では、本発明が不必要に不明確とならないように、よく知られたプロセス操作は、詳細に説明していない。

【0011】

一般的に、ダイナミックアレイ・アーキテクチャは、増加し続けるリソグラフィギャップに関連した半導体製造プロセス変動に取り組むために提供される。半導体製造の領域において、リソグラフィギャップは、定義付けされる形状の最小寸法と、リソグラフィプロセスの形状の定義付けに使用される光の波長との差として定義されるが、ここでは、形状寸法は光の波長よりも小さい。現在のリソグラフィプロセスは、波長が193nmの光を使用する。しかし、現在の形状寸法は65nmと小さく、近い将来45nmに達すると考えられる。寸法が65nmの場合、その形状は、形状を定義付けするのに使用される光の波長より3倍小さい。また、光の相互作用の範囲がおよそ5光波長であることを考えると、当然のことながら、193nmの光源で露光される形状は、およそ $5 * 193 \text{ nm}$ (1965nm)の形状の露光の影響から離される。90nm寸法形状に対して65nm寸法形状を考えたとき、当然のことながら、193nm光源の1965nmの相互作用範囲内に、90nm寸法形状と比較して、およそ2倍の数の65nm寸法形状が入るであろう。

【0012】

光源の相互作用範囲内の形状の数の増加により、所定の形状の露光に寄与する光の干渉の制限及び複雑性は、顕著である。さらに、光源の相互作用範囲の中にある形状に関連する特定の形状は、発生する光の相互作用の種類に大きく影響する。従来は、設計者は、1組のデザインルールが満たされていれば、どんな2次元トポロジの形状であっても、本来、定義することが許されていた。例えば、所定のチップの層(すなわち、所定のマスク)において、設計者は、お互いの周りを包む屈曲を持つ2次元の変化する形状を定義付けてもよい。このような2次元の変化する形状がお互いに隣接して配置されたとき、形状を露光するのに使用される光は、複雑に、通常は考えられない方法で相互作用するであろう。形状寸法と相対間隔が小さくなるにつれ、光の相互作用は、増加しつつ、より複雑かつ予期できないものとなる。

10

20

30

40

50

【0013】

従来は、設計者が確立したデザインルール・セットに従えば、その結果の製品は、デザインルール・セットと関連して一定の確率で量産可能であろう。言い換えると、デザインルール・セットに違反する設計にとって、結果としての製品の量産が成功する確率は未知である。隣の2次元の変化形状の間の複雑な光の相互作用と取り組むために、成功的な製品量産の興味において、2次元の変化形状の可能な組み合わせと適切に取り組むことにより、デザインルール・セットが大きく拡張される。拡張されたデザインルール・セットの適用が、おそらく、時間のかかるものとなり、高いものとなり、エラーを起こす傾向になり、この拡張されたデザインルール・セットは、すぐに複雑で扱いにくいものになる。例えば、拡張されたデザインルール・セットは、複雑な検証が必要とされる。また、拡張されたデザインルール・セットは、広く一般に適用できないであろう。さらに、すべてのデザインルールが満たされたとしても、量産歩留まりは保証されない。

10

【0014】

当然のことながら、任意の形をした2次元形状を描画するときのすべての光の相互作用の正確な予測は、一般に不可能であることがわかる。その上、拡張されたデザインルール・セットの代わりとして、または組み合わせるものとして、隣接する2次元の変化形状の間の予測できない光の相互作用を考慮に入れて増加させたマージンを含んで、デザインルール・セットもまた、修正されてもよい。なぜなら、デザインルールはランダムな2次元形状トポロジをカバーするために確立されたものであるので、デザインルールは、大量のマージンを含ませることができる。デザインルール・セットにおけるマージンの追加は、隣接する2次元の変化形状をレイアウト部分を含むのを助けるが、そのような全体的なマージンの追加は、隣接する2次元の変化形状を含まないレイアウトの他の部分に過剰設計を起こし、そして、チップ面積利用率と電気特性の最適化の減少を導くことになる。

20

【0015】

上記の観点から、半導体製造歩留まりは、設計依存の無拘束の形状トポロジ（すなわち、お互いに近接して置かれた任意の2次元の変化形状）により生成される不安定性から派生した特性上の欠陥の結果として減少する。一例として、これらの特性上の欠陥は、正確にプリントされたコンタクトとビアの欠陥、および製造プロセスの不安定性の結果であってもよい。製造プロセスの不安定性は、CMPのわん状変形、フォトリソグラフィによるレイアウト形状の歪み、ゲートの歪み、酸化膜厚さの不安定性、インプラントの不安定性、及び他の製造関連現象を含んでもよい。本発明によるダイナミックアレイ・アーキテクチャは、上記の半導体製造プロセスの不安定性に取り組むことを目的とする。

30

【0016】

図1は、本発明の一実施形態において、多くの隣接するレイアウト形状と、レイアウト形状のそれぞれの描画に使用される光強度の代表例を示す図である。特に、3つの隣接する線形レイアウト形状（101A - 101C）が、所定のマスク層の中で、実質的に平行関係に配列されたものとして描かれている。レイアウト形状からの光強度の分布は、シンク関数として表されている。シンク関数（103A - 103C）は、各レイアウト形状（101A - 101C、それぞれ）からの光強度の分布を表す。隣接する線形レイアウト形状（101A - 101C）は、シンク関数（103A - 103C）のピークに対応した位置に間隙を介して配置されている。隣接する線形レイアウト形状（101A - 101C）に関する光エネルギー間の建設的な干渉（すなわち、シンク関数（103A - 103C）のピーク）は、図示した間隔のあいたレイアウト形状にとって、隣接する形状（101A - 101C）の露光を補強するように働く。上記において、図1に示した光の相互作用は、同期の場合を示す。

40

【0017】

図1に示すように、線形レイアウト形状が適当な間隔を介して規則的な繰り返しパターンで定義付けされたとき、種々のレイアウト形状における光エネルギーの建設的な干渉は、それぞれのレイアウト形状の露光を増強するように働く。建設的な光の干渉によりもたらされたレイアウト形状の露光の増強は、レイアウト形状の十分な描画を得るための光近接

50

効果補正（OPC）及び／又はレティクル増強技術（RET）を使用する必要性を動的に減少し、排除さえすることができる。

【0018】

禁止されたピッチ（すなわち、禁止されたレイアウト形状間隔）は、隣接するレイアウト形状（101A - 101C）が、別のレイアウト形状と関連してシンク関数の谷を持つ1つのレイアウト形状配列に関してのシンク関数のピークのような間隔があるときに発生し、これにより光エネルギーの破壊的な干渉を発生する。光エネルギーの破壊的な干渉は、所定の場所が減少されるように焦点が合わせられた光エネルギーを発生させる。したがって、隣接するレイアウト形状に関して有益な建設的な光の干渉を実現するために、シンク関数のピークの構造的なオーバーラップが発生するような間隔が空けられたレイアウト形状を予測することが必要である。予期可能なシンク関数のピークの構造的なオーバーラップと関係するレイアウト形状の増強は、図1のレイアウト形状（101A - 101C）に示されるように、レイアウト形状が長方形、近似寸法、及び同一方向配向の場合に実現できる。このように、隣接するレイアウト形状からの共振光エネルギーは、特定のレイアウト形状の露光を増強するのに使用される。

10

【0019】

図2は、本発明の一実施形態において、ダイナミックアレイ・アーキテクチャを定義付けするのに使用されるレイアウトの積み重ねの概略を示す図である。当然のことながら、図2を参照して記述されるダイナミックアレイ・アーキテクチャを定義付けするのに使用される生成された層の積み重ねは、CMOS製造プロセスの網羅的な記述を表すことを意図するものではない。しかし、ダイナミックアレイは標準的なCMOS製造プロセスに基づいて構成されるものである。一般的に言って、ダイナミックアレイ・アーキテクチャは、下になるダイナミックアレイ構造の定義付けと、面積占有率と量産性の最適化のためのダイナミックアレイの組み立てのテクニックの両方を含む。したがって、ダイナミックアレイは、半導体製造可能性を最適化するために設計される。

20

【0020】

下にあるダイナミックアレイ構造の定義付けに関しては、ダイナミックアレイは、ベース基板201の上（すなわち、シリコン基板又はシリコンオンインシュレイタ（SOI）基板の上）の層手段で構成される。拡散領域203は、ベース基板201の電気的特性を変える目的で不純物が導入されたベース基板201の選択領域を表す。拡散領域203の上に、拡散領域203と導電体ラインの間の接続を可能にするための拡散コンタクト205が定義付けされている。例えば、拡散コンタクト205は、ソース及びドレイン拡散領域203とそれらに関する導電体ネットとの間の接続を可能にするものとして定義付けされる。また、ゲート電極形状207は、拡散領域203の上でトランジスタゲートを形成するものとして定義付けされる。ゲート電極コンタクト209は、ゲート電極形状207と導電体ラインとの間の接続を可能にするものとして定義付けされる。例えば、ゲート電極コンタクト209は、トランジスタゲートとそれらに関連する導電体ネットとの間の接続を可能にするものとして定義付けされる。

30

【0021】

配線層は、拡散コンタクト205層とゲート電極コンタクト209の上で定義付けされる。配線層は、第1メタル（メタル1）層211、第1ビア（ビア1）層213、第2メタル（メタル2）層215、第2ビア（ビア2）層217、第3メタル（メタル3）層219、第3ビア（ビア3）層221、及び第4メタル（メタル4）層223を含んでいる。メタル及びビア層は、所望の回路接続性の定義付けを可能にする。例えば、メタル及びビア層は、回路の論理機能が実現されるように、種々の拡散コンタクト205とゲート電極コンタクト209の間の電氣的接続を可能にする。当然のことながら、ダイナミックアレイ・アーキテクチャは、特定数の配線層（すなわち、メタル及びビア層）に制限されない。一実施形態において、ダイナミックアレイは、第4メタル（メタル4）層223を越えて追加の配線層225を含んでもよい。代わりに、別の実施形態では、ダイナミックアレイは、4つより少ないメタル層を含んでもよい。

40

50

【0022】

ダイナミックアレイは、定義付けされることが出来るレイアウト形状に関して、そのような層（拡散領域層203以外）が制限されるように定義付けされる。特に、拡散領域層203以外のそれぞれ層において、線形レイアウト形状のみが許される。所定の層の線形レイアウト形状は、一定の垂直断面形状を有し、基板を越えて単一方向に伸びるものとして特徴付けられる。したがって、線形レイアウト形状は、1次元変位の構成で定義付けされる。拡散領域203は、1次元変位であることは必要とされないが、必要であれば、それも許される。特に、基板の中の拡散領域203は、基板の上表面と一致した平面に関して2次元的に変化する形状を持つものとして定義付けられることが可能である。一実施形態において、拡散屈曲トポロジの数は、拡散内の屈曲と、トランジスタのゲート電極を形成する導電体メタル（例えば、ポリシリコン）の間の相互作用は、予期可能であり、正確にモデリングできるといように制限される。所定の層の線形レイアウト形状は、お互いに平行になるように配置される。したがって、所定の線形レイアウト形状は、基板にわたって共通の方向に、基板と平行に伸びる。種々の層207 - 223の線形形状の特定の構成と関連する必要性は、図3 - 15Cに関連してさらに説明される。

10

【0023】

下に横たわるレイアウトのダイナミックアレイの方法論は、所定の層の隣接する形の露光を強化するためのリソグラフィプロセスにおける光波の建設的な光の干渉を使用する。したがって、所定の層における平行な線形レイアウト形状の間隔は、リソグラフィ補正（例えば、OPC/RET）が最小化され、または排除されるような継続する光波の建設的な光の干渉の回りで設計される。したがって、従来のOPC/RETベース・リソグラフィプロセスと比較して、ここで定義されるダイナミックアレイは、隣接する形状の間の光の相互作用を補償するものではなく、隣接する形状の間の光の相互作用を活用するものである。

20

【0024】

所定の線形レイアウト形状の光定常波は、正確にモデル化できるため、所定の層に平行に配置された隣接する線形レイアウト形状に関する光定常波がどのように相互作用するかを予測することが可能である。したがって、ある線形形状を露光するのに使用される光定常波が、その隣の線形形状の露光にどのように寄与するかを予測することが可能である。隣接する線形形状の間の光の相互作用の予測は、所定の形を描画するのに使用される光がその隣の形を補強するであろう最適な形状 - 形状間スペーシングの識別を可能にする。所定の層の形状 - 形状間スペーシングは、形状ピッチとして定義される。ここで、ピッチとは、所定の層における隣接する線形形状の中心 - 中心間の分離距離である。

30

【0025】

隣接する形状間の所望の露光補強を提供するために、隣同士のすべての形状の最良の描画を生むように、隣接する形状からの建設的及び破壊的な光の干渉が最適化されるように、所定の層の線形レイアウト形状は、間隔を空けられる。所定の層の形状 - 形状間スペーシングは、その形状を露光するのに使用される光の波長に比例する。所定の形状から光の波長の約5倍の距離にある各形状を露光するのに使用される光は、ある程度、所定の形状の露光を補強するように働く。隣接する形状を露光するのに使用される光定常波の建設的な干渉の活用は、製造装置の能力を最大化し、リソグラフィプロセスの最中の関連する光の相互作用によって制限されないようにすることが可能になる。

40

【0026】

上述のとおり、ダイナミックアレイは、それぞれの層（拡散以外）の中の形状が、共通方向に向かって基板上を横断するように平行に配向された線形形状であることを必要とされるという限定的なトポロジを取り入れている。ダイナミックアレイの限定的なトポロジで、フォトリソグラフィプロセスの光の相互作用は、マスク上にプリントされた画像は本質的にレイアウトに描かれた形と一致するように最適化され得る（本質的に100%の正確さでレジスト上のレイアウトの変換が達成される）。

【0027】

50

図3Aは、本発明の一実施形態において、限定的なトポロジの定義付けを容易にするダイナミックアレイに投影される基本グリッドの一例を示す図である。基本グリッドは、ダイナミックアレイのそれぞれの層内の線形形状を、適切な最適化されたピッチで平行に配置することを容易にするのに使用することができる。ダイナミックアレイの部分として物理的に定義付けされていないが、基本グリッドは、ダイナミックアレイのそれぞれの層上に投影されるものとして考えることができる。また、基本グリッドは、ダイナミックアレイのそれぞれの層の位置に関して実質的に一致した手段で投影され、これにより形状の正確な積み重ねと位置あわせを容易にすることが理解されるにちがいない。

【0028】

図3Aの一実施形態において、基本グリッドは、第1参照方向(x)及び第2参照方向(y)に基づく長方形グリッド(すなわち、デカルト格子)として定義されている。第1参照方向及び第2参照方向におけるグリッド点-グリッド点間スペーシングは、必要に応じて、最適な形状-形状間スペーシングでの線形形状の定義付けを可能にするように定義される。また、第1参照方向(x)におけるグリッド点スペーシングは、第2参照方向(y)におけるグリッド点スペーシングと異なるようにしてもよい。一実施形態において、1つの基本グリッドは、全ダイをわたるそれぞれの層内の種々の線形形状の配置を可能にするために全ダイをわたって投影される。しかし、他の実施形態において、分離された基本グリッドは、ダイの分離された領域の中の異なる形状-形状間スペーシングの要求を支持するため、ダイの分離された領域にわたって投影されることができ。図3Bは、本発明の一実施形態において、ダイの分離領域にわたって投影される分離基本グリッドの一例を示す図である。

【0029】

基本グリッドは、光の相互作用機能を考慮して定義される(すなわち、シンク関数、及び製造能力。ここで、製造能力は、ダイナミックアレイの製造に利用される製造装置及びプロセスによって定義される。)。光の相互作用機能に関して、基本グリッドは、グリッド点間のスペーシングが、隣接するグリッド点の上に投影される光エネルギーを示すシンク関数のピークの位置合わせを可能にするように定義される。したがって、リソグラフィック補強用に最適化された線形形状は、第1グリッド点から第2グリッド点までラインを描くことによって明示することができる。ここで、ラインは、所定の幅の長方形構造を表す。当然のことながら、それぞれの層の種々の線形形状は、基本グリッド上のそれらの終点位置とそれらの幅によって明示することができる。

【0030】

図3Cは、本発明の一実施形態において、ダイナミックアレイに適合するように定義付けされた線形形状301の一例を示す図である。線形形状301は、幅303及び高さ307で定義される実質的に長方形の断面を持つ。線形形状301は、長さ305方向に直線的に伸びている。一実施形態において、幅303及び高さ307で定義された線形形状の断面は、実質的にその長さ305に沿って一定である。しかし、当然のことながら、リソグラフィック効果は、線形形状301の終端の丸めを起こしていてもよい。図3Aの第1参照方向(x)及び第2参照方向(y)は、それぞれ、ダイナミックアレイ上の線形形状の配向の一例を図示している。当然のことながら、線形形状は、第1参照方向(x)、第2参照方向(y)、及び第1及び第2参照方向(x)、(y)に基づいて定義される対角線方向のいずれかに伸びた長さ305を持つように配向されていてもよい。第1及び第2参照方向(x)、(y)に基づく線形形状の特定の配向にかかわらず、当然のことながら、線形形状は、ダイナミックアレイが構成される基板の上の表面と実質的に平行な平面で定義される。また、当然のことながら、線形形状は、屈曲(すなわち、第1及び第2参照方向で定義された平面の方向の変化)がない。

【0031】

図3Dは、本発明の一実施形態において、ダイナミックアレイに適合するように定義付けされた線形形状317の別の一例を示す図である。線形形状317は、底辺幅313、上辺幅315、及び高さ309で定義される台形の断面を持っている。線形形状317は

、長さ 3 1 1 の直線方向に伸びている。一実施形態において、線形形状 3 1 7 の断面は、長さ 3 1 1 に沿って実質的に均一である。しかし、当然のことながら、リソグラフィック効果は、線形形状 3 1 7 の終端の丸めを起こしていてもよい。図 3 A の第 1 参照方向 (x) 及び第 2 参照方向 (y) は、それぞれ、ダイナミックアレイ上の線形形状の配向の一例を図示している。当然のことながら、線形形状 3 1 7 は、第 1 参照方向 (x)、第 2 参照方向 (y)、及び第 1 及び第 2 参照方向 (x)、(y) に基づいて定義される対角線方向のいずれかに伸びた長さ 3 1 1 を持つように配向されていてもよい。第 1 及び第 2 参照方向 (x)、(y) に基づく線形形状 3 1 7 の特定の配向にかかわらず、当然のことながら、線形形状 3 1 7 は、ダイナミックアレイが構成される基板の上の表面と実質的に平行な平面で定義される。また、当然のことながら、線形形状 3 1 7 は、屈曲 (すなわち、第 1 及び第 2 参照方向で定義された平面の方向の変化) がない。

10

【 0 0 3 2 】

図 3 C 及び図 3 D は、長方形及び台形の断面を持つ線形形状を明示的に説明するが、それぞれ、当然のことながら、他のタイプの断面を持つ線形形状がダイナミックアレイの中で定義されることが可能である。したがって、一方向に伸びる長さを持ち、第 1 参照方向 (x)、第 2 参照方向 (y)、及び第 1 及び第 2 参照方向 (x)、(y) に基づいて定義される対角線方向のいずれかに伸びた長さを持つように配向されるものとして線形形状が定義される限り、本質的にすべての、線形形状の適合した断面形状の使用が可能である。

【 0 0 3 3 】

ダイナミックアレイのレイアウトアーキテクチャは、基本グリッドパターンに従う。したがって、拡散内の方向変化が発生する場所、ゲート電極及びメタルの線形形状が配置される場所、コンタクトが配置される場所、線形形状のゲート電極とメタル形状内のオープンの場所などを表すのにグリッド点を使用することが可能である。グリッド点のピッチ (すなわち、グリッド点 - グリッド点間スペーシング) は、隣接する所定の形状のライン幅の線形形状の露光が、お互いに補強するように、所定の形状のライン幅 (例えば、図 3 C の幅 3 0 3) に設定されるべきである。ここでは、線形形状の中心はグリッド点上にある。図 2 のダイナミックアレイの積み重ねと、図 3 A の基本グリッドの一例に関して、一実施形態では、第 1 参照方向 (x) のグリッド点スペーシングは、必要なゲート電極のゲートピッチによって設定される。この同じ実施形態において、第 2 参照方向 (y) のグリッド点ピッチは、メタル 1 及びメタル 3 のピッチにより設定される。例えば、9 0 n m プロセス技術において (すなわち、最小形状寸法が 9 0 n m に等しい)、第 2 参照方向 (y) のグリッド点ピッチは約 0 . 2 4 ミクロンである。一実施形態において、メタル 1 及びメタル 2 層は、共通のスペーシング及びピッチを持つであろう。異なるスペーシング及びピッチは、メタル 2 層の上で使用されることが可能である。

20

30

【 0 0 3 4 】

ダイナミックアレイの種々の層は、隣接する層の線形形状が、それぞれお互いに交差するように伸びるように定義付けされる。例えば、隣接する層の線形形状が直交して (お互いに垂直に) 伸びることが可能である。また、1 つの層の線形形状が、隣接する層の線形形状に対してある角度を持って (例えば、4 5 度で) 横切って伸びることが可能である。例えば、一実施形態において、1 つの層の線形形状が第 1 参照方向 (x) に伸び、隣接する層の線形形状が、第 1 参照方向 (x) 及び第 2 参照方向 (y) に対して対角線方向に伸びる。当然のことながら、隣接する層の直交する線形形状の配置を持つダイナミックアレイの配線接続設計のために、オープンは、線形形状で定義付けすることが可能であり、コンタクト及びビアは必要に応じて定義付けされる。

40

【 0 0 3 5 】

ダイナミックアレイは、予測できないリソグラフィの相互作用を排除するために、ケイアウト形状の屈曲の使用を最小化する。特に、O P C 又は他の R E T プロセスに先立って、ダイナミックアレイは、デバイス寸法の制御を可能にするため拡散層の屈曲を許すが、拡散層の上の層についての屈曲は許されない。拡散層の上のそれぞれの層のレイアウト形状は、直線的な形であり (例えば、図 3 C)、お互いに平行の関係で配置される。レイア

50

ウト形状の直線的な形と平行配置は、建設的な光の干渉の予測性が量産性を確保するために必要であるところのダイナミックアレイのそれぞれの積み重ね層で実現される。一実施形態において、レイアウト形状の直線的な形と平行配置は、拡散の上のメタル2を介したそれぞれの層で、ダイナミックアレイで実現される。メタル2の上では、レイアウト形状は、量産性を確実にするのに建設的な光の干渉が必要とされない十分な寸法及び形であってもよい。しかし、メタル2の上の描かれたレイアウト形状内の建設的な光の干渉の存在は、有益であるだろう。

【0036】

図4から図14に、拡散からメタル2までのダイナミックアレイ層の積み上げの一例が示されている。当然のことながら、図4から図14に示されたダイナミックアレイは、一例としてのみ表したものであり、ダイナミックアレイ・アーキテクチャの限定を示唆するものではない。ダイナミックアレイは、すべての集積回路設計を本質的に定義付けするために、ここで示された原理に従って使用されることが可能である。

10

【0037】

図4は、本発明の一実施形態において、ダイナミックアレイの一例の拡散層レイアウトを示す図である。図4の拡散層は、p型拡散領域401とn型拡散領域403を示す。拡散領域は、下にある基本グリッドにより定義付けされるが、拡散領域は、拡散層の上の層についての線形形状の制限に従わなければならないものではない。拡散領域401及び403は、拡散コンタクトが配置されるように定義付けされた拡散四角405を含む。拡散領域401及び403は、外来のジョグ又はコーナを含まない。したがって、リソグラフィ解像度の使用が改良され、より正確なデバイス抽出の可能になる。さらに、n+マスク領域(412及び416)及びp+マスク領域(410及び414)が、(x)、(y)グリッド上に、外来のジョグ又はノッチのない矩形として定義付けされている。この様式は、より大きな拡散領域の使用を可能とし、OPC/RETの必要性を排除し、より低い解像度及びより低いコストのリソグラフィ装置の使用を可能とする(例えば、365nmのiライン照明など)。当然のことながら、図4に描かれた、n+マスク領域416及びp+マスク領域410は、ウェル-バイアスを使用しない一実施形態のものである。ウェル-バイアスを使用する別の実施形態では、図4に示されたn+マスク領域416は、実際はp+マスク領域として定義付けされる。また、この別の実施形態では、図4に示されたp+マスク領域410は、実際はn+マスク領域として定義付けされる。

20

30

【0038】

図5は、本発明の一実施形態において、ゲート電極層と、図4の拡散層の上及び隣の拡散コンタクト層を示す図である。CMOS技術の当業者が理解できるように、ゲート電極形状501は、トランジスタゲートを定義付けしている。ゲート電極形状501は、第2参照方向(y)に、ダイナミックアレイをわたって平行関係で伸びる線形形状として定義付けされている。一実施形態において、ゲート電極形状501は、共通の幅を持つように定義付けされている。しかし、別の実施形態では、1つ以上のゲート電極形状が、異なる幅を持つものとして定義付けされることが可能である。例えば、図5は、他のゲート電極形状501と比較して、より広い幅を持つゲート電極形状501Aを示している。ゲート電極形状501のピッチ(中心-中心間スペーシング)は、リソグラフィック補強(すなわち、隣接するゲート電極形状501による共振画像化)の最適化を確実にする間、最小化される。説明目的のために、ダイナミックアレイをわたって所定のラインを伸びるゲート電極形状501は、ゲート電極トラックとして参照される。

40

【0039】

ゲート電極形状501は、拡散領域403及び401を横切って、それぞれnチャンネル及びpチャンネルトランジスタを形成する。ゲート電極形状501の光学的プリントは、いくつかのグリッド位置には拡散領域が存在しないにもかかわらず、すべてのグリッド位置にゲート電極形状501を描くことによって達成される。また、長く続くゲート電極形状501は、ダイナミックアレイの内部にあるゲート電極形状の終端でのライン終端ショート効果を改良する傾向にある。さらに、ゲート電極形状プリントは、ゲート電極形状

50

501からすべての屈曲をなくすことで、顕著に改良される。

【0040】

ゲート電極トラックのそれぞれは、特定の論理機能を実現するための必要な電気接続を設けるために、ダイナミックアレイを横切る直線的な横断で、何回も割り込まれる（すなわち、中断される）であろう。所定のゲート電極トラックに割り込みが必要なとき、割り込み位置におけるゲート電極トラックセグメントの終端間の分離は、製造能力及び電気的効果を可能なかぎり考慮に入れて最小化される。一実施形態において、光学的製造可能性は、共通の終端 - 終端間スペーシングが特定の層の中の形状間で使用されたときに、達成される。

【0041】

割り込み位置におけるゲート電極トラックセグメントの終端間の分離の最小化は、隣接するゲート電極トラックから供給されるリソグラフィの補強及び均一性の最大化に役立つ。また、一実施形態において、隣接するゲート電極トラックに割り込みが必要な場合、隣接するゲート電極トラックの割り込みは、可能な限り、隣接する割り込み位置が発生するのを避けるように、それぞれの割り込み位置がお互いに相殺されるように行われる。特に、隣接するゲート電極トラックの中の割り込み位置が、見えるラインが割り込み位置を通して存在しないように、それぞれ配置される。ここで、見えるラインは、基板にわたって伸びるゲート電極トラックの方向と垂直に伸びるものと考えられる。さらに、一実施形態において、ゲート電極は、セル（すなわち、PMOS又はNMOSセル）のトップとボトム境界の境界を通して伸びることが可能である。この実施形態は、隣接するセルの橋渡しを可能とするであろう。

【0042】

さらに図5により、拡散コンタクト503は、それぞれの拡散四角405で、共振画像に対する拡散コンタクトのプリントを向上させるものとして定義付けられる。拡散四角405は、拡散コンタクト503のパワー及びグラウンド・コネクション・ポリゴンのプリントを向上させるため、すべての拡散コンタクト503の周りに存在する。

【0043】

ゲート電極形状501及び拡散コンタクト503は、共通のグリッドスペーシングを分け合っている。特に、ゲート電極形状501の配置は、拡散コンタクト503に関連して2分の1グリッドスペーシングにより相殺される。例えば、ゲート電極形状501と拡散コンタクト503のグリッドスペーシングが $0.36\mu\text{m}$ であり、拡散コンタクトの中心のx座標が $0.36\mu\text{m}$ の整数倍の位置にあるように拡散コンタクトが配置されている場合、ゲート電極形状501のそれぞれの中心のx座標引く $0.18\mu\text{m}$ は、 $0.36\mu\text{m}$ の整数倍であるべきである。本実施形態では、x座標は、以下のように表される：

拡散コンタクトの中心のx座標 = $I * 0.36\mu\text{m}$, ここでIはグリッド番号；

ゲート電極形状の中心のx座標 = $0.18\mu\text{m} + I * 0.36\mu\text{m}$,

ここでIはグリッド番号。

【0044】

ダイナミックアレイのグリッドベースシステムは、すべてのコンタクト（拡散及びゲート電極）が、拡散コンタクトのグリッドの半分の倍数に等しい水平グリッド、及びメタル1ピッチによって設定される垂直グリッドの上に乗ることを確実にする。上記の例において、ゲート電極形状及び拡散コンタクトのグリッドは、 $0.36\mu\text{m}$ である。拡散コンタクト及びゲート電極コンタクトは、 $0.18\mu\text{m}$ の倍数の垂直グリッドの上に乗る。また、 90nm プロセス技術の垂直グリッドは、およそ $0.24\mu\text{m}$ である。

【0045】

図6は、本発明の一実施形態において、図5のゲート電極層の上及び隣に定義付けされたゲート電極コンタクト層を示す図である。ゲート電極コンタクト層において、ゲート電極コンタクト601は、上にあるメタル導電ラインへゲート電極形状501を接続することを可能にするように描かれている。一般に、デザインルールは、ゲート電極コンタクト601の最適な配置を規定するであろう。一実施形態において、ゲート電極コンタクトは

、トランジスタのエンドキャップ領域の上部に描かれる。デザインルールが長いトランジスタ・エンドキャップを明記しているとき、この実施形態は、ダイナミックアレイ内のホワイトスペースを最小化する。いくつかのプロセス技術において、ホワイトスペースは、セルの多くのゲート電極コンタクトをそのセルの中心に配置することにより、最小化することができる。また、当然のことながら本発明において、ゲート電極コンタクト601は、ゲート電極コンタクト601とゲート電極形状501の間のオーバーラップを確実にするために、ゲート電極形状501と垂直の方向にオーバーサイズされている。

【0046】

図7Aは、ゲート電極（例えば、ポリシリコン形状）のコンタクトを作る従来のアプローチを示す図である。図7Aの従来の構成において、拡大化された矩形のゲート電極領域707は、ゲート電極コンタクト709が置かれるところに定義付けされる。拡大化された矩形のゲート電極領域707は、ゲート電極内に屈曲距離705を生み出す。拡大化された矩形のゲート電極領域707における屈曲は、望ましくない光の相互作用を起こし、ゲート電極ライン711をゆがめる。ゲート電極ライン711の歪みは、特に、ゲート電極の幅がトランジスタ長とほぼ等しいときに問題になる。

【0047】

図7Bは、本発明の一実施形態により定義付けされるゲート電極コンタクト601（例えば、ポリシリコンコンタクト）を示す図である。ゲート電極コンタクト601は、ゲート電極形状501のエッジをオーバーラップするように描かれており、ゲート電極形状501と実質的に垂直な方向に伸びている。一実施形態において、ゲート電極コンタクト601は、垂直寸法703が、拡散コンタクト503で使用される垂直寸法と同じになるように描かれている。例えば、拡散コンタクト503のオープニングが $0.12\mu\text{m}$ 四角であるように指定されている場合、ゲート電極コンタクト601の垂直寸法は $0.12\mu\text{m}$ で描かれる。しかし、他の実施形態では、垂直寸法703が拡散コンタクト503で使用される垂直寸法と異なるように、ゲート電極コンタクト601は描かれることが可能である。

【0048】

一実施形態において、ゲート電極形状501を越えたゲート電極コンタクト601の伸長701は、ゲート電極コンタクト601とゲート電極形状501の間で最大のオーバーラップが達成されるように設定される。伸長701は、ゲート電極コンタクト601のライン終端ショート、及びゲート電極コンタクト層とゲート電極形状層との間のミスアライメントを配慮して定義付けされる。ゲート電極コンタクト601の長さは、ゲート電極コンタクト601とゲート電極形状501の間の最大の表面領域コンタクトを確実にするように定義付けされる。ここで、最大の表面領域コンタクトは、ゲート電極形状501の幅によって定義付けされる。

【0049】

図8Aは、本発明の一実施形態において、図6のゲート電極コンタクト層の上に定義付けされたメタル1層を示す図である。メタル1層は、ダイナミックアレイをわたって平行関係で伸びた線形形状を含むように定義付けされた多くのメタル1トラック801-821を含んでいる。メタル1トラック801-821は、下に横たわる図5のゲート電極層内のゲート電極形状501と実質的に垂直な方向に伸びている。したがって、本実施形態において、メタル1トラック801-821は、ダイナミックアレイをわたって第1参照方向(x)に直線的に伸びている。隣接するメタル1トラック801-821によってもたらされるリソグラフィの補強（すなわち、共振画像）の最適化を確実にすると同時に、メタル1トラック801-821のピッチ（中心-中心間スペーシング）は、最小化される。例えば、一実施形態において、メタル1トラック801-821は、 90nm プロセス技術では、約 $0.24\mu\text{m}$ の垂直グリッドに中心が合わせられている。

【0050】

メタル1トラック801-821のそれぞれは、特定の論理機能を実現するための必要な電気接続を設けるために、ダイナミックアレイを横切る直線的な横断で、何回も割り込

10

20

30

40

50

まれて(すなわち、中断されて)いてもよい。所定のメタル1トラック801-821が割り込まれることが必要なとき、割り込みの位置におけるメタル1トラックセグメントの終端間の分離は、可能なかぎり、製造能力と電氣的影響を考慮して最小化される。割り込みの位置におけるメタル1トラックセグメントの終端間の分離の最小化は、隣接するメタル1トラックによってもたらされるリソグラフィの補強、及び均一性を最大化するのに役立つ。また、一実施形態において、隣接するメタル1トラックが割り込まれることが必要なとき、隣接するメタル1トラックの割り込みは、割り込みの隣接する位置の発生を可能な限り避けるように、割り込みのそれぞれの位置がお互いに相殺されるように行われる。特に、隣接するメタル1トラックの中の割り込みの位置は、それぞれ、見えるラインが割り込みの位置を通して存在しないように配置される。ここで、見えるラインは、基板の上を伸びるメタル1トラックの方向と垂直に伸びるものと考えられる。

10

【0051】

図8Aの例において、メタル1トラック801はグランドに接続されており、メタル1トラック821は電源電圧に接続されている。図8Aの実施形態において、メタル1トラック801及び821の幅は、他のメタル1トラック803-819と同じである。しかし、別の実施形態において、メタル1トラック801及び821の幅は、他のメタル1トラック803-819の幅より大きい。図8Bは、他のメタル1トラックにおいて、他のメタル1トラック803-819と比較して、メタル1のグランド及び電源のトラックのためのより幅の広いトラック(801A及び821A)を有する図8Aのメタル1層を示す図である。

20

【0052】

メタル1トラック・パターンは、“ホワイトスペース”(トランジスタによって占められていないスペース)の使用を最適化するように最適に構成されている。図8Aの例は、2つに分配されたメタル1トラック801及び821と、9つのメタル1信号トラック803-819を含んでいる。メタル1トラック803, 809, 811及び819は、ホワイトスペースを最小化するためのゲート電極コンタクトトラックとして定義付けされる。メタル1トラック805及び807は、nチャンネルトランジスタのソース及びドレインに接続するように定義付けされる。メタル1トラック813, 815及び817は、pチャンネルトランジスタのソース及びドレインに接続するように定義付けされる。また、9つのメタル1信号トラック803-819は、接続が必要でない場合は、いずれもフィードスルーとして使用することができる。例えば、メタル1トラック813及び815は、フィードスルー接続として構成されている。

30

【0053】

図9は、本発明の一実施形態において、図8Aのメタル1層の上及び隣に定義付けされたビア1層を示す図である。ビア901は、メタル1トラック801-821のより高いレベルの導電ラインへの接続を可能にするビア1層で定義付けされる。

【0054】

図10は、本発明の一実施形態において、図9のビア1層の上及び隣に定義付けされたメタル2層を示す図である。メタル2層は、ダイナミックアレイをわたって平行関係に伸びた線形形状として定義付けされた多くのメタル2トラック1001を含む。メタル2トラック1001は、下に横たわる図8Aのメタル1層のメタル1トラック801-821と実質的に垂直な方向に、及び下に横たわる図5のゲート電極層のゲート電極トラック501と実質的に平行な方向に、伸びている。したがって、本実施形態において、メタル2トラック1001は、ダイナミックアレイを横切って第2参照方向(y)に直線的に伸びている。

40

【0055】

隣接するメタル2トラックによりもたらされるリソグラフィ補強(すなわち、共振画像)の最適化を確実にすると同時に、メタル2トラック1001のピッチ(中心-中心間スペーシング)は最小化される。当然のことながら、ゲート電極及びメタル1層の実現方法と同様にして、より高いレベルの配線層で規則性が維持される。一実施形態において、ゲ

50

ート電極形状501のピッチと、メタル2トラックのピッチは、同じである。別の実施形態において、コンタクトされたゲート電極のピッチ（例えば、間に拡散コンタクトを有するポリシリコン - ポリシリコン間スペース）は、メタル2トラックのピッチより大きい。この実施形態において、メタル2トラックのピッチは、コンタクトされたゲート電極のピッチの2/3又は3/4になるように最適に設定される。したがって、この実施形態において、ゲート電極トラックとメタル2トラックは、2つのゲート電極トラック・ピッチごと、及び3つのメタル2トラック・ピッチごとに位置合わせする。例えば、90nmプロセス技術において、コンタクトされたゲート電極トラックの最適なピッチは、0.36 μ mであり、メタル2トラックの最適なピッチは、0.24 μ mである。別の実施形態において、ゲート電極トラック及びメタル2トラックは、3つのゲート電極ピッチごと、及び4つのメタル2ピッチごとに位置合わせする。例えば、90nmプロセス技術において、コンタクトされたゲート電極トラックの最適なピッチは、0.36 μ mであり、メタル2トラックの最適なピッチは、0.27 μ mである。

10

20

30

40

50

【0056】

メタル2トラック1001のそれぞれは、特定の論理機能を実現するための必要な電気接続を設けるために、ダイナミックアレイを横切る直線的な横断で、何回も割り込まれる（すなわち、中断される）ことが可能である。所定のメタル2トラック1001が割り込まれることが必要なとき、割り込みの位置におけるメタル2トラックセグメントの終端間の分離は、可能なかぎり、製造能力と電気的影響を考慮して最小化される。割り込みの位置におけるメタル2トラックセグメントの終端間の分離の最小化は、隣接するメタル2トラックによってもたらされるリソグラフィの補強、及び均一性を最大化するのに役立つ。また、一実施形態において、隣接するメタル2トラックが割り込まれることが必要なとき、隣接するメタル2トラックの割り込みは、割り込みの隣接する位置の発生を可能な限り避けるように、割り込みのそれぞれの位置がお互いに相殺されるように行われる。特に、隣接するメタル2トラックの中の割り込みの位置は、それぞれ、見えるラインが割り込みの位置を通して存在しないように配置される。ここで、見えるラインは、基板の上を伸びるメタル2トラックの方向と垂直に伸びるものと考えられる。

【0057】

上述のとおり、ゲート電極層の上の所定のメタル層の導電ラインは、第1参照方向（x）又は第2参照方向（y）のどちらかに一致した方向に、ダイナミックアレイを横断してもよい。当然のことながら、ゲート電極層の上の所定のメタル層の導電ラインは、第1参照方向（x）及び第2参照方向（y）に対して対角線方向にダイナミックアレイを横断してもよい。図11は、本発明の一実施形態において、第1及び第2参照方向（x）及び（y）に対して第1対角線方向にダイナミックアレイを横断する導電体トラック1101を示す図である。図12は、本発明の一実施形態において、第1及び第2参照方向（x）及び（y）に対して第2対角線方向にダイナミックアレイを横断する導電体トラック1201を示す図である。

【0058】

メタル1及びメタル2トラックについて上述したように、図11及び図12の対角線方向に横断する導電体トラック1101及び1201は、特定の論理機能を実現するための必要な電気接続を設けるために、ダイナミックアレイを横切る直線的な横断で、何回も割り込まれる（すなわち、中断される）ことが可能である。対角線状に横断する所定の導電体トラックが割り込まれることが必要なとき、割り込みの位置における対角線状導電体トラックの終端間の分離は、可能なかぎり、製造と電気的效果を考慮して最小化される。割り込みの位置における対角線状導電体トラックの終端間の分離の最小化は、隣接する対角線状導電体トラックによってもたらされるリソグラフィの補強、及び均一性を最大化するのに役立つ。

【0059】

ダイナミックアレイの中の最適なレイアウト密度は、以下のデザインルールの実行によって、達成される：

- ・少なくとも2つのメタル1トラックがnチャンネルデバイス領域を横切って設けられる；
- ・少なくとも2つのメタル1トラックがpチャンネルデバイス領域を横切って設けられる；
- ・少なくとも2つのゲート電極トラックがnチャンネルデバイスに設けられる；及び
- ・少なくとも2つのゲート電極トラックがpチャンネルデバイスに設けられる。

【0060】

コンタクト及びビアは、リソグラフィの観点から、もっとも困難なマスクになっている。これは、コンタクト及びビアが、より小さくなり、間隔がより近くなり、ランダムに分散されていることによるものである。カット（コンタクト又はビア）のスペーシング及び密集化は、形状を確実にプリントすることを極端に困難にする。例えば、隣接形状からの破壊的な干渉縞、又は孤立した形状のエネルギー不足により、カット形状が不適切にプリントされてもよい。カットが適切にプリントされた場合、関連するコンタクト又はビアの製造歩留まり極めて高くなる。サブ解像度コンタクトは、そのサブ解像度コンタクトが消散しない限り、実在のコンタクトの露光を補強することができる。また、サブ解像度コンタクトは、それらが、リソグラフィプロセスの解像度の能力より小さい限り、どんな形状も持つことができる。

10

【0061】

図13Aは、本発明の一実施形態において、リソグラフィ補強の拡散コンタクト及びゲート電極コンタクトに使用されるサブ解像度コンタクトレイアウトの一例を示す図である。サブ解像度コンタクト1301は、それらがリソグラフィシステムの解像度より下であるように描かれ、プリントされない。サブ解像度コンタクト1301の機能は、共振画像を通じて、所望のコンタクト位置（例えば、503、601）の光エネルギーを増加させるものである。一実施形態において、ゲート電極コンタクト601及び拡散コンタクト503の両方がリソグラフィ補強されるようなグリッドに、サブ解像度コンタクト1301が置かれる。例えば、ゲート電極コンタクト601及び拡散コンタクト503の両方に良い影響を与えるように、サブ解像度コンタクト1301は、拡散コンタクト503のグリッドスペーシングの2分の1と等しくなるようなグリッド上に置かれる。一実施形態において、サブ解像度コンタクト1301の垂直方向のスペーシングは、ゲート電極コンタクト601及び拡散コンタクト503の垂直方向のスペーシングに従う。

20

30

【0062】

図13Aのグリッド位置1303は、隣接しているゲート電極コンタクト601の間の位置を指示する。製造プロセスにおけるリソグラフィのパラメータによっては、このグリッド位置でのサブ解像度コンタクト1301が、2つの隣接しているゲート電極コンタクト601の間の望ましくないブリッジを生成する可能性がある。ブリッジングが起こりそうであるなら、位置1303でのサブ解像度コンタクト1301を省くことができる。図13Aは、サブ解像度コンタクトが実在する形状に隣接して置かれて、消散されてどこにもないところの実施形態を示すが、当然のことながら、別の実施形態によって、グリッドを満たすために、利用可能なそれぞれのグリッド位置にサブ解像度コンタクトを置くことが可能である。

40

【0063】

図13Bは、本発明の一実施形態において、可能な範囲内でグリッドを満たすように定義付けされたサブ解像度のコンタクトを有する図13Aのサブ解像度コンタクトレイアウトを示す図である。当然のことながら、図13Bの実施形態は、可能な範囲内で、サブ解像度コンタクトでグリッドを満たしているが、完全に消散する隣接する形状の間における望ましくないブリッジングが潜在的に発生する位置に、サブ解像度コンタクトを配置するのを避けている。

【0064】

図13Cは、本発明の一実施形態において、種々の形状をしたサブ解像度コンタクトを利用したサブ解像度コンタクトレイアウトの一例を示す図である。サブ解像度コンタクト

50

が製造プロセスの解像度の能力より下である限り、別のサブ解像度コンタクト形状を利用することができる。図13Cは、隣接するコンタクトのコーナに光エネルギーの焦点を合わせるために“X形状”サブ解像度コンタクト1305を使用することを示している。一実施形態において、X形状サブ解像度コンタクト1305の終端は、隣接するコンタクトのコーナにおける光エネルギーの堆積をさらに高めるために伸びている。

【0065】

図13Dは、本発明の一実施形態において、サブ解像度コンタクトを有する交互位相シフトマスク（APSM）の一例を示す図である。図13Aのように、サブ解像度コンタクトは、拡散コンタクト503及びゲート電極コンタクト601をリソグラフィ的に補強するのに利用される。APSMは、隣接形状が破壊的な干渉縞を生成するときに、解像度を改良するのに使用される。APSM技術は、マスクを通して隣接形状に移動する光の位相が180度位相ずれるようにマスクを修正する。この位相シフトは、破壊的な干渉を排除し、コンタクト密度をより高めるのに役立つ。一例として、プラス“+”印でマークされた図13Dのコンタクトは、第1位相の光波で露光されるコンタクトを表し、マイナス“-”印でマークされたコンタクトは、“+”印のコンタクトで使用される第1位相に対して180度位相がシフトされた光波で露光されるコンタクトを表している。当然のことながら、APSM技術は、隣接するコンタクトがお互いに分離されるのを確実にするために利用される。

【0066】

形状寸法が小さくなるに従い、半導体のダイは、より多くのゲートを含むことが可能になる。しかし、より多くのゲートが含まれるのに従い、配線層の密度によって、ダイ寸法が決定されるようになる。配線層におけるこの増大する需要は、配線層の高レベル化を牽引する。しかし、配線層の積み重ねは、下に横たわる層のトポロジにより部分的に制限される。例えば、配線層が積み重ねられると、島、隆起、及び溝が発生し得る。これらの島、隆起、及び溝は、それらを横切る配線ラインの遮断を引き起こすおそれがある。

【0067】

これらの島及び溝を軽減するために、半導体製造プロセスは、実質的に平坦な表面上に各配線層が後から堆積された半導体ウェハの表面を機械的に及び化学的に磨く化学的機械研磨（CMP）処理を利用する。フォトリソグラフィプロセスと同じように、CMPプロセスの品質は、レイアウトパターンに依存する。特に、ダイ又はウェハを横断するレイアウト形状の平坦でない分布によって、ある場所では除去されるのには多すぎる材料があり、他の場所では除去されるには十分な材料がないということになり、これにより、配線厚さの変動が発生し、配線層の容量及び抵抗で許容できない変動が発生し得る。配線層内の容量及び抵抗の変動は、設計欠陥の原因となるクリティカルネットのタイミングを変えてもよい。

【0068】

ディッシングを避けて中心-端間の均一性を改良するために、実質的に均一なウェハトポロジが提供されるように、配線の形状がない領域内にダミーフィルが追加されることを、CMPプロセスは要求する。従来は、ダミーフィルは、設計の後に配置された。したがって、従来のアプローチにおいて、設計者はダミーフィルの特性を知らなかった。その結果、設計の後に置かれたダミーフィルは、設計者によって評価されていないため、設計特性に悪影響を及ぼすことがある。ダミーフィルの前の従来のトポロジは無拘束である（すなわち、均一ではない）ので、設計後のダミーフィルは均一にならず、予測不可能である。したがって、従来のプロセスでは、ダミーフィル領域と隣接する活性ネットの間の容量性カップリングは、設計者には予測不可能である。

【0069】

前述のように、ここで開示されたダイナミックアレイは、すべての配線トラックをゲート電極層から上方向に最大限に満たすことにより、最適な規則性を提供する。1つの配線トラック内に複数のネットが必要な場合、配線トラックは、最小限に間隔を空けて分けられる。例えば、図8Aのメタル1導電ラインを表すトラック809は、それぞれのネット

10

20

30

40

50

が特定のトラックセグメントに一致する、同じトラック内に分離された3つのネットを表している。特に、トラックセグメント間の最適なスペーシングでトラックを満たす2つのポリコンタクトネットと1つのフローティングネットがある。トラックを事実上完全に満たすことは、ダイナミックアレイをわたって共振画像を生成する規則的なパターンを維持する。また、最大限に満たされた配線トラックを持つダイナミックアレイの規則正しい構造は、ダイを横断して均等にダミーフィルが配置されることを確実にする。ダイナミックアレイの規則的な構造は、CMPプロセスがダイ/ウェハをわたって実質的に均一な結果をもたらすことを助ける。また、ダイナミックアレイの規則的なゲートパターンは、ゲートエッチングの均一性(マイクロローディング)を助ける。さらに、最大限に満たされた配線トラックと組み合わせられたダイナミックアレイの規則的な構造は、設計段階の間及び製造に先立って、最大限に満たされたトラックについての容量性のカップリング効果を設計者が解析するのを可能にする。

10

20

30

40

50

【0070】

ダイナミックアレイは、それぞれのマスク層において、線形形状の寸法及びスペーシング(すなわち、トラック及びコンタクト)を設定するので、ダイナミックアレイの設計は、製造設備及びプロセスの最大能力に合わせて最適化することができる。すなわち、ダイナミックアレイは、拡散の上のそれぞれの層の規則的な構造で制限されているので、製造者は、規則的な構成の特定の特徴のための製造プロセスを最適化することが可能である。当然のことながら、ダイナミックアレイで、製造者は、従来の制約のないレイアウトに存在するような、広範囲に変化する任意形状のレイアウト形状の組み合わせの製造調整をすることを気にする必要がない。

【0071】

製造装置の能力が最適化され得る方法の一例を以下に示す。メタル2のピッチが280nmである90nmプロセスについて考える。この280nmのメタル2ピッチは、装置の最大能力によって設定されない。むしろ、この280nmのメタル2ピッチは、ビアのリソグラフィによって設定される。ビアのリソグラフィの問題が除去されることにより、装置の最大能力は、約220nmのメタル2ピッチを可能にする。したがって、メタル2ピッチのデザインルールは、ビアリソグラフィの予期できない光の相互作用を考慮して、約25%のマージンを含む。

【0072】

ダイナミックアレイ内で実現される規則的な構成は、ビアリソグラフィにおける相互作用の予測不可能性を除去することを可能にし、これにより、メタル2ピッチのマージンの減少を可能にする。このようなメタル2ピッチのマージンの減少は、高密度の設計を可能にする(すなわち、チップ面積利用率の最適化が可能になる)。さらに、ダイナミックアレイによってもたらされる制限された(すなわち、規則的な)トポロジによって、デザインルールのマージンを削減することが可能になる。さらにまた、プロセスの能力を超えた余分なマージンを減らせるばかりでなく、ダイナミックアレイによる制限的なトポロジは、必要なデザインルールの数を実質的に減らすことも可能にする。例えば、制約のないトポロジの典型的なデザインルール・セットは、600デザインルールより多く持つ。ダイナミックアレイを使用するデザインルール・セットは、約45デザインルールを持てばよい。したがって、デザインルールに対する設計の解析と検証を行うのに必要とされる努力は、ダイナミックアレイの制限的なトポロジにより、10以上のファクタで減少する。

【0073】

ダイナミックアレイのマスク層の所定のトラック内におけるライン終端-ライン終端間のギャップ(すなわち、トラックセグメント-トラックセグメント間のギャップ)について、わずかの光相互作用が存在する。このわずかの光相互作用は、前もって、識別、予測、及び正確に補償することができ、OPC/RETの必要性をめざましく削減し、又は完全に排除することができる。ライン終端-ライン終端間のギャップにおける光相互作用の補償は、描かれた形状に関する相互作用のモデリング(例えば、OPC/RET)に基づく補正とは対照的に、描かれた形状のリソグラフィ的な修正を表す。

【0074】

また、ダイナミックアレイで、描かれたレイアウトへの変更は、必要となるのみに行われる。対照的に、OPCは、従来の設計フローですべてのレイアウトについて実施される。一実施形態において、補正モデルは、ダイナミックアレイのレイアウト生成の部分として実施され得る。例えば、限られた数の可能性のライン終端ギャップの相互作用により、回りの関数として（すなわち、その特定のライン終端ギャップの光相互作用の関数として）定義される特徴を持つラインブレイクを挿入するように、ルータはプログラムされ得る。当然のことながら、ダイナミックアレイの規則的な構成は、頂点を追加するよりむしろ頂点を変更することにより、ライン終端が調整されることを可能にする。したがって、OPCプロセスによる制約のないトポロジと対比して、ダイナミックアレイは、顕著にコストとマスク製作のリスクを削減する。また、ダイナミックアレイでは設計段階で、ライン終端ギャップ相互作用を正確に予測できるので、設計段階の間における予測されたライン終端ギャップ相互作用の補償は、デザイン欠陥のリスクを増やさない。

10

【0075】

従来の制約のないトポロジにおいて、設計者は、設計依存欠陥の存在のために、製造プロセスについての物理的知識を有していることが必要とされていた。ここで開示したダイナミックアレイのグリッドベースシステムにより、論理設計は、物理的設計から分離することができる。特に、ダイナミックアレイの規則的な構成、ダイナミックアレイの中で評価される限られた数の光相互作用、及びダイナミックアレイの設計依存性質により、物理的ネットリストとは対照的に、グリッドポイントベース・ネットリストを使用して設計を表現することが可能になる。

20

【0076】

ダイナミックアレイにより、物理的情報の用語で設計を表す必要がない。むしろ、シンボリックレイアウトにより、設計を表すことができる。したがって、設計者は、物理的特徴（例えば、設計寸法）を示す必要なしに、純粋な論理的視野から設計を表すことができる。当然のことながら、グリッドベース・ネットリストは、物理的に変換されたとき、ダイナミックアレイ・プラットフォームの最適なデザインルールにまさに適合する。グリッドベース・ダイナミックアレイが、新しい技術（例えば、より小さい技術）に移行するとき、設計表現の中に物理的データが存在しないので、グリッドベース・ネットリストは、新しい技術に直接的に移行されることができる。一実施形態において、グリッドベース・ダイナミックアレイシステムは、ルール・データベース、グリッドベース（シンボリック）・ネットリスト、及びダイナミックアレイ・アーキテクチャを含む。

30

【0077】

当然のことながら、グリッドベース・ダイナミックアレイは、従来の制約のない構成についてのトポロジ関連の欠陥を排除する。また、グリッドベース・ダイナミックアレイの生産性は、設計と無関係であるので、ダイナミックアレイで達成される設計歩留まりは、設計と無関係である。したがって、ダイナミックアレイの正当性及び歩留まりは、予め検証されるので、グリッドベース・ネットリストは、予め検証した歩留まり特性を有するダイナミックアレイで達成されることができる。

【0078】

図14は、本発明の一実施形態において、半導体チップ構成1400を示す図である。半導体チップ構成1400は、そこで定義付けされた多くの導電ライン1403A-1403Gを持つ拡散領域1401を含む半導体チップの部分の一例を示している。拡散領域1401は、少なくとも1つのトランジスタデバイスの活性領域を定義するため、基板1405内で定義付けされている。拡散領域1401は、基板1405表面に対して任意の形の領域を覆うように定義付けされることができる。

40

【0079】

導電ライン1403A-1403Gは、基板1405の上を共通方向1407に伸びるように配列されている。また、当然のことながら、多くの導電ライン1403A-1403Gのそれぞれは、拡散領域1401の上を共通方向1407に伸びるように制限されて

50

いる。一実施形態において、基板 1405 の上ですぐに定義付けされた導電ライン 1403A - 1403G は、ポリシリコンラインである。一実施形態において、導電ライン 1403A - 1403G のそれぞれは、伸長する共通方向 1407 に対して垂直な方向の本質的に同一の幅 1409 を持つように定義付けされる。一実施形態において、導電ライン 1403A - 1403G のいくつかは、他の導電ラインと比較して異なる幅を持つように定義付けされる。しかし、導電ライン 1403A - 1403G の幅に関係なく、導電ライン 1403A - 1403G のそれぞれは、本質的に同一の中心 - 中心間ピッチ 1411 により、隣の導電ラインから離れて間隔が空いている。

【0080】

図 14 に示されているように、導電ラインのいくつか (1403B - 1403E) は、拡散領域 1401 の上を伸びており、他の導電ライン (1403A, 1403F, 1403G) は、基板 1405 の非拡散部分の上を伸びている。当然のことながら、導電ライン 1403A - 1403G は、拡散領域 1401 の上で定義付けされているか否かに関係なく、それらの幅 1409 及びピッチ 1411 を維持する。また、当然のことながら、導電ライン 1403A - 1403G は、拡散領域 1401 の上で定義付けされているか否かに関係なく、本質的に同一の長さ 1413 を維持しており、それによって、基板を横断する導電ライン 1403A - 1403G の間のリソグラフィ的な補強を最大化している。このようにして、拡散領域 1401 の上で定義付けされたいくつかの導電ライン (例えば、1403D) は、必要な活性部 1415、及び 1 つ以上の画一伸長部 1417 を含む。

10

【0081】

当然のことながら、半導体チップ構成 1400 は、図 2 - 図 13D を参照した上述のダイナミックアレイの一部を表している。したがって、当然のことながら、導電ライン (1403B - 1403E) の画一伸長部 1417 は、隣接する導電ライン 1403A - 1403G のリソグラフィ的な補強を提供するために存在する。また、導電ライン 1403A, 1403F, 及び 1403G のそれぞれは、回路動作を必要とされなくてもよいが、隣接する導電ライン 1403A - 1403G のリソグラフィ的な補強を提供するために存在する。

20

【0082】

必要な活性部 1415 及び画一伸長部 1417 の概念は、また、より高いレベルの配線層に適用される。ダイナミックアレイ構成について前述したように、ダイナミックアレイ内で実現された論理デバイスにより必要な配線接続を可能にするために、隣接する配線層が基板の上を横方向に (例えば、垂直又は対角線方向に) 横断する。導電ライン 1403A - 1403G と同様に、配線層の中の導電ラインのそれぞれは、必要な配線接続を可能にするために必要な部分 (必要な活性部)、及び隣接する導電ラインにリソグラフィ的な補強を提供するために不必要な部分 (画一伸長部) を含むことができる。また、導電ライン 1403A - 1403G と同様に、配線層の中の導電ラインは基板の上の共通方向に伸びており、本質的に同一の幅を持ち、本質的に一定ピッチによりお互いに間隔が空いている。

30

【0083】

一実施形態において、配線層内の導電ラインは、ライン幅とラインスペーシング間の同一比率に本質的に従う。例えば、90nm では、メタル 4 ピッチは 280nm であり、ライン幅及びラインスペーシングはそれぞれ 140nm に等しい。もし、ライン幅がラインスペーシングに等しいのであれば、より広い導電ラインを、より広いラインピッチでプリントすることができる。

40

【0084】

本明細書に記載するダイナミックアレイ・アーキテクチャは、線形導電体形状が複数のレベルのそれぞれにおける仮想格子に沿って定義されている半導体デバイスの設計パラダイムを表す。複数のレベルは、その中に定義された 1 つまたは複数の拡散領域を有してもよい半導体基板の一部上に定義される。あるレベルの仮想格子は、隣接するレベルにおける仮想格子に対して実質的に垂直であるように配向される。また、線形導電体形状は、実質

50

的に方向変化がないように各仮想格子のそれぞれのラインに沿って定義される。複数のレベルのそれぞれのレベル内の各導電体形状は、線形導電体形状の内の1つによって定義されることは理解されるべきである。したがって、ダイナミックアレイ・アーキテクチャは、関連するレベルの平面内に1つまたは複数の屈曲部を含む非線形導電体形状の使用は明確に回避している。

【0085】

ある実施形態では、ダイナミックアレイ・アーキテクチャの複数のレベルは基板から上方に延びて、チップ全体を經由してチップの外部パッケージングまで及ぶ。別の実施形態では、ダイナミックアレイ・アーキテクチャの複数のレベルは基板から上方に延びて、チップ全体の合計レベル数よりは少ない数のレベルまで及ぶ。この実施形態では、ダイナミックアレイ・アーキテクチャに応じて定義されたレベルの数は、ダイナミックアレイ・アーキテクチャによって提供される正確な製造予測性の高い可能性から得られるレベル、またはその可能性を要求するレベルを含む。例えば、ダイナミックアレイ・アーキテクチャを、基板上の第3の配線レベルまでの各レベルを定義するために使用してもよい。その後、形状サイズおよび間隔の増大、およびまたは、第3の配線レベルより上の形状の数の減少により、任意のレイアウト技術を用いて第3の配線レベル上の形状を定義してもよい。任意の数のレベルにダイナミックアレイ・アーキテクチャを採用したチップの任意の部分は、ダイナミックアレイ・アーキテクチャ領域を表すと考えられることは認識されるべきである。

10

【0086】

ダイナミックアレイ・アーキテクチャに従って定義されたあるレベル内では、隣接する線形導電体形状の近接端部は、実質的に一定のギャップで互いに分離されていてもよい。より具体的には、仮想格子の共通ラインに沿って定義された線形導電体形状の隣接する端部は、ギャップによって分離され、仮想格子に関連したレベル内のそうしたギャップは、実質的に一定の距離になるように定義されてもよい。また、ダイナミックアレイ・アーキテクチャ内では、ビアとコンタクトは、例えば、トランジスタや電子回路などの多くの機能的な電子装置を形成するように、様々なレベルにおける多くの線形導電体形状を配線するように定義される。したがって、複数のレベルにおける多くの線形導電体形状は、電子回路の機能部品を形成する。さらに、複数のレベル内の線形導電体形状の一部は、電子回路に関する機能は持たないが、周辺の線形導電体形状の製造を強化するように製造されてもよい。ダイナミックアレイ・アーキテクチャは、高い見込みを有する半導体デバイスの製造可能性の正確な予測を可能とするように定義されることは理解されるべきである。

20

30

【0087】

図15は、本発明の一実施形態において、ダイナミックアレイ・アーキテクチャを実装する典型的なチップ1501を示す図である。典型的なチップは、ダイナミックアレイ・アーキテクチャ領域1509を含む。また、典型的なチップ1501は、メモリ領域1503、入出力(I/O)領域1505およびプロセッサ領域1507も含む。メモリ領域1503、I/O領域1505およびプロセッサ領域1507は例示の目的で示されており、チップの必要な部分、必要なチップ・アーキテクチャあるいはダイナミックアレイ・アーキテクチャに必要な随伴物を表すように意図されたものではないことは理解されるべきである。

40

【0088】

図15に示したものなどの一実施形態では、1つまたは複数のダイナミックアレイ・アーキテクチャ部分内で定義された回路は、必要に応じて、チップの他の部分の回路とインターフェースするように定義されているより大規模なチップ、すなわちダイの、1つまたは複数の部分を定義するように、ダイナミックアレイ・アーキテクチャを用いることができることは理解されるべきである。別の実施形態では、ダイナミックアレイ・アーキテクチャに従ってチップ全体を定義することができる。この実施形態では、チップ全体はダイナミックアレイ・アーキテクチャに従って定義されるが、該チップ全体を、それぞれがダイナミックアレイ・アーキテクチャに従って定義される多くの別個の領域に分割できる。

50

前述の実施形態において、チップの基板の一部上に定義された1つまたは複数のダイナミックアレイ・アーキテクチャ領域を含むように半導体チップを構成し、各ダイナミックアレイ・アーキテクチャ領域が1つまたは複数の、別個ではあるが機能的にインターフェースされたダイナミックアレイ・セクションを含むように構成できる。

【0089】

図16は、本発明の一実施形態において、ダイナミックアレイ・アーキテクチャ領域1509のブランクキャンバスを示す図である。ダイナミックアレイ・セクション(DAS)グリッド1601は、ダイナミックアレイ・セクションの配置と配列を容易にするために、ダイナミックアレイ・アーキテクチャ領域1509のブランクキャンバス全域で定義される。DASグリッド1601は、基板上のダイナミックアレイ・セクション(DAS)の場所を決めるための垂直線1603A/1603B、すなわちグリッド・ラインの仮想ネットワークで定義される。前述のように、DASグリッド1601は、ダイの一部上あるいはダイ全体に定義されてもよい。DASグリッド1601を表す垂直線1603A/1603Bの仮想ネットワークは物理的実体としては存在しないが、実質的に存在する。DASグリッド1601は、その上にDASが構築される基板上面と実質的に一致する平面内で定義される。したがって、DASグリッド1601は、チップの基板上面と平行な平面内で定義される。2つの垂直な方向のそれぞれにおいて、DASグリッド1601のライン1603A/1603Bの間隔は、それぞれ同じであっても違っていてもよい。しかしながら、一実施形態では、共通の方向を有するDASグリッド1601のライン1603A/1603Bの間隔は均一である。

10

20

【0090】

DASグリッド1601の隣接する平行線(1603Aまたは1603B)間の間隔は、隣接する平行線(1603Aまたは1603B)のピッチとして定義される。一実施形態では、ゲート電極形状と平行なDASグリッド1601ライン(1603Aまたは1603B)のピッチは、隣接するコンタクトされたゲート電極形状間の最小中心-中心間分離距離の2分の1である定義される。議論の簡略化のために、隣接するコンタクトされたゲート電極形状間の最小中心-中心間分離距離の2分の1を、ゲート電極ハーフピッチと呼ぶ。本実施形態において、ゲート電極ハーフピッチに基づいて定義されたDASグリッド・ラインと一致するDAS境界は、それ自体、ゲート電極ハーフピッチの上に存在するであろう。したがって、そのようなDAS内において、かつその端部で定義されたセルは、ゲート電極ハーフピッチに位置するセル境界を持つであろう。

30

【0091】

ダイナミックアレイ・セクション(DAS)は、ダイナミックアレイ・アーキテクチャの細分として定義され、その細分の垂直に輪郭付けられた各レベルに存在する形状は、該細分のあるレベルにおける形状間および該細分の別のレベルにおける形状間の関係を統率するために構築されたルール・セットに従って、該細分の他の形状を考慮して定義される。DASは、任意の形およびサイズの基板領域を占めるように定義される。また、DASは、基板上の任意の形およびサイズの領域を占めるようにも定義される。また、DASグリッド1601の垂直線1603A/1603BはDAS境界を定義するためにも使用される。

40

【0092】

図17Aは、本発明の一実施形態において、ダイナミックアレイ・アーキテクチャ領域1509内に定義された多くの典型的なダイナミックアレイ・セクション(DAS1~DAS11)を示す図である。図16で説明したように、各DAS(DAS1~DAS11)のそれぞれの境界は、DASグリッド1601のグリッド・ライン1603A/1603B上に沿って定義される。DASグリッド1601の均一性によって、様々なDASの配置および機能的なインターフェース化が容易になることは認識されるべきである。典型的なDAS(DAS1~DAS11)の特定の形は、目的を説明するために定義されたものであり、DASの可能な形を限定するものではない。より具体的には、あるDASは、DASがダイナミックアレイ・アーキテクチャに適合する限り、DAS内に存在するデバ

50

イスおよび回路を定義するための必要性に応じて、本質的に任意の形およびサイズを有するように定義できる。

【0093】

また、DASはチップの基板部を含む必要はなく、あるいはチップの基板部の真上およびそれに接して定義される必要はないことも理解されるべきである。より具体的には、DASは、チップの基板の特定の領域上ではあるが、基板の真上およびそれに接してはいない領域上に、チップの多くの層を占めるように垂直に定義される。この点では、一実施形態は、多くの積み重ねられたDASを含むことができ、積み重ねられたDASのそれぞれは、その上または下のいずれかの隣接するDASからは独立に定義される。また、垂直に積み重ねられたDASは、互いに異なるサイズと形を有するように定義できる。この点で、より高い位置にあるDASは、1)低い位置にある複数のDAS、2)低い位置にある複数のDASの部分、あるいは、3)低い位置にある単一のDASの一部、をカバーしてもよい。

10

【0094】

図17Bは、本発明の一実施形態において、ダイナミックアレイ・アーキテクチャ領域1509内のより高い位置で定義された多くのダイナミックアレイ・セクション(DAS12~DAS15)を示す図である。図17Bの例では、DAS12~DAS15のコレクションは、図17AのDAS1~DAS11のコレクション上に位置する。図17Cは、本発明の一実施形態において、図17BのDASの積み重ねの側面図を示す図である。図17A~17Cに描かれたDAS配置は議論の目的で提供されたものであり、DASの可能性のある配置の包含的セットを表すように意図されたものではないことは理解されるべきである。また、様々な実施形態において、ダイナミックアレイ・アーキテクチャと合致する本質的に任意の方法で、DASは基板の一部上に水平および垂直に配置できることは認識されるべきである。

20

【0095】

ダイナミックアレイ・アーキテクチャのより詳細な説明を可能にするために、図17AのDAS10に関するダイナミックアレイ・アーキテクチャの典型的な実装を図18~24Dに記載する。図18は、本発明の一実施形態において、DAS10の基板レベルを示す図である。DASの基板レベルは、任意の数の拡散領域を含むことができる。例えば、DAS10は、その上にDAS10が構築されている基板部1803内に定義された拡散領域1801A~1801Dを含む。DASの基板部内の各拡散領域の形は、DAS内に形成されるデバイスつまりトランジスタの知識に基づいて、また、活用されるべきより高いレベルの線形導電体形状の間隔や配向性に関する知識に基づいて定義される。図4で既に説明したように、拡散層のレイアウトは、DAS10例を含む任意のDASの基板レベルに等しく適用可能であることは理解されるべきである。したがって、あるDAS内の拡散領域のそれぞれは、任意の2次元の形を持つように定義できる。しかしながら、一実施形態では、リソグラフィ解像度を向上させてより正確なデバイス抽出を可能とするように、拡散領域は余分な湾曲部やコーナ部を含まないように定義される。

30

【0096】

各DASは、周囲のDAS製造保証ハ口(DASハ口)を有するように定義される。例えば、図18では、DAS10はDASハ口1805を持つとして示されている。DASハ口は、チップのあるレベル内のあるDASを囲む領域として定義され、DASハ口内の形状の製造は、そのDAS内の形状の製造予測可能性に影響を与え得る。DASハ口は、関連するDAS内の形状の製造予測可能性を維持しあるいは高めることを確実にするために、サイズが決められ管理される。DASグリッド上にDASが配置されると、関連するDASハ口の一部は、周囲のDASからの形状がないバッファ領域を表わしてもよい。また逆に、DASグリッド上にDASが配置されると、関連するDASハ口の一部は周囲のDASの一部を含むが、該周囲のDASの一部内にある形状の製造によって、DASハ口が周囲に存在するDAS内の形状の製造は悪影響を受けない。したがって、周囲のDASそれぞれに対するDASハ口の機能が、周囲のDASそれぞれにおける形状の製造予測

40

50

可能性が維持されあるいは高められることを確実にすることが満たされる限り、D A S 八口またはその一部は、周囲のD A S 八口とオーバーラップでき、あるいは周囲のD A S 内に侵入できる。D A S 八口については図 2 5 ~ 2 7 でより詳細に説明する。

【 0 0 9 7 】

ゲート電極レベルはD A S 1 0 例の基板レベル上に定義される。ゲート電極レベルは、ゲート電極レベルに関連した仮想格子に従って定義された多くの線形導電体形状を含むように定義される。ゲート電極レベルを含む任意のD A S レベル内の仮想格子は、線形導電体形状をD A S レベル内に配置するための平行線の仮想ネットワークとして定義される。あるD A S レベルの仮想格子を表す平行線の仮想ネットワークは、物理的実体としては存在しないが、実質的に存在する。任意のD A S レベルの仮想格子は、その上にD A S が構築される下位の基板の上面に対して実質的に平行な面内に定義される。また、一実施形態では、あるD A S レベルの仮想格子の平行線は、一定のピッチに従って配置される。あるD A S レベルの仮想格子の定義に用いられる一定のピッチは、該D A S レベル内の線形導電体形状の適切な配置を容易にするために必要な本質的に任意の数値に設定できる。

【 0 0 9 8 】

一般的には、各D A S レベルにおいて、線形導電体形状は、D A S レベルに関連した仮想格子のラインに沿って定義される。各線形導電体形状は、線形導電体形状の中心ラインが仮想格子の特定のラインに実質的に集中するように、仮想格子の特定のラインに沿って定義される。線形導電体形状の中心ラインの配列と仮想格子の特定のラインの配列間の偏差が、それらの配列間の実際の配列によって達成可能な製造プロセスウィンドウを低減しないほど十分に小さい場合には、線形導電体形状は、仮想格子の特定のライン上に実質的に集中すると考えられる。一実施形態では、前述の製造プロセスウィンドウは、線形導電体形状の許容範囲の忠実度を生む焦点と露光を有するリソグラフ領域で定義される。一実施形態では、線形導電体形状の忠実度は、線形導電体形状の特有の次元で定義される。また、上記のとおり、ある線形導電体形状の図心は、該線形導電体形状の長さに沿うすべての点において、その断面図心を通る仮想ラインとして定義され、そこでは、その線形導電体形状の長さに沿う任意の点における線形導電体形状の断面図心は、その点における垂直断面領域の図心であることも理解されるべきである。

【 0 0 9 9 】

あるD A S レベル内に定義された線形導電体形状のそれぞれは、線形導電体形状の側壁の形状に対応した関連側壁側面を有することは認識されるべきである。この点で、線形導電体形状の側壁は、線形導電体形状の中心ラインに垂直な垂直断面カットとして見ると、線形導電体形状の側面として定義される。D A S アーキテクチャは、長さに沿ったある線形導電体形状の側壁側面の変動が製造の観点から予測可能であり、その線形導電体形状または隣接する線形導電体形状の製造に悪影響を与えない限り、側壁側面の変動を受け入れる。線形導電体形状の長さに沿った側壁変動は、線形導電体形状の長さに沿った幅変動に対応することは認識されるべきである。したがって、D A S アーキテクチャは、長さに沿ったある線形導電体形状の幅変動が製造の観点から予測可能であり、その線形導電体形状または隣接する線形導電体形状の製造に悪影響を与えない限り、その幅変動も受け入れる。

【 0 1 0 0 】

前述に加えて、ダイナミックアレイ・アーキテクチャの各レベルにおけるそれぞれの線形導電体形状あるいはその断片は、その長さに沿った実質的な方向変化がないものとして定義されることは理解されるべきである。したがって、線形導電体形状の実質的な方向変化がないことは、線形導電体形状がそれに沿って定義される仮想格子のラインに関連すると考えられる。一実施形態では、線形導電体形状の実質的な方向変化は、任意の点における線形導電体形状の幅が、その全長に沿って線形導電体形状の名目上の幅の50%を超えて変化する場合に存在する。別の実施形態では、線形導電体形状の実質的な方向変化は、線形導電体形状の任意の第1の場所における線形導電体形状の幅と任意の第2の場所におけるその幅とが、第1の場所における線形導電体形状の幅の50%を超えて変化する場合に

10

20

30

40

50

存在する。

【0101】

ダイナミックアレイ・アーキテクチャでは、各DASレベルは、任意の数の線形導電体形状で占有される仮想格子の任意の数のラインを有するように定義できる。一例では、あるDASレベルは、その仮想格子のすべてのラインが少なくとも1つの線形導電体形状で占有されるように定義されてもよい。別の例では、あるDASレベルは、その仮想格子の一部のラインが少なくとも1つの線形導電体形状で占有され、その仮想格子の他のラインは空、すなわち、いかなる数の線形導電体形状によっても占有されないように定義されてもよい。更に、あるDASレベルでは、任意の数の連続的に隣接する仮想格子ラインを空にしておくことができる。さらに、あるDASレベルでは、任意の数の連続的に隣接する仮想格子ラインはそれぞれ、任意の数の線形導電体形状で占有することができる。また、一部のDASレベル例では、仮想格子線上の線形導電体形状の存在に関して、占有仮想格子ライン対空き仮想格子ラインは、DASレベル全域におけるパターンあるいは繰り返しパターンに従ってもよい。

10

【0102】

さらに、あるDASレベル内の異なる線形導電体形状は、同じ幅を有するように、あるいは違った幅を有するように設計できる。また、ある仮想格子の隣接するラインに沿って定義された多くの線形導電体形状の幅は、その数の線形導電体形状が、その合計の幅に等しい幅を有する単一の線形導電体形状を形成するように互いに接触するように設計されてもよい。

20

【0103】

図19Aは、本発明の一実施形態において、DAS10例のゲート電極レベルの仮想格子を示す図である。ゲート電極レベルの仮想格子は、一定のピッチP1で配置された平行線1901の枠組みによって定義される。ゲート電極レベルの仮想格子は、そのラインが、上にDAS10が構築される基板部1803上の第1の方向、すなわち、y方向に延びるように配向される。ゲート電極レベルの仮想格子の位置（第2の方向、すなわち、x方向における）および関連するピッチP1は、ゲート電極レベル内に定義された多くの線形導電体形状がトランジスタデバイスのゲート電極部品として機能できるように、それに沿って線形導電体形状が定義される仮想格子のラインが、下に存在する拡散領域10801A~1801Dに対して適切に配置されることを確実にするように構築される。

30

【0104】

図19Aの典型的な実施形態では、仮想格子のピッチP1は、隣接するコンタクトされたゲート電極形状間に使用される最小中心-中心間スペーシングに等しい。しかしながら、他の実施形態では、ゲート電極レベルの仮想格子のピッチP1は、特定のDASに適切と見なされる本質的に任意の数値に設定できることは理解されるべきである。例えば、図19A1は、隣接するコンタクトされたゲート電極形状間の最小中心-中心間スペーシングの2分の1に等しいピッチP1Aに設定されたゲート電極レベルの仮想格子を示している。前記のとおり、隣接するコンタクトされたゲート電極形状間の最小中心-中心分離の2分の1をゲート電極ハーフピッチと呼ぶ。

40

【0105】

一実施形態では、ゲート電極レベルの仮想格子を定義するピッチは、仮想格子のラインに沿って定義された線形導電体形状の製造中のリソグラフィック補強を最適化するように設定される。別の実施形態では、ゲート電極レベルの仮想格子を定義するピッチは、仮想格子のラインに沿って定義された線形導電体形状の密度を最適化するように設定される。仮想格子のラインに沿って定義された線形導電体形状の密度の最適化は、製造中の形状-形状リソグラフィック補強に対応しなくてもよいことが認識されるべきである。また、別の実施形態では、ゲート電極レベルの仮想格子を定義するピッチは、回路性能、製造可能性または信頼性の最適化に基づいて設定することができる。

【0106】

図19Bは、本発明の一実施形態において、図19Aのゲート電極レベルの仮想格子の

50

各ライン1901に沿って定義されたノーカットの線形導電体形状1903を示す図である。図19Bの例は、線形導電体形状によって占められるゲート電極レベルの仮想格子の各ラインを示しているが、ゲート電極レベルの仮想格子のすべてのライン、あるいは、さらに言えば、任意の仮想格子が線形導電体形状によって占められる必要はないことは理解されるべきである。さらに、任意のDASレベルにおける仮想格子の各ラインは、それに沿って1つまたは複数の線形導電体形状が定義できる潜在的な線形導電体形状のトラックを表わしていることも認識されるべきである。ノーカットの線形導電体形状1903はそれぞれ、仮想格子のあるライン1901の最大形状占有を表している。しかしながら、ゲート電極レベルにおける一部のノーカットの線形導電体形状1903は、トランジスタデバイスの製作を可能にするように区分化される必要があってもよい。図19Cは、本発明の一実施形態において、図19Bの線形導電体形状1903の区分化を示す図である。

10

【0107】

ダイナミックアレイ・アーキテクチャの各レベルにおけるそれぞれの線形導電体形状あるいはそのセグメントは、その長さに沿って実質的に一定の幅を持つように定義される。例えば、図19Bのゲート電極レベルに関して、各線形導電体形状1903あるいはそのセグメントは、その長さに沿って実質的に一定の幅W1を持つように定義される。ダイナミックアレイ・アーキテクチャ内の各線形導電体形状の幅は、線形導電体形状が定義される仮想格子を定義する平行線の枠組みに対して、同一平面および垂直の関係で測定される。相応して、ダイナミックアレイ・アーキテクチャ内の各線形導電体形状の長さは、線形導電体形状が定義される仮想格子のラインの方向に測定される。

20

【0108】

図19Bに示されるような一実施形態では、あるDASレベル内の線形導電体形状はそれぞれ、実質的に等しい幅を持つように定義される。しかしながら、別の実施形態では、あるDASレベル内の仮想格子の様々なラインに沿って定義された線形導電体形状は、異なる幅を持つように定義できる。例えば、図19B1は、本発明の一実施形態において、図19A1のゲート電極レベルの仮想格子の様々なライン1902に沿って定義された線形導電体形状1904A、1904Bおよび1904Cを示す図である。図19B1は、仮想格子に沿った線形導電体形状の定義に関して上記で言及したオプションのいくつかを明示している。特に、図19B1の領域1906は、多くの仮想格子ラインが空であることを明示している。また、図19B1は、どのようにして、あるDASレベル内の線形導電体形状が異なる幅、例えば、W1A、W1BおよびW1Cを持つように定義されるかも明示している。また、図19B1の領域1908は、多くの隣接する線形導電体形状を組み合わせて単一の線形導電体形状を形成するために、どのようにして多くの隣接する線形導電体形状の幅が定義されるかも明示している。

30

【0109】

図19Cに示されるように、ゲート電極レベルの実際のレイアウトは、図19Bの多くのノーカットの線形導電体形状1903の区分化により達成される。任意のあるDASレベルにおけるノーカットの線形導電体形状の区分化は、その長さに沿って多くのギャップを配置することで実行される。例えば、図19Cのゲート電極レベルの例では、距離G1の多くのギャップは、様々なノーカットの線形導電体形状1903に沿って配置される。様々な実施形態では、共配列された線形導電体形状セグメントの隣接する端部を分離するために使用されるギャップのサイズは、あるDASレベル全域において、一定であってもなくてもよい。一実施形態では、ダイナミックアレイ・アーキテクチャのあるレベルにおけるノーカットの線形導電体形状の区分化に用いたそれぞれのギャップは、実質的に一定であるように定義される。したがって、この実施形態では、実質的に一定のギャップは、仮想格子の共通の線を占める隣接する線形導電体形状セグメントの近接端部間で維持される。また、この実施形態では、隣接する線形導電体形状セグメントの近接端部間の実質的に一定のギャップは、複数の線形導電体形状セグメントによって占められる仮想格子のそれぞれのライン内で維持される。

40

【0110】

50

一実施形態では、ダイナミックアレイ・アーキテクチャのあるレベルにおける隣接する線形導電体形状の近接端部間で維持されるギャップサイズは、そのレベルの仮想格子を定義するラインの線形導電体形状全体の占有量を最大化するように、電気的性能の制約条件内で最小化される。別の実施形態では、ダイナミックアレイ・アーキテクチャのあるレベルにおいて、隣接する線形導電体形状の近接端部間で維持されるギャップサイズは、隣接する線形導電体形状および周辺の線形導電体形状の製造可能性が正確に予測できることを確実にするように定義される。別の実施形態では、ダイナミックアレイ・アーキテクチャのあるレベルにおいて、隣接する線形導電体形状の近接端部間で維持されるギャップは、そのレベルの仮想格子を定義する隣接するラインでの隣接するギャップがないように配置される。また、別の実施形態では、あるDASレベルにおいて隣接する線形導電体形状の近接端部間のギャップは、回路性能、製造可能性あるいは信頼性の目的のために定義される。

10

20

30

40

50

【0111】

ダイナミックアレイ・アーキテクチャのあるレベルにおける線形導電体形状が区分化されると、一部の線形導電体形状セグメントは、機能を持たない線形導電体形状を表わしてもよい。機能を持たない線形導電体形状は、回路機能性を必要としないが、周辺の線形導電体形状の製造を支援するように製造された線形導電体形状として定義される。ある実施形態では、機能を持たない線形導電体形状の一部は、半導体チップの製造可能性を予測性を高めるように定義される。例えば、図19Cは、ノーカットの導電体形状1903を区分化してDAS10のゲート電極レベルのレイアウトを形成後の、多くの機能を持たない線形導電体形状1903Bおよび多くの機能的な線形導電体形状1903Aを示す。

【0112】

周辺の線形導電体形状セグメントの製造を高めるために、すべての機能を持たない線形導電体形状セグメントを保持する必要がない場合、ダイナミックアレイ・アーキテクチャは、そうしたすべてのセグメントの保持を厳密に要求しないことは理解されるべきである。例えば、ダイナミックアレイ・アーキテクチャのあるレベル内では、隣接する機能的な線形導電体形状の製造に積極的に影響を与えない、もしくは支援しない1つまたは複数の機能を持たない線形導電体形状は、レイアウトから削除できる。例えば、図19Dは、機能を持たない線形導電体形状が削除された領域1905を有する図19Cのゲート電極レベルの区分化形状を示す図である。図19Dの例において、削除された機能を持たない線形導電体形状は、周辺の機能的な線形導電体形状の製造を支援する点に関しては不必要であると考えられた。

【0113】

さらに、図19Cに関して、ゲート電極レベルの線形導電体形状1903は、場所1910によって識別されるように、DASの境界内部の場所で終わるように定義されることは注目されるべきである。ゲート電極レベルの線形導電体形状のそれぞれをDASの境界内部で終わらせることによって、隣接する2つのDAS内の、同一ライン的に配列されたゲート電極レベルの線形導電体形状間にギャップが存在することになる。この例では、隣接する2つのDAS内の、同一ライン的に配列されたゲート電極レベルの線形導電体形状間のギャップの2分の1が隣接する2つのDASのそれぞれに存在することになる。また、明確には描かれていないが、図19Cと図19Dにおける区分化および機能的形状と機能を持たない形状のコンセプトは、図19A1と図19B1の典型的な実施形態にも同じく適用可能であることは理解されるべきである。

【0114】

図7Bで既に議論したように、ダイナミックアレイ・アーキテクチャは、トランジスタデバイスのゲート電極として機能するように定義された線形導電体を、半導体チップの1つまたは複数の層において定義された導電体形状に電氣的に接続するように定義された多くのゲート電極コンタクトを含む。多くのゲート電極コンタクトのそれぞれは、トランジスタデバイスのゲート電極として機能するように定義された線形導電体形状と垂直にオーバーラップするように定義される。図7Bの典型的な実施形態に示されるように、ゲート

電極コンタクト601は、矩形状であるように定義できる。別の実施形態では、ゲート電極コンタクトは実質的に正方形であるように定義できる。

【0115】

図20Aは、本発明の一実施形態において、DAS10例の第1の配線レベルの仮想格子を示す図である。第1の配線レベルの仮想格子は、一定のピッチP2で配置された平行線2001の枠組みによって定義される。第1の配線レベルの仮想格子は、そのラインがDAS10が構築される基板部1803上の方向(x方向)に延び、ゲート電極レベルの仮想格子に対して垂直な方向に延びるように配向される。第1の配線レベルの仮想格子のy方向の位置および関連するピッチP2は、関連するトランジスタデバイスを配線して機能的な電子回路が形成できるように、線形導電体形状が定義される第1の配線レベルの仮想格子のラインを下位にあるゲート電極の形状に対して適切に配置することを確実にするように構築される。

10

【0116】

図20Aの典型的な実施形態では、仮想格子のピッチP2は、第1の配線レベルの隣接するコンタクトされた線形導電体形状間で使用される最小の中心-中心間スペーシングに等しい。しかしながら、他の実施形態では、第1の配線レベルの仮想格子のピッチP2は、特定のDASに対して適切と思われる本質的に任意の値に設定できることは理解されるべきである。例えば、図20A1は、第1の配線レベルの隣接するコンタクトされた線形導電体形状間の最小中心-中心間スペーシングの2分の1に等しいピッチP2Aに設定された第1の配線レベルの仮想格子を示す。議論の目的のために、第1の配線レベルの隣接するコンタクトされた線形導電体形状間の最小中心-中心間スペーシングの2分の1をメタル1ハーフピッチと呼ぶ。また、図20A1の例では、パワー・レール形状は、第1の配線レベルの仮想格子とは別に定義されたパワー・レールの仮想ラインに沿って定義されることとは対照的に、第1の配線レベルの仮想格子に沿って定義された線形導電体形状によって取り替えられる。

20

【0117】

一実施形態では、第1の配線レベルの仮想格子を定義するピッチは、仮想格子のラインに沿って定義された線形導電体形状の製造中のリソグラフィック補強を最適化するように設定される。別の実施形態では、第1の配線レベルの仮想格子を定義するピッチP2は、仮想格子のラインに沿って定義された線形導電体形状の密度を最適化するように設定される。仮想格子のラインに沿って定義された線形導電体形状の密度の最適化は、製造中の形状-形状リソグラフィック補強に対応していなくてもよいことは認識されるべきである。また、別の実施形態では、第1の配線レベルの仮想格子を定義するピッチは、回路性能、製造可能性あるいは信頼性の最適化に基づいて設定できる。

30

【0118】

また、図20Aは、パワー・レール配置に対する仮想ライン2003を示す。仮想ライン2003は、第1の配線レベルの仮想格子のライン2001と同様な方法で定義される。パワー・レール仮想ライン2003のそれぞれは、その周辺の仮想格子ラインから、パワー・レール・ピッチPP1と呼ばれる距離だけ離れている。仮想格子ライン2001の場合のように、パワー・レール仮想ライン2003は、その上に定義された線形導電体形状を有するように定義される。パワー・レール・ピッチPP1は、第1の配線レベルの仮想格子のピッチP2とは独立に定義されることは理解されるべきである。

40

【0119】

一実施形態では、パワー・レール・ピッチPP1は、第1の配線レベルの仮想格子のピッチP2と同じである。例えば、第1の配線レベルの仮想格子ピッチP2が第3の配線レベルの仮想格子ピッチP5に等しい場合、パワー・レール・ピッチPP1は、第1の配線レベルの仮想格子ピッチP2に等しくてもよい。別の例では、第3の配線レベルの仮想格子ピッチP5が第1の配線レベルの仮想格子ピッチP2より大きい場合、パワー・レール・ピッチPP1は、第1の配線レベルの仮想格子ピッチP2と異なり、第1の配線レベルと第3の配線レベル間の仮想格子ラインカウントにおける差を補っており、これによって

50

、第1の配線レベルの仮想格子と第3の配線レベルの仮想格子とがDASの境界で配列されてもよい。

【0120】

図20Bは、本発明の一実施形態において、図20Aの第1の配線レベルの仮想格子の各ライン2001に沿って定義されたノーカットの線形導電体形状2005を示す図である。図20Bの例が線形導電体形状によって占められた第1の配線レベルの仮想格子の各ラインを示しているのに対して、第1の配線レベルの仮想格子のすべてのライン、あるいは、さらに言えば、任意の仮想格子が線形導電体形状によって占められる必要はないことは理解されるべきである。各線形導電体形状2005またはそのセグメントは、その長さに沿って実質的に一定の幅W3を持つように定義される。また、第1の配線レベルは、パ
10
ワー・レール仮想ライン2003に沿って定義された線形導電体パワー・レール形状2007も含む。線形導電体パワー・レール形状2007のそれぞれは、その長さに沿って実質的に一定の幅W2を持つように定義される。第1の配線レベル内で、ノーカットの線形導電体形状2005のそれぞれは、仮想格子のあるライン2001の最大形状占有を表す。しかしながら、第1の配線レベルにおける一部のノーカットの線形導電体形状2005は、機能的な電子回路を形成するために、トランジスタデバイスやその他の電子部品（例えば抵抗器、ダイオード、コンデンサなど）の配線ができるように区分化される必要があってもよい。

【0121】

図18~24DのDAS10例は、DAS八口領域へ延びるあるレベルの線形導電体形状を示しているが、DAS八口領域内の線形導電体形状の存在は、DASのDASグリッド上への配置後のDAS八口領域のコンテンツを表す。様々な実施形態では、DAS八口領域の特定のコンテンツは、DASのDASグリッド上の配置前あるいは配置後に定義されてもよい。これについては、図25A~26D-2でさらに議論する。
20

【0122】

図20Bなどの一実施形態では、あるDASレベル内の線形導電体形状のそれぞれは、実質的に等しい幅を持つように定義される。しかしながら、前述のように、あるDASレベル内の仮想格子の様々なラインに沿って定義された線形導電体形状は、異なる幅を持つように定義できる。例えば、図20B1は、本発明の一実施形態において、図20A1の第1の配線レベルの仮想格子の様々なライン2002に沿って定義された線形導電体形状
30
2004A、2004Bおよび2004Cを示す図である。図20B1は、仮想格子に沿った線形導電体形状の定義に関する前述のオプションのいくつかを明示している。特に、図20B1の領域2006は、多くの仮想格子ラインが空であることを明示している。また、図20B1は、どのようにして、あるDASレベル内の線形導電体形状が異なる幅、例えば、W3A、W3BおよびW3Cを持つように定義されるかも明示している。また、図20B1の領域2008は、多くの隣接する線形導電体形状を組み合わせることで単一の線形導電体形状を形成するために、どのようにして多くの隣接する線形導電体形状の幅が定義されるかも明示している。

【0123】

図20Cは、本発明の一実施形態において、図20Bの線形導電体形状2005の区
40
分化を示す図である。図20Cに示されるように、第1の配線レベルの実際のレイアウトは、そこに定義された多くのノーカットの線形導電体形状を区分化することで達成される。例えば、距離G2の多くのギャップは、様々なノーカットの線形導電体形状2005に沿って配置される。ある実施形態では、ダイナミックアレイ・アーキテクチャの第1の配線レベルにおける、ノーカットの線形導電体形状の区分化に用いられる距離G2の各ギャップは、実質的に一定であるように定義される。別の実施形態では、第1の配線レベルにおけるノーカットの線形導電体形状の区分化に用いられるギャップは、製造可能性を確実にするための必要性に応じてその寸法を変えられる。

【0124】

図20Cに関して、線形導電体形状2005の区分化は、場所2012で示されるよう
50

に、DAS境界近くの場所での線形導電体形状2005の一部分の除去も含むことは理解されるべきである。一実施形態では、DAS境界での線形導電体形状2005の一部の除去は、該DASから隣接するDASへの該線形導電体形状2005の連続性が不要でない場合に行われる。別の実施形態では、DAS境界での線形導電体形状2005の一部の除去は、該DAS内で定義される回路の機能要件を満たすために行なわれる。さらに別の実施形態では、DAS境界での線形導電体形状2005の一部の除去は、該DAS内の1つまたは複数の形状の製造可能性を支援するために行なわれる。一実施形態では、ある線形導電体形状2005の一部は、場所2012で示されるように、線形導電体形状2005の一部をDAS八口領域に残しながらDAS境界で除去される。DAS境界に近い場所で除去された線形導電体形状2005の一部の長さは、DASの要件に応じて、あるいはDAS-DAS間のインターフェース要件に応じて変えられることは認識されるべきである。しかしながら、DAS境界での線形導電体形状2005の一部分の除去は、DAS内の周辺の線形導電体形状2005の製造可能性に悪影響を与えないように行わねばならないことも理解されるべきである。

10

【0125】

図21Aは、本発明の一実施形態において、DAS10例の第2の配線レベルの仮想格子を示す図である。第2の配線レベルの仮想格子は、一定のピッチP3で配置された平行線2101の枠組みによって定義される。第2の配線レベルの仮想格子は、DAS10が構築される基板部1803上の方向(y方向)にそのラインが伸び、第1の配線レベルの仮想格子に対して垂直な方向に伸びるように配向される。

20

【0126】

x方向における第2の配線レベルの仮想格子の位置および関連するピッチP3は、ゲート電極レベルの仮想格子と第2の配線レベルの仮想格子との関係に基づいて構築される。図21Bは、本発明の一実施形態において、第2の配線レベルの導電体形状とゲート電極レベルの導電体形状間での3:2ピッチ関係に基づいて定義された、DAS10例の第2の配線レベルの仮想格子とゲート電極レベルの仮想格子間の間隔関係を示す図である。DAS10例の第2の配線レベルの仮想格子は、第2の配線レベルの仮想格子ライン2101とゲート電極レベルの仮想格子ライン1901とのピッチ比が3:2となるように定義される。この例において、第2の配線レベルの仮想格子のピッチP3は、第2の配線レベルの仮想格子ライン2101の3ピッチがゲート電極レベルの仮想格子ライン1901の2ピッチごとに与えられるように定義される。

30

【0127】

ダイナミックアレイ・アーキテクチャの第2の配線レベルとゲート電極レベル間の3:2仮想格子ピッチ比は、ある特定の実施形態の例として提供されることは認識されるべきである。別の実施形態では、ダイナミックアレイ・アーキテクチャの第2の配線レベルとゲート電極レベル間で、異なる仮想格子ピッチ比を定義することができる。一般的には、第2の配線レベルとゲート電極レベル間の仮想格子ピッチ比は、第2の配線レベルの導電体形状とゲート電極レベルの導電体形状との連続する配列間の、第2の配線レベルの多くの導電体形状のピッチを表す整数(a)とゲート電極レベルの多くの導電体形状のピッチを表す整数(b)を用いて、整数比(a/b)で表される。一実施形態では、仮想格子ピッチ比(a/b)を可能な限り1に近く設定するよう試みられている。この実施形態では、第2の配線レベルの導電体形状とゲート電極レベルの導電体形状間の配列パターンは、DAS全域において最小間隔で繰り返されるであろう。しかしながら、特定の実施形態にもかかわらず、ピッチと配列の観点での特定のの間隔関係は、第2の配線レベルの仮想格子とゲート電極レベルの仮想格子間に存在することは理解されるべき点である。

40

【0128】

図21Cは、本発明の一実施形態において、第2の配線レベルの仮想格子の各ライン2101に沿って定義されたノーカットの線形導電体形状2103を示す図である。図21Cの例は、線形導電体形状によって占められた第2の配線レベルの仮想格子の各ラインを示しているが、第2の配線レベルの仮想格子のすべてのライン、あるいは、さらに言えば

50

、任意の仮想格子が線形導電体形状によって占められる必要はないことは理解されるべきである。図 2 1 C の例では、各線形導電体形状 2 1 0 3 あるいはそのセグメントは、その長さに沿って実質的に一定の幅 W_4 を持つように定義される。しかしながら、他の実施形態においては、DAS の第 2 の配線レベルの全域で定義された様々な線形導電体形状は、その長さに沿った幅が実質的に一定の、異なる幅を有するように定義できることは理解されるべきである。また、第 2 の配線レベル内で、ノーカットの線形導電体形状 2 1 0 3 のそれぞれは、仮想格子のあるライン 2 1 0 1 の最大形状占有を表す。しかしながら、第 2 の配線レベルにおける一部のノーカットの線形導電体形状 2 1 0 3 は、機能的な電子回路を形成するために、トランジスタデバイスやその他の電子部品（例えば抵抗器、ダイオード、コンデンサなど）の配線ができるように区分化される必要があってもよい。

10

【0129】

図 2 1 D は、本発明の一実施形態において、第 2 の配線レベル内の線形導電体形状 2 1 0 3 の区分化を示す図である。図 2 1 D に示されるように、第 2 の配線レベルの実際のレイアウトは、多くのノーカットの線形導電体形状 2 1 0 3 の区分化によって達成される。例えば、距離 G_3 の多くのギャップは、様々なノーカットの線形導電体形状 2 1 0 3 に沿って配置される。一実施形態では、ダイナミックアレイ・アーキテクチャの第 2 の配線レベルにおけるノーカットの線形導電体形状の区分化に用いられる距離 G_3 のギャップはそれぞれ、実質的に一定であるように定義される。別の実施形態では、第 2 の配線レベルにおけるノーカットの線形導電体形状の区分化に用いられるギャップは、製造可能性を確実にするための必要性に応じてその寸法を変えられる。

20

【0130】

図 2 2 A は、本発明の一実施形態において、第 2 の配線レベルの導電体形状とゲート電極レベルの導電体形状間で 4 : 3 のピッチ関係に基づいて定義された、DAS 10 例の第 2 の配線レベルの仮想格子を示す図である。図 2 2 A の例における第 2 の配線レベルの仮想格子は、一定のピッチ P_4 で配置された平行線 2 2 0 1 の枠組みによって定義される。図 2 2 A の第 2 の配線レベルの仮想格子は、そのラインが第 1 の配線レベルの仮想格子に対して垂直な方向に延びるように配向される。

【0131】

第 2 の配線レベルの仮想格子の x 方向の位置および関連するピッチ P_4 は、第 2 の配線レベルの導電体形状とゲート電極レベルの導電体形状間の 4 : 3 のピッチ関係に基づいて構築される。図 2 2 B は、本発明の一実施形態において、第 2 の配線レベルの導電体形状とゲート電極レベルの導電体形状間で 4 : 3 のピッチ関係に基づいて定義された、ダイナミックアレイ・セクションの第 2 の配線レベル仮想格子とゲート電極レベルの仮想格子間の間隔関係を示す図である。図 2 2 B に示されるように、第 2 の配線レベルの仮想格子のピッチ P_4 は、第 2 の配線レベルの仮想格子ラインの 4 ピッチがゲート電極レベルの仮想格子ラインの 3 ピッチごとに与えられるように、定義される。

30

【0132】

図 2 2 C は、本発明の一実施形態において、第 2 の配線レベルの仮想格子の各ライン 2 2 0 1 に沿って定義されたノーカットの線形導電体形状 2 2 0 3 を示す図である。各線形導電体形状 2 2 0 3 あるいはそのセグメントは、その長さに沿って実質的に一定の幅 W_5 を持つように定義される。第 2 の配線レベル内で、ノーカットの線形導電体形状 2 2 0 3 のそれぞれは、仮想格子のあるライン 2 2 0 1 の最大形状占有を表す。しかしながら、第 2 の配線レベルにおける一部のノーカットの線形導電体形状 2 2 0 3 は、機能的な電子回路を形成するために、トランジスタデバイスやその他の電子部品（例えば抵抗器、ダイオード、コンデンサなど）の配線ができるように区分化される必要があってもよい。

40

【0133】

図 2 2 D は、本発明の一実施形態において、第 2 の配線レベル内の図 2 2 C の線形導電体形状 2 2 0 3 の区分化を示す図である。図 2 2 D に示されるように、第 2 の配線レベルの実際のレイアウトは、多くのノーカットの線形導電体形状 2 2 0 3 の区分化により達成される。例えば、距離 G_4 の多くのギャップは、様々なノーカットの線形導電体形状 2 2

50

03に沿って配置される。一実施形態では、ダイナミックアレイ・アーキテクチャの第2の配線レベルにおけるノーカットの線形導電体形状の区分化に用いられる距離G4の各ギャップは、実質的に一定であると定義される。別の実施形態では、第2の配線レベルにおけるノーカットの線形導電体形状の区分化に用いられるギャップは、製造可能性を確実にするための必要性に応じてその寸法を変えられる。

【0134】

図23は、本発明の一実施形態において、識別された多くの典型的なビア位置2301を有する図22Dの第2の配線レベルを示す図である。各DAS内で、仮想格子ラインが互いに交差するそれぞれの場所はビアの潜在的な場所である。したがって、仮想ビアグリッドは、それぞれがビアの潜在的な場所を表す、2つの異なるDASレベルの仮想格子ラインが互いに交差する様々な場所によって定義される。例えば、典型的なビア位置2301は、第2の配線レベルの仮想格子ラインが第1の配線レベルの仮想格子ラインと交差する場所に定義される。下位にある導電体形状上へのビアの完全な配置を確実にするために、下位にある導電体形状を実際のビア場所を超えて拡張することが必要とされてもよい。下位の導電体形状の拡張距離、すなわち、末端オーバーラップによって、下位の導電体形状に関連したライン末端短縮効果のために、下位の導電体形状上へのビアの完全な配置が妨げられないことが確実となる。この点を示すために、典型的なビア位置2301のすぐ下の第1の配線レベルの線形導電体形状間のギャップG2は、その上にビアが典型的なビア位置2301に配置される各線形導電体形状の拡張、すなわち、末端オーバーラップを許容するように配置される。

【0135】

図24Aは、本発明の一実施形態において、DAS10例の第3の配線レベルの仮想格子を示す図である。第3の配線レベルの仮想格子は、一定のピッチP5で配置された平行線2401の枠組みによって定義される。第3の配線レベルの仮想格子は、DAS10が構築される基板部1803上のx方向にそのラインが伸び、第2の配線レベルの仮想格子に対して垂直な方向に伸びるように配向される。

【0136】

第3の配線レベルの仮想格子のy方向の位置および関連するピッチP5は、第1の配線レベルの仮想格子(図20A~20C参照)と第3の配線レベルの仮想格子間の関係に基づいて構築される。図24Bは、本発明の一実施形態において、DAS10例の第3の配線レベルの仮想格子と第1の配線レベルの仮想格子間の間隔関係を示す図である。一実施形態では、DASの第3の配線レベルの仮想格子と第1の配線レベルの仮想格子間の間隔関係は、以下の式1で定義される。

【0137】

【数1】

$$P5 = \frac{[(2)(PP1)] + [(b-1)(P2)]}{(a-1)} \quad \text{式1}$$

式中、P5は第3の配線レベルの仮想格子のピッチを、P2は第1の配線レベルの仮想格子のピッチを、PP1は第1の配線レベルに用いられるパワー・ルール・ピッチを、aは第3の配線レベルの仮想格子内に定義される平行線の数を、bは第1の配線レベルのパワー・ルール仮想ラインの数を含まない第1の配線レベルの仮想格子内に定義される平行線の数である。DAS10例において、aは10、bは9である。したがって、DAS10の例では、P5は以下の式によるPP1とP2の関数として定義される。

【0138】

$$P5(1/9) = [(2 * PP1) + (8 * P2)]$$

式1は、あるDAS実施形態における第3の配線レベルの仮想格子と第1の配線レベルの仮想格子間の関係を定義しているが、その他のDAS実施形態では、第3の配線レベルの仮想格子と第1の配線レベルの仮想格子間で異なる関係を用いてもよいことは認識されるべきである。特定の実施形態にかかわらず、ピッチと配列の観点からの特定の間隔関係

は、第3の配線レベルの仮想格子と第1の配線レベルの仮想格子間に存在することは理解されるべき点である。

【0139】

図24Cは、本発明の一実施形態において、第3の配線レベルの仮想格子の各ライン2401に沿って定義されたノーカットの線形導電体形状2403を示す図である。図24Cの例は、線形導電体形状によって占められた第3の配線レベルの仮想格子の各ラインを示しているが、第3の配線レベルの仮想格子のすべてのライン、あるいは、さらに言えば、任意の仮想格子が線形導電体形状によって占められる必要はないことは理解されるべきである。各線形導電体形状2403あるいはそのセグメントは、その長さに沿って実質的に一定の幅W6を持つように定義される。しかしながら、その他の実施形態では、DASの第3の配線レベル全域で定義された様々な線形導電体形状は、その長さに沿った幅が実質的に一定の、異なる幅を有するように定義できることは理解されるべきである。また、第3の配線レベル内で、ノーカットの線形導電体形状2403のそれぞれは、仮想格子のあるライン2401の最大形状占有を表す。しかしながら、第3の配線レベルにおける一部のノーカットの線形導電体形状2403は、機能的な電子回路を形成するために、トランジスタデバイスやその他の電子部品（例えば抵抗器、ダイオード、コンデンサなど）の配線ができるように区分化される必要があってもよい。

10

【0140】

図24Dは、本発明の一実施形態において、第3の配線レベル内の線形導電体形状2403の区分化を示す図である。図24Dに示されるように、第3の配線レベルの実際のレイアウトは、多くのノーカットの線形導電体形状2403の区分化により達成される。例えば、距離G5の多くのギャップは、様々なノーカットの線形導電体形状2403に沿って配置される。一実施形態では、ダイナミックアレイ・アーキテクチャの第3の配線レベルにおけるノーカットの線形導電体形状の区分化に用いられる距離G5の各ギャップは、実質的に一定であると定義される。別の実施形態では、第3の配線レベルにおけるノーカットの線形導電体形状の区分化に用いられるギャップは、製造可能性を確実にするための必要性に応じてその寸法を変えられる。

20

【0141】

図21D、22Dおよび24Dに関して、線形導電体形状2103、2203および2403の区分化は、DAS境界近くの場所での線形導電体形状の一部の除去も含むことができることは理解されるべきである。一実施形態では、DAS境界での線形導電体形状2103、2203、2403の一部の除去は、該DASから周辺のDASへの線形導電体形状の連続性が不要でない場合に行われる。DAS境界近くの場所で除去された線形導電体形状2103、2203、2403の一部の長さは、DAS-DAS間のインターフェース要件に応じて変えられることは認識されるべきである。しかしながら、DAS境界での線形導電体形状2103、2203および2403の一部の除去は、DAS内の周辺の線形導電体形状の製造可能性に悪影響を与えないように行われるべきであることも理解されるべきである。

30

【0142】

図18で既に説明したように、各DASは関連する製造保証八口（DAS八口）を有する。各DAS八口は、関連するDAS内の機能的形状が周辺のDASによる製造への悪影響を受けないように、また、周辺の各DASの製造に与える影響に関して、関連するDASの特性が適切に考慮されるように、関連するDASのDASグリッド（図17参照）上への配置を容易にするように定義される。言い換えれば、DAS八口は、チップ領域利用の最適化を可能にしながら、あるDASの別のDASへの近接配置を調整して、それぞれのDASの製造可能性を確実にすることができる機構を定義する。

40

【0143】

あるDASのDAS八口は、多くの適合性指定を含むように区分化できる。例えば、DASの各レベルにおけるダイナミックアレイ・アーキテクチャの線形特性が与えられると、一実施形態では、あるDASの境界がDASグリッドの第1の方向に平行であるか、あ

50

るいはDASグリッドの第2の方向(第2の方向は第1の方向に対して垂直である)に平行であるかに応じて、異なる適合性指定が該DASの境界に関するDAS八口のセグメントに適用されることが期待できる。さらに、一実施形態では、DASグリッドの第1の方向のDAS境界に沿って定義されたDAS八口・セグメントはそれぞれ、共通の適合性指定を有してもよい。同様に、DASグリッドの第2の方向のDAS境界に沿って定義されたDAS八口・セグメントはそれぞれ、共通の適合性指定を有してもよい。

【0144】

図25Aは、本発明の一実施形態において、それぞれの境界適合性指定(c1~c5)を有する多くの典型的なDAS(DAS1~DAS11)を示す図である。図25Aに関して、各DAS(DAS1~DAS11)の周囲の点線はDASのDAS八口を表す。各DAS八口の境界適合性指定は、ラベルc1、c2、c3、c4あるいはc5で識別される。一実施形態では、DASの各境界セグメントは境界適合性指定を与えられる。したがって、DAS境界適合性指定を手段として、各DASのそれぞれの境界の配置は、それに近接する各DASのそれぞれの境界に関連すると考えられる。

10

【0145】

一実施形態では、多くのDASはDASライブラリを形成するように定義されてもよい。共通のDAS境界適合性指定を有するDASライブラリにおけるDASそれぞれに適用できるように、該ライブラリのDASそれぞれが同様な特性を有するように定義されている、様々な電子論理ゲート、デバイス、回路あるいは構成要素を形成する多くのDASを含むように、DASライブラリは定義されてもよい。また、この実施形態では、共通のDAS境界適合性指定を、共通の方向に延びるDASライブラリにおける各DASのそれぞれの境界に適用することもできる。さらに、第1の方向に延びる各DASのそれぞれの境界が第1のDAS境界適合性指定を割り当てられ、第2の方向に延びる各DASのそれぞれの境界が第2のDAS境界適合性指定を割り当てられるように、異なるDAS境界適合性指定をDASライブラリに適用することもできる。

20

【0146】

図25Bは、本発明の一実施形態において、それぞれのDAS境界適合性指定に従って、DASグリッド上の図25AのDASの典型的なアセンブリを示す図である。DASクラスタは、DASグリッド上のDASのアセンブリとして定義され、DASアセンブリにおける各DASは、DAS境界の少なくとも一部を該DASアセンブリの別のDASと共有する。図25Bの以下の説明において、第1のDASクラスタは、DAS1、DAS3、DAS4、DAS7、DAS8、DAS9およびDAS10で定義される。また、図25Bに関して、第2のDASクラスタは、DAS3、DAS5、DAS6およびDAS11で定義される。一実施形態では、別個のDASの特定の境界に対する同様なDAS境界適合性指定は、同様なDAS境界適合性指定を有するそれらの該特定の境界が同一ラインに配列できるように、該別個のDASをDASグリッド上に配置できることを示している。例えば、DAS1およびDAS2はそれぞれ、DAS境界適合性指定がc2の隣接する境界を有する。したがって、DAS1とDAS2は、DAS境界適合性指定がc2のそれらの隣接する境界が同一ラインに配列されるように、互いにDASグリッド上に配置される。このように、他のDAS境界は、DAS1とDAS4、DAS1とDAS7、DAS4とDAS8、DAS7とDAS8、DAS7とDAS9、DAS8とDAS9、DAS9とDAS10、DAS3とDAS5、DAS5とDAS6およびDAS6とDAS11で例示されるように、DASグリッド上で同一ラインに配列できる。

30

40

【0147】

一実施形態では、特定の境界に対して異なるDAS境界適合性指定を有する個々のDASは、該個々のDASの製造が互いに悪影響を与えないことを確実にするために、グリッド上で離れて配置されるべきであることを示している。一実施形態では、異なるDAS境界適合性指定を有する個々のDASの隣接する境界は離れて配置し、それらの隣接する境界に関連するDAS八口部分がオーバーラップしないようにする。例えば、DAS2とDAS3はそれぞれ、DAS境界適合性指定がc2とc3の隣接する境界を有している。し

50

たがって、D A S 2 と D A S 3 は、それらの隣接する境界に関連する D A S 八口部分がオーバーラップしないように互いに D A S グリッド上に配置される。このように、不適合な D A S 境界指定を有する他の D A S 境界は、D A S 4 1 と D A S 5、D A S 8 と D A S 5、D A S 1 0 と D A S 1 1、D A S 3 と D A S 6 および D A S 5 と D A S 1 1 で例示されるように、互いに離間して配置される。

【0148】

同様な D A S 境界適合性指定を有する個々の D A S の境界は、D A S グリッド上の同一ラインに配列できるが、こうした同一ライン上の配置は厳密には必要でないことは理解されるべきである。例えば、近接する境界に関して同様な D A S 境界適合性指定を有する D A S は、近接する境界間に意図的に分離を与えるように、D A S グリッド上に配置されてもよい。図 2 5 C は、本発明の一実施形態において、意図的に定義された空領域 2 5 0 1 を有する、それぞれの D A S 境界適合性指定に従った、D A S グリッド上の図 2 5 A の D A S の典型的なアセンブリを示す図である。具体的に、図 2 5 C の例では、D A S 8 の上部境界および D A S 4 の下部境界の D A S 境界適合性指定は、D A S グリッド上でのそれらの同一ライン上の配置を可能にするが、D A S 8 は、D S A 4 から離間するように D A S グリッド上に配置され、これによって空の領域 2 5 0 1 を形成している。通常、チップ領域は貴重であるため、意図的にそのような空領域 2 5 0 1 を形成することは通常発生しなくてもよい。しかしながら、ダイナミックアレイ・アーキテクチャは十分に柔軟であり、必要であれば、そうした空の領域 5 0 1 を意図的に形成することができることは認識されるべきである。

10

20

【0149】

図 2 6 A - 1 は、本発明の一実施形態において、典型的な D A S 2 6 0 0 のあるレベルを示す図である。典型的な D A S 2 6 0 0 は、関連する D A S 境界 2 6 0 1 および関連する D A S 八口境界 2 6 0 3 を有しており、これによって、D A S 境界 2 6 0 1 の外側に D A S 八口領域 2 6 0 5 を形成する。多くの線形導電体形状 2 6 0 7 は、D A S 2 6 0 0 のレベル内に見られる。ある実施形態では、D A S のあるレベルの D A S 八口領域、例えば D A S 八口領域 2 6 0 5 の初期コンテンツは、該 D A S の D A S グリッド上への配置に先立って、D A S の該レベルと共に事前定義される。図 2 6 A - 2 は、多くの補強形状 2 6 0 9 を含むように事前定義された D A S 八口領域 2 6 0 5 を有する典型的な D A S 2 6 0 0 を示す図である。補強形状 2 6 0 9 は例示の目的で示されており、D A S 八口領域内に定義される補強形状の長さ、配置、数あるいは区分化に関して特定の要件を伝えるようには意図されていないことは理解されるべきである。

30

【0150】

図 2 6 B - 1 は、本発明の一実施形態において、別の典型的な D A S 2 6 0 2 のレベルを示す図である。典型的な D A S 2 6 0 2 は、関連する D A S 境界 2 6 1 1 および関連する D A S 八口境界 2 6 1 7 を有しており、これによって、D A S 境界 2 6 1 1 の外側に D A S 八口領域 2 6 1 5 を形成している。多くの線形導電体形状 2 6 1 3 が D A S 2 6 0 2 のレベル内に示される。図 2 6 B - 2 は、多くの補強形状 2 6 1 9 を含むように事前定義された D A S 八口領域 2 6 1 5 を有する典型的な D A S 2 6 0 2 を示す図である。補強形状 2 6 1 9 は例示の目的で示されており、D A S 八口領域内に定義される補強形状の長さ、配置、数あるいは区分化に関して特定の要件を伝えるようには意図されていないことは理解されるべきである。

40

【0151】

一実施形態では、多くの D A S は、それぞれの D A S 八口領域コンテンツと共に D A S グリッド上に配置されて、D A S クラスタを形成する。この実施形態では、各 D A S のあるレベルの D A S 八口領域の事前定義されたコンテンツは、D A S が D A S グリッド上に配置されると変更される可能性がある。より具体的には、ある D A S が D A S グリッド上に配置されると、該 D A S に関連した D A S 八口領域の一部は、周辺の D A S によって D A S 八口領域の一部の場所が占有されることによって削除することができる。さらに、この実施形態では、D A S 八口領域の一部の事前定義されたコンテンツは、D A S が D A S

50

グリッド上に配置されると、該DAS八口領域がそれ自体で見出すコンテキストに応じて変更される可能性がある。

【0152】

図26C-1は、本発明の一実施形態において、図26A-2のDAS2600と図26B-2のDAS2602のDASグリッド上への典型的な配置を示す図である。図26C-1の実施形態では、DAS八口領域2605の事前定義されたコンテンツは、DAS2600と共にDASグリッド上に配置される。また、図26C-1の実施形態では、DAS八口領域2615の事前定義されたコンテンツは、DAS2602と共にDASグリッド上に配置される。DAS2600とDAS2602のそれぞれは、DAS2600の下部境界とDAS2602の上部境界とが同一ライン上に配列され、DAS2600の下部境界とDAS2602の上部境界は、DAS2600とDAS2602の図示された配向に対して参照されるように、DASグリッド上に配置される。したがって、DAS2600の下部境界とDAS2602の上部境界は、共通のDAS境界適合性指定を共有する。

10

【0153】

DAS2600のDAS八口領域2605の中央下方部はDAS2602によって占められるので、DAS2600のDAS八口領域2605の中央下方部は削除される。同様に、DAS2602のDAS八口領域2615の中央上方部はDAS2600によって占められるので、DAS2602のDAS八口領域2615の中央上方部は削除される。また、図26C-1に示されるように、DAS2600およびDAS2602がDASグリッド上に配置されると、DAS八口・オーバーラップ領域2621ができる。具体的には、オーバーラップ領域2621において、DAS2600のDAS八口領域2605の外部下方部とDAS2602のDAS八口領域2615の外部上方部は、互いにオーバーラップする。

20

【0154】

一実施形態では、複数のDASのDASグリッド上への配置は、DAS八口・オーバーラップ領域内のDAS八口領域部の事前定義されたコンテンツが、複数のDASの任意のものにおける形状の製造可能性に悪影響を与えないように、適合性を有するようにコントロールされる。例えば、図26C-1で、DAS八口・オーバーラップ領域2621内のDAS八口領域2605およびDAS八口領域2615のコンテンツは実際に、DAS八口領域2605と2615の初期の事前定義されたコンテンツを維持するように配列する。しかしながら、DAS八口・オーバーラップ領域の生成コンテンツが、周辺のDAS内の形状の製造可能性に悪影響を与えない限り、同領域の生成コンテンツが、オーバーラップに関わるそれぞれのDAS八口領域の初期の事前定義されたコンテンツを維持することは厳密には必要ではないことは理解されるべきである。

30

【0155】

別の実施形態では、多くのDASは、DAS八口領域コンテンツのないDASグリッド上に配置されてDASクラスタを形成する。この実施形態では、様々なDASは、関連するDAS八口コンテンツを考慮せずに、そのDAS境界適合性指定に従って配置される。例えば、図26C-2は、本発明の一実施形態において、それぞれのDAS八口を考慮せずに、DAS2600とDAS2602のDASグリッド上への典型的な配置を示す図である。図26C-2の実施形態では、DAS2600の下部境界とDAS2602の上部境界が、それらの共通のDAS境界適合性指定に応じて、同一ラインに配列されるように、DAS2600とDAS2602はそれぞれDASグリッド上に配置される。DAS2600とDAS2602のアセンブリはDASクラスタを表す。

40

【0156】

DAS境界適合性指定に従って様々なDASを配置してDASクラスタを形成後、DAS八口境界を該DASクラスタの周辺に配置できる。例えば、図26C-3は、DAS八口領域2623を形成するために、DASクラスタの周辺に定義されたDAS八口境界2625を有する、図26C-2のDASクラスタを示す図である。その後、DASクラスタ

50

タを補うDASにおける様々な形状の製造可能性の補強/支援の必要性に応じて、DAS八口領域2623のコンテンツを定義できる。例えば、図26C-4は、DAS八口領域2623の定義されたコンテンツを示す図である。多くの補強形状2627は、DAS八口領域2623内に示される。補強形状2627は例示の目的で示されており、DAS八口領域内に定義される補強形状の長さ、配置、数あるいは区分化に関して特別の要求を伝えるようには意図されないことは理解されるべきである。別の実施形態では、DASクラスタの周辺に定義されたDAS八口領域のすべてまたは一部は、DASクラスタのDAS内の形状の良好な製造可能性にとって適切であれば、空にしておくことができる。例えば、この実施形態では、DAS八口領域2623のすべてあるいは一部は空、すなわち、補強形状なしであってもよい。

10

【0157】

一旦DASがDASグリッドに配置されれば、あるDASから別のDASに線形導電体形状を機能的に配線することが必要とされてもよい。一実施形態では、多くのDAS配線セグメントは、場所とルートのプロセスの間に定義され、各DAS配線セグメントは、第1のDASのあるレベルにおける線形導電体形状を、第1のDASに隣接する第2のDASのあるレベルにおける同一ライン上の線形導電体形状と接続するように定義される。例えば、図26C-5は、図26C-4で定義された多くのDAS配線セグメント2629を有する同図のDASクラスタの特定のレベルを示す図である。DAS配線セグメント2629は例示の目的で示されており、DAS間に定義されるDAS配線セグメントの長さ、配置あるいは数に関して特定の要件を伝えるようには意図されていないことは理解されるべきである。

20

【0158】

図26D-1は、本発明の一実施形態において、半導体チップのダイナミックアレイ・アーキテクチャ領域の定義方法のフローチャートを示す図である。この方法は、対応するDAS八口を有する多くのDASをDASグリッドに配置してDASクラスタを形成する操作2631を含む。DASグリッドに多くのDASを配置する際、別のDASの内部領域に重なるDAS八口部分はそれぞれ除外される。したがって、DASグリッド上の場所はそれぞれ、DASの内部領域あるいはDAS八口領域のいずれかによって占められ得るが、その両方ではない。この概念は、図26C-1で既に説明している。対応するDAS八口を有するDASをDASグリッド上に配置すると、チップのあるレベルにおけるDAS八口の残りの部分とそれぞれのコンテンツを用いて、チップの該レベルにおけるDASクラスタのためのDAS八口を形成する。

30

【0159】

また、この方法は、DASクラスタの各レベル内の必要なDAS-DAS間の機能的な配線を定義する操作2633も含む。DAS-DASの機能的な配線は、図26C-5に関して既に説明したように、DAS配線に対応する。一実施形態では、必要なDAS配線を定義する操作2633は、場所とルートプロセスの間に行なわれる。しかしながら、他の実施形態では、操作2633は場所とルートプロセス外で行なうことができる。

【0160】

図26D-2は、本発明の一実施形態において、半導体チップのダイナミックアレイ・アーキテクチャ領域の定義方法のフローチャートを示す図である。この方法は、多くのDASをDASグリッド上に配置して、該多くのDASに関連した様々なDAS八口を考慮せずにDASクラスタを形成する操作2641を含む。また、この方法は、DASクラスタ周囲外にDAS八口領域を形成するように、DASクラスタの周囲のDAS八口境界の定義操作2643も含む。その後、操作2645を行って、DASクラスタを形成するよりDAS内の形状の製造可能性を確実にするために、DAS八口領域のコンテンツを定義する。様々な実施形態では、DASクラスタのDAS内の形状の製造を補強するために、DAS八口領域のコンテンツは、配向、サイズおよび間隔に関して定義された多くの補強形状を含むことができる。また、一部の実施形態では、DAS八口領域の1つまたは複数の部分は空にしておく、つまり、補強形状なしとすることができる。

40

50

【0161】

この方法はさらに、DASクラスタを形成する各DASの各レベル内に、必要となるDAS-DASの機能的な配線を定義する操作2647を含む。図26C-5に関して既に説明したように、DAS-DASの機能的な配線はDAS配線に対応する。一実施形態では、必要なDAS配線の定義操作2647は場所とルートプロセスの間に行なわれる。しかしながら、その他の実施形態では、操作2647は場所とルートプロセス外に行なうことができる。

【0162】

DASは、1つまたは複数の論理セル部分、1つまたは複数の完全な論理セル、あるいは完全な論理セルと部分的な論理セルの組み合わせを形成するように定義することができる。一実施形態では、論理セル境界は複数のゲート電極形状を含む。より具体的には、この実施形態では、ゲート電極形状に平行な論理セルの境界はゲート電極ハーフピッチに位置する。したがって、この実施形態では、論理セルの境界は、論理セル境界がゲート電極ハーフピッチに位置するように、ゲート電極レベルの仮想格子に基づいて定義される。各論理セルは、基板面に対して垂直な方向から見て、セル高さでセル幅を持つように定義される。一実施形態では、第1の配線レベルと第3の配線レベルにおける導電体形状間隔の関係は、第1の配線レベルと第3の配線レベルの導電体形状が高さ定義の論理セル境界に配列するように、論理セル高さが選択できる。

【0163】

論理セルのあるレベル、つまり論理セルを含むDASのあるレベルにおける導電体形状は、論理セルの始点に対してインデックス付けされる。議論の目的のために、あるレベルにおける論理セルの始点が、基板面に対して垂直な方向から見て、論理セルの左下コーナーに位置すると考えられる。論理セル幅は可変であるため、幅方向の論理セル境界は必ずしも、あるDASレベル内の(ゲート電極レベル上の)導電体形状ピッチあるいはハーフピッチに位置しなくてもよい。したがって、該DASレベルの仮想格子に対する論理セルの始点に応じて、該DASレベルにおける導電体形状は、該DASレベルの仮想格子と一致するために、論理セル始点に対してシフトする必要があってもよい。論理セルの始点に対する論理セルのあるレベルにおける導電体形状のシフトはフェイジングと呼ばれる。従って、フェイジングによって、論理セルの始点の場所に応じて、論理セルのあるレベルにおける導電体形状を該レベルにおけるDASの仮想格子に配列させることができる。例えば、ゲート電極の仮想格子が論理セル境界を横切って延びる場合、フェイジングによって、ある論理セルにおける第2の配線レベルの導電体形状の、第2の配線レベルの仮想格子との配列を維持させる必要があってもよい。

【0164】

図33は、本発明の一実施形態において、DAS内に定義された、隣接して配置された論理セルの第2の配線レベルにおける異なるフェイジングの一例を示す図である。図33は、DASにおいて互いに隣接して配置された3つの典型的なセル(セル1、フェイズA;セル1、フェイズB;セル1、フェイズC)を示す。したがって、3つのセルのそれぞれは、該DASの各レベルにおける仮想格子を共有する。フェイジング概念の説明を容易にするために、各レベルの第2の配線レベルの導電体形状3303は、各セルのゲート電極レベルの導電体形状3301上に重ね合わせて示される。幅方向のセル境界はゲート電極ハーフピッチに位置している。また、第2の配線レベルの導電体形状とゲート電極レベルの導電体形状との間隔は、第2の配線レベルの導電体形状の4ピッチがゲート電極レベルの導電体形状の3ピッチごとに与えられるように、4:3ピッチ比に基づいて定義される。各セルの始点は、セルの下部左コーナーに存在するように示される。

【0165】

第2の配線レベルに対するセル1の各フェイジングは、セルの始点に対して第2の配線レベルの導電体形状のインデックス付けにより定義される。図33の例で示されるように、始点に対する第2の配線レベルの導電体形状のインデックス、つまり間隔は、フェイズA、BおよびCのそれぞれに対して連続的に縮小される。各論理セルの各レベルが適切な

フェイズを有するように定義することにより、ある共通のDASにおいて論理セルを互いに隣に配置して、あるDASレベル内の様々な論理セル内で定義された導電体形状が、該DASレベルに関連する共通の仮想格子に配列できるようにすることが可能である。さらに、DASの1つまたは複数のレベルにおいて導電体形状を共有するように、DAS内の隣接するセルを定義し配置できることは認識されるべきである。例えば、図33のセル1のフェイズA、BおよびCは、ゲート電極レベルの導電体形状と第2の配線レベルの導電体形状とを共有するとして描かれている。

【0166】

図27Aは、本発明の一実施形態において、論理セルを定義する典型的なDAS2700を示す図である。例示の目的で、DAS2700は完全な論理セルを定義する。図27AのDAS2700は、基板の一部内に定義された多くの拡散領域2703、多くの拡散コンタクト2705、多くのゲート電極の線形導電体形状2707および多くのゲート電極コンタクト2709を示す。DAS境界2701はDAS2700の周囲に定義される。図18~24Dに関して既に説明したDAS10例などの一部の実施形態では、DASの各構成要素はDAS境界内に定義される。しかしながら、一部の実施形態では、拡散領域や拡散コンタクトなどのDAS内部形状は、DAS境界を越えて延び、DASの不可欠な構成要素と考えられ続けると定義できる。例えば、DAS2700においては、拡散領域2703と多くの拡散コンタクト2705は、DAS境界2701を越えて延びると定義される。DAS境界2701の外部に延びる拡散領域2703と拡散コンタクト2705の部分は、DAS2700の不可欠な構成要素として残る。

10

20

【0167】

DAS境界を超えるDAS構成要素の拡張によって、拡張されたDAS構成要素が1つまたは複数の周辺のDASにより共有化されてもよい。例えば、図27Bは、DAS境界を超えて延びるDAS構成要素を共有化するように、互いに隣接して配置されたDAS2700の多くの例を示す。より具体的には、DAS例2701Aおよび2701Bは、DAS2700例と同じ方法で配向され、それらの周辺の境界が同一ラインになるように互いに隣に配置される。DAS例2701Aおよび2701Bの配置によって、それら2つの間の拡散領域部分と拡散コンタクト部分の共有化が可能となる。DAS例2701Cと2701Dのそれぞれは、y方向に反転されたDAS2700例を表す。DAS例2701Cおよび2701Dのそれぞれは、それらの周辺の境界が同一ラインになるように互いに隣に配置される。DAS例2701Cおよび2701Dの配置によって、それらの間の拡散領域部分と拡散コンタクト部分の共有化が可能となる。また、DAS例2701Cと2701Dの配置によって、DAS例DAS2701CとDAS2701A間、DAS例DAS2701CとDAS2701B間、およびDAS例2701Dと2701B間それぞれの拡散領域部分と拡散コンタクト部分の共有化が可能となる。

30

【0168】

図28Aは、本発明の一実施形態において、1つまたは複数の機能的にインターフェースされたダイナミックアレイ・セクション(DAS)を有する半導体チップの設計方法のフローチャートを示す図である。この方法は、DASのゲート電極レベルを定義するために使用される導電体形状用の仮想格子のレイアウト操作2801を含む。仮想格子は、実質的に一定のピッチで定義された平行線の枠組みによって定義される。操作2803は、仮想格子のすべてのラインに沿って1つまたは複数の導電体形状を配列するために提供される。各導電体形状は、その幅がある仮想格子のあるライン上に実質的に集中するように、該仮想格子の該ライン上に配置される。既に言及したように、導電体形状の幅は、導電体形状が配置される仮想格子を定義する平行線の枠組みに対して同一平面および垂直の関係で測定される。

40

【0169】

操作2803における導電体形状の配置は、トランジスタデバイスを形成し、トランジスタデバイスと他の電子部品(例えば抵抗器、ダイオード、コンデンサなど)との配線により機能的電子回路を形成するために行われることは認識されるべきである。仮想格子の

50

各ラインに対して操作 2805 を行い、仮想格子の共通の線に沿って配置された隣接する導電体形状のそれぞれの組の近接端部間のギャップを定義する。各ギャップは、導電体形状の近接端部間の実質的に一貫した間隔を維持するように定義される。DAS のゲート電極レベル内で、一部の導電体形状は、トランジスタデバイスのゲート電極を定義するように設計される。一実施形態では、ダイナミックアレイ・セクションのあるレベルにおける隣接する導電体形状のそれぞれの組の近接端部間で定義される各ギャップのサイズは、そのレベルの仮想格子を定義するラインに対して導電体形状全体の占有を最大化するように、電氣的性能の制約条件内で最小化される。また、一実施形態では、DAS のあるレベルの仮想格子のすべてのラインに沿った 1 つまたは複数の導電体形状の配置は、そのレベルの仮想格子を定義する隣接するラインにおいて隣接するギャップを回避するために行われる。

10

【0170】

この方法はさらに、導電体形状が仮想格子の平行線の枠組みに実質的に配列してとどまるように、各導電体形状を実質的に方向変化がないように定義する操作 2807 を含む。一実施形態では、任意の導電体形状の任意の点における幅がこの導電体形状の公称幅の 50% を超えて変化する場合、この導電体形状の方向の実質的变化が起こる。別の実施形態では、任意の導電体形状の任意の第 1 の場所と任意の第 2 の場所における幅の差が、第 1 の場所の幅の 50% を超えて変化する場合、この導電体形状の方向の実質的变化が起こる。

【0171】

図 28B は、本発明の一実施形態において、図 28A の方法のフローチャートの続きを示す図である。操作 2809 は、該 DAS の別のレベルの導電ラインを定義するために使用される導電体形状用の別の仮想格子をレイアウトするために行われる。操作 2809 の他の仮想格子は、実質的に一定のピッチで定義される平行線の枠組みによって定義される。また、操作 2809 の他の仮想格子は、DAS の各仮想格子が隣接するレベルの仮想格子に対して垂直となるように定義される。操作 2811 は、操作 2809 でレイアウトされた他の仮想格子のすべてのラインに沿って 1 つまたは複数の導電体形状を配置するために行われる。操作 2811 では、トランジスタデバイスと他の電子部品（例えば抵抗器、ダイオード、コンデンサなど）との配線により機能的電子回路を形成できるように、導電体形状は、操作 2809 でレイアウトされた仮想格子のすべてのラインに沿って配置される。

20

30

【0172】

操作 2809 でレイアウトされた仮想格子の各ラインに対して操作 2813 を行い、仮想格子の共通の線に沿って配置された隣接する導電体形状のそれぞれの組の近接端部間のギャップを、各ギャップが実質的に一貫した間隔を維持するように定義する。また、操作 2815 では、操作 2811 で配置された各導電体形状が仮想格子の平行線の枠組みに実質的に配列してとどまるように、各導電体形状は実質的な方向変化がないように定義される。この方法はさらに、操作 2809 ~ 2815 を繰り返して DAS の追加されるレベルを設計するための操作 2817 も含む。

【0173】

さらに、この方法は、DAS のゲート電極レベルにおけるトランジスタデバイスのゲート電極を定義するように設計された導電体形状を、該 DAS の 1 つまたは複数の他のレベルにおいて設計された導電体形状に電氣的に接続するための多くのゲート電極コンタクトを定義する操作 2819 を含む。ゲート電極コンタクトはそれぞれ、DAS のゲート電極レベルにおけるトランジスタデバイスのゲート電極を定義するように設計された導電体形状に垂直にオーバーラップするように定義される。また、操作 2820 も、DAS におけるトランジスタデバイスのソース/ドレイン領域を、該 DAS の 1 つまたは複数のレベルにおいて定義された導電体形状に電氣的に接続する多くの拡散コンタクトを定義するために提供される。また、操作 2821 も、DAS の異なるレベル内の導電体形状を電氣的に接続して、機能的な電子回路を形成するように、DAS 内の多くのビアを定義するため

40

50

に提供される。

【0174】

図28Cは、本発明の一実施形態において、図28Bの操作2809の展開を示す図である。操作2823は、操作2809においてレイアウトされる他の導電体形状と同じ方向に配向されるDASのあるレベルの導電体形状を定義するために使用される実質的に一定のピッチを識別するために提供される。その後、操作2825を行って、操作2823で識別された実質的に一定のピッチと、操作2809でレイアウトされる他の仮想格子の定義に用いられる実質的に一定のピッチ間のピッチ関係を決定する。その後、操作2827を行い、操作2823で識別された実質的に一定のピッチと操作2825で決定されたピッチ関係を用いて、操作2809でレイアウトされる他の導電体形状の定義に用いられる実質的に一定のピッチを決定する。

10

【0175】

一実施形態では、操作2825で決定されたピッチ関係により、操作2823で識別された実質的に一定のピッチを乗算して操作2809でレイアウトされる他の仮想格子を定義するための実質的に一定のピッチを決定するピッチ乗数が定義される。一実施形態では、実質的に一定のピッチが操作2823で識別されたDASのレベルは、ダイナミックアレイ・セクションの第1の配線レベル(DASのゲート電極レベル上の)であり、また、2809でレイアウトされた他の仮想格子によって定義されるDASの他のレベルは、DASの第3の配線レベルであることを考えると、操作2825で決定されたピッチ関係は以下の式2で与えられる。

20

【0176】

【数2】

$$\text{3rd_level_pitch} = \frac{[(2)(\text{1st_level_power_pitch})] + [(b-1)(\text{1st_level_pitch})]}{(a-1)} \quad \text{式2}$$

式中、3rd_level_pitchは第3の配線レベルの仮想格子が定義される実質的に一定のピッチであり、1st_level_power_pitchは第1の配線レベルにおけるパワー・ルールと第1の配線レベルにおける隣接する導電体形状間の中心-中心間の分離であり、パワー・ルールはダイナミックアレイ・セクションに電力がアースを供給するための導電体形状であり、1st_level_pitchは第1の配線レベルの仮想格子が定義される実質的に一定のピッチであり、aは第3の配線レベルの仮想格子内で定義される平行線の数であり、bは、パワー・ルールのための仮想ラインを含まない、第1の配線レベルの仮想格子内で定義される平行線の数である。

30

【0177】

一実施形態では、あるレベルの仮想格子の平行線の枠組みを定義する実質的に一定のピッチは、該レベルの仮想格子のラインに沿って配置された導電体形状の製造中のリソグラフィック補強を最適化するように設定され。別の実施形態では、あるレベルの仮想格子の平行線の枠組みを定義する実質的に一定のピッチは、該レベルの仮想格子のラインに沿って配置された導電体形状の密度を最適化するように設定される。さらに別の実施形態では、あるレベルの仮想格子の平行線の枠組みを定義する実質的に一定のピッチは、該レベルの仮想格子のラインに沿って配置された導電体形状の製造可能性の正確な予測を可能にするように設定される。

40

【0178】

ダイナミックアレイ・セクションの1つまたは複数のレベルにおける導電体形状の一部は、電気回路機能に関して機能を持たないものとして定義されることが理解されるべきである。このような機能を持たない形状は、他の導電体形状の製造可能性を高めるように定義される。一実施形態では、機能を持たない形状の一部は、機能を持たない形状による他の導電体形状の製造可能性が必要でない場所では削除される。さらに、DASの任意のレベルの定義に用いられる仮想格子のあるラインは、該ラインが1つまたは複数の機能を持たない形状によって完全に占められるように、その上に1つまたは複数の機能を持たな

50

い形状を配置させられることは理解されるべきである。また、D A Sの任意のレベルの定義に用いられた仮想格子のあるラインは、任意の機能を持たない形状を含まない1つまたは複数の導電体形状をその上に配置できることも理解されるべきである。さらに、D A Sの任意のレベルの定義に用いられた仮想格子のあるラインは、電子回路機能性に関して機能的な形状である多くの導電体形状および多くの機能を持たない形状をその上に配置できることも理解されるべきである。

【0179】

図29Aは、本発明の一実施形態において、1つまたは複数の機能的にインターフェースされたダイナミックアレイ・セクションを有する半導体チップの設計方法のフローチャートを示す図である。この方法は、チップの一部上にD A Sグリッドを定義する操作2901を含む。D A Sグリッドは、チップの一部上に投影された垂直なグリッド・ラインの仮想ネットワークによって定義される。操作2903は、D A Sの定義された境界のそれぞれがD A Sグリッドのグリッド・ラインに一致するように、D A Sの境界を定義するために行なわれる。D A Sは、ダイナミックアレイ・アーキテクチャに従って定義されたチップの一部を表す。D A Sは、それぞれの境界がD A Sグリッドのグリッド・ラインに沿って定義された本質的に任意の二次元の形を有するように定義できることは理解されるべきである。また、この方法は、D A Sの基板部内に形成される1つまたは複数の拡散領域を定義する操作2905も含む。操作2907はさらに、D A Sの内の基板部上のチップの複数のレベルを定義するために提供される。

10

【0180】

図29Bは、本発明の一実施形態において、図29Aの操作2907の展開を示す図である。操作2909は、D A Sの複数のレベルそれぞれの仮想格子を定義するために提供される。D A Sの特定のレベルの仮想格子を定義する平行線の枠組みが、該特定のレベルの上部または下部のいずれかのレベルの仮想格子を定義する平行線の枠組みに対して実質的に垂直となるように配向されるように、操作2909の仮想格子は、実質的に一定のピッチの間隔を有する平行線の枠組みで定義される。一実施形態では、D A Sの特定のレベルの仮想格子の定義に使用される実質的に一定のピッチは、特定のレベルの仮想格子と同じ配向を有するD A Sの別のレベルの仮想格子の定義に用いられる実質的に一定のピッチを有する関係で決定される。また、一実施形態では、D A Sのあるレベルの仮想格子の平行線の枠組みを定義する実質的に一定のピッチは、該レベルの仮想格子を定義する線形導電体形状の製造可能性の正確な予測可能にするように設定される。

20

30

【0181】

この方法はさらに、D A Sの複数のレベルのそれぞれにおける仮想格子を定義するラインの枠組みに沿って多くの線形導電体形状を定義する操作2911を含む。各線形導電体形状は、線形導電体形状が定義される仮想格子のラインに対して実質的に方向変化がないように定義される。D A Sの複数のレベルにおける仮想格子を定義するラインの一部は、ギャップによって分離した近接端部を有する複数の線形導電体形状をその上に定義する。一実施形態では、これらのギャップの各々は、D A Sの内のチップのあるレベル内の線形導電体形状の近接端部間で実質的に一定の距離を維持するように定義される。

【0182】

D A Sのゲート電極レベル内で、多くの線形ゲート電極形状は、基板部内に形成された1つまたは複数の拡散領域上に定義された線形導電体形状の一部によって形成される。この方法はさらに、線形ゲート電極形状をゲート電極レベル上の1つまたは複数のレベルにおいて定義された線形導電体形状に電氣的に接続するために、多くのゲート電極コンタクト定義するための操作2913を含む。一実施形態では、ゲート電極コンタクトのそれぞれは、線形ゲート電極形状と垂直にオーバーラップするように定義される。また、D A Sにおけるトランジスタデバイスのソース/ドレイン領域をD A Sの1つまたは複数のレベルで定義された導電体形状に電氣的に接続するために、多くの拡散コンタクトを定義するための操作2914も提供される。また、この方法は、D A Sの異なるレベル内の線形導電体形状を電氣的に接続するように、D A S内の多くのピアを定義するための操作291

40

50

5も含む。

【0183】

図30は、本発明の一実施形態において、半導体チップのDAS設計方法のフローチャートを示す図である。この方法は、チップの基板部内に形成される1つまたは複数の拡散領域の定義する操作3001を含む。また、この方法は、チップの基板部上のDASの複数のレベルを定義する操作3003も含む。DASの各レベルは、レベルに関連した仮想格子に沿って配置された線形導電体形状を含むように定義される。DASの各レベルの仮想格子は、実質的に一定のピッチの間隔を有する平行線の枠組みによって定義される。DASの隣接するレベルにおける仮想格子は、互いに垂直なように配向される。

【0184】

また、この方法は、DASの各レベルの各仮想格子のそれぞれのラインの全長に沿って、ノーカットの線形導電体形状をレイアウトする操作3005も含む。操作3007では、ノーカットの線形導電体形状の一部は多くの線形導電体セグメントに区分化される。あるノーカットの線形導電体形状の区分化は、ノーカットの線形導電体形状に沿って1つまたは複数のギャップを配置することにより行なわれる。ある実施形態では、DASのあるレベル内のノーカットの導電体形状に沿って配置されたギャップは均一に定義される。

【0185】

DASの全体にわたって、線形導電体セグメントの第1の部分は、電子回路の導電体素子を形成するように定義される。相応して、該線形導電体セグメントの残りの部分は、第1の部分の製造を支援するように定義され、電子回路の導電体素子は形成しないように定義される。

【0186】

さらに、DAS全体にわたる線形導電体セグメントはそれぞれ、該線形導電体セグメントがレイアウトされる仮想格子のラインに対して実質的に方向変化がないように定義される。

【0187】

この方法はさらに、DASのゲート電極レベル内の導電体形状、すなわち線形ゲート電極形状を、DASのゲート電極レベル上の1つまたは複数のレベルにおいて定義された線形導電体形状に電気的に接続する多くのゲート電極コンタクトを定義する操作3009を含む。一実施形態では、ゲート電極コンタクトのそれぞれは、線形ゲート電極形状と垂直にオーバーラップするように定義される。また、DASにおけるトランジスタデバイスのソース/ドレイン領域を、DASの1つまたは複数のレベルで定義された導電体形状に電気的に接続する多くの拡散コンタクトを定義する操作3010も提供される。この方法はさらに、DASの異なるレベル内の線形導電体形状またはそのセグメントを電気的に接続するように、ダイナミックアレイ・セクション内の多くのピアを定義する操作3011を含む。

【0188】

図31は、本発明の一実施形態において、半導体チップ上に製造されるダイナミックアレイ・セクションの定義方法のフローチャートを示す図である。この方法はダイナミックアレイ・セクションの周辺境界を定義する操作3101を含む。また、この方法は、ダイナミックアレイ・セクションの境界外に製造保証八口を定義する操作3103も含む。ダイナミックアレイ・セクションの周辺境界から離れる垂直方向の製造保証八口の範囲は、製造保証八口の外部で定義されたチップ・レイアウト形状のそれぞれが、ダイナミックアレイ・セクション境界内部の導電体形状の製造に悪影響を及ぼせないことを確実にするように定義される。一実施形態では、ダイナミックアレイ・セクションの境界内部の多くの導電体形状は、製造保証八口を経由しダイナミックアレイ・セクションの境界を越えて延びるように定義される。また、一実施形態では、製造保証八口の外周は、ダイナミックアレイ・セクションの周辺境界の配列に使用されるダイナミックアレイ・セクション・グリッドのグリッド・ラインと一致する。また、一実施形態では、ダイナミックアレイ・セクションは、ダイナミックアレイ・セクションの境界内のチップの複数のレベルによって定

10

20

30

40

50

義され、個々の製造保証八口は独立に、かつそれぞれ、ダイナミックアレイ・セクションの複数のレベルのそれぞれに対して定義される。

【0189】

この方法はさらに、ダイナミックアレイ・セクションの境界内部の導電体形状の製造は、製造保証八口内のチップ・レイアウト形状によって悪影響を受けないことを確実にするために、製造保証八口内のチップ・レイアウト形状をコントロールする操作3105を含む。一実施形態では、製造保証八口内のチップ・レイアウト形状のコントロールは、ダイナミックアレイ・セクションに関連しないチップ・レイアウト形状の製造保証八口内への侵入がダイナミックアレイ・セクションの境界内部の導電体形状の製造に悪影響を及ぼさない場合にのみ許容されるように、チップ上にダイナミックアレイ・セクションを配置することによって行われる。

10

【0190】

一実施形態では、ダイナミックアレイ・セクションの境界は、境界セグメントの遠回りの配置によって定義される。各境界セグメントは関連する製造保証八口・セグメントを有する。また、各製造保証八口・セグメントは製造適合性識別子を割り当てられる。この実施形態では、各製造保証八口・セグメントは、同じ製造適合性識別子を有する周辺のダイナミックアレイ・セクションの製造保証八口にオーバーラップできるように、ダイナミックアレイ・セクションをチップ上に配置することによって、製造保証八口内のチップ・レイアウト形状のコントロールが行われる。また、この実施形態では、各製造保証八口・セグメントは、異なる製造適合性識別子を有する周辺のダイナミックアレイ・セクションの製造保証八口・セグメントにオーバーラップできないように、ダイナミックアレイ・セクションをチップ上に配置することにより、製造保証八口内のチップ・レイアウト形状のコントロールがおこなわれる。

20

【0191】

図32は、本発明の一実施形態において、1つまたは複数の機能的にインターフェースされたダイナミックアレイ・セクションを有する半導体チップの設計方法のフローチャートを示す図である。この方法は、チップの一部上に定義されるダイナミックアレイ・セクションを選択する操作3201を含む。選択されたダイナミックアレイ・セクションは、その境界外に定義された関連する製造保証八口を有する。また、この方法は、選択されたダイナミックアレイ・セクションに関係せず、かつ、製造保証八口内にあるレイアウト形状は、選択されたダイナミックアレイ・セクションの製造可能性に悪影響を与えないために製造保証八口と適合するように、選択されたダイナミックアレイ・セクションをチップの一部のレイアウト内に配置する操作3203も含む。

30

【0192】

一ある実施形態では、選択されたダイナミックアレイ・セクションは、その境界内のチップの複数のレベルによって定義される。この実施形態では、別個の製造保証八口は独立に、かつそれぞれ、選択されたダイナミックアレイ・セクションの複数のレベルのそれぞれに関連する。選択されたダイナミックアレイ・セクションの境界から離れる垂直方向の各製造保証八口の範囲は、製造保証八口の外部で定義されたチップ・レイアウト形状のそれぞれが、選択されたダイナミックアレイ・セクション境界内部の導電体形状の製造に悪影響を及ぼさないことを確実にするように定義される。

40

【0193】

図32の方法の一実施形態では、選択されたダイナミックアレイ・セクションの境界は、境界セグメントの遠回りの配置によって定義され、また、各境界セグメントは関連する製造保証八口・セグメントを有する。製造保証八口・セグメントはそれぞれ、製造適合性識別子を割り当てられる。この実施形態では、各製造保証八口・セグメントは、同じ製造適合性識別子を有する周辺のダイナミックアレイ・セクションの製造保証八口・セグメントにオーバーラップできるように、選択されたダイナミックアレイ・セクションをチップの一部のレイアウト内に配置することによって、操作3203が行われる。また、この実施形態では、各製造保証八口・セグメントは、異なる製造適合性識別子を有する周辺のダ

50

ダイナミックアレイ・セクションの製造保証ハロ・セグメントにオーバーラップできないように、選択されたダイナミックアレイ・セクションをチップの一部のレイアウト内に配置することにより、操作 3 2 0 3 が行われる。

一実施形態では、多くの製造保証ハロ・セグメントを、同じ製造適合性識別子を有する 1 つまたは複数の周辺のダイナミックアレイ・セクションの多くの製造保証ハロ・セグメントから分離し、これによって、選択されたダイナミックアレイ・セクションと 1 つまたは複数の周辺のダイナミックアレイ・セクションとの間にスペースを設けるように、選択されたダイナミックアレイ・セクションをチップの一部のレイアウト内に配置することによって、操作 3 2 0 3 が行われる。さらに、この実施形態の例では、ダイナミックアレイ・セクションに関連しないチップ・レイアウト形状は、選択されたダイナミックアレイ・セクションと 1 つまたは複数の周辺のダイナミックアレイ・セクションとの間のスペース内に定義される。

10

【 0 1 9 4 】

ここで記述された発明は、コンピュータ読み取り可能な媒体上で、コンピュータ読み取り可能なコードとして具体化することができる。コンピュータ読み取り可能な媒体は、データを格納ことができ、後からコンピュータシステムによって読み出されることが可能な、いかなるデータストレージデバイスであってもよい。コンピュータ読み取り可能な媒体の例は、ハードドライブ、ネットワーク接続ストレージ (NAS)、読み出し専用メモリ、ランダムアクセスメモリ、CD-ROM、CD-R、CD-RW、磁気テープ、及び他の光学的・非光学的なデータストレージデバイスを含む。また、コンピュータ読み取り可能な媒体は、コンピュータ読み取り可能なコードが格納されて分散処理で実行されるように、コンピュータシステムが接続されたネットワークにわたって分散されているもよい。さらに、コンピュータ読み取り可能な媒体上のコンピュータ読み取り可能なコードとして実現されたグラフィカルユーザインターフェース (GUI) は、本発明の実施形態を行うためのユーザインターフェースを提供するように改良されることが可能である。

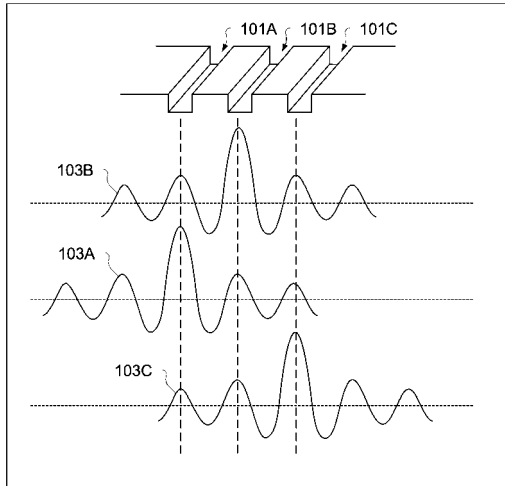
20

【 0 1 9 5 】

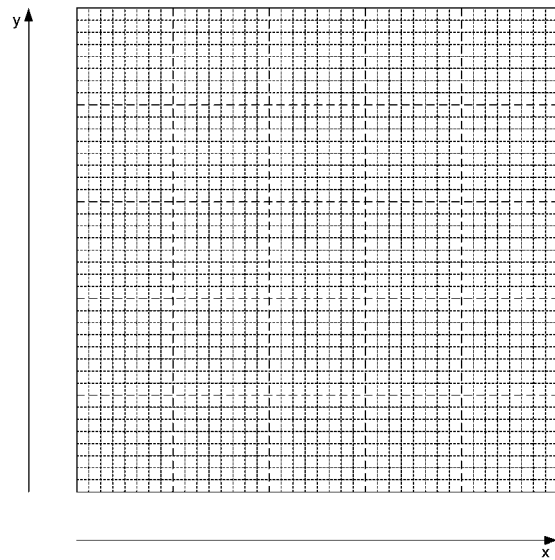
本発明は、いくつかの実施形態に関して記述されてきたが、当然のことながら、当業者が上記の記述を読んで図面を検討することにより、種々の変更、追加、置換及び同等物を考え出すであろう。したがって、本発明は、それらのすべての変更、追加、置換、及び同等物を、本発明の真の精神及び要旨の中にあるものとして、含むことを意図するものである。

30

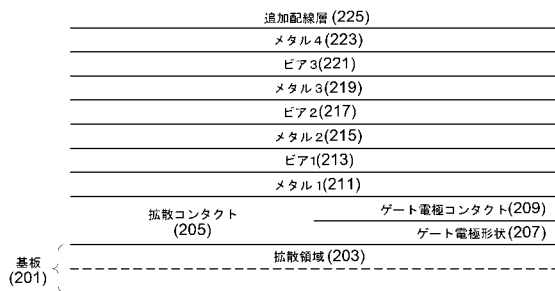
【 図 1 】



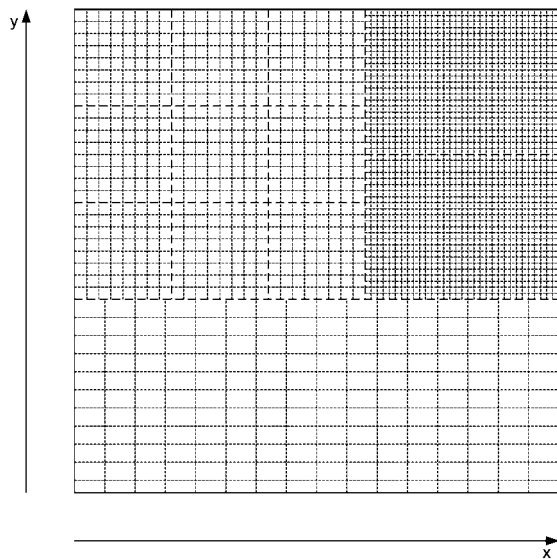
【 図 3 A 】



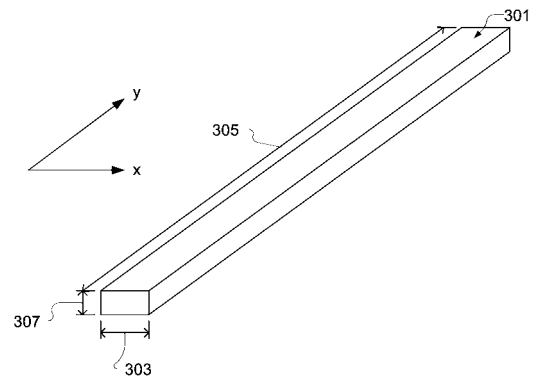
【 図 2 】



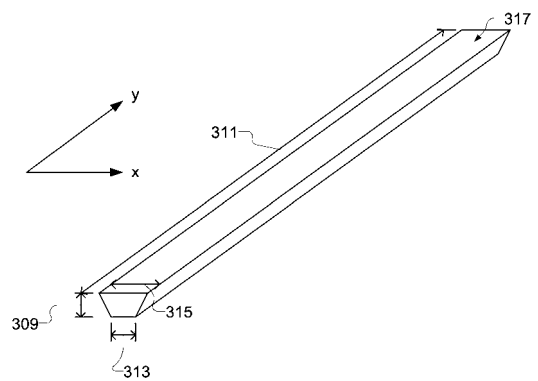
【 図 3 B 】



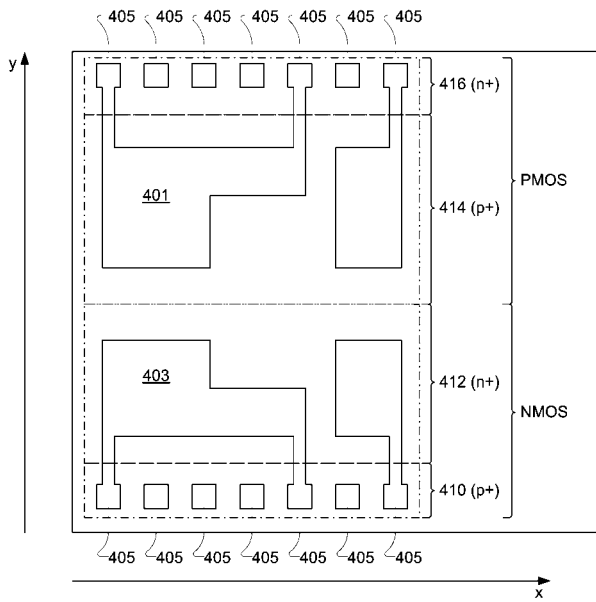
【 図 3 C 】



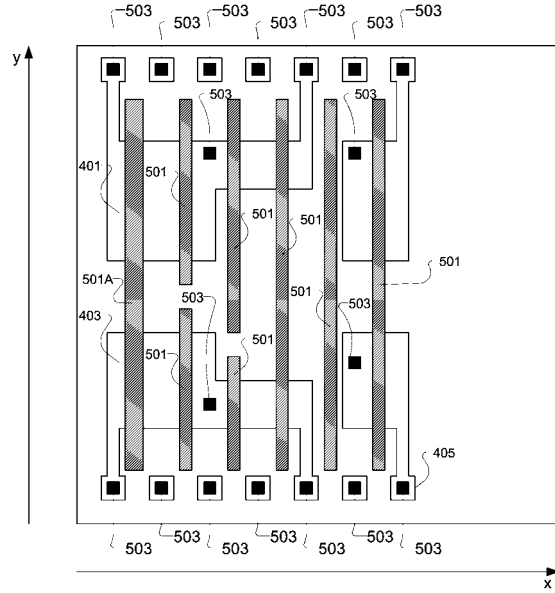
【 図 3 D 】



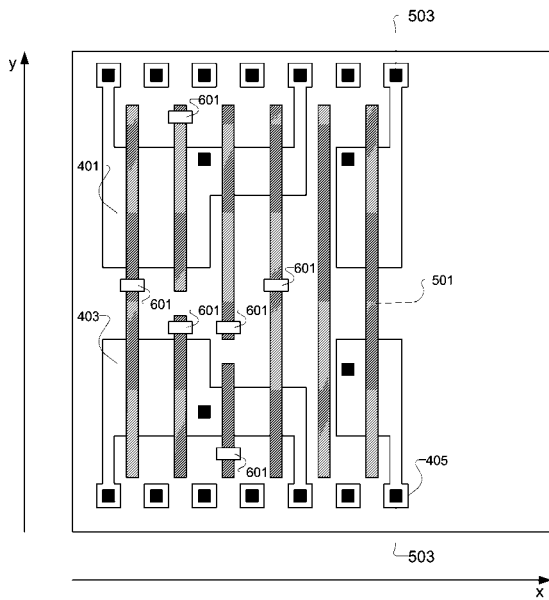
【 図 4 】



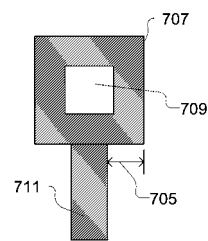
【 図 5 】



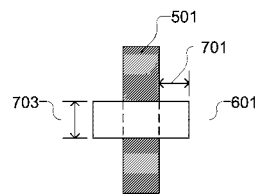
【 図 6 】



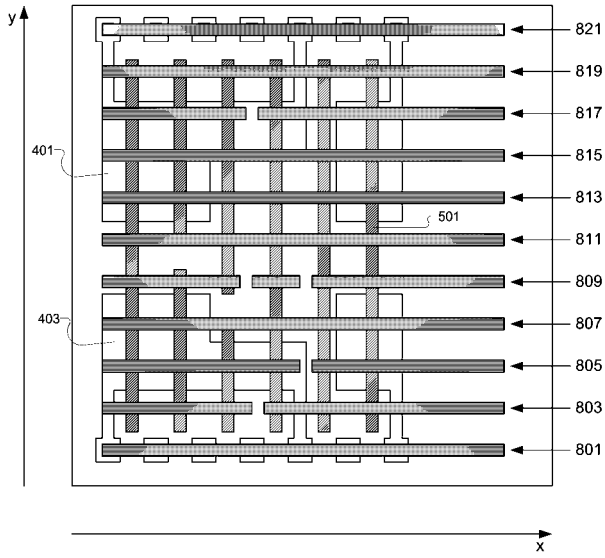
【 図 7 A 】



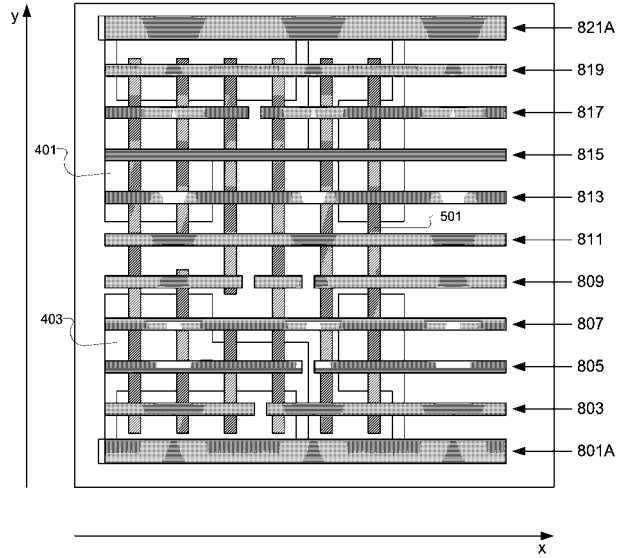
【 図 7 B 】



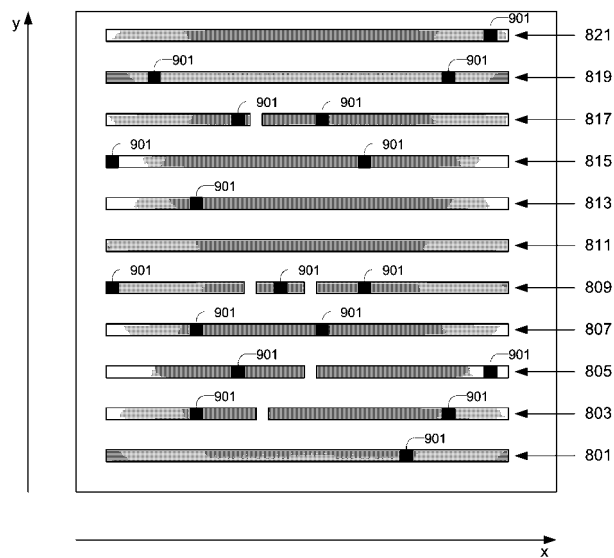
【 図 8 A 】



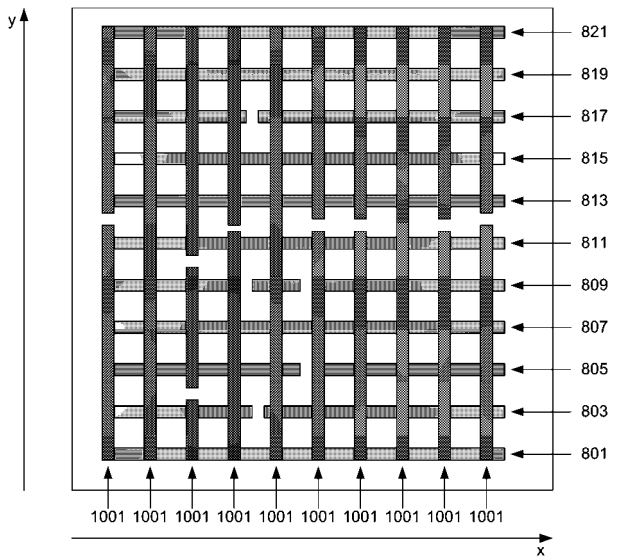
【 図 8 B 】



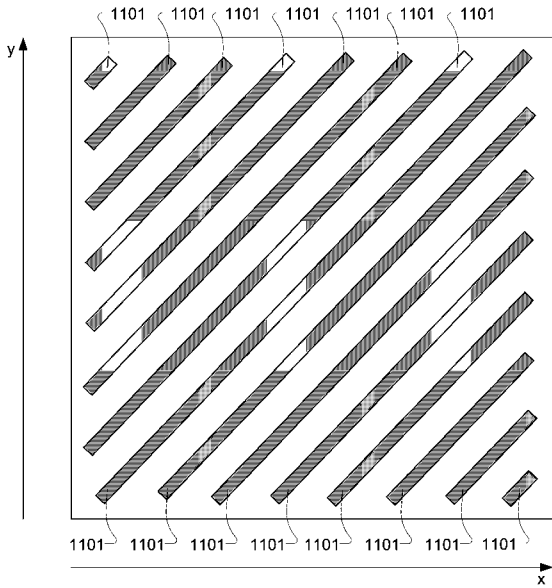
【 図 9 】



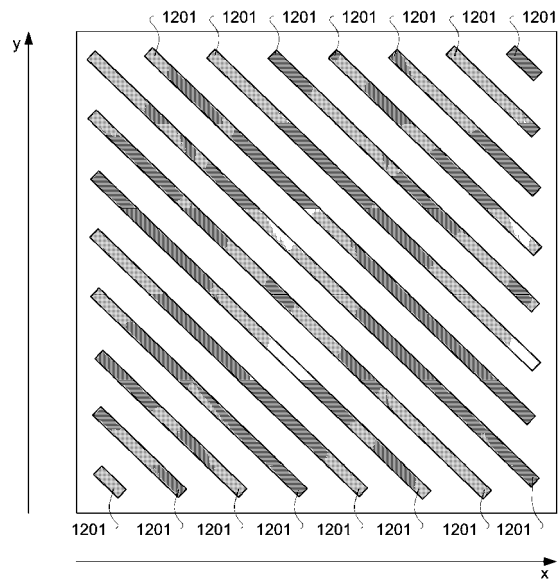
【 図 1 0 】



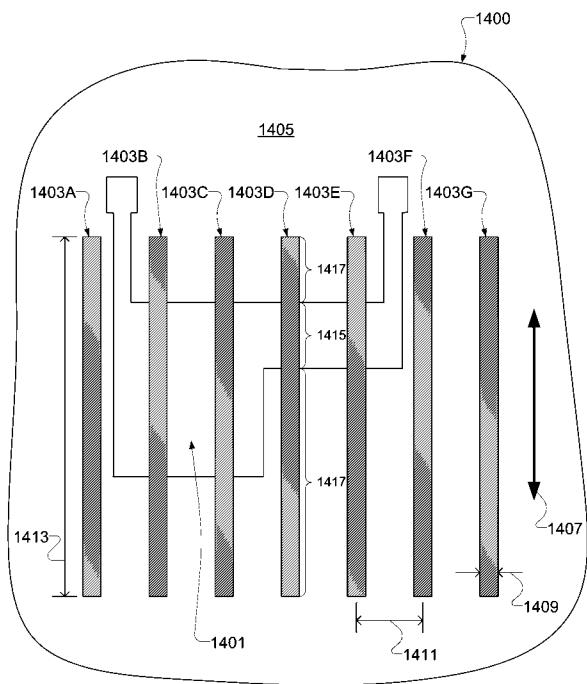
【図 1 1】



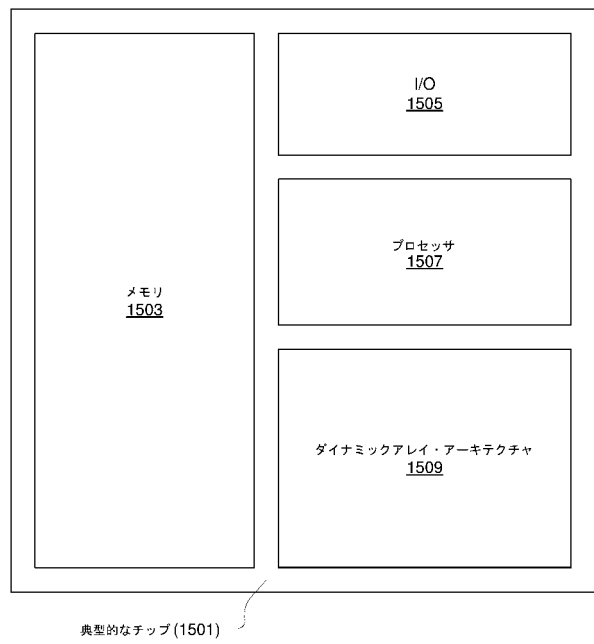
【図 1 2】



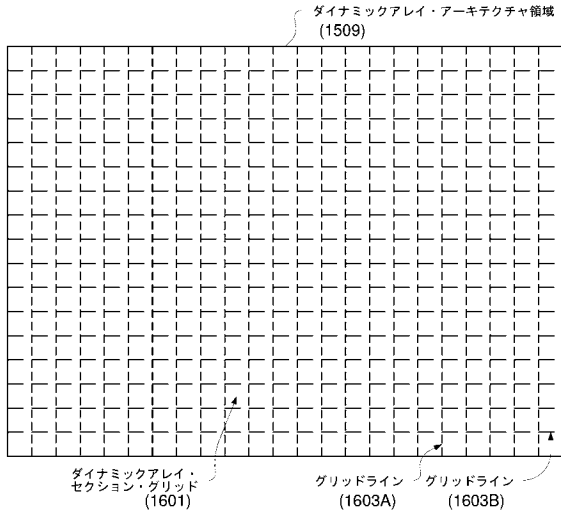
【図 1 4】



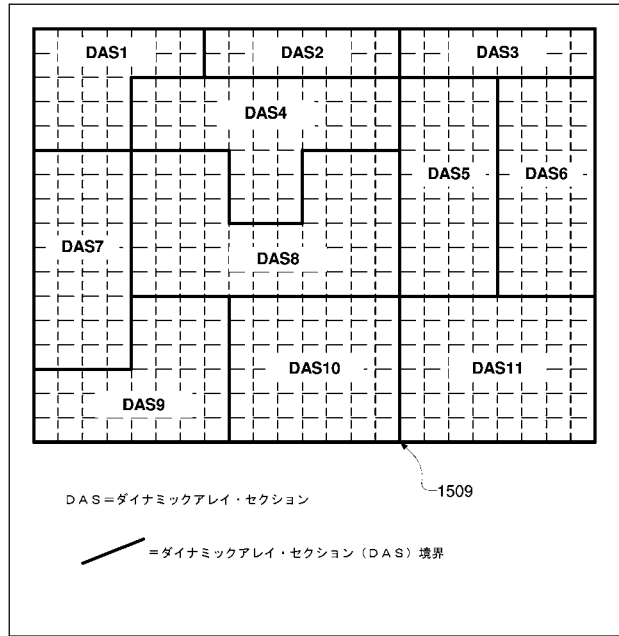
【図 1 5】



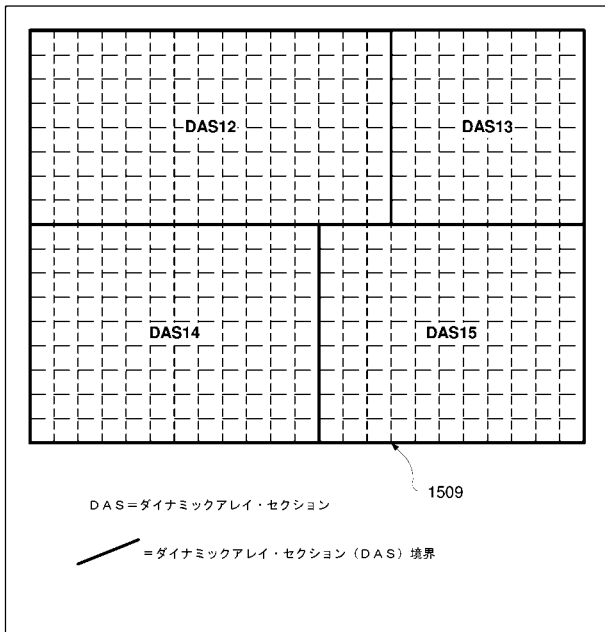
【図 16】



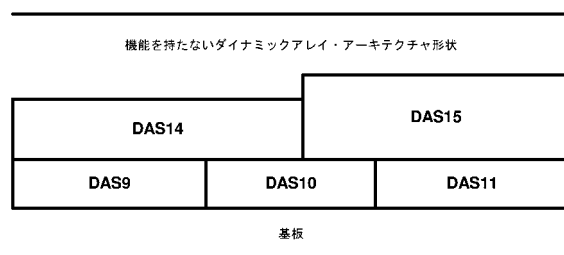
【図 17 A】



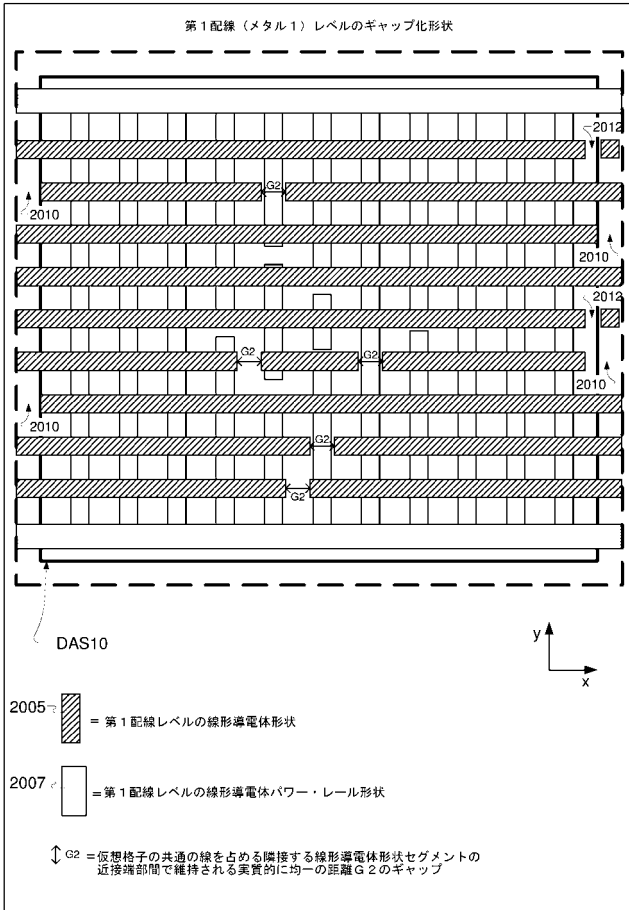
【図 17 B】



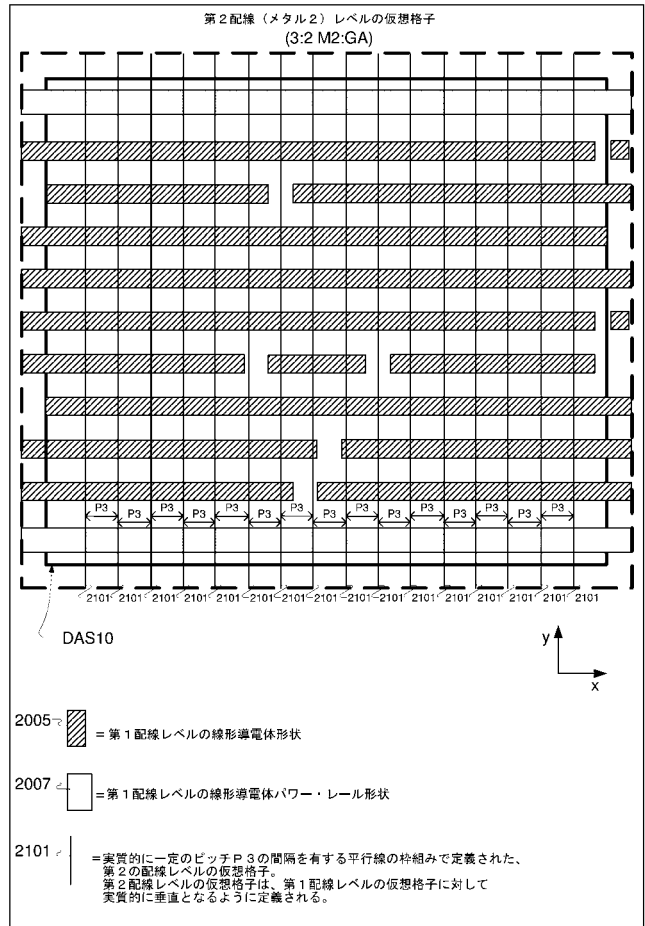
【図 17 C】



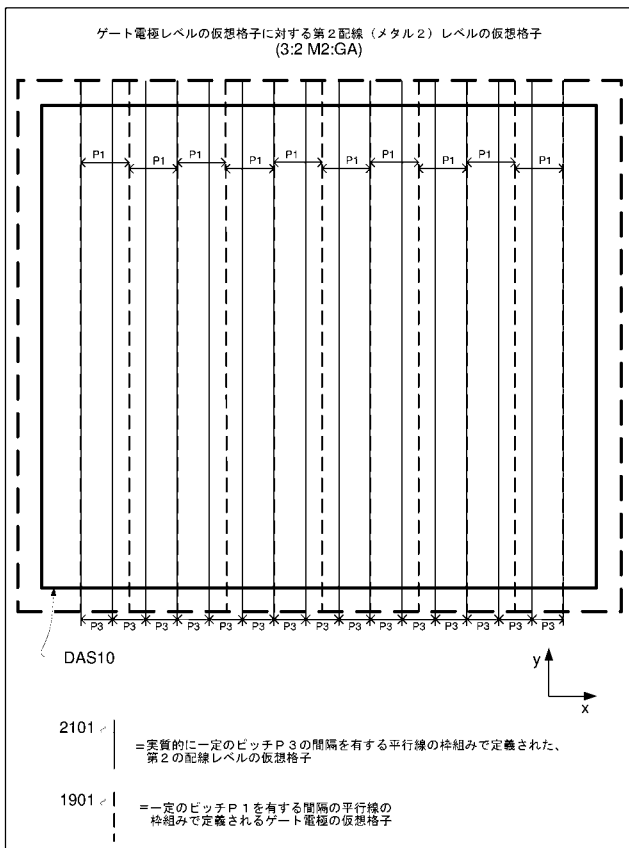
【図 20C】



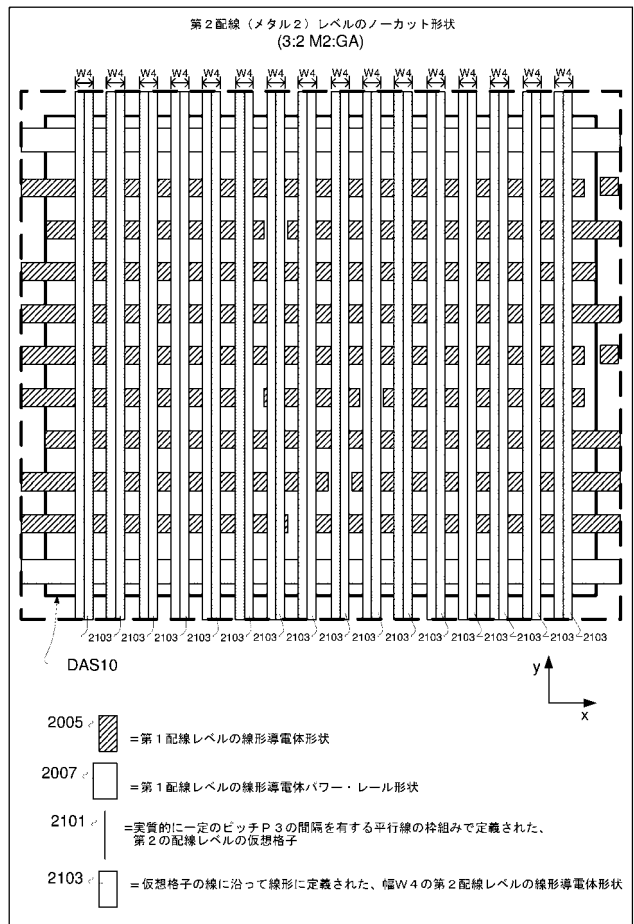
【図 21A】



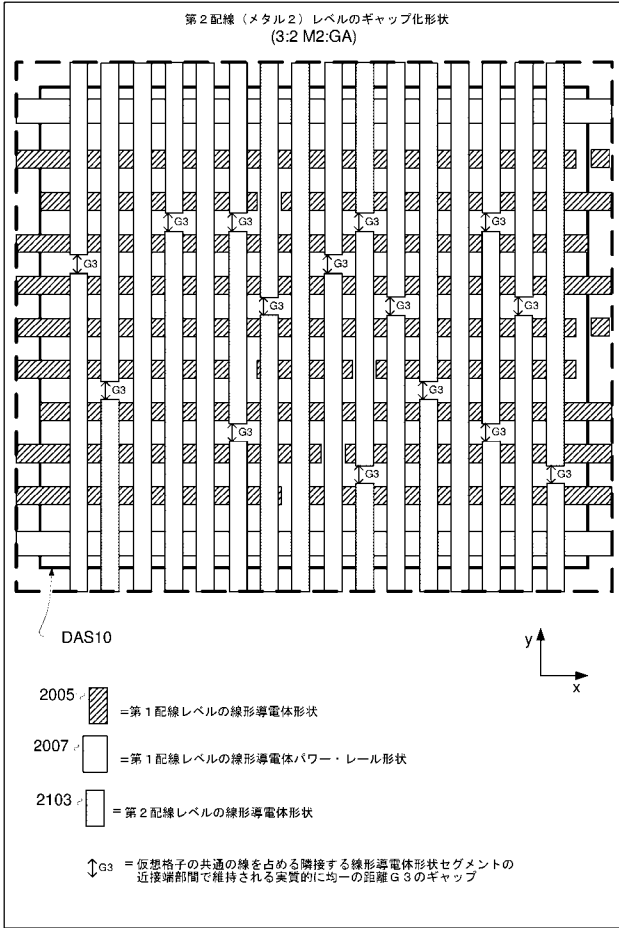
【図 21B】



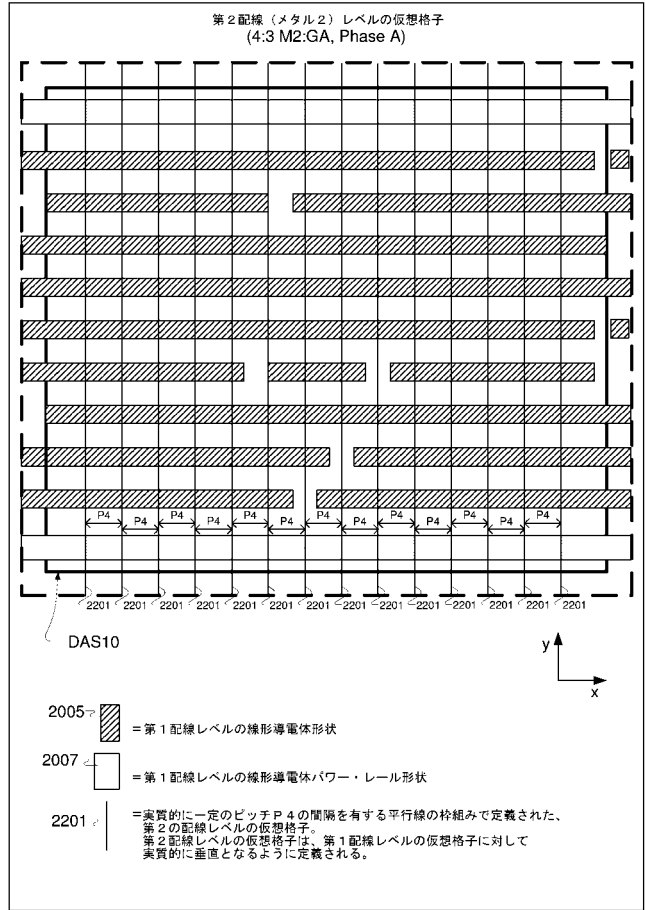
【図 21C】



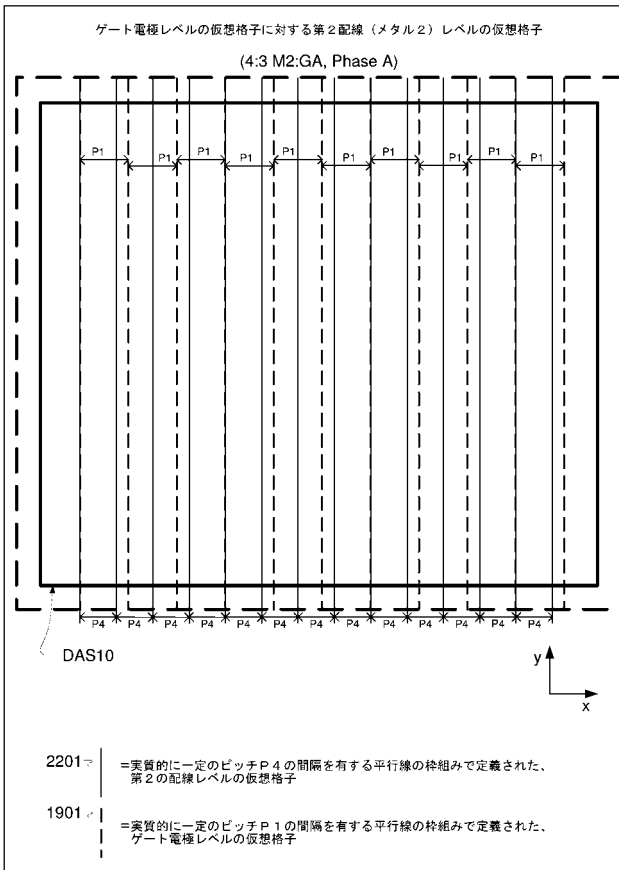
【図 2 1 D】



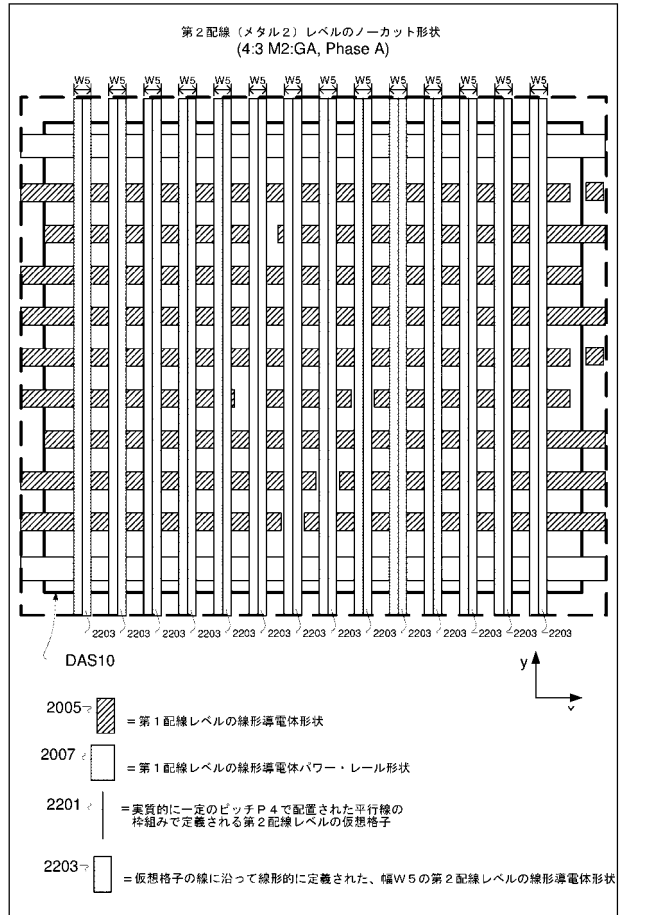
【図 2 2 A】



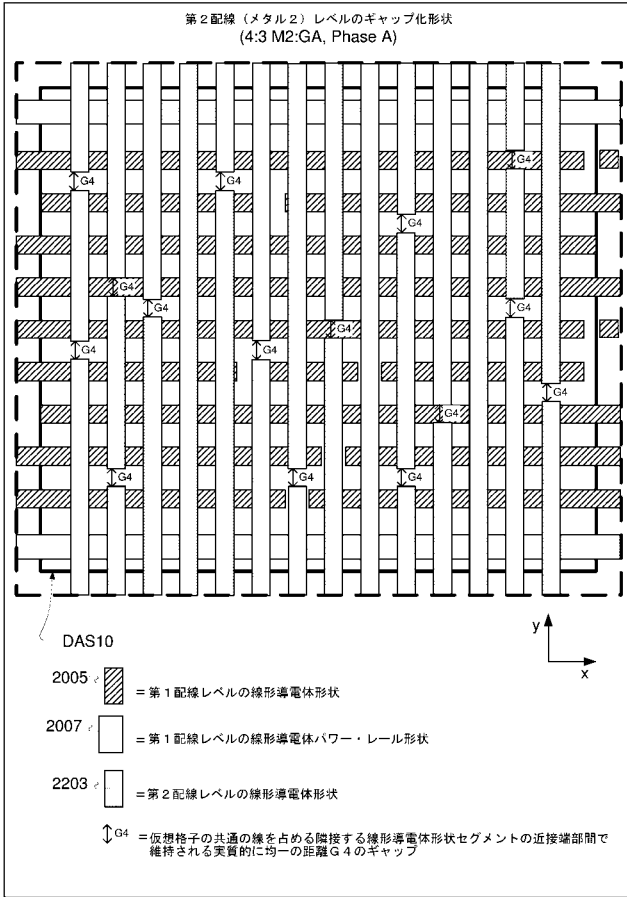
【図 2 2 B】



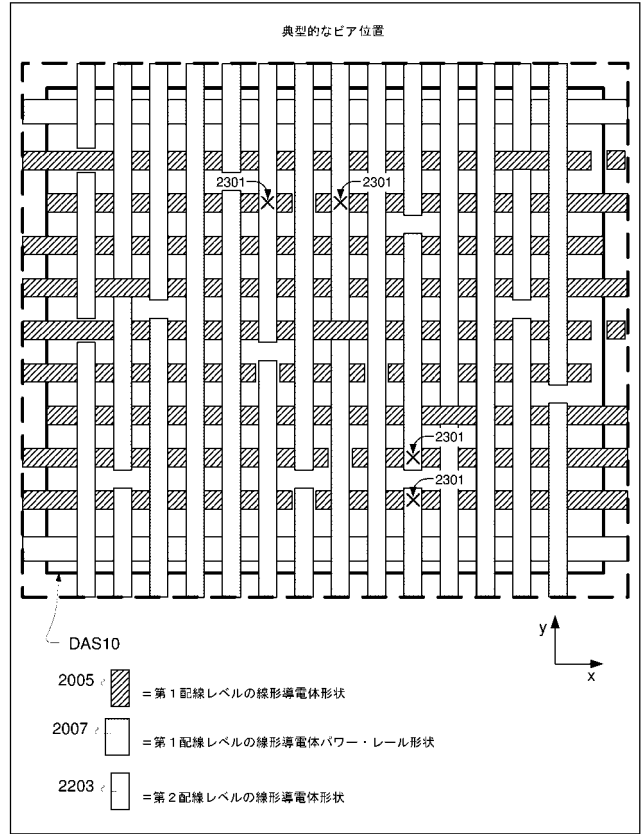
【図 2 2 C】



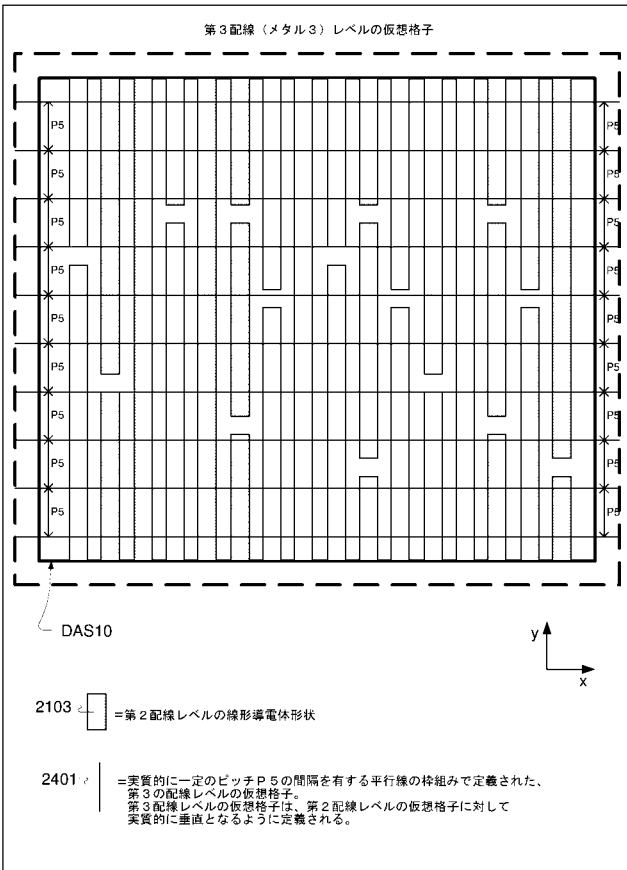
【 図 2 2 D 】



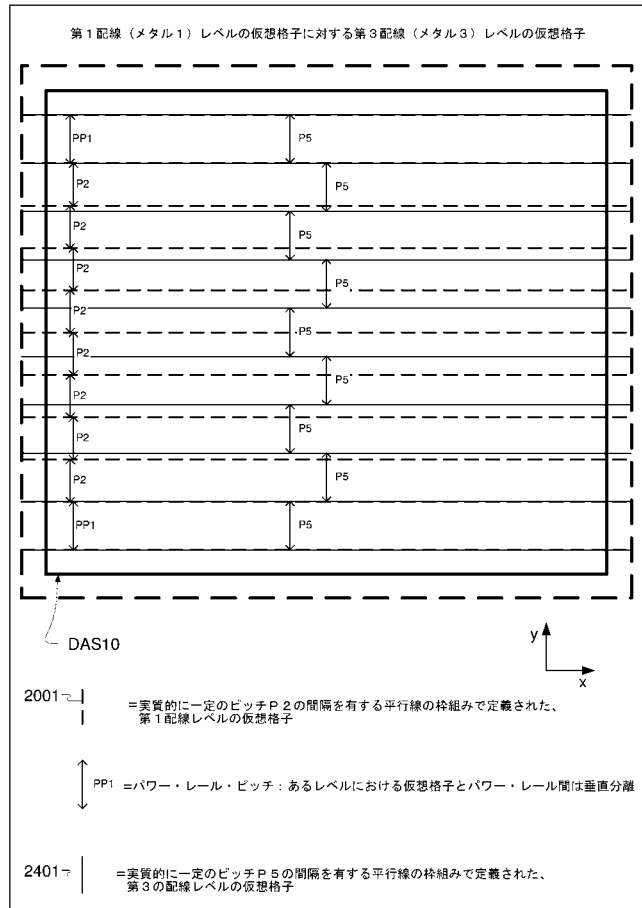
【 図 2 3 】



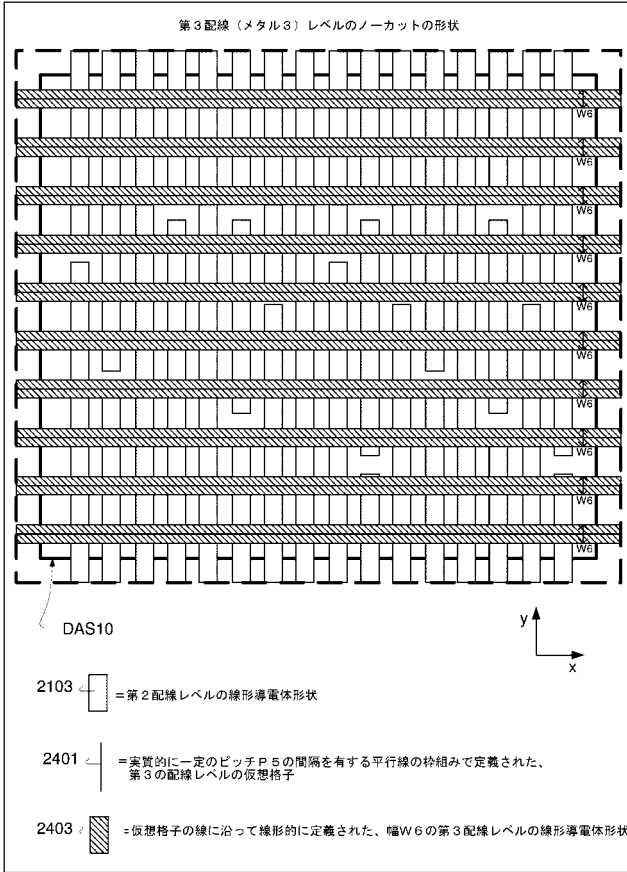
【 図 2 4 A 】



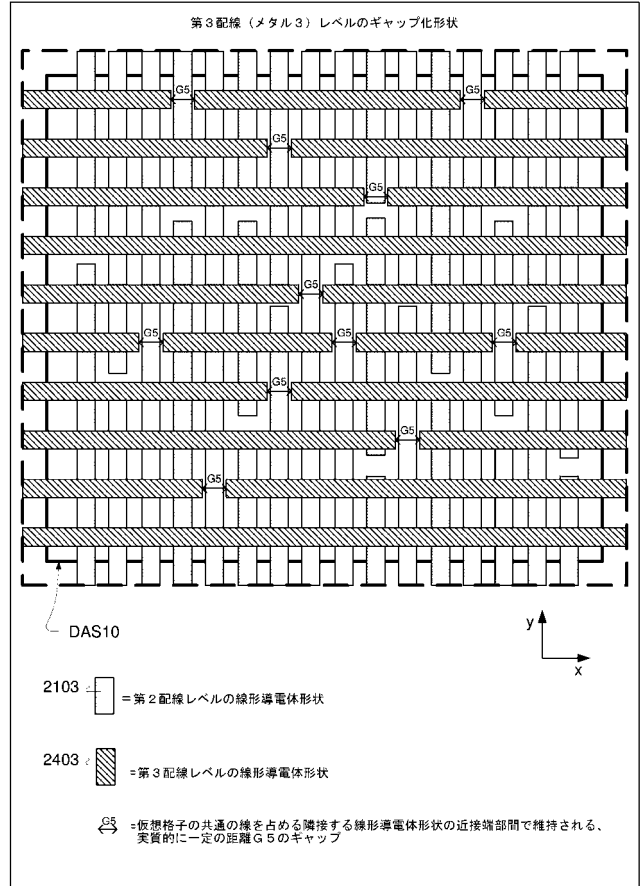
【 図 2 4 B 】



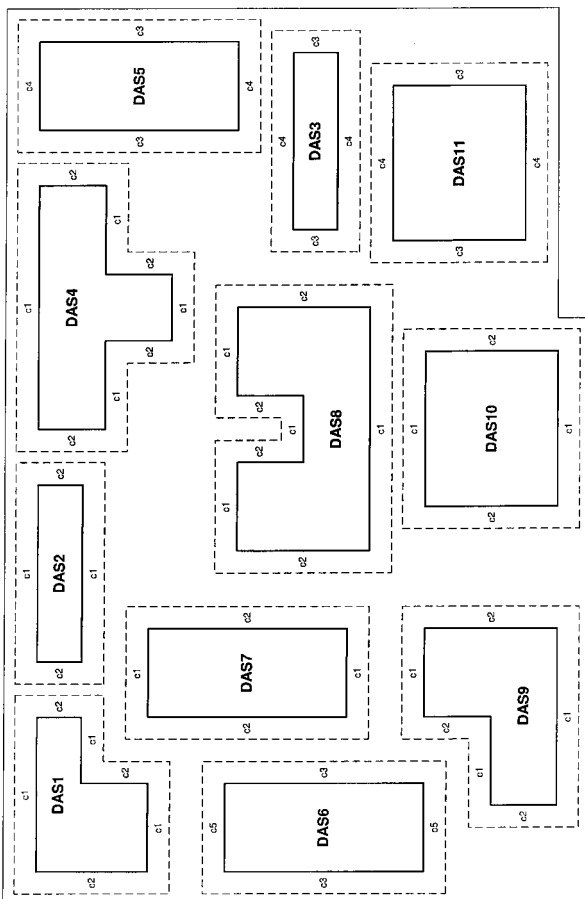
【図 2 4 C】



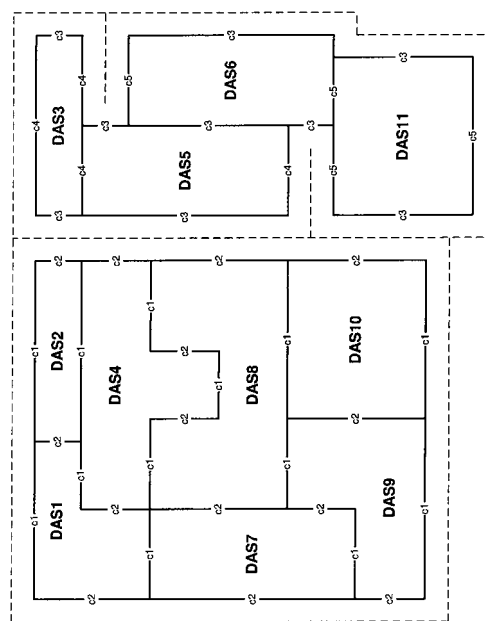
【図 2 4 D】



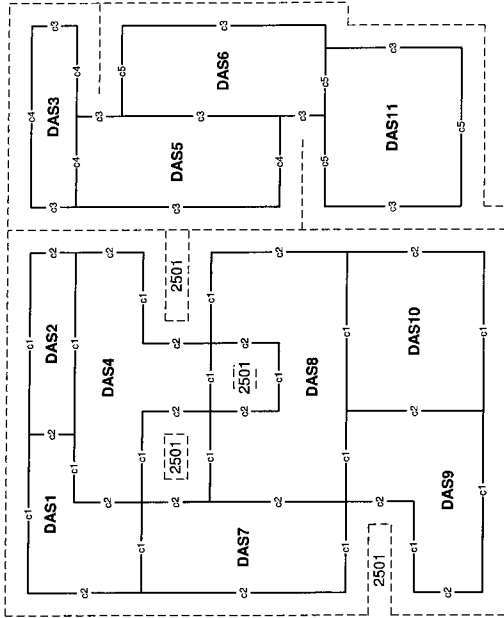
【図 2 5 A】



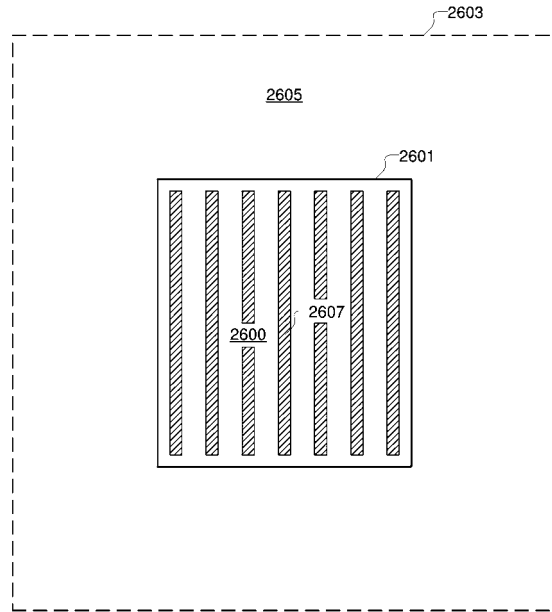
【図 2 5 B】



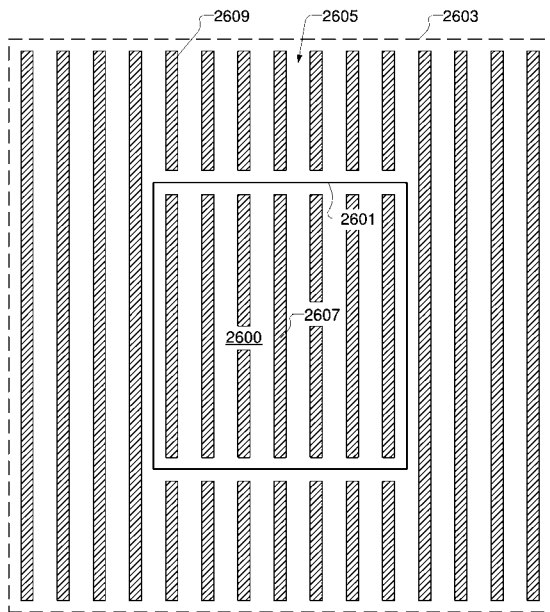
【 25 C 】



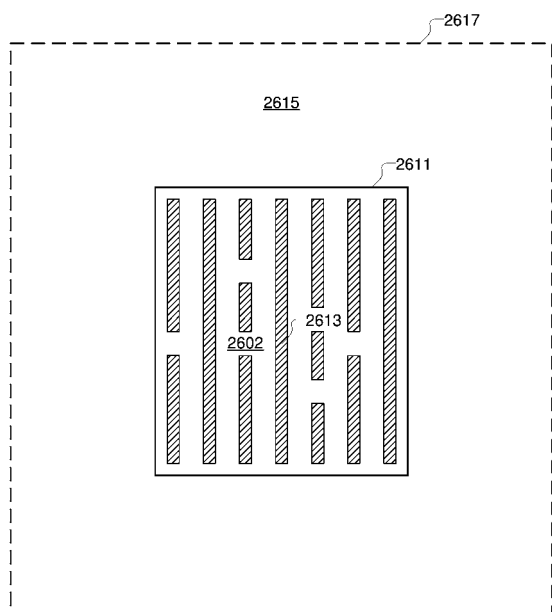
【 26 A - 1 】



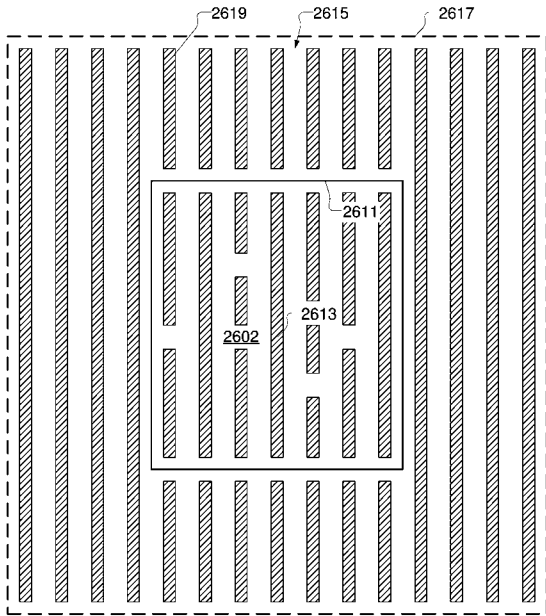
【 26 A - 2 】



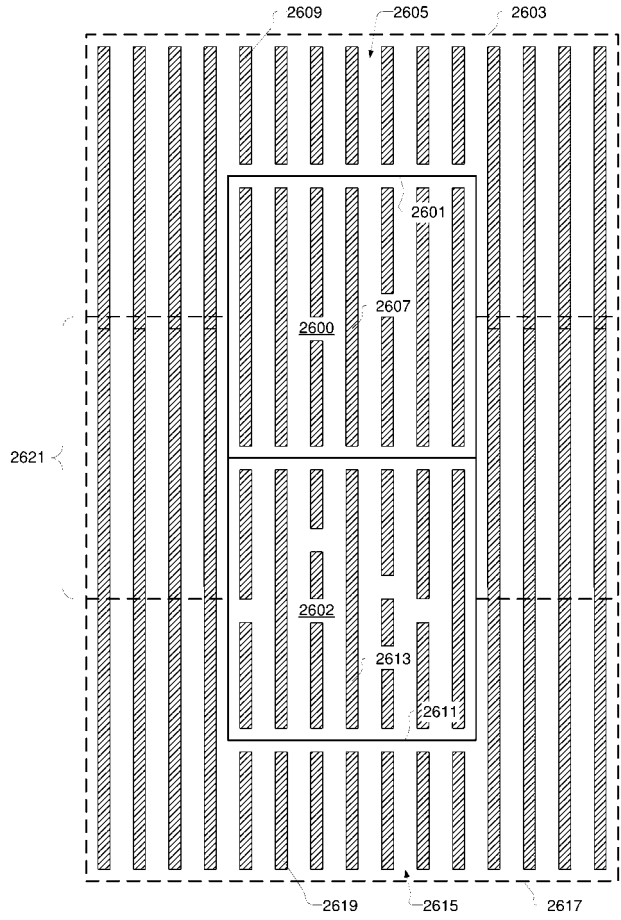
【 26 B - 1 】



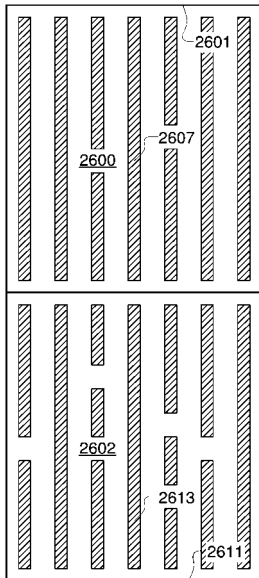
【 図 2 6 B - 2 】



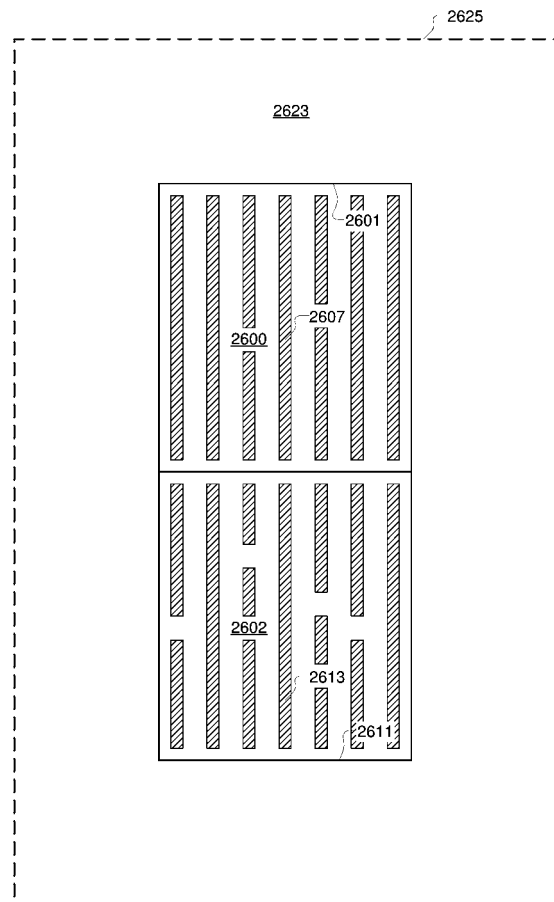
【 図 2 6 C - 1 】



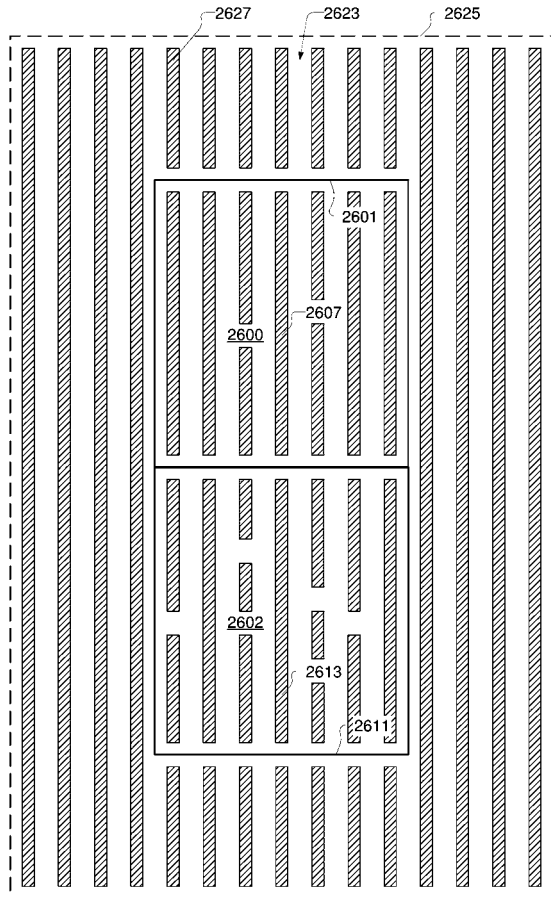
【 図 2 6 C - 2 】



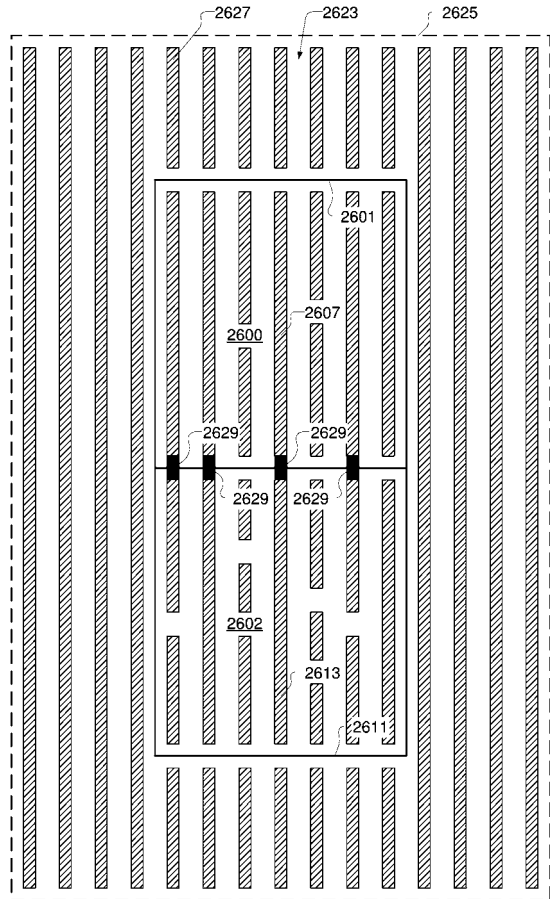
【 図 2 6 C - 3 】



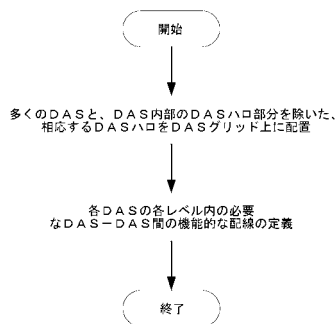
【図 26C - 4】



【図 26C - 5】



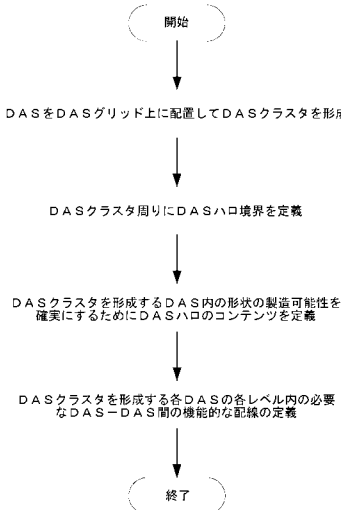
【図 26D - 1】



2631

2633

【図 26D - 2】



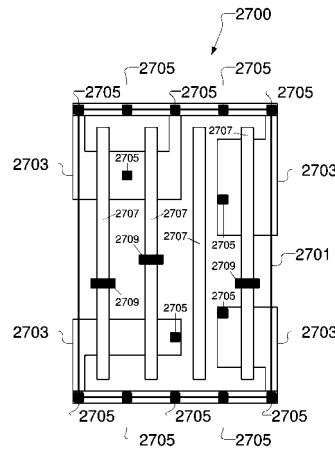
2641

2643

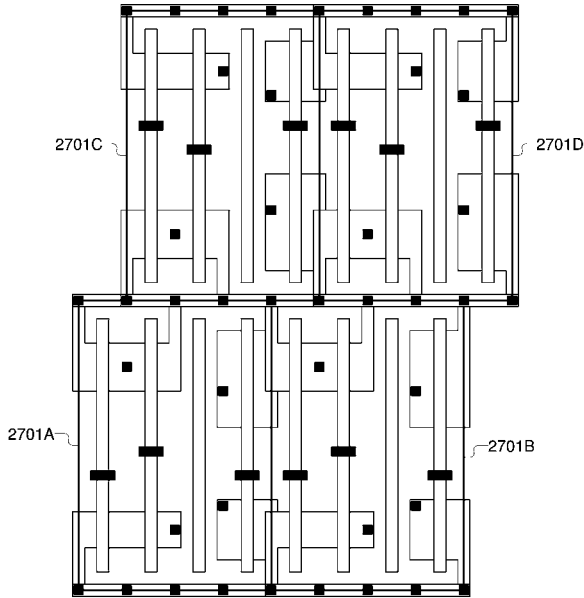
2645

2647

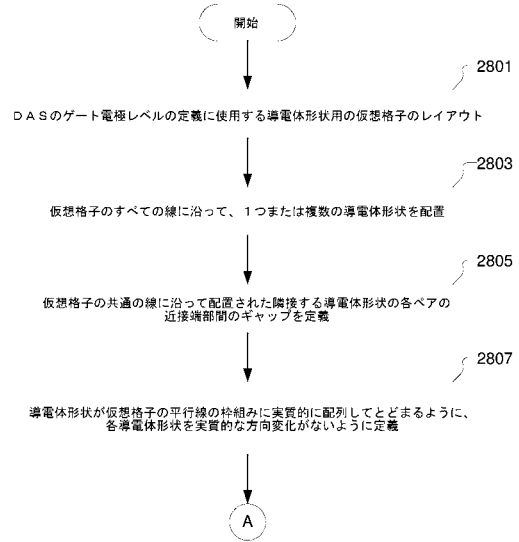
【図 27A】



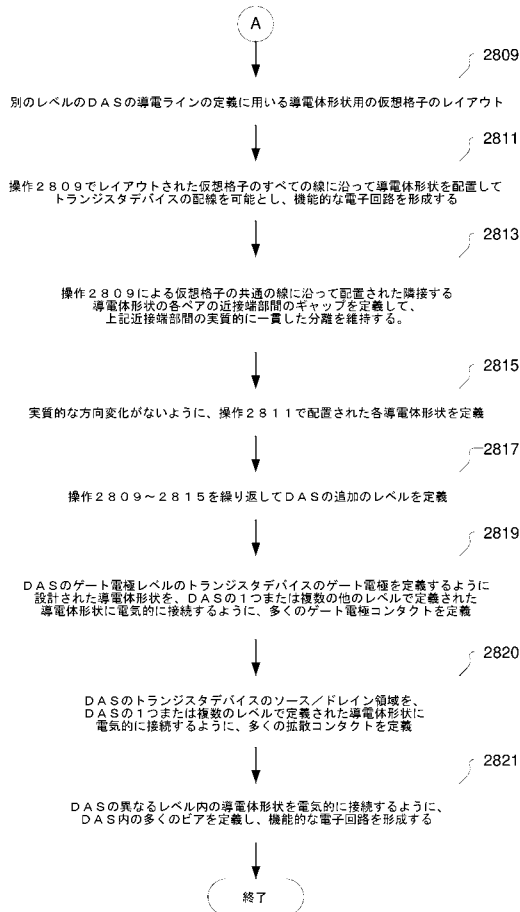
【図 27B】



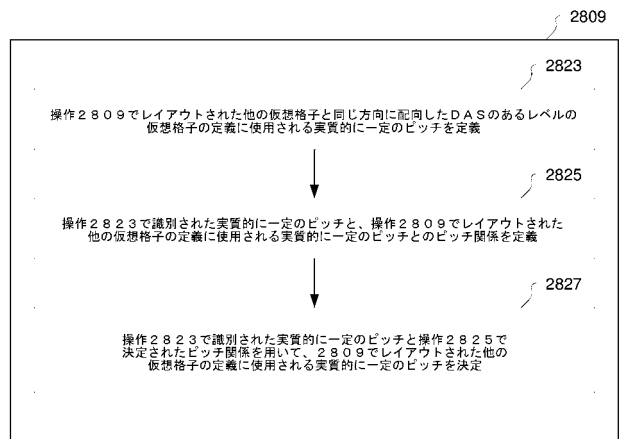
【図 28A】



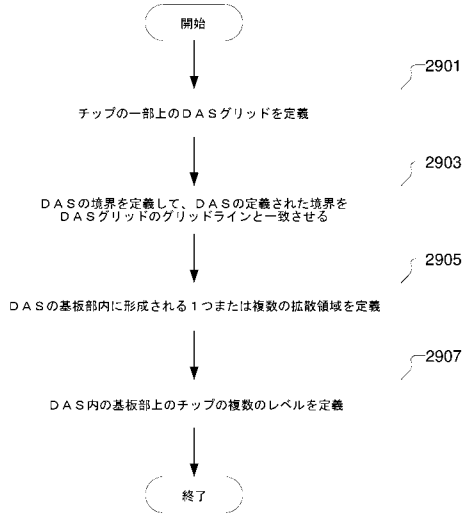
【図 28B】



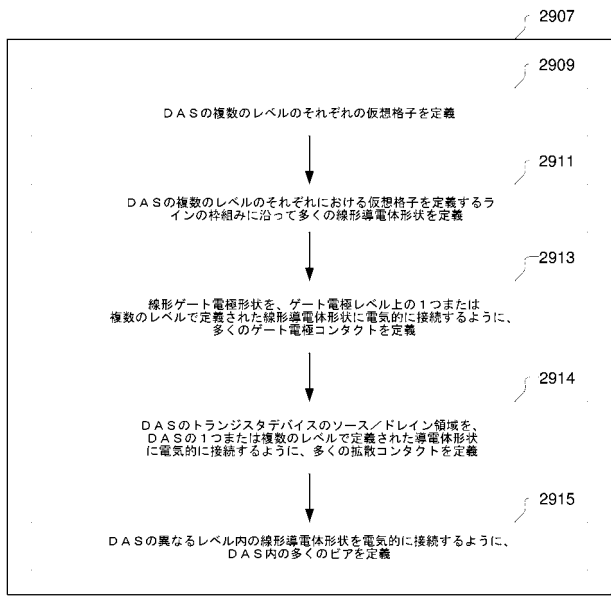
【図 28C】



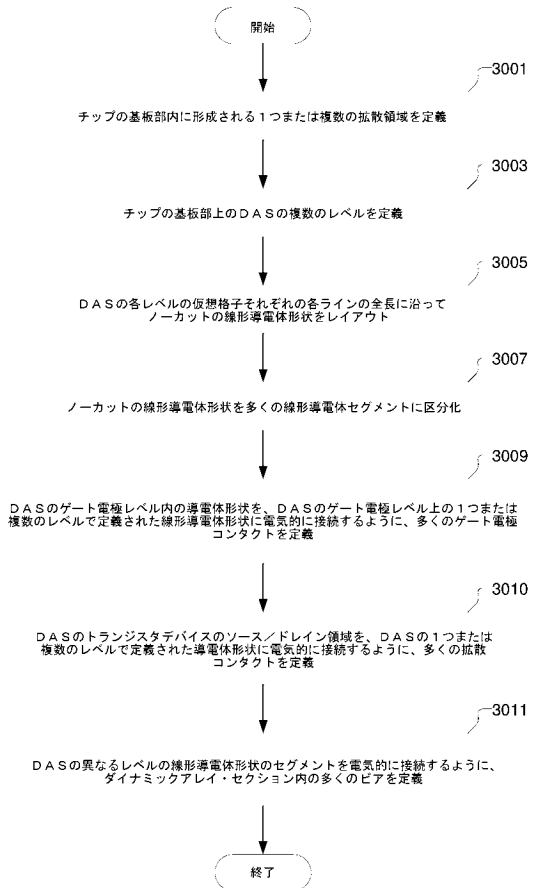
【図29A】



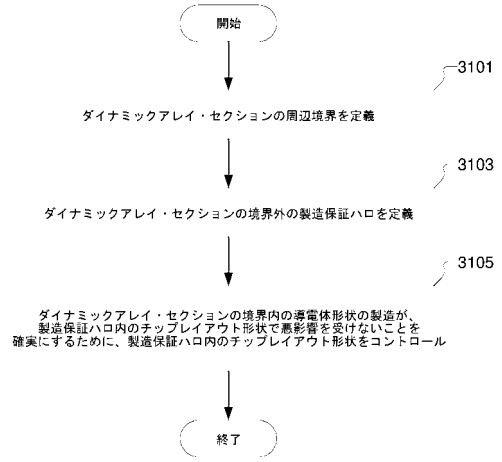
【図29B】



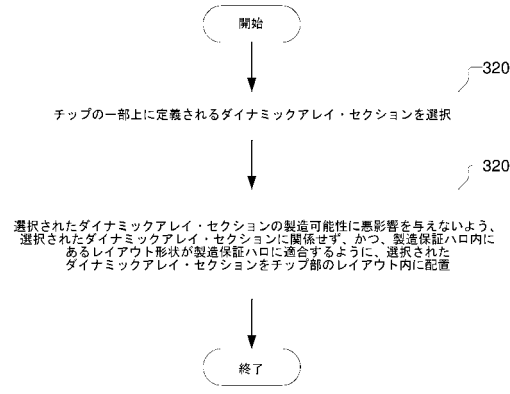
【図30】



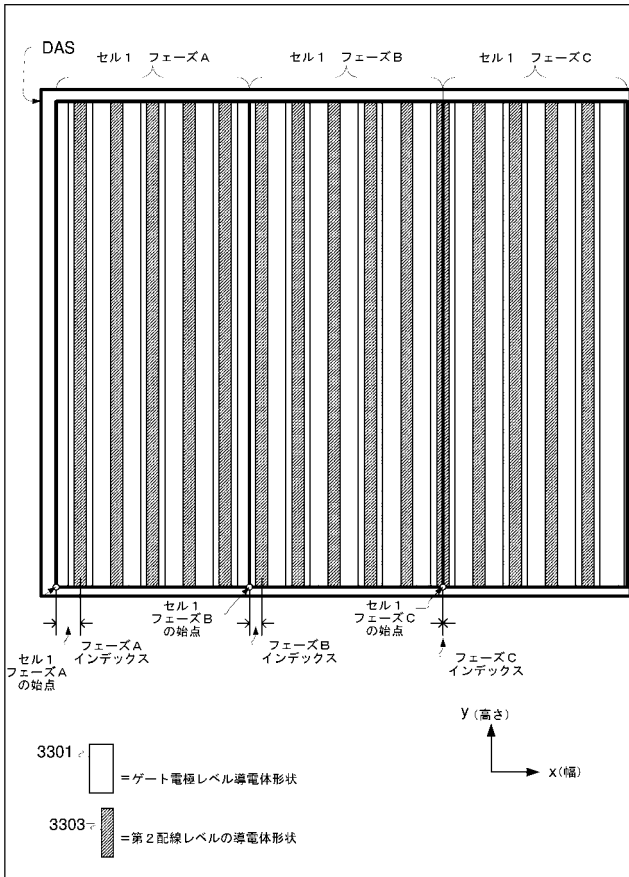
【図31】



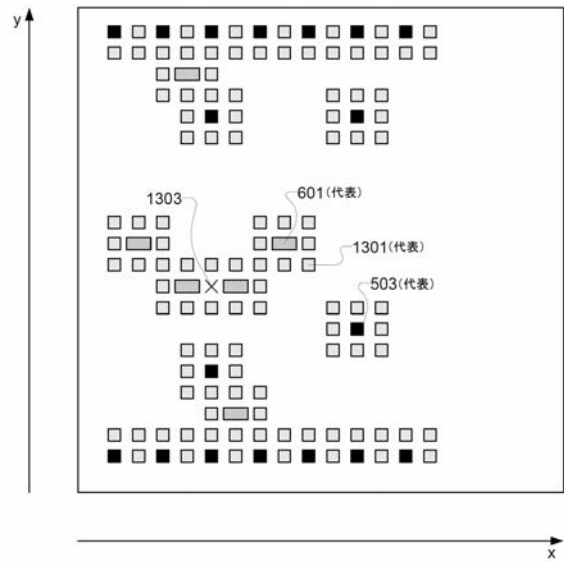
【図32】



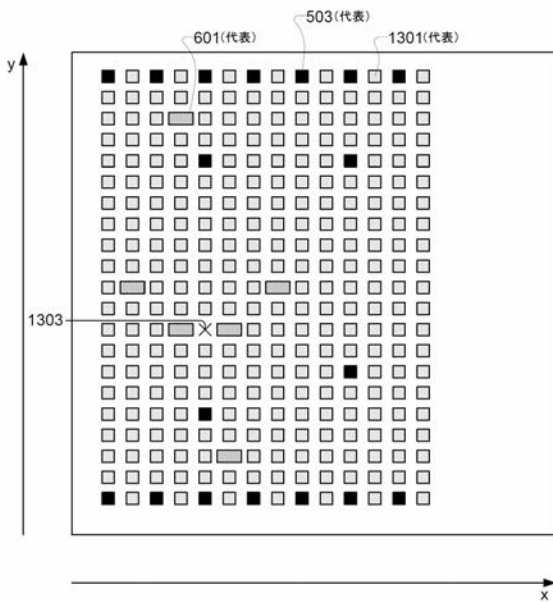
【図 3 3】



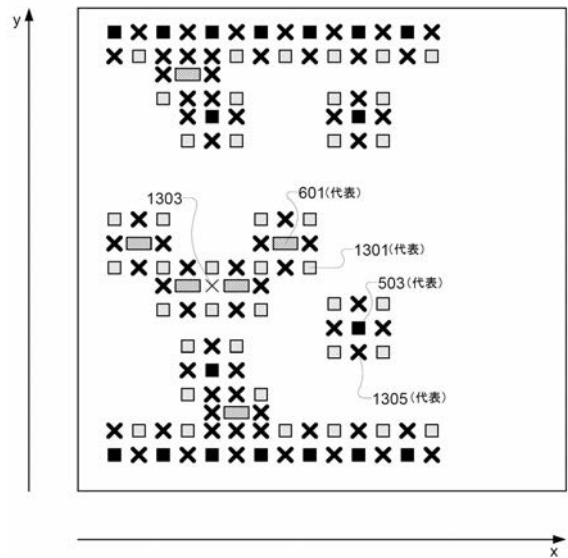
【図 1 3 A】



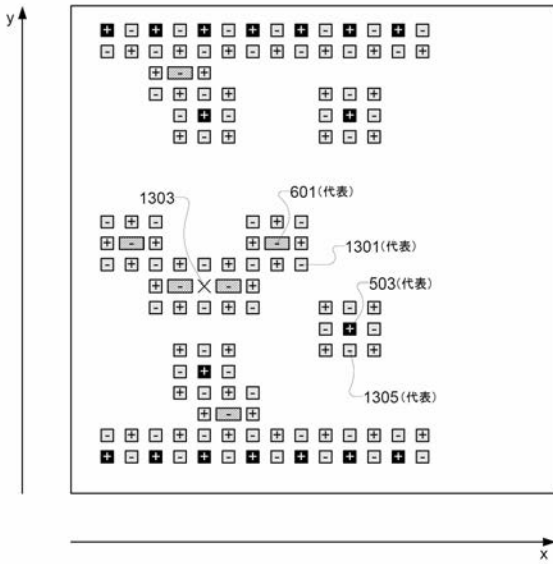
【図 1 3 B】



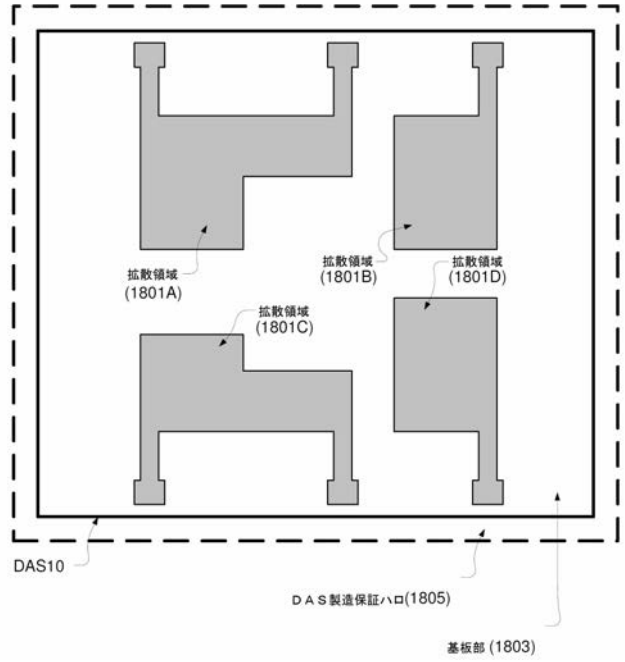
【図 1 3 C】



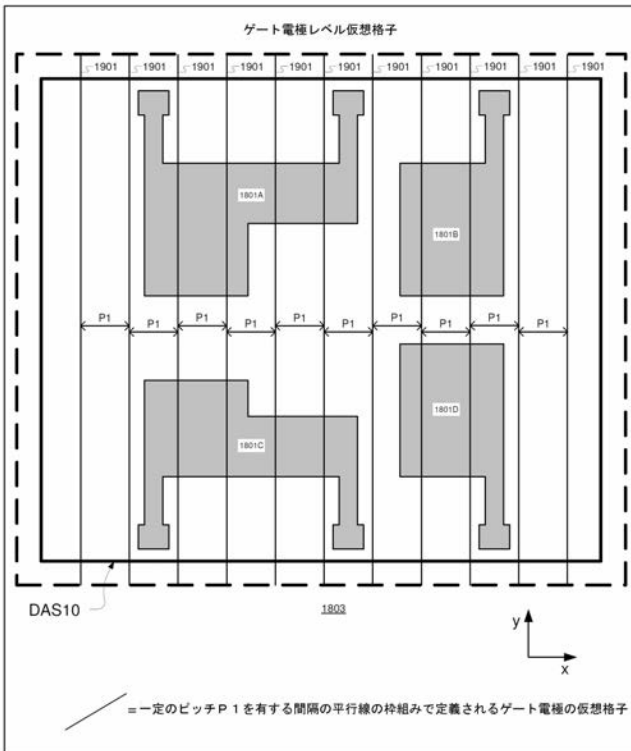
【図 13D】



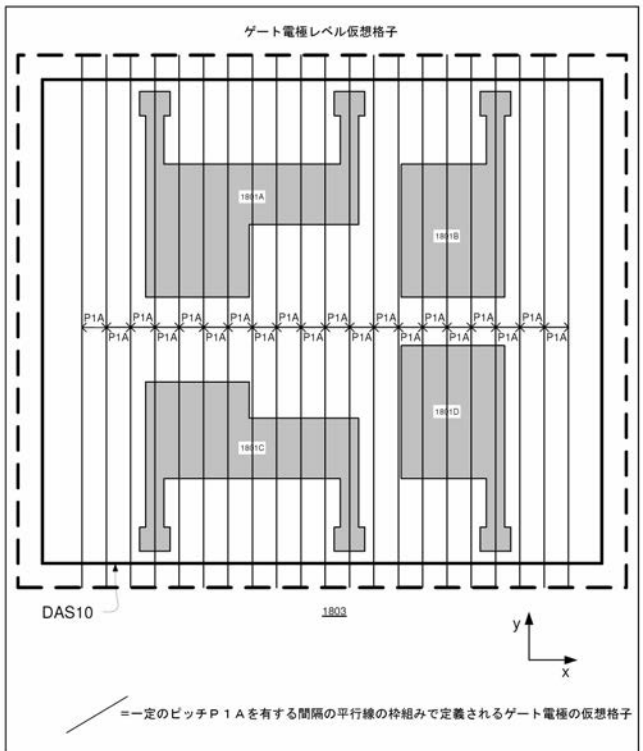
【図 18】



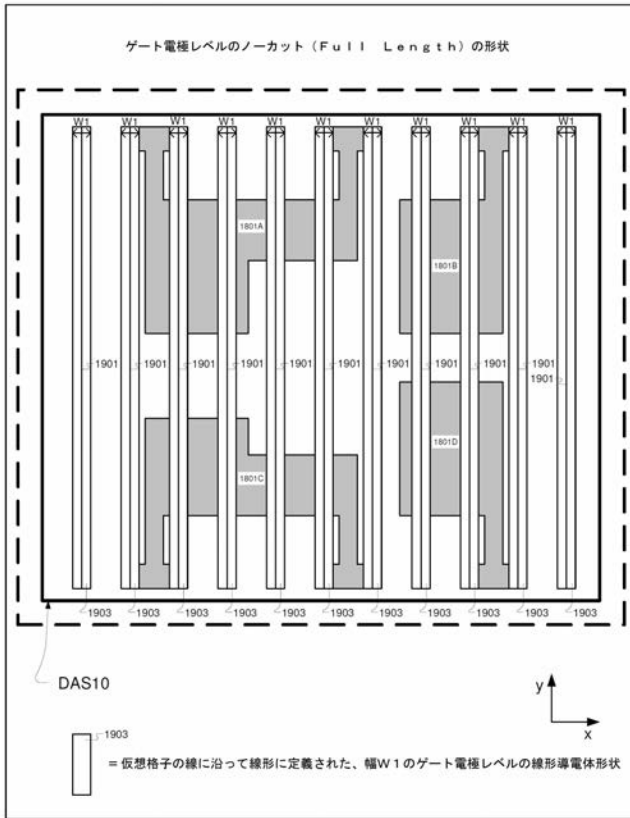
【図 19A】



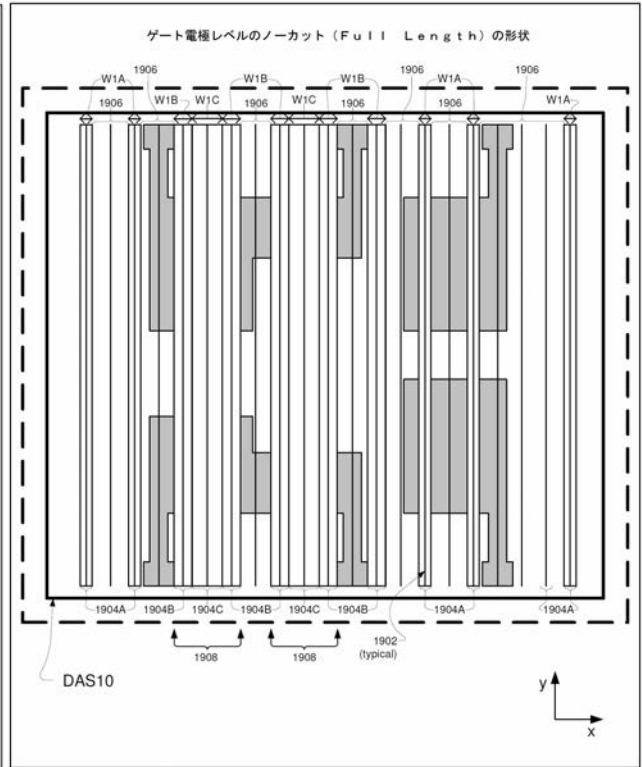
【図 19A1】



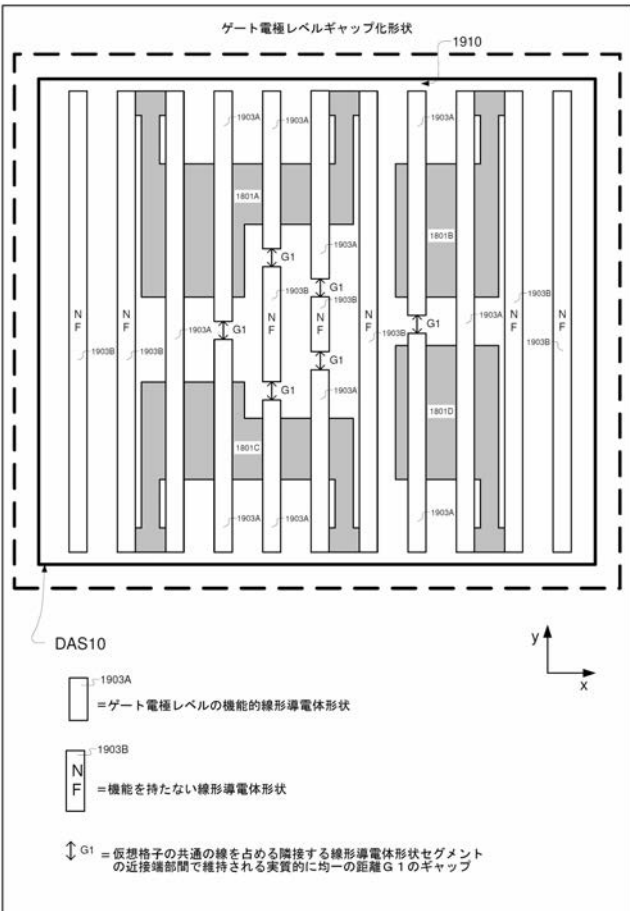
【図 19B】



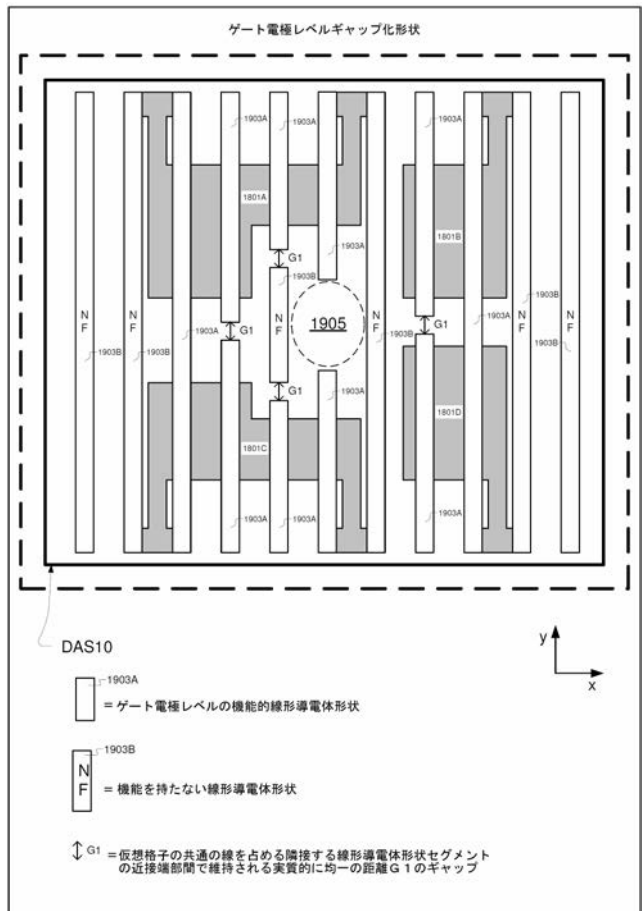
【図 19B1】



【図 19C】



【図 19D】



フロントページの続き

(31)優先権主張番号 12/013,366

(32)優先日 平成20年1月11日(2008.1.11)

(33)優先権主張国 米国(US)

(31)優先権主張番号 12/013,342

(32)優先日 平成20年1月11日(2008.1.11)

(33)優先権主張国 米国(US)

(72)発明者 スメイリング、マイケル、シー .

アメリカ合衆国 カリフォルニア州 95008 キャンベル スイート 150 キャンベル
テクノロジー パークウェイ 655

Fターム(参考) 5F064 BB09 BB12 CC12 DD05 EE09 EE13 EE16 EE19 EE23 EE27
EE42 EE43 EE51 EE52 HH06