公告本

申請日期	P1.6.21
案號	P1113632
類別	H01L 21/00

（以上各欄由本局填註）

A4
C4

554392

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	具有建造於一積體積體雙載子及互補型金氧半導體電路內提昇非本徵基極之雙載子電晶體
	英文	BIPOLAR TRANSISTOR WITH RAISED EXTRINSIC BASE FABRICATED IN AN INTEGRATED BICMOS CIRCUIT
二、發明 ~~創作~~ 人	姓名	1.大衛 C. 愛格蘭 DAVID C. AHLGREN 2.葛雷格里 G. 費里曼 GREGORY G. FREEMAN
	國籍	1.2. 皆美國U.S.A.
	住、居所	1.美國紐約州瓦平傑瀑布市所爾頓臺街112號 112 THORTON TERRACE, WAPPINGERS FALLS, NEW YORK 12590, U.S.A. 2.美國紐約州荷威爾市瑟巴斯坦路23號 23 SEBASTIAN COURT, HOPEWELL JUNCTION, NEW YORK 12533, U.S.A.
三、申請人	姓名（名稱）	美商萬國商業機器公司 INTERNATIONAL BUSINESS MACHINES CORPORATION
	國籍	美國 U.S.A.
	住、居所（事務所）	美國紐約州阿蒙市新果園路 NEW ORCHARD ROAD, ARMONK, NEW YORK 10504, U.S.A.
	代表人姓名	傑拉德 羅森賽 GERALD ROSENTHAL

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

申請日期	
案　　號	
類　　別	

A4
C4

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中　文	
	英　文	
二、發明 ~~創作~~ 人	姓　名	3.黃凡義　FENG-YI HUANG 4.亞當 D. 提克諾　ADAM D. TICKNOR
	國　籍	3.中國　PEOPLE'S REPUBLIC OF CHINA 4.美國　U.S.A.
	住、居所	3.美國紐約州史多姆山莊席曼路386號 386 SEAMAN ROAD, STORMVILLE, NEW YORK 12582, U.S.A. 4.美國紐約州瓦平傑瀑布市751號9D室 751 RT. 9D, WAPPINGERS FALLS, NEW YORK 12590, U.S.A.
三、申請人	姓　名 （名　稱）	
	國　籍	
	住、居所 （事務所）	
	代表人 姓　名	

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
美國	2001年06月22日	09/887,310	☑有 □無 主張優先權

有關微生物已寄存於：　　寄存日期：　　，寄存號碼：

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 1 ）

技術領域

本發明一般是有關於一種雙載子電晶體，尤其是形成雙載子電晶體的方法，該雙載子電晶體具有提升的外質基極，是在積體雙載子與互補金氧半(BiCMOS)電晶體電路內。

發明背景

電晶體在電子電路中是當作放大或切換裝置用。在第一應用中，電晶體的功能是將小交流信號放大。在第二應用中，較小的裝置是用來將電晶體在"打開"狀態與"關閉"狀態之間做切換。

雙載子電晶體是一種電子裝置，在近接處具有p-n接面。雙子電晶體具有三個區：射極，集極以及夾在射極與集極之間的基極。理想上，有二個p-n接面(射極-基極與集極-基極接面)會在單一半導體材料層內，分隔開一段特定的距離。改變附近接面之偏壓而對p-n接面的電流進行調變是稱作"雙載子電晶體作用"。

外部接腳可以接到這三區的每一個，而且外部電壓與電流可以使用這些接腳而施加到裝置上。如果射極與集極是n型摻雜而基極是p-型摻雜，則該裝置是"npn"電晶體。另一種是，如果使用相反的摻雜組合，則該裝置是"pnp"電晶體。因為npn電晶體中基極的少數載子(亦即電子)游動率是高於pnp電晶體中基極的電洞游動率，所以npn裝置可以得到較高頻操作與較高速性能。因此，npn電晶體包括用來建立積體電路的大部分雙載子電晶體。

隨著雙載子電晶體之垂直尺寸進一步的縮小，已經遇到

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（2）

很嚴重的裝置操作限制。經熱烈研究來克服這些限制的方法是，用能隙大於基極材料能隙的射極材料來建立電晶體。這種結構稱為異質接面電晶體。

包括異質接面的異質結構可以給多數載子與少數載子裝置用。多數載子裝置中，用矽(Si)形成射極而用矽-鍺(Si-Ge)合金形成基極的異質接面雙載子電晶體(HBT)已經在最近被開發出來。矽-鍺合金(通常是簡單的表示成矽-鍺)在能隙上是比矽還窄。

先進的矽-鍺雙載子與互補金氧半(BiCMOS)技術在異質接面雙載子電晶體中是使用矽-鍺基極。在高頻(比如數個-GHz)區域內，傳統的複合半導體，比如GaAs與InP目前是主宰著高速接線與無線通訊的市場。矽-鍺BiCMOS是不只具有與GaAs裝置匹敵的性能，比如功率放大器，而且還有因異質接面雙載子電晶體整合到標準CMOS中所產生的本質上的成本降低，產生所謂的"系統晶片"。

對於產生SiGe/Si HBT之高性能的HBT製造，降低基極電阻的傳統方法是經由離子佈植到外部基極上。然而，該離子佈植處理會對基極區造成損壞。這種損壞最後會導致裝置性能變差。

為了避免離子佈植損壞，將多晶矽(或矽-鍺)額外層沉積到傳統的SiGe外質基極層上，來形成提升外質基極(REXT)。需要施加二種處理，以便達成提升外質基極。第一種處理是牽涉到選擇性磊晶處理，另一個是牽涉到化學機械研磨(CMP)。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 3 ）

1.選擇性磊晶處理

在一般的選擇性磊晶處理中，提升外質基極的多晶矽是在沉積出本質極SiGe之前便先形成。本質基極SiGe是選擇性的沉積到上懸空穴結構內部曝露的矽與多晶矽之表面上。具有空穴結構的選擇性磊晶處理為了良好的選擇率要有嚴苛的製程要求，並且遭受到較差的處理控制。

山崎(Yamazaki)的美國專利案第5,523,606號，揭示出一種使用選擇性磊晶處理的方法。參閱圖1A與1B，分別對應到'606專利案部分的圖7C與7E，外質極極多晶矽21是在本質基極23被摻雜之前便先進行摻子雜處理。圖1A所示的是氮化矽層15，氮化矽側壁隔離層17與半導體基底1。將外質極極多晶矽21底下的薄層(未標示)蝕刻掉，形成上懸結構的空穴(或空洞)22。然後只有在矽與多晶矽之曝露表面上的空穴22內側，選擇性的沉積出本質基極23，如圖1B所示。見'606專利案從第8欄第53行到第9欄第17行。圖1B也顯示出n-型磊晶集極層13。'606專利案中所揭示的方法避免開CMP步驟，但是有數個缺點，比如在填滿空穴22時較差的製程控制以及選擇性沉積條件的嚴苛要求。

標題為"Manufacturing Method of Semiconductor Device Comprising BICMOS Transistor"的美國專利案第5,620,908號是Inoh等人的。Inoh等人是使用與Yamazaki之'606專利案所揭示相類似的方法。特別的是，如'908專利案之圖6F以及第13欄(特別是在24-26行)所示的，Inoh等人揭示出一種結合選擇性磊晶與蝕刻掉上懸部分之步驟而形成空穴的方

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（4）

法。

2.CMP

用來形成提升外質基極的第二種方法是牽涉到CMP步驟。Chu等人的美國專利案第5,015,594號，其專利權是給本發明相同的讓受人，國際商務機械公司。該專利中，標題"Process of Making BICMOS Device Having Closely Spaced Device Regions"，Chu等人提出利用CMP形成外質基極多晶矽。然而，利用熱氧化物來達成隔絕，因為有高溫熱製程，所以在高性能裝置中是不可行的。

Y.C. Sun與J. Warnock提出一種方法，"Process for a High-Performance Bipolar-Based BICMOS"，IBM技術公開文件，vol. 35，no. 4B，295-97頁(1992年九月)，利用CMP形成提升外質基極。然而外質基極部分是直接接觸到本質基極，沒有任何蝕刻阻止。圖2A與2B是對應到該文章的圖1。參閱2A與2B，外質基極多晶矽21是直接沉積到本質基極5上，而且是在射極開口區上，沒有任何界面層去阻止外質基極多晶矽21的射極開口蝕刻31。該方法表現出較差的製程控制，因此無法產生良好的生產控制，而且無法產生高可靠度與再現性之雙載子裝置。

為了在形成射極開口時阻止外質多晶矽蝕刻，介電材料的蝕刻阻止層，比如氧化物，必須安置到外質基極多晶矽底下。然而該蝕刻阻止層無法覆蓋住整個外質基極區，以便形成提升外質基極與底下基極25之間的電氣接觸。因此，仍然需要一種可行的方法，來達成具有CMOS電路整合能

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（5）

力的這些需求特性。

傳統方法的缺點顯示出，仍需要製造具有提升外質基極之HBT的改善方法。為了克服傳統方法的缺點，提出新的方法。本發明的目的是要利用整合到CMOS電路內之CMP來形成具有提升外質基極的HBT。相關的目的是要正確的設計出射極犧牲塞柱以及CMOS閘極的厚度，讓這二種結構跨越整個晶圓都具有相同的高度，具有當作研磨阻止層用的平板頂部表面，利用CMP來形成提升外質基極以及隔絕介電層。

另一相關目的是要提供一種製造方法，包括一連串的特定層以及預設的薄層範圍，給具提升外質基極之HBT，該提升外質基極是利用整合到CMOS電路內的CMP而形成。本發明的另一目的是要提供一種方法，其中CMOS閘極介電質堆疊是設計成要形成與HBT射極塞柱對齊的平板表面。最後，本發明的一般目的是要提供一種製程序列，來形成整合CMP處理步驟的整個BiCMOS電路。

發明摘要

為達成這些目的以及其它目的，而且從其目的觀點來看，本發明提供一種形成雙載子電晶體的方法，該雙載子電晶體具有提升外質基極，射極以及整合到具閘極之互補金氧半(CMOS)電路的集極。提供具有CMOS區以及雙載子區的中間半導體結構。本質基極層是在雙載子區內。跨越CMOS區以及雙載子區上形成基極氧化物，並沉積出犧牲射極堆疊矽層(底下稱作射極堆疊矽層)。加上光阻，保護雙載

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（6）

子區，而且蝕刻該結構以便從CMOS區去除掉射極堆疊矽層，只讓雙載子區上射極堆疊矽層的頂部表面基本上是與CMOS區的頂部表面齊平。最後，沉積出研磨阻止層，在跨越CMOS區與雙載子區上具有平板表面，適合後續的化學機械研磨(CMP)用。

取決於不同薄層的相對厚度，本發明可能有二個特定實施例。第一實施例中，射極堆疊矽層的厚度大約等於CMOS區矽閘極的厚度。然後該方法使用基極氧化物當作蝕刻阻止，讓雙載子區上射極堆疊矽層的頂部表面基本上是與CMOS區內基極氧化物的頂部表面齊平。

第二實施例中，射極堆疊矽層的厚度加上本質基極層的厚度大約等於CMOS區矽閘極的厚度。然後該方法包括蝕刻步驟，以便只從CMOS區去除掉射極堆疊矽層，基極氧化物以及本質基極層，具有CMOS保護層當作蝕刻阻止。該步驟確保讓雙載子區上射極堆疊矽層的頂部表面基本上是與CMOS區內基極氧化物的頂部表面齊平。

要了解的是，本發明上述的一般說明以及底下的詳細說明都是解釋性的，而非限制性。

圖式之簡單說明

當結合相關圖示閱讀時，能從底下詳細的說明而更加了解本發明。要強調的是，依據一般實際情形，圖示的不同特點並不是按照實際的尺寸。相反的，為了清楚起見，不同特點的尺寸大小是被任意的擴展開或縮小。包括在圖示中的是底下的圖：

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 7 ）

圖1A與1B是分別對應到美國專利編號5,523,606案的圖7C與7E；

圖2A與2B是對應到由Y.C. Sun與J. Warnock提出之文章中的圖1，"Process for a High-Performance Bipolar-Based BICMOS"，IBM技術公開文件，vol. 35，no. 4B，295-97頁(1992年九月)；

圖3顯示出造成底下本發明方法之前三個步驟應用的結構；

圖4顯示本發明法的第四步驟，強調數個具有不同結構的區域形式；

圖5顯示本發明法的第五步驟，強調CMOS區與雙載子區之間結構的清楚差異(步階)；

圖6強調在沉積出射極堆疊矽與SiN研磨阻止層後雙載子區與CMOS區之間不同的結構，會讓對雙載子區進行平坦化而形成具良好研磨阻止之提升外質基極變得很不實際；

圖7顯示出依據本發明第一實施例，會讓雙載子區上的a-Si表面與CMSO區內基極氧化物的頂部表面齊平；

圖8顯示出依據本發明第二實施例，會讓雙載子區上的a-Si表面與CMSO區內閘極多晶矽上的TEOS層頂部表面齊平；

圖9是沉積出氮化矽層當作研磨阻止層用後圖8的結構；

圖10是依據本發明任一實施例方法的下個步驟，顯示穿過SiN與a-Si射極堆疊所形成的外質基極開口；

圖11顯示出形成隔離層；

圖12顯示出去除掉基極開口內的基極氧化物以及形成提升外質基極；

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（8）

圖13顯示出形成平面隔絕層；

圖14顯示從CMOS區中剝離開平面隔絕層後所造成的結構；

圖15顯示出使用平面隔絕層當作光罩，對射極島以及支撐島內氮化矽層與a-Si層的堆疊進行蝕刻後所造成的結構；

圖16顯示沉積出射極多晶矽層，沉積出SiN層當作光罩來形成射極接觸，並在該結構上塗佈光阻後所造成的結構；

圖17顯示出將SiN層與射極多晶矽層移到射極區外後所造成的結構，使用光阻當作光罩，而且光阻是對應到外質基極區並覆蓋住CMOS區；以及

圖18顯示出將所有氧化物層剝離開，沉積出SiN蝕刻阻止，沉積出硼磷矽酸鹽玻璃層並進行平坦化處理後所造成的結構，而且形成不同的接觸區給射極，集極與其它組件用，以完成該結構的整合。

發明之詳細說明

CMP已經半在導體製造時很廣泛的被用來形成淺溝槽隔絕(STI)以及背端線(BEOL)隔絕區。然而傳統方法並沒有提到使用CMP來達成平坦化處理給在BiCMOS電路中所製造的矽裝置用，該BiCMOS電路在雙載子與CMOS間具有不同結構。形成STI是使用介電層當作研磨阻止，在早期的晶圓處理階段，直接沉積到矽基底平板表面上。

本發明的方法中，外質基極層是沉積到射極犧牲塞柱上。外質基極可以是多結晶矽或"PC"矽，常稱作"多晶矽"。正確的調整犧牲塞柱以及其它CMOS區的厚度，以便達成預先研磨平板表面給CMP平坦化用。本發明方法與傳統方法

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（9）

之間利用CMP形成提升外質基極給整合到CMOS電路內之HBT用的主要差異是，本發明中的外質基極層是沉積到射極犧牲塞柱上，而且犧牲塞柱與其它CMOS區的厚度要適當的調整，以便達成預先研磨平板表面給CMP平坦化用。底下將提供依據發明方法的詳細步驟，藉CMP整合到CMOS電路內而製造出具有提升外質基極之雙載子裝置。

現在參閱圖式，其中相類似的參考數號在整個圖式中是指相類似的單元，圖3顯示出本發明方法的前三個步驟之結果。起始結構包括具有填滿介電質隔絕區110與埋植集極區105的矽主動區100。沉積出保護層120並開口給CMOS製造用。保護層120保護雙載子區。雖然所說明的本實例中雙載子區是NPN-型，但是雙載子區並不受限於該型。這會完成本方法的第一步驟。

第二步驟中，製造出傳統CMOS裝置(包括PFET 140與NFET 150)，具有p-位阱與n-位阱離子佈植，緊接著適當的臨界電壓調整摻雜處理。形成閘極介電質，然後沉積出閘極導電體130。第三步驟中，沉積出保護介電層160，提供CMOS保護。可以沉積出選擇層170，方便進行後續基極的聚核。前三個步驟產生如圖3所示的結構。

這些步驟緊接著利用微影蝕刻技術並藉蝕掉保護層170，160與120來打開雙載子區，如圖4所示。圖4也顯示出STI區108與基極開口180。

如圖5所示，使用熟知該技術領域人士所周知的技術，沉積出磊晶SiGe基極190。可以形成如氧化物之介電質薄層

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（10　　）

(通常小於50nm)給鈍化用。沉積出磊晶SiGe基極190以及形成基極鈍化層200對於技術人員來說都是傳統的。圖5強調步驟210中CMOS區175與雙載子區165之間清楚的結構差異。步驟210大約等於閘極導電體130的高度(1,000-2,500 Å)。

圖6強調雙載子區與CMOS區之間不同的結構。在基極氧化物200後，沉積出a-Si層230與SiN層240的堆疊，每一層約500-2,000 Å厚，最好是1,000-1,500 Å厚。SiN層240將當作以下步驟的研磨阻止用。要注意的是步驟250中的高度差，NPN雙載子區165是小於CMOS區175。步驟250約等於CMOS閘極厚度(步驟210)。如果步驟250中的該結構保留SiN層240高高的位於CMOS區上，則要將雙載子區165平坦化而形成具良好研磨阻止之提升外質基極是不切實際的：沒有研磨阻止層是具有平坦表面，以便經由CMP形成提升外質基極。

該解決方法是提供預先研磨阻止層，在跨越整個晶圓上具平面或平板表面，考慮到CMOS區與NPN區之間不同結構，如圖6所示。適當的設計薄層序列以及沉積材料厚度而得到預先研磨表面。薄層序列與厚度是"預設的"，因為都是某個範圍內的合理可預測出，與隨機的情形相反，並且能計算出而達成所需的終端產品。

為解決特定的結構問題，在研磨阻止SiN層240之前先沉積出來的薄層，在整個晶圓上都必須齊平。齊平的表面可以用光罩蝕刻處理來實現。本方法中，光阻235是用來保護雙載子區165。CMOS區175被曝露且以一適當之蝕刻阻止將薄膜蝕去。下個步驟是沉積出研磨阻止SiN層240。研磨阻止SiN

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（11　）

層240的頂部表面在跨越CMOS區與雙載子區上將會齊平。

本方法有二個選擇，取決於結構內的薄層厚度。第一選擇是圖7所示，其中a-Si層230的厚度約等於閘極導電體130的厚度。形成基極氧化物200後，先沉積出射極堆疊a-Si層230。選取a-Si層230的厚度等於步階高度差，是與CMOS堆疊以及NPN磊晶SiGe基極190之間的差距相同，大約是與閘極導電體130相同。光阻光罩蝕刻會在基極氧化物200上停止；利用光阻光罩蝕刻只去除掉CMOS區175內的a-Si層230。結果是，雙載子區165上a-Si層230的表面是與CMOS區175內基極氧化物200的頂部面齊平。因此，後續形成的SiN層240將具有平板表面，跨越整個晶圓，給CMOS區與雙載子區用。

第二選擇是顯示於圖8中，其中a-Si層230的厚度加上磊晶SiGe基極190的厚度是大約等於閘極導電體130的厚度。因為閘極導電體130的厚度約2,000 Å，通常是大於約500-1,500 Å的閘極導電體130厚度，因此可以蝕刻掉a-Si層230進一步穿過基極氧化物200，其中底下磊晶SiGe基極190也會被去除掉。該蝕刻處理會在CMOS保護層160上停止。本方法的要求是，結合二種薄層(a-Si層230與磊晶SiGe基極190)要具有等於閘極導電體130的厚度。因此，雙載子區165上a-Si層230的表面是與CMOS保護層160的頂部表面齊平。

圖9顯示沉積出SiN層240後圖8的結構。(TEOS 245的蝕刻阻止層，約100-500Å厚，是選擇性的在SiN層240上。)要注

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（ 12 ）

意的是，雙載子區165上SiN層240的頂部表面是與CMOS區175內的頂部表面齊平，對於下個步驟CMP是很必需的。

因為製造方法在以下步驟中的二個選擇都相類似，所以第二選擇(圖8與9)將被用來當作實例來討論雙載子的製造。完成製造出第一選擇結構(圖7)的製造步驟，是可以直接用底下的討論為基礎而推導出。依據第二選擇的實例來看，這些步驟對於技術人員是已知的。

依據本發明方法的下個步驟，塗佈出外質基極開口的阻止方塊(未顯示)。圖10所示，堆疊RIE層與240與薄層230形成外質基極開口270，留下射極島280與支撐島290。RIE步驟會在基極氧化物層200上停止。

如圖11所示，接著形成隔離層300。隔離層300可以是單一或複合介電隔離層。基極氧化物200在外質基極開口270內被剝離開。其它區域上的基極氧化物200被射極島280與支撐島290保護。

圖12顯示出形成提升外質基極310。例如，沉積出多晶矽層313並接著平坦化回到高度315，用當作研磨阻止的薄層240填滿外質基極開口270，而形成提升外質基極310，緊接著進行回蝕處理。也可以只在曝露的外質基極開口270上進行選擇性磊晶沉積，而形成提升外質基極310。

圖13顯示沉積出介電隔絕層323。對介電隔絕層323進行CMP步驟，以便將該層平坦化，形成平面隔絕層320。本步驟中再一次將薄層240當作研磨阻止用。

接著，使用與光阻235相同影像的光阻光罩，來阻擋雙載

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 13 ）

子區165。然後將CMOS區175內殘留的隔絕層320剝離開(如果可以的話與任何殘留的薄層一起從隔離層)。最後結構顯示於圖14。

本發明的方法接著使用平面隔絕層320當作光罩。射極島280與支撐島290內的犧牲堆疊層230與240都被蝕刻掉。該蝕刻處理會在CMOS區175內的保護層160上以及雙載子區165內的基極氧化物200上停止。最後結構顯示於圖15。

如圖16所示，射極開口內的基極氧化物層200被蝕刻掉，而且沉積出射極層350。然後沉積出介電保護層360當作光罩，形成射極接觸區。光阻370是要讓後續的處理能方便進行。

使用光阻370當作光罩，將射極區外的介電保護層360與射極層350去除掉。平面隔絕層320與CMOS保護層160當作蝕刻阻止。將光阻層380定義出圖案而覆蓋住外質基極區以及CMOS區175，如圖17所示的加上去，並進行開口處理。對曝露區，第一蝕刻氧化物隔絕層320以及基極氧化物層200進行方向性蝕刻處理，然後，提升外質基極310與NPN磊晶SiGe基極190的多晶矽層會在保護層160上停止。然後經由濕蝕刻或乾蝕刻技術去除掉保護層160，並(選擇性的)可以進行CMOS離子佈植以及退火處理。

所有的以下步驟，形成到雙載子區165之射極，基極與集極的接觸區，以及到CMOS區175之源極，汲極與閘極的接觸區，對技術人員來說都是已知的。沉積出SiN蝕刻阻止430，緊接著沉積出並平坦化硼磷矽酸鹽玻璃(BPSG)層440

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 14 ）

。形成不同的接觸區450給射極，基極，集極以及其它組件用，而完程該結構的整合。這種結構顯示於圖18中。

本發明與傳統的製造方法之間的數個重要差異現在會很明顯。在本發明與Y.C. Sun以及J. Warnock所揭示的文章之間有數個主要差異。這些差異有：(a)本發明中的外質基極多晶矽是沉積到射極犧牲塞柱上，以及(b) 犧牲塞柱與其它的CMOS區都具有被正確調整過的厚度，而提供預先研磨平板表面來達成CMP平坦化。在參考文章中，相對的，研磨阻止是假設成CMOS閘極介電質。本發明中，CMOS頂部表面不再是與射極塞柱的初始高度相同，而達到該平板表面是本發明的重要目的之一。

本發明與美國專利編號5,523,606案之間也有數個主要差異。其中二個差異被強調出來。第一，本發明的外質基極多晶矽是在本質基極形成之後才沉積出來。第二，外質基極是經由CMP而形成，由適當的薄層堆疊設計來提供研磨阻止，因而本質SiGe基極是不需要選擇性磊晶處理。

雖上述的解釋與說明是參考某些特定的實施例，但是本發明無論如何並不是受限於所示的詳細內容。而是，在專利主張之等效的領域與範圍內以及在不偏離本發明精神的範圍內，其細節都會有不同的修改。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

A5
B5

四、中文發明摘要（發明之名稱：具有建造於一積體積體雙載子及互補型金氧半導體電路內提昇非本徵基極之雙載子電晶體）

本發明是一種形成雙載子電晶體的方法，該雙載子電晶體具有提升的外質基極，射極以及具閘極之整合互補金氧半(CMOS)電路的集極。中間半導體結構是具有CMOS以及雙載子區域。本質基底層是在雙載子區內。在跨越CMOS以及雙載子區域上形成基極氧化物，並沉積出犧牲性射極堆疊矽層。加上光阻，保護雙載子區域，並對該結構進行蝕刻處理，從CMOS區域去除掉犧牲層，只讓雙載子區域上的犧牲層頂部表面基本上是與CMOS區域的頂部表面齊平。最後，在跨越CMOS以及雙載子區域上，沉積出研磨阻止層，具有基本上平板頂部表面，適合後續的化學氣相研磨，以便形成提升的外質基底。

英文發明摘要（發明之名稱：BIPOLAR TRANSISTOR WITH RAISED EXTRINSIC BASE FABRICATED IN AN INTEGRATED BICMOS CIRCUIT）

A process for forming a bipolar transistor with a raised extrinsic base, an emitter, and a collector integrated with a CMOS circuit with a gate. An intermediate semiconductor structure is provided having CMOS and bipolar areas. An intrinsic base layer is provided in the bipolar area. A base oxide is formed across, and a sacrificial emitter stack silicon layer is deposited on, both the CMOS and bipolar areas. A photoresist is applied to protect the bipolar area and the structure is etched to remove the sacrificial layer from the CMOS area only such that the top surface of the sacrificial layer on the bipolar area is substantially flush with the top surface of the CMOS area. Finally, a polish stop layer is deposited having a substantially flat top surface across both the CMOS and bipolar areas suitable for subsequent chemical-mechanical polishing (CMP) to form the raised extrinsic base.

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

六、申請專利範圍

1. 一種形成整合到互補金氧半(CMOS)電路內具提升外質基極、射極與集極之雙載子電晶體之方法，該方法包括：

(a)提供中間半導體結構，具有雙載子區以及具閘極導電體的CMOS區；

(b)在載子區內提供具有厚度的本質基極層；

(c)形成基極氧化物，跨越CMOS區與載子區；

(d)在CMOS區與載子區上沉積出具有厚度的射極堆疊矽層；

(e)加上光阻，保護雙載子區；

(f)只從CMOS區蝕刻去除掉射極堆疊矽層，讓載子區上的射極堆疊矽層之頂部表面基本上是與CMOS區的頂部表面齊平；以及

(g)沉積出具有基本上是平板表面的研磨阻止層，跨越CMOS區與載子區，適合後續的化學機械研磨(CMP)用。

2. 如申請專利範圍中第1項之方法，其中步驟(d)中所沉積出的該射極堆疊矽層的厚度是大約等於CMOS區的閘極導電體厚度，而且該方法在步驟(f)中還進一步包括使用基極氧化物當作蝕刻阻止，讓載子區上射極堆疊矽層的頂部表面基本上是與CMOS區內基極氧化物的頂部表面齊平。

3. 如申請專利範圍中第1項之方法，其中步驟(d)中所沉積出的該射極堆疊矽層的厚度加上步驟(b)中本質基極層的厚度大約是等於CMOS區的閘極導電體厚度，而且該方法在步驟(f)中還進一步包括用蝕刻只從CMOS區去除掉

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

六、申請專利範圍

射極堆疊矽層與基極氧化物，用CMOS保護層當作蝕刻阻止，讓載子區上射極堆疊矽層的頂部表面基本上是與CMOS區內保護層的頂部表面齊平。

4. 如申請專利範圍中第1項之方法，其中該研磨阻止層是介電質。

5. 如申請專利範圍中第1項之方法，其中該雙載子電晶體是異質接面雙載子電晶體而本質基極層是矽-鍺。

6. 如申請專利範圍中第1項之方法，其中該射極堆疊矽層包括：

(a)具有500-2,000 Å厚度的a-Si層；以及

(b)具有500-2,000 Å厚度的SiN研磨阻止層。

7. 如申請專利範圍中第2項之方法，其中該閘極導電體具有1,000-2,500 Å的厚度而且該射極堆疊矽層包括：

(a)具有500-2,000 Å厚度的a-Si層；以及

(b)具有500-2,000 Å厚度的SiN研磨阻止層。

8. 如申請專利範圍中第3項之方法，其中該閘極導電體具有1,000-2,500 Å的厚度而且該射極堆疊矽層包括：

(a)具有500-2,000 Å厚度的a-Si層；以及

(b)具有500-2,000 Å厚度的SiN研磨阻止層。

9. 如申請專利範圍中第1項之方法，進一步包括步驟(h)，進行蝕刻而形成外質基極開口，該蝕刻會在基極氧化物上停止。

10. 如申請專利範圍中第9項之方法，進一步包括形成隔離層的步驟(i)以及從外質基極開口剝離開基極氧化物的步

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

六、申請專利範圍

驟(j)。

11. 如申請專利範圍中第10項之方法，進一步包括步驟(k)，在外質基極開口內形成提升外質基極。

12. 如申請專利範圍中第11項之方法，進一步包括沉積出隔絕層的步驟(l)以及使用研磨阻止層的齊平表面進行CMP處理而形成平面隔絕層的步驟(m)。

13. 如申請專利範圍中第12項之方法，進一步包括加上光阻來保護雙載子區的步驟(n)以及從CMOS區剝離開平面隔絕層的步驟(o)。

14. 如申請專利範圍中第13項之方法，進一步包括步驟(p)，使用平面隔絕層當作光罩，並對射極堆疊矽層與研磨阻止層進行蝕刻處理，該蝕刻會在雙載子區內的基極氧化物上以及在CMOS區內的CMOS保護層上停止。

15. 如申請專利範圍中第14項之方法，進一步包括沉積出射極堆疊矽層的步驟(q)以及沉積出光罩而形成射極接觸區的步驟(r)。

16. 如申請專利範圍中第15項之方法，進一步包括步驟(s)，同時用光阻覆蓋住外質基極與CMOS區，形成外質基極圖案，然後進行蝕刻處理。

17. 如申請專利範圍中第16項之方法，進一步包括步驟(t)，形成不同的接觸區給雙載子區的射極，基極與集極，以及不同的接觸區給CMOS區的源極，汲極與閘極。

18. 一種在形成整合到互補金氧半(CMOS)電路內具提升外質基極、射極與集極之雙載子電晶體時有用之中間半導體

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

六、申請專利範圍

結構，該結構包括：

雙載子區；

CMOS區，包括頂部表面，具有厚度之閘極導電體以及具有頂部表面的包護層；

本質基極層，在雙載子區內，具有厚度；

基極氧化物，跨越CMOS與雙載子區，該基極氧化物具有厚度；

射極堆疊矽層，只有在雙載子區以及基極氧化物上，該射極堆疊矽層具有厚度且頂部表面基本上是與CMOS區的頂部表面齊平；以及

研磨阻止層，基本上具有平板表面，跨越CMOS與雙載子區，適合後續的化學機械研磨(CMP)用。

19. 如申請專利範圍中第18項之中間半導體結構，其中該射極堆疊矽層的厚度大約等於CMOS區的閘極導電體厚度，而且雙載子區上射極堆疊矽層的頂部表面基本上是與CMOS區內基極氧化物的頂部表面齊平。

20. 如申請專利範圍中第18項之中間半導體結構，其中該射極堆疊矽層的厚度加上本質基極層的厚度大約等於CMOS區的閘極導電體厚度，而且雙載子區上射極堆疊矽層的頂部表面基本上是與CMOS區內保護層的頂部表面齊平。

21. 如申請專利範圍中第18項之中間半導體結構，其中該研磨阻止層是介電質。

22. 如申請專利範圍中第18項之中間半導體結構，其中該雙

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

六、申請專利範圍

載子電晶體是異質接面雙載子電晶體而本質基極層是矽-鍺。

23. 如申請專利範圍中第18項之中間半導體結構，其中該射極堆疊矽層包括：

(a)具有500-2,000 Å厚度的a-Si層；以及

(b)具有500-2,000 Å厚度的SiN研磨阻止層。

24. 如申請專利範圍中第19項之中間半導體結構，其中該閘極導電體具有1,000-2,500 Å的厚度而且該射極堆疊矽層包括：

(a)具有500-2,000 Å厚度的a-Si層；以及

(b)具有500-2,000 Å厚度的SiN研磨阻止層。

25. 如申請專利範圍中第20項之中間半導體結構，其中該閘極導電體具有1,000-2,500 Å的厚度而且該射極堆疊矽層包括：

(a)具有500-2,000 Å厚度的a-Si層；以及

(b)具有500-2,000 Å厚度的SiN研磨阻止層。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

92年7月8日修正補充

第091113632號專利申請案
中文圖式替換本(92年7月)

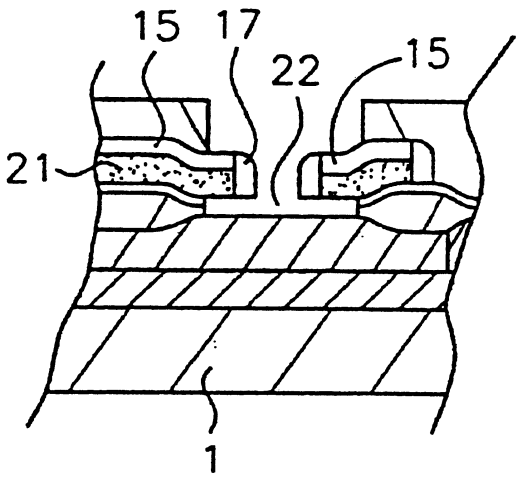


圖1A

(先前技藝)

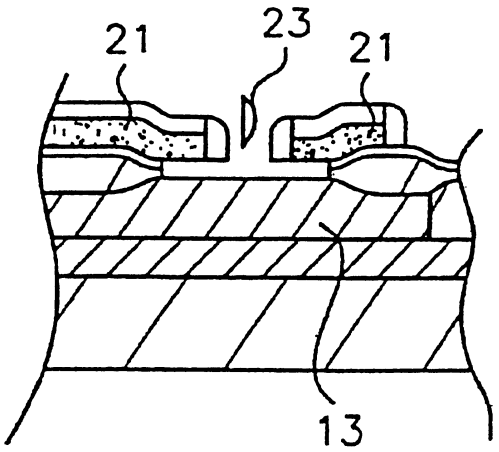


圖1B

(先前技藝)

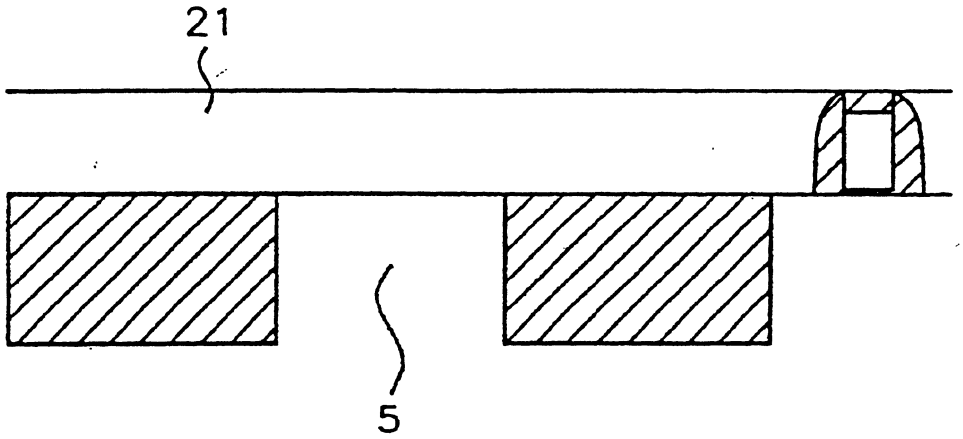


圖2A

(先前技藝)

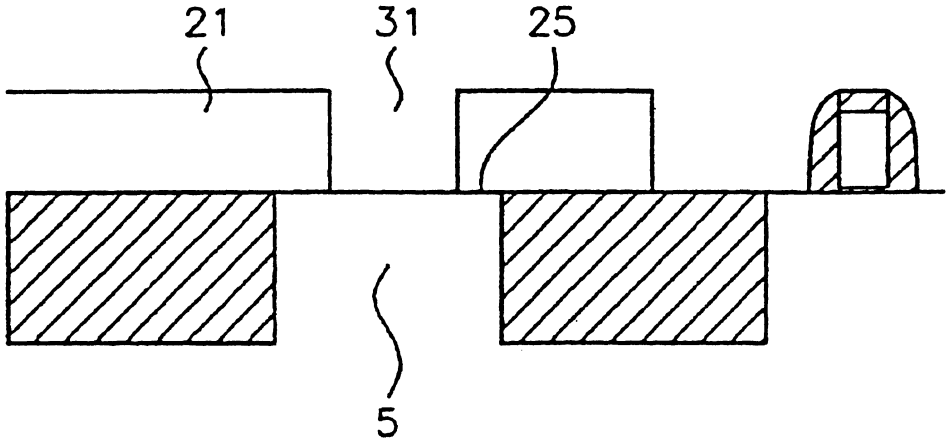


圖2B

(先前技藝)

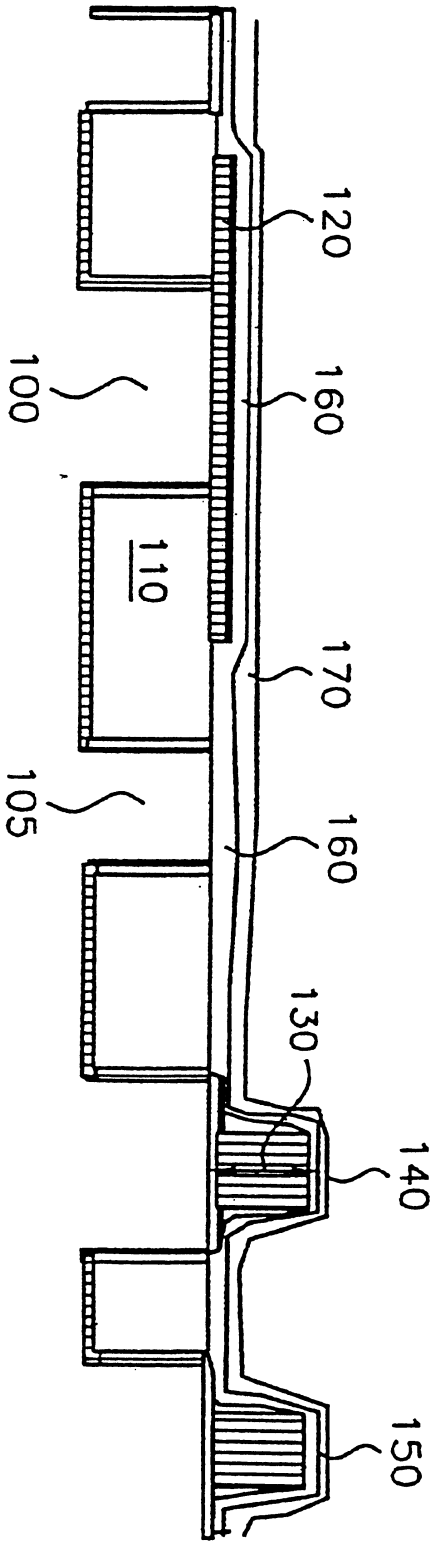


圖 3

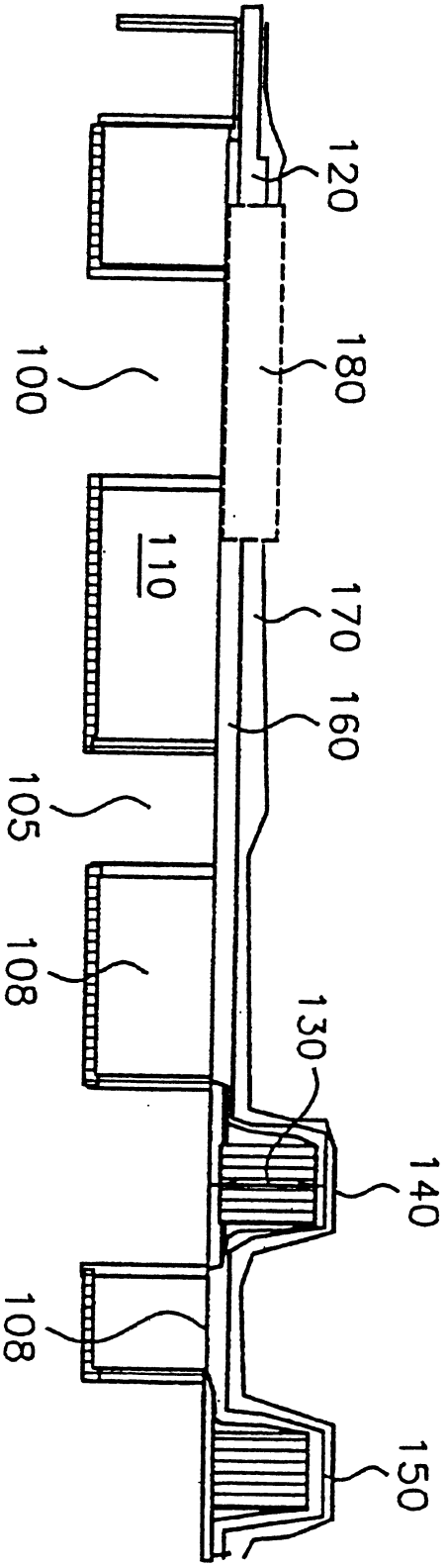


圖 4

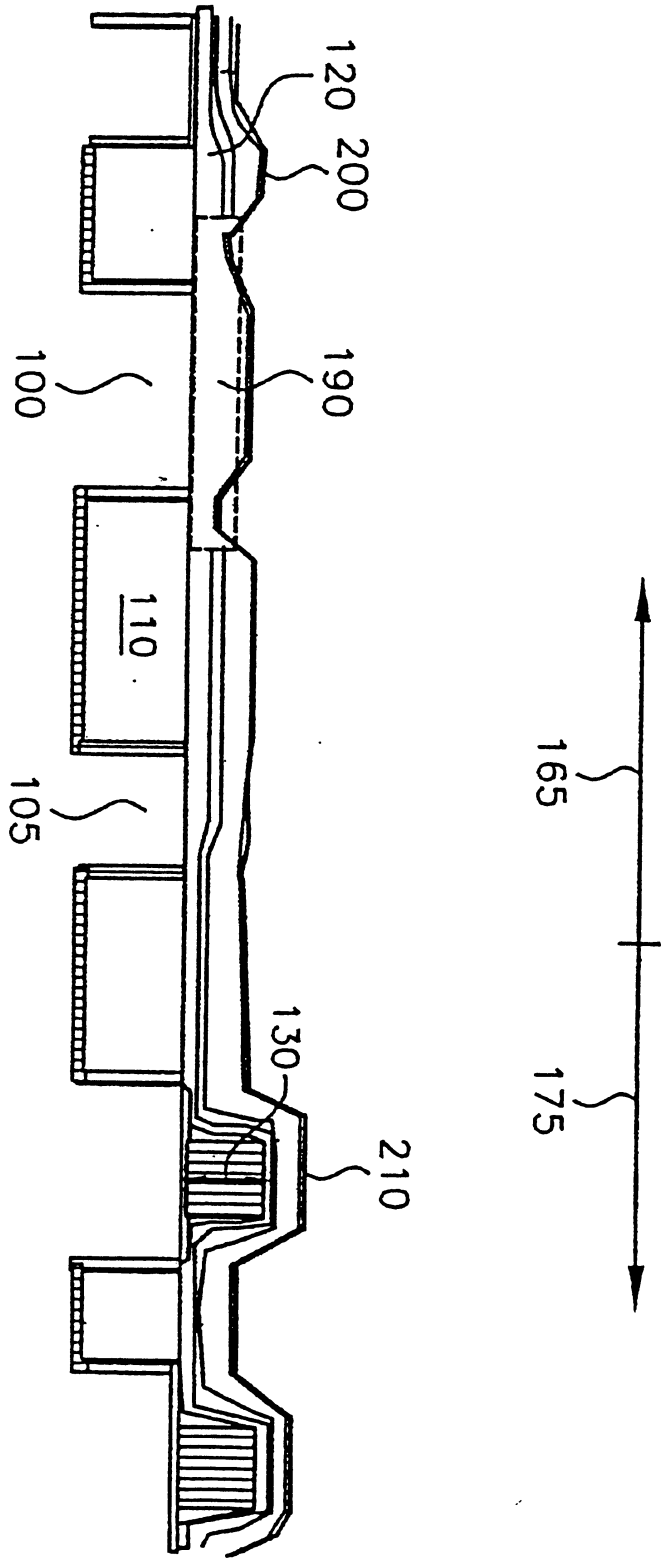


圖 5

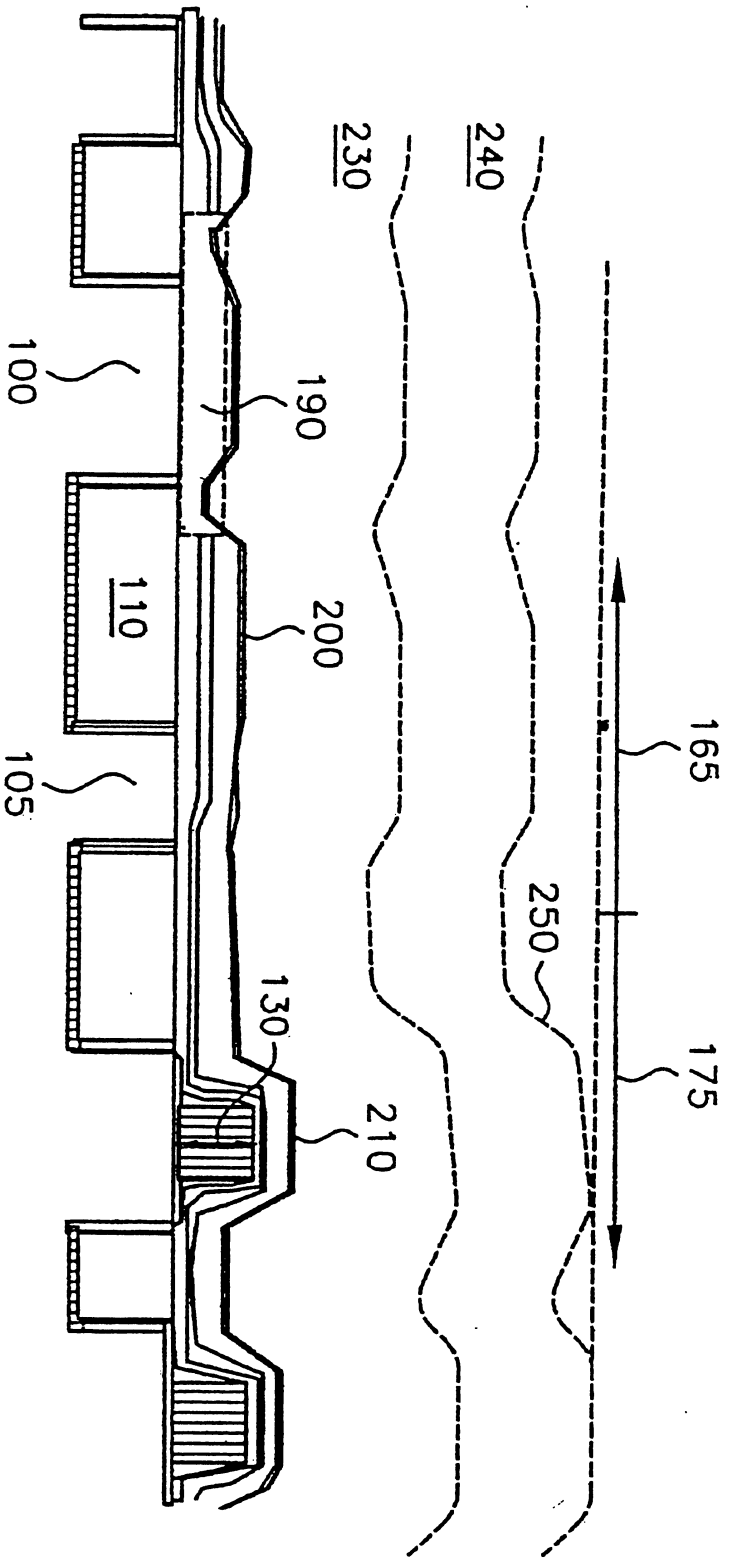


圖 6

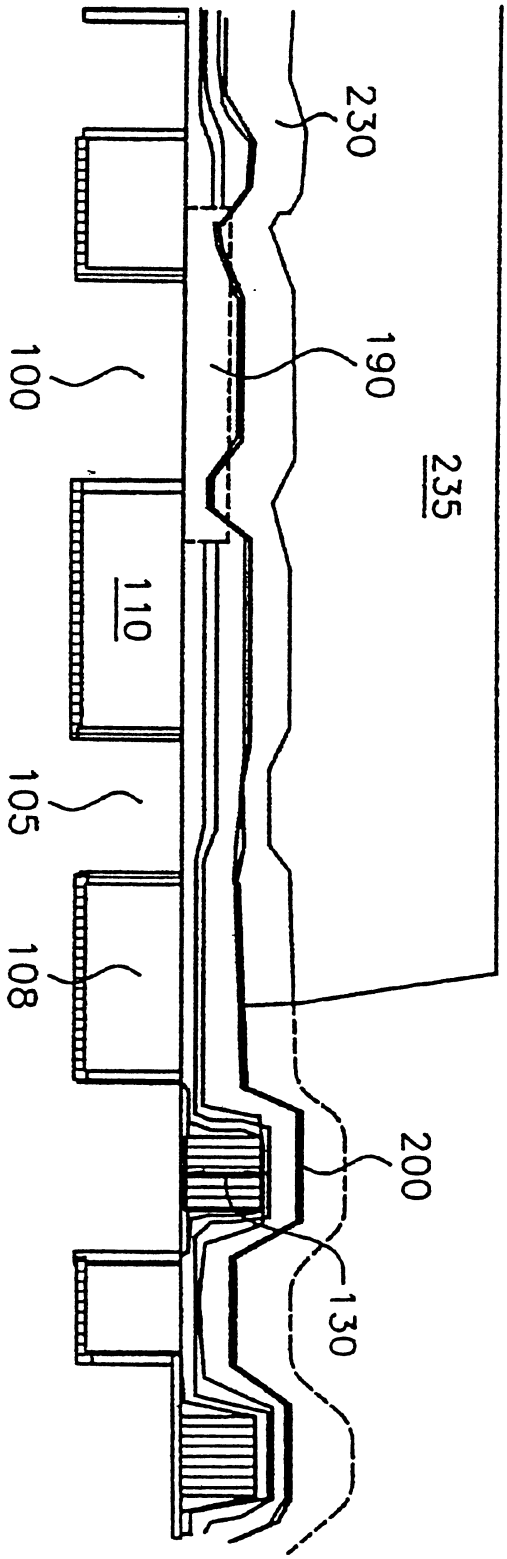


圖 7

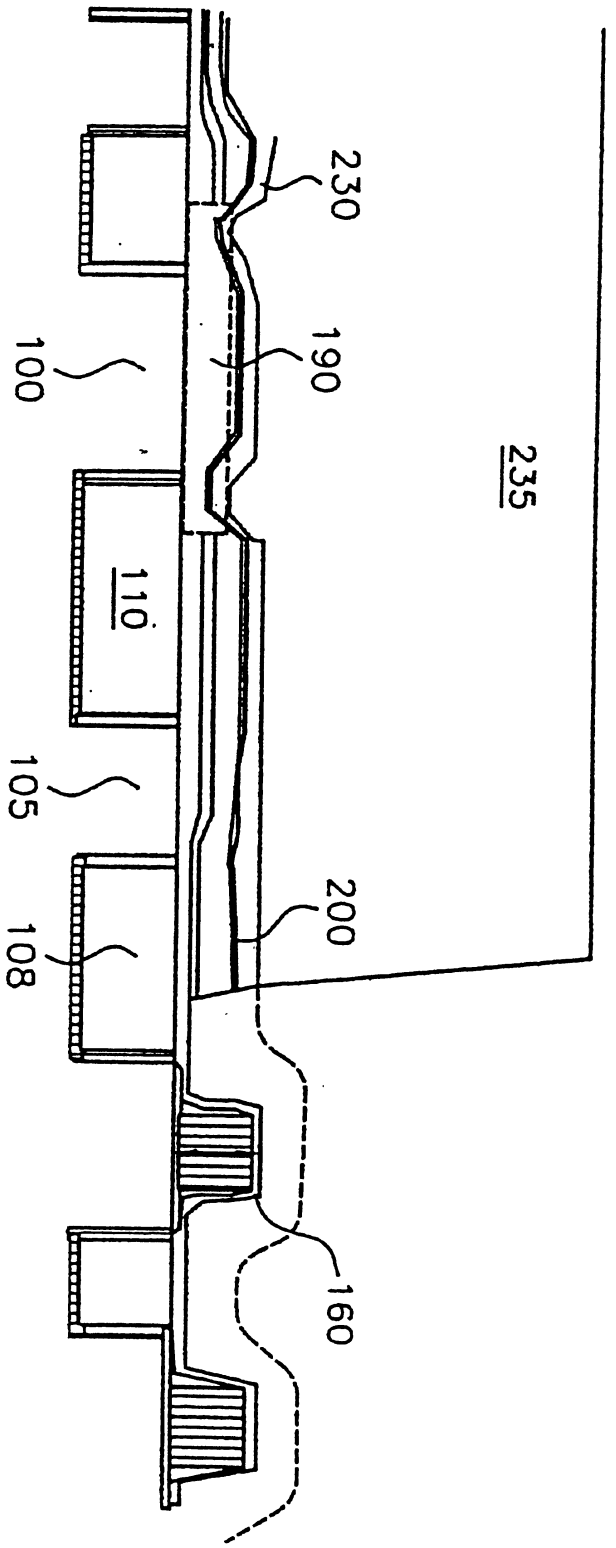


圖 8

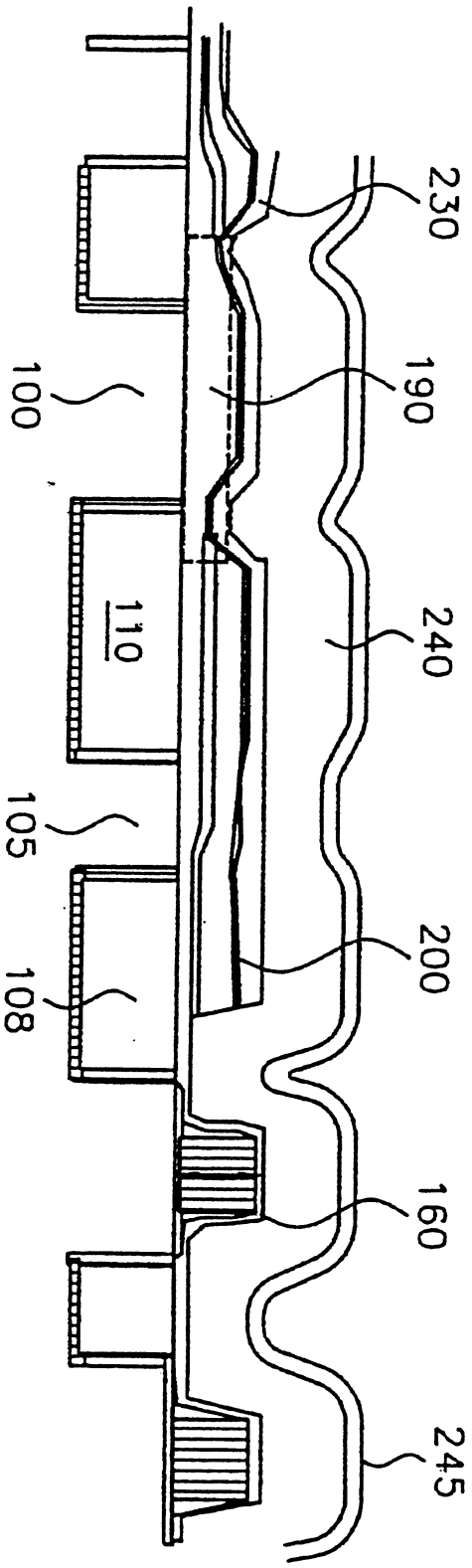


圖 9

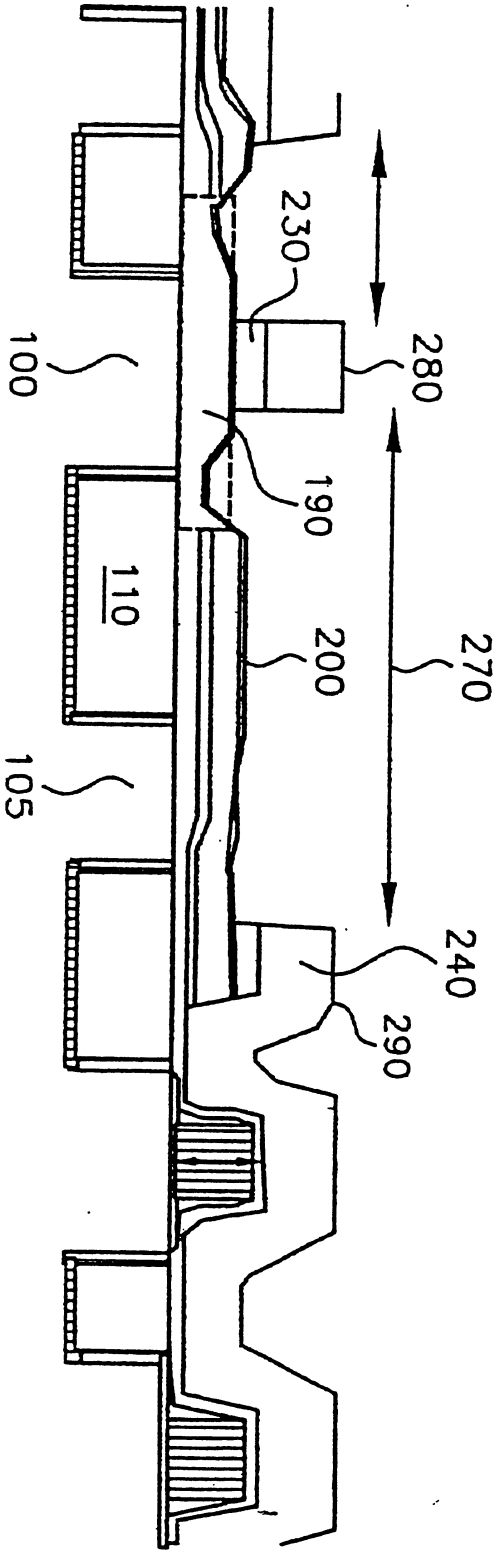


圖10

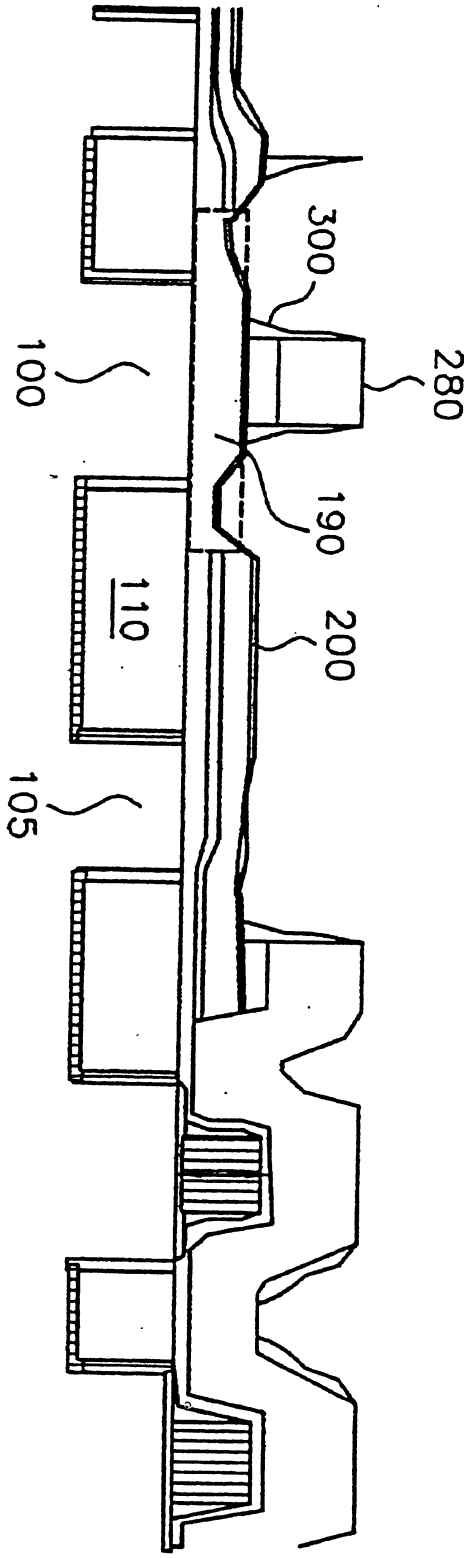


圖11

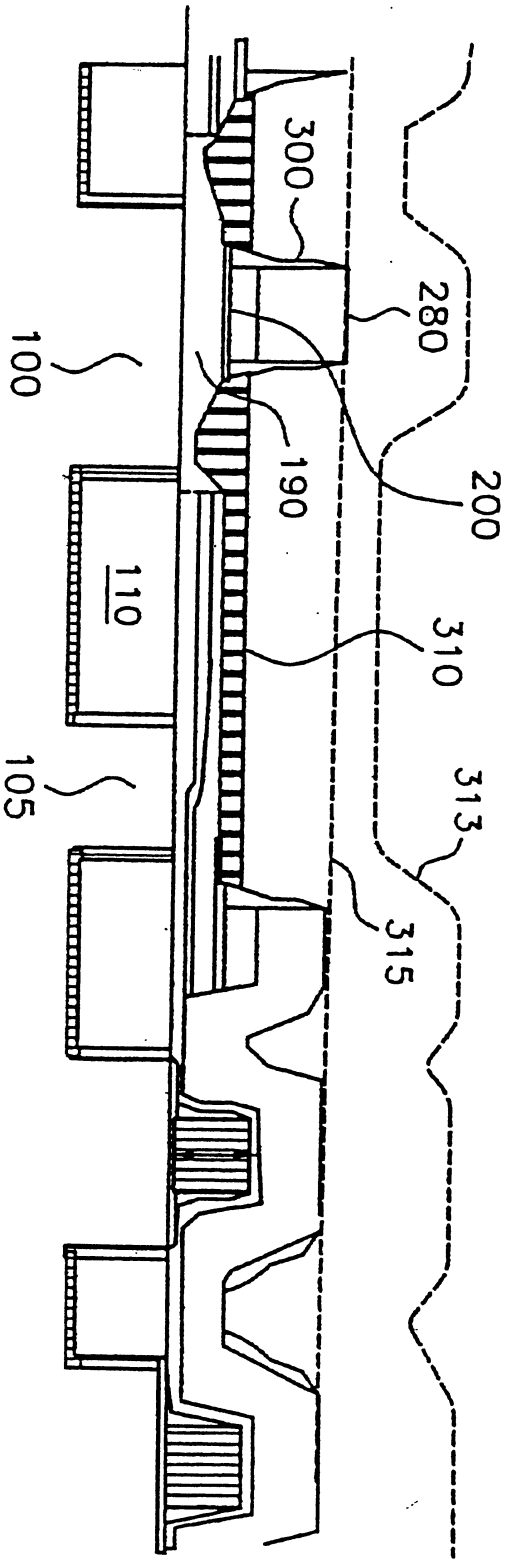


圖12

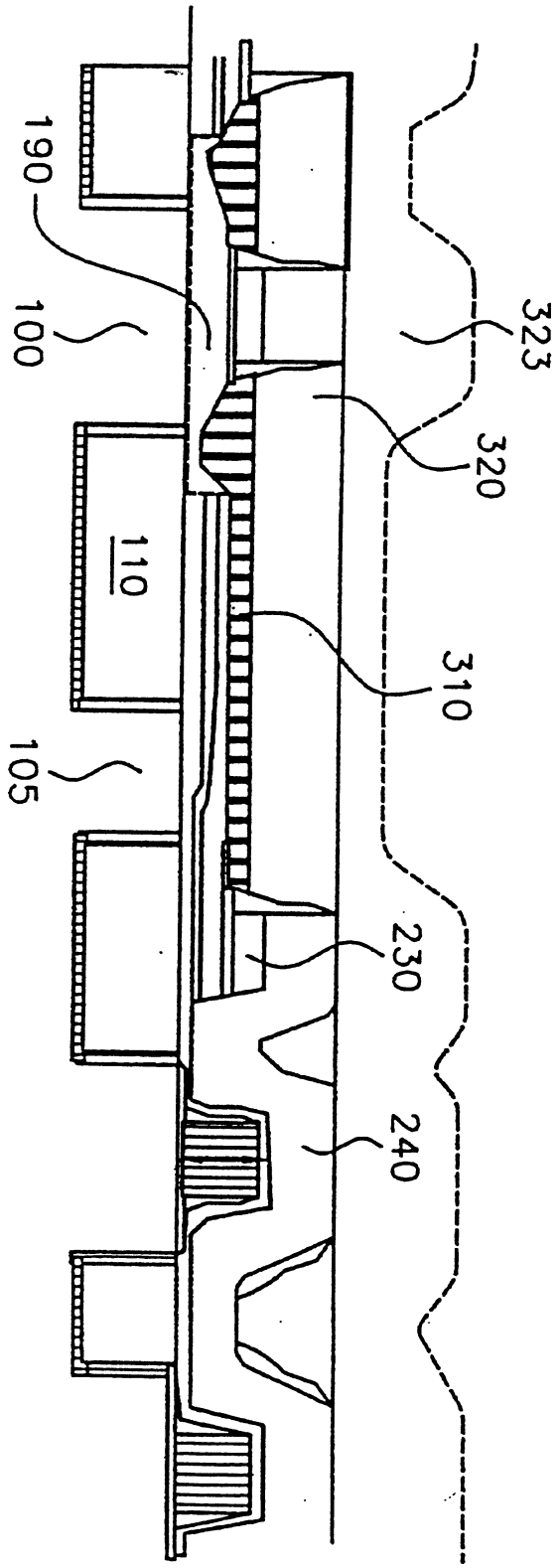


圖13

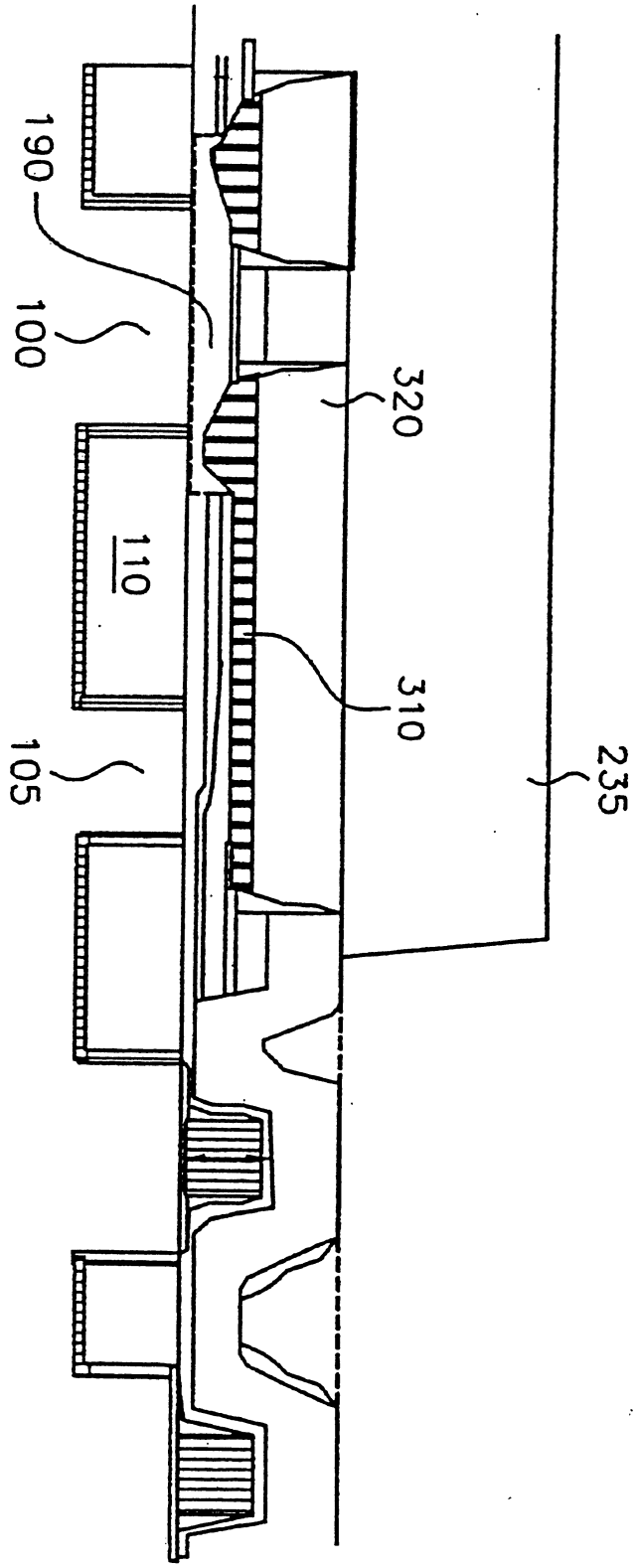


圖14

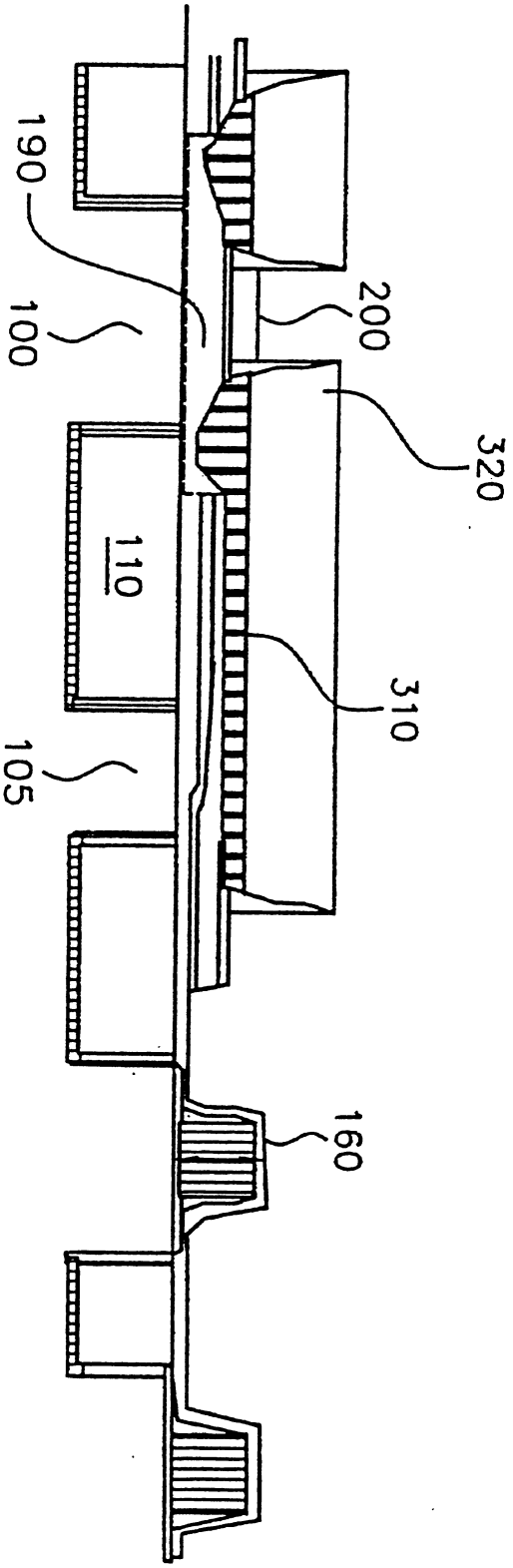


圖15

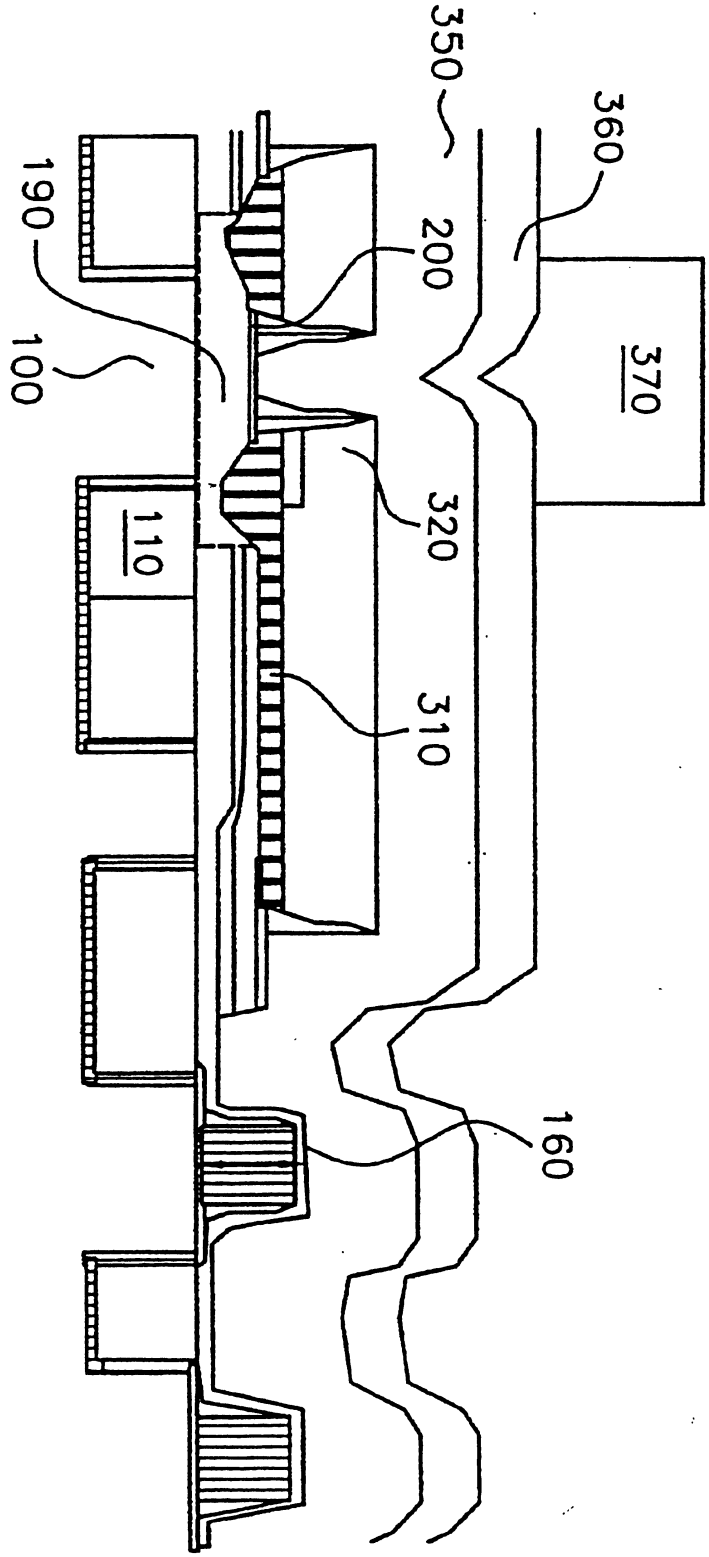


圖16

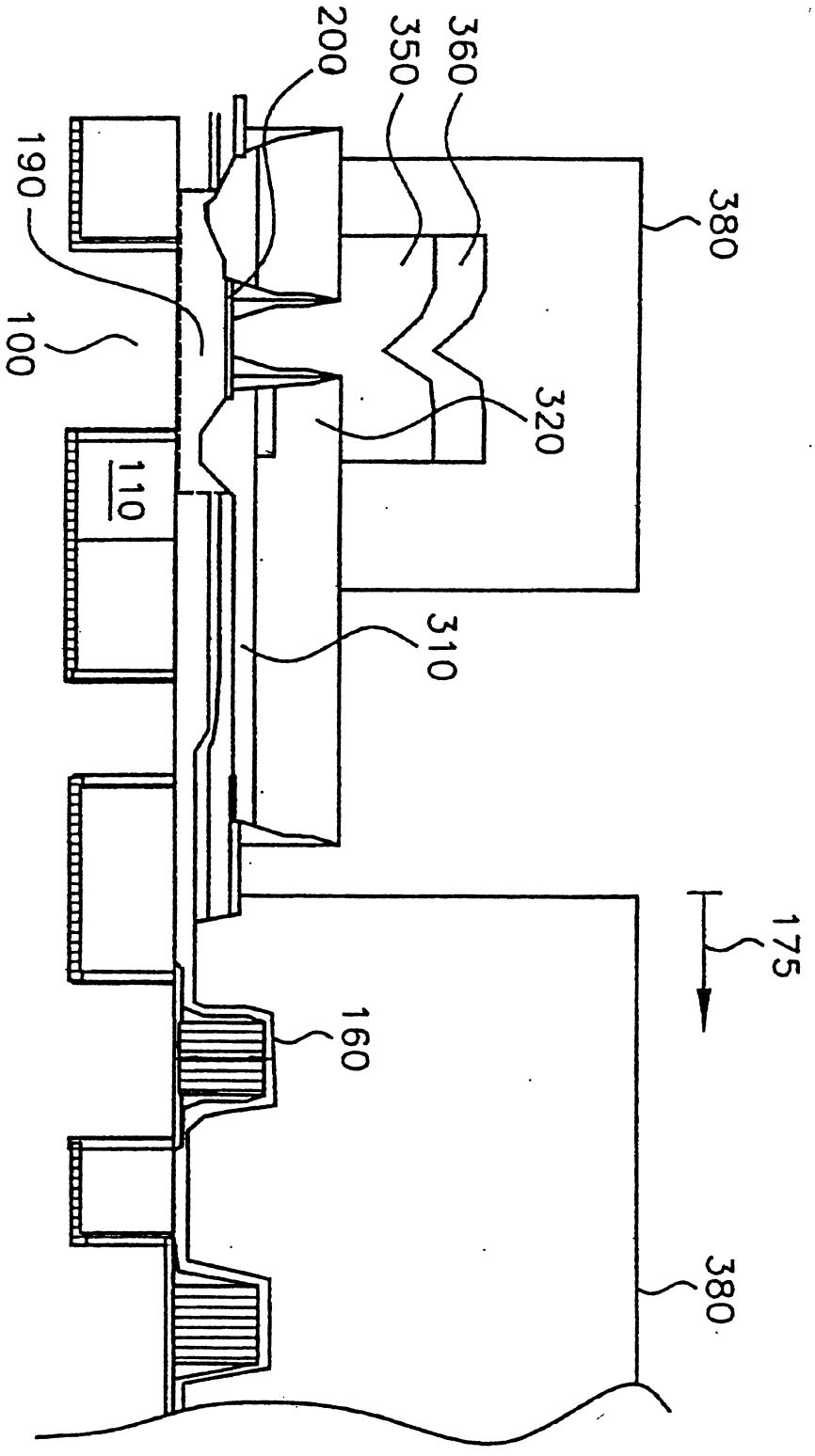


圖17

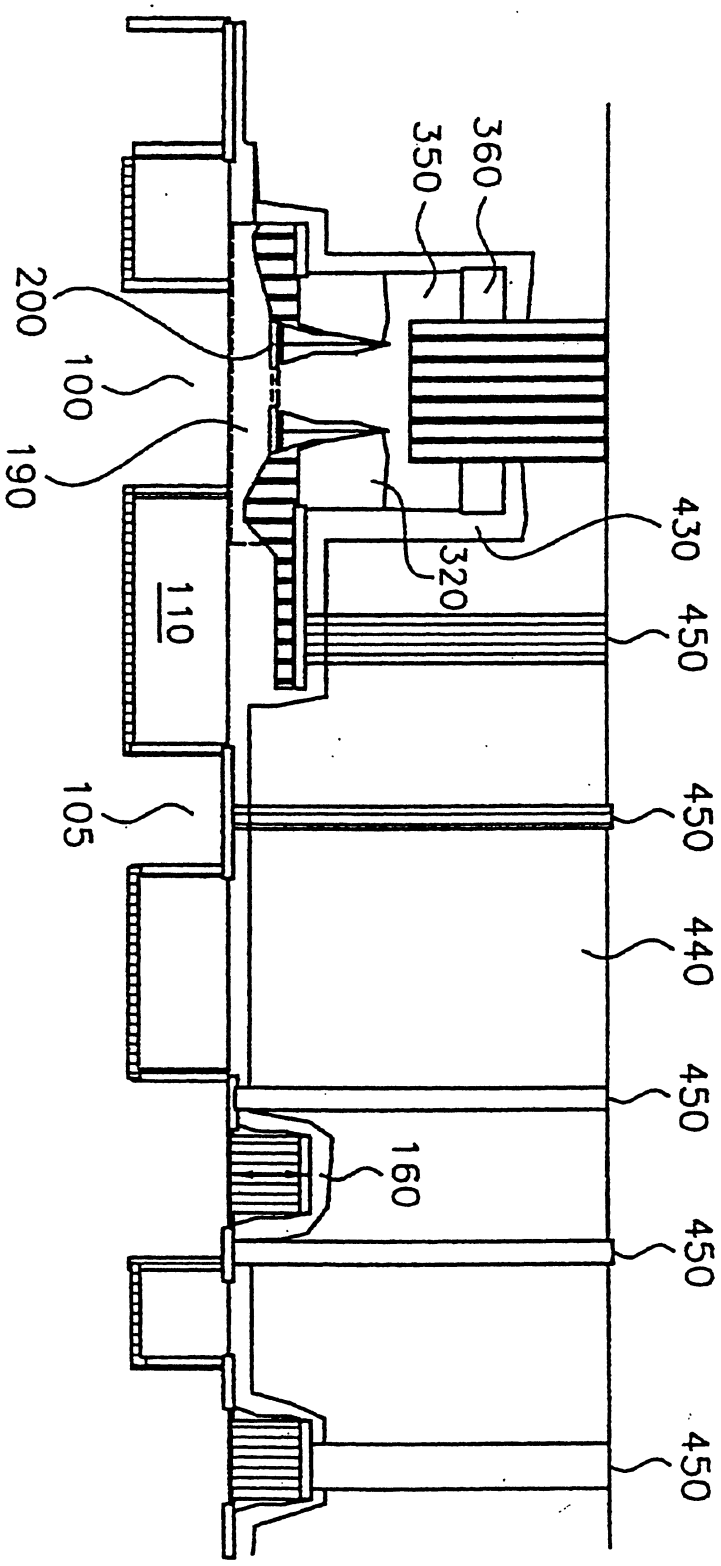


圖18