



(12)发明专利

(10)授权公告号 CN 104616617 B

(45)授权公告日 2017.03.22

(21)申请号 201510102976.4

(22)申请日 2015.03.09

(65)同一申请的已公布的文献号

申请公布号 CN 104616617 A

(43)申请公布日 2015.05.13

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 张元波 韩承佑 林允植

(74)专利代理机构 北京润泽恒知识产权代理有

限公司 11319

代理人 苏培华

(51)Int.Cl.

G09G 3/20(2006.01)

G11C 19/28(2006.01)

(56)对比文件

US 2007/0040771 A1,2007.02.22,

CN 102831860 A,2012.12.19,

CN 102831861 A,2012.12.19,

CN 103714792 A,2014.04.09,

审查员 刘占军

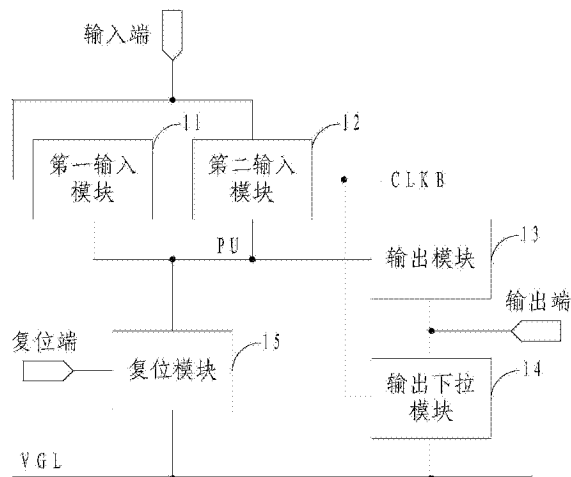
权利要求书2页 说明书8页 附图4页

(54)发明名称

移位寄存器及其驱动方法、栅极驱动电路、显示装置

(57)摘要

本发明提供一种移位寄存器及其驱动方法、栅极驱动电路、显示装置。其中的移位寄存器包括均与第一节点相连的第一输入模块、第二输入模块、输出模块、输出下拉模块和复位模块；第一输入模块用于在输入端所接信号的作用下抬高第一节点处的电位；输出模块用于在第一节点处的电位的作用下抬高输出端处的电位；复位模块用于在复位端所接信号的作用下下拉低第一节点处的电位；输出下拉模块用于在第一时钟信号的作用下下拉低输出端的电位；所述第二输入模块用于在第一时钟信号的作用下在第一输入模块和输出下拉模块工作时间内导通输入端与第一节点。本发明可以解决具有上拉节点PU与下拉节点PD的电路结构制约GOA电路所占边框宽度的减小的问题。



1. 一种移位寄存器,包括输入端、复位端和输出端,其特征在于,该移位寄存器包括均与第一节点相连的第一输入模块、输出模块、输出下拉模块和复位模块,其中:

所述第一输入模块还与所述输入端相连,用于在输入端所接信号的作用下抬高所述第一节点处的电位;

所述输出模块还与所述输出端相连,用于在所述第一节点处的电位的作用下抬高所述输出端处的电位;

所述复位模块还与所述复位端相连,用于在复位端所接信号的作用下拉低所述第一节点处的电位;

所述输出下拉模块还与所述输出端相连,用于在第一时钟信号的作用下拉低所述输出端的电位;

该移位寄存器还包括与所述输入端以及所述第一节点相连的第二输入模块,所述第二输入模块用于在第一时钟信号的作用下在所述第一输入模块和所述输出下拉模块工作时间内导通所述输入端与所述第一节点。

2. 根据权利要求1的移位寄存器,其特征在于,所述第二输入模块包括第一晶体管,所述第一晶体管的栅极连接所述第一时钟信号,源极与漏极中的一个与所述输入端相连,另一个与所述第一节点相连。

3. 根据权利要求1的移位寄存器,其特征在于,所述输出模块包括第一电容与第三晶体管,其中:

所述第一电容的一端与所述第一节点相连,另一端与所述输出端相连;

所述第三晶体管的栅极与所述第一节点相连,源极与漏极中的一个与输出端相连,另一个连接第二时钟信号。

4. 根据权利要求3的移位寄存器,其特征在于,所述第二时钟信号的占空比小于百分之五十。

5. 根据权利要求3的移位寄存器,其特征在于,所述移位寄存器还包括第四晶体管,所述第四晶体管的栅极与所述复位端相连,源极与漏极中的一个与所述输出端相连,另一个与低电平电压线相连。

6. 根据权利要求5的移位寄存器,其特征在于,所述移位寄存器还包括第二电容,所述第二电容的一端与所述第一节点相连,另一端连接所述第一时钟信号。

7. 根据权利要求6的移位寄存器,其特征在于,所述第二电容的大小与第二时钟信号与所述第三晶体管之间的寄生电容的大小相等。

8. 根据权利要求1至7中任意一项所述的移位寄存器,其特征在于,所述输出下拉模块包括第二晶体管,所述第二晶体管的栅极连接所述第一时钟信号,源极与漏极中的一个与所述输出端相连,另一个与低电平电压线相连。

9. 根据权利要求1至7中任意一项所述的移位寄存器,其特征在于,所述输入模块包括第五晶体管,所述第五晶体管的栅极连接所述输入端,源极与漏极中的一个连接所述输入端,另一个连接所述第一节点。

10. 根据权利要求1至7中任意一项所述的移位寄存器,其特征在于,所述复位模块包括第六晶体管,所述第六晶体管的栅极连接所述复位端,源极与漏极中的一个连接所述第一节点,另一个连接低电平电压线。

11. 一种栅极驱动电路,包括多级具有输入端、复位端和输出端的移位寄存单元,除第一级之外的任一级移位寄存单元的输入端均与上一级移位寄存单元的输出端相连,其特征在于,所述移位寄存单元采用如权利要求1至10中任意一项所述的移位寄存器。

12. 一种显示装置,其特征在于,包括权利要求11所述的栅极驱动电路。

13. 一种驱动权利要求1至10中任意一项的移位寄存器的方法,其特征在于,包括:

在第一阶段,向所述输入端输入第一电平,以使所述第一输入模块在第一电平的作用下抬高所述第一节点处的电位、所述第二输入模块在第一时钟信号的作用下导通所述输入端与所述第一节点,并使得所述输出模块在所述第一节点处的电位的作用下抬高所述输出端处的电位;

在第二阶段,向所述输入端输入第二电平,并向所述复位端处输入第二电平,以使所述复位模块拉低所述第一节点处的电位、所述输出下拉模块在第一时钟信号的作用下拉低所述输出端的电位,并使得所述第二输入模块在第一时钟信号的作用下导通所述输入端与所述第一节点。

14. 根据权利要求13所述的方法,其特征在于,所述输出模块包括第三晶体管,所述第三晶体管的源极或漏极中的一个连接第二时钟信号另一个连接所述输出端,所述第二时钟信号的占空比小于百分之五十。

移位寄存器及其驱动方法、栅极驱动电路、显示装置

技术领域

[0001] 本发明涉及显示技术领域,具体涉及一种移位寄存器及其驱动方法、栅极驱动电路、显示装置。

背景技术

[0002] 现有技术中,为了实现低成本和窄边框的目的,大部分都采用了GOA (Gate driver On Array,阵列基板行驱动) 技术,而传统的GOA电路是设置在有效显示区域的两侧,需要一定宽度的黑矩阵区域遮挡,这样就导致显示面板本身会有一定宽度的边框,从用户的舒适性和操作性等方面考虑,超窄的边框或者无边框是目前的消费和技术潮流。然而,GOA电路主要实现的是移位寄存功能,在a-Si (非晶硅) 或者氧化物工艺等不能实现CMOS (Complementary Metal Oxide Semiconductor,互补金属氧化物半导体) 器件的GOA电路中,一般会采用具有上拉节点PU (Pulling up) 和下拉节点PD (Pulling down) 的电路结构。为了维持这种电路结构的正常工作,通常要为上拉节点和下拉节点分别设置多个用于调控其电位的晶体管,这会使得每个GOA单元中的晶体管数量都会在十个左右,不利于GOA电路所占边框宽度的减小。

发明内容

[0003] 针对现有技术中的缺陷,本发明提供一种移位寄存器及其驱动方法、栅极驱动电路、显示装置,可以解决具有上拉节点PU与下拉节点PD的电路结构制约GOA电路所占边框宽度的减小的问题。

[0004] 第一方面,本发明提供了一种移位寄存器,包括输入端、复位端和输出端,该移位寄存器包括均与第一节点相连的第一输入模块、输出模块、输出下拉模块和复位模块,其中:

[0005] 所述第一输入模块还与所述输入端相连,用于在输入端所接信号的作用下抬高所述第一节点处的电位;

[0006] 所述输出模块还与所述输出端相连,用于在所述第一节点处的电位的作用下抬高所述输出端处的电位;

[0007] 所述复位模块还与所述复位端相连,用于在复位端所接信号的作用下拉低所述第一节点处的电位;

[0008] 所述输出下拉模块还与所述输出端相连,用于在第一时钟信号的作用下拉低所述输出端的电位;

[0009] 该移位寄存器还包括与所述输入端以及所述第一节点相连的第二输入模块,所述第二输入模块用于在第一时钟信号的作用下在所述第一输入模块和所述输出下拉模块工作时间内导通所述输入端与所述第一节点。

[0010] 可选地,所述第二输入模块包括第一晶体管,所述第一晶体管的栅极连接所述第一时钟信号,源极与漏极中的一个与所述输入端相连,另一个与所述第一节点相连。

[0011] 可选地,所述输出模块包括第一电容与第三晶体管,其中:

[0012] 所述第一电容的一端与所述第一节点相连,另一端与所述输出端相连;

[0013] 所述第三晶体管的栅极与所述第一节点相连,源极与漏极中的一个与输出端相连,另一个连接第二时钟信号。

[0014] 可选地,所述第二时钟信号的占空比小于百分之五十。

[0015] 可选地,所述移位寄存器还包括第四晶体管,所述第四晶体管的栅极与所述复位端相连,源极与漏极中的一个与所述输出端相连,另一个与低电平电压线相连。

[0016] 可选地,所述移位寄存器还包括第二电容,所述第二电容的一端与所述第一节点相连,另一端连接所述第一时钟信号。

[0017] 可选地,所述第二电容的大小与第二时钟信号与所述第三晶体管之间的寄生电容的大小相等。

[0018] 可选地,所述输出下拉模块包括第二晶体管,所述第二晶体管的栅极连接第一时钟信号,源极与漏极中的一个与所述输出端相连,另一个与低电平电压线相连。

[0019] 可选地,所述输入模块包括第五晶体管,所述第五晶体管的栅极连接所述输入端,源极与漏极中的一个连接所述输入端,另一个连接所述第一节点。

[0020] 可选地,所述复位模块包括第六晶体管,所述第六晶体管的栅极连接所述复位端,源极与漏极中的一个连接所述第一节点,另一个连接低电平电压线。

[0021] 第二方面,本发明还提供了一种栅极驱动电路,包括多级具有输入端、复位端和输出端的移位寄存单元,除第一级之外的任一级移位寄存单元的输入端均与上一级移位寄存单元的输出端相连,所述移位寄存单元采用上述任意一种的移位寄存器。

[0022] 第三方面,本发明还提供了一种显示装置,包括上述任意一种栅极驱动电路。

[0023] 第四方面,本发明还提供了一种驱动上述任意一种移位寄存器的方法,包括:

[0024] 在第一阶段,向所述输入端输入第一电平,以使所述第一输入模块在第一电平的作用下抬高所述第一节点处的电位、所述第二输入模块在第一时钟信号的作用下导通所述输入端与所述第一节点,并使得所述输出模块在所述第一节点处的电位的作用下抬高所述输出端处的电位;

[0025] 在第二阶段,向所述输入端输入第二电平,并向所述复位端处输入第二电平,以使所述复位模块拉低所述第一节点处的电位、所述输出下拉模块在第一时钟信号的作用下拉低所述输出端的电位,并使得所述第二输入模块在第一时钟信号的作用下导通所述输入端与所述第一节点。

[0026] 可选地,所述输出模块包括第三晶体管,所述第三晶体管的源极或漏极中的一个连接第二时钟信号另一个连接所述输出端,所述第二时钟信号的占空比小于百分之五十。

[0027] 由上述技术方案可知,本发明的移位寄存器可以作为GOA单元的电路结构,此时第二输入模块可以在输出下拉模块将输出端处电位放电至低电平电压线的同时将第一节点(即上拉节点PU)处的噪声电压放电至输入端,从而在级联电路中可以通过上一级GOA单元的输出端和输出下拉模块放电至低电平电压线。所以,本发明同样可以实现现有技术中具有上拉节点PU与下拉节点PD的电路结构的功能。

[0028] 进一步地,由于本发明仅去除了下拉节点PD,也就是说去除了移位寄存器和栅极驱动电路中用于调控下拉节点处电位的多个晶体管,因而可以减少其所用晶体管的数量,

有利于减小栅极驱动电路所占的边框宽度。

附图说明

[0029] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作一简单的介绍,显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0030] 图1是本发明一个实施例中一种移位寄存器的电路结构框图;

[0031] 图2是本发明一个实施例中一种移位寄存器的驱动方法的步骤流程示意图;

[0032] 图3是本发明一个实施例中一种移位寄存器的电路结构图;

[0033] 图4是图3中移位寄存器的电路结构的电路时序图;

[0034] 图5是本发明另一实施例中一种移位寄存器的电路结构图;

[0035] 图6是图5中移位寄存器的电路结构的电路时序图;

[0036] 图7是本发明一个实施例中一种栅极驱动电路的结构框图。

具体实施方式

[0037] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0038] 图1是本发明一个实施例中一种移位寄存器的结构框图。参见图1,该移位寄存器包括输入端、复位端和输出端;而且,该移位寄存器包括均与第一节点PU相连的第一输入模块11、第二输入模块12、输出模块13、输出下拉模块14和复位模块15,其中:

[0039] 第一输入模块11还与输入端相连,用于在输入端所接信号的作用下抬高第一节点PU处的电位;

[0040] 输出模块13还与输出端相连,用于在第一节点PU处的电位的作用下抬高输出端处的电位;

[0041] 复位模块15还与复位端相连,用于在复位端所接信号的作用下拉低第一节点PU处的电位(图1中具体以连接低电平电压线VGL为例表示作用为下拉);

[0042] 输出下拉模块14还与输出端相连,用于在第一时钟信号CLKB的作用下拉低输出端的电位(图1中具体以连接低电平电压线VGL为例表示作用为下拉);

[0043] 第二输入模块12与输入端相连,用于在第一时钟信号CLKB的作用下在第一输入模块11和输出下拉模块14工作时间内导通输入端与第一节点PU。

[0044] 需要说明的是,本文所说的时钟信号与现有技术中的时钟信号含义相同,并可以分为频率相同而相位错开的两个或两个以上的时钟信号。

[0045] 具体来说,第二输入模块12可以在第一输入模块11工作时间内导通输入端与第一节点PU,若同一时间内输入端所接信号为高电平,则第二输入模块12可以起到辅助上拉第一节点PU处的电位的作用,使得第一节点处电位的上升时间更短。另一方面,第二输入模块12可以在输出下拉模块14工作时间内导通输入端与第一节点PU,此时第二输入模块12可以

在输出下拉模块14将输出端处电位放电至低电平电压线VGL的同时将第一节点PU处的噪声电压放电至输入端,从而在级联电路中可以经由上一级GOA单元的输出端和输出下拉模块放电至低电平电压线VGL,从而第一节点PU可以被顺利地放电至稳定低电平。此外,在输入端和复位端所接信号的控制下,该移位寄存器中的各个模块可以协同地完成信号的输出和复位(亦即输出端处电位的抬高与下拉)。所以,本发明同样可以实现现有技术中具有上拉节点PU与下拉节点PD的电路结构的功能。

[0046] 进一步地,由于本发明仅去除了下拉节点PD,也就是说去除了移位寄存器和栅极驱动电路中用于调控下拉节点处电位的多个晶体管,因而可以减少其所用晶体管的数量,有利于减小栅极驱动电路所占的边框宽度。

[0047] 需要说明的是,由于上述第一输入模块11、第二输入模块12、输出模块13、输出下拉模块14和复位模块15均具有明确的功能,并显然具有开关电路(在一端控制下导通或断开另外两端)的特性,因此本领域技术人员可以通过例如晶体管和继电器的开关元件或者开关元件的组合来实现。而且,在维持连接关系和功能不变的情况下,本领域技术人员对于上述第一输入模块11、第二输入模块12、输出模块13、输出下拉模块14和复位模块15中的任意一个均可以得到多种不同实现方式,本发明对此不做限制。

[0048] 图2是本发明一个实施例中一种移位寄存器的驱动方法的步骤流程示意图。参见图2,该方法包括:

[0049] 步骤201:在第一阶段,向所述输入端输入第一电平,以使所述第一输入模块在第一电平的作用下抬高所述第一节点处的电位、所述第二输入模块在第一时钟信号的作用下导通所述输入端与所述第一节点,并使得所述输出模块在所述第一节点处的电位的作用下抬高所述输出端处的电位;

[0050] 步骤202:在第二阶段,向所述输入端输入第二电平,并向所述复位端处输入第二电平,以使所述复位模块拉低所述第一节点处的电位、所述输出下拉模块在第一时钟信号的作用下拉低所述输出端的电位,并使得所述第二输入模块在第一时钟信号的作用下导通所述输入端与所述第一节点。

[0051] 上述方法可以驱动上述任意一种移位寄存器从而实现其移位寄存的功能。举例来说,设第一电平为高电平、第二电平为低电平,参见图1,一种具体的可选驱动方法的步骤流程可以如下所述:

[0052] 第一阶段中,由于向移位寄存器的输入端输入了高电平,因而在输入端所接的高电平作用下,第一输入模块11执行抬高第一节点PU处电位的功能;同时,第一时钟信号CLKB的作用下第二输入模块12导通第一节点PU与输入端,使得输入端所接的高电平可以通过第二输入模块12抬高第一节点PU处的电位,相当于第二输入模块12可以辅助执行第一节点PU处电位的抬高功能。在第一节点PU处电位被抬高后,输出模块13会在第一节点PU处电位的作用下抬高输出端的电位,使得移位寄存器于输出端输出高电平。

[0053] 第二阶段中,由于向输入端输入了低电平,因而第一输入模块11不再执行抬高第一节点PU处电位的功能。而同时由于向复位端输入了高电平,因而复位模块15执行拉低第一节点PU处的电位的功能(比如使第一节点PU与低电平电压线VGL导通)。并且,输出下拉模块14会在第一时钟信号CLKB的作用下拉低输出端的电位(比如使输出端与低电平电压线VGL导通),使得移位寄存器于输出端输出低电平。同时,第二输入模块12也在第一时钟信号

CLKB的作用下导通第一节点PU与连接低电平的输入端,因而第一节点处PU的噪声信号可以通过第二输入模块12被放电至连接低电平的输入端,使得第一节点PU可以在此后处于稳定的低电平。

[0054] 可见,经过上述第一阶段和第二阶段,本发明实施例所提供的方法可以使移位寄存器的输出端先输出高电平再输出低电平,相当于将由输入端输入的信号进行了延时输出,因而可以实现移位寄存器的功能。进一步地,第一阶段中第二输入模块12可以辅助抬高第一节点处的电位,第二阶段中第二输入模块12可以去除第一节点PU处的噪声信号,因而可以去除移位寄存器中用于调控下拉节点PD处电位的多个晶体管,因而可以减少其所用晶体的数量。

[0055] 为了更清楚地说明本发明中移位寄存器的可选电路结构以及可选驱动方法,下面以图3所示的一种移位寄存器的电路结构图具体进行说明。

[0056] 参见图3,上述第二输入模块12包括第一晶体管M1,第一晶体管M1的栅极连接第一时钟信号CLKB,漏极与输入端INPUT相连,源极与第一节点PU相连。

[0057] 需要说明的是,虽然图3中的晶体管均是以上方为漏极、下方为源极的N沟道薄膜晶体管(Thin Film Transistor, TFT),但晶体管还可以是其他类型的晶体管。而且视具体电路中高低电平的设定以及晶体管的类型与特性的不同,各晶体管的源极与漏极可以全部互换或者部分互换,其是本领域技术人员根据具体的应用场景容易实现的,在此不再赘述。

[0058] 可见,第一晶体管M1可以在第一时钟信号CLKB的作用下控制通过输入端INPUT与第一节点PU的电流,因而可以实现上述第二输入模块12的功能。

[0059] 上述输出模块13包括第一电容C1与第三晶体管M3,其中:第一电容C1的一端与第一节点PU相连,另一端与输出端OUTPUT相连;第三晶体管M3的栅极与第一节点PU相连,源极与输出端OUTPUT相连,漏极连接第二时钟信号CLK。

[0060] 可见,在第一节点PU处的电位被抬高后,第三晶体管M3可以使高电平的第二时钟信号CLK与输出端OUTPUT之间通过较大的电流,而第一电容C1可以保持其两端的电位差,从而使得第一节点PU处的电位被进一步抬高,同时使输出端OUTPUT处的电位被抬高,实现上述输出模块13抬高输出端OUTPUT处的电位的功能。

[0061] 上述输出下拉模块14包括第二晶体管M2,第二晶体管M2的栅极连接第一时钟信号CLKB,漏极与输出端OUTPUT相连,源极与低电平电压线VGL相连。

[0062] 可见,第二晶体管M2可以在第一时钟信号CLKB的作用下控制由输出端OUTPUT流向低电平电压线VGL的电流,因而可以实现上述输出下拉模块14的功能。

[0063] 上述输入模块11包括第五晶体管M5,第五晶体管M5的栅极连接输入端INPUT,漏极中连接输入端INPUT,源极连接第一节点PU。由此,在输入端INPUT处为高电平时,第五晶体管M5可以通过通过源极和漏极的电流使第一节点PU处的电位抬高,从而实现上述输入模块11的功能。

[0064] 上述复位模块15包括第六晶体管M6,第六晶体管M6的栅极连接复位端RESET,漏极连接第一节点PU,源极连接低电平电压线VGL。由此,第六晶体管M6可以在复位端RESET所接信号作用下控制由第一节点PU流向低电平电压线VGL的电流,因而可以实现上述复位模块15的功能。

[0065] 图4是图3中移位寄存器的电路结构的电路时序图。可以看出,其中第二时钟信号

CLK的占空比小于百分之五十。基于这一设置及图3所示的电路结构,该移位寄存器的大致工作原理如下所述:

[0066] 阶段I中:第二时钟信号CLK为高电平、第一时钟信号CLKB为低电平,同时输入端INPUT处输入了高电平。从而,第一晶体管M1与第五晶体管M5共同对第一节点PU进行充电,使得第一节点PU处电位逐步抬高至高电平。

[0067] 阶段II中:第一时钟信号CLKB与第二时钟信号CLK均为低电平,同时输入端INPUT处也转为低电平,从而第一晶体管M1与第五晶体管M5关断,栅极连接第一时钟信号CLKB的第二晶体管M2也处于关断状态,因而第一节点PU处电位仍然保持为高电平。

[0068] 阶段III中:第二时钟信号CLK为高电平、第一时钟信号CLKB为低电平,上述输出模块13处于工作状态,栅极连接第一时钟信号CLKB的第二晶体管M2也处于关断状态,从而在上述第一电容C1与第三晶体管M3的协同作用下第一节点PU处的电位被进一步抬高,使得输出端OUTPUT处的电位抬升、移位寄存器于输出端输出高电平。

[0069] 阶段IV中:第一时钟信号CLKB与第二时钟信号CLK均为低电平,此时第三晶体管M3的漏极电位转为低电平,会使得第一节点PU处电位降至没有被进一步抬升之前的高电平,同时输出端OUTPUT也回到之前的低电平。也就是说,此时输出端OUTPUT处的高电位通过第三晶体管M3放电至低电平。

[0070] 阶段V中:第一时钟信号CLKB为高电平,第二时钟信号CLK为低电平,同时复位端信号RESET转变为高电平。此时,第一节点PU处的高电平通过第六晶体管M6向低电平电压线VGL进行放电,从而降低至低电平,同时第二晶体管M2在第一时钟信号CLKB的作用下进一步将输出端OUTPUT的噪声电压放电至低电平电压线VGL的稳定低电平,从而使得移位寄存器的输出端在之后都输出稳定的低电平。

[0071] 可见,由于将第二时钟信号CLK的占空比设定在小于百分之五十的范围内,因而移位寄存器的工作流程中多出了一个上述阶段IV,使得输出端OUTPUT可以在此阶段内通过第三晶体管M3放电至低电平,进而第二晶体管M2就只起到去除输出端OUTPUT处噪声电压的作用,因而不需要具有很大的尺寸,有利于在移位寄存器组成栅极驱动电路时减小栅极驱动电路所占的宽度。

[0072] 当然,上述第一时钟信号CLKB与第二时钟信号CLK的占空比也可以均为百分之五十,此时相当于去除了上述阶段II与阶段IV,输出端OUTPUT处的电位需要通过第二晶体管M2来拉低,而为了减小拉低时间,第二晶体管M2需要具有较大的尺寸。同时,较大尺寸的第二晶体管M2会增加第二时钟信号CLK的负载,整个电路的功耗会大幅度增加。

[0073] 所以,通过上述第二时钟信号CLK占空比小于百分之五十的设计,可以起到减小第二晶体管M2所需尺寸的作用,从而有利于在移位寄存器组成栅极驱动电路时减小栅极驱动电路所占的宽度、并降低整个电路的功耗。

[0074] 其中,第一时钟信号CLKB虽然在图6中的占空比也小于百分之五十,但是由此增加的阶段II并不会对原工作流程造成很大影响,因而其并不是达到上述效果所必要的,即第一时钟信号CLKB的占空比是否为50%可以不做限制。而且,上述第二时钟信号CLK的占空比由于需要使输出端OUTPUT的所输出的信号满足要求,因而在不同的应用场景下有着不同的下限值,具体的占空比设置方式是本领域技术人员所熟知的,在此不在赘述。

[0075] 图5是本发明另一实施例中一种移位寄存器的电路结构图。参见图5,该移位寄存

器在上述图3所示的电路结构的基础上增设了第四晶体管M4和第二电容C2,其中:第四晶体管M4的栅极与复位端RESET相连,漏极与输出端OUTPUT相连,源极与低电平电压线VGL相连。第二电容C2的一端与第一节点PU相连,另一端连接第一时钟信号CLKB。

[0076] 图6是图5中移位寄存器的电路结构的电路时序图。可见,该电路工作流程中的阶段Ta与上述阶段I相同、阶段Tb与上述阶段III相同、阶段Tc与上述阶段V相同。具体来说,图3与图5所示的电路结果在工作原理上的区别主要在于阶段Tc中:

[0077] 图5所示电路中,阶段Tc内第一时钟信号CLKB由低电平转为高电平,第二时钟信号CLK由高电平转为低电平,同时复位端所接信号RESRT由低电平转为高电平。此时,第六晶体管M6的工作方式与上述阶段V中的相同,而第四晶体管M4与第二晶体管M2在此时均处于开启状态,输出端OUTPUT处的电位可由这两个晶体管共同进行下拉。

[0078] 由此,第四晶体管M4可以设计为较大尺寸的晶体管,主要用于保障输出端OUTPUT处电位的正常放电过程。同时由于第二晶体管M2的尺寸可以设置得较小,因而可以不增加第二时钟信号CLK的负载,降低电路的功耗。

[0079] 而上述第二电容C2的设置可以保障第二时钟信号CLK由低电平转为高电平的时刻与第一时钟信号CLKB由高电位转为低电平的时刻一致,可以抵销第二时钟信号CLK与第三晶体管M3连接后的产生的寄生电容所带来的不利影响,可以有效抵销第二时钟信号CLK由低电平转为高电平对于第一节点PU处电位的耦合作用,防止移位寄存器的误输出、提高电路的稳定性。优选地,使第二电容C2的电容值等于第二时钟信号CLK与第三晶体管M3连接后的产生的寄生电容的电容值,以达到更佳的抵销效果。

[0080] 图7是本发明一个实施例中一种栅极驱动电路的结构框图。所述栅极驱动电路包括多级具有输入端INPUT、复位端RESET和输出端OUTPUT的移位寄存单元(U1、U2、U3……、Un-1、Un)。除第一级移位寄存单元U1的输入端INPUT与初始扫描信号STV相连之外,任一级移位寄存单元(U2、U3……、Un-1、Un)的输入端INPUT均与上一级移位寄存单元的输出端OUTPUT相连(如移位寄存单元U3的输入端INPUT与移位寄存单元U2的输出端OUTPUT相连),而且,该栅极驱动电路的移位寄存单元采用上述任意一种移位寄存器的电路结构。

[0081] 另外,除最后一级移位寄存单元的复位端连接其他信号(图7中未示出)之外,每一级移位寄存单元的复位端均与下一级移位寄存单元的输出端相连(例如移位寄存单元U2的复位端RESET与移位寄存单元U3的输出端OUTPUT相连)。而且,基于如图3或图5所示的电路结构,每一级移位寄存单元都要连接第一时钟信号CLKB、第二时钟信号CLK和低电平电压线VGL。

[0082] 基于上述结构,初始扫描信号可以被多级移位寄存单元逐级地传递并输出为每一行的栅级扫描信号(G1、G2、G3、……Gn-1、Gn)。

[0083] 进一步地,由于每一级移位寄存单元在其输出下拉模块14执行输出端处电位下拉的功能时第二输入模块12可以将第一节点PU与上一级移位寄存单元的输出端OUTPUT通过本级移位寄存单元的输入端INPUT相连,从而此时的第一节点PU上的噪声电压可以由上一级移位寄存单元中的输出下拉模块14进行放电下拉,从而可以保障本级移位寄存单元的第一节点PU与输出端OUTPUT处的电位均被有效地下拉至稳定的低电平。

[0084] 同时可以看出,上述移位寄存器电路可以是5T1C(5个薄膜晶体管和1个电容),也可以是6T2C(6个薄膜晶体管和2个电容),相比于现有技术通常需要十个左右晶体管的移位

寄存器电路具有更少的晶体管数量,同时也在各晶体管的尺寸上有一些特殊设计,使得其组成栅极驱动电路时可以减小栅极驱动电路所占的宽度,有利于实现显示装置的窄边框甚至是无边框的设计。

[0085] 基于同样的发明构思,本发明实施例提供了一种显示装置,该显示装置包括上述任意一种栅极驱动电路。该显示装置可以为:显示面板、手机、平板电脑、电视机、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。此外,该显示装置包括上述任意一种栅极驱动电路,因而可以解决相同的技术问题,取得同样的技术效果。

[0086] 在本发明的描述中需要说明的是,术语“上”、“下”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0087] 还需要说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0088] 以上实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的精神和范围。

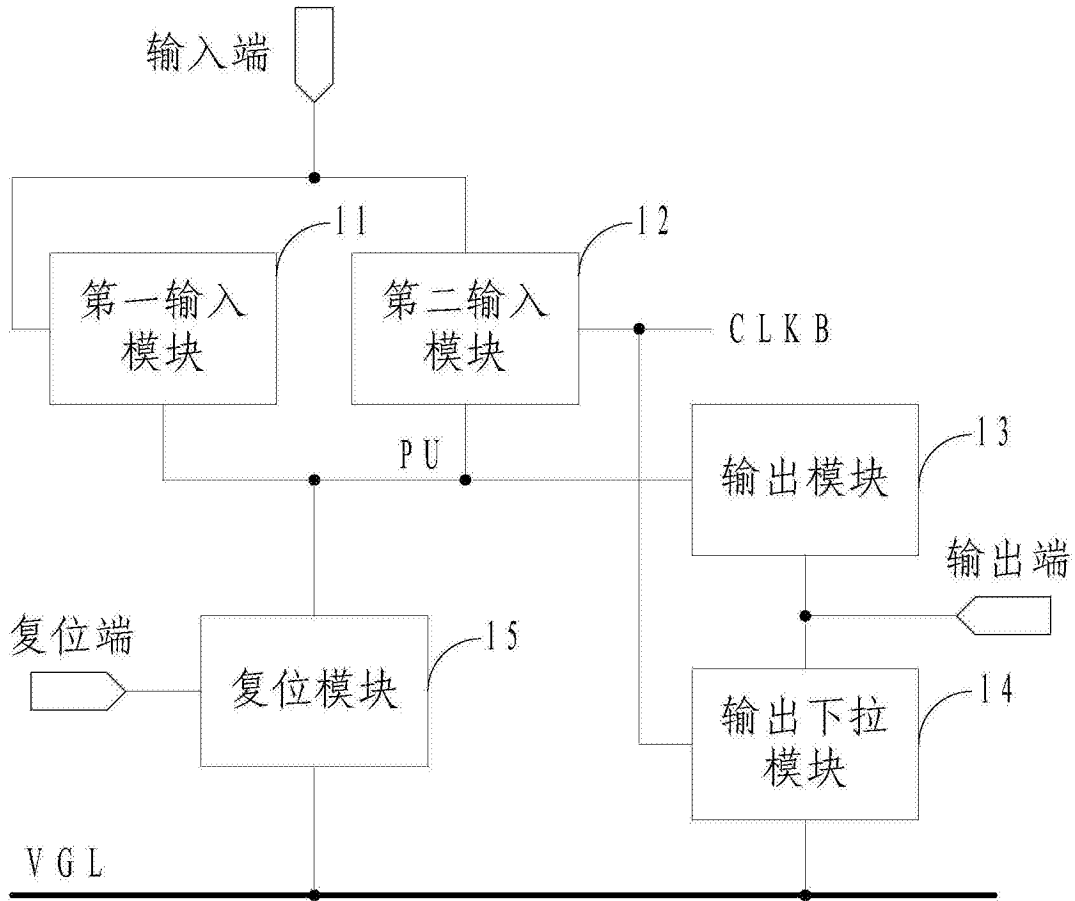


图1

在第一阶段，向所述输入端输入第一电平，以使所述第一输入模块在第一电平的作用下抬高所述第一节点处的电位，所述第二输入模块在第一时钟信号的作用下导通所述输入端与所述第一节点，并使得所述输出模块在所述第一节点处的电位的作用下抬高所述输出端处的电位

201

在第二阶段，向所述输入端输入第二电平，并向所述复位端处输入第二电平，以使所述输出下拉模块在第一时钟信号的作用下拉低所述输出端的电位，并使得所述第二输入模块在第一时钟信号的作用下导通所述输入端与所述第一节点

202

图2

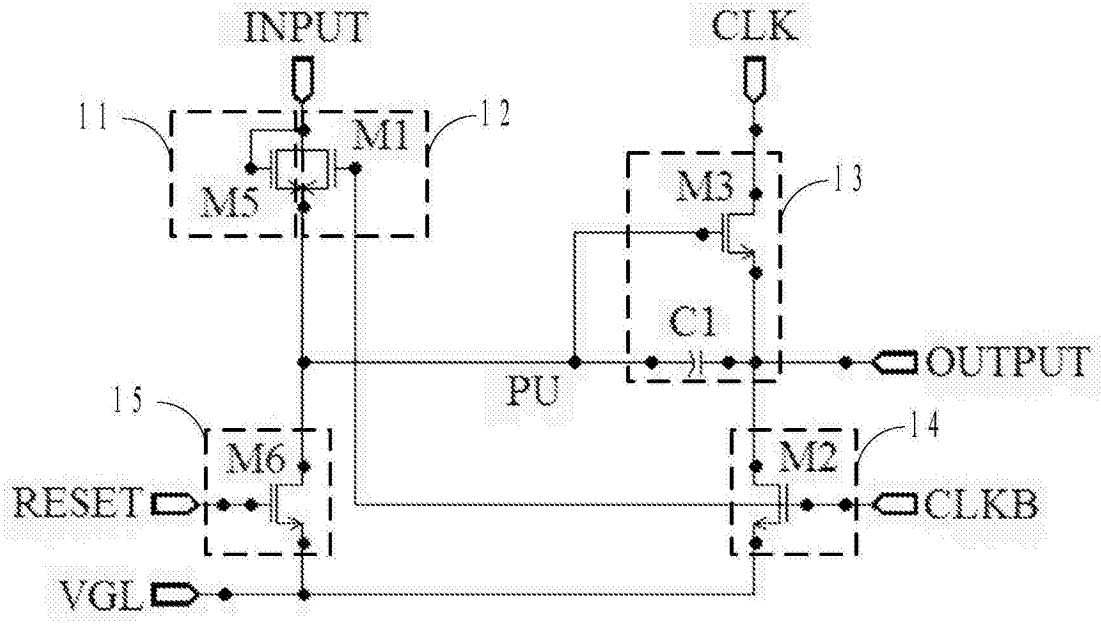


图3

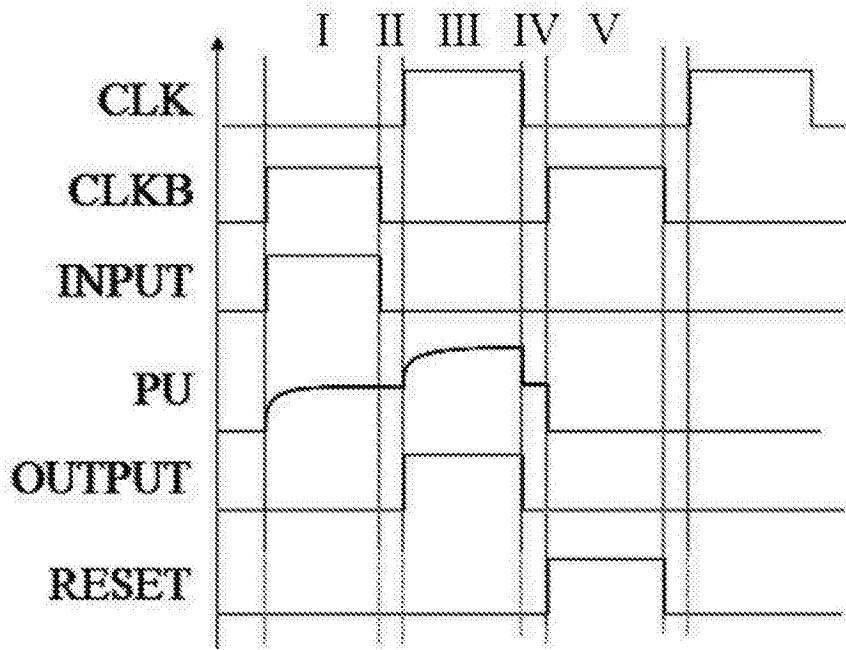


图4

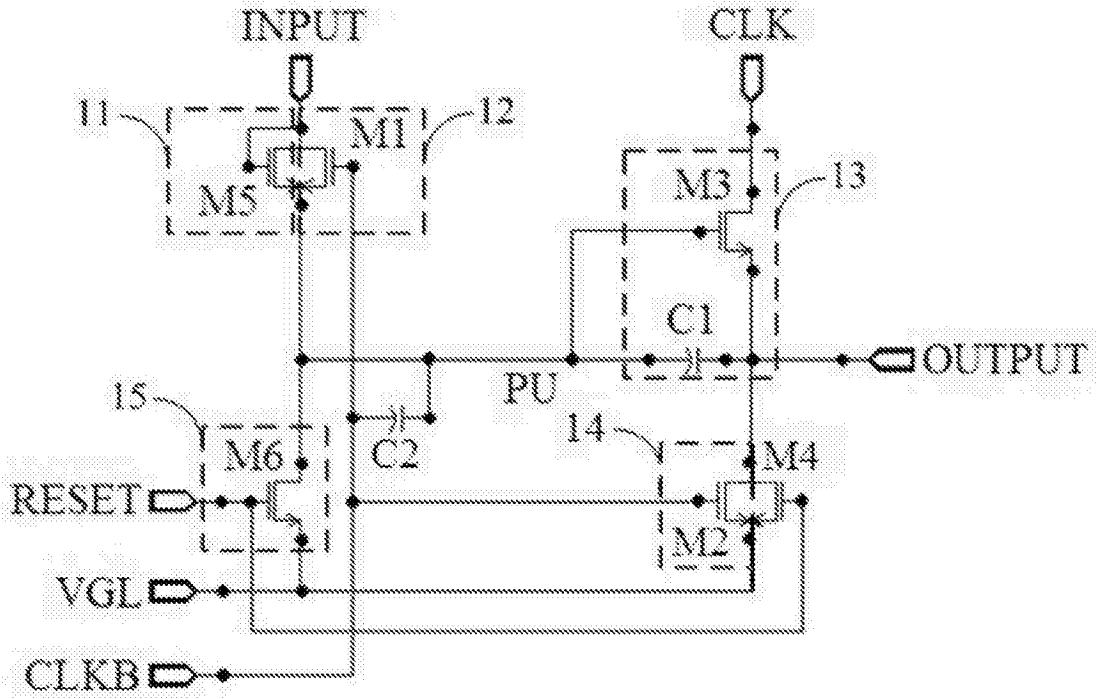


图5

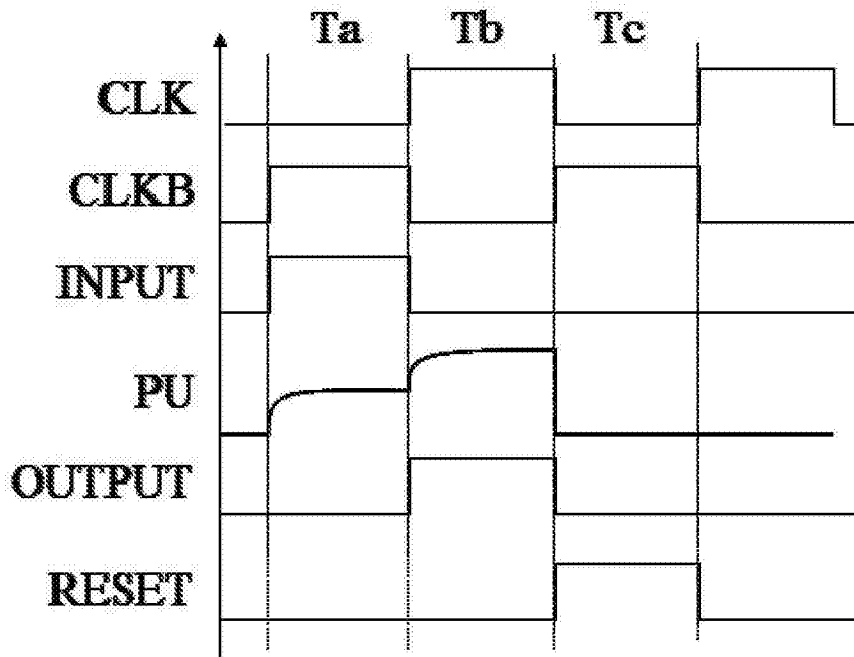


图6

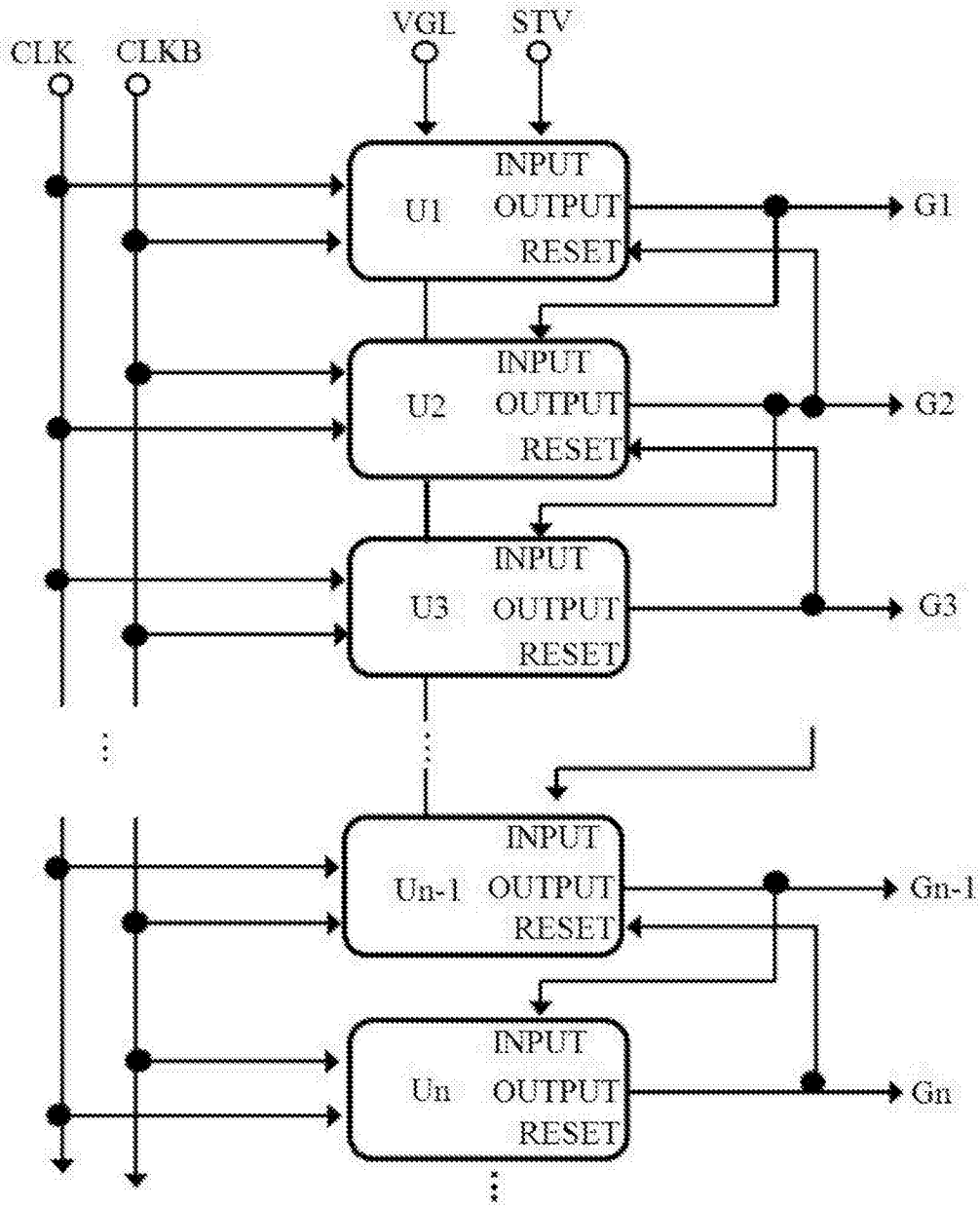


图7