(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017 년 4 월 13 일 (13.04.2017)

WIPO | PCT

(10) 국제공개번호
WO 2017/061669 A1

(51) 국제특허분류:
H01L 29/786 (2006.01)

(21) 국제출원번호: PCT/KR2016/000178

(22) 국제출원일: 2016 년 1 월 8 일 (08.01.2016)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2015-0140841 2015 년 10 월 7 일 (07.10.2015) KR

(71) 출원인: **경희대학교산학협력단 (UNIVERSITY-INDUSTRY COOPERATION GROUP OF KYUNG HEE UNIVERSITY)** [KR/KR]; 17104 경기도 용인시 기흥구 덕영대로 1732, Gyeonggi-do (KR).

(72) 발명자: **장진 (JANG, Jin)**; 06520 서울시 서초구 잠원로 88, 302-908, Seoul (KR). **엄재광 (UM, Jae Gwang)**; 02447 서울시 동대문구 경희대로 26, 푸른솔문화관 129, Seoul (KR). **김용환 (KIM, Yong Hwan)**; 02447 서울시 동대문구 경희대로 26, Seoul (KR).

(74) 대리인: **김연권 (KIM, Youn Gwon)**; 06046 서울시 강남구 논현로 131 길 7, 4 층, Seoul (KR).

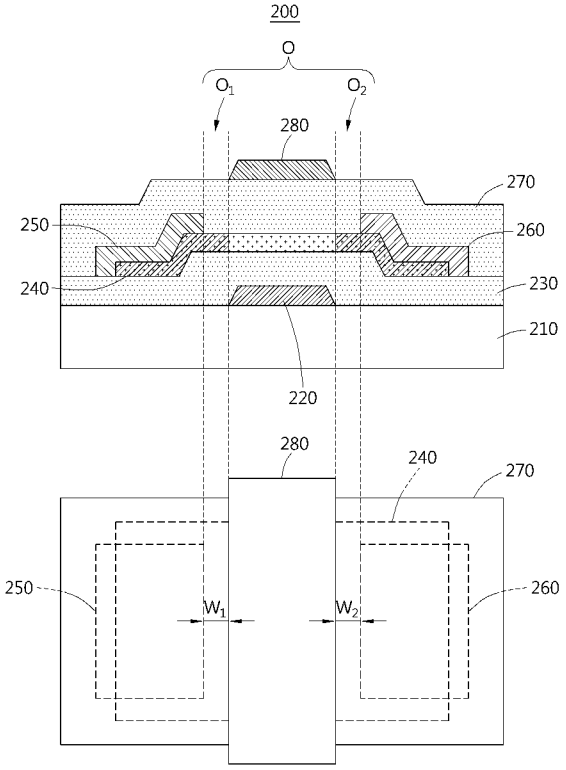
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[다음 쪽 계속]

(54) **Title**: DUAL GATE THIN FILM TRANSISTOR AND MANUFACTURING METHOD THEREFOR

(54) **발명의 명칭** : 듀얼 게이트 박막 트랜지스터 및 그의 제조 방법



(57) **Abstract**: Disclosed is a dual gate thin film transistor. A dual gate thin film transistor according to an embodiment of the present invention comprises: a substrate; a first gate electrode disposed on the substrate; an oxide semiconductor layer disposed on the first gate electrode; a source electrode and a drain electrode disposed on the oxide semiconductor layer; and a second gate electrode disposed on the oxide semiconductor layer. The first and second gate electrodes comprise an offset area between the source electrode and the drain electrode, with reference to the vertical axis of the dual gate thin film transistor, and an oxide semiconductor layer corresponding to the offset area is plasma-treated with a halogen-based gas.

(57) **요약서**: 듀얼 게이트 박막 트랜지스터가 개시된다. 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터는 기판, 기판 상에 위치된 제 1 게이트 전극, 제 1 게이트 전극 상에 위치된 산화물 반도체층, 산화물 반도체층에 위치된 소스 전극 및 드레인 전극 및 산화물 반도체층 상에 위치된 제 2 게이트 전극을 포함한다. 여기서, 제 1 및 제 2 게이트 전극은 듀얼 게이트 박막 트랜지스터의 수직축을 기준으로 소스 전극 및 드레인 전극 사이의 오프셋 영역을 포함하며, 오프셋 영역에 해당하는 산화물 반도체층은 할로겐계 가스로 플라즈마 처리된다.

WO 2017/061669 A1

규칙 4.17 에 의한 선언서:

— 신규성을 해치지 아니하는 개시 또는 신규성 상실의 예외에 관한 선언 (규칙 4.17(v))

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

명세서

발명의 명칭: 듀얼 게이트 박막 트랜지스터 및 그의 제조 방법

기술분야

[1] 본 발명의 실시 예들은 전기적 특성 및 신뢰성이 향상된 듀얼 게이트 박막 트랜지스터및 그의 제조 방법에 관한 것이다.

배경기술

[2] 일반적으로 박막 트랜지스터는 채널 영역, 소스 영역 및 드레인 영역을 제공하는 반도체층과, 채널 영역과 중첩되며 게이트 절연층에 의해 반도체층과 절연되는 게이트 전극을 포함한다.

[3] 최근 들어 박막 트랜지스터의 반도체층으로 산화물 반도체를 이용하기 위한 연구가 계속되고 있다. 박막 트랜지스터에서 산화아연(ZnO)을 주성분으로 하는 산화물 반도체는 비정질 형태이면서 안정적인 재료로서 평가되고 있으며, 이러한 산화물 반도체를 이용하면 별도의 장비를 추가적으로 구입하지 않고도 기존의 장비를 이용하여 저온에서 박막 트랜지스터를 제조할 수 있는 등 여러 가지 장점이 있다. 그러나 산화물 반도체층을 구비하는 박막 트랜지스터는 구조 및 공정 조건에 따라 전기적 특성이 쉽게 변화되기 때문에 신뢰성이 낮은 문제점이 있다.

[4] 한편, LCD(Liquid Crystal Display) 패널 또는 AMOLED(Active-Matrix Organic Light Emitting Diode) 디스플레이 패널에 적용하기 위하여 높은 신뢰성을 갖는 박막 트랜지스터가 요구되며, 이를 위해 일부 구조를 변경하여 2개의 게이트 전극을 포함하는 듀얼 게이트 박막 트랜지스터가 개발되었다. 그러나, 듀얼 게이트 박막 트랜지스터의 경우, 2개의 게이트 전극과 소스/드레인 전극의 구조에 따라 발생하는 기생 전압 또는 고저항 특성으로 인해 전기적 특성 및 신뢰성을 높이는데 한계가 있다.

발명의 상세한 설명

기술적 과제

[5] 본 발명의 실시예들의 목적은 전기적 특성 및 신뢰성이 향상될 수 있는 듀얼 게이트 박막 트랜지스터 및 그의 제조 방법을 제공하기 위한 것이다.

과제 해결 수단

[6] 실시예에 따른 듀얼 게이트 박막 트랜지스터은 기판, 상기 기판 상에 위치된 제1 게이트 전극, 상기 제1 게이트 전극 상에 위치된 산화물 반도체층, 상기 산화물 반도체층에 위치된 소스 전극 및 드레인 전극 및 상기 산화물 반도체층 상에 위치된 제2 게이트 전극을 포함하며, 상기 제1 및 제2 게이트 전극은 상기 듀얼 게이트 박막 트랜지스터의 수직축을 기준으로 상기 소스 전극 및 상기 드레인 전극 사이의 오프셋 영역을 포함하며, 상기 오프셋 영역에 해당하는 상기 산화물 반도체층은 할로겐계 가스로 플라즈마 처리된다.

[7] 일 실시예에 따르면, 상기 산화물 반도체층은 상기 오프셋 영역에서부터 상기 소스 전극 및 상기 드레인 전극이 접촉되는 영역까지 연장되어 플라즈마 처리될 수 있다.

[8] 일 실시예에 따르면, 상기 오프셋 영역은 상기 제1 및 제2 게이트 전극의 일 측과 상기 소스 전극 사이에 해당하는 제1 오프셋 영역 및 상기 제1 및 제2 게이트 전극의 타 측과 상기 드레인 전극 사이에 해당하는 제2 오프셋 영역을 포함할 수 있다.

[9] 일 실시예에 따르면, 상기 제1 및 제2 오프셋 영역은 서로 동일한 폭을 가질 수 있다.

[10] 일 실시예에 따르면, 상기 제1 및 제2 오프셋 영역은 서로 상이한 폭을 가질 수 있다.

[11] 일 실시예에 따르면, 상기 제1 및 제2 오프셋 영역은 0.5㎛ 이상의 폭을 가질 수 있다.

[12] 한편, 일 실시예에 따르면, 상기 할로겐계 가스는 플루오린 (fluorine; F)을 포함하는 가스일 수 있다.

[13] 일 실시예에 따르면, 상기 산화물 반도체층은 0.1% 내지 10% 농도의 플루오린(F) 원소를 포함할 수 있다.

[14] 한편, 상기 듀얼 게이트 박막 트랜지스터는 상기 제1 게이트 전극과 상기 산화물 반도체층 사이에 위치된 게이트 절연층 및 상기 소스 전극 및 상기 드레인 전극과 상기 제2 게이트 전극 사이에 위치하는 보호층을 더 포함할 수 있다.

[15] 일 실시예에 따르면, 상기 산화물 반도체층은 비정질 인듐 갈륨 징크 옥사이드(amorphous indium-gallium-zinc oxide, a-IGZO), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 어느 하나를 포함할 수 이다.

[16] 한편, 실시예에 따른 듀얼 게이트 박막 트랜지스터의 제조 방법은 기판 상에 제1 게이트 전극을 형성하는 단계, 상기 제1 게이트 전극 상에 게이트 절연층을 형성하는 단계, 상기 게이트 절연층 상에 산화물 반도체층을 형성하는 단계, 상기 산화물 반도체층 상에 소스 전극 및 드레인 전극을 형성하는 단계, 상기 소스 전극 및 상기 드레인 전극 상에 보호층을 형성하는 단계 및 상기 보호층 상에 제2 게이트 전극을 형성하는 단계를 포함한다. 여기서, 상기 듀얼 게이트 박막 트랜지스터의 제조 방법은 상기 산화물 반도체층을 형성한 이후에, 상기 듀얼 게이트 박막 트랜지스터의 수직축을 기준으로 상기 제1 게이트 전극 및 상기 제2 게이트 전극과, 상기 소스 전극 및 상기 드레인 전극 사이의 오프셋 영역에 해당하는 상기 산화물 반도체층을 할로겐계 가스를 이용하여 플라즈마 처리하는 단계를 더 포함한다.

[17] 일 실시예에 따르면, 상기 플라즈마 처리하는 단계는 상기 오프셋 영역에서부터 상기 소스 전극 및 상기 드레인 전극이 접촉되는 영역까지 상기 플라즈마 처리할 수 있다.

[18] 일 실시예에 따르면, 상기 플라즈마 처리하는 단계는 상기 산화물 반도체층 상에서 상기 오프셋 영역이 노출되도록, 포토 레지스트를 도포하여 상기 오프셋 영역을 제외한 다른 영역들을 마스킹하는 단계, 상기 할로겐계 가스를 이용하여 상기 오프셋 영역을 420℃ 이하의 온도에서 플라즈마 처리하는 단계 및 상기 포토 레지스트를 제거하는 단계를 포함할 수 있다.

[19] 일 실시예에 따르면, 상기 오프셋 영역은 상기 제1 및 제2 게이트 전극의 일 측과 상기 소스 전극 사이에 해당하는 제1 오프셋 영역 및 상기 제1 및 제2 게이트 전극의 타 측과 상기 드레인 전극 사이에 해당하는 제2 오프셋 영역을 포함할 수 있다.

[20] 일 실시예에 따르면, 상기 제1 및 제2 오프셋 영역은 서로 동일한 폭을 가질 수 있다.

[21] 일 실시예에 따르면, 상기 제1 및 제2 오프셋 영역은 서로 상이한 폭을 가질 수 있다.

[22] 일 실시예에 따르면, 상기 제1 및 제2 오프셋 영역은 0.5㎛ 이상의 폭을 가질 수 있다.

[23] 한편, 상기 할로겐계 가스는 플루오린(F) 원소를 포함하는 가스일 수 있다.

[24] 일 실시예에 따르면, 상기 듀얼 게이트 박막 트랜지스터의 제조 방법은, 상기 제1 게이트 전극 상에 상기 산화물 반도체층 사이에 게이트 절연층을 형성하는 단계 및 상기 소스 전극 및 상기 드레인 전극과 상기 제2 게이트 전극 사이에 보호층을 형성하는 단계를 더 포함할 수 있다.

[25] 일 실시예에 따르면, 상기 산화물 반도체층을 형성하는 단계는 상기 게이트 절연층 상에 비정질 인듐 갈륨 징크 옥사이드(amorphous indium-gallium-zinc oxide, a-IGZO), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 어느 하나를 증착할 수 있다.

발명의 효과

[26] 본 발명의 실시예들에 따르면, 듀얼 게이트 박막 트랜지스터의 전기적 특성 및 신뢰성이 향상될 수 있다.

도면의 간단한 설명

[27] 도 1은 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 단면도이다.

[28] 도 2는 본 발명의 다른 실시예에 따른 듀얼 게이트 박막 트랜지스터의 단면도 및 평면도이다.

[29] 도 3 내지 도 8은 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 제조

방법을 도시한 도면이다.

[30] 도 9a 및 도 9b는 일반적인 듀얼 게이트 박막 트랜지스터의 산화물 반도체층과, 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 산화물 반도체층의 플루오린(F) 원소 농도를 분석한 XPS(X-ray Photoelectron Spectroscopy) 그래프이다.

[31] 도 10은 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 온도 신뢰성을 나타내는 그래프이다.

[32] 도 11a 내지 도 11c는 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 전이(Transfer) 특성을 나타내는 그래프이다.

[33] 도 12a 내지 도 12c는 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 전압-전류를 나타내는 그래프이다.

[34] 도 13은 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 문턱 전압을 나타내는 그래프이다.

[35] 도 14a 내지 도 14c는 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 광-전압 신뢰성을 나타내는 그래프이다.

[36] 도 15a 및 도 15b는 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터를 디스플레이 패널에 적용한 예를 나타내는 도면이다.

발명의 실시를 위한 최선의 형태

[37] 이하에서, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 이러한 실시예들에 의해 권리범위가 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[38] 아래 설명에서 사용되는 용어는, 연관되는 기술 분야에서 일반적이고 보편적인 것으로 선택되었으나, 기술의 발달 및/또는 변화, 관례, 기술자의 선호 등에 따라 다른 용어가 있을 수 있다. 따라서, 아래 설명에서 사용되는 용어는 기술적 사상을 한정하는 것으로 이해되어서는 안 되며, 실시예들을 설명하기 위한 예시적 용어로 이해되어야 한다.

[39] 또한, 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 설명 부분에서 상세한 그 의미를 기재할 것이다. 따라서 아래 설명에서 사용되는 용어는 단순한 용어의 명칭이 아닌 그 용어가 가지는 의미와 명세서 전반에 걸친 내용을 토대로 이해되어야 한다.

[40] 한편, 제1, 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되지 않는다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.

[41] 또한, 막, 층, 영역, 구성 요청 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 층, 양역, 구성 요소 등이 개재되어 있는 경우도 포함한다.

[42]

[43] 도 1은 본 발명의 일 실시예에 따른 산화물 반도체 트랜지스터의 단면도이다.

[44] 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터(이하, "박막 트랜지스터"라 함)는 디스플레이 장치를 구성하는 발광 다이오드를 구동시키기 위한 화소 소자로 사용된다.

[45] 도 1을 참조하면, 박막 트랜지스터(100)는 기판(110), 제1 게이트 전극(120), 게이트 절연층(130), 산화물 반도체층(140), 소스 전극(150), 드레인 전극(160), 보호층(170) 및 제2 게이트 전극(180)을 포함한다.

[46] 여기서, 제1 및 제2 게이트 전극(120, 180)은 박막 트랜지스터(100)의 수직축을 기준으로 소스 전극(150) 및 드레인 전극(160) 사이의 오프셋 영역(O)을 포함한다. 또한, 오프셋 영역(O)에 해당하는 산화물 반도체층(140)은 할로겐계 가스로 플라즈마 처리된 상태일 수 있다.

[47] 도 1에 도시된 박막 트랜지스터(100)는 구동시, 오프셋 영역(O)에 의해 기생 전압이 감소 또는 차단되고, 플라즈마 처리된 산화물 반도체층(140)에 의해 전기적 특성 및 신뢰성이 향상될 수 있다.

[48]

[49] 도 2는 본 발명의 다른 실시예에 따른 듀얼 게이트 박막 트랜지스터의 단면도 및 평면도이다. 도 2를 참조하면, 박막 트랜지스터(200)는 기판(210), 제1 게이트 전극(220), 게이트 절연층(230), 산화물 반도체층(240), 소스 전극(250), 드레인 전극(260), 보호층(270) 및 제2 게이트 전극(280)을 포함한다.

[50] 제1 게이트 전극(220)은 기판(210) 상에 형성된다. 여기서, 제1 게이트 전극(220)은 박막 트랜지스터(200)에서 하부에 위치되는 것으로, 하부 게이트 전극(Bottom Gate)이 된다.

[51] 게이트 절연층(230)은 기판(210) 상에 형성되되, 제1 게이트 전극(220)을 덮는 형태로 형성되어, 제1 게이트 전극(220)과 산화물 반도체층(240)을 절연시키는 기능을 한다.

[52] 산화물 반도체층(240)은 게이트 절연층(230) 상에 형성된다.

[53] 이 실시예에 따르면, 산화물 반도체층(240)은 오프셋 영역(O)을 포함한다.

[54] 오프셋 영역(O)은 박막 트랜지스터(200)의 수직축을 기준으로 제1 게이트 전극(220) 및 제2 게이트 전극(280)과, 소스 전극(250) 및 드레인 전극(260) 사이의 영역이다. 따라서, 오프셋 영역(O)은 제1 게이트 전극(220)과 제2 게이트 전극(280)을 중심으로 소스 전극(250) 사이의 제1 오프셋 영역(O_1)과, 드레인 전극(260) 사이의 제2 오프셋 영역(O_1)을 포함할 수 있다.

[55] 여기서, 제1 및 제2 오프셋 영역(O_1, O_2)은 서로 동일한 폭($W_1=W_2$)을 가질 수 있으며, 서로 상이한 폭($W_1\neq W_2$)을 가질 수도 있다. 구체적으로, 제1 게이트 전극(220)과 제2 게이트 전극(280)의 형성 위치 및 크기가 같고, 소스 전극(250) 및 드레인 전극(260) 각각이 제1 게이트 전극(220) 및 제2 게이트 전극(280)과 이격된 거리가 같을 경우, 제1 오프셋 영역(O_1)과 제2 오프셋 영역(O_2)은 동일한 폭($W_1=W_2$)를 가질 수 있다.

[56] 반면, 제1 게이트 전극(220)과 제2 게이트 전극(280)의 형성 위치 및 크기가 같다 하더라도, 소스 전극(250) 및 드레인 전극(260) 각각이 제1 게이트 전극(220) 및 제2 게이트 전극(280)과 이격된 거리가 다른 경우에는 제1 오프셋 영역(O_1)과 제2 오프셋 영역(O_2)은 서로 다른 폭($W_1 \neq W_2$)을 가질 수 있다.

[57] 또한, 제1 게이트 전극(220)과 제2 게이트 전극(280)의 형성 위치 및 크기가 다른 경우에도, 제1 오프셋 영역(O_1)과 제2 오프셋 영역(O_2)은 서로 다른 폭($W_1 \neq W_2$)을 가질 수 있다.

[58] 이 실시예에 따르면, 제1 오프셋 영역(O_1)과 제2 오프셋 영역(O_2)은 0.5㎛ 이상의 폭을 가질 수 있다.

[59] 제1 오프셋 영역(O_1)과 제2 오프셋 영역(O_2)의 폭(W_1, W_2)이 0.5㎛ 미만일 경우, 게이트 전극들(220, 280)과 소스 전극(250)/드레인 전극(260) 사이에 기생 전압이 발생할 수 있다.

[60] 또한, 제1 오프셋 영역(O_1)과 제2 오프셋 영역(O_2)의 폭(W_1, W_2)이 너무 클 경우에는 오프셋 영역에 해당하는 산화물 반도체층(240)이 높은 저항을 갖게 되어 소자의 전기적 특성이 저하될 수 있다. 따라서, 폭(W_1, W_2)의 최대값은 박막 트랜지스터(200)의 사이즈 또는 공정 특성에 따라 당업자(설계자 또는 제조자)가 소자의 전기적 특성이 저하되지 않는 범위 내에서 적절한 값으로 설계할 수 있다.

[61] 한편, 산화물 반도체층(240)의 일부 영역은 할로겐계 가스로 플라즈마 처리된 상태이다. 구체적으로, 산화물 반도체층(240)은 오프셋(offset) 영역(O)에서부터 소스 전극(250) 및 드레인 전극(260)이 접촉되는 영역까지 플라즈마 처리된 상태일 수 있다. 여기서, 할로겐계 가스는 플루오린(fluorine; F)를 포함하는 가스일 수 있으며, 바람직하게는 트리플루오르화질소(nitrogen fluoride; NF_3) 가스 또는 테트라플루오루화메탄(tetrafluoromethane; CF_4)일 수 있다.

[62] 산화물 반도체층(240)이 NF_3 또는 CF_4 가스로 플라즈마 처리될 경우, 상부 표면에서부터 일정 두께(예를 들어, 약 9㎚)까지 플루오린(F) 원소가 확산될 수 있다. 이 경우, 플루오린(F) 원소는 산화물 반도체층(240) 내에 0.1% 내지 10%의 농도로 확산될 수 있다.

[63] 이 같이, NF_3 또는 CF_4 가스로 플라즈마 처리됨에 따라, 산화물 반도체층(240)은 플루오린(F) 원소에 의해 낮은 저항을 갖게 된다. 따라서, 산화물 반도체층(240)은 소스 전극(250) 및 드레인 전극(260)과의 오믹 접촉 특성이 향상될 수 있다.

[64] 또한, 산화물 반도체층(240)의 온도 안정성이 높아져 산화물 반도체층(240) 형성 이후에 진행될 추가 공정들에서 적용되는 온도에 대한 신뢰성이 향상될 수 있다.

[65] 또한, 산화물 반도체층(240)에서 소스 전극(250) 및 드레인 전극(260)과 접촉되는 영역은 NF_3 또는 CF_4 가스로 플라즈마 처리됨에 따라 전도성을 갖게 되어 소스 전극(250) 및 드레인 전극(260)과 함께 전극으로 사용될 수 있다.

[66] 한편, 실시예에 따르면, 산화물 반도체층(240)은 비정질 인듐 갈륨 징크 옥사이드(amorphous indium-gallium-zinc oxide, a-IGZO)로 형성될 수 있다. 그러나, 이에 한정되지 않으며, 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 등의 물질로 형성될 수도 있다.

[67] 소스 전극(250) 및 드레인 전극(260)은 서로 수평한 방향으로 형성된다. 소스 전극(250) 및 드레인 전극(260)은 금속 재질일 수 있으며, 일례로 몰리브덴(Mo)이 사용될 수 있다. 도면을 통해 도시하지는 않았으나, 소스 전극(250)과 드레인 전극(260) 사이의 산화물 반도체층(240) 상에 에치 스토퍼(미도시)가 위치될 수 있다.

[68] 보호층(Passivation Layer)(270)은 소스 전극(250) 및 드레인 전극(260)의 상에 형성되며, 보호층(270)은 산화물(일례로, 실리콘 산화물(SiO_2)) 또는 질화물로 구성될 수 있다.

[69] 제2 게이트 전극(280)은 보호층(270) 상에 형성된다. 여기서, 제2 게이트 전극(280)은 박막 트랜지스터(200)에서 상부에 위치되는 것으로, 상부 게이트 전극(Top Gate)이 된다.

[70] 실시예에 따르면, 제1 및 제2 게이트 전극(220, 280)은 빛을 차단할 수 있는 금속 재질로 형성되거나, 빛을 투과할 수 있는 투명한 금속 재질로 형성될 수 있다. 일례로, 몰리브덴(Mo) 또는 구리(Cu)로 형성될 수 있다.

[71] 제1 및 제2 게이트 전극(220, 280)은 물리적으로 분리된 구조로 형성될 수 있고, 또는 연결 전극(미도시)를 통해 물리적으로 연결된 구조로 형성될 수도 있다. 제1 및 제2 게이트 전극(220, 280)에 동일한 전압을 인가하는 경우, 산화물 반도체층(240)에 형성되는 채널의 넓이가 증가하여 소스 전극(250)/드레인 전극(260)를 통과하는 전류의 양을 증가시킬 수 있게 된다.

[72]

[73] 도 3 내지 도 8은 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 제조 방법을 도시한 도면이다.

[74] 도 3을 참조하면, 박막 트랜지스터의 제조를 위해 먼저, 유리(glass), 플라스틱 또는 석영 재질 등으로 이루어진 기판(210) 상에 제1 게이트 전극(220)을 형성한다. 제1 게이트 전극(220)은 기판(210) 상에 금속 물질을 증착 및 패터닝하여 형성될 수 있다. 또한, 제1 게이트 전극(220)은 몰리브덴(Mo) 또는 구리(Cu)와 같은 금속 물질로 형성될 수 있다.

[75]

[76] 이후, 도 4에서와 같이, 기판(210) 및 제1 게이트 전극(220) 상에 게이트 절연층(230) 및 산화물 반도체층(240)을 차례로 형성한다. 구체적으로, PECVD(Plasma-enhanced chemical vapor depoisition) 방법으로 산화물 또는 질화물 등을 증착하여 게이트 절연층(230)을 형성한다.

[77] 그리고, 그 상부에 반응성 스퍼터링 방법으로 비정질 인듐 갈륨 징크 옥사이드(amorphous indium-gallium-zinc oxide, a-IGZO)을 증착 및 패터닝하여 약 20㎚ 두께의 산화물 반도체층(240)을 형성할 수 있다. 그러나, 산화물 반도체층(240)을 형성하는 물질은 이에 한정되지 않는다.

[78]

[79] 한편, 도 5를 참조하면, 할로겐 원소를 이용하여 산화물 반도체층(240)을 플라즈마 처리한다. 구체적으로, 산화물 반도체층(230)을 형성한 이후에, 게이트 절연층(230) 및 산화물 반도체층(240) 상에 포토 레지스트(10)를 도포한 후, 소정의 패턴을 포함하는 마스크를 이용하여 포토 레지스트(10)를 노광(photolithography)한다. 이 과정에 의해 산화물 반도체층(240)에서 오프셋 영역에 해당하는 영역과, 소스 전극 및 드레인 전극과 접촉될 영역이 노출될 수 있다.

[80] 그리고 난 후, 진공 상태에서 약 390℃의 온도 분위기 및 200W 파워의 플라즈마를 인가하고, 이 과정에서 할로겐계 가스의 일종인 플루오린(F) 원소를 포함하는 가스, 예를 들어, NF_3 또는 CF_4 가스를 20sccm의 유량으로 주입하여 산화물 반도체층(240)을 플라즈마 처리할 수 있다. 이 실시예에서는 플라즈마 처리시, NF_3 또는 CF_4 가스를 이용하는 것으로 설명하였으나, 이에 한정되지 않으며 플루오린(F) 원소를 포함하는 다른 가스가 이용될 수도 있다.

[81] 이 같은 공정에 의해, 도 6에 도시된 것처럼 산화물 반도체층(240)에서 오프셋 영역에 해당하는 영역에서부터 소스 전극 및 드레인 전극과 접촉될 영역까지 플라즈마 처리될 수 있다. 이 공정에 의해, 산화물 반도체층(240)은 상부 표면에서부터 일정 두께까지 플루오린(F) 원소가 포함될 수 있다. 여기서, 산화물 반도체층(240)의 플루오린(F) 원소 농도는 0.1% 내지 10%가 될 수 있다.

[82] 상술한 플라즈마 처리가 완료되면, 식각을 통해 포토 레지스트(10)를 제거할 수 있다.

[83]

[84] 한편, 도 6에서는 오프셋 영역에 해당하는 영역에서부터 소스 전극 및 드레인 전극과 접촉될 영역에 대하여, 산화물 반도체층(240)을 플라즈마 처리하는 것으로 도시 및 설명하였다. 그러나, 산화물 반도체층(240)에서 오프셋 영역에 해당하는 영역만을 플라즈마 처리할 수도 있다. 이 경우에는 도 1에 도시된 것과 같은 박막 트랜지스터(100)를 제조할 수 있다.

[85]

[86] 이후, 도 7에서와 같이, 산화물 반도체층(240) 상에 소스 전극(250) 및 드레인 전극(260)을 형성한다. 여기서, 소스 전극(250) 및 드레인 전극(260) 역시 산화물 반도체층(240) 상에 금속 물질을 증착 및 패터닝하여 형성될 수 있으며, 금속 물질은 몰리브덴(Mo) 또는 구리(Cu) 등이 될 수 있다.

[87]

[88] 한편, 도 8에서와 같이, 보호층(270) 및 제2 게이트 전극(280)을 순차적으로

형성한다. 보호층(270)은 소스 전극(250) 및 드레인 전극(260)과 제2 게이트 전극(280)을 절연시키기 위한 구성으로 SiO_2와 같은 산화물이 될 수 있다.

[89]

[90] 도 9a 및 도 9b는 일반적인 듀얼 게이트 박막 트랜지스터의 산화물 반도체층과, 본 발명의 실시예에 따라 제조된 듀얼 게이트 박막 트랜지스터의 산화물 반도체층의 플루오린(F) 원소 성분을 분석한 XPS(X-ray Photoelectron Spectroscopy) 그래프이다.

[91] 도 9a는 박막 트랜지스터에서 플라즈마 처리가 안된 산화물 반도체층(a-IGZO)의 플루오린(F) 원소 농도를 나타내는 것이다. 도 9a에서와 같이, 산화물 반도체층은 NF_3 가스에 의해 플라즈마 처리가 되지 않은 상태이므로, 20㎚ 두께에 걸쳐 플루오린(F) 원소가 검출되지 않은 것을 알 수 있다.

[92] 도 9b는 도 3 내지 도 8에 도시된 방법에 따라 제조된 박막 트랜지스터에서 플라즈마 처리가 된 산화물 반도체층(a-IGZO)의 플루오린(F) 원소 농도를 나타내는 것으로, 산화물 반도체층에서 플루오린(F) 원소가 검출되었다. 구체적으로, NF_3 가스를 이용한 플라즈마 처리로 인해, 20㎚ 두께를 갖는 산화물 반도체층의 표면에서부터 약 9㎚의 두께에 걸쳐 0.1% 내지 10%의 농도로 플루오린(F) 원소가 검출된 것을 알 수 있다.

[93]

[94] 도 10은 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 온도에 따른 신뢰성을 나타내는 그래프이다. 구체적으로, 도 10은 본 실시예에서와 같이 산화물 반도체층을 NF_3 가스로 플라즈마 처리한 후 어닐링 처리하는 동안, 상온에서 600℃까지 어닐링 온도를 증가시키면서 산화물 반도체층의 캐리어 농도, 홀 이동도 및 면저항을 측정한 그래프이다.

[95] 도 10을 참조하면, 산화물 반도체층은 상온에서 420℃까지는, 캐리어 농도, 홀 이동도, 면저항을 일정하게 유지하는 것을 알 수 있다. 또한, 500℃ 내지 600℃에서 캐리어 농도, 홀 이동도, 면저항이 변경되나 그 변경 정도가 크지 않은 것을 알 수 있다. 이 같이, 산화물 반도체층을 NF_3 가스로 플라즈마 처리하게 되면, 상온에서 600℃의 어닐링 온도에서도 산화물 반도체층의 물리적 특성이나 저항성 등 변화되는 것을 방지할 수 있다. 이를 고려할 때, 산화물 반도체층을 플라즈마 처리할 시에도, 600℃ 이하의 온도를 적용할 수 있으며, 바람직하게는 420 ℃ 이하의 온도에서 처리함으로써 산화물 반도체층의 전기적 특성 및 신뢰성을 향상시킬 수 있다.

[96]

[97] 도 11 내지 도 14는 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 전기적 특성을 나타내는 그래프이다. 여기서, 듀얼 게이트 박막 트랜지스터는 도 3 내지 도 8에 도시된 제조 방법에 의해 제조된 것으로, 제1 오프셋 영역(제1 및 제2 게이트 전극과, 소스 전극 사이의 오프셋 영역) 및 제2 오프셋 영역(제1 및 제2 게이트 전극과, 드레인 전극 사이의 오프셋 영역)이 3㎛의 폭을 갖는다.

[98] 도 11a 내지 도 11c는 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 전이(Transfer) 특성을 나타내는 그래프이다.

[99] 드레인-소스 전압(VDS)이 각각 0.1V 및 1V인 상태에서, 제1 게이트 전극(하부 게이트 전극)에 전압을 인가했을 때(Bottom Sweep, BS)(도 11a,), 제2 게이트 전극(상부 게이트 전극)에 전압을 인가했을 때(Top Sweep, TS)(도 11b), 제1 및 제2 게이트 전극 모두에 전압을 인가했을 때(Dual Sweep, DS)(도 11c)의 전이 특성을 나타낸 그래프이다.

[100] 도 11a 내지 도 11c를 참조하면, 제1 게이트 전극이나 제2 게이트 전극에 전압을 인가했을 때보다, 제1 및 제2 게이트 전극 모두에 전압을 인가했을 때, 전류 최대값이 증가하는 것을 알 수 있다.

[101]

[102] 도 12a 내지 도 12c는 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 출력(Output) 특성을 나타내는 그래프이다.

[103] 제1 게이트 전극(하부 게이트 전극)에 전압을 인가했을 때(Bottom Sweep, BS)(도 12a,), 제2 게이트 전극(상부 게이트 전극)에 전압을 인가했을 때(Top Sweep, TS)(도 12b), 제1 및 제2 게이트 전극 모두에 전압을 인가했을 때(Dual Sweep, DS)(도 12c)의 출력 특성을 나타낸 그래프이다. 이때, 각 게이트 전극에 인가되는 전압은 0~10V까지 2.5V 단위로 증가시켰다.

[104] 도 12a 내지 도 12c를 참조하면, 드레인 전압이 증가함에 따라 드레인 전류가 포화되는 것을 알 수 있다. 또한, 제1 게이트 전극이나 제2 게이트 전극에 전압을 인가했을 때보다(BS, TS), 제1 및 제2 게이트 전극 모두에 전압을 인가했을 때(DS), 낮은 게이트 전압에서도 큰 드레인 전류가 발생하는 것을 알 수 있다. 따라서, 제1 및 제2 게이트 전극 모두에 전압을 인가했을 때(DS), 박막 트랜지스터의 저전압 구동이 가능할 것이다.

[105] 또한, 제1 및 제2 게이트 전극 모두에 전압을 인가했을 때(DS), 전류 크라우딩(crowding) 효과가 없는 점으로 보아 플라즈마 처리된 산화물 반도체층이 좋은 오믹 접촉층으로 작용하고 있음을 알 수 있다.

[106]

[107] 도 13은 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 문턱 전압을 나타내는 그래프이다.

[108] 박막 트랜지스터에서 드레인 전압을 0.1V로 고정 인가한 상태에서, 제2 게이트 전극(상부 게이트 전극)에 인가되는 정전압(constant voltage) 각각에 대하여 제1 게이트 전극(하부 게이트 전극)에 0V 내지 20V의 전압을 인가한 경우의 전이 곡선을 나타낸 그래프이다. 도 13a를 참조하면, 제2 게이트 전극(상부 게이트 전극)에 인가되는 정전압(constant voltage)에 따라 문턱 전압이 체계적으로 변화됨을 알 수 있다.

[109]

[110] 도 14a 내지 도 14c는 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의

광-전압 신뢰성을 나타내는 그래프이다.

[111] 듀얼 게이트 박막 트랜지스터에 10000lux의 가시광선 빛(white light)를 조사하고 있는 상태에서, 제1 게이트 전극(하부 게이트 전극)에 전압을 인가하거나(Bottom Sweep, BS)(도 14a) 또는, 제2 게이트 전극(상부 게이트 전극)에 전압을 인가하거나(Top Sweep, TS)(도 14b) 또는, 제1 및 제2 게이트 전극 모두에 전압을 인가하여(Dual Sweep, DS)(도 14c), 그 인가 시간(stress time)에 따른 드레인 전류를 측정하였다.

[112] 도 14a 내지 도 14c를 참조하면, 모두 문턱 전압의 변화가 거의 없으며 특히, 도 14c에서와 같이 제1 게이트 전극과 제2 게이트 전극 모두에 게이트 전압을 인가했을 때(DS), 초기 특성과 전압 인가 시간(stress time)이 경과된 후의 특성에 변화가 크지 않으므로, 박막 트랜지스터의 신뢰성이 향상된 것을 알 수 있다.

[113]

[114] 도 15a 및 도 15는 본 발명의 실시에에 따른 듀얼 게이트 박막 트랜지스터를 디스플레이 패널에 적용한 예를 나타내는 도면이다.

[115] 도 15a를 참조하면, LCD(Liquid Crystal Display) 패널은 하나의 화소 소자 당 실시예에 따른 박막 트랜지스터가 1개 삽입될 수 있다. 구체적으로, 박막 트랜지스터(1000)에서 상부 게이트 전극(제2 게이트 전극) 및 하부 게이트 전극(제1 게이트 전극)은 게이트 구동부의 라인과 연결될 수 있다.

[116] 도 15b를 참조하면, AMOLED(Active-Matrix Organic Light Emitting Diode) 디스플레이 패널은 하나의 화소 소자 당 실시예에 따른 박막 트랜지스터가 2개 삽입될 수 있다. 구체적으로, 제1 박막 트랜지스터(400)는 스위칭(switching) 트랜지스터로 기능하며, 제1 박막 트랜지스터(2000)에 포함된 2개의 게이트 전극은 게이트 구동부의 라인과 연결될 수 있다.

[117] 또한, 제2 박막 트랜지스터(3000)는 구동(driving) 트랜지스터로 기능하며, 제2 박막 트랜지스터(3000)에 포함된 2개의 게이트 전극은 제1 박막 트랜지스터(2000)의 드레인 전극과 연결될 수 있다.

[118] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[119] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

청구범위

[청구항 1] 듀얼 게이트 박막 트랜지스터에 있어서,
기판;
상기 기판 상에 위치된 제1 게이트 전극;
상기 제1 게이트 전극 상에 위치된 산화물 반도체층;
상기 산화물 반도체층에 위치된 소스 전극 및 드레인 전극; 및
상기 산화물 반도체층 상에 위치된 제2 게이트 전극;을 포함하며,
상기 제1 및 제2 게이트 전극은,
상기 듀얼 게이트 박막 트랜지스터의 수직축을 기준으로 상기 소스 전극 및 상기 드레인 전극 사이의 오프셋 영역을 포함하며,
상기 오프셋 영역에 해당하는 상기 산화물 반도체층은 할로겐계 가스로 플라즈마 처리된, 듀얼 게이트 박막 트랜지스터.

[청구항 2] 제1항에 있어서,
상기 산화물 반도체층은,
상기 오프셋 영역에서부터 상기 소스 전극 및 상기 드레인 전극이 접촉되는 영역까지 연장되어 플라즈마 처리된, 듀얼 게이트 박막 트랜지스터.

[청구항 3] 제1항에 있어서,
상기 오프셋 영역은,
상기 제1 및 제2 게이트 전극의 일 측과 상기 소스 전극 사이에 해당하는 제1 오프셋 영역; 및
상기 제1 및 제2 게이트 전극의 타 측과 상기 드레인 전극 사이에 해당하는 제2 오프셋 영역
을 포함하는, 듀얼 게이트 박막 트랜지스터.

[청구항 4] 제3항에 있어서,
상기 제1 및 제2 오프셋 영역은 서로 동일한 폭을 갖는, 듀얼 게이트 박막 트랜지스터.

[청구항 5] 제3항에 있어서,
상기 제1 및 제2 오프셋 영역은 서로 상이한 폭을 갖는, 듀얼 게이트 박막 트랜지스터.

[청구항 6] 제3항 내지 제5항 중 어느 한 항에 있어서,
상기 제1 및 제2 오프셋 영역은 0.5㎛ 이상의 폭을 갖는, 듀얼 게이트 박막 트랜지스터.

[청구항 7] 제1항에 있어서,
상기 할로겐계 가스는,
플루오린 (fluorine; F) 원소를 포함하는 가스인, 듀얼 게이트 박막 트랜지스터,

[청구항 8] 제7항에 있어서,
상기 산화물 반도체층은,
0.1% 내지 10% 농도의 플루오린(F) 원소를 포함하는, 듀얼 게이트 박막 트랜지스터.

[청구항 9] 제1항에 있어서,
상기 제1 게이트 전극과 상기 산화물 반도체층 사이에 위치된 게이트 절연층; 및
상기 소스 전극 및 상기 드레인 전극과 상기 제2 게이트 전극 사이에 위치하는 보호층
을 더 포함하는 듀얼 게이트 박막 트랜지스터.

[청구항 10] 제1항에 있어서,
상기 산화물 반도체층은,
비정질 인듐 갈륨 징크 옥사이드(amorphous indium-gallium-zinc oxide, a-IGZO), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 어느 하나를 포함하는 듀얼 게이트 박막 트랜지스터.

[청구항 11] 듀얼 게이트 박막 트랜지스터의 제조 방법에 있어서,
기판 상에 제1 게이트 전극을 형성하는 단계;
상기 제1 게이트 전극 상에 게이트 절연층을 형성하는 단계;
상기 게이트 절연층 상에 산화물 반도체층을 형성하는 단계;
상기 산화물 반도체층 상에 소스 전극 및 드레인 전극을 형성하는 단계;
상기 소스 전극 및 상기 드레인 전극 상에 보호층을 형성하는 단계; 및
상기 보호층 상에 제2 게이트 전극을 형성하는 단계;를 포함하며,
상기 산화물 반도체층을 형성한 이후에, 상기 듀얼 게이트 박막 트랜지스터의 수직축을 기준으로 상기 제1 게이트 전극 및 상기 제2 게이트 전극과, 상기 소스 전극 및 상기 드레인 전극 사이의 오프셋 영역에 해당하는 상기 산화물 반도체층을 할로겐계 가스를 이용하여 플라즈마 처리하는 단계
를 더 포함하는 듀얼 게이트 박막 트랜지스터의 제조 방법.

[청구항 12] 제11항에 있어서,
상기 플라즈마 처리하는 단계는,
상기 오프셋 영역에서부터 상기 소스 전극 및 상기 드레인 전극이 접촉되는 영역까지 상기 플라즈마 처리하는, 듀얼 게이트 박막 트랜지스터의 제조 방법.

[청구항 13] 제11항에 있어서,
상기 플라즈마 처리하는 단계는,

상기 산화물 반도체층 상에서 상기 오프셋 영역이 노출되도록, 포토 레지스트를 도포하여 상기 오프셋 영역을 제외한 다른 영역들을 마스킹하는 단계;
상기 할로겐계 가스를 이용하여 상기 오프셋 영역을 420℃ 이하의 온도에서 플라즈마 처리하는 단계; 및
상기 포토 레지스트를 제거하는 단계
를 포함하는, 듀얼 게이트 박막 트랜지스터의 제조 방법.

[청구항 14] 제11항에 있어서,
상기 오프셋 영역은,
상기 제1 및 제2 게이트 전극의 일 측과 상기 소스 전극 사이에 해당하는 제1 오프셋 영역; 및
상기 제1 및 제2 게이트 전극의 타 측과 상기 드레인 전극 사이에 해당하는 제2 오프셋 영역
을 포함하는, 듀얼 게이트 박막 트랜지스터의 제조 방법.

[청구항 15] 제14항에 있어서,
상기 제1 및 제2 오프셋 영역은 서로 동일한 폭을 갖는, 듀얼 게이트 박막 트랜지스터의 제조 방법.

[청구항 16] 제14항에 있어서,
상기 제1 및 제2 오프셋 영역은 서로 상이한 폭을 갖는, 듀얼 게이트 박막 트랜지스터의 제조 방법.

[청구항 17] 제14항 내지 제16항 중 어느 한 항에 있어서,
상기 제1 및 제2 오프셋 영역은,
0.5㎛ 이상의 폭을 갖는, 듀얼 게이트 박막 트랜지스터의 제조 방법.

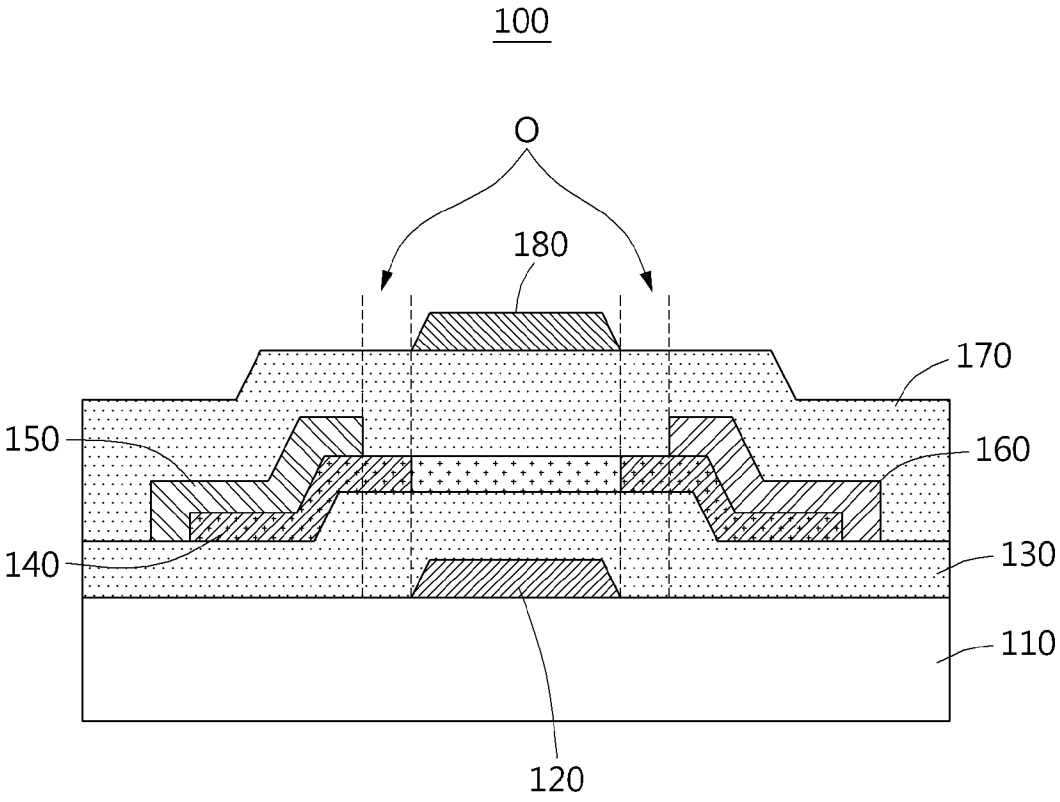
[청구항 18] 제11항에 있어서,
상기 할로겐계 가스는,
플루오린 (fluorine; F)을 포함하는 가스인, 듀얼 게이트 박막 트랜지스터의 제조 방법.

[청구항 19] 제11항에 있어서,
상기 제1 게이트 전극 상에 상기 산화물 반도체층 사이에 게이트 절연층을 형성하는 단계; 및
상기 소스 전극 및 상기 드레인 전극과 상기 제2 게이트 전극 사이에 보호층을 형성하는 단계
를 더 포함하는 듀얼 게이트 박막 트랜지스터의 제조 방법.

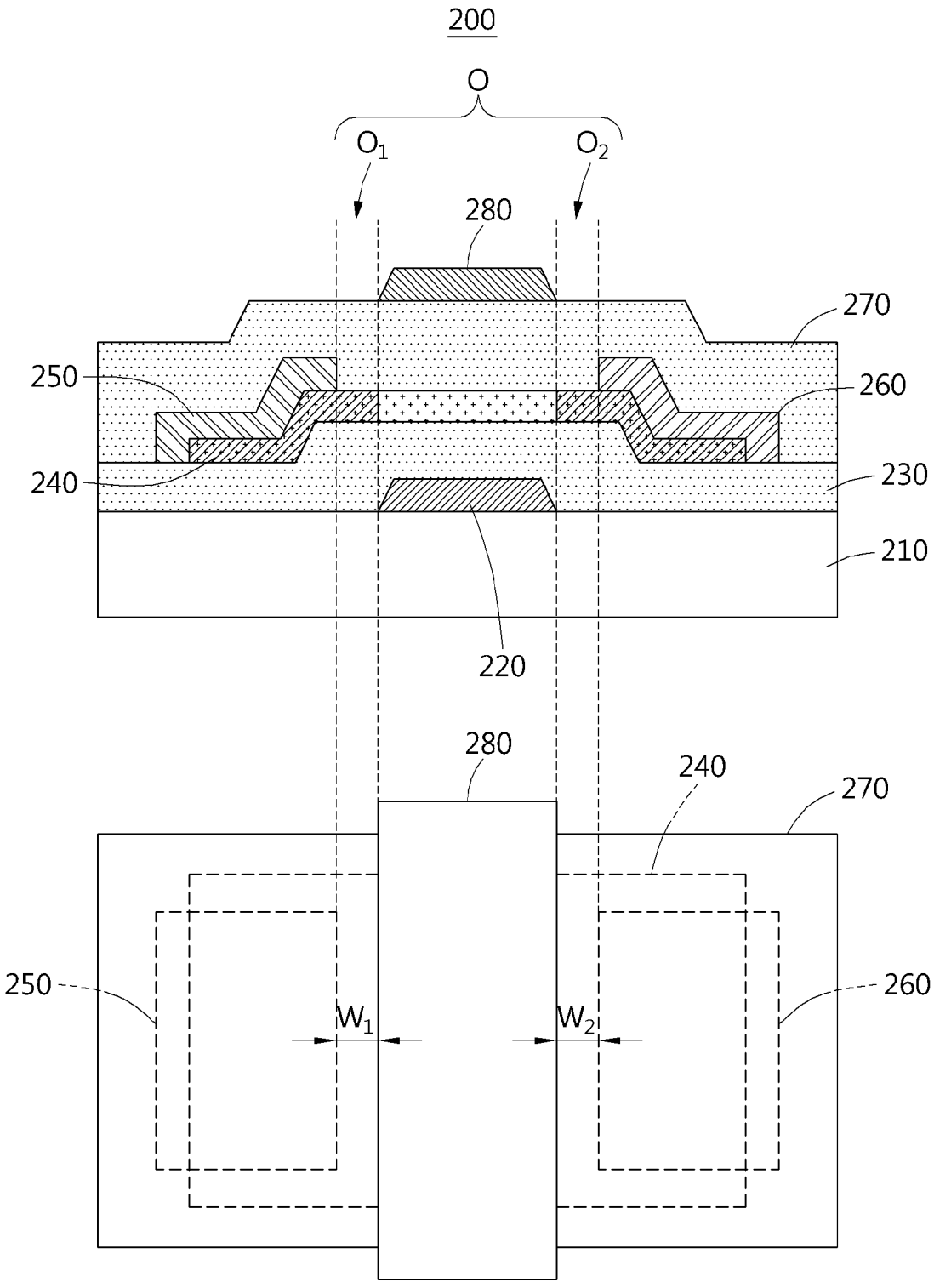
[청구항 20] 제11항에 있어서,
상기 산화물 반도체층을 형성하는 단계는,
상기 게이트 절연층 상에 비정질 인듐 갈륨 징크 옥사이드(amorphous indium-gallium-zinc oxide, a-IGZO), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨

징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 어느 하나를 증착하는, 듀얼 게이트 박막 트랜지스터의 제조 방법.

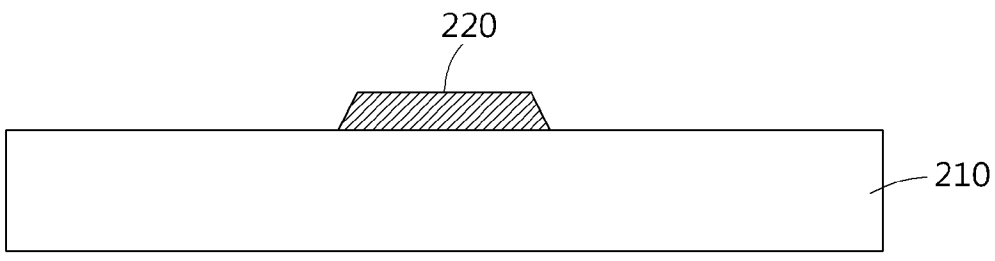
[도1]



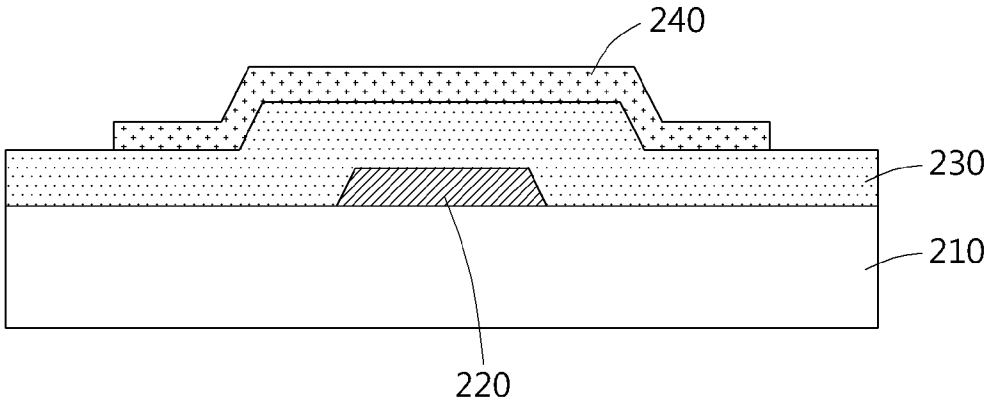
[도2]


200
O
O_1
O_2
280
270
250
260
240
230
210
220
280
240
270
250
260
W_1
W_2

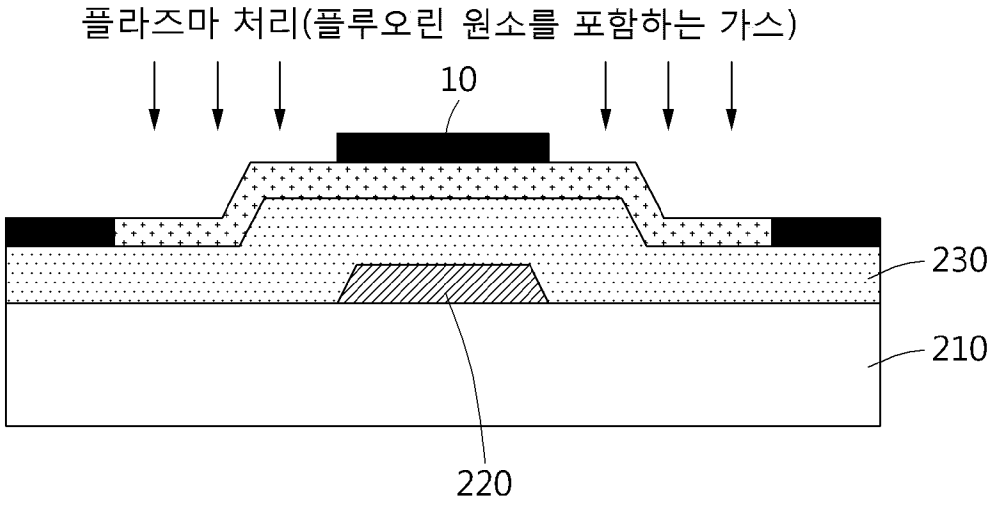
[도3]


220
210

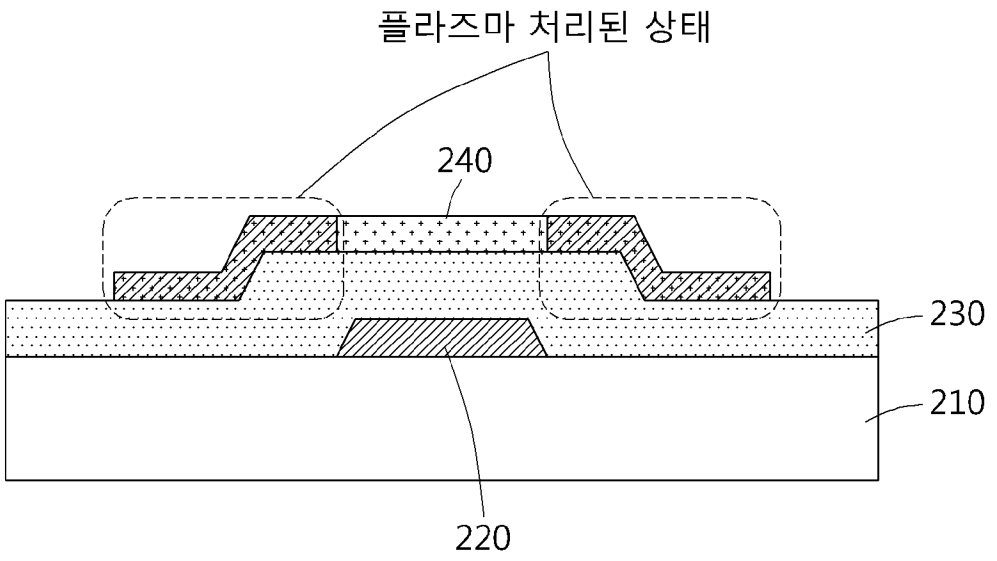
[도4]


240
230
210
220

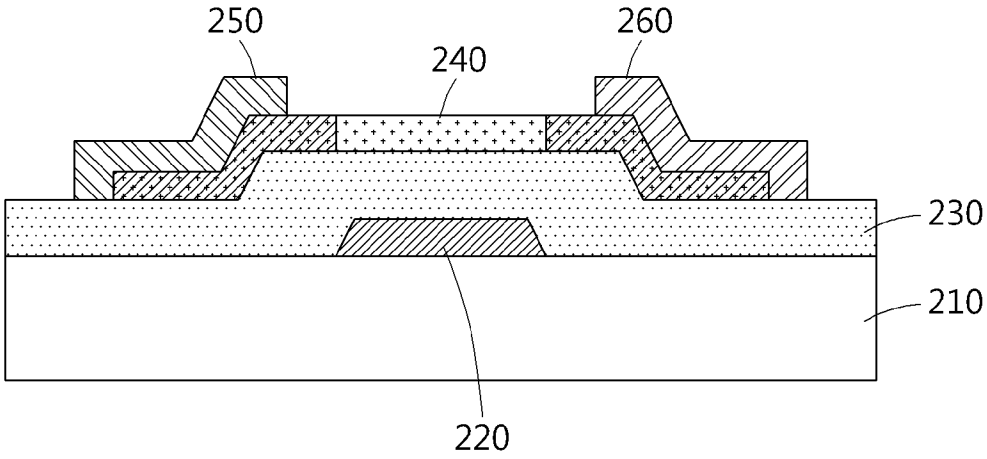
[도5]


플라즈마 처리(플루오린 원소를 포함하는 가스)
10
230
210
220

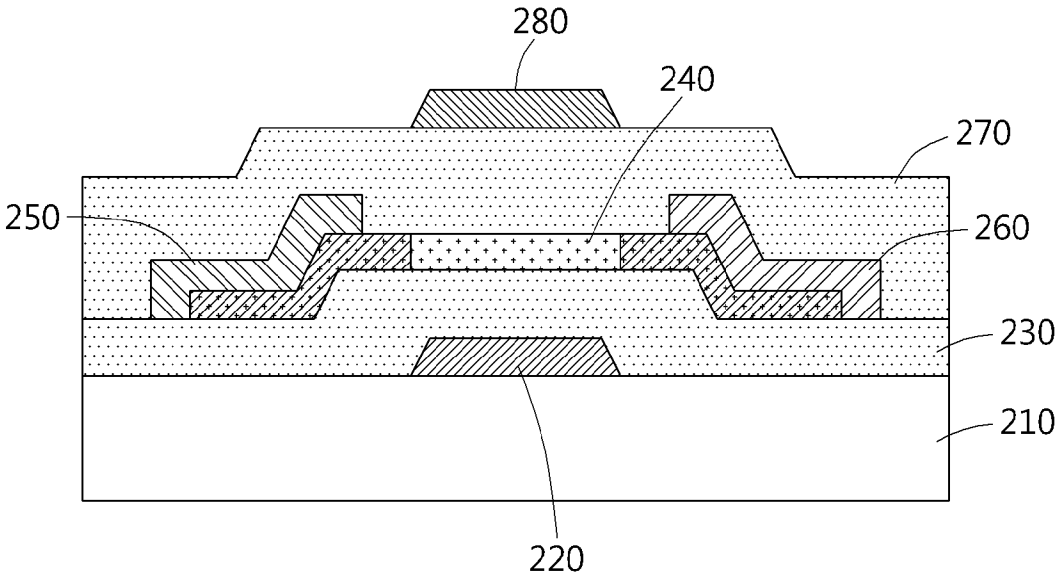
[도6]


플라즈마 처리된 상태
240
230
210
220

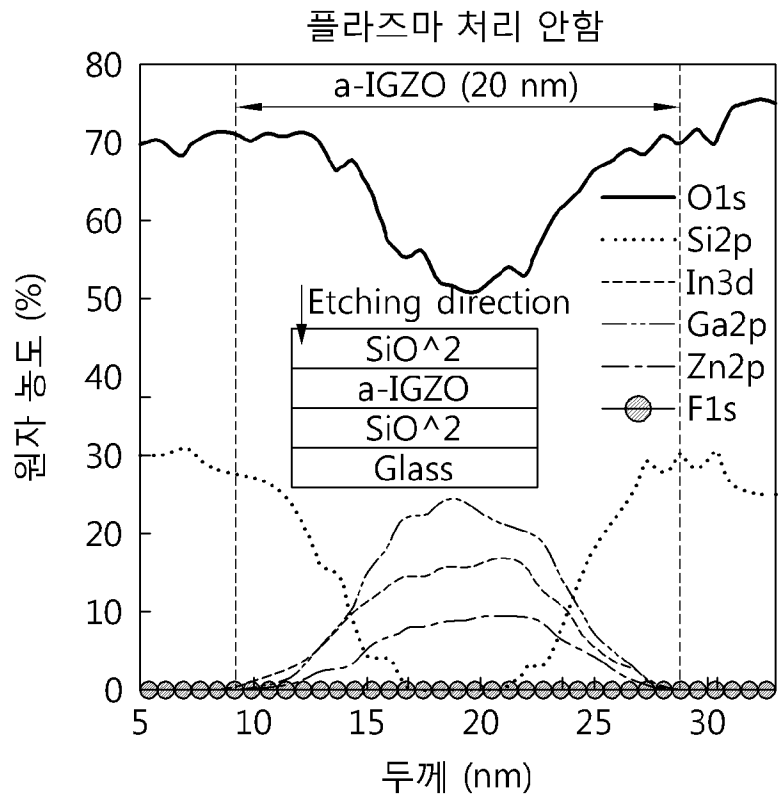
[도7]



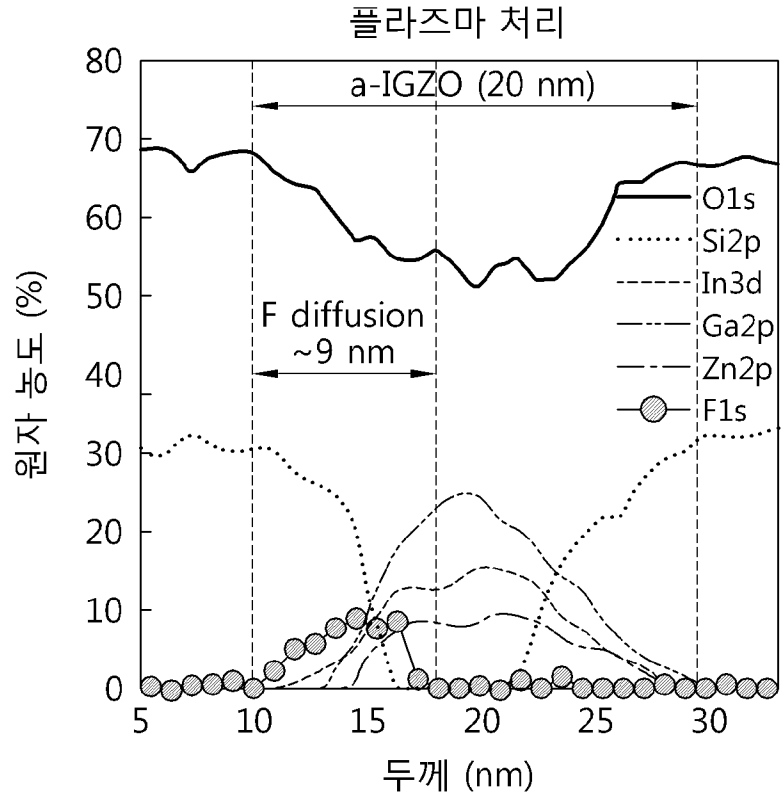
[도8]



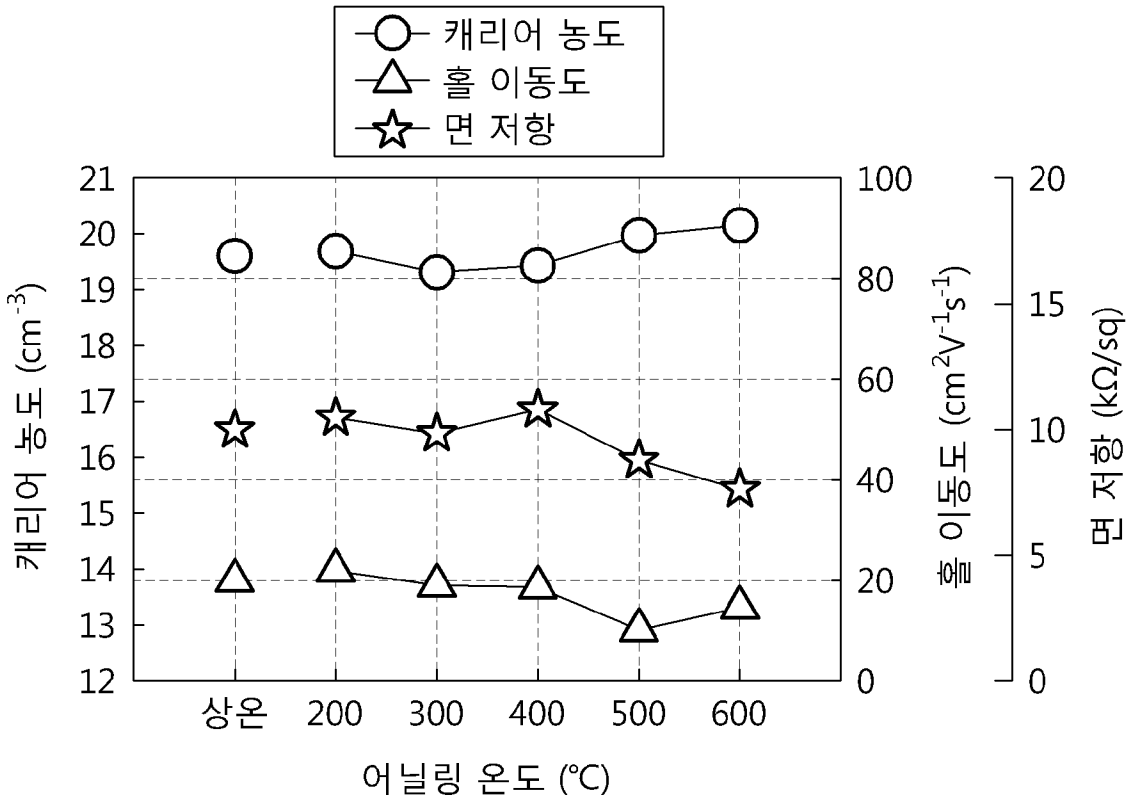
[도9a]


플라즈마 처리 안함
a-IGZO (20 nm)
Etching direction
SiO^2
a-IGZO
SiO^2
Glass
O1s
Si2p
In3d
Ga2p
Zn2p
F1s
원자 농도 (%)
두께 (nm)
0
10
20
30
40
50
60
70
80
5
10
15
20
25
30

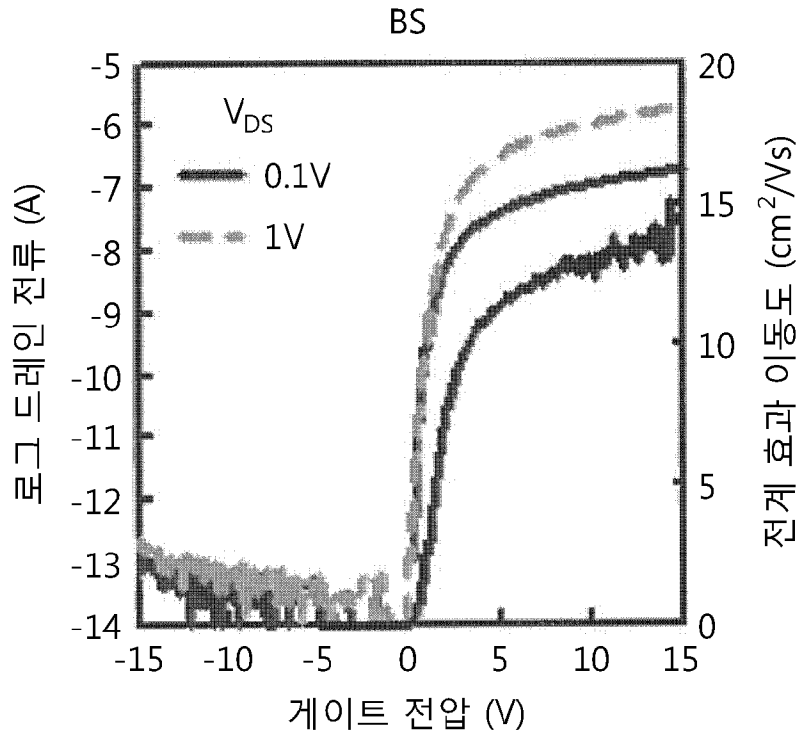
[도9b]


플라즈마 처리
a-IGZO (20 nm)
F diffusion
~9 nm
O1s
Si2p
In3d
Ga2p
Zn2p
F1s
원자 농도 (%)
두께 (nm)
0
10
20
30
40
50
60
70
80
5
10
15
20
25
30

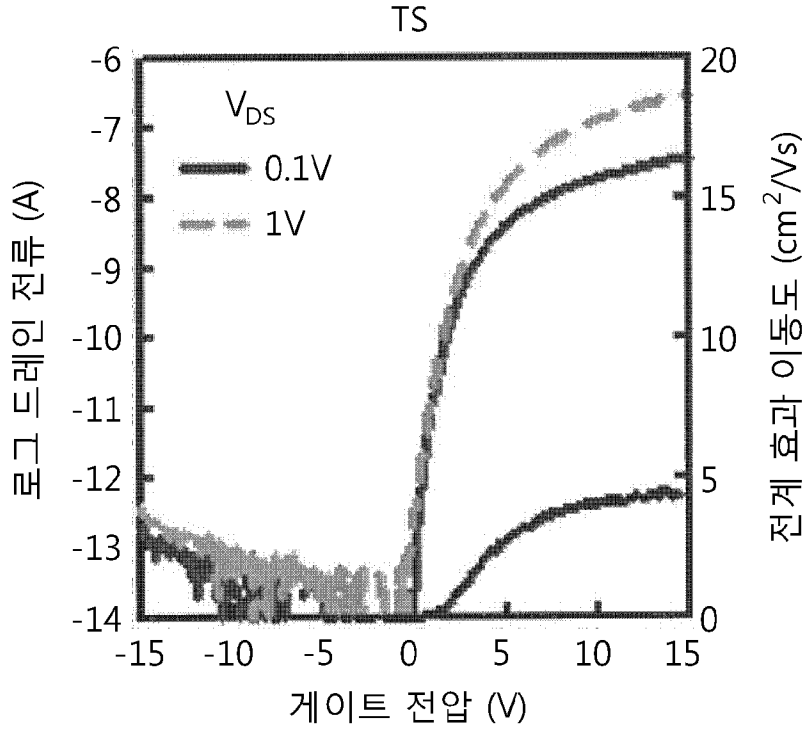
[도10]


캐리어 농도
홀 이동도
면 저항
캐리어 농도 (cm-3)
홀 이동도 (cm2V-1s-1)
면 저항 (kΩ/sq)
21
20
19
18
17
16
15
14
13
12
100
80
60
40
20
0
20
15
10
5
0
상온
200
300
400
500
600
어닐링 온도 (℃)

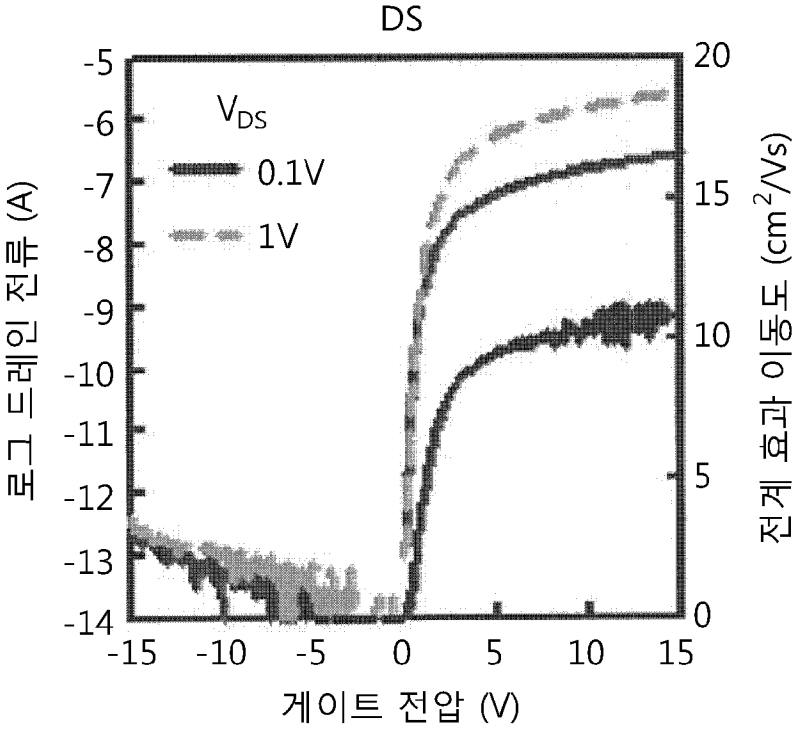
[도11a]


BS
VDS
0.1V
1V
로그 드레인 전류 (A)
전계 효과 이동도 (cm2/Vs)
-5
-6
-7
-8
-9
-10
-11
-12
-13
-14
20
15
10
5
0
-15
-10
-5
0
5
10
15
게이트 전압 (V)

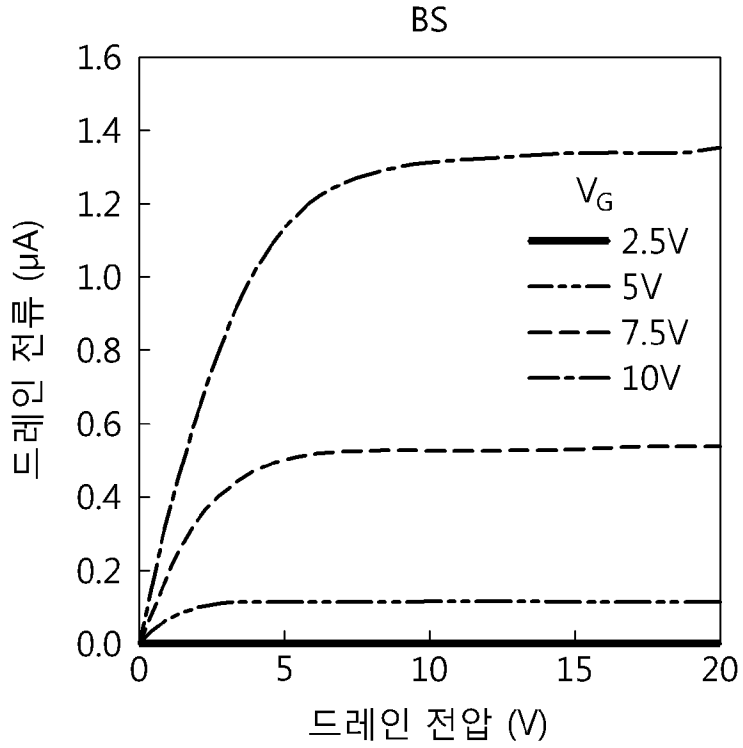
[도11b]


TS
V_{DS}
0.1V
1V
로그 드레인 전류 (A)
전계 효과 이동도 (cm^2/Vs)
게이트 전압 (V)
-6
-7
-8
-9
-10
-11
-12
-13
-14
20
15
10
5
0
-15
-10
-5
0
5
10
15

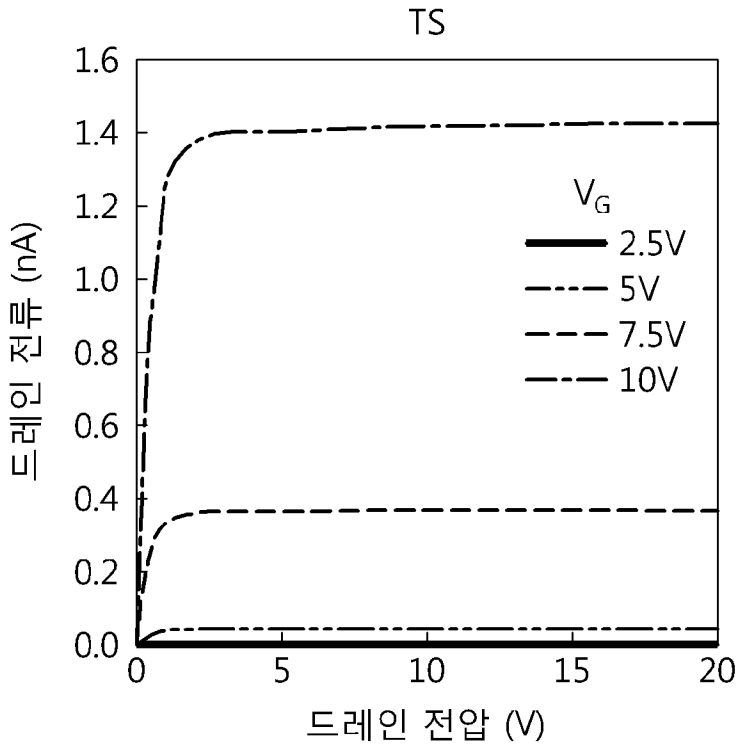
[도11c]


DS
V_{DS}
0.1V
1V
로그 드레인 전류 (A)
전계 효과 이동도 (cm^2/Vs)
게이트 전압 (V)
-5
-6
-7
-8
-9
-10
-11
-12
-13
-14
20
15
10
5
0
-15
-10
-5
0
5
10
15

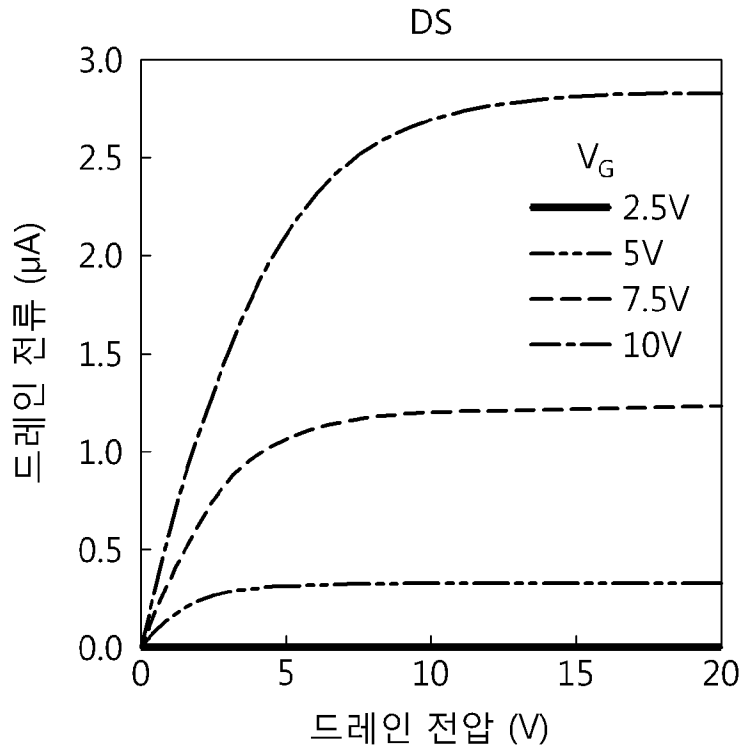
[도12a]


BS
1.6
1.4
1.2
1.0
0.8
0.6
0.4
0.2
0.0
드레인 전류 (μA)
0
5
10
15
20
드레인 전압 (V)
V_G
2.5V
5V
7.5V
10V

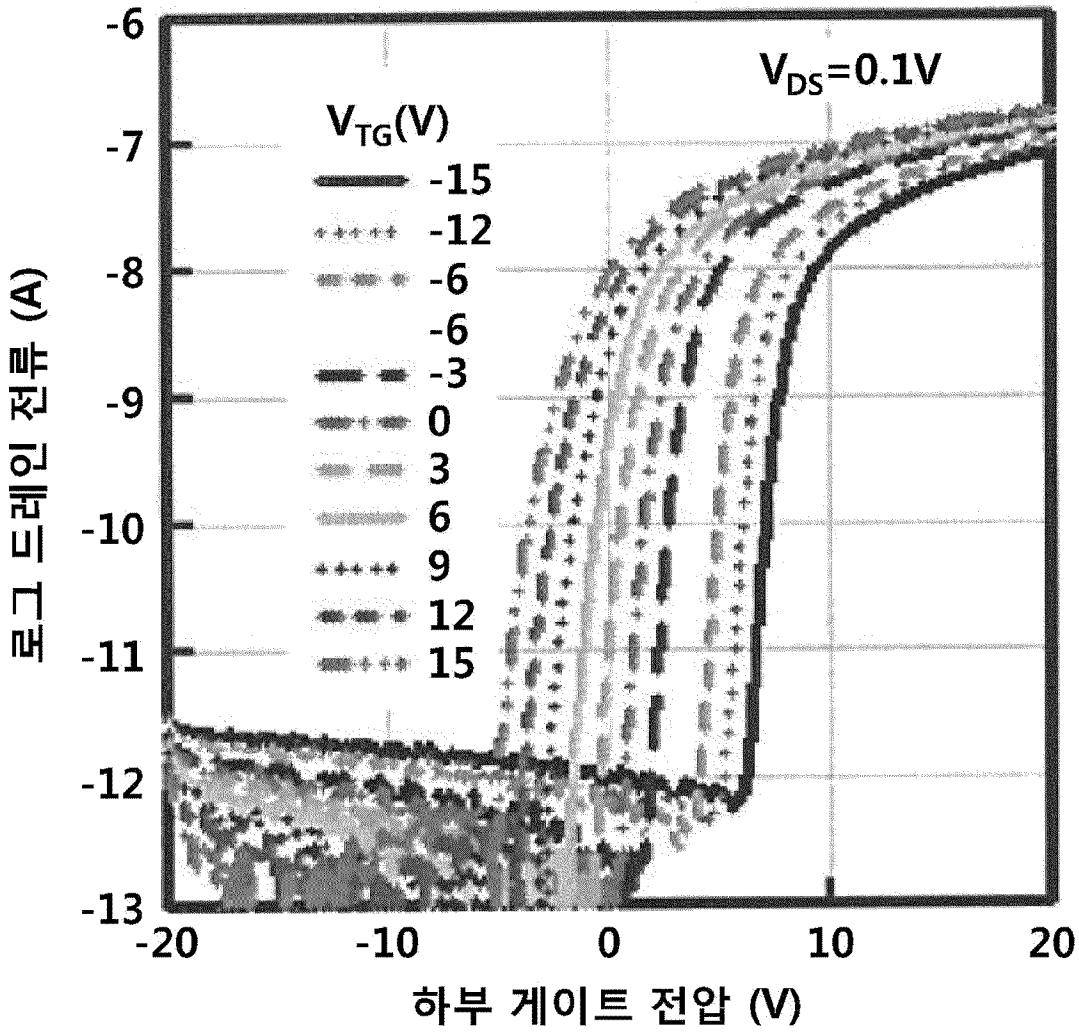
[도12b]


TS
1.6
1.4
1.2
1.0
0.8
0.6
0.4
0.2
0.0
드레인 전류 (nA)
0
5
10
15
20
드레인 전압 (V)
V_G
2.5V
5V
7.5V
10V

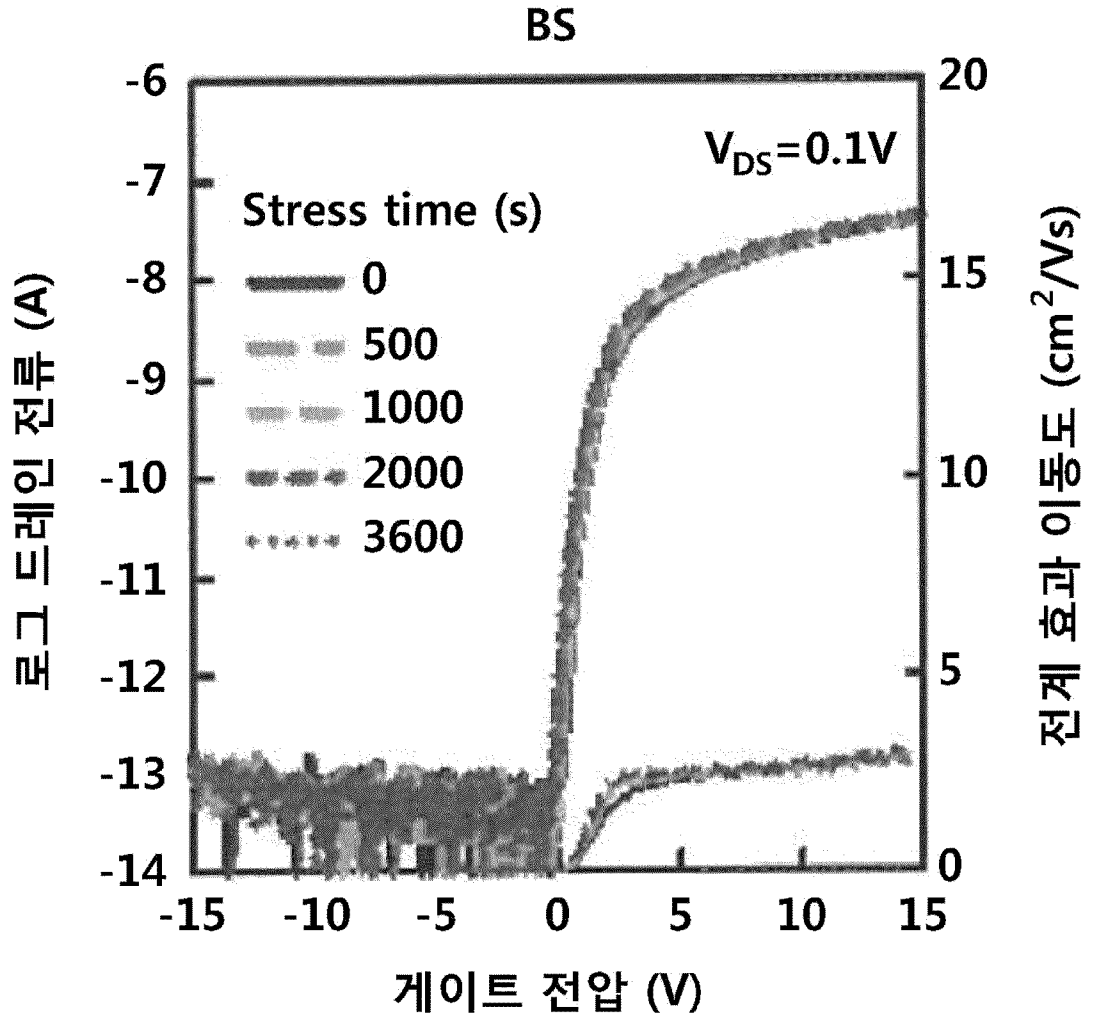
[도12c]


DS
3.0
2.5
2.0
1.5
1.0
0.5
0.0
0
5
10
15
20
드레인 전류 (μA)
드레인 전압 (V)
V_G
2.5V
5V
7.5V
10V

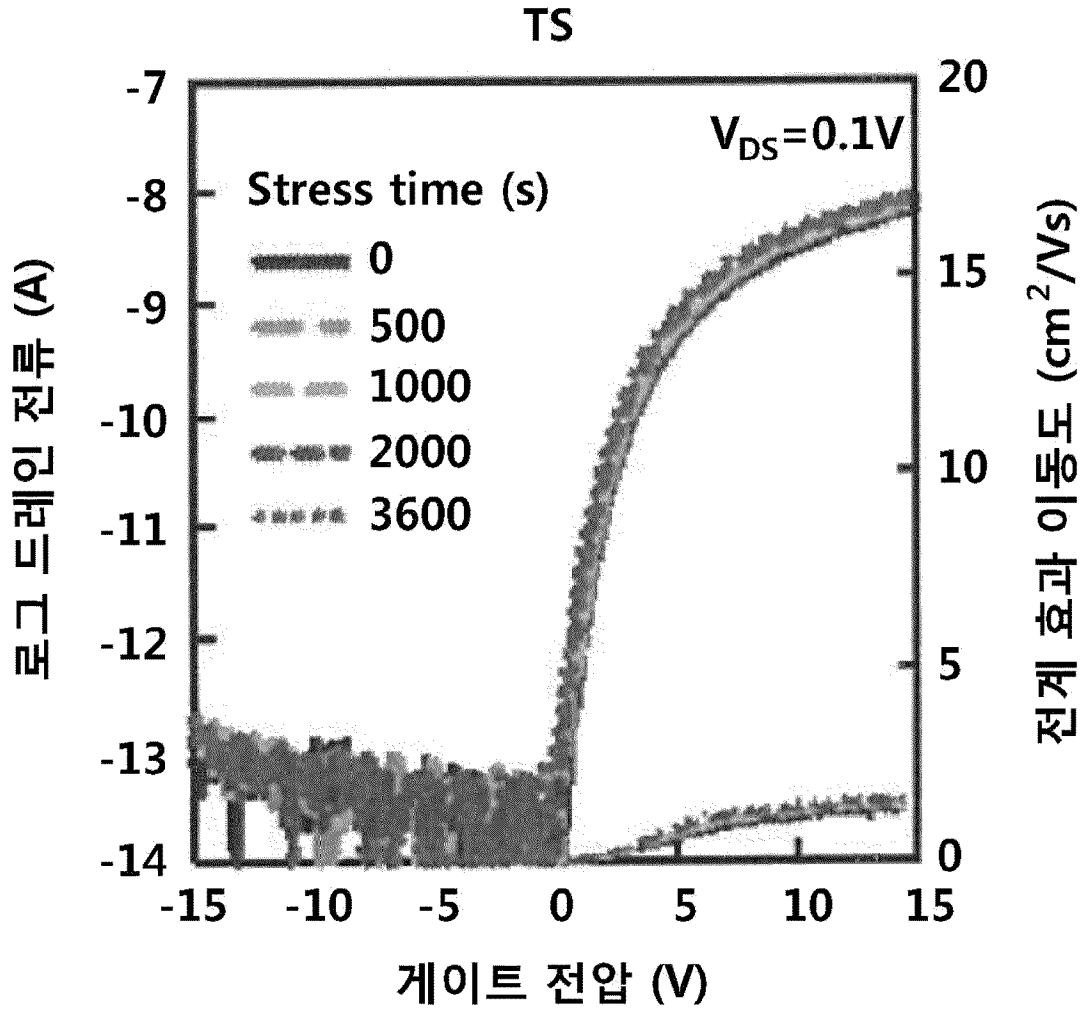
[도13]


V_{DS}=0.1V
V_{TG}(V)
-15
-12
-6
-6
-3
0
3
6
9
12
15
-6
-7
-8
-9
-10
-11
-12
-13
-20
-10
0
10
20
로그 드레인 전류 (A)
하부 게이트 전압 (V)

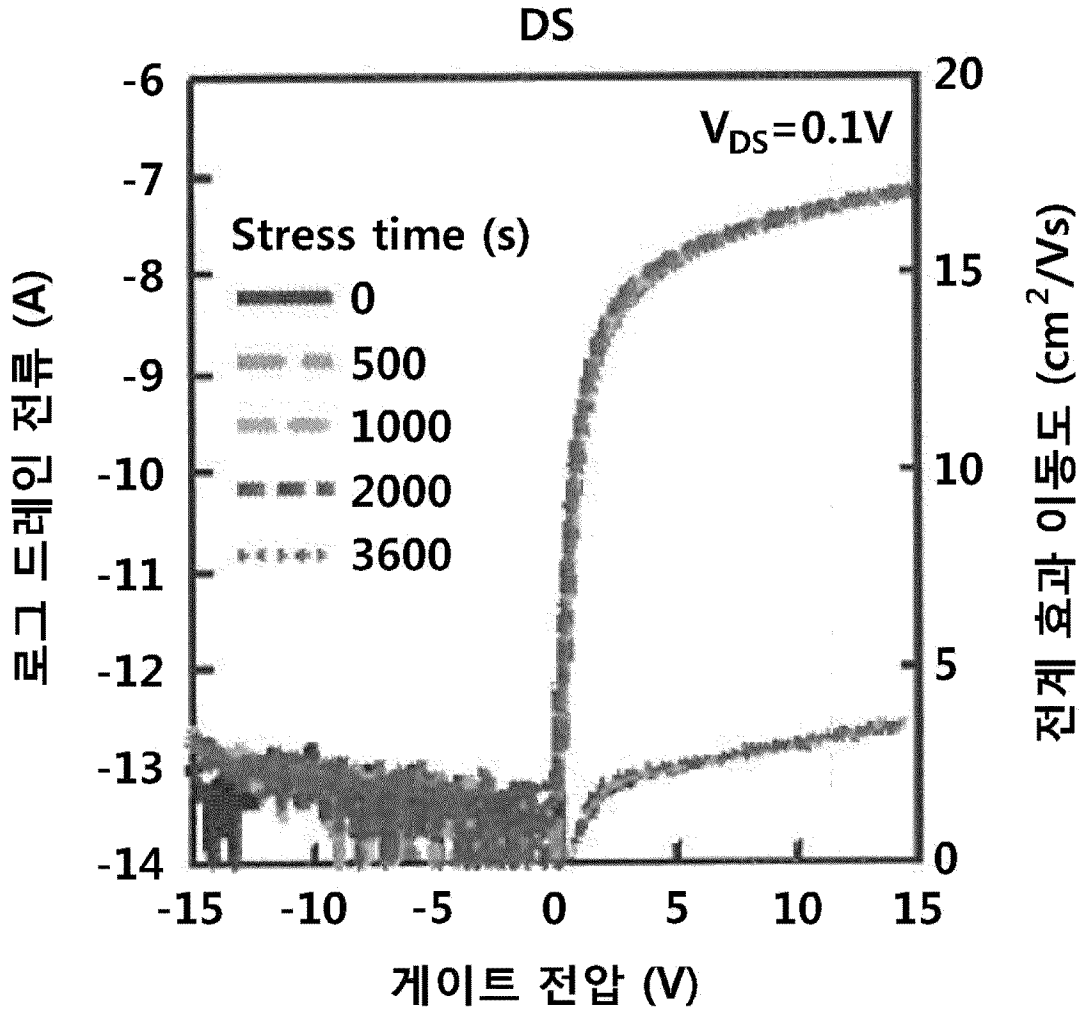
[도14a]


BS
V_{DS}=0.1V
Stress time (s)
0
500
1000
2000
3600
로그 드레인 전류 (A)
전계 효과 이동도 (cm^2/Vs)
게이트 전압 (V)
-6
-7
-8
-9
-10
-11
-12
-13
-14
20
15
10
5
0
-15
-10
-5
0
5
10
15

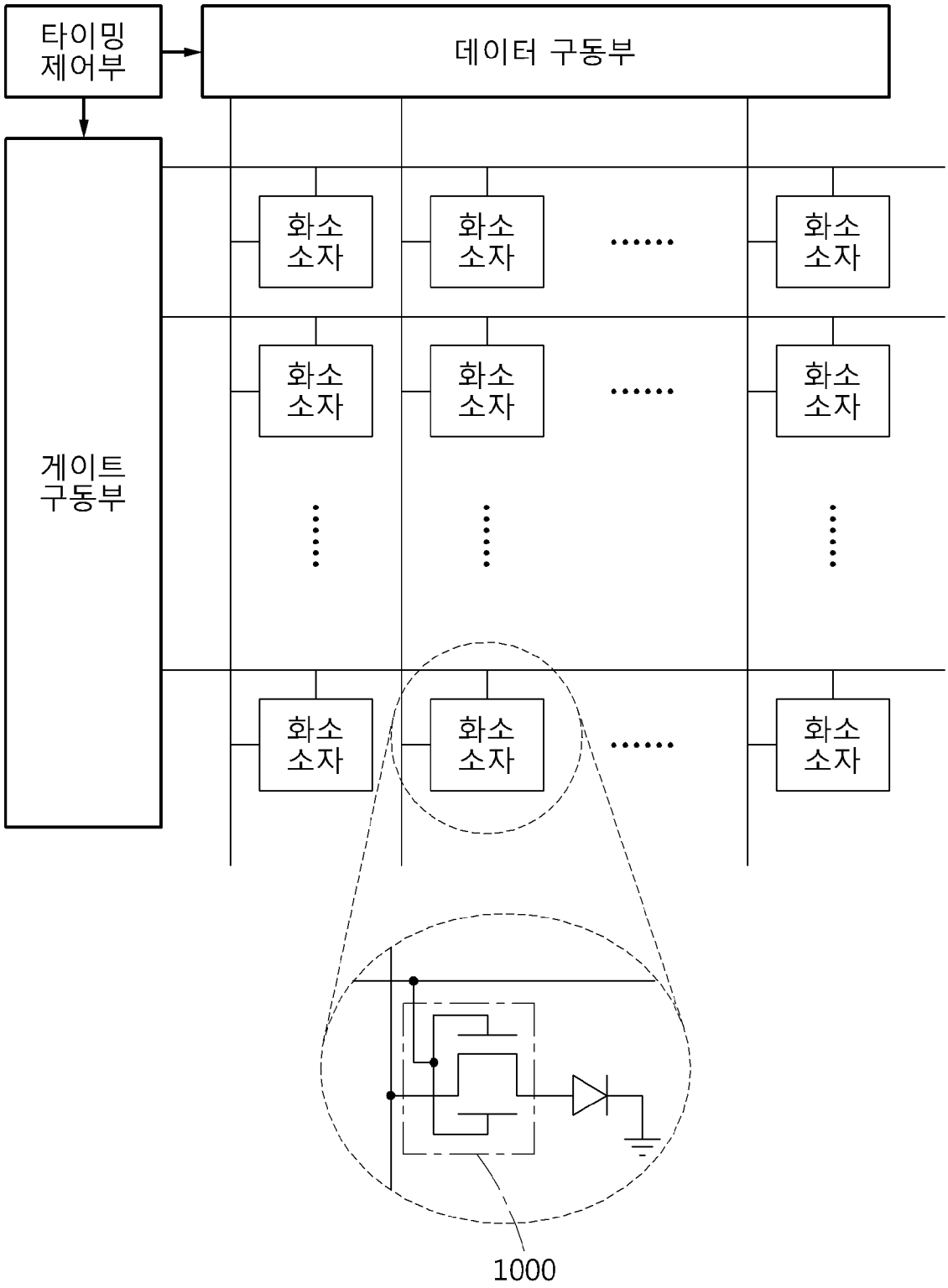
[도14b]


TS
V_{DS}=0.1V
Stress time (s)
0
500
1000
2000
3600
로그 드레인 전류 (A)
전계 효과 이동도 (cm^2/Vs)
게이트 전압 (V)
-7
-8
-9
-10
-11
-12
-13
-14
20
15
10
5
0
-15
-10
-5
0
5
10
15

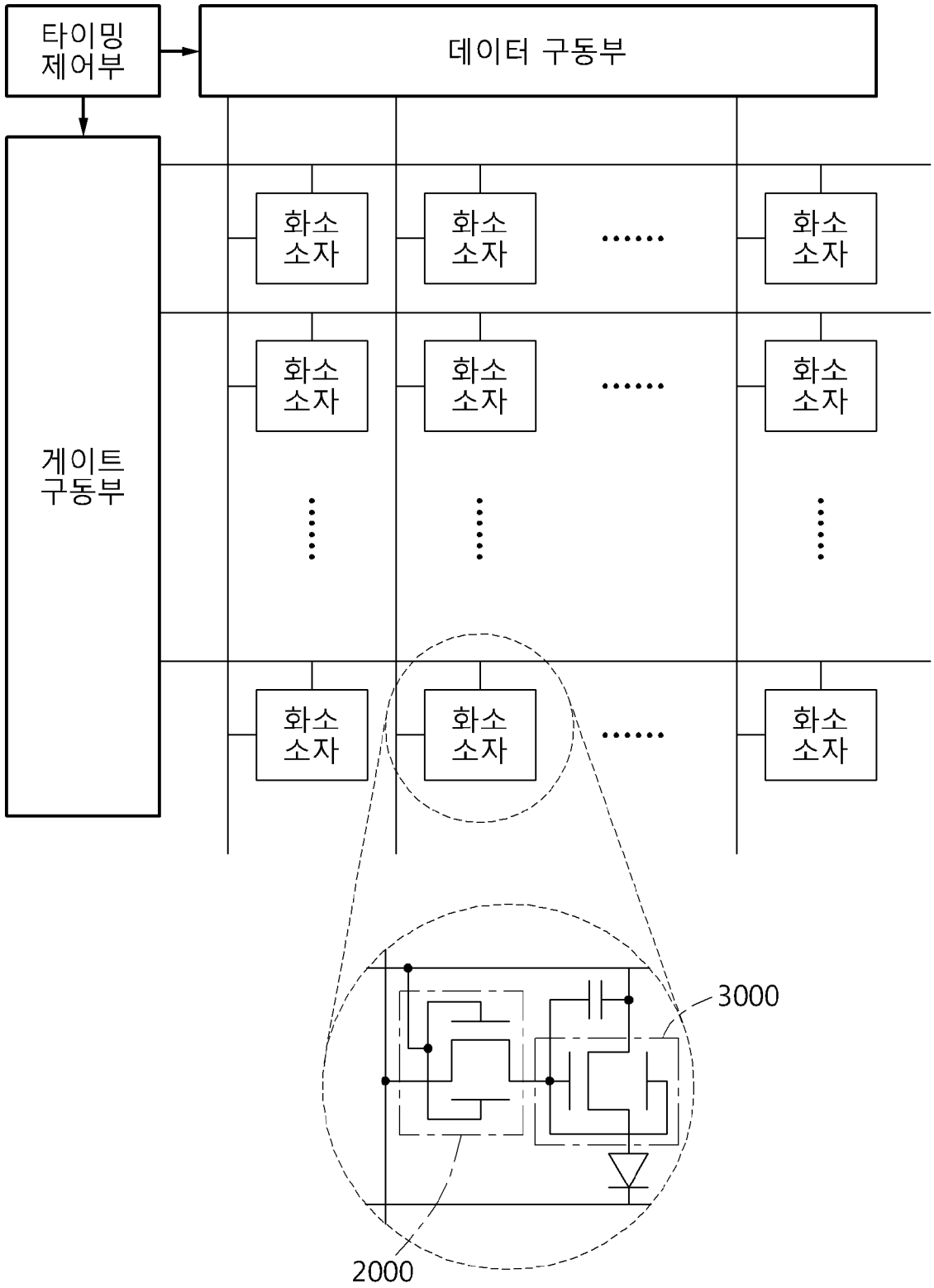
[도14c]


DS
V_{DS}=0.1V
Stress time (s)
0
500
1000
2000
3600
로그 드레인 전류 (A)
전계 효과 이동도 (cm^2/Vs)
게이트 전압 (V)
-6
-7
-8
-9
-10
-11
-12
-13
-14
20
15
10
5
0
-15
-10
-5
0
5
10
15

[도15a]



[도15b]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2016/000178

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/786; G02F 1/136; H01L 21/336; G02F 1/1368; H01L 21/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: thin film transistor, semiconductor oxide, offset, halogen, plasma

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2014-0078190 A (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 25 June 2014 See abstract, paragraphs [0029]-[0049] and figures 1-15.	1-20
Y	KR 10-2012-0056767 A (LG DISPLAY CO., LTD.) 04 June 2012 See abstract, paragraphs [0023]-[0050], claims 1, 4, 7 and figure 1.	1-20
A	JP 08-097433 A (SONY CORP.) 12 April 1996 See abstract, paragraphs [0009]-[0012] and figure 1.	1-20
A	US 2002-0034842 A1 (JOO, Seung Ki et al.) 21 March 2002 See abstract, paragraphs [0057]-[0063] and figures 4A-5.	1-20
A	JP 2005-072144 A (SEIKO EPSON CORP.) 17 March 2005 See abstract, paragraphs [0027]-[0031] and figure 1.	1-20

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 AUGUST 2016 (24.08.2016)	**24 AUGUST 2016 (24.08.2016)**

Name and mailing address of the ISA/KR
Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701, Republic of Korea
Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2016/000178

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2014-0078190 A	25/06/2014	NONE	
KR 10-2012-0056767 A	04/06/2012	JP 2012-114245 A	14/06/2012
JP 08-097433 A	12/04/1996	NONE	
US 2002-0034842 A1	21/03/2002	KR 10-0387122 B1	12/06/2003
		KR 10-2002-0021546 A	21/03/2002
		US 2003-0148567 A1	07/08/2003
		US 6537890 B2	25/03/2003
		US 6936504 B2	30/08/2005
JP 2005-072144 A	17/03/2005	NONE	

국 제 조 사 보 고 서

국제출원번호
PCT/KR2016/000178

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 29/786(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
H01L 29/786; G02F 1/136; H01L 21/336; G02F 1/1368; H01L 21/00

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: 박막 트랜지스터, 반도체 산화물, 오프셋, 할로겐, 플라즈마

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2014-0078190 A (한국전자통신연구원) 2014.06.25 요약, 단락 [0029]-[0049] 및 도면 1-15 참조.	1-20
Y	KR 10-2012-0056767 A (엘지디스플레이 주식회사) 2012.06.04 요약, 단락 [0023]-[0050], 청구항 1, 4, 7 및 도면 1 참조.	1-20
A	JP 08-097433 A (SONY CORP.) 1996.04.12 요약, 단락 [0009]-[0012] 및 도면 1 참조.	1-20
A	US 2002-0034842 A1 (SEUNG KI JOO 등) 2002.03.21 요약, 단락 [0057]-[0063] 및 도면 4A-5 참조.	1-20
A	JP 2005-072144 A (SEIKO EPSON CORP.) 2005.03.17 요약, 단락 [0027]-[0031] 및 도면 1 참조.	1-20

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2016년 08월 24일 (24.08.2016)	2016년 08월 24일 (24.08.2016)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-481-8578

심사관
이은규
전화번호 +82-42-481-3580

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2016/000178

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2014-0078190 A	2014/06/25	없음	
KR 10-2012-0056767 A	2012/06/04	JP 2012-114245 A	2012/06/14
JP 08-097433 A	1996/04/12	없음	
US 2002-0034842 A1	2002/03/21	KR 10-0387122 B1	2003/06/12
		KR 10-2002-0021546 A	2002/03/21
		US 2003-0148567 A1	2003/08/07
		US 6537890 B2	2003/03/25
		US 6936504 B2	2005/08/30
JP 2005-072144 A	2005/03/17	없음	