(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第5832800号
(P5832800)
(45)発行日　平成27年12月16日(2015.12.16)　(24)登録日　平成27年11月6日(2015.11.6)

(51)Int.Cl.　　F I
G01R 31/28 (2006.01)　　G01R 31/28 V
H01L 21/822 (2006.01)　　H01L 27/04 T
H01L 27/04 (2006.01)

請求項の数 4　(全 14 頁)

(21)出願番号　特願2011-154675 (P2011-154675)
(22)出願日　平成23年7月13日 (2011.7.13)
(65)公開番号　特開2013-19830 (P2013-19830A)
(43)公開日　平成25年1月31日 (2013.1.31)
審査請求日　平成26年5月26日 (2014.5.26)

(73)特許権者　591128453
株式会社メガチップス
大阪府大阪市淀川区宮原一丁目１番１号
(74)代理人　100088672
弁理士　吉竹　英俊
(74)代理人　100088845
弁理士　有田　貴弘
(72)発明者　戸崎　賀津雄
千葉県千葉市美浜区中瀬１丁目３番地　川崎マイクロエレクトロニクス株式会社内

審査官　越川　康弘

最終頁に続く

(54)【発明の名称】半導体集積回路および半導体集積回路のテスト方法

(57)【特許請求の範囲】
【請求項１】
所定のビット幅のパラレルデータからなるパラレルデータ列を受信し、該パラレルデータ列を構成するそれぞれのパラレルデータのビットを所定の順番に配列したシリアルデータに変換する、第１および第２のパラレルシリアル変換回路と、
前記所定のビット幅の共通のテスト用パラレルデータ列に基づいて、前記第１のパラレルシリアル変換回路に供給する第１のテスト用パラレルデータ列と、前記第２のパラレルシリアル変換回路に供給する第２のテスト用パラレルデータ列とを生成するテスト用パラレルデータ列生成回路と、
前記第１のパラレルシリアル変換回路が前記第１のテスト用パラレルデータ列を変換した第１のシリアルデータビットと、前記第２のパラレルシリアル変換回路が前記第２のテスト用パラレルデータ列を変換した第２のシリアルデータのビットとの一致／不一致を検出する検出回路とを備えた半導体集積回路であって、
前記テスト用パラレルデータ列生成回路が、前記共通のテスト用パラレルデータ列を構成するそれぞれのパラレルデータのビットを、順番に、前記所定の順番において後になる方向に前記所定のビット幅未満の第１のビット数だけシフトし、あふれたビットを、次のパラレルデータの前記所定の順番において先になる位置にシフトして、前記第２のテスト用パラレルデータ列を生成するパラレルビットシフト回路を含むことにより、前記共通のテスト用パラレルデータ列の同一のビットに対応するビットのパラレルデータ内での位置が相互にシフトした前記第１のテスト用パラレルデータ列と前記第２のテスト用パラレル

データ列とを生成し、
前記検出回路が、同一のタイミングで入力された前記第１のシリアルデータのビットと前記第２のシリアルデータのビットとを比較する比較回路と、前記テスト用パラレルデータ生成回路から供給されるときのシフトに応じて前記第１のシリアルデータと前記第２のシリアルデータとの少なくとも一方のビットをシフトして、前記共通のテスト用パラレルデータ列の同一のビットに対応する前記第１のシリアルデータのビットおよび前記第２のシリアルデータのビットが前記比較回路に入力されるタイミングをそろえるシリアルビットシフト回路とを含むことを特徴とする半導体集積回路。
【請求項２】
前記パラレルビットシフト回路は、前記共通のテスト用パラレルデータ列を構成するそれぞれのパラレルデータのビットを、順番に、前記所定の順番において後になる方向に前記所定のビット幅未満の第２のビット数だけシフトし、あふれたビットを、次のパラレルデータの前記所定の順番において先になる位置にシフトして、前記第１のテスト用パラレルデータ列を生成し、
前記第１及び第２のビット数は互いに異なる請求項１記載の半導体集積回路。
【請求項３】
前記検出回路が、前記比較器が不一致を検出したときに、前記第１のパラレルシリアル変換回路と前記第２のパラレルシリアル変換回路とのいずれかが不良であることを示す検出信号を生成する検出信号生成回路を含むことを特徴とする請求項１及び請求項２のいずれか一つに記載の半導体集積回路。
【請求項４】
請求項３記載の半導体集積回路を用い、前記検出信号の生成の有無により、前記第１および第２のパラレルシリアル変換回路の少なくとも一方の不良を検出することを特徴とする半導体集積回路のテスト方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体集積回路および半導体集積回路のテスト方法に関する。
【背景技術】
【０００２】
半導体集積回路には、互いに同一回路構成のメガマクロを複数の配置したものがある。このようなメガマクロとしては、例えば、パラレル信号をシリアル信号に変換するパラレルシリアル変換器や、アナログ信号をデジタル信号に変換するＡ／Ｄ変換器が知られている（例えば、引用文献１参照。）。
【０００３】
半導体集積回路は、製造後に、回路形成上の不具合や設計上の不具合に起因する回路の異常を検出するためのテストが実施される。
【０００４】
例えば、引用文献１には、同一構成のメガマクロであるＡ／Ｄ変換器を複数搭載した半導体集積回路において、これらのメガマクロに同時にテスト用の信号を入力させるとともに、複数のメガマクロからの出力信号同士を比較し、比較結果を出力する回路を備えた構成が示されている。
【０００５】
ここで引用文献１に示された技術を応用し、複数のパラレルシリアル変換回路を備えた半導体集積回路のテストにおいても、これら複数のパラレルシリアル変換回路に同じテスト用の信号を同時に入力するとともに、出力信号同士を比較し不一致であれば不良と判定する方法が考えられる。しかしこの場合、もととなるパラレルシリアル変換回路の設計の誤りに起因して特定位置のビットの処理に誤りが生じるような場合、半導体集積回路内の複数のパラレルシリアル変換回路の出力信号は誤りも含めて一致する。このため、出力信号を比較しても不良を検知できない。

【０００６】
そこで、複数のパラレルシリアル変換回路のそれぞれを独立にテストすることが考えられる。
【０００７】
図１は、従来技術におけるテストの例を示すブロック図である。図１のパート（Ａ）には、パラレルシリアル変換回路（パラシリ変換回路）７１を有するテスト対象の半導体集積回路７をテストする例が示されている。
【０００８】
半導体集積回路７は、パラレル信号をシリアル信号に変換するパラレルシリアル変換回路７１に加え、テスト用シーケンスを生成するＰＲＢＳ（Ｐｓｕｄｏ　Ｒａｎｄｏｍ　Ｂｉｔ　Ｓｅｑｕｅｎｃｅ：疑似ランダムビットシーケンス）生成回路７２、および、波形の信号振幅を調整するバッファ回路７３を備えている。図１のパート（Ａ）に示す半導体集積回路７のテスト時には、半導体集積回路７にテスト治具８が接続される。テスト治具８は、信号振幅を調整するバッファ回路８１と、シリアル信号をパラレル信号に変換するシリアルパラレル変換回路（シリパラ変換回路）８２と、ＰＲＢＳチェッカー８３とを備えている。ＰＲＢＳチェッカー８３は、半導体集積回路７におけるＰＲＢＳ生成回路７２が生成するテスト用シーケンスと同じ内容のシーケンスを生成し、シリアルパラレル変換回路８２の出力と比較することができる。
【０００９】
図１のパート（Ａ）に示すテストでは、半導体集積回路７内で、ＰＲＢＳ生成回路７２がパラレル信号であるテスト用シーケンスを生成して、パラレルシリアル変換回路７１に供給する。パラレルシリアル変換回路７１はテスト用シーケンスをシリアル信号に変換し、シリアル信号を、バッファ回路７３を経由して出力する。テスト治具８では、シリアルパラレル変換回路８２がバッファ回路８１を経由して供給されてきたシリアル信号をパラレル信号に変換する。ＰＲＢＳチェッカー８３は、半導体集積回路７におけるＰＲＢＳ生成回路７２が生成するテスト用シーケンスと同じ内容のシーケンスを生成し、シリアルパラレル変換回路８２の出力と比較する。比較の結果、両者が一致すればパラレルシリアル変換回路７１が良品であると判定され、不一致の場合には不良品であると判定される。
【００１０】
図１のパート（Ｂ）に示す半導体集積回路９は、パラレルシリアル変換回路９１、ＰＲＢＳ生成回路９２、およびバッファ回路９３に加えて、ＰＲＢＳチェッカー９４も内蔵している。ＰＲＢＳチェッカー９４は、図示は省略するが、図１のパート（Ａ）に示すシリアルパラレル変換回路８２とＰＲＢＳチェッカー８３との組み合わせに相当する。
【先行技術文献】
【特許文献】
【００１１】
【特許文献１】特開平８－１２２４１３号公報
【発明の概要】
【発明が解決しようとする課題】
【００１２】
しかしながら、図１のパート（Ａ）に示すテストでは、シリアル信号を半導体集積回路７から外部に出力し、ボード上の配線を介してテスト治具８に入力する必要がある。このため、シリアル信号が高速化した場合の対応が困難である。一方、図１のパート（Ｂ）に示す半導体集積回路９では、シリアル信号を半導体集積回路の外部に出力する必要が無く、高速化への対応は可能である。しかし、実動作においては不要なＰＲＢＳチェッカー９４を内蔵する必要があるため、半導体集積回路に備えられるパラレルシリアル変換回路の数（チャネル数）が増加した場合、テストに回路を含めた回路全体の規模が著しく増大する。
【００１３】
これに対し、複数のパラレルシリアル変換回路からの信号を順次切り換えて、１つのＰ

ＲＢＳチェッカーに供給することで、複数のパラレルシリアル変換回路を１つずつ順にテストすることも考えられる。しかしこの場合、切換え数が増加すると、切換えの回路による遅延のずれに起因してシリアル信号のタイミングずれが生じるため、タイミングを含めたテストが困難になる。

【００１４】

本発明は上記問題点を解決し、小さな回路規模で複数のパラレルシリアル変換回路を確実にテストすることが可能な半導体集積回路および半導体集積回路のテスト方法を提供することを目的とするものである。

【課題を解決するための手段】

【００１５】

上記目的を達成する本発明の半導体集積回路は、

所定のビット幅のパラレルデータからなるパラレルデータ列を受信し、このパラレルデータ列を構成するそれぞれのパラレルデータのビットを所定の順番に配列したシリアルデータに変換する、第１および第２のパラレルシリアル変換回路と、

上記所定のビット幅の共通のテスト用パラレルデータ列に基づいて、上記第１のパラレルシリアル変換回路に供給する第１のテスト用パラレルデータ列と、上記第２のパラレルシリアル変換回路に供給する第２のテスト用パラレルデータ列とを生成するテスト用パラレルデータ列生成回路と、

上記第１のパラレルシリアル変換回路が上記第１のテスト用パラレルデータ列を変換した第１のシリアルデータビットと、上記第２のシリアルパラレル変換回路が上記第２のテスト用パラレルデータ列を変換した第２のシリアルデータのビットとの一致／不一致を検出する検出回路とを備えた半導体集積回路であって、

上記テスト用パラレルデータ列生成回路が、上記共通のテスト用パラレルデータ列を構成するそれぞれのパラレルデータのビットを、順番に、上記所定の順番において後になる方向に上記所定ビット幅未満の第１のビット数だけシフトし、あふれたビットを、次のパラレルデータの上記所定の順番において先になる位置にシフトして、上記第２のテスト用パラレルデータ列を生成するパラレルビットシフト回路を含むことにより、上記共通のテスト用パラレルデータ列の同一のビットに対応するビットのパラレルデータ内での位置が相互にシフトした上記第１のテスト用パラレルデータ列と上記第２のテスト用パラレルデータ列とを生成し、

上記検出回路が、同一のタイミングで入力された上記第１のシリアルデータのビットと上記第２のシリアルデータのビットとを比較する比較回路と、上記テスト用パラレルデータ生成回路から供給されるときのシフトに応じて上記第１のシリアルデータと上記第２のシリアルデータとの少なくとも一方のビットをシフトして、上記共通のテスト用パラレルデータ列の同一のビットに対応する上記第１のシリアルデータのビットおよび上記第２のシリアルデータのビットが上記比較回路に入力されるタイミングをそろえるシリアルビットシフト回路とを含むことを特徴とする。

【００１６】

本発明の半導体集積回路では、互いに第１のビット数だけシフトした関係にある第１のテスト用パラレルデータ列および第２のテスト用パラレルデータ列を、第１および第２のパラレルシリアル変換回路にそれぞれ供給し、それぞれシリアル変換されたシリアルデータを第１のビット数に応じた分だけシリアルビットシフト回路でシフトしてから比較する。この結果、パラレルデータ列におけるシフトが比較時に戻るので、２つのシリアルデータが一致すれば良品、不一致であれば不良品と判定される。また、例えば設計時の欠陥で、第１および第２のパラレルシリアル変換回路の両方において同じ位置のビットの処理に誤りが生じるような場合であっても、シフトが戻され比較される２つのシリアルデータにおける誤り位置がずれているため、不良が検出される。またさらに、テストのためのＰＲＢＳチェッカーを内蔵する必要が無い。したがって、１つのテスト用パラレルデータ列生成回路に、パラレルシフト回路とシリアルシフト回路を加えるのみで、第１および第２のパラレルシリアル変換回路の両方がテストできる。よって、小さな回路規模で複数のパラ

レルシリアル変換回路が確実にテストできる。
【００１７】
ここで、上記本発明の半導体集積回路において、上記検出回路が、上記比較器が不一致を検出したときに、上記第１のパラレルシリアル変換回路と上記第２のパラレルシリアル変換回路とのいずれかが不良であることを示す検出信号を生成する検出信号生成回路を含むことが好ましい。
【００１８】
検出信号生成回路を含むことによって、半導体集積回路から出力される検出信号を検査するだけで、第１のパラレルシリアル変換回路と上記第２のパラレルシリアル変換回路のいずれかの不良が判別できる。
【００１９】
また、上記目的を達成する本発明の半導体集積回路のテスト方法は、上記本発明の半導体集積回路を用い、上記検出信号の生成の有無により、上記第１および第２のパラレルシリアル変換回路の少なくとも一方の不良を検出することを特徴とする。
【００２０】
本発明のテスト方法では、小さな回路規模で複数のパラレルシリアル変換回路が確実にテストできる。
【発明の効果】
【００２１】
以上説明したように、本発明によれば、小さな回路規模で複数のパラレルシリアル変換回路を確実にテストすることが可能な半導体集積回路および半導体集積回路のテスト方法が実現する。
【図面の簡単な説明】
【００２２】
【図１】従来技術におけるテストの例を示すブロック図である。
【図２】本発明の一実施形態である半導体集積回路の構成を示すブロック図である。
【図３】図２に示すパラレルビットシフト回路の構成を示す回路図である。
【図４】第１および第２のパラシリ変換回路の入出力データの配列を説明する図である。
【図５】第１および第２のパラシリ変換回路の出力データと、検出回路のシリアルビットシフトレジスタを経た後のデータを示すタイミングチャートである。
【図６】第１および第２のパラシリ変換回路の入出力データの配列を説明する図である。
【図７】図６に示した異常がある場合における第１および第２のパラシリ変換回路の出力データと、検出回路のシリアルビットシフトレジスタを経た後のデータを示すタイミングチャートである。
【図８】２ビットシフト回路におけるシフトおよびシリアルビットシフトレジスタにおけるシフトの双方が実施されない参考例の、第１および第２のパラシリ変換回路の入出力データの配列を説明する図である。
【発明を実施するための形態】
【００２３】
以下図面を参照して本発明の実施の形態を説明する。
【００２４】
［半導体集積回路］
図２は、本発明の一実施形態である半導体集積回路の構成を示すブロック図である。
【００２５】
図２に示す半導体集積回路１は、第１のパラレルシリアル変換回路１１、第２のパラレルシリアル変換回路１２、テスト用パラレルデータ列生成回路１３、検出回路１４、第１の出力バッファ１５、および、第２の出力バッファ１６を備えている。以降、「パラレルシリアル変換回路」を、略して「パラシリ変換回路」とも称する。
【００２６】
第１のパラシリ変換回路１１および第２のパラシリ変換回路１２は、８ビットのパラレ

ルデータからなるパラレルデータ列を受信してシリアルデータに変換する。第１および第２のパラシリ変換回路１１，１２はシフトレジスタを有し、パラレルデータ列を構成するそれぞれのパラレルデータの８つのビットをＬＳＢ（Ｌｅａｓｔ　Ｓｉｇｎｉｆｉｃａｎｔ　Ｂｉｔ）先頭の順番（ＬＳＢ　ｆｉｒｓｔ）で配列したシリアルデータに変換する。第１および第２のパラシリ変換回路１１，１２における８ビットのパラレルデータの入力は図示しないパラレルクロックに同期し、シリアルデータの１ビットごとの出力は図示しないシリアルクロックに同期する。テスト以外の通常動作では、第１および第２のパラシリ変換回路１１，１２には、半導体集積回路１の外部から供給されてくる２系統のパラレル入力データＩＮＤＡＴＡ１，２が入力される。ただし、本発明の半導体集積回路はこれに限られず、例えば、データの演算処理等を行う２つのデータ処理回路を内蔵し、上記の第１および第２のパラシリ変換回路は、２つのデータ処理回路から出力されるパラレルデータをシリアルデータに変換するものであってもよい。

【００２７】

第１および第２のパラシリ変換回路１１，１２から出力されたシリアルデータは、第１および第２の出力バッファ１５，１６をそれぞれ経由して半導体集積回路１の外部に出力される。

【００２８】

テスト用パラレルデータ列生成回路１３および検出回路１４は、第１および第２のパラシリ変換回路１１，１２をテストするために用いられる回路である。

【００２９】

［テスト用パラレルデータ列生成回路］

テスト用パラレルデータ列生成回路１３は、第１のパラシリ変換回路１１に供給する第１のテスト用パラレルデータ列ＴＥＳＴ１と、第２のパラシリ変換回路１２に供給する第２のテスト用パラレルデータ列ＴＥＳＴ２とを生成する。第１のテスト用パラレルデータ列ＴＥＳＴ１および第２のテスト用パラレルデータ列ＴＥＳＴ２は、共通のテスト用パラレルデータＴＥＳＴ０に基づいて生成される。

【００３０】

テスト用パラレルデータ列生成回路１３は、ＰＲＢＳ生成回路１３１、パラレルビットシフト回路１３２、および、テスト切換えスイッチ１３３，１３４を備えている。

【００３１】

テスト切換えスイッチ１３３，１３４は、第１および第２のパラシリ変換回路１１，１２をテストする場合に、半導体集積回路１外部からのパラレル入力データＩＮＤＡＴＡ１，２に代えて、第１および第２のテスト用パラレルデータ列ＴＥＳＴ１，ＴＥＳＴ２を供給するスイッチである。切換えは、例えば、外部から供給される図示しない制御信号に応じて実行される。これ以降は、テストの場合について説明する。

【００３２】

ＰＲＢＳ生成回路１３１は、共通のテスト用パラレルデータＴＥＳＴ０を生成する。共通のテスト用パラレルデータ列ＴＥＳＴ０は８ビット幅を有している。すなわち、ＰＲＢＳ生成回路１３１は、共通のテスト用パラレルデータ列ＴＥＳＴ０として、８ビットの疑似乱数をパラレルデータ形式で順次出力する。

【００３３】

パラレルビットシフト回路１３２は、共通のテスト用パラレルデータ列ＴＥＳＴ０のデータをラッチするラッチ部１３２１と、ラッチされた共通のテスト用パラレルデータ列ＴＥＳＴ０のデータを２ビット分だけシフトする２ビットシフト回路１３２２とを有する。

【００３４】

ここで、図４を参照してパラレルデータ列の操作について説明する。図４は、第１および第２のパラシリ変換回路の入出力データの配列を説明する図である。ただし、図４全体の説明は後に譲る。

【００３５】

図４には、第１のテスト用パラレルデータ列ＴＥＳＴ１と、第２のテスト用パラレルデータ列ＴＥＳＴ２とが示されている。第１のテスト用パラレルデータ列ＴＥＳＴ１には、３つの８ビットパラレルデータｗ１，ｗ２、ｗ３が含まれている。各パラレルデータｗ１，ｗ２、ｗ３の枠内に付された番号は、各ビットを識別するための番号である。例えば、パラレルデータｗ１，ｗ２，ｗ３のうち、１番目に第１のパラシリ変換回路１１に入力される８ビットのパラレルデータｗ１は、ＬＳＢである「１０」からＭＳＢである「１７」まで８ビットのデータで構成されている。その次に入力されるパラレルデータｗ２は、ＬＳＢである「２０」からＭＳＢである「２７」まで８ビットのデータで構成されている。その次に入力されるパラレルデータｗ３についても同様である。

【００３６】

この一方、第２のテスト用パラレルデータ列ＴＥＳＴ２では、パラレルビットシフト回路１３２によって、第１のテスト用パラレルデータ列ＴＥＳＴ１に対し、ＭＳＢに向かって２ビットだけシフトされる。また、シフトによってあふれた２ビットのデータは、次のパラレルデータのＬＳＢ側に配置される。

【００３７】

図３は、図２に示すパラレルビットシフト回路の構成を示す回路図である。図３には、パラレルビットシフト回路１３２のラッチ部１３２１と２ビットシフト回路１３２２とが示されている。

【００３８】

図３における信号Ｏ［０］～Ｏ［７］は、共通のテスト用パラレルデータ列ＴＥＳＴ０（図２参照）を構成する８ビットのパラレルデータの各ビットを示している。ラッチ部１３２１は、パラレルクロックでビットの値を保持する８つのフリップフロップＦ１を備えている。

【００３９】

図３における信号ａ［０］～ａ［７］は、第１のテスト用パラレルデータ列ＴＥＳＴ１（図２参照）を構成する８ビットのパラレルデータの各ビットを示している。パラレルビットシフト回路１３２は、第１のテスト用パラレルデータ列ＴＥＳＴ１として、共通のテスト用パラレルデータ列ＴＥＳＴ０の各ビットの値をシフトせずそのまま出力している。

【００４０】

図３における信号ｂ［０］～ｂ［７］は、第２のテスト用パラレルデータ列ＴＥＳＴ２（図２参照）を構成する８ビットのパラレルデータの各ビットを示している。２ビットシフト回路１３２２は、ラッチ部１３２１でラッチされた、共通のテスト用パラレルデータ列ＴＥＳＴ０を構成するパラレルデータのビットを、ＭＳＢ（Ｍｏｓｔ　Ｓｉｇｎｉｆｉｃａｎｔ　Ｂｉｔ）の方向に２ビット分だけシフトすなわち２つ桁上げし、あふれた２ビットの値を、フリップフロップＦ２を介してパラレルデータのＬＳＢ側に出力することで、第２のテスト用パラレルデータ列ＴＥＳＴ２（信号ｂ［０］～ｂ［７］）を生成している。ここで、ＭＳＢは、第１および第２のパラシリ変換回路１１，１２においてシリアルデータに変換された場合、後に出力されるビットであり、ＬＳＢは、第１および第２のパラシリ変換回路１１，１２においてシリアルデータに変換された場合、先に出力されるビットを意味する。つまり、第２のテスト用パラレルデータ列ＴＥＳＴ２（信号ｂ［０］～ｂ［７］）は、第１のテスト用パラレルデータ列ＴＥＳＴ１（信号ａ［０］～ａ［７］）のＬＳＢ側における６ビットが２ビット分だけＭＳＢ側にシフトし、ＭＳＢ側における２ビットは、次のパラレルデータのＬＳＢ側２ビットとされる。このようにして、図２に示すパラレルビットシフト回路１３２により、各ビットの位置が相互にシフトした、第１のテスト用パラレルデータ列ＴＥＳＴ１と第２のテスト用パラレルデータ列ＴＥＳＴ２とが生成される。

【００４１】

［検出回路］

検出回路１４は、第１のパラレルシリアル変換回路１１が第１のテスト用パラレルデータ列ＴＥＳＴ１を変換した第１のシリアルデータビットＳＥＲ１と、第２のシリアルパラ

レル変換回路１２が第２のテスト用パラレルデータ列ＴＥＳＴ２を変換した第２のシリアルデータビットＳＥＲ２との一致／不一致を検出する。

【００４２】

検出回路１４は、シリアルビットシフトレジスタ１４１、比較回路１４２、および検出信号生成回路１４３を備えている。

【００４３】

シリアルビットシフトレジスタ１４１は、直列に接続されシリアルクロックで動作する図示しない２つのフリップフロップを有しており、テスト用パラレルデータ列生成回路１３におけるパラレルビットシフト回路１３２の２ビットのシフトに応じて、第１のシリアルデータビットＳＥＲ１を２ビット分シフトする。シリアルビットシフトレジスタ１４１のシフトによって、共通のテスト用パラレルデータ列ＴＥＳＴ０における同一のビットに対応する、第１のシリアルデータＳＥＲ１のビットおよび第２のシリアルデータＳＥＲ２のビットが比較回路１４２に入力されるタイミングをそろえられる。

【００４４】

比較回路１４２は、同一のタイミングで入力された第１のシリアルデータＳＥＲ１のビットと第２のシリアルデータＳＥＲ２のビットとを比較する。

【００４５】

検出信号生成回路１４３は、比較回路１４２が不一致を検出したときに、第１のパラレルシリアル変換回路１１と第２のパラレルシリアル変換回路１２とのいずれかが不良であることを示す検出信号を生成する。

【００４６】

ここでシリアルビットシフトレジスタ１４１が、本発明にいうシリアルビットシフト回路の一例に相当する。

【００４７】

［テストの動作］

続いて、図２および図４を参照しながら半導体集積回路１におけるテストの動作を説明する。

【００４８】

図４に示す第１のテスト用パラレルデータ列ＴＥＳＴ１は第１のパラシリ変換回路１１の入力であり、第２のテスト用パラレルデータ列ＴＥＳＴ２は第２のパラシリ変換回路１２の入力である。第１のパラシリ変換回路１１には、第１のテスト用パラレルデータ列ＴＥＳＴ１が有する３つの８ビットパラレルデータｗ１，ｗ２、ｗ３が順に供給される。第１のパラシリ変換回路１１にまず１番目のパラレルデータｗ１が入力されると、第１のパラシリ変換回路１１は、ＬＳＢから順番にビットの値をシリアルデータとして出力する。図４には、第１のパラシリ変換回路１１の出力として、第１のシリアルデータビットＳＥＲ１における始めの８ビット分のデータがビット識別の番号とともに示されている。データは時間の経過に伴い、パラレルデータｗ１を構成する「１０」から「１７」までの８ビットのデータの値を１ビットずつ順に出力する。

【００４９】

この一方、第２のパラシリ変換回路１２には、第２のテスト用パラレルデータ列ＴＥＳＴ２が有する３つの８ビットパラレルデータｗ１，ｗ２、ｗ３が順に供給される。第２のテスト用パラレルデータ列ＴＥＳＴ２では、データが、パラレルビットシフト回路１３２（図２参照）によって、第１のテスト用パラレルデータ列ＴＥＳＴ１に対し、ＭＳＢに向かって２ビットだけシフトされている。またシフトによってあふれた２ビットのデータは、次のパラレルデータのＬＳＢ側に配置されている。第２のパラシリ変換回路１２に１番目のパラレルデータｗ１が入力されると、第２のパラシリ変換回路１２は、ＬＳＢから順番にビットの値をシリアルデータとして出力する。図４には、第２のパラシリ変換回路１２の出力として、第２のシリアルデータビットＳＥＲ２における始めの８ビット分のデータが示されている。第２のシリアルデータビットＳＥＲ２は、第１のシリアルデータビットＳＥＲ１に対し、シリアルクロックで２クロック分遅れた状態となる。すなわち、始め

にパラレルデータｗ１に含まれていた「１０」から「１５」までの値が、１ビットずつ順に出力する。この後は、次に入力されるパラレルデータｗ２の各ビットの値「１６」，「１７，」「２０」～「２５」と続くこととなる。

【００５０】

図５は、第１および第２のパラシリ変換回路の出力データと、検出回路のシリアルビットシフトレジスタを経た後のデータを示すタイミングチャートである。図５の上部には、第１および第２のパラシリ変換回路の出力データＳＥＲ１，ＳＥＲ２が時間軸に沿って並んで示されている。図４を参照して説明したように、第２のシリアルデータビットＳＥＲ２は、第１のシリアルデータビットＳＥＲ１に対し、２段分すなわちシリアルクロックにおける２クロック分遅れた値を有する。図５の下部には、第１および第２のパラシリ変換回路の出力データＳＥＲ１，ＳＥＲ２が検出回路のシリアルビットシフトレジスタ１４１を経て比較回路１４２に入力される状態が示されている。シリアルビットシフトレジスタ１４１は第１のシリアルデータビットＳＥＲ１を２ビット分シフトする。このシフトによって、第１および第２のパラシリ変換回路の出力データＳＥＲ１，ＳＥＲ２の中の、共通のテスト用パラレルデータＴＥＳＴ０のビットに対応する各ビットが比較回路１４２に入力されるタイミングが揃う。

【００５１】

ここで、第１および第２のパラシリ変換回路に異常がなければ、比較回路１４２に入力される２つのシリアルデータの各ビットの値は、図５の下部に示すように、同時刻で同一内容となる。比較回路１４２は、単純に２つの入力信号の一致不一致をビット毎すなわちシリアルクロックごとに比較する。したがって、第１および第２のパラシリ変換回路の出力データを検査する部分には、ＰＲＢＳチェッカーが不要である。

【００５２】

［不良の検出］

続いて、第１および第２のパラシリ変換回路１１，１２に異常がある場合の動作を説明する。

【００５３】

図６は、第１および第２のパラシリ変換回路の入出力データの配列を説明する図である。図６には、図４と同様に、第１のテスト用パラレルデータ列ＴＥＳＴ１と第２のテスト用パラレルデータ列ＴＥＳＴ２が示されている。ここで、例えば、第１および第２のパラシリ変換回路１１，１２の双方に同じ種類の異常があると仮定する。図６に示す例では、１および第２のパラシリ変換回路１１，１２の双方とも、８ビットのパラレルデータのうちＬＳＢから６番目のビットにおける変換が失敗するものと仮定する。

【００５４】

この場合、第１および第２のパラシリ変換回路１１，１２の出力である第１および第２のシリアルデータビットＳＲＥ１，ＳＥＲ２では、互いに同じタイミングでデータに異常が現れる。

【００５５】

図７は、図６に示した異常がある場合における第１および第２のパラシリ変換回路の出力データと、検出回路のシリアルビットシフトレジスタを経た後のデータを示すタイミングチャートである。シリアルビットシフトレジスタ１４１は第１のシリアルデータビットＳＥＲ１を２ビット分シフトする。このシフトによって、第１および第２のパラシリ変換回路の出力データＳＥＲ１，ＳＥＲ２の中の、共通のテスト用パラレルデータＴＥＳＴ０のビットに対応する各ビットが比較回路１４２に入力されるタイミングが揃う。そして、このシフトによって、変換が失敗したビットの位置が互いにずれる。図７に示す例では、比較回路１４２に入力される２つのシリアルデータビットでは、始めから４番目、６番目、１１番目、１４番目…で不一致が検出される。この結果、検出信号生成回路１４３では、比較回路１４２が不一致を検出したときに、第１のパラレルシリアル変換回路１１と第２のパラレルシリアル変換回路１２とのいずれかが不良であることを示す検出信号が生成される。したがって、半導体集積回路１の不良が容易に判別できる。

【００５６】
このように、本実施形態の半導体集積回路１によれば、例えば設計時の欠陥で、図７を参照して説明したように、第１および第２のパラレルシリアル変換回路の両方において同じ位置のビットの処理に誤りが生じるような場合であっても、シフトが戻され比較される２つのシリアルデータにおける誤り位置がずれるため、不良が検出される。本実施形態の、テスト用パラレルデータ列生成回路は、第１および第２のパラレルシリアル変換回路で共有される。したがって、１つのテスト用パラレルデータ列生成回路に、パラレルシフト回路とシリアルシフト回路を加えるのみで、第１および第２のパラレルシリアル変換回路の両方がテストできる。よって、小さな回路規模で複数のパラレルシリアル変換回路が確実にテストできる。

【００５７】
図８は、２ビットシフト回路におけるシフトおよびシリアルビットシフトレジスタにおけるシフトの双方が実施されない参考例の、第１および第２のパラシリ変換回路の入出力データの配列を説明する図である。

【００５８】
この参考例でも、図６の場合と同様に、１および第２のパラシリ変換回路の双方とも、８ビットのパラレルデータのうちＬＳＢから６番目のビットの変換が失敗するものと仮定する。この場合、第１および第２のパラシリ変換回路の出力である第１および第２のシリアルデータビットでは、互いに同じタイミングでデータに異常が現れる。すなわち、入力されるテスト用パラレルデータによらず、常に”１”もしくは”０”の値を持つ。第１および第２のシリアルデータビットについて比較を行うと、異常状態が同じになるため、データの不一致が検出されないこととなる。

【００５９】
これに対し、本実施形態の半導体集積回路１によれば、図７を参照して説明したように、第１および第２のパラレルシリアル変換回路の両方において同じ位置のビットの処理に誤りが生じるような場合であっても、シフトが戻され比較される２つのシリアルデータにおける誤り位置がずれるため、不良が確実に検出される。

【００６０】
なお、上述した実施形態には、本発明にいう第１および第２のパラシリ変換回路の例として、ＬＳＢ先頭の順番（ＬＳＢ　ｆｉｒｓｔ）でシリアルデータに変換する第１および第２のパラシリ変換回路１１，１２が示されている。しかし、本発明はこれに限られるものではなく、本発明にいう所定の順番は、例えば、ＭＳＢ先頭であってもよい。

【００６１】
また、上述した実施形態では、第２のパラシリ変換回路１２に供給する第２のテスト用パラレルデータ列ＴＥＳＴ２をシフトするとともに、第１のパラシリ変換回路１１の出力である第１のシリアルデータビットＳＥＲ１をシフトしている。しかし、本発明はこれに限られるものではなく、第１のシリアルデータと第２のシリアルデータとの少なくとも一方のビットをシフトするものであればよい。例えば、第２のパラシリ変換回路に供給する第２のテスト用パラレルデータ列をシフトするとともに、第１のパラシリ変換回路の入力をパラレルクロックの１周期だけ遅らせた上で、第２のパラシリ変換回路の出力をシフトさせて両者の出力タイミングをそろえるものであってもよい。

【００６２】
また、上述した実施形態では、第１および第２のパラシリ変換回路１１，１２の入力の一方のみをシフトさせてパラレルデータ内でのビットをずらした上で、第１および第２のパラシリ変換回路１１，１２の出力の一方のみをシフトさせてタイミングをそろえる例が説明されている。しかし、本発明はこれに限られるものではなく、第１および第２のパラシリ変換回路の入力の両方を異なるビット数シフトするととに、第１および第２のパラシリ変換回路の出力の両方を相応したビット数シフトするものであってもよい。

【００６３】
また、上述した実施形態では、パラレルデータが８ビット幅を有する例が説明されてい

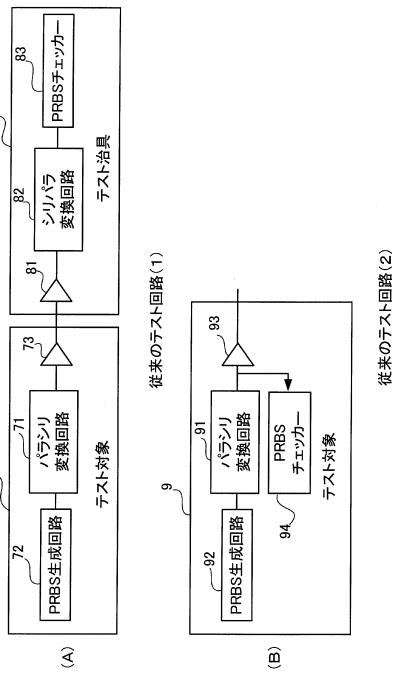
る。しかし、本発明はこれに限られるものではなく、パラレルデータのビット数は８ビット以外でもよい。

【符号の説明】

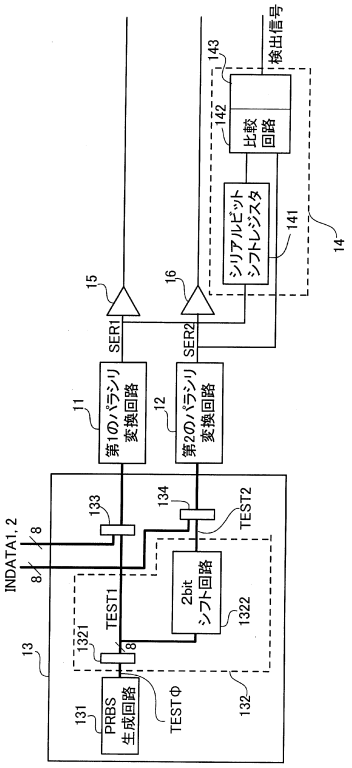
【００６４】

１　　半導体集積回路
１１，１２　　パラレルシリアル変換回路
１４　　検出回路
１４１　　シリアルビットシフトレジスタ
１４２　　比較回路
１４３　　検出信号生成回路
１３１　　ＰＲＢＳ生成回路
１３２　　パラレルビットシフト回路
１３２１　　ラッチ部
１３２２　　２ビットビットシフト回路

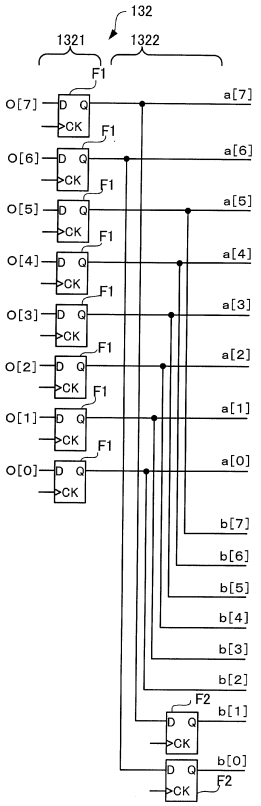
【図１】



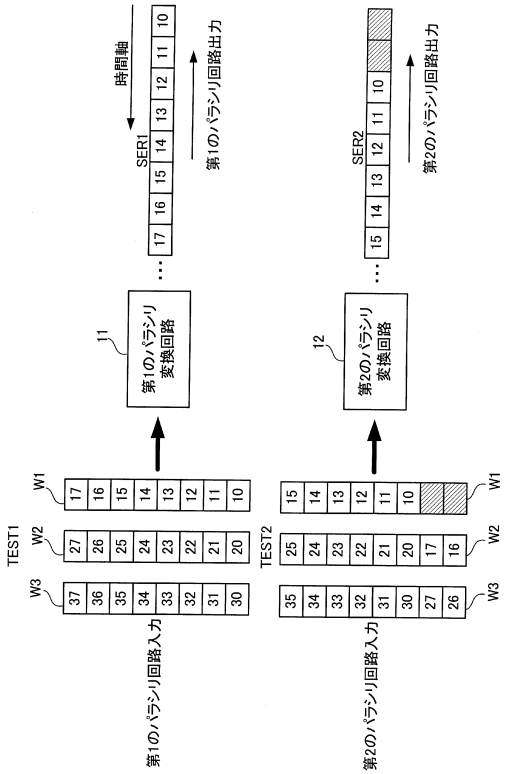
【図２】



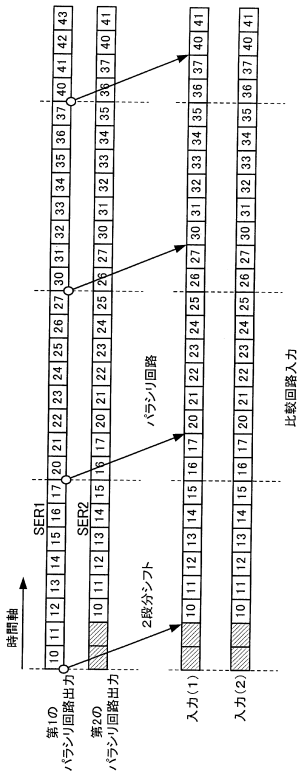
【図３】


132
1321
1322
F1
F2
D
Q
CK
O[7]
O[6]
O[5]
O[4]
O[3]
O[2]
O[1]
O[0]
a[7]
a[6]
a[5]
a[4]
a[3]
a[2]
a[1]
a[0]
b[7]
b[6]
b[5]
b[4]
b[3]
b[2]
b[1]
b[0]

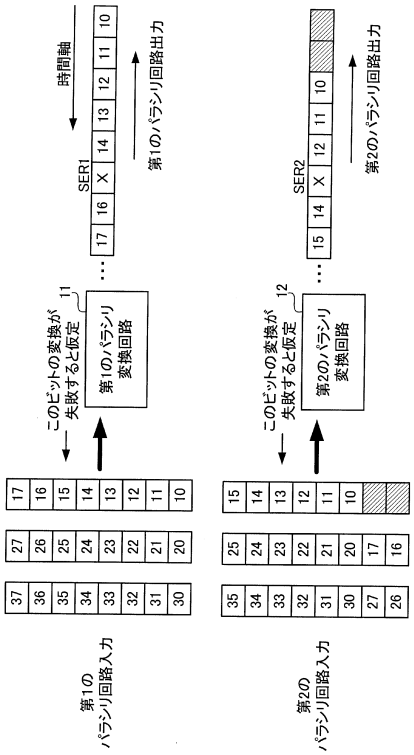
【図４】


時間軸
SER1
SER2
第1のパラシリ回路出力
第2のパラシリ回路出力
11
12
第1のパラシリ変換回路
第2のパラシリ変換回路
TEST1
TEST2
W1
W2
W3
第1のパラシリ回路入力
第2のパラシリ回路入力

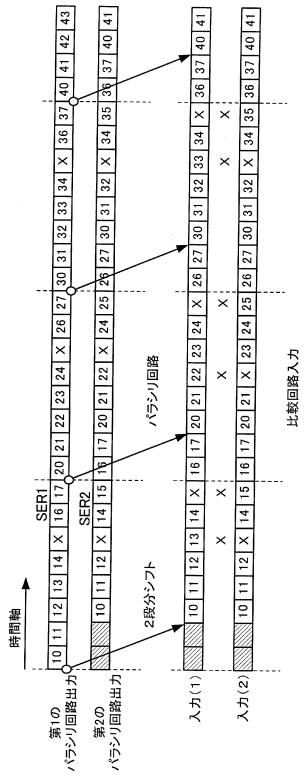
【図５】


時間軸
SER1
SER2
パラシリ回路
2段分シフト
比較回路入力
第1のパラシリ回路出力
第2のパラシリ回路出力
入力(1)
入力(2)

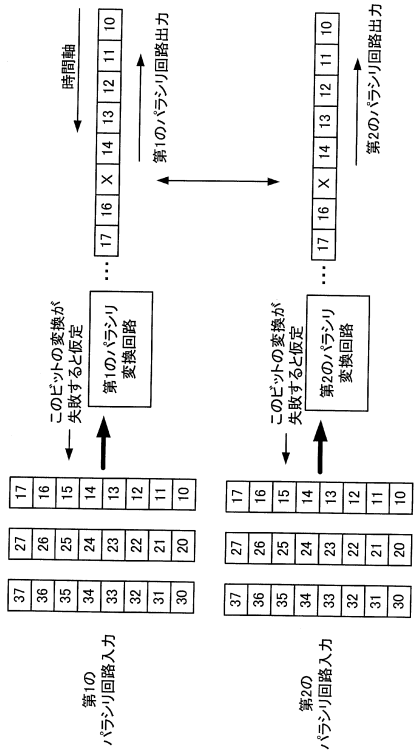
【図６】


時間軸
SER1
SER2
第1のパラシリ回路出力
第2のパラシリ回路出力
このビットの変換が失敗すると仮定
11
12
第1のパラシリ変換回路
第2のパラシリ変換回路
第1のパラシリ回路入力
第2のパラシリ回路入力

【図７】


時間軸
SER1
SER2
2段分シフト
パラシリ回路
比較回路入力
第1のパラシリ回路出力
第2のパラシリ回路出力
入力(1)
入力(2)

【図８】


時間軸
第1のパラシリ回路出力
第2のパラシリ回路出力
このビットの変換が失敗すると仮定
第1のパラシリ変換回路
第2のパラシリ変換回路
第1のパラシリ回路入力
第2のパラシリ回路入力

フロントページの続き

(56)参考文献 特開昭６０－２００６３２（ＪＰ，Ａ）
特開昭６１－０１６３６８（ＪＰ，Ａ）
特開平０６－０５３９３８（ＪＰ，Ａ）
特開２００６－３１３１５９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ０１Ｒ　３１／２８
Ｈ０１Ｌ　２１／８２２
Ｈ０１Ｌ　２７／０４