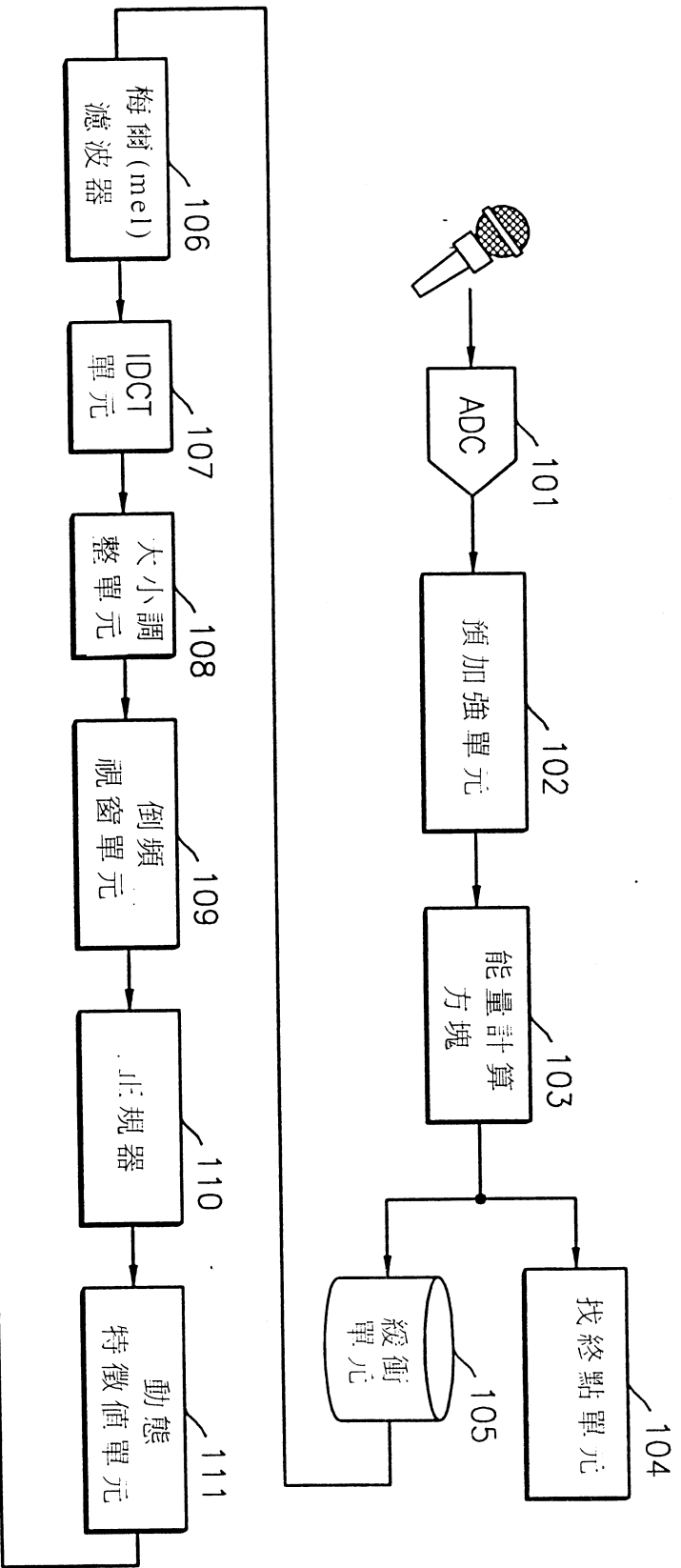
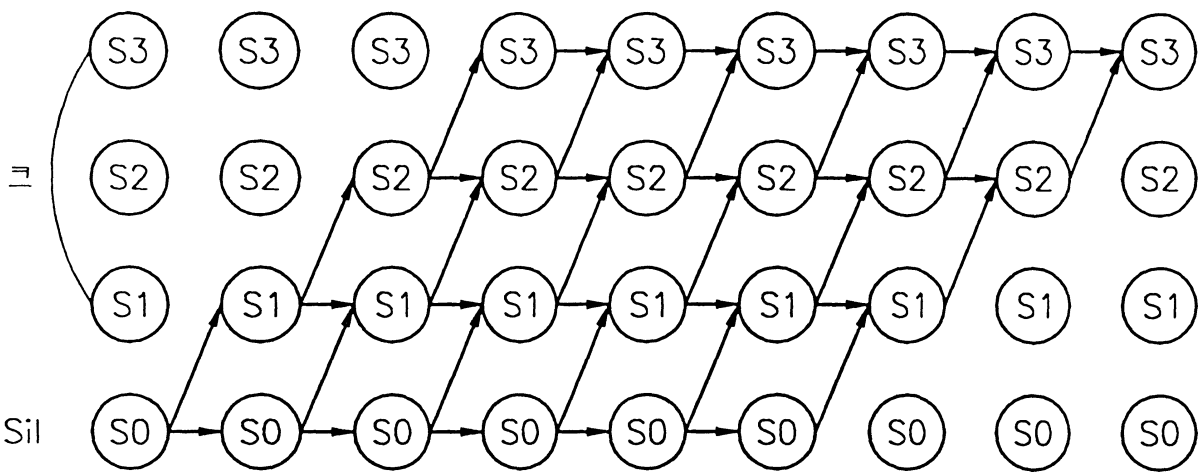
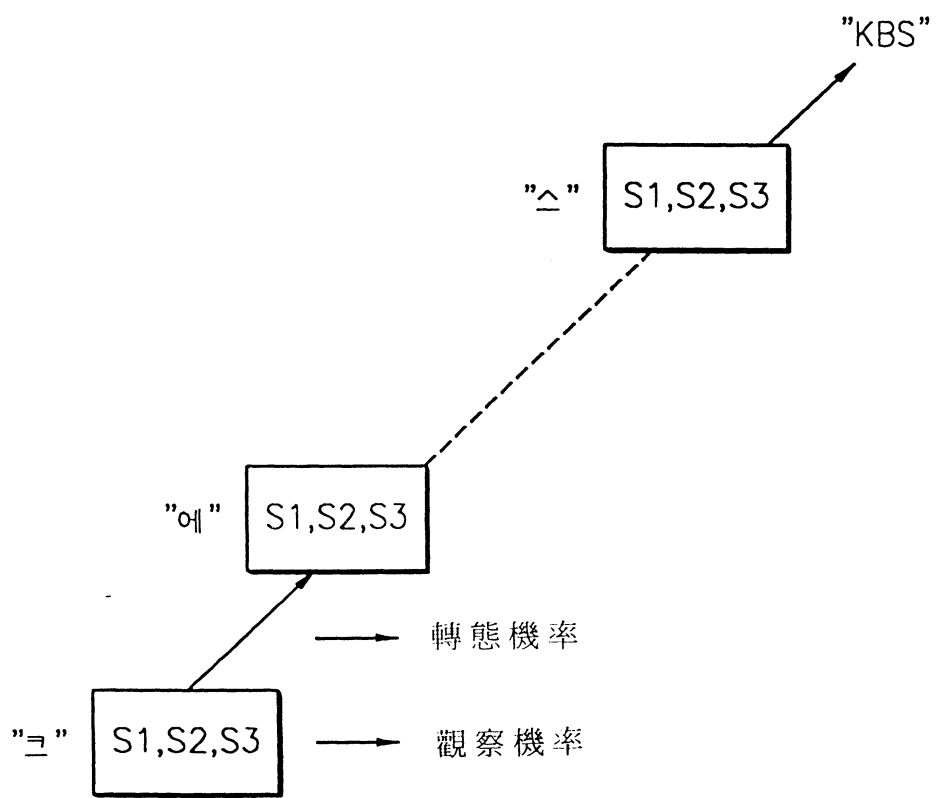




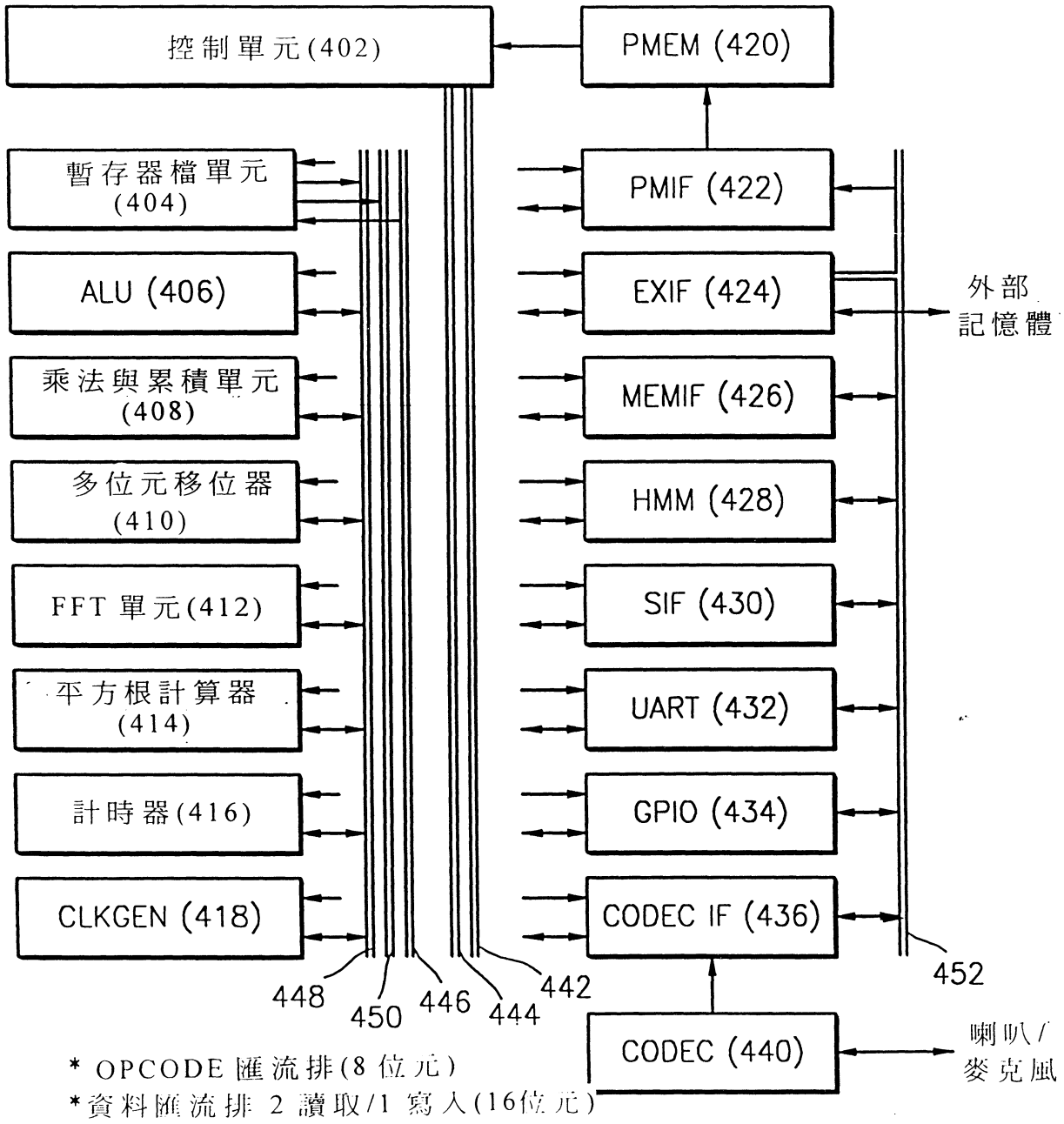
第 1 圖



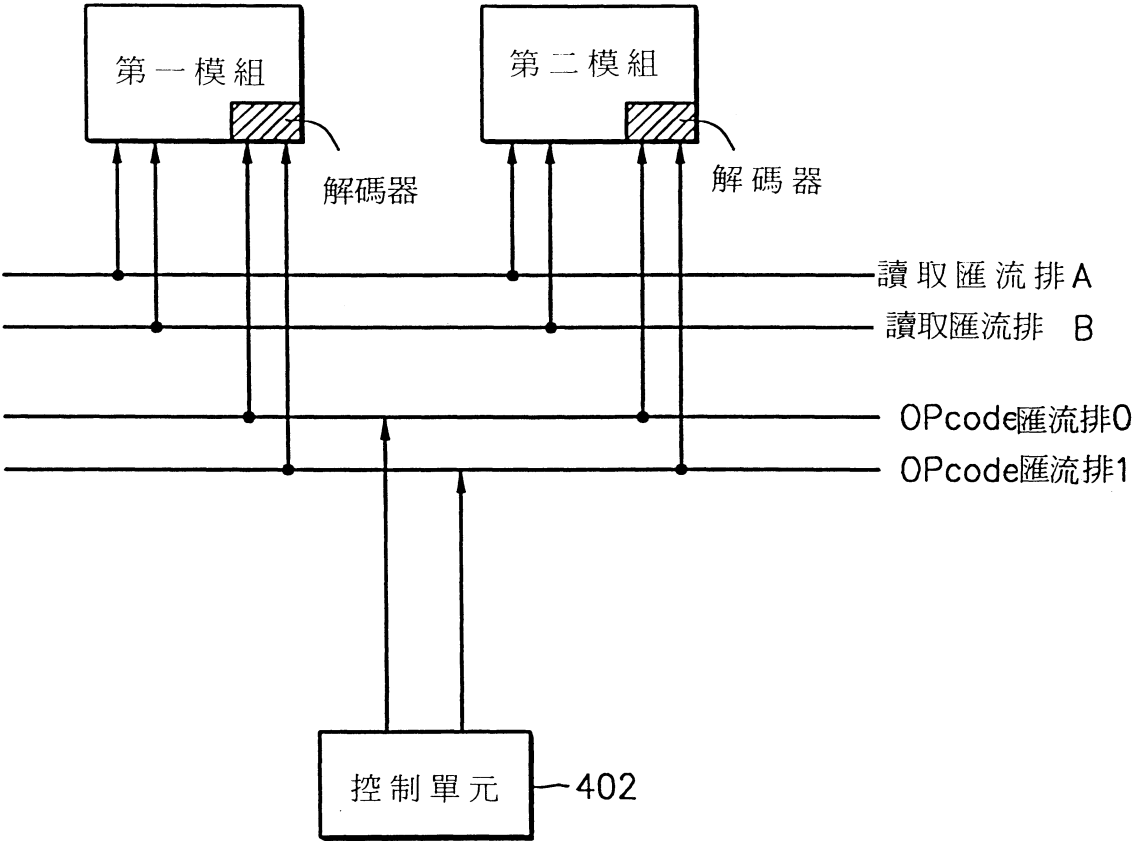
第 2 圖



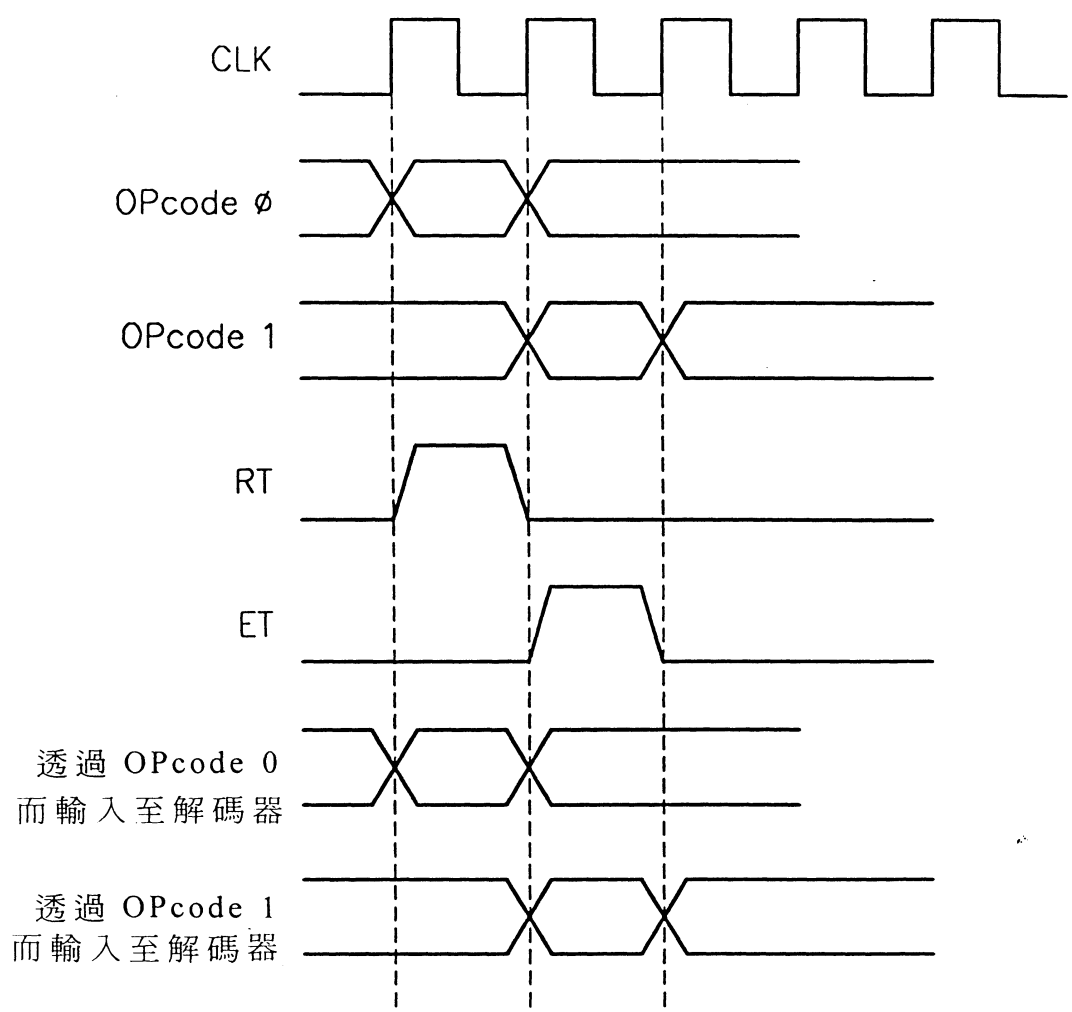
第 3 圖



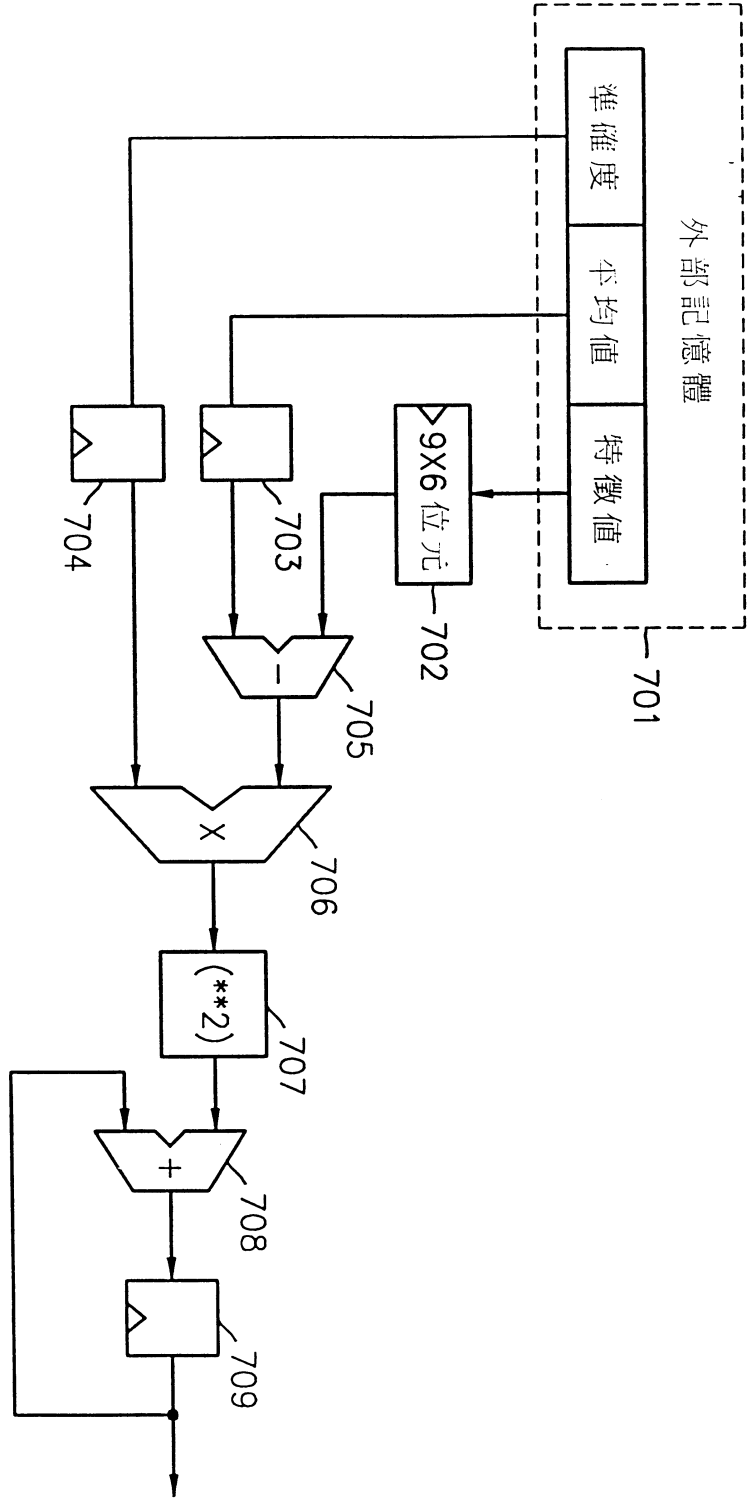
第 4 圖



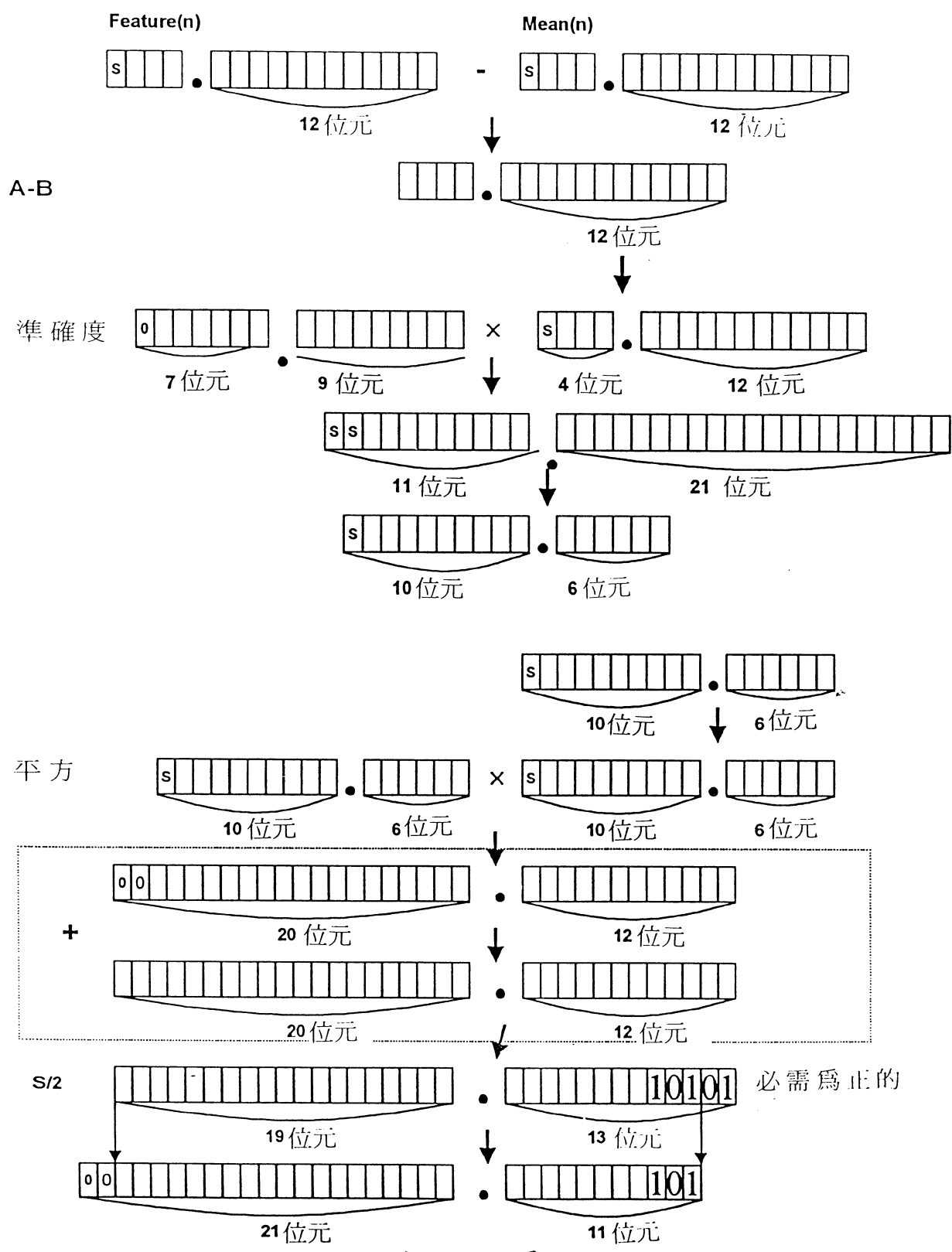
第 5 圖



第 6 圖



第 7 圖



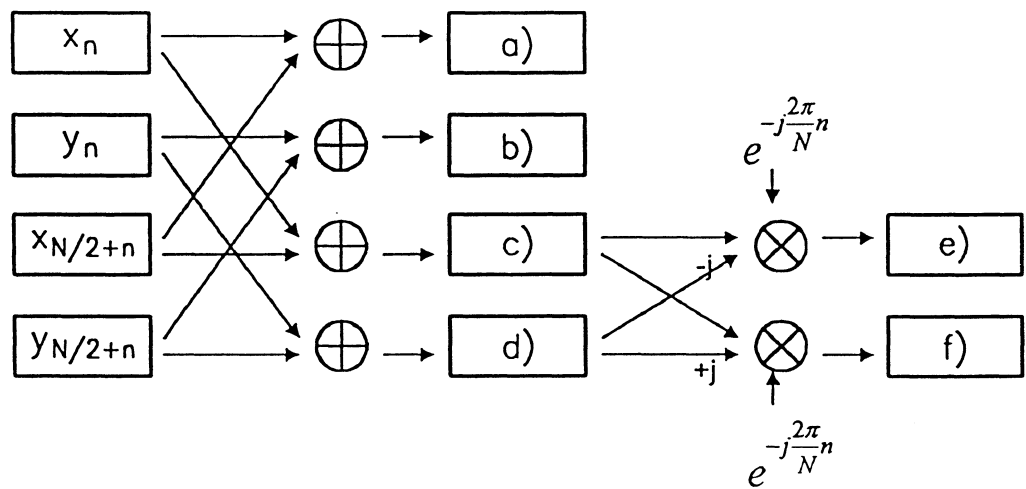
第 8 圖

$$a) = x(n) + x\left(\frac{N}{2} + n\right)$$

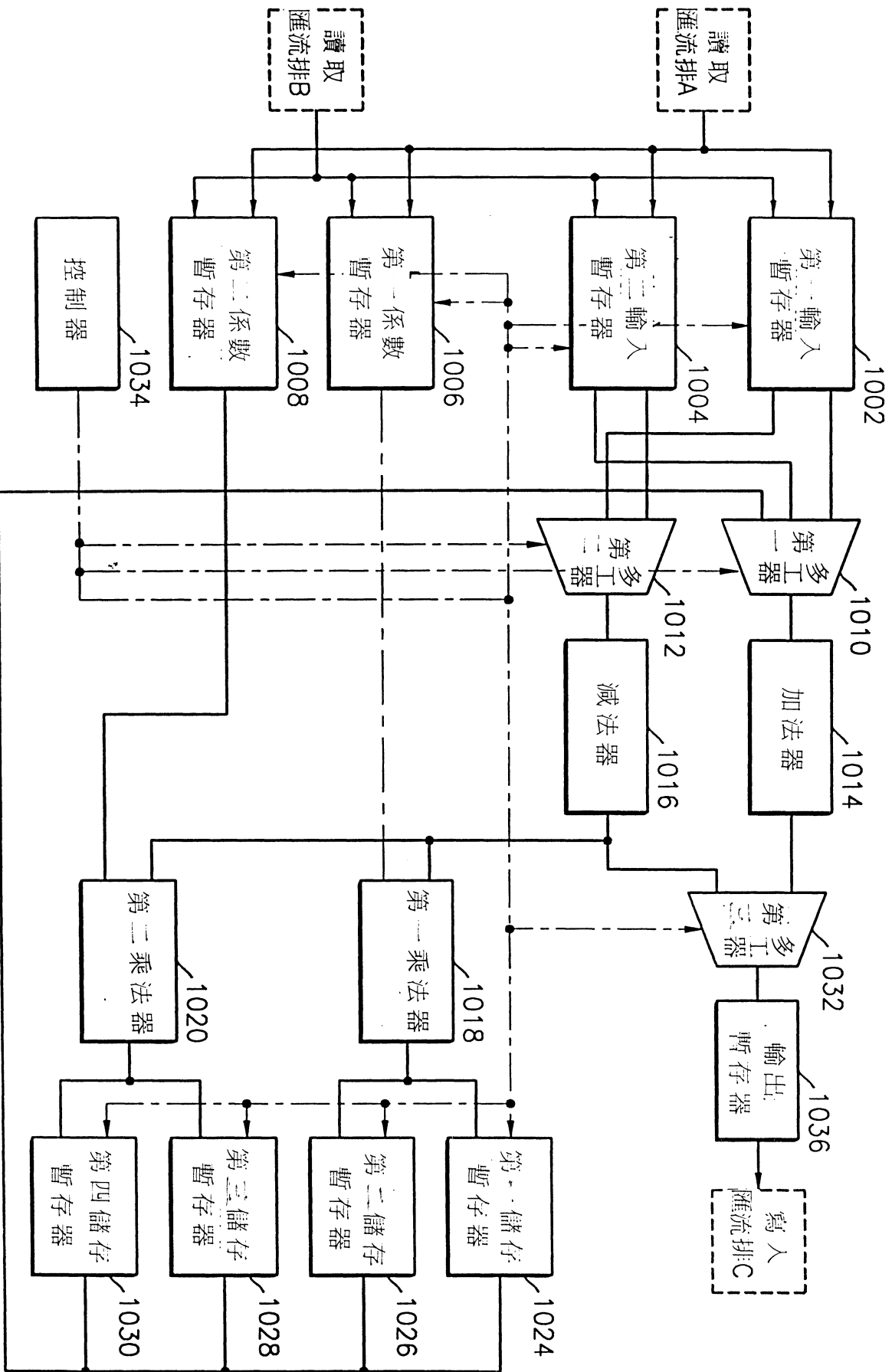
$$b) = y(n) + y\left(\frac{N}{2} + n\right)$$

$$e) = \left\{ x(n) - x\left(\frac{N}{2} + n\right) \right\} \cos \frac{2\pi}{N} n - \left\{ y(n) - y\left(\frac{N}{2} + n\right) \right\} \sin \frac{2\pi}{N} n$$

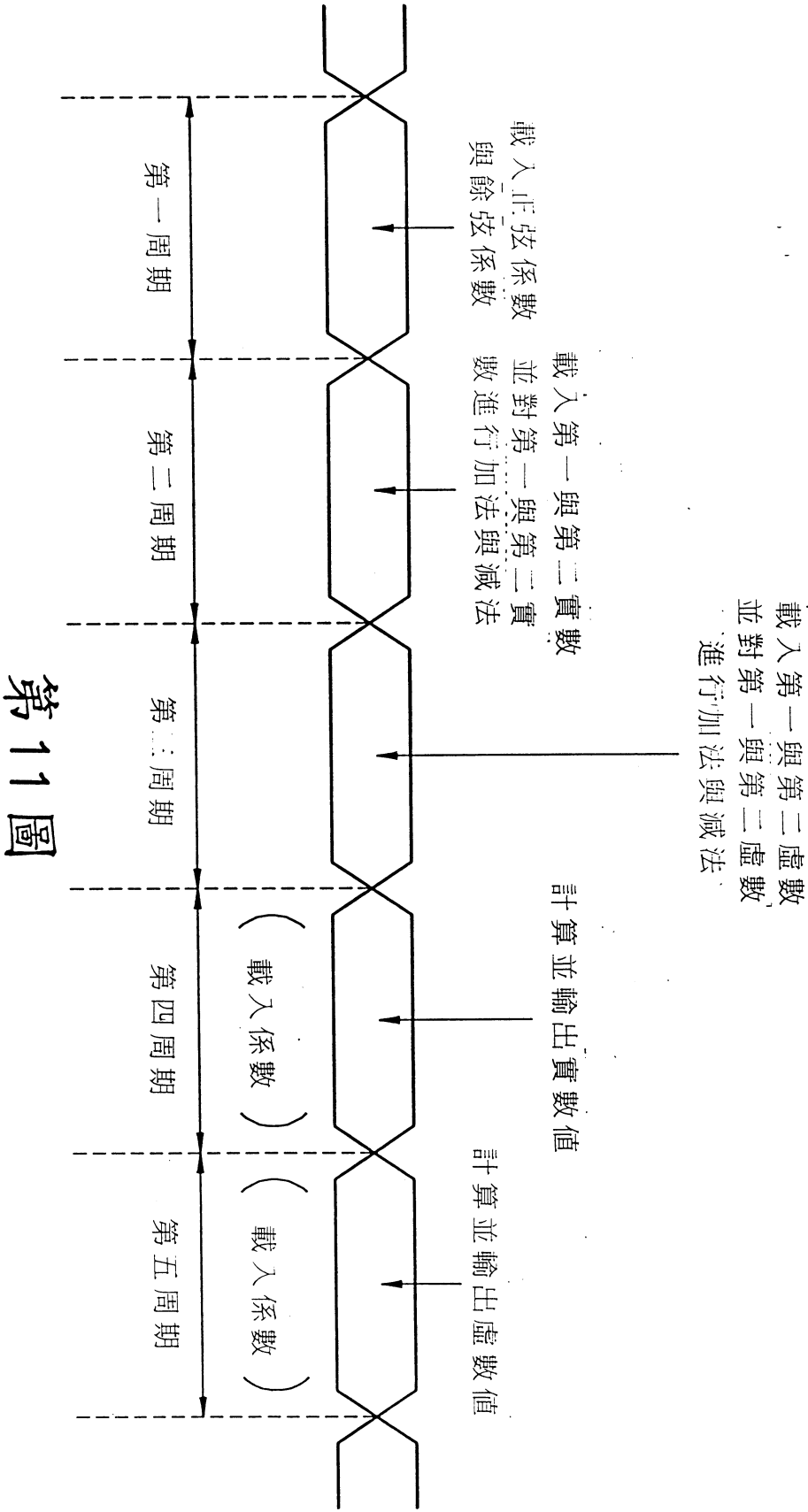
$$f) = \left\{ y(n) - y\left(\frac{N}{2} + n\right) \right\} \cos \frac{2\pi}{N} n + \left\{ x(n) - x\left(\frac{N}{2} + n\right) \right\} \sin \frac{2\pi}{N} n$$



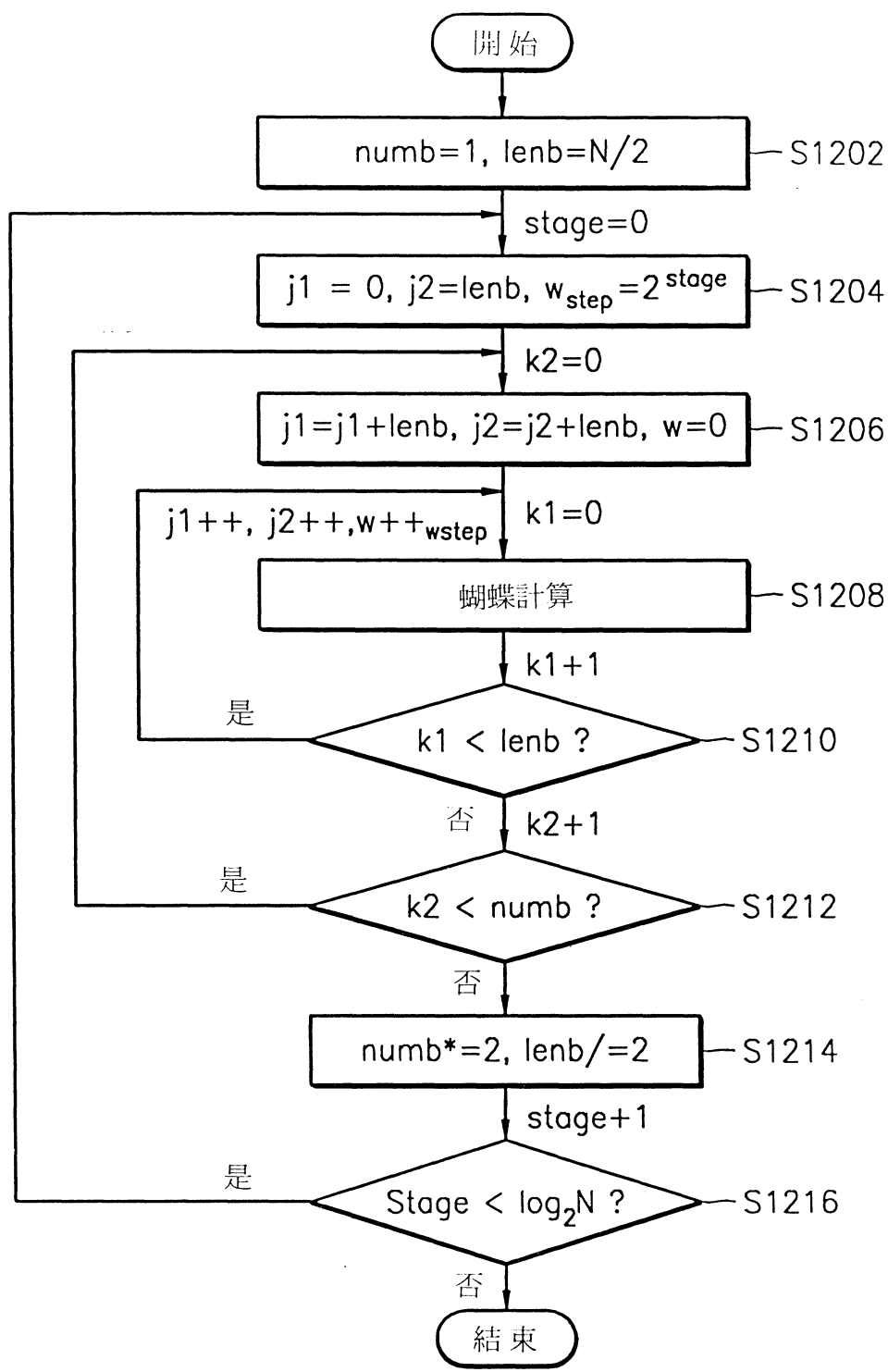
第 9 圖



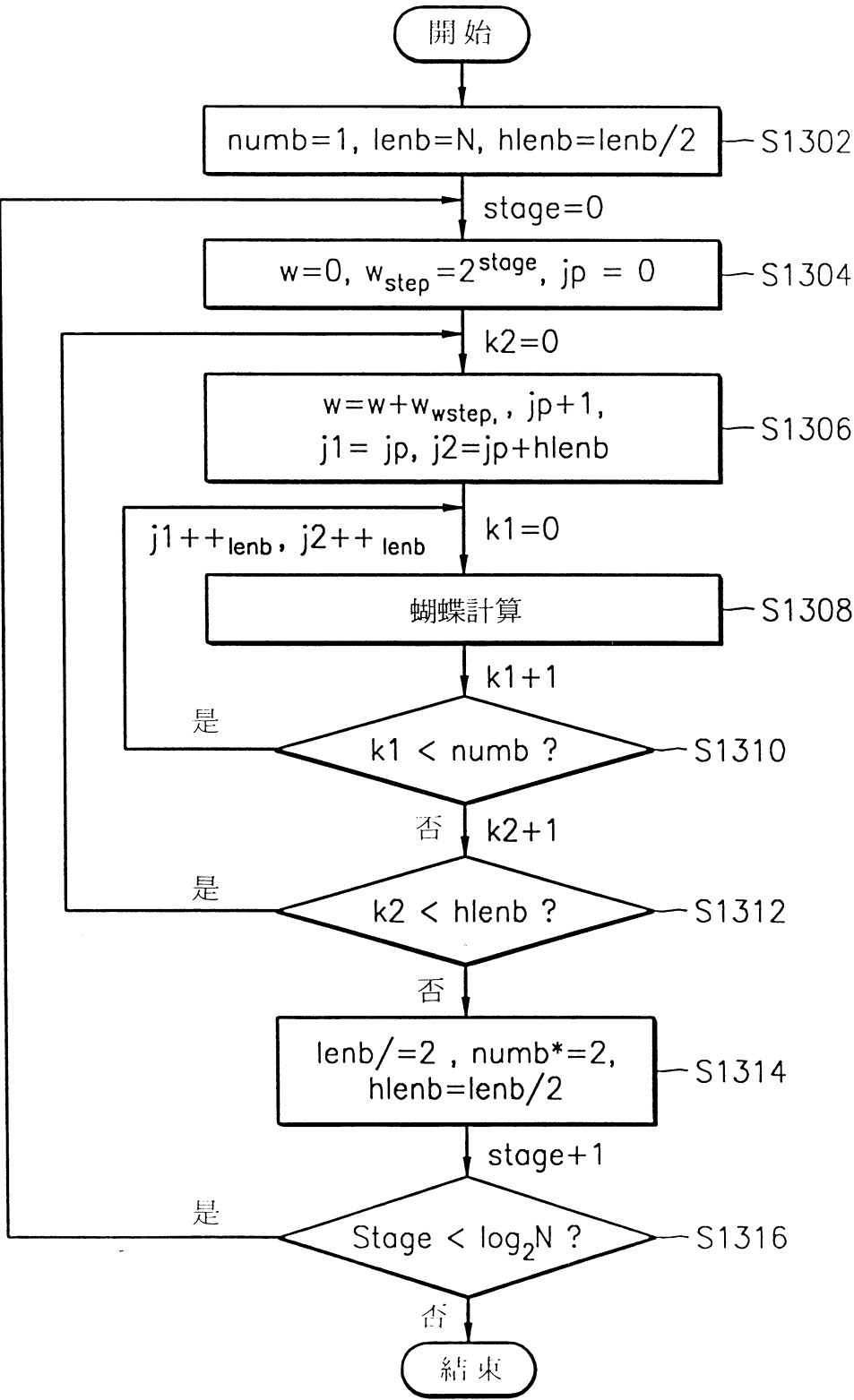
第10圖



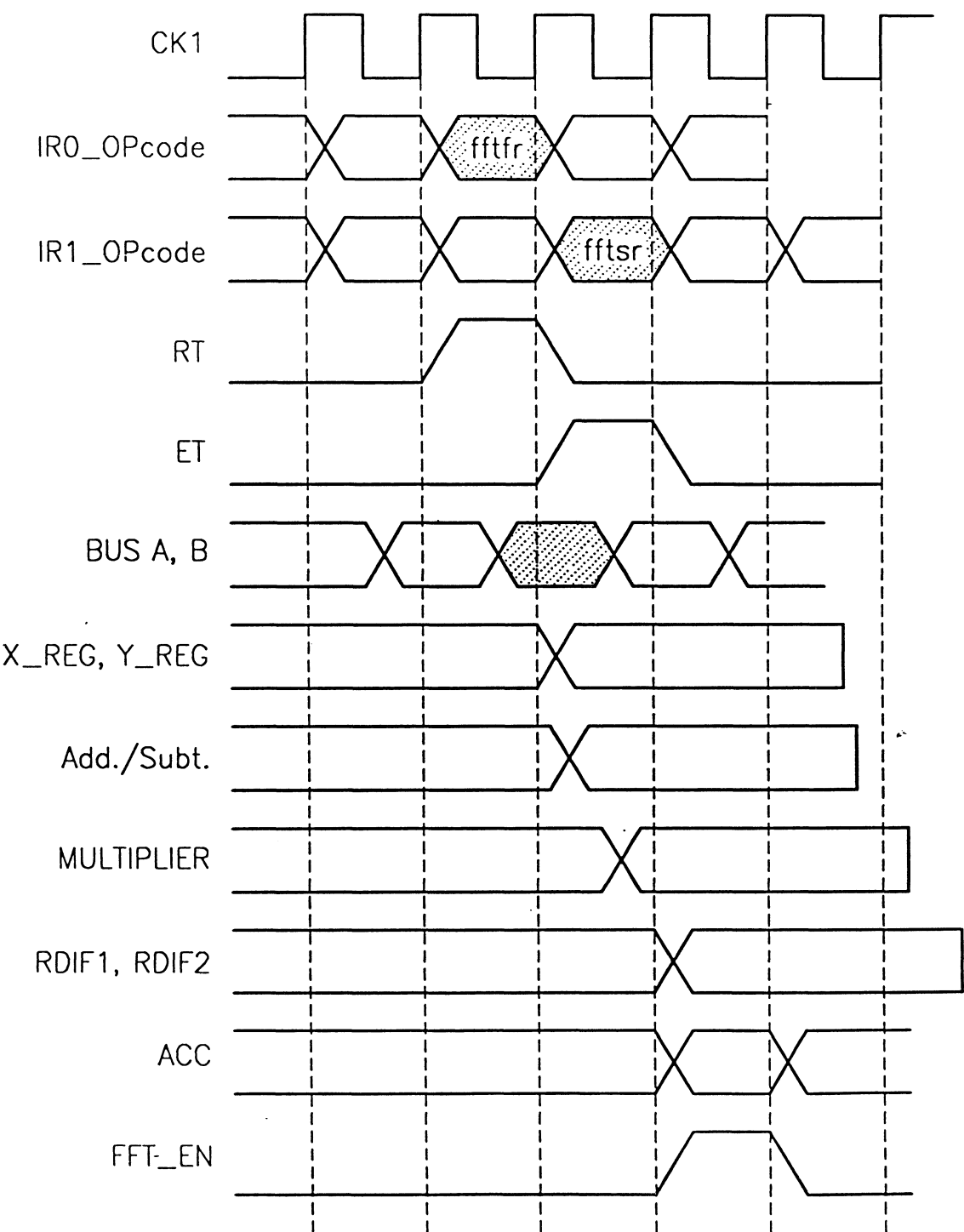
第11圖



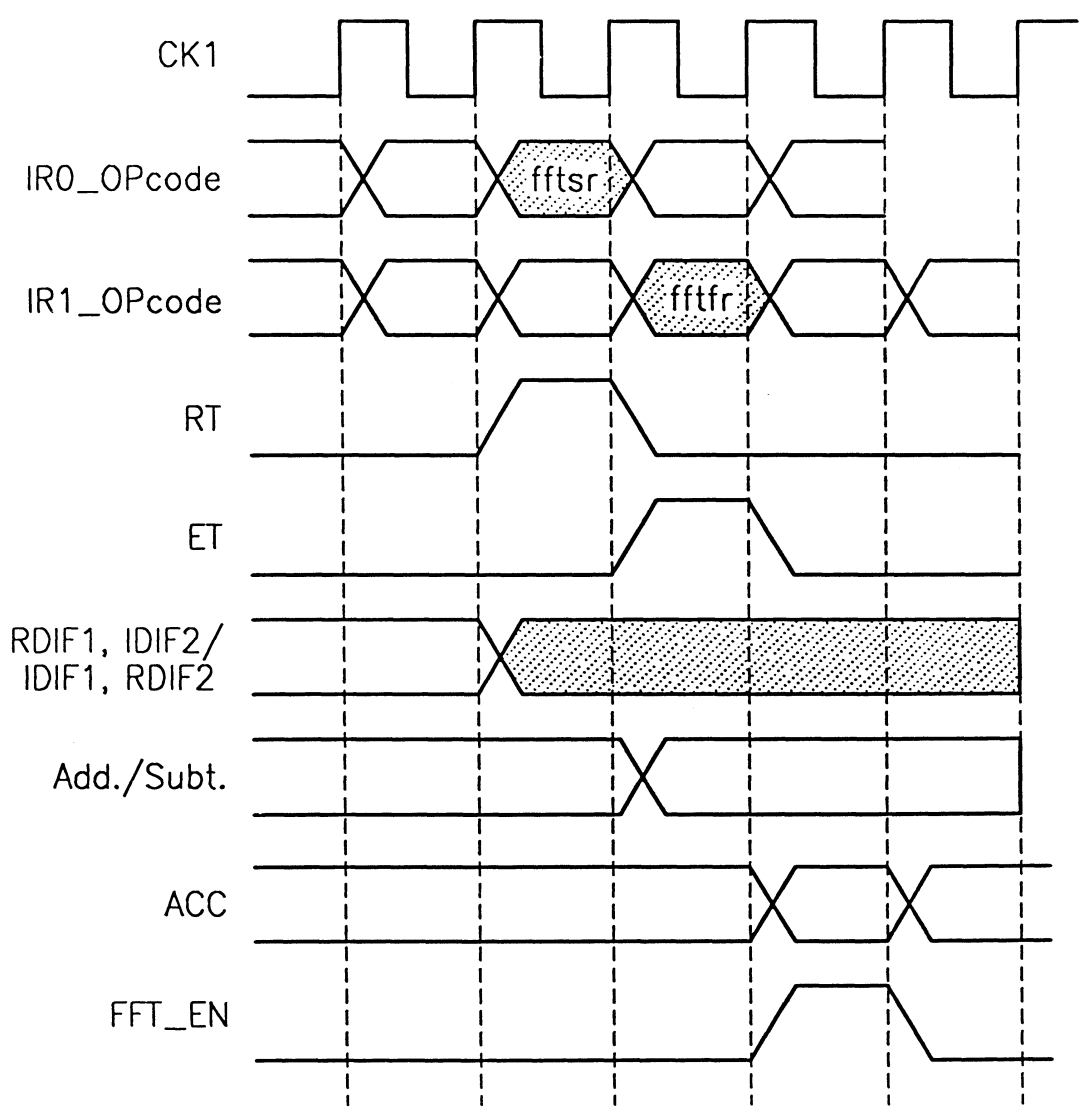
第12圖



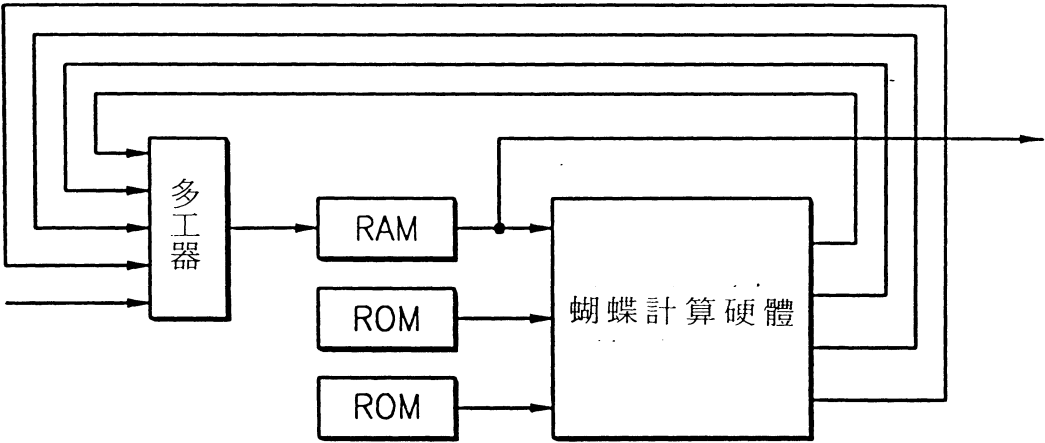
第 13 圖



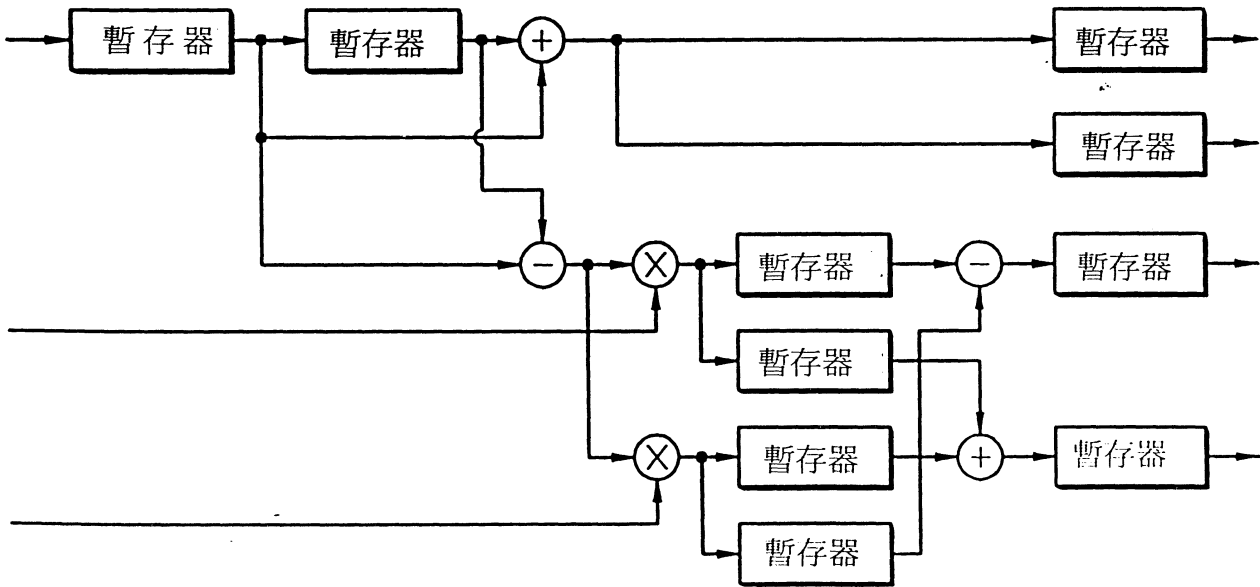
第 14 圖



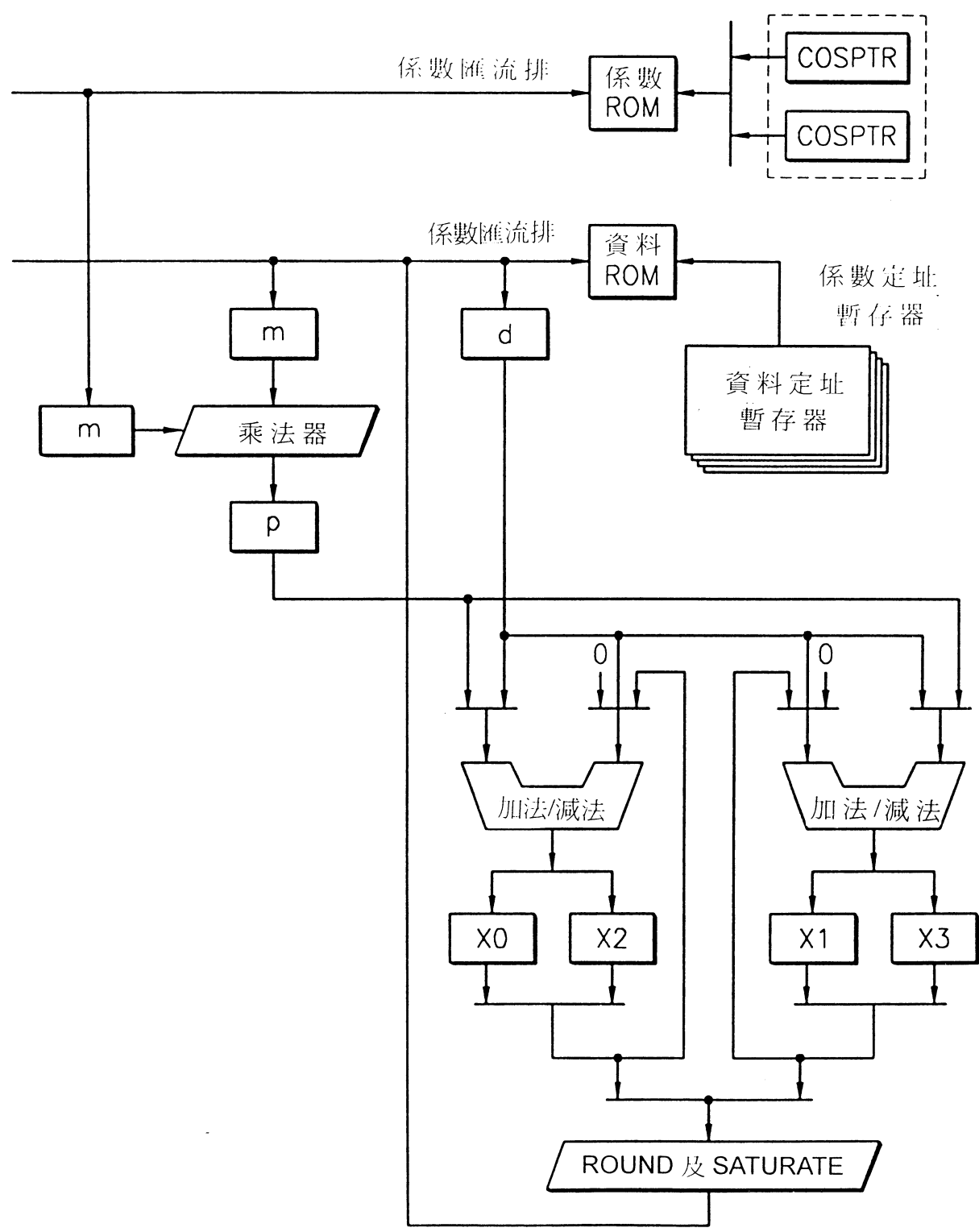
第 15 圖



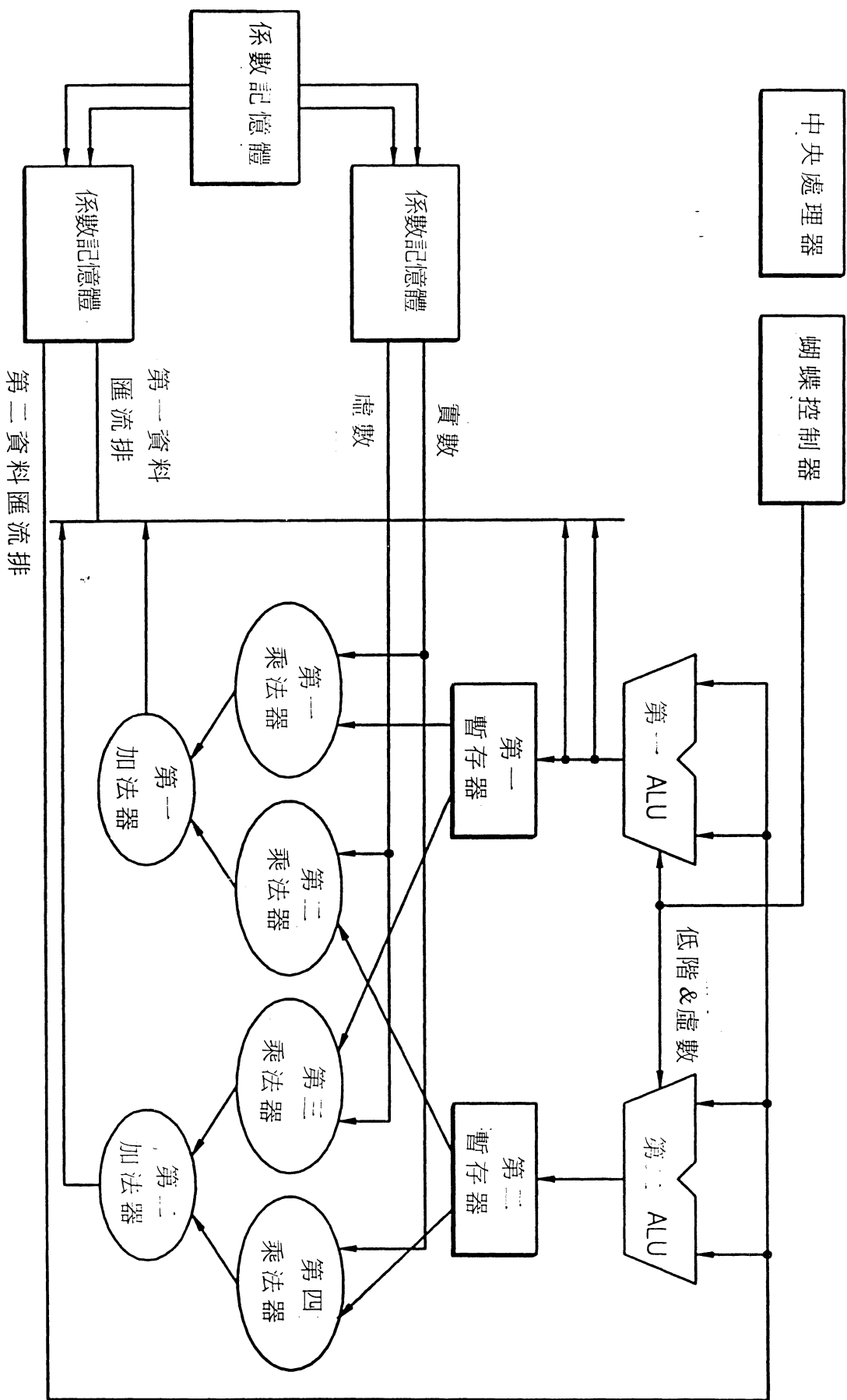
第16A圖



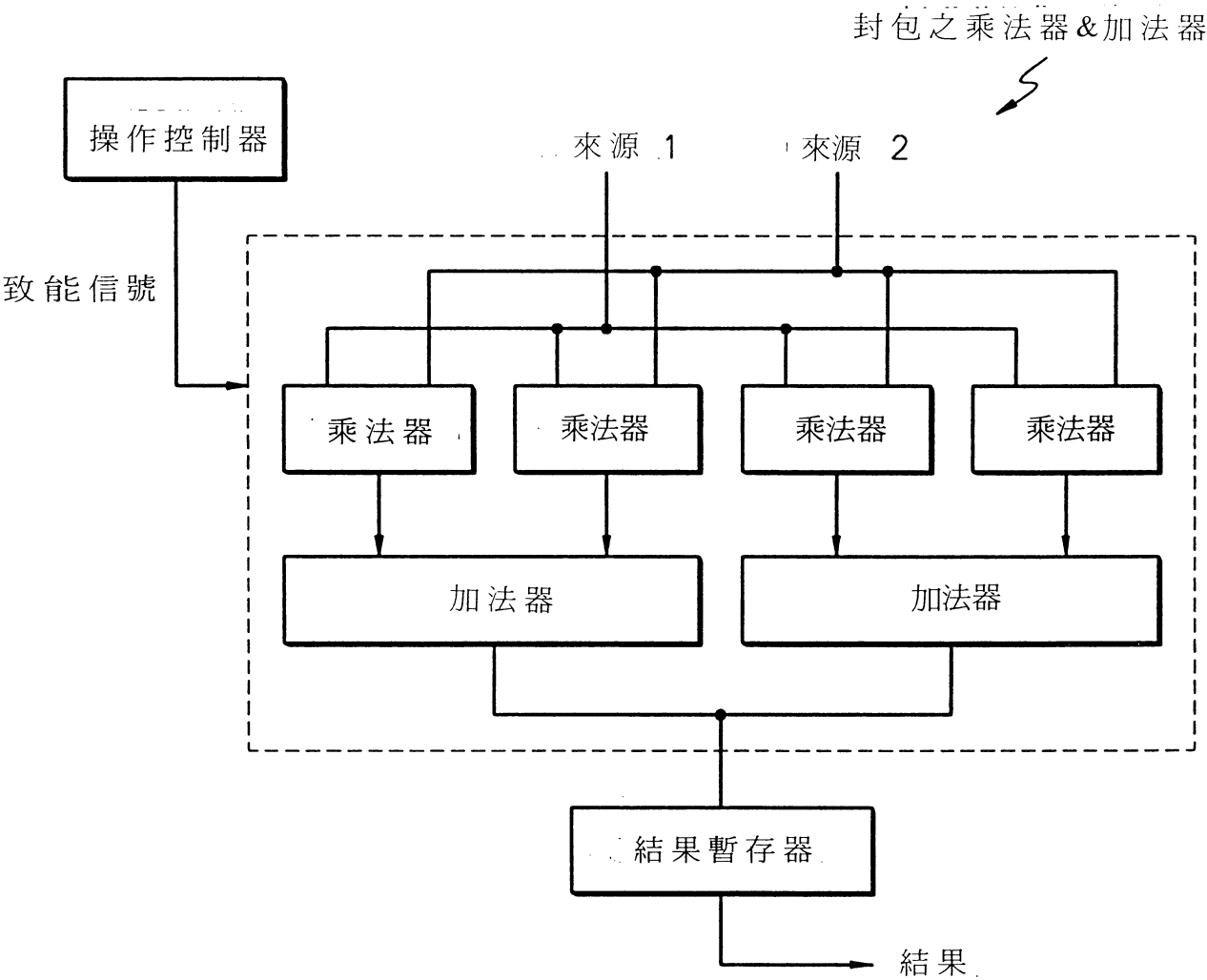
第16B圖



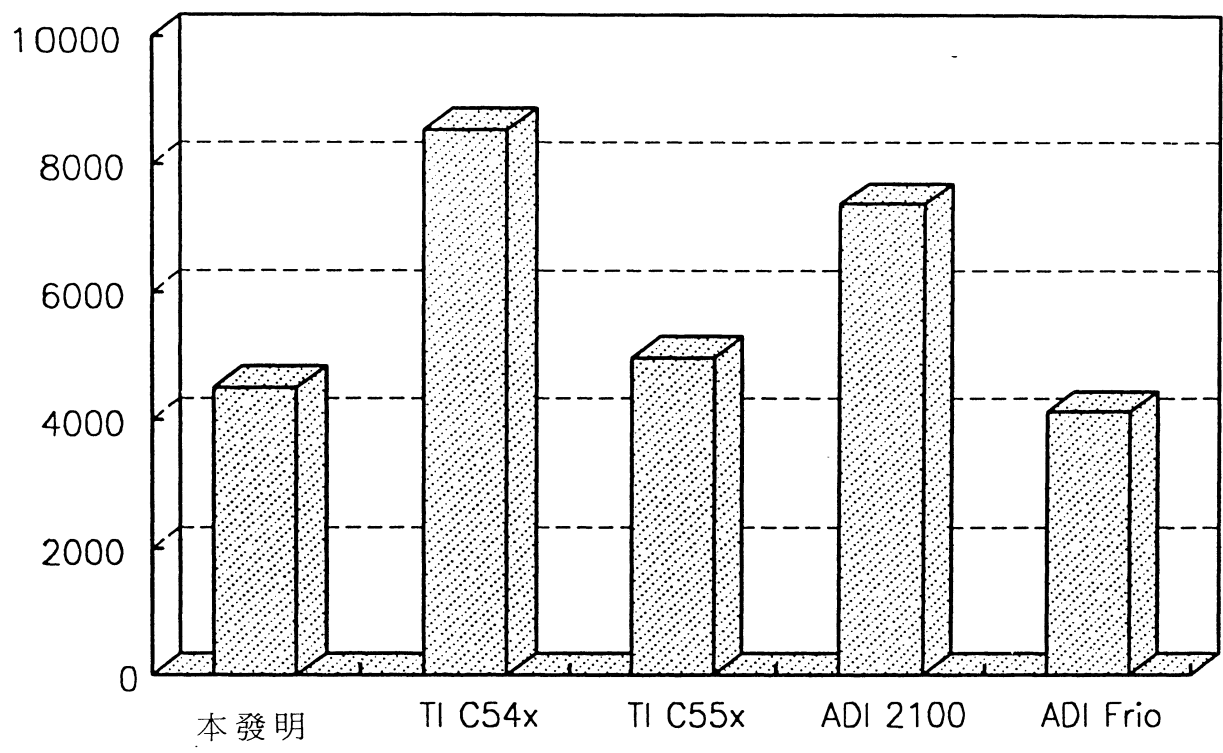
第 17 圖



第18圖

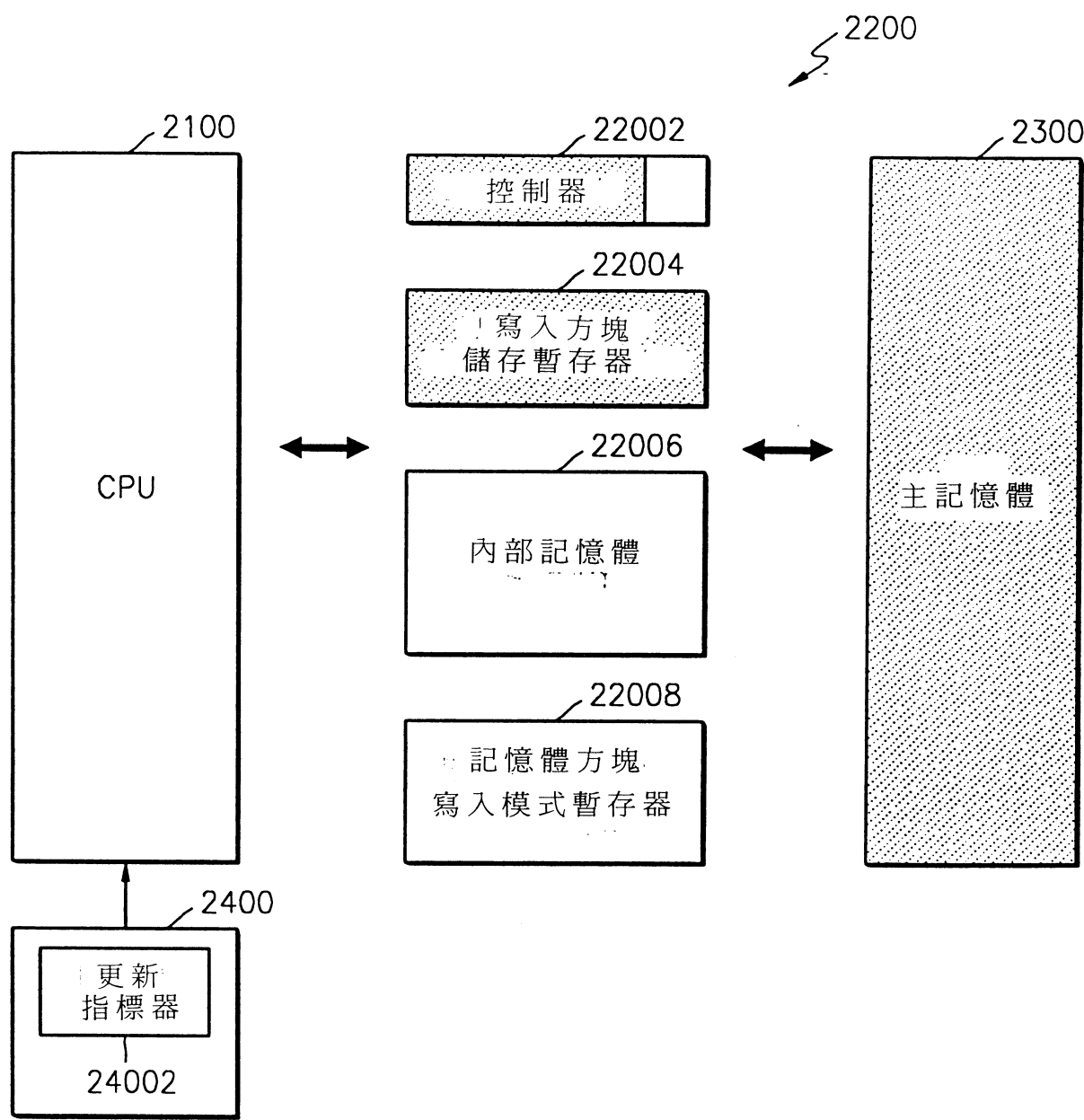


第 19 圖

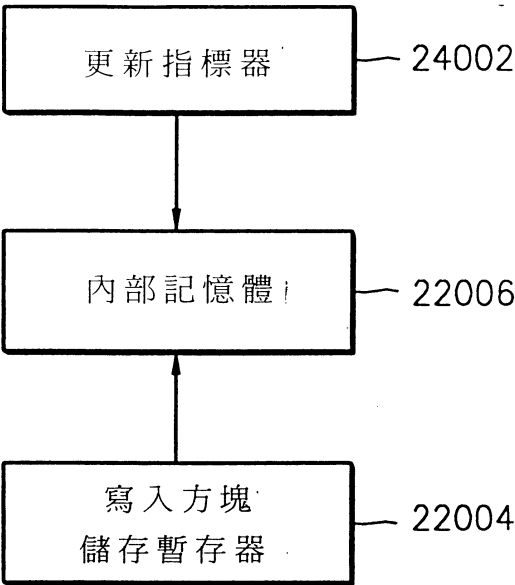


製造商	處理器	周期數	架構
本發明		4,500	2 讀取，1 寫入匯流排
	C54x	8,542	2 讀取，1 讀取/寫入匯流排，40 位元 ALU，17 位元 MAC(40 位元加法器)
	C55x	4,960	3 讀取，2 寫入匯流排，40 位元ALU，17 位元 MAC(40 位元加法器)*2
ADI	ADSP2100	7,372	1 讀取，1 讀取/寫入匯流排，1 結果匯流排，16 位元 ALU，16 位元MAC (40 位元加法器).
	Frio	4,117	(2 讀取，1 讀取匯流排)*2，40 位元 ALU*2，16 位元 MAC*2

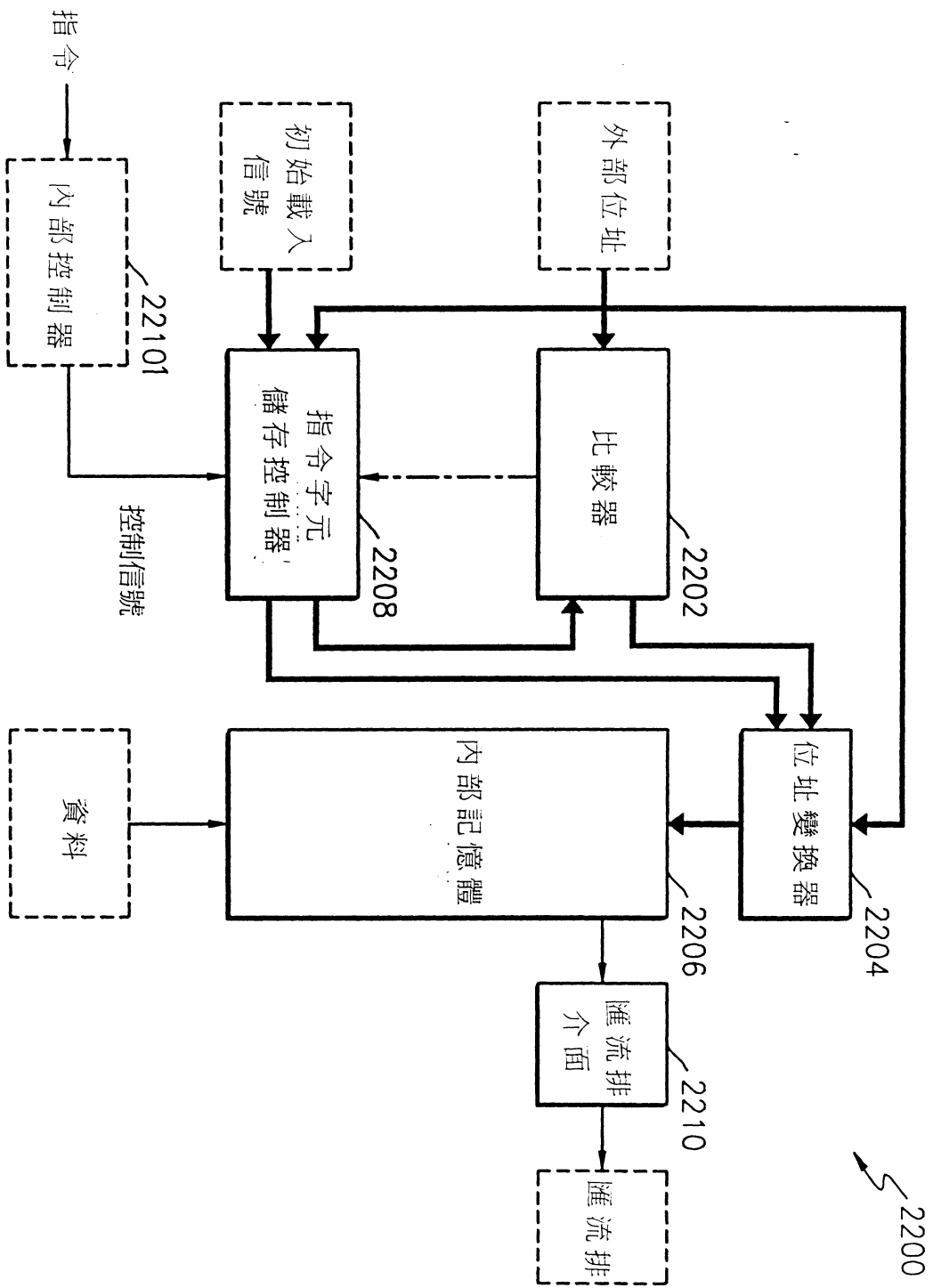
第20圖



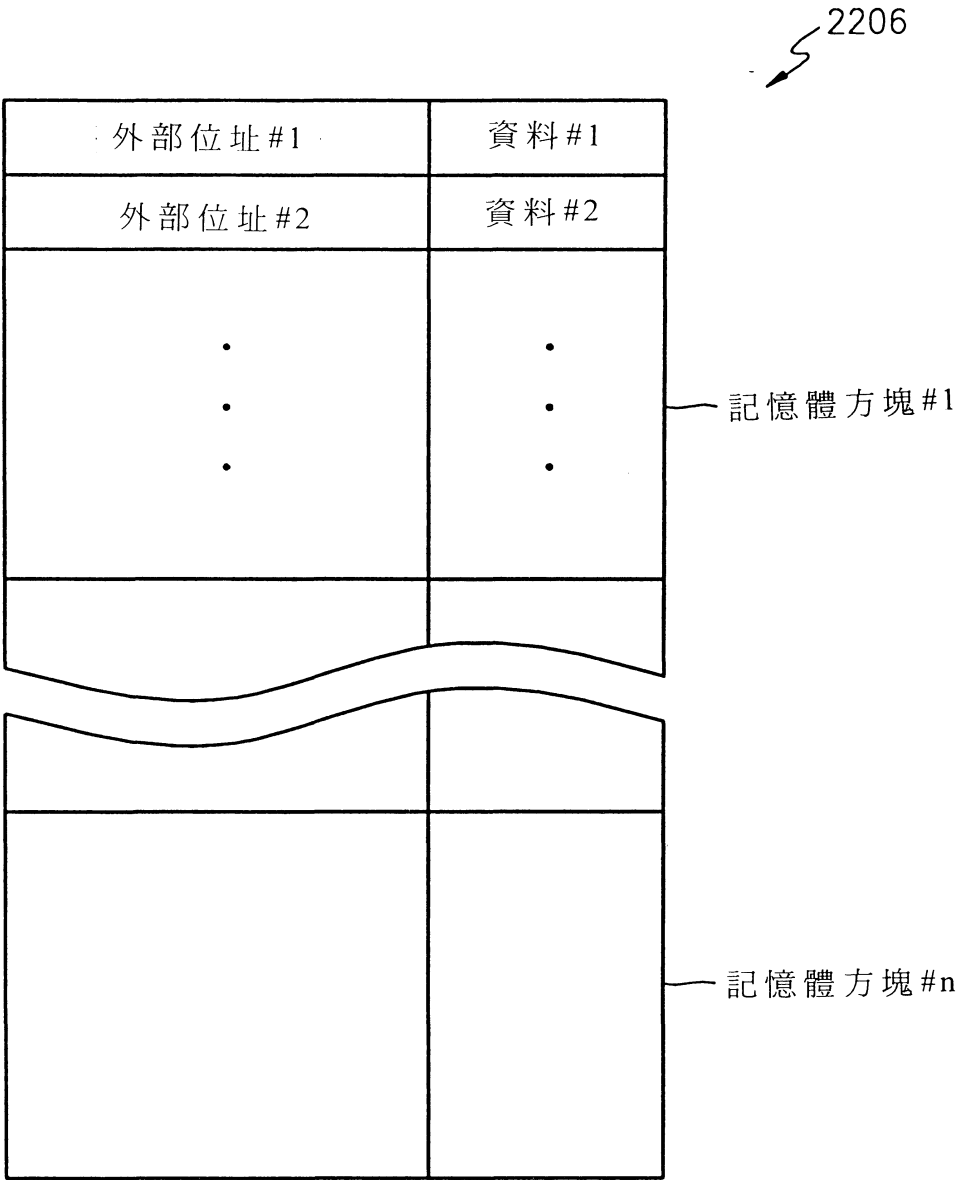
第21A圖



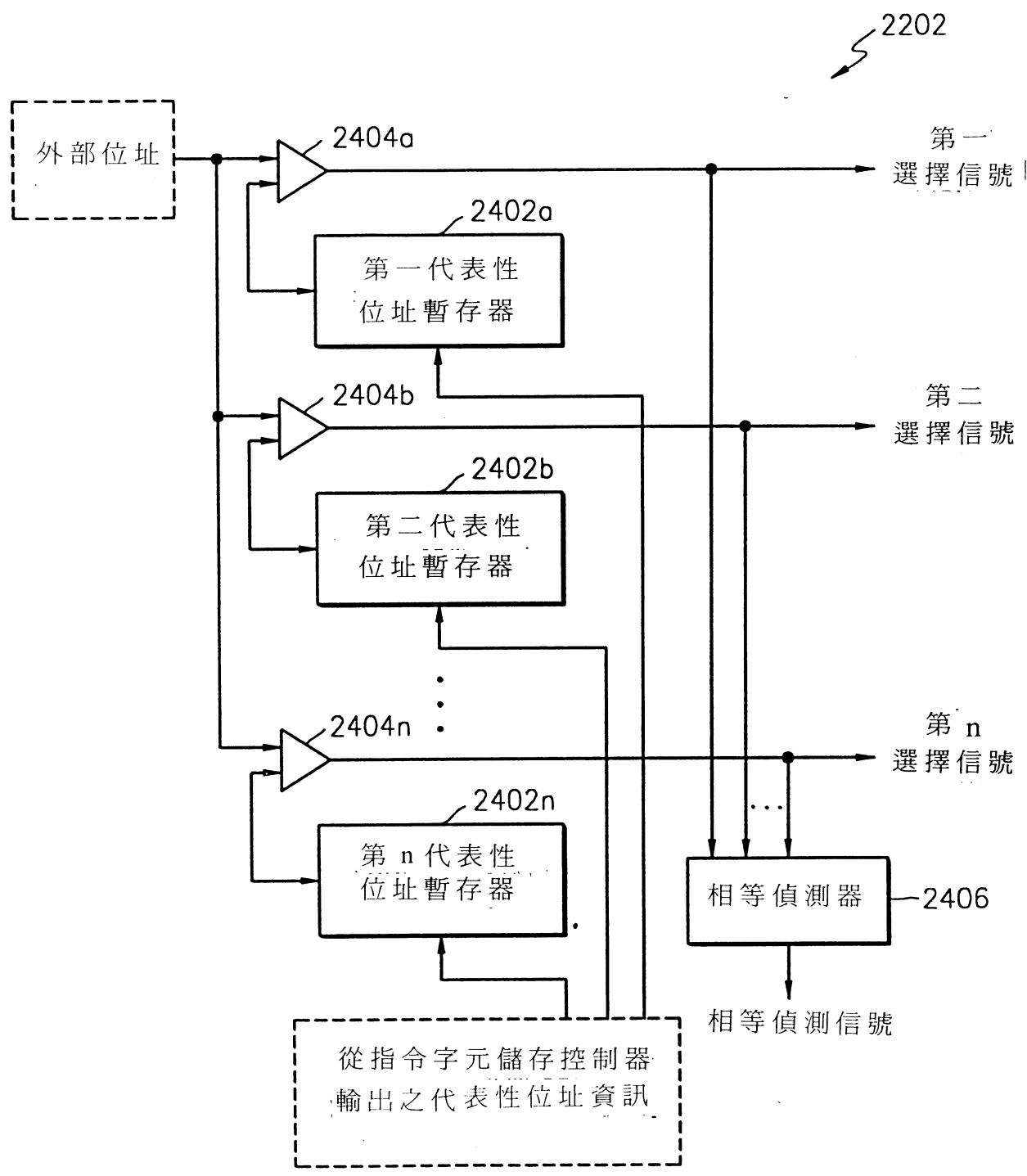
第21B圖



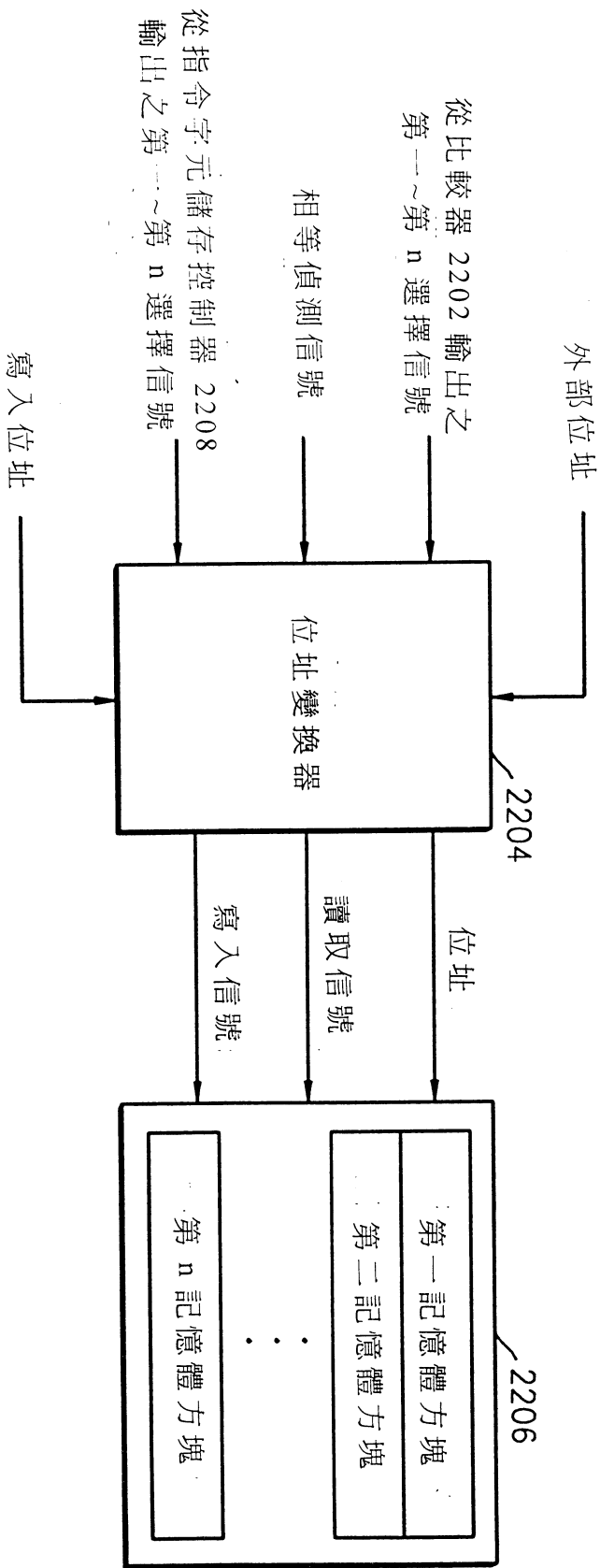
第22圖



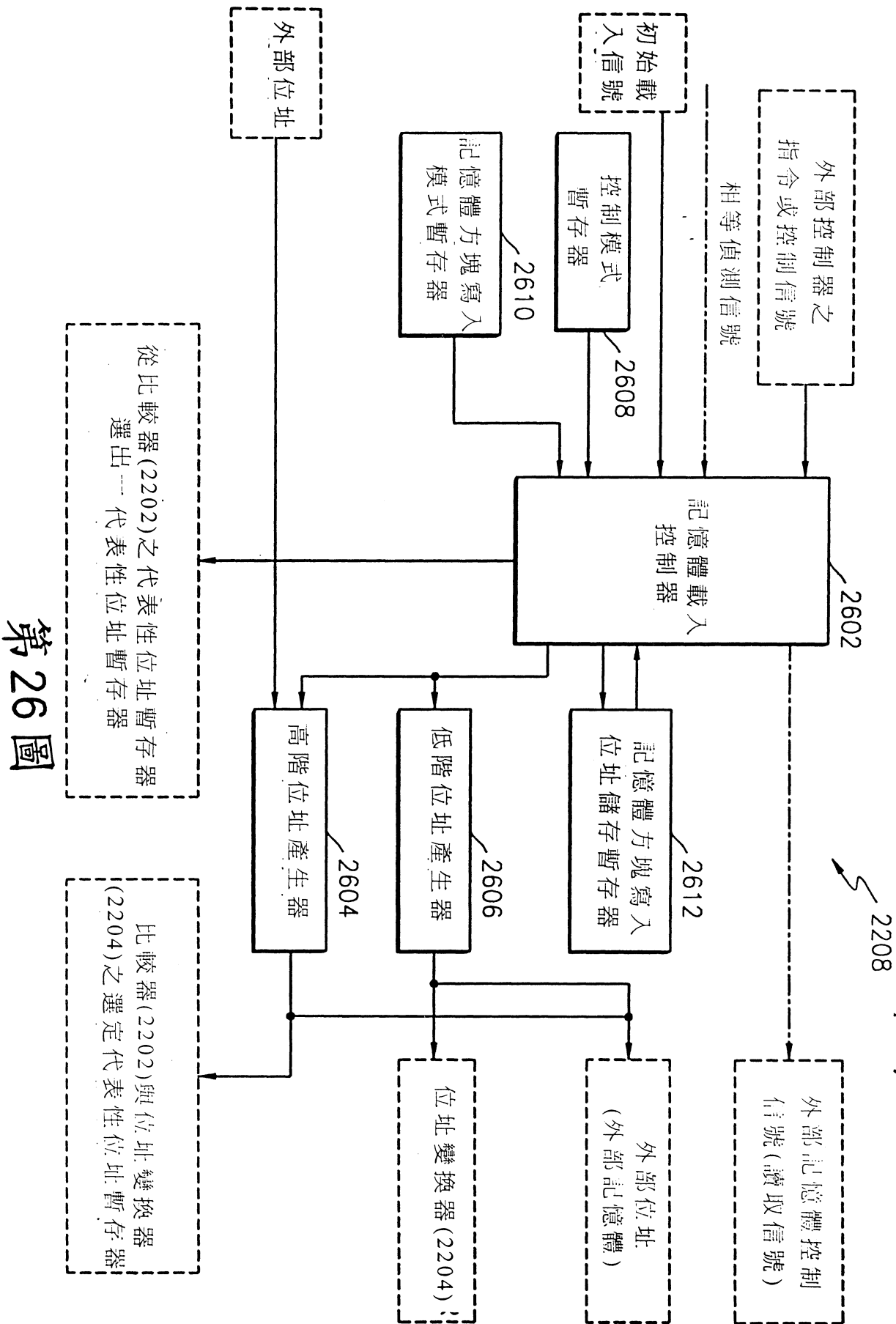
第 23 圖



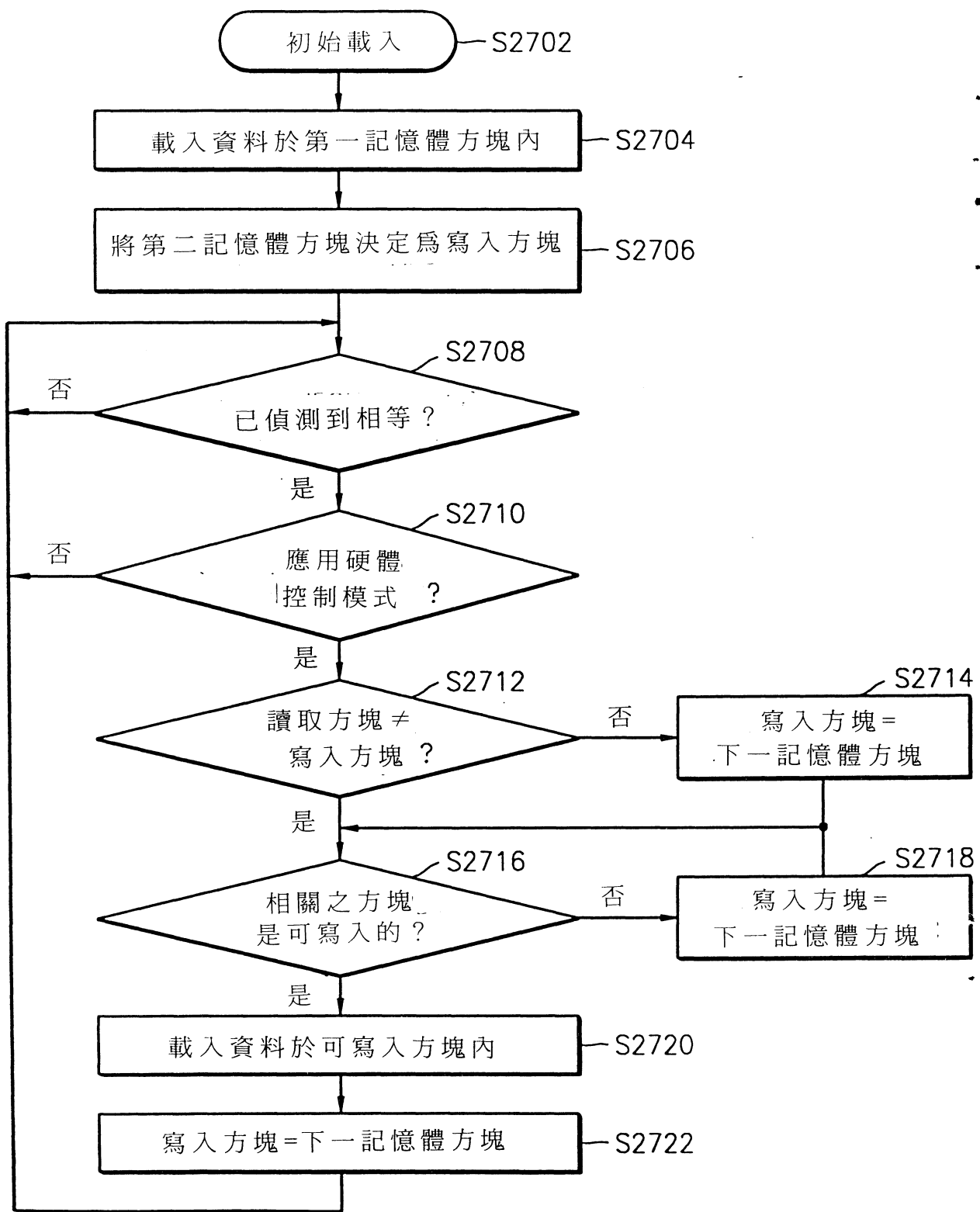
第 24 圖



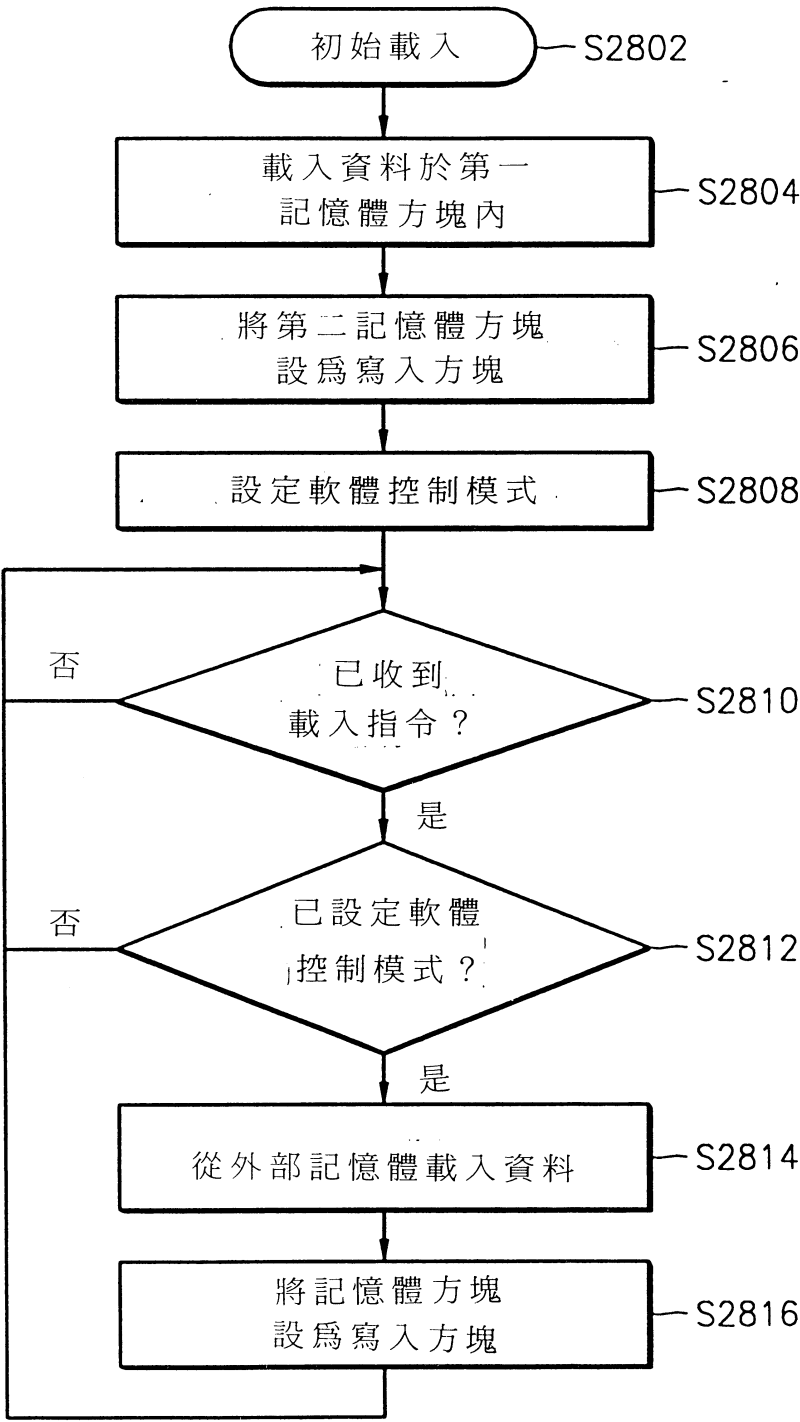
第25圖



第26圖



第 27 圖

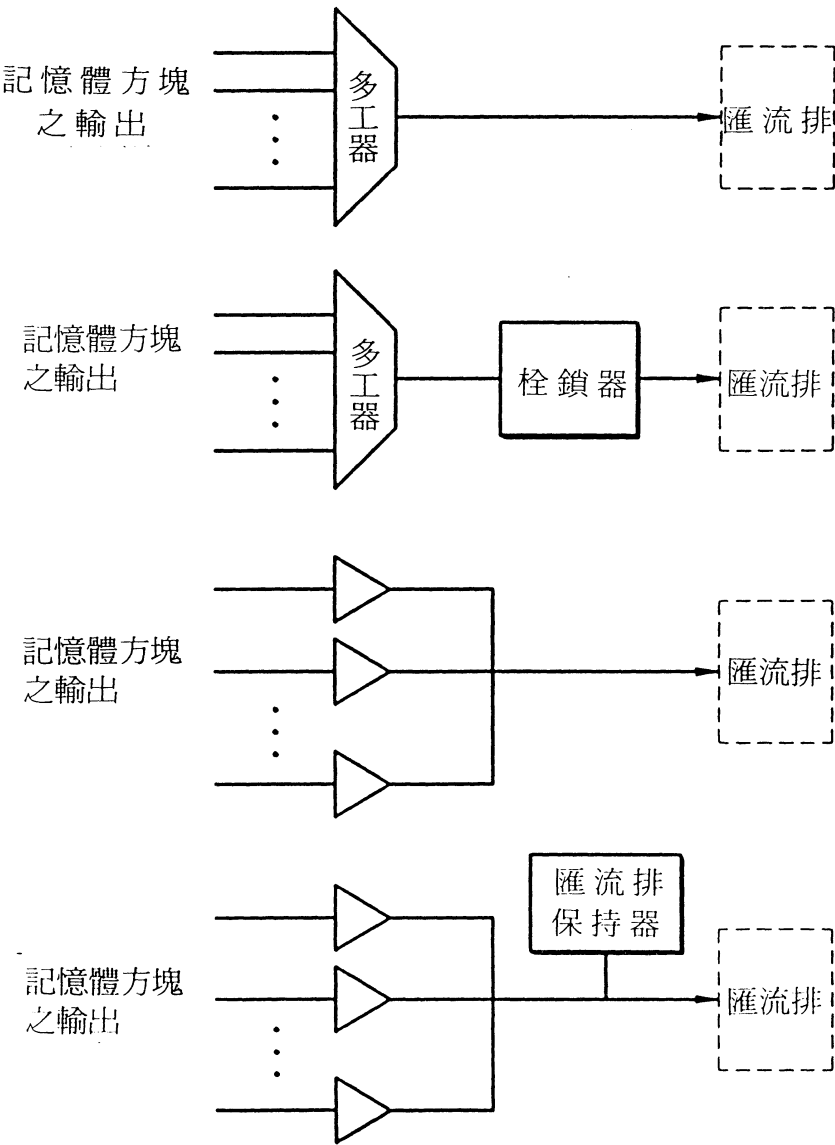


第 28 圖

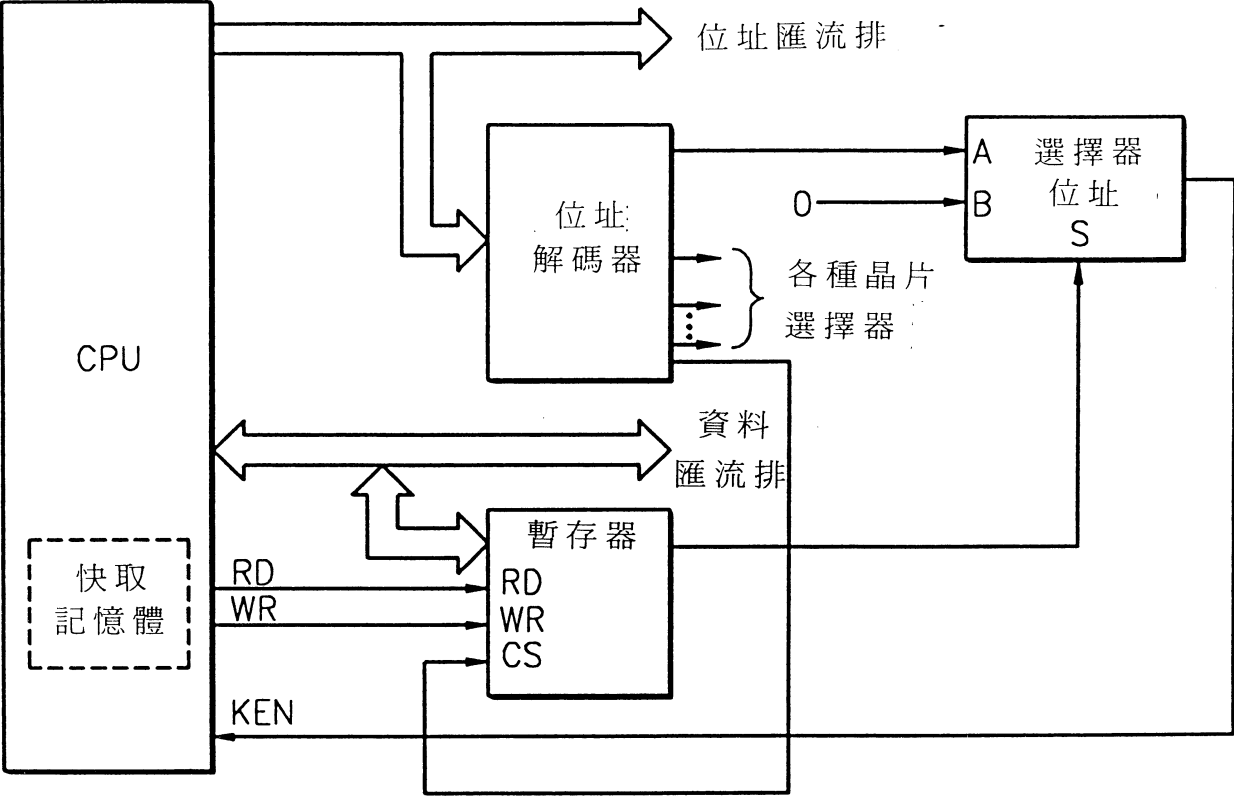
運算元#1	目的	來源
-------	----	----

運算元#1	目的	來源	方塊數量
-------	----	----	------

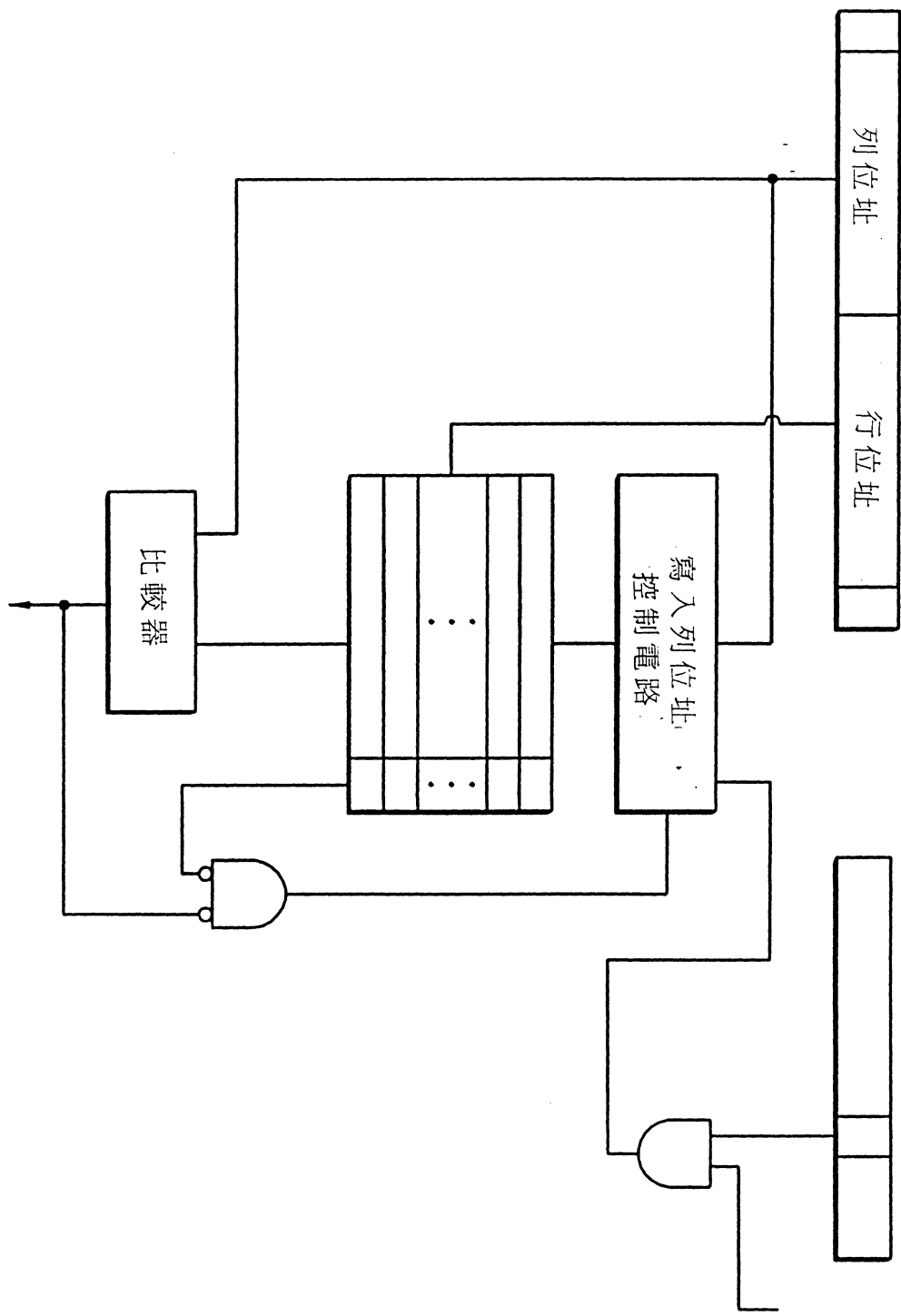
第 29 圖



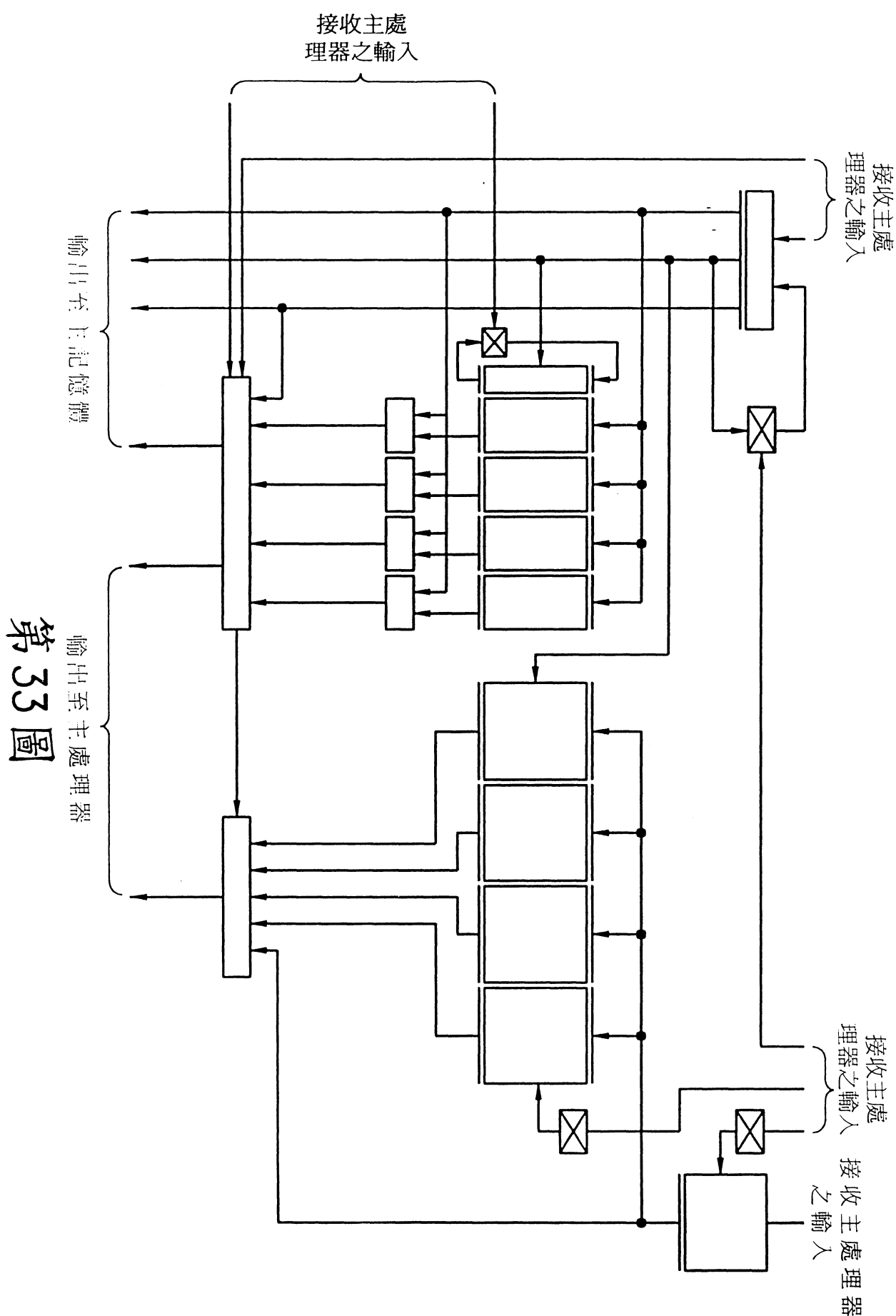
第 30 圖



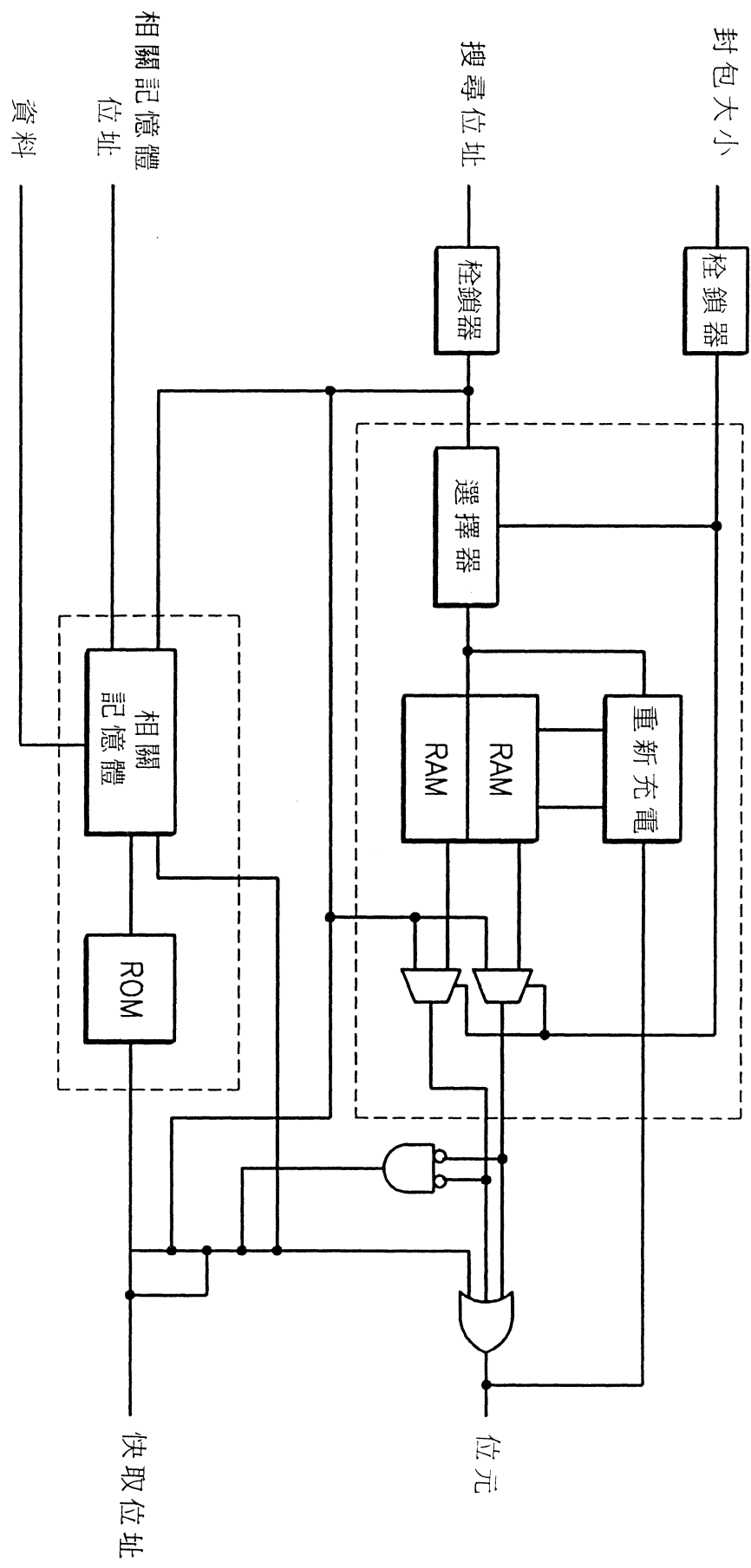
第31圖



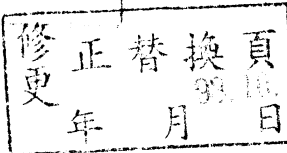
第32圖



第33圖



第34圖



發明專利說明書

I225640

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92110116

※ 申請日期：92.4.30

※ IPC 分類：G10L 5/00

一、發明名稱：(中文/英文)

語音辨識裝置、觀察機率計算裝置、複變快速傅立葉變換計算裝置與方法、快取裝置、以及控制快取裝置的方法

VOICE RECOGNITION DEVICE, OBSERVATION PROBABILITY CALCULATING DEVICE, COMPLEX FAST FOURIER TRANSFORM CALCULATION DEVICE AND METHOD, CACHE DEVICE, AND METHOD OF CONTROLLING THE CACHE DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三星電子股份有限公司

SAMSUNG ELECTRONICS CO., LTD.

代表人：(中文/英文) 尹鍾龍/YUN, JONG-YONG

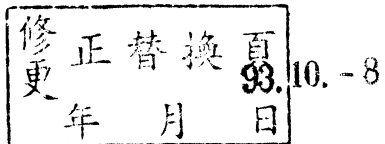
住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市八達區梅灘洞 416 番地

416, MAETAN-DONG, PALDAL-GU, SUWON-CITY,

KYUNGKI-DO, REPUBLIC OF KOREA

國籍：(中文/英文) 大韓民國 KR

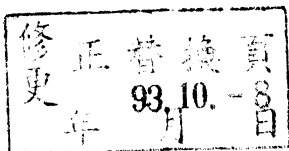


三、發明人：(共 13 人)

姓 名：(中文/英文)

1. 金鐘鎬 KIM, JONG-HO
2. 朴賢宇 PARK, HYUN-WOO
3. 金泰洙 KIM, TAE-SU
4. 盧美貞 NOH, MI-JUNG
5. 閔丙昊 MIN, BYUNG-HO
6. 曹奇源 JO, KI-WON
7. 趙成桓 CHO, SEOUNG-HWAN
8. 李昇桓 LEE, SEUNG-HWAN
9. 鄭震元 CHUNG, JIN-WON
10. 張虎郎 JANG, HO-RANG
11. 朴仙熙 PARK, SUN-HEE
12. 洪根哲 HONG, KEUN-CHEOL
13. 金性在 KIM, SUNG-JAE

國 籍：(中文/英文) 1~13 大韓民國 KR



四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 韓國；2002/06/28；2002-37052
2. 韓國；2002/08/12；2002-47581
3. 韓國；2002/08/12；2002-47582
4. 韓國；2002/08/12；2002-47583

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

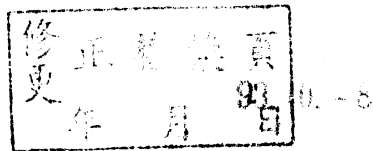
☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。



九、發明說明：

發明所屬之技術領域

本發明是有關於一種語音辨識裝置，且特別是有關於一種具有算術操作之專用算術計算模組之語音辨識裝置，利用語音辨識而觀察預選字元之各音節之音位之觀察機率計算裝置，對複變資料進行複變快速傅立葉變換(Fast Fourier Transform, FFT)之複變快速傅立葉變換計算裝置與方法，快取裝置以及控制快取裝置的方法

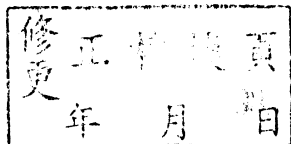
先前技術

現可應用語音辨識在人類日常生活之大部份電子產品中。語音辨識之應用係開始於低成本電子玩具中，現在則預期要擴展至複雜，高科技電腦應用中。

IBM(國際商業機器公司)曾提出一種使用語音辨識之技術且藉由應用隱藏馬可夫模型(hidden Markov model, HMM)於語音辨識以改善語音辨識率，此技術揭露於美國專利號 5636291 中，其獲權日為 1997 年 6 月 3 日。

揭露於美國專利號 5636291 中之此語音辨識裝置包括一預處理器，一前端電路與一模型電路。該預處理器辨別所有字之詞彙。該前端電路從所辨別出之詞彙取出特徵值或參數。該模型電路進行訓練階段以根據所取出之特徵值或參數而產生一模型，該模型係當成下一辨別字元之準確判別標準。此外，該模型電路根據所辨別之詞彙而決定在預選字元中之哪一個字元必需當成已辨別字元。

稍後，IBM 也揭露更能廣泛使用之應用隱藏馬可夫模



型之語音辨識系統與方法，此技術揭露於美國專利號 5799278 中，其獲權日為 1998 年 8 月 25 日。此語音辨識系統與方法對分隔出之字元使用隱藏馬可夫模型，該隱藏馬可夫模型係用以接受訓練以辨識發音不相似之字元並用以辨識數個字元。

語音辨識系統可架構成軟體或硬體。在語音辨識軟體系統中，安裝一語音辨識程式並使用一處理器。該軟體系統需要大量處理或計算時間，但具有彈性以輕易更換功能。

專用之硬體裝置也可用於語音辨識硬體系統中。相比於語音辨識軟體系統，此硬體系統提供較快之處理速度與較小之功率消耗。然而，此硬體系統使用專用之電路且不容易更換功能。

因而，需要有一種語音辨識裝置，能達成如同語音辨識硬體系統所具之快速處理及語音辨識軟體系統之功能更換便利性。

發明內容

根據本發明之一實施例，提供一種語音辨識裝置，雖然利用一般處理器以軟體方式處理資料卻能提供快速處理速度。

根據本發明之另一實施例，提供一種適合於語音辨識裝置之觀察機率算術單元。

根據本發明之又一實施例，提供一種適合於語音辨識裝置之改良型複變 FFT 計算裝置。

在另一實施例中，提供一種適合於複變 FFT 計算裝置



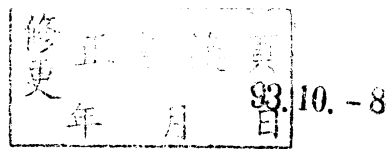
之複變 FFT 計算方法。

根據本發明之又一實施例，提供一種適合於複變 FFT 計算裝置之電腦程式記錄媒介。

在本發明之另一實施例中，提供一種適合於語音辨識裝置之快取裝置。

在本發明之另一實施例中，提供一種以硬體或軟體方式控制該快取裝置之更新之改良型方法。

根據本發明之一觀點，提供一種語音辨識裝置，從一輸入語音信號取出一已決定信號區，從該已決定信號區取出用於語音辨識之特徵值，比較該特徵值與一預存字元之特徵值，並將具最大機率之一字元辨識成一輸入語音。該語音辨識裝置包括：一 CODEC(編碼器/解碼器)，一暫存器檔單元，一快速傅立葉變換(FFT)單元，一觀察機率計算模組，一程式記憶體，以及一控制單元。該 CODEC 取樣從一麥克風輸入之一語音信號，將對取樣資料區分割成方塊且在既定時間輸出。該暫存器檔單元將從該 CODEC 接收之有關於該已決定語音區之資料方塊緩衝。該快速傅立葉變換(FFT)單元將從該暫存器檔單元輸出之該資料方塊變換至頻域或進行頻域變換之一逆操作，並儲存該變換結果於該暫存器檔單元內。該觀察機率計算模組根據該 FFT 單元所得之頻譜而比較從該輸入語音信號取出之該特徵值與一預存字元之音位之特徵值以計算一觀察機率。該程式記憶體從該 CODEC 輸出之該資料方塊取出有關於該已決定語音區之資料方塊，將所取出之該資料方塊存於該暫存器檔單



元中，從存於該暫存器檔單元中內之該頻譜計算一隱藏馬可夫模型(HMM)之特徵值，並根據該觀察機率計算模組所計算之各音位之觀察機率而儲存一語音辨識程式。該控制單元利用存於該程式記憶體內之該語音辨識程式來控制該語音辨識裝置之操作。

根據本發明實施例之語音辨識裝置包括用以執行在語音辨識系統中佔去大部份計算之觀察機率計算與 FFT 計算之專用算術裝置，該專用算術裝置無關於處理器。該算術裝置解譯從該處理器輸出之指令並執行所指定之操作。

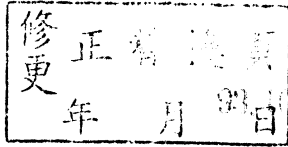
為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式：

第 1 圖是習知語音辨識系統之方塊圖。在第 1 圖內，類比數位變換器(ADC)101 將連續語音信號變換成數位信號以輕易計算該語音信號。

一預加強(pre-emphasis)單元 102 加強一語音之高頻成份以清楚區分出發音。該數位語音信號係以既定數量取樣值之單位接受分割與處理。比如，該數位語音信號係分割成 240 取樣值(30ms)之單位。

因為從頻譜所產生之倒頻譜(cepstrum)與能量一般當成隱藏馬可夫模型中之特徵向量，必需計算此倒頻譜與能量。一能量計算方塊 103 計算此倒頻譜與能量。為得到能量，該能量計算方塊 103 利用在時域中之能量計算公式來



計算 30ms 之瞬間能量。此能量計算公式是等式 1：

$$Y(i) = \sqrt{\frac{\sum_{j=0}^{239} (X(W_RATE - i + j))^2}{W_SIZE}}, 0 \leq j \leq 239 \quad (1)$$

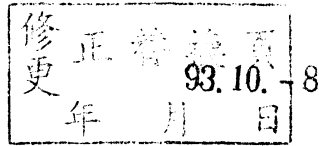
利用等式 1 所計算所 n 個能量值係用以決定目前之輸入信號是語音信號或雜訊。為在頻域中計算頻譜，在信號處理中係廣泛使用 FFT。此種 FFT 可表示於等式 2：

$$X(k) = \sum [x(n) \cos(\frac{2\pi}{256} kn) + y(n) \sin(\frac{2\pi}{256} kn)] + j \text{SUM} [y(n) \cos(\frac{2\pi}{256} kn) - (n) \sin(\frac{2\pi}{256} kn)] \quad (2)$$

如果根據該能量計算結果而決定目前之輸入信號是一語音信號，必需決定此語音信號之開頭與結尾，此操作進行於一找終點(FindEndPoint)單元 104 內。依此，如果決定一有效字元，只有相關於已決定之有效字元之頻譜資料會儲存於一緩衝單元 105 中。因此，該緩衝單元 105 只儲存對說話者所發音之字元去除雜訊後所得之有效語音信號。

一梅爾(mel)濾波器 106 進行梅爾濾波，其為一種預處理步驟，藉由使用 32 頻帶之頻寬來對頻譜濾波以得到倒頻譜。

透過梅爾濾波，可計算 32 頻帶之頻譜值。藉由將所計算出之頻域中之頻譜值變換成時域中之頻譜值，可得到倒頻譜，其為隱藏馬可夫模型中之一種參數。將頻域變換成時域之操作係利用一 IDCT 單元 107 中之反相離散離弦變換(Inverse Discrete Cosine Transform, IDCT)所進行。



因為所得之倒頻譜與能量值(可利用隱藏馬可夫模型而使用於語音辨識中)具相當大的差異(比如，約 100 倍)，必需調整之。此調整係由一大小調整單元(scaler)108 使用對數操作而進行。一倒頻視窗單元 109 從此梅爾倒頻值分隔出周期性與能量，並利用等式 3 來改善雜訊特徵：

$$Y[i][j]=\text{Sin_TABLE}[j]*X([i][j+1])$$

$$0 \leq i \leq \text{NoFrames}, 0 \leq j \leq 7 \quad (3)$$

其中 NoFrames 代表框(frame)之數量。Sin_TABLE 可由等式 4 得到：

$$\text{Sin_TABLE}[j]=I+4*\text{Sin}\left(\frac{\pi*(J+1)}{8}\right) \quad (4)$$

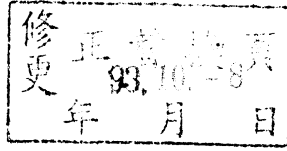
在上述計算之後，一正規器 110 將各框中之第 9 個資料正規化成存在於既定範圍內之值。為達正規化，首先，利用等式 5 在各框之第 9 個資料中找出最大值：

$$\text{MaxEnergy}=\underset{0 \leq i, \text{NoFrames}}{\text{Max}} \text{WindCepstrum}[i][8] \quad (5)$$

接著，正規化之能量可由將所有框之能量資料減去該最大值而得，如等式 6 所示：

$$\text{Cepstrum}[i][8]=\text{WindCepstrum}[i][8]-\text{MaxEnergy})*\text{WEIGHT_FACTOR} \quad 0 \leq i < \text{NorRam} \quad (6)$$

語音辨識之語音率一般可由增加參數(比如特徵值)之類型而提高。為此，除了各框之特徵值外，各框間之特徵值之差異也當成另一種特徵值。一動態特徵值單元 111 計算此種差量倒頻譜參數(delta cepstrum)並將所計算之差量倒頻譜參數為一特徵值。倒頻譜參數間之差異可用等式 7 計算：



$$\text{Recp}(i)=F(i)=\frac{1}{\sqrt{10}}(2*\text{Scep}[i+4][j]+1*\text{Scep}[i+3][j]+0*\text{Scep}[i+2][j]-1*\text{Scep}[i+1][j]-2*\text{Scep}[i]) \quad (7)$$

一般來說，係對兩相鄰框進行此種計算。如果完成計算，係產生等於倒頻譜數量之差量倒頻譜數量。透過上述操作，可取出利用隱藏馬可夫模型而用在字元搜尋中之特徵值。

根據所取出之特徵值，透過下列三個步驟可進行利用既定隱藏馬可夫模型之字元搜尋。第一步驟係進行於一觀察機率計算單元 112 中。基本上，係根據機率而進行搜尋與決定操作。亦即，係根據機率來找出最相近於所說出字元之音節。此種機率包括一觀察機率與一變換機率，累積此兩種機率以選擇具最大機率之音節順序。該觀察機率可利用等式 8 而得到：

$$o_prob[m]=\underset{0 \leq i \leq 9}{Max} dbx_0[i] + \underset{0 \leq i \leq 9}{Max} dbx_i[i]$$

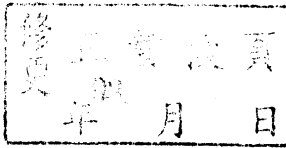
$$\text{其中} (\text{status}[m]=1), 0 \leq m \leq s \quad (8)$$

其中 dbx 代表一參考平均值與從一輸入信號取出之各特徵值間之機率間距。當該機率間距變小時，該觀察機率變大。該機率間距可由等式 9 得到：

$$dx_0[i]=1w-\frac{\sum_{j=0}^8 p[[i][j]*(m[i][j]-Feature[k][0][j])^2]}{2}$$

$$dx_1[i]=1w-\frac{\sum_{j=0}^8 p[[i][j]*(m[i][j]-Feature[k][1][j])^2]}{2} \quad (9)$$

其中 m 代表參數之平均值； $Feature$ 代表從一輸入信號所得

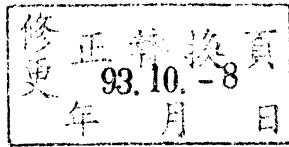


之參數； p 代表準確度，其代表一散佈度(比如，散佈， $1/\sigma^2$)； lw 代表對數加權數；而 i 代表”一混合項(mixture)”，其代表音位類型。如果從許多人得到以增加辨識正確度之代表性音位值係分類成數個群組，各群組包括相似類型之音倍， i 當成代表各群組之因子。在等式 9 中， k 代表框之數量而 j 代表參數之數量。框之數量係隨著字元類型而改變，而該混合項可根據由人類發音類型而分類成數種類型。當線性域中之加權數之計算改變成對數域中之加權數之計算時，該對數加權數會降低。

所計算之觀察機率係有關於可觀察到字元之預選音節之音位之機率。各別音位具有不同觀察機率值。在決定各音位之觀察機率後，該些觀察機率係輸入至一狀態機台 113 以得到最適當音位順序。獨立字元辨識之隱藏馬可夫模型之各狀態順序係根據待辨識字元之各音位之特徵值而形成。

第 2 圖顯示得到音節 “ㄣ” 之狀態順序之方法。假設音節 “ㄣ” 包括三個狀態 $S1$ ， $S2$ 與 $S3$ ，第 2 圖顯示狀態從初始態 $S0$ 開始，通過狀態 $S1$ 與 $S2$ ，最後到達狀態 $S3$ 之過程。在第 2 圖中，在相同狀態階上之往右方移動代表由說話者決定之延遲。亦即，音節 “ㄣ” 可發短音或發長音。當音節之發音時間變長時，各狀態階之延遲變長。在第 2 圖中， S_{i1} 代表靜音。

如第 2 圖所示，對於包括三個順序狀態 $S1$ ， $S2$ 與 $S3$ 之音節 “ㄣ” 存在有許多狀態順序，而對一輸入信號之各狀



態順序進行機率計算。因此，需要大量計算。

當對所有音位之機率計算(亦即，處理各音位之狀態順序)已完成時，可得到各音位之機率。在第 2 圖中，狀態前進之方式係先得到各狀態之 α (alpha) 值接著選擇具最大 α 值之支節。利用等式 10，該 α 值係由累積前一觀察機率及透過實驗而預先得到之內音位(inter-phoneme)轉態機率而得到：

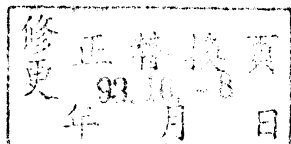
$$\text{State}[i].\text{Alpha} = \underset{0 \leq i < 277}{\text{Max}} \text{State}[i].\text{Alpha}_{\text{prev}} + \text{State}[i].\text{trans_prob}[0], \text{State}[i-1].\text{Alpha}_{\text{prev}} + \text{State}[i].\text{trans_prob}[1] + *(\text{State}[i].\text{o_prob}) \quad (10)$$

其中 State.Alpha 代表目前累積之機率值；State.Alpha_prev 代表先前累積之機率值；trans_prob[0] 代表狀態 S_n 轉態至狀態 S_n 之機率(比如 $S_0 \rightarrow S_0$)；trans_prob[1] 代表狀態 S_n 轉態至狀態 S_{n+1} 之機率(比如 $S_0 \rightarrow S_1$)；而 o_prob 代表目前狀態所計算出之觀察機率。最大可能性尋找器 114 係選擇出根據等式 10 之各音位之最終累積機率值而辨識之一字元。具最大機率之字元係選擇為已辨識字元。

現將描述辨識字元 "KBS" 之處理。

字元 "KBS" 包括三個音節 "케이"、"비"、"에스"。音節 "케이" 具有三個音位 "크"、"에"、"이"，音節 "비" 具有二個音位 "브"、"이"，而音節 "에스" 具有三個音位 "이"、"에"、"스"。

因此，字元 "KBS" 包括八個音位 "크"、"에"、"이"、"브"、"이"、"이"、"에"、"스"，且根據各音位之觀



察機率與相鄰音位間之轉態機率而辨識。

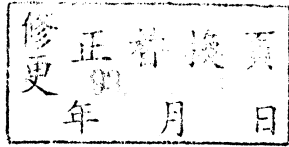
為正確辨識字元”KBS”，上述 8 個音位必需儘可能正確地辨識，且必需選擇音位順序最相似於該字元”KBS”之音位順序之字元。

首先，對一輸入語音信號之各音位計算觀察機率。為達此，係計算各音位對儲存於一資料庫內之各音位樣本之相似程度(比如機率)，且決定最相似音位取樣之機率為各音位之該觀察機率。比如，比較音位 “ㄱ”與存於該資料庫內之音位樣本，且選擇具最大機率之音位樣本 “ㄱ”。

如果計算該輸入語音信號之各音位觀察機率，亦即，如果已決定該輸入語音信號之各音位之音位樣本，對該輸入語音信號應用包括已確定之音位樣本之一狀態順序以決定最適當順序。該狀態順序包括 8 個音位 “ㄱ”、“에”、“이”、“브”、“이”、“이”、“에”、“스”。選擇具各音位之最大觀察機率與最大順序累積值之一順序”KBS”。此 8 個音位之各音立係包括三個狀態。

第 3 圖顯示字元辨識處理。為辨識字元”KBS”，該觀察機率計算裝置 112 計算 8 個音位 “ㄱ”、“에”、“이”、“브”、“이”、“이”、“에”、“스”之觀察機率，且該狀態機台 113 選擇具各音位之最大觀察機率與最大觀察機率累積值之字元”KBS”。

一般，許多現有之語音辨識產品以軟體(C/C++語言)或組合語言來設計上述操作並利用一般用途處理器來進行該些功能。



另外，現有之語音辨識產品可用專用硬體(比如特殊應用積體電路 ASIC)來進行上述操作。上述語音辨識之設計與進行各有優點與缺點。軟體實施方式花費相當長的計算時間並具有彈性能輕易改變操作。

另一方面，比起軟體實施方式，專用硬體實施方式提供快速處理速度與較少之功率消耗。然而，硬體實施方式較不具彈性，故無法改變功能。

本發明提供一種語音辨識裝置，其能提供快速處理速度但又能適應於能輕易改變功能之軟體實施方式。

在使用一般用途處理器之該軟體實施方式中，進行各功能所需之計算數量顯示於表 1 中。在此，計算數量必非指令字元之數量而是計算次數之數量，計算比如為乘法，加法，對數運算，指數運算等。

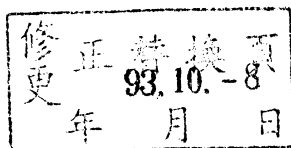
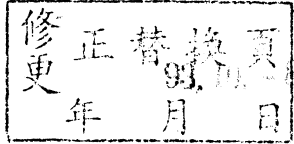


表 1

計 算	預處理			梅爾-濾波&倒譜數				HMM		總計
	預 加 強	能 量 計 算	FFT	梅 爾 濾 波	IDCT	調 整 大 小	倒 譜 數	觀 察 機 率	狀 態 機 台	
乘 法	160	240	4096	234	288	9	36	43200	0	48263
加 法	160	239	6144	202	279	0	1	45600	600	53225
除 法	0	1	0	0	0	0	9	0	0	10
取 平 方 根	0	1	0	0	0	0	0	0	0	1
對 數 運 算	0	0	0	32	0	0	0	1	1	33
計 算 總 計	329	481	10240	468	567	46	88800	601	601	101532

由表 1 可看出，一般語音辨識所需之計算總數量約



100000，其中約 88.8%是觀察機率計算所需，而約 10.1%是 FFT 計算所需。

因此，如果利用專用計算裝置來進行佔據整個系統之總計算之大部份之計算，比如，觀察機率計算或 FFT 計算，可明顯地改良系統之性能。亦即，即使以低時脈操作之裝置也可達良好之語音辨識。

本發明提供一種改良後語音辨識裝置，藉由包括用於進行觀察機率計算與 FFT 計算之專用計算裝置來改良語音處理速度。

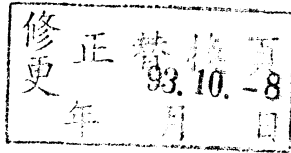
根據本發明實施例之該語音辨識裝置包括：用以進行多位元位移(barrel shift)，乘法，累積與取得平方根之專用計算裝置；以及用以進行觀察機率計算與 FFT 計算之專用計算裝置。

根據本發明實施例之該語音辨識裝置連接於一外部電腦而操作，因而包括一記憶體介面裝置以接收該外部電腦傳來之程式或送出一語音辨識結果至該外部電腦。

根據本發明實施例之該語音辨識裝置包括：一程式記憶體，儲存該外部電腦傳來之程式；一中央處理單元(CPU)；以及一快取裝置以克服儲存於該程式記憶體內之資料處理速度之偏差。

2 讀取-1 寫入之 3 條匯流排系統係廣泛使用成一般用途處理器之內部匯流排。因此，根據本發明實施例之該語音辨識裝置係設計成具有適合於 3 條匯流排系統之架構。

在根據本發明實施例之該語音辨識裝置內，構成模組

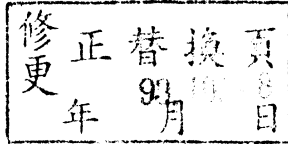


透過一指令字元匯流排來接收指令字元，而一解碼器則解譯所接收之指令字元並進行解碼後操作。

第 4 圖是本發明實施例之語音辨識裝置之方塊圖，其為系統單晶片(SOC，system-on-chip)裝置。第 4 圖之該語音辨識裝置使用 3 條匯流排系統做為無關於說話者語音辨識之特殊用途處理器。構成模組共享 3 條匯流排(2 條讀取匯流排與 1 條寫入匯流排)之兩運算元(OPcode)匯流排。

參考第 4 圖，一控制(CTRL)單元 402 係由一般用途處理器實施。一暫存器檔(register file)單元 404 代表進行一暫存器檔操作之一模組。一算術運算單元(ALU)406 代表進行算術運算之模組。一乘法與累積(MAC)單元 408 代表進行計算觀察機率所需之重複 MAC 之模組。一多位元移位器(B)410 代表進行多位元移位操作之模組。FFT 單元 412 代表進行本發明 FFT 計算之模組。平方根(SQRT)計算器 414 代表進行平方根計算操作之模組。計時器 416 代表進行計時操作之模組。時脈產生器(CLKGEN)418 代表產生時脈與控制時脈速度以達低功率消耗之模組。

PMEM420 代表一程式記憶體模組；一 PMIF422 代表一程式記憶體介面模組；一 EXIF424 代表一外部介面模組；一 MEMIF426 代表一記憶體介面模組；一 HMM428 代表一隱藏馬可夫模型計算模組；一 SIF430 代表一同步串列介面模組；一 UART432 代表一萬用非同步接收器/發送器介面模組；一 GPIO434 代表一般用途輸出入模組；一 CODECIF436 代表一編解碼介面模組；以及一 CODEC(編碼



器/解碼器)440 代表進行 CODEC(編碼器/解碼器)操作之模組。一外部匯流排 452 對一外部記憶體進行資料收發。該 EXIF424 支援動態記憶體存取(DMA)。雖然第 4 圖未詳細顯示，該些匯流排 442，444，446，448 與 450 係連接至模組 402~440。

內建於各模組之一未示出控制器(解碼器)透過專用指令(OPcode)匯流排 448 與 450 來接收指令並解碼所接收之指令。資料係透過兩條讀取匯流排 442 與 444 輸入，或透過一寫入匯流排 446 輸出。

第 4 圖之該語音辨識裝置包括該 PMEM420，程式係透過該 EXIF424 而載入至該 PMEM420 內。

第 5 圖顯示在第 4 圖之該語音辨識裝置內之接收一控制指令與資料之操作方塊圖。該控制單元 402 直接解碼一控制指令並控制該些模組以執行指定於該控制指令內之操作。另外，該控制單元 402 透過 OPcode 匯流排 0 與 1(該 OPcode 匯流排 448 與 450)而輸出一控制指令至模組，並間接地控制各模組之操作。該些模組共享 OPcode 匯流排 0 與 1 以及讀取匯流排 A 與 B(該讀取匯流排 442 與 444)。

特別是，為直接控制操作之執行，該控制單元 402 從該 PMEM420 擷取一控制指令，解碼所擷取之該控制指令，讀取指定於該控制指令內之操作所需之資料並儲存所讀之資料於該暫存器檔單元 404 內。之後，如果所指定操作是一控制邏輯操作，此操作執行於該 ALU406 內。如果所指定操作是一 MAC 操作，此操作執行於該 MAC408 內。如果

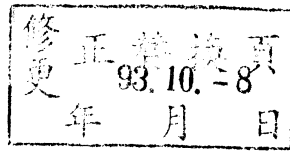


所指定操作是一多位元位移操作，此操作執行於該 B 位移器 410 內。如果所指定操作是一平方根取得操作，此操作執行於該 SQRT 計算器 414 內。指定操作之結果係儲存於該暫存器檔單元 404 內。

為間接控制操作之執行，該控制單元 402 利用該 OPcode 匯流排 0 與 1。該控制單元 402 依序輸入從該 PMEM420 擷取到之一控制指令至該 OPcode 匯流排 0 與 1 但不解碼所擷取之該控制指令。

該控制指令先輸入至該 OPcode 匯流排 0，並在該控制指令首次輸入後之一個時脈才輸入至該 OPcode 匯流排 1。如果該控制指令輸入至該 OPcode 匯流排 0，該些模組決定所輸入之該控制指令是否有關於本身。如果該些模組接收到有關於本身之控制指令，該些模組利用內建解碼器來解碼控制指令並進入待命狀態以執行指定於該控制指令內之操作。如果上述控制指令在輸入至該 OPcode 匯流排該 0 後之一個時脈也輸入至該 OPcode 匯流排 1，則第一次執行指定於該控制指令內之操作。也配置 RT 與 ET 信號線(未顯示)以代表輸入至該 OPcode 匯流排 0 與 1 之一控制指令是否被致能。

第 6 圖顯示在第 4 圖之該語音辨識裝置內之接收一控制指令與資料之操作時序圖。參考第 6 圖，最上端信號是一時脈信號 CLK，往下依序為輸入至該 OPcode 匯流排 0(OPcode448)之一控制指令；輸入至該 OPcode 匯流排 1(OPcode450)之一控制指令；一 RT 信號；一 ET 信號；輸



入至該讀取匯流排 A 之資料；以及輸入至該讀取匯流排 B 之資料。

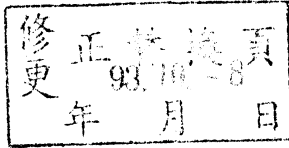
如果一控制指令係輸入至該 OPcode 匯流排 0 且該 OPcode 匯流排 0 被該 RT 信號致能，第 4 圖之某一模組辨識並解碼該控制指令接著進入至待命狀態。之後，如果相同之該控制指令輸入至該 OPcode 匯流排 1 且該 OPcode 匯流排 1 被該 ET 信號致能，該待命模組執行指定於該控制指令之操作。特別是，該待命模組從該讀取匯流排 A 與 B 讀取資料，執行指定於該控制指令之操作並透過一寫入匯流排而輸出該操作結果。

執行於第 4 圖之該語音辨識裝置內之語音辨識將參考第 1 圖而描述。參考第 4 圖，透過一麥克風(未示出)接收之一語音信號係在該 CODEC440(參考第 1 圖之該 ADC101)內變換成一數位信號。

由 ADC 得到之取樣資料係於既定時間之期間分割成方塊(block)，比如，以 30ms 為單位。如果時間軸上所產生之部份重疊之取樣資料依序標示為 d0，d1…且一資料方塊內之資料點之數量為 240，則分割該取樣資料且兩相鄰資料方塊之 80 個取樣資料係彼此重疊。比如，第一資料方塊具 d0~d239，而第二資料方塊具 d80~d319。

資料依此方式分割成方塊之理由在於，目前方塊之某些資料重疊於下一方塊之某些資料以減少複變 FFT 計算之誤差。

在複變 FFT 計算中，要增加計算速度可藉由應用目前



正在計算之資料方塊至該計算之實數部份以及應用下一次要計算之資料方塊至虛數部份以一次得到兩個 FFT 結果。在此，應用至實數部份之該資料值必需相似於應用至虛數部份之該資料值。

符合主馬可夫模型之聲音資料或影像資料由相似於相鄰資料值之資料值所組成。因此，聲音資料與影像資料適合於上述計算方法。

配置相同資料至兩個資料方塊可更進一步減少 FFT 計算之誤差範圍。

該 CODEC436 控制該 CODEC440 之操作。

如等式 1 所示，計算各方塊之自發性能量，比如 30ms。此外，計算等式 1 所需之 MAC 與平方根取得係分別執行於第 4 圖之該 ALU406，該 MAC 單元 408 與該 SQRT 計算器 414 內。

同樣地，如等式 2 所示，對各資料方塊之 FFT 計算係執行於該 FFT 單元 412 內。因此，可得到頻域之頻譜(參考第 1 圖之該能量計算器 103)。

利用所得之能量計算結果，可決定一語音信號(比如一字元)之起點與終點(參考第 1 圖之找終點單元 104)。

當決定一有效聲音區(比如一有效字元)時，只暫存(緩衝，buffer)相關於該有效聲音區之頻譜資料。第 4 圖之該暫存器檔單元 404 提供緩衝之儲存空間。

對於從該頻譜資料得到倒頻譜之預處理步驟而言，利用包括 32 頻帶之一頻譜來濾波之梅爾濾波係執行於第 1 圖



之該梅爾濾波器 106 內。因而，可得到該 32 頻帶之各頻帶之頻譜值。

當成 HMM 參數之倒頻譜可由將在頻域得到之頻譜值變換成時域上之頻譜值。因為將頻域變換成時域之 IDCT 操作係有關於 FFT 操作之逆操作，該 IDCT 操作可利用第 1 圖之該 IDCT 單元 107 內之第 4 圖之 FFT 單元 412 來執行。

該能量值與各倒頻譜值間之差異係由第 1 圖之該大小調整單元 108 來調整大小。另，從梅爾-倒頻譜值分隔出周期性與能量及減少雜訊係利用等式 3 而由第 1 圖之該倒頻譜視窗單元 109 執行。

當完成上述計算時，包括於各框之第 9 筆資料內之能量值係被第 1 圖之該正規化器 110 正規化以位於既定範圍內。

要得到正規化後之能量值可由：如等式 5 所示之在各框之第 9 筆資料中找出最大能量值以及如等式 6 所示之從各框之能量資料減去該最大能量值。

在第 1 圖之該動態特徵值單元 111，利用等式 7 來計算差量倒頻譜參數並選擇之做為一特徵值。

在該些計算之後，可得到相等於倒頻譜數量之差量倒頻譜之數量。

透過此過程，可取得根據 HMM 之字元搜尋所用之特徵值。

利用所得之特徵值，可執行利用既定 HMM 之字元搜尋。



觀察機率與計算係利用等式 8 與 9 而執行於該 HMM428(參考第 1 圖之該觀察機率計算裝置 112)內。所計算出之觀察機率代表可觀察到既定字元之各音位。該些音位具不同機率值。

該 MAC 單元 408 之操作有關於該 HMM428，且該 MAC 單元 408 交替地執行乘法與累積以計算該觀察機率。

當有效聲音區內之各音位之觀察機率已決定時，該觀察機率係應用至一狀態順序以得到最適當音位順序，此執行於第 1 圖之該狀態機台 113 內。

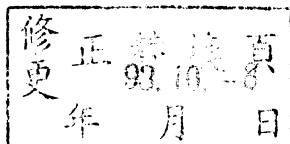
獨立字元辨識之 HMM 之各狀態順序一般是根據待辨識字元之各音位之特徵值而形成之一順序。

當完成各音位之機率計算(比如，各音位之狀態順序處理)時，得到各別音位之機率值。如等式 10 所示，係選擇出根據各別音位所累積之最終機率值而辨識之字元。在此，於第 1 圖之最大可能性尋找器 114 內，具最大機率之字元係選擇成已辨識字元。

第 4 圖之該語音辨識裝置根據儲存於該 PMEM420 內之程式而操作。為快取記憶體之該 PMIF422 係用以避免該語音辨識裝置之性能由於該控制(CTRL)辨識 402 與該 PMEM420 間之資料存取速度差而下降。

如上述，本發明實施例之該語音辨識裝置使得必要之語音辨識計算中之經常性計算執行於專用裝置中，因而能大大地改良該語音辨識裝置之性能。

由表 1 可看出，一般語音辨識所需之總計算數量約



100000，其中觀察機率佔了約 88.8%。

如上述演算法係安裝且執行於為一般用途處理器之常見 ARM 處理器中，可處理約 3 千 6 百萬個指令字元。已發現，在 3 千 6 百萬個指令字元中約有 3 千 3 百萬個指令字元是有用於 HMM 搜尋中。表 2 顯示利用 ARM 處理器來執行語音辨識真正所需之指令字元，其中該些指令字元係以功能來分類。

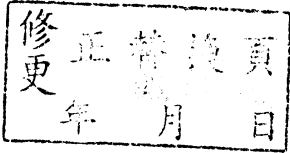


表 2

功能	指令字元之周期數	百分比(%)
觀察機率計算	22267200	61.7%
狀態機台更新	11183240	30.7%
FFT 計算	910935	2.50%
最大可能性找尋	531640	1.46%
梅爾濾波/IDCT/調整大小	473630	1.30%
動態特徵值決定	283181	0.78%
預加強&能量計算	272037	0.75%
倒頻譜視窗&正規化	156061	0.43%
終點找尋	123050	0.30%
總計	36400974	100%

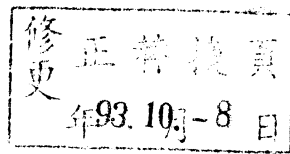
由表 2 可看出，觀察機率計算需要約 62%的指令字元。因此，將一專用裝置當成觀察機率計算器，以處理大部份指令字元，因而改良處理速度並減少功率消耗。

本發明也提供一種專用之觀察機率計算裝置，可用小量指令字元(亦即小量周期數)來計算觀察機率。

為改良觀察機率計算率，本發明也提供一種能計算最常計算到之機率間距計算等式之等式 9 與 10 之裝置，其只使用一個指令字元：

$$\frac{p[i][j]*(mean[i][j]-feature[k][j])^2}{2} \tag{11}$$

其中 $p[i][j]$ 代表散佈度(比如，散佈(dispersion)， $1/\sigma^2$)之準確度， $mean[i][j]$ 代表音位之平均值，而 $feature[k][j]$ 是音位之參數且代表能量與倒譜頻。在等式 11 中，



$(\text{mean}[i][j] - \text{feature}[k][j])$ 代表音位之可能性輸入參數與一預定義參數樣本間之差異(間距)。將 $(\text{mean}[i][j] - \text{feature}[k][j])$ 之結果平方以計算絕對可能性間距。 $(\text{mean}[i][j] - \text{feature}[k][j])$ 之平方乘上該散佈值來預測目標之真實間距。在此，該參數樣本可由許多語音資料中實驗而得。當從許多人得到之語音資料之數量增加時，可改良辨識率。

然而，在本發明中，可利用等式 12 來克服硬體之限制特徵(比如資料位元之限制(16 位元))來將辨識率最大化：

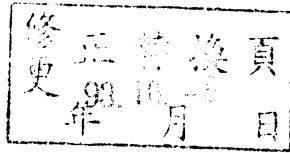
$$\{p[i][j] * (\text{mean}[i][j] - \text{feature}[k][j])\}^2 \quad (12)$$

其中 $p[i][j]$ 代表散佈度 $(1/\sigma)$ ，不同於等式 11 之散佈值 $1/\sigma^2$ 。現將描述為何用散佈度 $(1/\sigma)$ 來取代散佈值 $1/\sigma^2$ 。

在等式 9 中，將 $(m[i][j] - \text{feature}[i][j])$ 平方，而 $(m[i][j] - \text{feature}[i][j])$ 之平方係乘上 $p[i][j]$ 。然而，在等式 12 中， $(m[i][j] - \text{feature}[i][j])$ 乘上 $p[i][j]$ ，接著再將乘法結果方平。

另，在等式 9 中，需要高達 $(m[i][j] - \text{feature}[i][j])$ 之平方之位元解析度來表示 $p[i][j]$ 。然而，在等式 12 中，只需要相等於 $(m[i][j] - \text{feature}[i][j])$ 之位元解析度。

亦即，為維持 16 位元解析度，根據等式 9 之計算需要 32 位元來表示 $p[i][j]$ ，而根據等式 12 之計算只需要 16 位元來表示 $p[i][j]$ 。在等式 12 中，因為將 $\{p[i][j] * (\text{mean}[i][j] - \text{feature}[k][j])\}$ 之結果平方，可得到相近於使用 $1/\sigma^2$ 之等式 9 之計算效果。



第 7 圖顯示用於本發明實施例之語音辨識裝置中之觀察機率計算裝置之方塊圖。第 7 圖之該裝置係實施於第 4 圖之該 HMM428 中。將於底下描述，該 HMM428 包括：第 7 圖之該觀察機率計算裝置與一控制器(未示出)，該控制器解碼一指令字元以控制第 7 圖之該觀察機率計算裝置。

第 7 圖之該觀察機率計算裝置包括：一減法器 705，一乘法器 706，一平方器 707 與一累積器 708。參考符號 702，703 與 704 代表暫存器。

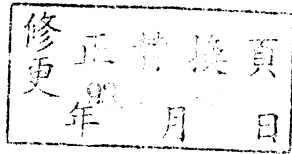
為一資料庫之一外部記憶體 701 儲存各音位樣本之準確度，平均值與特徵值。在此，準確度代表一散佈度($1/\sigma$)，平均值代表各音位樣本參數(能量+倒頻譜)之平均值，而特徵值 $k[i][j]$ 代表音位之參數(能量+倒頻譜)。

在第 7 圖之該觀察機率計算裝置中，首先，該減法器 705 計算平均值與特徵值間之差異值。接著，該乘法器 706 將所計算出之差異值乘上散佈度($1/\sigma$)以得到真實間距。接著，該平方器 707 將乘法結果平方以得到絕對差異值。之後，該累積器 708 將所得之平方累積至前一參數。

亦即，等式 12 中之結果係由該乘法器 706 得到，而等式 9 中之 Σ 計算結果係由該累積器 708 得到。

該外部記憶體 701 儲存 $p[i][j]$ ， $\text{mean}[i][j]$ 與 $\text{feature}[i][j]$ ，並依既定順序將之連續輸出至該些暫存器 702，703 與 704。預先定義該既定順序使得 i 與 j 能連續增加。

當交替 i 與 j 時， $p[i][j]$ ， $\text{mean}[i][j]$ 與 $\text{feature}[i][j]$ 係



連續輸出至暫存器 702，703 與 704。該暫存器 709 得到最終累積之觀察機率。藉由此機率累積，最相似於輸入音位之一音位樣本係具有最大機率。在第 7 圖之該觀察機率計算裝置之前端與後端之該些暫存器 702，703，704 與 709 係用以穩定資料。

第 7 圖之該乘法器 706 與該累積器 708 可由第 4 圖之該 MAC 單元 408 支援。

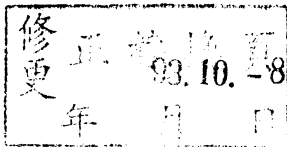
在第 7 圖之該觀察機率計算裝置內，資料之位元解析度可能因為處理器架構而有變化。當位元數增加時，可計算更詳細結果。然而，因為位元解析度有關於電路之大小，必需考量辨識率來選擇適當解析度。

為方便於了解位元解析度之選擇，第 8 圖顯示具 16 位元解析度之處理器之內部位元解析度。在此，各階之切割處理係根據 16 位元之資料寬度限制，且有關於儘可能避免令性能下降之一選擇處理。相比於只使用一般用途處理器，如果使用本發明實施例之該觀察機率計算裝置，可大大地改良處理速度。

特徵值與平均值係分別包括 4 位元整數與 12 位元小數。該減法器 705 將該特徵值減去該平均值以得到包括 4 位元整數與 12 位元小數之一值。

準確度係包括 7 位元整數與 9 位元小數。該乘法器 706 將該準確度乘上減法結果以得到包括 10 位元整數與 6 位元小數之一值。

該平方器 707 將該乘法器 706 之結果平方以得到包括



20 位元整數與 12 位元小數之一值。該累積器 708 將此值加至前一值並調整大小(scale)以得到包括 20 位元整數與 11 位元小數之一值。

表 3 比較當使用常用 HMM 之一語音辨識演算法執行於 ARM 系列之一般處理器中以及當語音辨識演算法執行於應用本發明實施例之該觀察機率計算裝置之一專用處理器中。

表 3

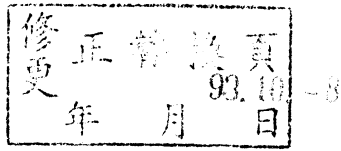
處理器	周期數	時間(20M CLK)
ARM 處理器	36400974	1.82s
應用觀察機率計算裝置之處 理器	15151534	0.758s

由表 3 可看出，一般用途處理器執行約 3 千 6 百萬個周期以執行語音辨識，而應用觀察機率計算裝置之專用處理器只執行約 1 千 5 百萬個周期，約一般用途處理器之周期數之一半。因此，可進行即時語音辨識。亦即，即使在低時脈頻率下，該專用處理器性能相同於一般用途處理器。因此，可大大地減少功率消耗。功率消耗與時脈頻率間之關係可表示於等式 13：

$$P=(1/2)*C*f*V^2 \quad (13)$$

其中 P 代表功率消耗量，而 C 代表為電路特徵值之一之電容值。在等式 13 中，f 代表電路內之信號之總轉態程度。轉態有關於時脈速度。在等式 13 中，V 代表所施加之電壓。因此，如果減半時脈速度，理論上，功率消耗量也會減半。

在第 4 圖之該語音辨識裝置中，該 CLKGEN418 產生

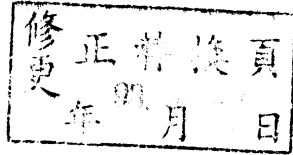


要輸入至該語音辨識裝置之其他模組之一時脈信號並支援時脈速度改變以達低功率消耗。

第 7 圖之本發明實施例之該觀察機率計算裝置儲存以實驗法預先得到各種人類之音位樣本之平均值；音位樣本間之轉態機率；散佈度；以及從該外部記憶體 701 內之新輸入語音所得之參數。這些資料係存於該專用觀察機率計算裝置之暫存器 702，703 與 704 內以將由於外部資料變動所導致之信號變動減至最小。將資料儲存於該專用觀察機率計算裝置係十分相關於功率消耗。在存於該專用觀察機率計算裝置之內部暫存器內之該些資料中，從輸入語音信號取得之參數(比如特徵值)與預存平均值間之該差值係由該減法器 705 得到。

該乘法器 706 將所得之差值係乘上代表該散佈度($1/\sigma$)之準確度。該平方器 707 將乘法結果平方以得到基本機率間距。因為該基本機率間距只相關於從字元得到之眾多語音參數框中之一目前參數，該累積器 708 必需將該基本機率間距加至前一機率間距以累積機率間距值。為進行累積，存於該暫存器 709 內之資料係輸出至該累積器 708 使得該資料能用於下一次計算。

該些暫存器不只用於累積操作中，也可用於將信號轉態最小化。該累積操作係同時應用至所有既定音位，而得到之累積值係存於各別音位或各別狀態之適當位置。因此，如果已完成相關於該輸入語音之所有參數之累積計算，字元之各音位之最大累積值可辨識為最可能之相似音



位。利用該累積值來決定最終辨識字元之操作可由現有處理器來執行。

第 4 圖之該 HMM428 有關於第 4 圖之該專用觀察機率計算裝置。該 HMM428 利用對一輸入語音之特徵值預先決定出之 HMM 來進行字元搜尋。

亦即，該 HMM428 透過該 OPcode 匯流排 0 與 1(OPcode 匯流排 448 與 450)接收一指令，解碼該指令，並控制第 7 圖之該專用觀察機率計算裝置以執行觀察機率計算。觀察機率計算所需之資料係透過兩讀取匯流排 442 與 444 而輸入，並透過該寫入匯流排 446 而輸出。

該 HMM428 透過該 OPcode 匯流排 448 與 450 接收從第 4 圖之該控制單元 403 輸出之一控制指令，利用內部控制器(未示出)解碼該控制指令，並控制第 7 圖之該專用觀察機率計算裝置以執行觀察機率計算。

本發明實施例之一專用觀察機率計算裝置利用上述 HMM 搜尋方法可有效執行佔去總計算數之大部份之觀察機率計算。

此外，本發明實施例之該專用觀察機率計算裝置可將指令字元之數量減少 50%或更多。因此，觀察機率計算所必需之操作可以低時脈速度執行，且可減少功率消耗量。

甚至，本發明實施例之該專用觀察機率計算裝置可根據 HMM 而執行機率計算。

FFT 是執行頻域與時域間信號變換之一種演算法，且一般以軟體方式實施。然而，最近趨勢是 FFT 可用硬體方



式實施以達成快速即時處理。

最近，歐洲數位廣播標準應用包括傅立葉變換之 COFDM(Coded Orthogonal Frequency Division Multiplex, 垂直正交碼頻率分割多工器)以增加對通道雜訊之抗性。另，各種測量器(比如，頻譜分析儀)，語音辨識裝置等使用一 FFT 裝置。

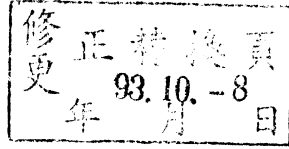
離散信號之傅立葉變換可利用離散傅立葉變換(DFT)或 FFT 而達成。離散傅立葉變換會降低對策之效率，因為需要 $N*N$ 個計算。然而，FFT 可有效執行，因為只需要 $(N/2)\log(N)$ 個計算量。特別是，當信號數量增加時，計算數量會大幅增加。因此，FFT 係廣泛應用於快速即時處理之領域中。

FFT 計算可表示於等式 14：

$$\begin{aligned} X(k) &= \sum_{n=0}^{N-1} x(n) * e^{-j\frac{2\pi}{N}k*n} = \sum_{n=0}^{N/2-1} x(n) * e^{-j\frac{2\pi}{N}k*n} + \sum_{n=N/2}^{N-1} x(n) * e^{-j\frac{2\pi}{N}k*n} \\ &= \sum_{n=0}^{N/2-1} x(n) * e^{-j\frac{2\pi}{N}k*n} + \sum_{n=0}^{N/2-1} x(N/2+n) * e^{-j\frac{2\pi}{N}k*n} * e^{-j\frac{2\pi}{N/2}k*n} \quad (14) \end{aligned}$$

如果 k 是偶數， k 可表示為 $2r$ 。如果將 $2r$ 代入等式 14 中之 k ，等式 14 可重寫成等式 15：

$$\begin{aligned} X(2r) &= \sum_{n=0}^{N/2-1} x(n) * e^{-j\frac{2\pi}{N}2r*n} + \sum_{n=0}^{N/2-1} x(N/2+n) * e^{-j\frac{2\pi}{N}2r*n} * e^{-j\frac{2\pi}{N/2}2r*n} \\ &= \sum_{n=0}^{N/2-1} x(n) * e^{-j\frac{2\pi}{N}2r*n} + \sum_{n=0}^{N/2-1} x(N/2+n) * e^{-j\frac{2\pi}{N}2r*n} \\ &= \sum_{n=0}^{N/2-1} \{x(n) + x(N/2+n)\} * e^{-j\frac{2\pi}{N}2r*n} \\ &= \sum_{n=0}^{N/2-1} \{x(n) + x(N/2+n)\} * e^{-j\frac{2\pi}{N/2}r*n} \quad (15) \end{aligned}$$



如果 k 是奇數， k 可表示為 $2r+1$ 。如果將 $2r+1$ 代入等式 14 中之 k ，等式 14 可重寫成等式 16：

$$\begin{aligned}
 X(2r+1) &= \sum_{n=0}^{N/2-1} x(n) * e^{-j\frac{2\pi}{N}(2r+1)*n} + \sum_{n=0}^{N/2-1} x(N/2+n) * e^{-j\frac{2\pi}{N}(2r+1)*n} * e^{-j\frac{2\pi}{N/2}(2r+1)*n} \\
 &= \sum_{n=0}^{N/2-1} x(n) * e^{-j\frac{2\pi}{N}(2r+1)*n} - \sum_{n=0}^{N/2-1} x(N/2+n) * e^{-j\frac{2\pi}{N}(2r+1)*n} \\
 &= \sum_{n=0}^{N/2-1} \{x(n) - x(N/2+n)\} * e^{-j\frac{2\pi}{N}2r*n} * e^{-j\frac{2\pi}{N}n} \\
 &= \sum_{n=0}^{N/2-1} \{x(n) - x(N/2+n)\} * e^{-j\frac{2\pi}{N/2}r*n} * e^{-j\frac{2\pi}{N}n} \quad (16)
 \end{aligned}$$

因此， $X(k)$ 可重排於等式 17：

$$\begin{aligned}
 X(k) &= X(2r) + X(2r+1) \\
 &= \sum_{n=0}^{N/2-1} \{x(n) + x(N/2+n)\} * e^{-j\frac{2\pi}{N/2}r*n} + \sum_{n=0}^{N/2-1} \{x(n) - x(N/2+n)\} * e^{-j\frac{2\pi}{N/2}r*n} * e^{-j\frac{2\pi}{N}n} \\
 &\quad (17)
 \end{aligned}$$

等式 17 顯示對 N 個點(比如， N 個取樣資料)之離散傅立葉變換(DFT)可分割成對 $N/2$ 個點(比如， N 個取樣資料)之兩個 DFT，重複該分割以得到具基本架構之 DFT，且該基本 DFT 係重複進行以完成 FFT。

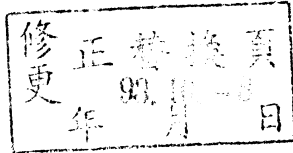
在等式 17 中，可去除 $e^{-j\frac{2\pi}{N/2}r*n}$ 因其係計算於下一 FFT 計算中。

如果對 $e^{-j\frac{2\pi}{N/2}r*n}$ 應用傳統歐拉(Euler)公式，則 $e^{-j\frac{2\pi}{N/2}r*n}$ 可表示於等式 18：

$$e^{-j\frac{2\pi}{N/2}r*n} = \cos\left(\frac{2\pi}{N}n\right) - j\sin\left(\frac{2\pi}{N}n\right) \quad (18)$$

因此，等式 17 可重寫成等式 19：

$$x(n) = \left\{ \left\{ x(n) - x\left(\frac{N}{2} + n\right) \right\} \cos\left(\frac{2\pi}{N}n\right) + j \left\{ x(n) - x\left(\frac{N}{2} + n\right) \right\} \sin\left(\frac{2\pi}{N}n\right) \right\} \quad (19)$$



將 $z(n)$ 代入等式 19 中之 $x(n)$ ，具複數之信號 $z(n)=x(n)+jy(n)$ 之複變 FFT 可表示於等式 20 中：

$$z(n)=\{ \{z(n)-z(\frac{N}{2}+n)\} \cos(\frac{2\pi}{N}n) + j\{z(n)-z(\frac{N}{2}+n)\} \sin(\frac{2\pi}{N}n) \} \quad (20)$$

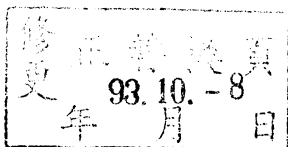
將 $z(n)=x(n)+jy(n)$ 代入等式 20 中，等式 20 可重寫成等式 21：

$$\begin{aligned} z(n)=\{ \{x(n)-x(\frac{N}{2}+n)\} \cos(\frac{2\pi}{N}n) - \{y(n)-y(\frac{N}{2}+n)\} \sin(\frac{2\pi}{N}n) \} \\ + j\{y(n)-y(\frac{N}{2}+n)\} \cos(\frac{2\pi}{N}n) - \{x(n)-x(\frac{N}{2}+n)\} \sin(\frac{2\pi}{N}n) \} \quad (21) \end{aligned}$$

其中 $x(n)$ 是實數，而 $y(n)$ 是虛數。

$\{ \{x(n)-x(\frac{N}{2}+n)\} \cos(\frac{2\pi}{N}n) - \{y(n)-y(\frac{N}{2}+n)\} \sin(\frac{2\pi}{N}n) \}$ 代表複變 FFT 所得之輸出值之實數部份，而 $j\{y(n)-y(\frac{N}{2}+n)\} \cos(\frac{2\pi}{N}n) - \{x(n)-x(\frac{N}{2}+n)\} \sin(\frac{2\pi}{N}n)$ 代表複變 FFT 所得之輸出值之虛數部份。

將目前資料方塊代入複變 FFT 之實數部份並將 0 代入複變 FFT 之虛數部份可進行實數 FFT。因此，虛數 FFT 是不必要的。為避免計算不必要的 FFT，將下一資料方塊，而非 0，代入複變 FFT 之虛數部份。因此，可一次得到兩個 FFT 結果。此種複變 FFT 計算所得之值不同於各別計算資料方塊之 FFT 之值。然而，如果兩資料方塊彼此沒有顯著不同，比如語音信號，FFT 可進行於小誤差範圍內。比如，如果時間軸上之連續資料方塊由 $D(T), D(T-1), D(T-2) \dots$ 代表，而對 $D(T)$ 之 FFT 可由分別將 $D(T)$ 與 $D(T-1)$ 代入該第一 FFT 之實數部份與虛數部份而計算。對 $D(T-1)$ 之 FFT 可由分別將 $D(T-1)$ 與 $D(T-2)$ 代入該第二 FFT 之實數部份與虛



數部份而計算。對各別資料方塊進行重複 FFT 計算可更進一步縮小誤差範圍。

亦即，在對包括一第一實數與一第一虛數之一第一複數及包括一第二實數與一第二虛數之一第二複數所進行之 FFT 計算中，分別有關於 $x(n)$ 與 $x(N/2)$ 之該第一與第二實數係加入一實數資料方塊。分別有關於 $y(n)$ 與 $y(N/2)$ 之該第一與第二虛數係加入一虛數資料方塊。

第 9 圖顯示用以進行 2 根(radix 2)之複變 FFT 之裝置之基本架構。第 9 圖之裝置一般稱為蝴蝶(butterfly)計算器。

在第 9 圖中，箭頭代表資料流向，圓圈中之 $+/x$ 代表加法與乘法，而方塊中之內容代表輸入或計算結果(比如，輸出)。左方的方塊中之內容代表輸入，而右方的方塊中之內容代表輸出，而中間的方塊中之內容代表得到輸出所必要之中間值。

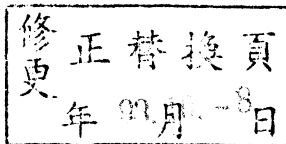
x_n 與 $x_{N/2+n}$ 是實數輸入，而 y_n 與 $y_{N/2+n}$ 是虛數輸入。實際上， x_n 與 $x_{N/2+n}$ 分別是資料方塊 $D(T-1)$ 之第 n 個與第 $(N/2+n)$ 個資料，而 y_n 與 $y_{N/2+n}$ 分別是資料方塊 $D(T-2)$ 之第 n 個與第 $(N/2+n)$ 個資料。如果從沒有顯著變化之信號(比如語音信號)取樣出兩個連資料方塊 $D(T-1)$ 與 $D(T-2)$ ，複變 FFT 可進行於小誤差範圍內。

中間值 a) 是 $x(n)+x(N/2+n)$

中間值 b) 是 $y(n)+y(N/2+n)$

中間值 c) 是 $x(n)-x(N/2+n)$

中間值 d) 是 $y(n)-y(N/2+n)$



輸出值 e) 是 $\{x(n) - x(\frac{N}{2} + n)\} \cos(\frac{2\pi}{N}n) - \{y(n) - y(\frac{N}{2} + n)\} \sin(\frac{2\pi}{N}n)$

輸出值 f) 是 $\{y(n) - y(\frac{N}{2} + n)\} \cos(\frac{2\pi}{N}n) - \{x(n) - x(\frac{N}{2} + n)\} \sin(\frac{2\pi}{N}n)$

輸出值 e) 與 f) 用於下一階之 DFT 中，但實際上會回至第 9 圖中之基本架構。

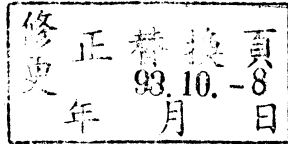
如值 e) 與 f) 所示，輸入四個輸入項與兩個係數，為基本 FFT 計算實施之 2 根之複變 FFT 導致四個值。

此種 FFT 計算可粗略分類成使用一般用途處理器之軟體與使用專用 FFT 計算裝置之軟體。一般用途處理器，比如為 CPU 或數位信號處理器(DSP)一般使用三條匯流排系統。在三條匯流排系統中，計算兩個輸入項而得一個結果值之計算(比如加法或乘法)可使用管線化進行於一個周期內。然而，輸入四個輸入項與兩個係數(比如，正弦與餘弦係數)而得到四個結果值之計算(比如，2 根之複變 FFT)需要許多周期。因此，在三條匯流排系統中，即使此種計算所必需之操作係以管線化進行，也無法快速計算。

為解決此問題，傳統 FFT 計算裝置應用一係數專用記憶體，一位址計算器與一專用匯流排。另外，一傳統 FFT 計算裝置應用兩條寫入匯流排。然而，此兩種習知傳之缺點在於晶片體積，功率消耗等。另，因為傳統 FFT 計算裝置之獨特結構會導致良率下降。甚至，因為傳統 FFT 計算裝置不相容於一般用途處理器，無法立即應用於 IP 產業。

本發明實施例提供改良後之複變 FFT 計算裝置，可將 FFT 計算速度提高至最大。

第 10 圖顯示用於本發明實施例之語音辨識裝置中之



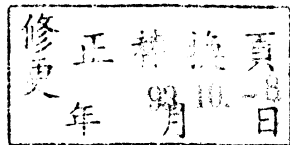
複變 FFT 計算裝置之方塊圖。第 10 圖之複變 FFT 計算裝置係用於具兩條讀取匯流排與一條寫入匯流排之三條匯流排系統中，且實施於第 4 圖之該 FFT 單元 412 中。

第 10 圖之複變 FFT 計算裝置包括：第一與第二輸入暫存器 1002 與 1004，載入從讀取匯流排 A 與 B(讀取匯流排 442 與 444)輸出之複變 FFT 計算必需之資料；第一與第二係數暫存器 1006 與 1008，載入從讀取匯流排 A 與 B(讀取匯流排 442 與 444)輸出之複變 FFT 計算之正弦與餘弦值；一加法器 1014；一減法器 1016；第一與第二乘法器 1018 與 1020，將該減法器 1016 之輸出分別乘上該第一與第二係數暫存器 1006 與 1008 之輸出；四個儲存暫存器 1024，1026，1028 與 1030，用於進行複變 FFT 計算時；第一與第二多工器 1010 與 1012，支援該加法器 1014 與該減法器 1016 之操作；第三多工器 1032，控制一輸出操作；以及一控制器 1034，控制第 10 圖之該複變 FFT 計算裝置之元件之操作。

第 11 圖顯示第 10 圖之複變 FFT 計算裝置之時序圖。第 10 圖之複變 FFT 計算裝置之 2 根複變 FFT 計算係執行於第四與第五周期。

在第一周期中，複變 FFT 計算所用之正弦係數與餘弦係數係分別透過讀取匯流排 A 與 B 而載入至第一與第二係數暫存器 1006 與 1008。

在第二周期中，載入複變 FFT 計算所用之實數部份並進行加法與減法。特別是， x_n 透過讀取匯流排 A 而載入於



該第一輸入暫存器 1002 而 $x_{N/2+n}$ 透過讀取匯流排 B 而載入於該第二輸入暫存器 1004。該加法器 1014 將 x_n 加上 $x_{N/2+n}$ ；該減法器 1016 將 x_n 減去 $x_{N/2+n}$ 。因為該加法器 1014 與該減法器 1016 在接收輸入時會自動進行操作，故不需要額外操作周期。該加法器 1014 之輸出係輸入至該第三多工器 1032，而該減法器 1016 之輸出係輸入至該第三多工器 1032 與該第一與第二乘法器 1018 與 1020。

該第一乘法器 1018 將該減法器 1016 之輸出 $(x_n - x_{N/2+n})$ 乘上載入於該第一係數暫存器 1006 內之該正弦係數以得到表示第 9 圖之該值 f) 之該公式之第二項 $(\{x(n) - x(\frac{N}{2} + n)\} \sin(\frac{2\pi}{N}n))$ 。該第一乘法器 1018 之輸出係存於該第一儲存暫存器 1024 內。

該第二乘法器 1020 將該減法器 1016 之輸出 $(x_n - x_{N/2+n})$ 乘上載入於該第二係數暫存器 1008 內之該餘弦係數以得到表示第 9 圖之該值 e) 之該公式之第一項 $(\{x(n) - x(\frac{N}{2} + n)\} \cos(\frac{2\pi}{N}n))$ 。該第二乘法器 1020 之輸出係存於該第二儲存暫存器 1026 內。

在第三周期內，載入用於複變 FFT 計算中之虛數資料接著進行加法與減法。特別是， y_n 透過讀取匯流排 A 而載入至該第一輸入暫存器 1002 而 $y_{N/2+n}$ 透過讀取匯流排 B 而載入至該第二輸入暫存器 1004。該加法器 1014 將 y_n 加上 $y_{N/2+n}$ ；該減法器 1016 將 y_n 減去 $y_{N/2+n}$ 。因為該加法器 1014 與該減法器 1016 在接收輸入時會自動進行操作，故不需要



額外操作周期。該加法器 1014 之輸出係輸入至該第三多工器 1032，而該減法器 1016 之輸出係輸入至該第三多工器 1032 與該第一與第二乘法器 1018 與 1020。

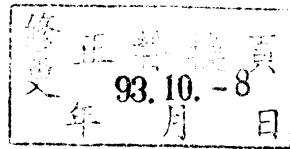
該第一乘法器 1018 將該減法器 1016 之輸出 $(y_n - y_{N/2+n})$ 乘上載入於該第一係數暫存器 1006 內之該正弦係數以得到表示第 9 圖之該值 e) 之該公式之第二項 $(\{y(n) - y(\frac{N}{2} + n)\} \sin(\frac{2\pi}{N}n))$ 。該第一乘法器 1018 之輸出係存於該第三儲存暫存器 1028 內。

該第二乘法器 1020 將該減法器 1016 之輸出 $(y_n - y_{N/2+n})$ 乘上載入於該第二係數暫存器 1008 內之該餘弦係數以得到表示第 9 圖之該值 f) 之該公式之第一項 $(\{y(n) - y(\frac{N}{2} + n)\} \cos(\frac{2\pi}{N}n))$ 。該第二乘法器 1020 之輸出係存於該第四儲存暫存器 1030 內。

在第四周期內，2 根之複變 FFT 之實數值(比如，第 9 圖之值 e))係利用存於該第二與第三儲存暫存器 1026 與 1028 內之值而計算。

特別是，存於該第二儲存暫存器 1026 內之 $\{x(n) - x(\frac{N}{2} + n)\} \cos(\frac{2\pi}{N}n)$ 與存於該第三儲存暫存器 1028 內之 $\{y(n) - y(\frac{N}{2} + n)\} \sin(\frac{2\pi}{N}n)$ 係透過該第二多工器 1012 而輸入至該減法器 1016。該減法器 1016 將 $\{x(n) - x(\frac{N}{2} + n)\} \cos(\frac{2\pi}{N}n)$ 減去 $\{y(n) - y(\frac{N}{2} + n)\} \sin(\frac{2\pi}{N}n)$ 並將結果輸出至該第三多工器 1032。要注意，該減法器 1016 之輸出是第 9 圖之值 e)，亦即 2 根之複變 FFT 之實數值。

該減法器 1016 之輸出透過該第三多工器 1032 而輸入



至一輸出暫存器 1036 並透過一寫入匯流排 C 而存於一記憶體(未示出)。

在第五周期內，2 根之複變 FFT 之虛數值(比如，第 9 圖之值 f))係利用存於該第一與第四儲存暫存器 1024 與 1030 內之值而計算。

特別是，存於該第一儲存暫存器 1024 內之 $\{x(n) - x(\frac{N}{2} + n)\} \sin(\frac{2\pi}{N}n)$ 與存於該第四儲存暫存器 1030 內之 $\{y(n) - y(\frac{N}{2} + n)\} \cos(\frac{2\pi}{N}n)$ 係透過該第一多工器 1010 而輸入至該加法器 1014。該加法器 1014 將 $\{x(n) - x(\frac{N}{2} + n)\} \sin(\frac{2\pi}{N}n)$ 加上 $\{y(n) - y(\frac{N}{2} + n)\} \cos(\frac{2\pi}{N}n)$ 並將結果輸出至該第三多工器 1032。要注意，該加法器 1014 之輸出是第 9 圖之值 f)，亦即 2 根之複變 FFT 之虛數值。

該加法器 1014 之輸出透過該第三多工器 1032 而輸入至該輸出暫存器 1036 並透過一寫入匯流排 C 而存於一記憶體(未示出)。

為利用第 10 圖所示之 2 根之蝴蝶計算裝置對 N 點進行複變 FFT 計算，必需進行 $(N/2)\log(N)$ 階。在此，N 為 2 的次方，而一點代表存於一資料方塊內之資料量之單位。

在對 16 點進行複變 FFT 計算之例中，需要 4 階。在對 256 點進行複變 FFT 計算之例中，需要 8 階。

第 11 圖顯示對 16 點進行複變 FFT 計算之例中各階之資料流向。在完成複變 FFT 計算後，最終得到之 FFT 係數之輸出順序不同於第一階中之資料點之輸入順序。因此，



需要再度排列 FFT 係數，這將於底下詳述。

之後，將計算對 256 點進行複變 FFT 計算之第 10 圖之該 2 根蝴蝶計算裝置所需之周期數。

在對 N 點方塊進行複變 FFT 計算之各階中，對前一階之 m 點(m 代表正偶數且等於或小於 N)資料方塊之 DFT 係變換成對 m/2 點資料方塊之兩個 DFT。因此，各階需要 N/2 個 2 根複變 FFT 計算。在對 256 點進行複變 FFT 計算之例中，重複 128 次相同操作，而利用第 10 圖之該裝置在各階中改變一資料點。

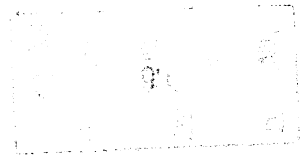
複變 FFT 計算所需之周期數是 5120，這可由底下公式得到：

周期數=(載入係數所需之 1 周期+計算與輸出所需之 1 周期)*128(此為在一階內重複 FFT 之次數)*8(此為 256 點之 FFT 之階之數量)。

此計算是根據計算方塊之複變 FFT 之方塊固定式演算法，其中每一階之方塊數會加倍。

第 12 圖顯示方塊固定式演算法之流程圖。在 FFT 計算中，目前階之方塊數量是前一階之方塊數量之兩倍，但同一階中之所有方塊共享係數。比如，每一階之方塊數會加倍，比如從目前階之 N/2 增加成下一階之 N/2*2，但各方塊之大小會每一階減半。

在方塊固定式演算法中，對各別方塊進行各別操作。特別是，每次計算一資料方塊之 FFT，都需載入必要性係數。



在步驟 S1202 中，設定第一階(stage0)之變數。變數 numb(代表方塊之數量)設為 1，而變數 lenb(代表方塊之長度)設為 $N/2$ 。

在步驟 S1204 中，定址(addressing)實數資料之變數 j1 之初始值設為 0，而定址虛數資料之變數 j2 之初始值設為變數 lenb 之值。假設該實數資料(比如資料方塊 D(T-1))與該虛數資料(比如資料方塊 D(T-2))連續存於一記憶體內。變數 w_{step} 代表變數 w 之基本部份。

在步驟 S1206 中，各資料方塊之變數 j1 之初始值設為在步驟 S1204 之變數 j1 之初始值與變數 lenb 之初始值之總和。各資料方塊之變數 j2 之初始值設為在步驟 S1204 之變數 j2 之初始值與變數 lenb 之初始值之總和。變數 w 設為 0。變數 k2 代表待處理之資料方塊。

在步驟 S1208 中，進行蝴蝶計算。對各別資料方塊之 FFT 係利用第 10 圖之該裝置而計算。變數 k1 代表處理資料之順序。

在步驟 S1210 中，指定待處理之下一資料。將變數 k1 加 1，而更新後變數 k1 之值係相比於變數 lenb 之值。如果變數 k1 之值小於變數 lenb 之值，比如，如果待處理資料仍處於目前資料方塊內，該流程回至步驟 S1208。另一方面，如果變數 k1 之值等於或大於變數 lenb 之值，比如，如果目前資料方塊內之所有資料已處理完畢，該流程跳至步驟 S1212。

在步驟 S1212 中，指定待處理之下一資料方塊。將變

數 $k2$ 加 1，而更新後變數 $k2$ 之值係相比於變數 $numb$ 之值。如果變數 $k2$ 之值小於變數 $numb$ 之值，比如，如果待處理之方塊仍處於目前階內，該流程回至步驟 S1206。另一方面，如果變數 $k2$ 之值等於或大於變數 $numb$ 之值，比如，如果目前階內之所有資料方塊已處理完畢，該流程跳至步驟 S1214。

在步驟 S1214 中，指定待處理之下一階。將變數 $numb$ 之值加倍，而將變數 $lenb$ 之值減半。

在步驟 S1216 中，要決定是否已處理完所有階。將變數 $stage$ 加 1，而更新後變數 $stage$ 之值係相比於 $\log_2 N$ 之值。如果更新後變數 $stage$ 之值小於 $\log_2 N$ ，該流程回至步驟 S1204。另一方面，如果更新後變數 $stage$ 之值等於或大於 $\log_2 N$ ，則結束目前的 FFT 計算。

在方塊固定式演算法中，各資料都需要載入係數所用之周期，但因為下一資料點可透過單簡加法操作而定址，故可簡化各方塊內之定址資料點之操作。因此，方塊固定式演算法適合於處理小量方塊之前階。

在方塊固定式演算法中，每次計算資料方塊之 FFT 時都要載入係數。也可應用係數固定式演算法，其中在載入共享係數後，才取出與進行使用各資料方塊之共享係數之操作。

FFT 所需之最大周期數是 4351，這可由計算而得

$$\sum_{stage=1}^8 \frac{1*128}{2^{stage-1}} + 4*128*8$$

第 13 圖顯示係數固定式演算法之流程圖。在係數固

定式演算法中，取出與集合使用各資料方塊之共享係數之操作，載入共享係數，且所集合之已取出操作係同時進行。

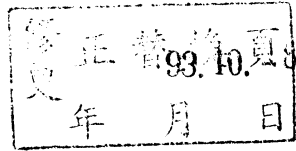
在 FFT 計算中，下一階之資料方塊處理量是目前階之資料方塊處理量之兩倍，但各方塊之資料點之數量卻減半。然而，同一階中所處理之所有方塊使用共享係數。如果計算 256 點資料方塊之 FFT，stage0 所處理之資料方塊之數量是 2，各方塊之資料點之數量是 128，而各方塊所用之係數之數量是 1428，則該些係數被該些資料方塊所共享且決定為 $2\pi n/N$ (n 是 0, 2, 4, ..., 256, 在此為 128)。亦即，如將各資料方塊之資料點排序，同一序上之資料方塊之資料點可使用共享係數。

在係數固定式演算法中，先載入共享係數，且依照資料方塊之順序來計算在該些資料方塊共享係數之資料點之 FFT。

在步驟 S1302 中，設定第一階(stage 0)之變數。變數 numb(代表方塊之數量)設為 1，而變數 lenb 與 hlenb(代表方塊之長度)分別設為 N 為 $lenb/2$ 。

在步驟 S1304 中，係數定址用之變數 w 與 w_{step} 係分別設為 0 為 2^{stage} ，而資料定址之變數 jp 設為 0。變數 stage 代表目前正在處理之階，而變數 w_{step} 代表變數 w 之基本部份。

在步驟 S1306 中，將變數 w_{step} 加至變數 w ，將變數 jp 加 1，而資料定址之變數 $j1$ 與 $j2$ 分別設為變數 jp 之值與 $jp+hlenb$ 之值。在此，變數 $j1$ 用於定址實數資料，而變數



j2 用於定址虛數資料。變數 k1 代表資料處理之順序。

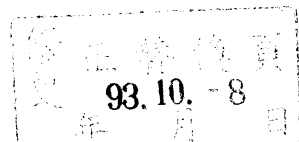
在步驟 S1308 中，進行蝴蝶計算。各階之 FFT 與各別資料方塊之 FFT 係利用第 10 圖之該裝置而計算。

在步驟 S1310 中，指定待處理之下一資料。將變數 k1 加 1，而更新後變數 k1 之值係相比於變數 numb 之值。如果變數 k1 之值小於變數 numb 之值，比如，如果待處理資料仍處於目前資料方塊內，該流程回至步驟 S1308。另一方面，如果變數 k1 之值等於或大於變數 numb 之值，比如，如果目前資料方塊內之所有資料已處理完畢，該流程跳至步驟 S1312。

在步驟 S1312 中，指定待處理之下一資料方塊。將變數 k2 加 1，而更新後變數 k2 之值係相比於變數 hlenb 之值。如果變數 k2 之值小於變數 hlenb 之值，比如，如果待處理之方塊仍處於目前階內，該流程回至步驟 S1306。另一方面，如果變數 k2 之值等於或大於變數 hlenb 之值，比如，如果目前階內之所有資料方塊已處理完畢，該流程跳至步驟 S1314。變數 k2 代表待處理之方塊。

在步驟 S1314 中，重設下一階所要用到之變數。將變數 numb 之值加倍，而將變數 lenb 與 hlenb 之值減半。

在步驟 S1316 中，要決定是否已處理完所有階。將變數 stage 加 1，而更新後變數 stage 之值係相比於 $\log_2 N$ 之值。如果更新後變數 stage 之值小於 $\log_2 N$ ，該流程回至步驟 S1304。另一方面，如果更新後變數 stage 之值等於或大於 $\log_2 N$ ，則結束目前的 FFT 計算。



在係數固定式演算法中，載入係數之周期數會減半，但對該些資料方塊中共享係數之資料點進行定址之操作之周期數會增加。因此，係數固定式演算法更適合於處理少量方塊之前段階，而非處理大量方塊之後段階。

根據分析，方塊固定式演算法需約 6200 周期。

更可使用分階法於方塊固定式演算法中。如果將階 7 分離，需約 5500 周期。如果將階 7 分離於階 6，需約 5200 周期。

在此，分階代表只對某些階進行迴圈(代表周期性重複邏輯，比如，for-while 操作或 do-while 操作)。特別是，如果將階 7 分離，對階 0~階 6 之演算法係以迴圈進行，而對階 7 之演算法則不以迴圈進行。

可發現，係數固定式演算法需約 5400 周期。也可使用分階法於係數固定式演算法中。如果將階 0 分離於其他階，需約 5430 周期。如果將階 0 分離於階 1，需約 5420 周期。所需之周期數雖然不像方塊固定式演算法中減少得那麼顯著，但仍有減少。

如果併用此兩演算法，比如對第一~第四階使用係數固定式演算法而對後續階使用方塊固定式演算法，所需之周期數可減少至約 4800 周期。

另，如果考慮下一次計算之係數可輸入於上述周期中之第四或第五周期內，複變 FFT 計算所需之周期數更可減少至約 4500 周期。

在第 10 圖之該裝置中，該加法器 1014 與該減法器

1016 可同時使用於實數部份之計算與虛數部份之計算中。因為加法器與該減法器之操作不會影響 FFT 計算所需之周期數，故不額外安裝計算第 9 圖之值 e)與 f)之額外加法器與減法器，而可以使用儲存暫存器 1024，1026，1028 與 1030，該第一與第二多工器 1010 與 1012，該加法器 1014 與該減法器 1016。

雖然多工器會佔據晶片不少面積，使用兩個多工器來同時動作，這可提供相當大的優點。

該控制器 1034 透過該讀取匯流排 A 或 B 或專用指令匯流排來接收該控制單元 402 輸出之一指令，解碼該指令，並控制操作器(該加法器 1014，該減法器 1016，該第一與第二乘法器 1018 與 1020)，該輸入/係數/儲存暫存器 1002，1004，1006，1008，1024，1026，1028 與 1030 以及該第一至第三多工器 1010，1012 與 1032 以進行 FFT。當將等式 17 之指數部份之符號改為相反符號，可達成逆 FFT(IFFT)。亦即，藉由改變透過該儲存暫存器 1024，1026，1028 與 1030 以及該第一與第二多工器 1010 與 1012 而輸入至該加法器 1014 與該減法器 1016 之值可達成 IFFT。

因為該輸出暫存器 1036 可能會溢位(overflow)，該輸出暫存器 1036 之輸出值之各別位元可被該控制器 1034 位移至低位元，比如，以達成 $1/2$ 之大小調整。

第 4 圖之該 FFT 單元 412 應用第 10 圖之本發明實施例之該複變 FFT 計算裝置。在第 10 圖之該複變 FFT 計算裝置中，該控制器 1034 透過專用指令匯流排(OPcode 匯流

排 0 與 1)來接收一指令，解碼該指令，並控制操作器(該加法器 1014，該減法器 1016，該第一與第二乘法器 1018 與 1020)，該輸入/係數/儲存暫存器 1002&1004/1006&1008/1024，1026，1028&1030 以及該第一至第三多工器 1010，1012 與 1032 以進行 FFT。必要資料係透過第 4 圖之讀取匯流排 442 與 444 而輸入，並透過第 4 圖之該寫入匯流排 446 而輸出。

該 FFT 單元 412 透過該 OPcode 匯流排 448 與 450 來接收第 4 圖之該控制單元 402 輸出之一指令。第 10 圖之該控制器 1034 解碼該指令，並控制操作器(加法器，減法器與乘法器)，輸入/係數/儲存暫存器以及多工器以進行 FFT。

比如，在第 10 圖之該 FFT 計算裝置中，該控制器 1034 解碼所接收之一控制指令，控制操作器(加法器，減法器與乘法器)，輸入/係數/儲存暫存器以及多工器以進行 FFT，並透過該輸出暫存器 1036 而將結果輸出至外部。

FFT 計算裝置需要下列的 6 個控制指令。

首先，指令 A2FFT 代表係數(正弦與餘弦)之輸入，且有關於第一周期。

第二，指令 FFTFR(FFT Front Real)代表實數資料之輸入，計算與輸出，且有關於第二周期。

第三，指令 FFTFI(FFT Front Imaginary)代表虛數資料之輸入，計算與輸出，且有關於第三周期。

第四，指令 FFTSR(FFT Secondary Real)代表實數值之輸入，計算與輸出，且有關於第四周期。

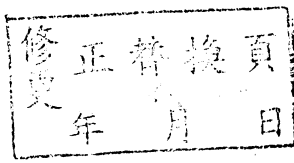
第五，指令 FFTSI(FFT Secondary Imaginary)代表虛數值之輸入，計算與輸出，且有關於第五周期。

第六，指令 FFTSIC 代表在計算時之係數輸入以及實數/虛數值之輸。特別是，指令 FFTSIC 代表在第四或第五周期時，下一次計算之係數載入於該係數暫存器 1006 與 1008 中。指令 FFTSIC 係有用於減少計算所需之周期數。

第 14 圖顯示執行 FFTFR 指令之時序圖。在第 14 圖中，最頂端信號是時脈信號 CK1，接著依序為：輸入至該 OPcode 匯流排 0 之一控制指令；輸入至該 OPcode 匯流排 1 之一控制指令；信號 RT；信號 ET；輸入至讀取匯流排 A 與 B 之資料；輸入至該輸入暫存器 1002 與 1004 之資料；輸入至該加法器 1014 與該減法器 1016 之資料；輸入至該乘法器 1018 與 1020 之資料；輸入至該第一與第二儲存暫存器 1024 與 1026 之資料；輸入至該輸出暫存器 1036 之資料；以及一輸出致能信號 FFT_EN。

當一控制指令輸入至該 OPcode 匯流排 0 且該控制器 1034 被信號 RT 致能時，該控制器 1034 解碼控制指令並進入 FFT 計算之待命狀態。之後，如果指令 FFTSR 輸入至該 OPcode 匯流排 1 且該控制器 1034 被信號 ET 致能，該控制器 1034 進行一控制操作以進到第二周期。

特別是，該控制器 1034 控制該輸入暫存器 1002 與 1004 以儲存透過該讀取匯流排 A 與 B 傳來之資料。存於該輸入暫存器 1002 與 1004 之實數資料係輸入至該加法器 1014 與該減法器 1016。該控制器 1034 控制該加法器 1014



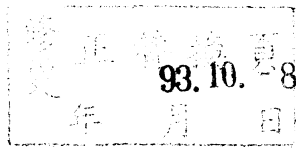
與該減法器 1016 以進行加法與減法。該減法器 1016 之操作結果係輸入至該乘法器 1018 與 1020。該控制器 1034 控制該乘法器 1018 與 1020 以進行乘法；控制儲存暫存器 1024 與 1026 以儲存該乘法器 1018 與 1020 之操作結果，並控制該第三多工器 1032 以儲存該減法器 1016 之操作結果於該輸出暫存器 1036 內。

接著，該控制器 1034 輸出該輸出致能信號 FFT_EN 使得其他模組可得到存於該輸出暫存器 1036 內之資料(複變 FFT 之實數值)。比如，如第 4 圖所示，當該 FFT 單元 412 產生該輸出致能信號 FFT_EN 時，該控制單元 402 控制該 FFT 單元 412 之輸出資料來存於該暫存器檔單元 404 內。

因為指令 FFTFI 之執行相似於指令 FFTFR 之執行，故不詳細描述。

第 15 圖顯示執行 FFTSR 指令之時序圖。在第 15 圖中，最頂端信號是時脈信號 CK1，接著依序為：輸入至該 OPcode 匯流排 0 之一控制指令；輸入至該 OPcode 匯流排 1 之一控制指令；信號 RT；信號 ET；輸入至讀取匯流排 A 與 B 之資料；輸入至該輸入暫存器 1024，1026，1028 與 1030 之資料；輸入至該加法器 1014 與該減法器 1016 之資料；輸入至該輸出暫存器 1036 之資料；以及一輸出致能信號 FFT_EN。

當一控制指令 FFTSR 輸入至該 OPcode 匯流排 0 且該控制器 1034 被信號 RT 致能時，該控制器 1034 解碼該控制指令並進入 FFT 計算之待命狀態。之後，如果指令 FFTFR



輸入至該 OPcode 匯流排 1 且該控制器 1034 被信號 ET 致能，該控制器 1034 進行一控制操作以進到第四周期。

特別是，該控制器 1034 控制該第一與第二多工器 1010 與 1012 以輸出存於該儲存暫存器 1024 與 1026 內之資料至該減法器 1016。該控制器 1034 也控制該減法器 1016 以進行減法，並控制該第三多工器 1032 以儲存該減法器 1016 之操作結果於該輸出暫存器 1036 內。

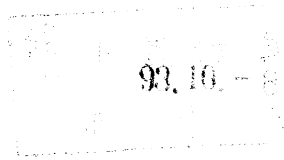
接著，該控制器 1034 輸出該輸出致能信號 FFT_EN 使得其他模組可得到存於該輸出暫存器 1036 內之資料(複變 FFT 之實數值)。

因為指令 FFTSI 之執行相似於指令 FFTSR 之執行，故不詳細描述。

該輸出暫存器 1036 依序儲存並輸出在第四周期內得到之實數值並第五周期內得到之虛數值。如果存於該輸出暫存器 1036 內之值溢位，可將之調整大小後再輸出。

第 16A 與 16B 圖顯示習知 FFT 計算裝置，此裝置揭露於日本專利公告號 hei06-060107 內。第 16A 與 16B 圖之裝置係為硬體，其中實施有蝴蝶計算器。該蝴蝶計算硬體需要一專用係數記憶體與該專用係數記憶體之一係數位址計算器。為計算 2 資料點之 FFT，第 16A 圖之該裝置需要 16 個周期，而第 16B 圖之該裝置需要 6 個周期。

第 17 圖顯示另一種習知 FFT 計算裝置，此裝置揭露於韓國專利公告號 1999-0079171 內。第 17 圖之裝置只有一個乘法器與兩個加法器但需要一專用係數記憶體，該專



用係數記憶體之一係數位址暫存器以及用以定址資料之資料位址暫存器。為計算 2 資料點之 FFT，第 17 圖之該裝置需要 9 個周期。

第 18 圖顯示又一種習知 FFT 計算裝置，此裝置揭露於韓國專利公告號 2001-0036860。第 18 圖之裝置包括四個乘法器，兩個加法器，兩個 ALU，一條讀取/寫入匯流排，與用於傳輸係數之兩條讀取匯流排且需要至少 6 個周期。

第 19 圖顯示又另一種習知 FFT 計算裝置，此裝置揭露於日本專利公告號 sho63-086048。第 19 圖之裝置應用一英特爾(intel)記憶體 X 處理器，該處理器包括四個乘法器，兩個加法器與一額外加法器(U 與 V 管線)且需要 16 周期/2(管線)。

第 20 圖顯示使用第 10 圖之該複變 FFT 計算裝置對 256 點資料方塊進行 FFT 計算之結果，並與習知裝置進行比較。在第 10 圖之圖式中，縱軸代表 FFT 計算所需之周期數。參考第 20 圖，TIC54X 需要 8542 個周期數，TIC55X 需要 4960 個周期數，ADI2100 需要 7372 個周期數，ADIFrio 需要 4117 個周期數，而本發明實施例之該 FFT 計算裝置需要 4500 個周期數。

本發明實施例之該 FFT 計算裝置約為 TIC54X 之處理速度的 1.9 倍，且為 ADI2100 之處理速度的 1.6 倍，且性能高於如 TIC55X 之 5 條匯流排系統(3 條讀取匯流排+2 條讀取匯流排)。

同時，因為 TIC55X 具 3 條讀取匯流排與 2 條讀取匯

流排，TIC55X 應用一對的一般用途 3 條匯流排系統。因此，顯然的，本發明實施例之該 FFT 計算裝置在相容性與架構簡單性上優於 TIC55X。

亦即，本發明實施例之該 FFT 計算裝置可將 FFT 計算所需之周期數減至最低而仍能維持對一般用途 3 條匯流排系統之相容性。

傳統 CPU 與主記憶體間之資料處理速度約有 100 倍或以上的差異，此差異係由一快取記憶體補償。

一快取記憶體首先從主記憶體讀取預期 CPU 下次會需要之一串資料，接著儲存該資料。快取記憶體之存取速度快於主記憶體。

在存取主記憶體之前，該 CPU 存取快取記憶體以得到所需資料。快取記憶體之預期命中率非常高，因而有利於程式之快速執行。

在一般快取記憶體之處理方法中，具快取錯失之方塊是由主記憶體讀取出並與新方塊交換。在此，考量到快取記憶體之大小，方塊對映法，方塊交換法與寫入法等來有效設計快取記憶體。一般來說，係根據命中率(或方塊之使用率)來交換方塊。

一般來說，重複的指令具高命中率。然而，包括一串重複之長程式碼(比如中斷向量或中斷服務程序)之程式之命中率低於重複指令之命中率。

當使用根據命中率之快取策略時，中斷向量或中斷服務程序在中斷延遲上可能會有很大差異，這是因為非周期

性與非具體出現之中斷之屬性造成。在此，中斷延遲代表從中斷發生到有關於該中斷之服務開始之間所經過的時間。另，中斷可具不同中斷延遲。

因此，根據命中率之快取策略並不適合於永遠需要短中斷延遲之既時處理系統。

因為以硬體方式來控制傳統快取記憶體，無法隨著環境改變而使用適當的快取策略。

比如，以硬體方式來控制快取記憶體意味著以內建演算法來控制快取記憶體。因為快取記憶體之內建演算法被快取記憶體之製造固定，不管環境未來改變如何，只能以固定方式來控制快取記憶體。

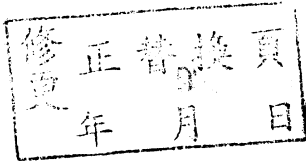
上述限制需要能以軟體方式來控制的快取記憶體。亦即，對於能使用不同快取策略之快取記憶體，需要一種能自由改變快取控制方式，其不同於預設於快取記憶體內之硬體控制方式。

然而，快取記憶體可分類成指令快取記憶體或資料快取記憶體。資料快取記憶體處理待操作之資料，而指令快取記憶體處理控制 CPU 之指令。

該資料快取記憶體可當成在影像處理裝置中逐視框地(frame-by-frame)處理影像資料之緩衝記憶體或者當成在影像處理裝置中控制輸出入速度之緩衝記憶體。

該指令快取記憶體用於處理下一指令以減少既時處理系統中之中斷延遲。

在 LSI(大型積體)裝置之整合度增加高，板層次(board



level)之傳統嵌入系統係實施成系統單晶片(SOC)。SOC 減少晶片間之資料傳輸延遲故能快速傳輸，且功率消耗量能減少為板層次之傳統嵌入系統之功率消耗量之一半或更低。因此，SOC 可視為次世代半導體設計技術。

特別是，由於系統性能改良與晶片整合導致之板體積縮小，以成本面來看，SOC 能減少 20%或以上的系統製造成本。

為此，SOC 已廣泛使用於網路設備，通訊裝置，個人數位助理(PDA)，機上盒，DVD 及 PC 的繪圖控制器。因此，主要的半導體製造商已主動發展 SOC。

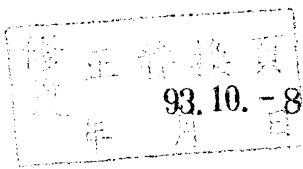
如果板層次之傳統嵌入系統以 SOC 實施，可預期根據中斷之即時作業系統(real time operating system, RTOS)將會普遍使用。

另一方面，如果在板層次之傳統嵌入系統內使用傳統快取記憶體，因為傳統快取記憶體不包括處理控制方塊(PCB, proce 信號 control block)也不包括中斷服務程序，整個系統之性能會下降。

因此，需要單晶片即時作業系統來減少中斷延遲。

本發明實施例之快取記憶體可以軟體方式控制各種快取策略。

本發明實施例之快取控制方法之特徵在於使用更新指標(pointer)。實際上，快取記憶體之內部記憶體係分成方塊，且該更新指標指向各記憶體方塊。該更新指標所指之記憶體方塊可被另一記憶體方塊交換。亦即，該更新指標



代表被分割成方塊之內部記憶體之記憶體方塊，而當發生快取錯失時，該更新指標所指之記憶體方塊可被另一記憶體方塊交換。

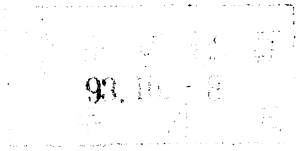
第 21A 與 21B 圖顯示用於本發明實施例之語音辨識裝置中之控制快取裝置之方法之方塊圖。在第 21A 圖中，參考符號 2100 代表 CPU，參考符號 2200 代表快取記憶體，參考符號 2300 代表主記憶體，參考符號 2400 代表快取控制程式。

該快取記憶體 2200 首先從該主記憶體 2300 讀取預期下次該 CPU2100 可能會需要之一串資料，接著儲存該資料。

該快取記憶體 2200 包括一控制器 22002，一寫入方塊儲存暫存器 22004 與一內部記憶體 22006。一旦在該內部記憶體 22006 內部發生方塊交換時，該寫入方塊儲存暫存器 22004 指向待更新之方塊位置。

該內部記憶體 22006 係被分割成方塊。在記憶體方塊中，被該寫入方塊儲存暫存器 22004 或該更新指標 24002 指向之記憶體方塊係交換於新的記憶體方塊。

第 21B 圖顯示有關於該更新指標 24002 與該寫入方塊儲存暫存器 22004 之一方塊交換操作。該內部記憶體 22006 包括複數個記憶體方塊。該更新指標 24002，為該快取控制程式 2400 之一變數，指向複數記憶體方塊中之一方塊。當該快取記憶體 2200 被該快取控制程式 2400 控制時，該更新指標 24002 所指向之該記憶體方塊可被新記憶體方塊交換。



該更新指標 24002 在一程式內是可變的，且該更新指標 24002 之值(比如，指向待交換記憶體方塊之一值)可由該操作於快取記憶體 2200 外部之軟體決定(比如，由該快取控制程式 2400 決定)。

待交換之記憶體方塊可以硬體方式決定。以硬體方式決定此記憶體方塊代表由該快取記憶體 2200 之演算法決定，亦即在製造該快取記憶體 2200 時設計好之演算法。因此，該快取記憶體 2200 本身之設計彈性不足以反應環境之改變，因為操作演算法在製造該快取記憶體 2200 時已固定。然而，如果一外部程式決定是否要更新記憶體方塊，該快取記憶體 2200 能彈性地反應環境之改變。

該快取控制程式 2400 可載入於該主記憶體 22300 內，從該主記憶體 22300 載至該快取記憶體 2200 內，或載入於一特殊記憶體內。

第 21B 圖顯示該更新指標 24002 與該寫入方塊儲存暫存器 22004。存於該寫入方塊儲存暫存器 22004 內之值代表由該快取記憶體 2200 本身所決定之待交換記憶體方塊。

因此，必需對該更新指標 24002 與該寫入方塊儲存暫存器 22004 排出優先順序。在本發明中，該更新指標 24002 之優先權高於該寫入方塊儲存暫存器 22004。因此，如果該快取記憶體 2200 被該快取控制程式 2400 控制，存於該寫入方塊儲存暫存器 22004 內之資訊係被忽略。

在某些情況下，必需禁止對各記憶體方塊之更新。比如，存有必需資料之記憶體方塊必需設成不能被更新。

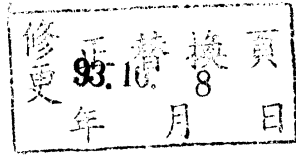
一記憶體方塊寫入模式暫存器 22008 顯示於第 21A 圖中。該記憶體方塊寫入模式暫存器 22008 之值可用硬體或軟體方式改變。比如，一旦初始化該快取記憶體 2200，此初始化操作為驅動具第 21A 圖之構成元件之一系統之眾多初始化操作之一，該主記憶體 2300 輸出之最基本資料與必需資料係載入於該內部記憶體 22006 之第一記憶體方塊，同時該第一記憶體方塊設為不可寫入。

存於該記憶體方塊寫入模式暫存器 22008 內之內容永遠用硬體更新。然而，如果該快取記憶體 2200 被操作於該快取記憶體 2200 外部之該快取控制程式 2400 控制，用硬體控制之該記憶體方塊寫入模式暫存器 22008 內之內容係被忽略。

快取記憶體用硬體或軟體方式控制係由 CPU 決定。比如，CPU 監視快取命中率並決定該快取命中率是否維持於既定值或更大，即使用硬體快取控制方式控制，比如，利用快取記憶體之內建演算法控制。如果該快取命中率降低至既定值或更小，該 CPU 控制該快取記憶體以軟體方式進行方塊交換，比如利用操作於該快取記憶體外部之一程式。

該快取控制程式 2400 根據一指令來控制該快取記憶體 2200。該快取控制程式 2400 所產生之一指令係輸入至該快取記憶體 2200。該快取記憶體 2200 之該控制器 22002 解碼該指令並根據所解出之指令來控制該快取記憶體 2200 之操作。

透過此指令，該快取控制程式 2400 控制該快取記憶



體 2200 之方塊交換操作，並決定各記憶體方塊是否要從允許寫入設成不可寫入。

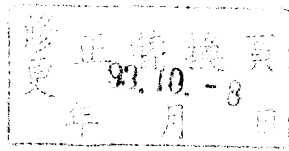
在本發明實施例之快取控制方法中，根據方塊交換之待交換記憶體方塊可由一快取記憶體外部操作之一程式適應性決定。因此，可彈性地根據環境改變來改變快取策略。

第 22 圖顯示用於本發明實施例之語音辨識裝置中之一快取裝置之方塊圖。第 22 圖之該快取記憶體 2200 係實施於第 4 圖之該 PMIF422 內。

第 22 圖之該快取記憶體包括：一比較器 2202，比較輸入至該快取記憶體 2200 之一外部位址與存於該內部記憶體 2206 內之一外部位址；一位址變換器 2204，將一外部位址變換成存取該內部記憶體 2206 之一內部位址；一指令字元儲存控制器 2208，從一外部記憶體載入資料至該內部記憶體 2206；以及一匯流排介面(I/F)2210，將該內部記憶體 2206 耦合至一匯流排。

在此，該外部記憶體一般代表一主記憶體，但不受限於此。該外部位址代表當 CPU 存取一主記憶體時所用之位址。該內部位址代表存取一快取記憶體內之該內部記憶體 2206 時所用之位址。

第 23 圖顯示在第 22 圖之快取裝置中之該內部記憶體 2206 之儲存內容。如第 23 圖所示，該內部記憶體 2206 儲存一外部記憶體之位址(比如一外部位址)以及該位址之資料。存於該內部記憶體 2206 內之該外部位址係相比於輸入至該快取記憶體 2200 之該外部位址。



該內部記憶體 2206 包括複數記憶體方塊 #1~#n。

第 21A 圖之該 CPU2100 在存取該主記憶體 2300 之前會先存取該快取記憶體 2200。亦即，該 CPU2100 藉由輸入存取該主記憶體 2300 之一外部位址至該快取記憶體 2200 以從該快取記憶體 2200 需求資料。該快取記憶體 2200 比較所接收該外部位址與存於該內部記憶體 2206 內之該外部位址。如果從該內部記憶體 2206 偵測出相同於所接收該外部位址之該外部位址，該快取記憶體 2200 從該內部記憶體 2206 讀取出有關於該外部位址之資料，並將該資料輸入至該 CPU2100 或記錄該 CPU2100 所提供之資料。

因為該快取記憶體 2200 之存取速度快於該主記憶體 2300，該 CPU2100 對該快取記憶體 2200 之存取速度會快於對該主記憶體 2300 之存取速度。

另一方面，如果該內部記憶體 2206 沒有相同於所接收該外部位址之該外部位址，發生快取錯失。在此情況下，該 CPU2100 存取該主記憶體 2300。

如果發生快取錯失，該 CPU2100 存取該主記憶體 2300，從有關於發生快取錯失處(比如，一外部位址所指之位置)讀取資料，並每次更新該內部記憶體 2206 的一個記憶體方塊。

傳統快取記憶體以固定順序交換記憶體方塊。比如，每次發生快取錯失時，記憶體方塊依序交換，比如，從該第一記憶體方塊開始，接著是該第二記憶體方塊，第三記憶體方塊到最後一個記憶體方塊。根據此種記憶體方塊交

換方式，即使當待交換之記憶體方塊存有具高命中率之資料或重要資料，該記憶體方塊仍必需被交換。

然而，參考第 28 圖，本發明實施例之一快取記憶體可根據資料之重要性或優先性來適當地選擇待交換記憶體方塊。

在第 22 圖之快取中，將該內部記憶體 2206 分割成方塊，且各記憶體方塊儲存一串資料，比如，中斷向量或中斷服務程序。

第 24 圖更詳細顯示第 22 圖之該比較器 2202 之方塊圖。該比較器 2202 包括代表性位址暫存器 2402a~2402n，比較器 2404a~2404n 以及一相等偵測器 2406。該比較器 2404a~2404n 比較外部位址與分別存於該代表性位址暫存器 2402a~2402n 內之第一~第 n 個代表性位址以產生代表該外部位址是否等於第一~第 n 個代表性位址之第一~第 n 個選擇信號。該相等偵測器 2406 偵測存於該內部記憶體 2206 內之該外部位址是否等於輸入至該快取記憶體 2200 之該外部位址。在此，n 是該內部記憶體 2206 之記憶體方塊之數量。

該代表性位址暫存器 2402a~2402n 由第 22 圖之該指令字元儲存控制器 2208 控制，並儲存該指令字元儲存控制器 2208 所提供之代表性位址。

在代，一代表性位址代表存於該記憶體方塊內之該外部位址間之一表頭(head)位址。一般來說，主記憶體之組成單位為位元組(8 位元)，而匯流排之組成單位則多於一個位

元組。如果匯流排之組成單位為 4 個位元組(32 位元)，一次會讀取 4 個位元組(4 個位址)以改良存取速度。如果只指向表頭位址，可自動與連續處理包括該表頭位址之四個位址。

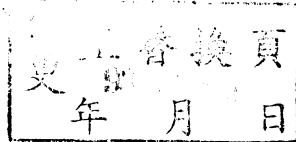
亦即，可視為，主記憶體可分割成至少跟匯流排寬度一樣大之方塊。然而，因為 4 個位元組非常小，經常會發生記憶體方塊交換。因此，主記憶體之組成單位一般遠大於 4 個位元組。

因此，各該代表性位址暫存器具有存於各記憶體方塊內之該外部位址中之該表頭位址。特別是，表頭位址之高階位址存於各該代表性位址暫存器內。

該比較器 2404a~2404n 分別比較外部位址之上半部與存於各該代表性位址暫存器 2402a~2402n 內之表頭位址之上半部。根據比較結果，會產生代表該外部位址是否等於該代表性位址之第一~第 n 選擇信號。所產生之第一~第 n 選擇信號輸入至第 22 圖之該位址變換器 2204。

所產生之第一~第 n 選擇信號也輸入至該相等偵測器 2406，該相等偵測器 2406 根據第一~第 n 選擇信號來決定是否發生快取錯失。如果所有選擇信號代表外部位址不相同於代表位址，則發生快取錯失。

該相等偵測器 2406 輸出之一相等偵測信號係輸入至第 22 圖之該位址變換器 2204，該位址變換器 2204 決定是否要存取該內部記憶體 2206 或一外部記憶體(比如，該主記憶體 2300)。



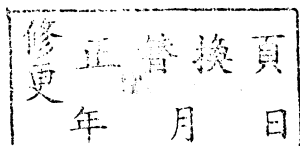
該相等偵測器 2406 輸出之該相等偵測信號也輸入至第 22 圖之該指令字元儲存控制器 2208。根據該相等偵測信號，該指令字元儲存控制器 2208 決定是否發生快取錯失。根據決定結果，進行記憶體方塊交換。

第 25 圖顯示第 22 圖之該位址變換器 2204 之方塊圖。參考第 25 圖，該位址變換器 2204 接收一外部址位，該比較器 2404a~2404n 所輸出第一~第 n 選擇信號，該指令字元儲存控制器 2208 所輸出第一~第 n 選擇信號，以及一寫入位址，並產生該內部記憶體 2206 之一位址及一讀取/寫入控制信號。

現將描述發生快取命中時之該位址變換器 2204 之操作。是否發生快取命中係由第 22 圖與第 24 圖之該比較器 2202 所輸出之該相等偵測信號決定。如果發生快取命中，比如，該比較器 2202 所輸出之該相等偵測信號代表相等，該位址變換器 2204 參考該比較器 2404a~2404n 所輸出第一~第 n 選擇信號而將所接收之外部位址變換成該內部記憶體 2206 之一內部位址，並將該內部位址提供至該內部記憶體 2206。該位址變換器 2204 也產生一內部記憶體控制信號，比如，一讀取/寫入信號。

因為根據該內部記憶體 2206 所用之記憶體類型及設計時之其他考量點，外部位址與內部位址之映對可隨時改變，現將描述映對方式。

是否發生快取錯失係由第 22 圖與第 24 圖之該比較器 2202 所輸出之該相等偵測信號決定。如果發生快取錯失，



該 CPU2100 會接著存取一外部記憶體，比如該主記憶體 2300。之後，第 22 圖之該指令字元儲存控制器 2208 執行方塊交換。一旦發生方塊交換，該位址變換器 2204 參考該指令字元儲存控制器 2208 所輸出之該第一~第 n 選擇信號與該寫入位址來產生存取該內部記憶體 2206 之一內部記憶體位址。在此，該指令字元儲存控制器 2208 所輸出之該第一~第 n 選擇信號決定該內部位址之高階位址，而該指令字元儲存控制器 2208 所輸出之該寫入位址決定該內部位址之低階位址。

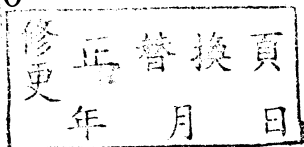
第 26 圖顯示第 22 圖之該指令字元控制器 2208 之方塊圖。該指令字元控制器 2208 包括一記憶體載入控制器 2602，一高階位址產生器 2604，一低階位址產生器 2606，一控制模式暫存器 2608，一記憶體方塊寫入模式暫存器 2610 以及一記憶體方塊寫入位址儲存暫存器 2612。

該指令字元控制器 2208 之操作係由第 24 圖之該相等偵測器 2406 輸出之該相等偵測信號決定。如果該相等偵測信號代表不相等，該指令字元控制器 2208 進行方塊交換。

方塊交換可以硬體方式(硬體控制模式)或軟體方式(軟體控制模式)進行。

在硬體控制模式下，記憶體方塊以既定順序進行交換。

有關於下次要交換之記憶體方塊之資訊係存於該記憶體方塊寫入位址儲存暫存器 2612 內。該記憶體載入控制器 2602 參考存於該記憶體方塊寫入位址儲存暫存器 2612



內之資訊，產生要輸入至第 24 圖之該代表性位址暫存器 2402a~2402n 之第一~第 n 代表性位址以及要輸入至第 25 圖之該位址變換器 2204 之該寫入位址。

待交換記憶體方塊係由該記憶體方塊寫入位址儲存暫存器 2612 通知。該記憶體載入控制器 2602 參考存於該記憶體方塊寫入位址儲存暫存器 2612 之資訊來從該代表性位址暫存器 2402a~2402n 選出一記憶體方塊。該記憶體方塊與該代表性位址暫存器 2402a~2402n 具一對一關係。

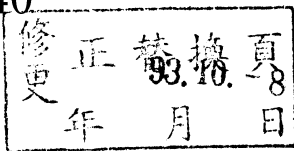
該高階位址產生器 2604 參考該外部位址而產生要存於被選之該代表性位址暫存器內之一代表性位址。特別是，該高階位址產生器 2604 取出該外部位址之該高階位址而產生該代表性位址。產生之該代表性位址係輸出至被選之該代表性位址暫存器。

該低階位址產生器 2606 在該記憶體載入控制器 2602 之控制下產生要輸出至該位址變換器 2204 之一寫入位址。該低階位址產生器 2606 之初始值為"0"，且每次資料從該外部記憶體載入時，該低階位址產生器 2606 之值會加 1。

該快取記憶體 2200 用以存取該外部記憶體(比如該主記憶體 2300)之該外部位址係由合併該高階位址產生器 2604 所產生之該高階位址與該低階位址產生器 2606 所產生之該低階位址而得。

該記憶體載入控制器 2602 產生一外部記憶體控制信號，比如，一讀取/寫入信號。

第 27 圖顯示第 22 圖之該快取裝置於硬體控制模式下



之操作流程。第 27 圖顯示記憶體方塊依第一記憶體方塊至第 n 記憶體方塊之順序依序交換之記憶體方塊操作之最簡單例。

在步驟 S2702 中，進行初始載入。該初始載入係由將於底下描述之一初始載入控制信號驅動且執行於系統之初始階段中。

在指定該初始載入後，在步驟 S2704 中，資料載入於該第一記憶體方塊內。亦即，多達一個方塊之資料從第 21A 圖之該主記憶體 2300 讀出並載入於該內部記憶體 22006 之該第一記憶體方塊內。

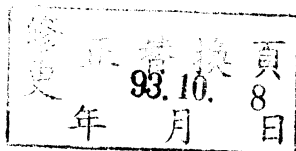
在步驟 S2706 中，第二方塊視為一寫入方塊。有關於此寫入方塊判斷之資訊係存於該記憶體方塊寫入位址儲存暫存器 2612 內。

在步驟 S2708 中，決定是否偵測到不相等。如果第 24 圖之該相等偵測器 2406 所產生之該相等偵測信號代表不相等，則決定為已偵測到不相等。

在步驟 S2710 中，參考第 26 圖之該控制模式暫存器 2608 內之內容來決定是否應用硬體控制模式。

如果應用硬體控制模式，在步驟 S2712 與 S2714 中決定一讀取方塊是否相同於一寫入方塊。執行步驟 S2712 與 S2714 是為避免誤寫。

在步驟 S2716 中，決定待寫入方塊是否可寫入。可參考第 26 圖之該記憶體方塊寫入模式暫存器 2610 來做此決定。如果決定待寫入方塊設為不可寫入，在步驟 S2718 中，



下一記憶體方塊設為一寫入方塊。

待寫入方塊設為可寫入，在步驟 S2720 中，資料載入於該寫入方塊內。亦即，多達一個方塊之資料從第 21A 圖之該主記憶體 2300 讀出並載入於該內部記憶體 22006 之一寫入記憶體方塊內。

在步驟 S2722 中，將下一記憶體方塊設成一寫入方塊。

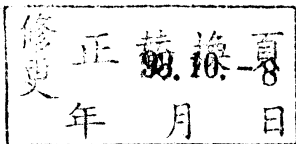
現將描述根據軟體控制模式之方塊交換。在軟體控制模式下，待交換記憶體方塊係根據為軟體方式之所有事件來決定。

如果應用軟體控制模式，可避免覆寫到具高命中率之記憶體方塊或具重要資料之記憶體方塊。因此，可有效操作該快取記憶體 2200。

當應用硬體控制模式時，該高階位址產生器 2604 只是一個緩衝記憶體。然而，當應用硬體控制模式時，該高階位址產生器 2604 扮演重要角色。

第 28 圖顯示第 22 圖之一快取裝置 2200 於軟體控制模式下之操作流程。在第 28 圖之軟體控制模式下，不論該記憶體方塊寫入位址儲存暫存器 2612 之內容為何，所有記憶體方塊都設為可寫入，且各記憶體方塊之可寫入模式可以軟體方式來完全管理。此外，可只執行指令而不決定是否相等來將資料載入於該內部記憶體 2206 內。

在步驟 S2802 中，進行初始載入。該初始載入係由將於底下描述之一初始載入控制信號驅動且執行於系統之初始階段中。



在指定該初始載入後，在步驟 S2804 中，資料載入於該第一記憶體方塊內。亦即，多達一個方塊之資料從第 21A 圖之該主記憶體 2300 讀出並載入於該內部記憶體 22006 之該第一記憶體方塊內。

在步驟 S2806 中，第二方塊視為一寫入方塊。

在步驟 S2808 中，設定軟體控制模式。在軟體控制模式下，不論該記憶體方塊寫入位址儲存暫存器 2612 之內容為何，所有記憶體方塊都設為可寫入，且各記憶體方塊之可寫入模式可以軟體方式來完全管理。此外，也可以只執行指令而不決定是否相等來將資料載入於該內部記憶體 22006 內。

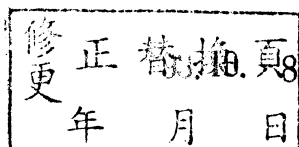
在步驟 S2810 中，決定是否已收到一載入指令。

在步驟 S2812 中，決定是否已設定軟體控制模式。

在步驟 S2814 中，從一外部記憶體讀出之資料載入於該內部記憶體 22006 內。

在步驟 S2816 中，下一次要將資料載入之一記憶體方塊係設為一寫入方塊。下一次要將資料載入之該記憶體方塊係以軟體方式決定，故而該記憶體方塊不必相鄰著該第二記憶體方塊。

要使用硬體控制模式或軟體控制模式是由第 26 圖之該控制模式暫存器 2608 決定。如果該控制模式暫存器 2608 指定軟體控制模式，存於該記憶體方塊寫入位址儲存暫存器 2612 內之資訊係被忽略，而待交待記憶體方塊係由特殊程式決定。



特別是，待交待記憶體方塊係由一外部控制器所提供之指令或控制信號決定。在此，該外部控制器一般為 CPU，但不受限。該指令是微處理器級之指令，比如操作碼 (OPcode)。

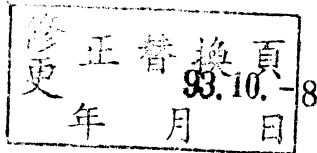
現將描述根據外部控制器所提供之指令來進行之方塊交換操作。第 29 圖顯示方塊交換之指令字元之一例。位於第 29 圖之頂端之該指令字元之第一例包括用以指定一方塊交換操作之一運算元 (operand)，一目的 (destination) 與一來源 (source)。在此，該來源代表一外部記憶體，而該目的的代表一內部記憶體。

亦即，在該指令字元之第一例內，在一外部記憶體與一內部記憶體間有多達一記憶體方塊儲存容量之資料在進行交換。該資料交換可為從該內部記憶體載入資料至該內部記憶體，反之亦然。

位於第 29 圖之底部之該指令字元之第二例包括用以指定一方塊交換操作之一運算元，一目的，一來源以及方塊數量。

亦即，在該指令字元之第二例內，在一外部記憶體與一內部記憶體間有高達指定數量之記憶體方塊之儲存容量之資料在進行交換。

現將描述根據一控制信號來進行之方塊交換操作。在此，該控制信號代表由一內部控制器所產生之信號，用以控制快取記憶體。將於底下描述，顯然地，實施第 22 圖之該快取記憶體 2200 之一模組包括：解碼一控制指令並控制



該快取記憶體 2200 之一內部控制器 22101。此種利用一內部控制器來實施快取記憶體之一模組可獨立地控制快取。

在第 26 圖之該字元儲存控制器 2208 內，一初始載入信號當成一重設信號，且該信號產生於系統之初始操作階段內。當產生該初始載入信號時，該記憶體載入控制器 2602 初始化該系統，且從該主記憶體 2300 讀取既定資料並載入至該內部記憶體 2206 內。待初始載入之資料可為具最常用頻率與最高優先順序之資料，比如，一處理控制方塊。

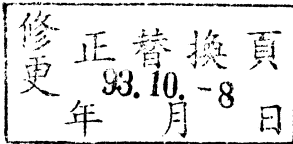
第 26 圖之該記憶體方塊寫入模式暫存器 2610 係將各記憶體方塊設為可寫入/不可寫入。該記憶體方塊寫入模式暫存器 2610 內之資訊係可被硬體控制模式及軟體控制模式參考。如果參考該記憶體方塊寫入模式暫存器 2610 內之資訊而將一記憶體方塊設為不可寫入，可從該記憶體方塊讀取資料並不能寫入至該記憶體方塊。

在此，設為不可寫入之記憶體方塊是不可交換的。

比如，在初始載入中，從第 21A 圖之該主記憶體 2300 讀出之資料量有關於一方塊之既定資料係載入至該內部記憶體 2206 之該第一記憶體方塊。該第一記憶體方塊設為不可寫入。

第 30 圖顯示第 22 圖之匯流排介面(I/F)2210 之架構。如第 30 圖所示，記憶體方塊之輸出係透過一多工器或三狀緩衝器而連接至一匯流排。匯流排 I/F 可包括一栓鎖器或一匯流排保持器(bus holder)。

在此，該匯流排保持器避免匯流排進入浮接狀態，且

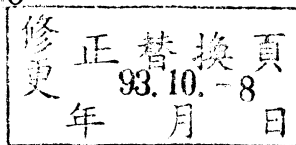


包括如第 30 圖所示之一傳統緩衝器。該匯流排保持器具有彼此連接之兩反相器使得一反相器之輸入至耦合至另一反相器之輸出，而一反相器之輸出至耦合至另一反相器之輸入。輸入至具此種架構之該匯流排保持器之信號會由於此兩反相器之緣故而維持於相同狀態。因此，該匯流排保持器可避免匯流排進入浮接狀態。

匯流排進入浮接狀態意味著未決定信號之電位。比如，MOS 電晶體之閘極可連接至該匯流排。在此例下，大量電流係消耗於 0 與 1 間之轉態區。當匯流排進入浮接狀態時，信號之電位設定於轉態區內。因此，大量功率會透過該 MOS 電晶體而消耗。

根據本發明實施例，如第 22 圖所示，第 4 圖之該 PMIF422 包括一快取記憶體。該 PMIF422 透過該控制指令匯流排(OPcode 匯流排 0 與 1)而接收一控制指令，解碼該控制指令，並根據本發明實施例而控制該快取記憶體以執行快取操作。同時，資料透過兩讀取匯流排 442 與 444 而輸入並透過寫入匯流排 446 而輸出。另，該 PMIF422 之一控制器(未示出)解碼所接收之控制指令並控制該快取記憶體來執行方塊交換。

第 31 圖顯示一習知快取記憶體之一例，此乃揭露於日本專利公告號 heil0-214228 中。第 31 圖之該快取記憶體能讓使用者決定該快取記憶體可否使用語音辨識裝置之主記憶體。可以硬體或軟體方式來決定。特別是，該快取記憶體安裝於 CPU 之快取致能輸入端，只有當具一快取致能



信號與各記憶體方塊之可快取(cacheable)資訊之一頁表之兩側都是可快取的時候，該快取記憶體才能操作。

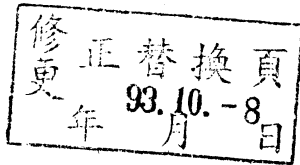
然而，在第 21A 圖之該裝置中，當更新一內部記憶體之記憶體方塊時，利用一記憶體方塊寫入位址儲存暫存器來更新之一記憶體方塊可用硬體或軟體方式來選擇。依此，第 31 圖之該快取記憶體不同於第 21A 圖之該裝置。

第 32 圖顯示一習知快取記憶體之另一例，此乃揭露於日本專利公告號 sho60-183652 中。在第 32 圖之該快取記憶體內，記憶體方塊能否更新係利用記憶資料以逐方塊式存於主記憶體之一單位及記憶該主記憶體之位址之一單位而以軟體方式控制一記憶體方塊更新控制旗標(flag)，該旗標稱為標籤(tag)。

然而，在第 21A 圖之該裝置中，各記憶體方塊可用硬體或軟體方式來控制用以更新記憶體方塊之一選擇指標，比如一記憶體方塊寫入位址儲存暫存器。因此，第 32 圖之該快取記憶體不同於第 21A 圖之該裝置。

第 33 圖顯示一習知快取記憶體之又一例，此乃揭露於日本專利公告號 hei6-67976 中。第 33 圖之該快取記憶體利用存於主記憶體內之一微程式(micro-program)來改良指令字元快取之性能。

特別是，在第 33 圖之該快取記憶體中，方塊載入、更新預防與方塊載入預防之頻率係分別由三種微程式指令字元來控制，此三種微程式指令字元所具之高等重要性，中等重要性與低等重要性在處理硬體之控制軟體之前，當



下與之後皆是獨立的。

相比於第 21A 圖之該裝置，本發明實施例之快取記憶體可用硬體與軟體方式來決定是否要更新記憶體方塊，且也可只執行排優先順序或改變指令之方法。

第 34 圖顯示一習知快取記憶體之又另一例，此乃揭露於日本專利公告號 sho63-86048 中。第 34 圖之該裝置根據快取之區域而將資料分成動態配置之資料與靜態配置之資料，因而改善快取之命中率。

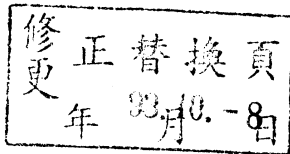
特別是，需要經常更新之動態資料係存於該快取記憶體之第一區內，且該第一區係以硬體方式一次更新數個字元。靜態資料係存於該快取記憶體之第二區內，且該第二區係以軟體方式一次更新數個字元。

然而，本發明實施例之快取記憶體可決定各記憶體方塊之資料是否為動態配置或靜態配置 因此，可彈性建構語音辨識裝置。

如上述，在既定處理系統中之本發明實施例之快取記憶體可將中斷反應時間減至最低。另，本發明實施例之快取記憶體可用硬體控制方法與軟體控制方法來執行數種快取方法。

甚至，相比於包括約 10000 個閘數，本發明實施例之快取記憶體可包括約 2500 個閘釋，故而適用於 VLSI。因而，可增強產量並降低製造成植。

本發明實施例之語音辨識裝置包括用以執行語音辨識常用計算之專用計算裝置，因而大大地改良語音辨識之



計算速度。

此外，本發明實施例之語音辨識裝置適合於能輕易改變操作並快速處理語音之一軟體系統。

本發明實施例之語音辨識裝置應用 2 條讀取 1 條寫入實施方式，因而適合於一般用途處理器。

本發明實施例之語音辨識裝置以 SOC 方式製成，因而能增強系統性能並降低電路板之體積。故而，可降低製造成本。

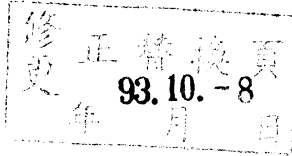
甚至，本發明實施例之語音辨識裝置包括模組化之專用計算裝置，各裝置透過一指令字元匯流排來接收指令字元並利用內建解碼器來解碼該指令字元以執行操作。因此，本發明實施例之語音辨識裝置能改良性能，故而能在低時脈下執行語音辨識。

本發明實施例之觀察機率計算裝置可利用 HMM 搜尋方法來有效執行最長使用之觀察機率計算。

用以執行 HMM 搜尋方法之專用觀察機率計算裝置可增加語音辨識速度並減少所用指令字元之數量至 50%，相比於不用專用觀察機率計算裝置之情況。因而，如果在既定時期內執行一操作，該操作可在低時脈、功率消耗減半的情況下執行。

此外，該專用觀察機率計算裝置可根據 HMM 而使用機率計算。

本發明實施例之 FFT 計算裝置可將 FFT 計算所需周期數量降低至 4-5 周期，故而降低 FFT 計算所需時間。



此外，因為本發明實施例之 FFT 計算裝置可相容於一般用途之 3 條匯流排系統，LSI 系統可輕易應用至 IP，故提供相當大的工業效應。

本發明實施例之快取記憶體可降低即時處理系統對中斷之反應時間。另，本發明實施例之快取記憶體可用硬體控制方法與軟體控制方法來執行數種快取方法。

甚至，因為本發明實施例之快取可實施於體積相當小之邏輯電路內，可改良產量並降低製造成本。

雖然本發明已以數較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

圖式簡單說明

第 1 圖是習知語音辨識系統之方塊圖；

第 2 圖顯示得到音節之狀態順序之方法；

第 3 圖顯示字元辨識處理；

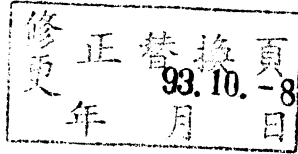
第 4 圖是本發明實施例之語音辨識裝置之方塊圖；

第 5 圖顯示在第 4 圖之該語音辨識裝置內之接收一控制指令與資料之操作方塊圖；

第 6 圖顯示在第 4 圖之該語音辨識裝置內之接收一控制指令與資料之操作時序圖；

第 7 圖顯示用於本發明實施例之語音辨識裝置中之觀察機率計算裝置之方塊圖；

第 8 圖顯示利於了解選擇位元解析度；



第 9 圖顯示用以進行 2 根(radix 2)之複變 FFT 之裝置之基本架構；

第 10 圖顯示用於本發明實施例之語音辨識裝置中之複變 FFT 計算裝置之方塊圖；

第 11 圖顯示第 10 圖之複變 FFT 計算裝置之時序圖；

第 12 圖顯示方塊固定式演算法之流程圖；

第 13 圖顯示係數固定式演算法之流程圖；

第 14 圖顯示執行指令 FFTFR 之時序圖；

第 15 圖顯示執行指令 FFTSR 指令之時序圖；

第 16A 與 16B 圖顯示習知 FFT 計算裝置；

第 17 圖顯示另一種習知 FFT 計算裝置；

第 18 圖顯示又一種習知 FFT 計算裝置；

第 19 圖顯示又另一種習知 FFT 計算裝置；

第 20 圖顯示使用第 10 圖之該複變 FFT 計算裝置對 256 點資料方塊進行 FFT 計算之結果；

第 21A 與 21B 圖顯示用於本發明實施例之語音辨識裝置中之控制一快取裝置之方法之方塊圖；

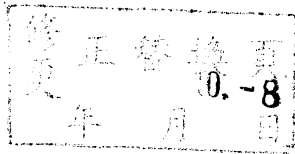
第 22 圖顯示用於本發明實施例之語音辨識裝置中之一快取裝置之方塊圖；

第 23 圖顯示在第 22 圖之快取裝置中之內部記憶體之儲存內容；

第 24 圖更詳細顯示第 22 圖之比較器之方塊圖；

第 25 圖顯示第 22 圖之位址變換器之方塊圖；

第 26 圖顯示第 22 圖之指令字元控制器之方塊圖；



第 27 圖顯示第 22 圖之該快取裝置於硬體控制模式下之操作流程；

第 28 圖顯示第 22 圖之該快取裝置於軟體控制模式下之操作流程；

第 29 圖顯示方塊交換之指令字元之一例；

第 30 圖顯示第 22 圖之匯流排介面(I/F)之架構；

第 31 圖顯示一習知快取記憶體之一例；

第 32 圖顯示一習知快取記憶體之另一例；

第 33 圖顯示一習知快取記憶體之又一例；以及

第 34 圖顯示一習知快取記憶體之又另一例。

圖式標示說明：

101：類比數位變換器

102：預加強單元

103：能量計算方塊

104：找終點單元

105：緩衝單元

106：梅爾(mel)濾波器

107：IDCT 單元

108：大小調整單元

109：倒頻視窗單元

110：正規器

111：動態特徵值單元

112：觀察機率計算單元

113：狀態機台

114：最大可能性尋找器
402：控制單元
404：暫存器檔單元
406：算術運算單元
408：乘法與累積單元
410：多位元移位器
412：FFT 單元
414：平方根計算器
416：計時器
418：時脈產生器
420：PMEM
422：PMIF
424：EXIF
426：MEMIF
428：HMM
430：SIF
432：UART
434：GPIO
436：CODECIF
440：CODEC
442，444，446，448，450：匯流排
452：外部匯流排
701：外部記憶體
702，703，704，709：暫存器

93.10. -8

705, 1016 : 減法器
706, 1018, 1020 : 乘法器
707 : 平方器
708 : 累積器
1002, 1004 : 輸入暫存器
1006, 1008 : 係數暫存器
1014 : 加法器
1010, 1012, 1032 : 多工器
1024, 1026, 1028, 1030 : 儲存暫存器
1034, 22002 : 控制器
1036 : 輸出暫存器
2100 : CPU
2200 : 快取記憶體
2202, 2404a~2404n : 比較器
2204 : 位址變換器
2206, 22006 : 內部記憶體
2208 : 指令字元儲存控制器
2210 : 匯流排介面
2300 : 主記憶體
2400 : 快取控制程式
2402a~2402n : 代表性位址暫存器
2406 : 相等偵測器
2602 : 記憶體載入控制器
2604 : 高階位址產生器

93.10.-8

2606：低階位址產生器

2608：控制模式暫存器

2610，22008：記憶體方塊寫入模式暫存器

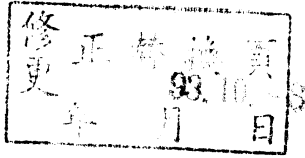
2612：記憶體方塊寫入位址儲存暫存器

22004：寫入方塊儲存暫存器

22008：記憶體方塊寫入模式暫存器

22101：內部控制器

24002：更新指標器

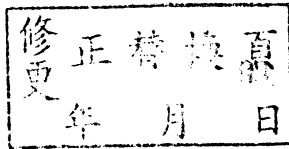


五、中文發明摘要：

本發明提供一種語音辨識裝置，觀察機率計算裝置，計算複變資料之複變快速傅立葉變換之快速傅立葉變換(FFT)計算裝置與方法，快取裝置以及控制快取裝置的方法，該語音辨識裝置包括用以計算在語音辨識之必要算術操作中經常用到之算術操作之專用算術計算模組，該觀察機率計算裝置用以計算在語音辨識時可觀察之一預選字元之各音位之機率。該算術模組解譯外一接收器輸出之指令並執行該指令所指示之操作。

六、英文發明摘要：

A voice recognition device including dedicated arithmetic calculating medules for arithmetic operations that are more frequently required among arithmetic operations necessary for voice recognition, an observation probability calculating device for calculating probabilities that each of the phonemes of a pre-selected word can be observed upon voice recognition, a complex Fast Fourier Transform (FFT) calculation device and method of calculating a complex FFT of complex data, a cache, and a cache controlling method are provided. The arithmetic modules interpret commands reveived from a receiver and perform operations indicated by the commands.



七、指定代表圖：

(一)本案指定代表圖為：第（ 4 ）圖。

(二)本代表圖之元件代表符號簡單說明：

402：控制單元

404：暫存器檔單元

408：乘法與累積單元

410：多位元移位器

412：FFT 單元

414：平方根計算器

416：計時器

418：時脈產生器

420：PMEM

422：PMIF

424：EXIF

426：MEMIF

428：HMM

430：SIF

432：UART

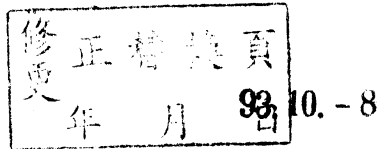
434：GPIO

436：CODECIF

440：CODEC

442，444，446，448，450：匯流排

452：外部匯流排



八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。

十、申請專利範圍：

1.一種語音辨識裝置，從一輸入語音信號取出一已決定信號區，從該已決定信號區取出用於語音辨識之特徵值，比較該特徵值與一預存字元之特徵值，並將具最大機率之一字元辨識成一輸入語音，該語音辨識裝置包括：

一 CODEC(編碼器/解碼器)，取樣從一麥克風輸入之一語音信號，對取樣資料區分割成方塊且在既定時間輸出；

一暫存器檔單元，緩衝從該 CODEC 接收之有關於該已決定語音區之資料方塊；



一快速傅立葉變換(FFT)單元，將從該暫存檔器單元輸出之該資料方塊變換至頻域或進行頻域變換之一逆操作，並儲存該變換結果於該暫存檔器單元內；

一觀察機率計算模組，根據該 FFT 單元所得之頻譜而比較從該輸入語音信號取出之該特徵值與一預存字元之音位之特徵值以計算一觀察機率；

一程式記憶體，從該 CODEC 輸出之該資料方塊取出有關於該已決定語音區之資料方塊，將所取出之該資料方塊存於該暫存器檔單元中，從存於該暫存器檔單元中內之該頻譜計算一隱藏馬可夫模型(HMM)之特徵值，並根據該觀察機率計算模組所計算之各音位之觀察機率而儲存一語音辨識程式；以及

一控制單元，利用存於該程式記憶體內之該語音辨識程式來控制該語音辨識裝置之操作。

2.如申請專利範圍第 1 項所述之語音辨識裝置，更包括：

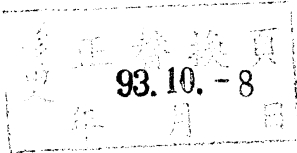
兩讀取匯流排；

一寫入匯流排；以及

一指令字元匯流排，傳輸一指令至該語音辨識裝置。

3.如申請專利範圍第 2 項所述之語音辨識裝置，其中該 FFT 單元與該觀察機率計算模組各具有一控制器，以解碼透過該指令字元匯流排接收之一指令字元並控制待執行之該指令字元之所指定之操作。

4.如申請專利範圍第 1 項所述之語音辨識裝置，更包



括一快取記憶體，從該程式記憶體讀取預期下次需要之一串指令字元，儲存該些指令字元，並輸出該些指令字元至該控制單元。

5.如申請專利範圍第 4 項所述之語音辨識裝置，其中存於該快取記憶體內之該些指令字元係中斷向量及中斷服務程序。

6.如申請專利範圍第 4 項所述之語音辨識裝置，其中一旦初始化後，初始化該快取記憶體以將該些指令字元載入於該程式記憶體之既定區內。

7.如申請專利範圍第 4 項所述之語音辨識裝置，其中控制該快取記憶體之一程式係載入於該程式記憶體內並控制該快取記憶體以執行方塊交換。

8.如申請專利範圍第 1 項所述之語音辨識裝置，更包括一記憶體介面，做為程式與從一外部記憶體輸出之資料之介面。

9.如申請專利範圍第 8 項所述之語音辨識裝置，更包括一外部介面，接收從該語音辨識裝置輸出之需求以存取該外部記憶體，對該些需求排優先順序，並根據該些需求之該優先順序連接至語音辨識裝置至該外部記憶體。

10.如申請專利範圍第 1 項所述之語音辨識裝置，更包括一乘法與累積單元，該乘法與累積單元之操作係有關於該觀察機率計算模組並重複地進行必需之乘法與累積以計算一觀察機率。

11.如申請專利範圍第 1 項所述之語音辨識裝置，更包

括一時脈產生器，產生要輸入至該語音辨識裝置之一時脈信號，其中該時脈產生器降低該時脈信號之頻率以達低功率消耗。

12.一種觀察機率計算裝置，用於一語音辨識裝置內，該觀察機率計算裝置計算在語音辨識時可各別觀察之既定字元之音位之機率，該觀察機率計算裝置包括：

一記憶體，儲存從音位樣本得到之參數平均值及該平均值之散佈度($1/\sigma$)，其中該散佈度是一準確度；

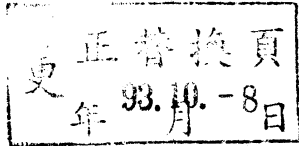
一減法器，計算從該記憶體得到之該平均值與從待辨識之一語音信號得到之一特徵值間之差；以及

一乘法器，將該減法器之該輸出乘上該記憶體輸出之該散佈度。

13.如申請專利範圍第 12 項所述之觀察機率計算裝置，其中 i 代表一音位之一代表性類型之指標，而 j 代表一音位之參數數量之指標，該記憶體儲存一 $\text{precision}[i][j]$ 與一 $\text{mean}[i][j]$ 並將之依既定順序輸出該減法器，該減法器依該既定順序計算該 $\text{mean}[i][j]$ 與一 $\text{feature}[i][j]$ 間之差值，且該乘法器依該既定順序將該減法器所計算之該差值乘上該 $\text{precision}[i][j]$ 。

14.如申請專利範圍第 13 項所述之觀察機率計算裝置，更包括一平方器，將該乘法器之該乘法結果平方。

15.如申請專利範圍第 14 項所述之觀察機率計算裝置，更包括一暫存器，分別暫存該 $\text{precision}[i][j]$ ，該 $\text{mean}[i][j]$ 與該 $\text{feature}[i][j]$ 。



16.如申請專利範圍第 14 項所述之觀察機率計算裝置，更包括一累積器，累積該平方器之輸出。

17.如申請專利範圍第 16 項所述之觀察機率計算裝置，更包括一暫存器，暫存該累積器之該累積結果。

18.一種複變 FFT(快速傅立葉變換)計算裝置，計算包括一第一實數與一第一虛數之第一複數資料之複變 FFT 及包括一第二實數與一第二虛數之第二複數資料之複變 FFT，該複變 FFT 計算裝置包括：

第一與第二輸入暫存器，載入該第一與第二實數及該第一與第二虛數；

第一與第二係數暫存器，分別載入一正弦係數與一餘弦係數；

一加法器與一減法器，分別對存於該第一與第二輸入暫存器之該些值進行加法與減法；

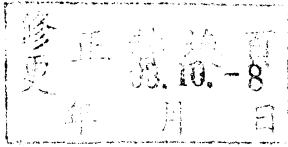
第一與第二乘法器，分別將該減法器之該輸出乘上該第一係數暫存器之該輸出以及將該減法器之該輸出乘上該第二係數暫存器之該輸出；

第一與第二儲存暫存器，儲存該第一乘法器之該輸出，以及第三與第四儲存暫存器，儲存該第二乘法器之該輸出；

第一與第二多工器，分別控制輸入至該加法器與該減法器之該第一~第四儲存暫存器之該輸出之路徑；

一輸出暫存器，儲存該 FFT 計算之結果；

一第三多工器，提供該加法器之輸出與該減法器之輸



出之一至該輸出暫存器；以及

一控制器，控制該第一~第三多工器之選擇操作，該加法器之加法操作，該減法器之減法操作，該乘法器之乘法操作，及該第一~第四儲存暫存器之儲存操作。

19.如申請專利範圍第 18 項所述之複變 FFT 計算裝置，更包括：

一第一讀取匯流排，輸出該第一實數或該第一虛數至該第一輸入暫存器並輸出該正弦係數至該第一係數暫存器；

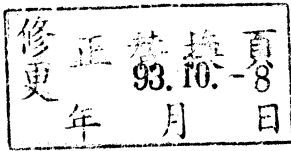
一第二讀取匯流排，輸出該第二實數或該第二虛數至該第二輸入暫存器並輸出該餘弦係數至該第二係數暫存器；以及

一寫入匯流排，將形成載入於該輸出暫存器內之一所得複變 FFT 結果之一實數部份與一虛數部份輸出。

20.一種計算包括一第一實數與一第一虛數之第一複數資料之複變 FFT(快速傅立葉變換)及包括一第二實數與一第二虛數之第二複數資料之複變 FFT 之方法，該方法包括下列步驟：

(a)分別透過第一與第二讀取匯流排而分別載入一正弦係數與一餘弦係數於第一與第二係數暫存器內之步驟；

(b)透過該第一讀取匯流排載入該第一實數於一第一輸入暫存器內，透過該第二讀取匯流排載入該第二實數於一第二輸入暫存器內，利用一減法器計算該第一與第二實數間之差值，將該減法器之該輸出乘上該第一係數暫存器



之該正弦係數，儲存該乘法結果於一第一儲存暫存器內，將該減法器之該輸出乘上該第二係數暫存器之該餘弦係數，並儲存該乘法結果於一第二儲存暫存器內之步驟；

(c)透過該第一讀取匯流排載入該第一虛數於該第一輸入暫存器內，透過該第二讀取匯流排載入該第二虛數於該第二輸入暫存器內，利用該減法器計算該第一與第二虛數間之差值，將該減法器之該輸出乘上該第一係數暫存器之該正弦係數，儲存該乘法結果於一第三儲存暫存器內，將該減法器之該輸出乘上該第二係數暫存器之該餘弦係數，並儲存該乘法結果於一第四儲存暫存器內之步驟；

(d)利用該減法器計算存於該第二儲存暫存器內之該值與存於該第三儲存暫存器內之該值之差值以得到一複變FFT之一實數部份並儲存該實數部份於一輸出暫存器之步驟；以及

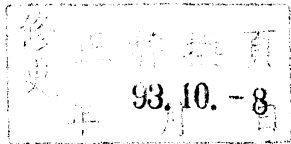
(e)利用一加法器計算存於該第一儲存暫存器內之該值與存於該第四儲存暫存器內之該值之總和以得到一複變FFT之一虛數部份並儲存該虛數部份於一輸出暫存器之步驟。

21.如申請專利範圍第20項所述之方法，更包括：

(f)在步驟(d)或(e)時，載入下次操作所用之一係數於該第一與第二係數暫存器內之步驟。

22.如申請專利範圍第20項所述之方法，其中步驟(a)~(e)之各步驟係執行於一個周期內。

23.如申請專利範圍第20項所述之方法，其中在步驟



(a)中，該正弦係數透過該第一讀取匯流排載入於該第一係數暫存器內；而該餘弦係數透過該第二讀取匯流排載入於該第二係數暫存器內。

24.如申請專利範圍第 20 項所述之方法，其中在步驟 (b)中，該第一實數透過該第一讀取匯流排載入於該第一輸入暫存器內；而該第二實數透過該第二讀取匯流排載入於該第二輸入暫存器內。

25.如申請專利範圍第 20 項所述之方法，其中在步驟 (c)中，該第一虛數透過該第一讀取匯流排載入於該第一輸入暫存器內；而該第二虛數透過該第二讀取匯流排載入於該第二輸入暫存器內。

26.如申請專利範圍第 20 項所述之方法，更包括：

(g)每次在構成該複變 FFT 計算之 $(N/2)\log(N)$ 階之各階中對一資料方塊進行 FFT 計算時，載入係數之步驟；其中 N 代表各資料方塊之資料數，而目前階所需之資料方塊數是前一階所需之資料方塊數的 2 倍。

27.如申請專利範圍第 20 項所述之方法，更包括：

(h)每次一資料方塊受到 FFT 計算時，載入各階所需係數並參考所載入係數之步驟，其中該複變 FFT 計算包括 $(N/2)\log(N)$ 階， N 代表各資料方塊之資料數，而目前階所需之資料方塊數是前一階所需之資料方塊數的 2 倍。

28.一種記錄媒介，儲存有用於計算包括一第一實數與一第一虛數之第一複數資料之複變 FFT(快速傅立葉變換)及包括一第二實數與一第二虛數之第二複數資料之複變

FFT 之一電腦程式，該電腦程式包括下列步驟：

(a)分別透過第一與第二讀取匯流排而分別載入一正弦係數與一餘弦係數於第一與第二係數暫存器內之步驟；

(b)透過該第一讀取匯流排載入該第一實數於一第一輸入暫存器內，透過該第二讀取匯流排載入該第二實數於一第二輸入暫存器內，利用一減法器計算該第一與第二實數間之差值，將該減法器之該輸出乘上該第一係數暫存器之該正弦係數，儲存該乘法結果於一第一儲存暫存器內，將該減法器之該輸出乘上該第二係數暫存器之該餘弦係數，並儲存該乘法結果於一第二儲存暫存器內之步驟；

(c)透過該第一讀取匯流排載入該第一虛數於該第一輸入暫存器內，透過該第二讀取匯流排載入該第二虛數於該第二輸入暫存器內，利用該減法器計算該第一與第二虛數間之差值，將該減法器之該輸出乘上該第一係數暫存器之該正弦係數，儲存該乘法結果於一第三儲存暫存器內，將該減法器之該輸出乘上該第二係數暫存器之該餘弦係數，並儲存該乘法結果於一第四儲存暫存器內之步驟；

(d)利用該減法器計算存於該第二儲存暫存器內之該值與存於該第三儲存暫存器內之該值之差值以得到一複變 FFT 之一實數部份並儲存該實數部份於一輸出暫存器之步驟；以及

(e)利用一加法器計算存於該第一儲存暫存器內之該值與存於該第四儲存暫存器內之該值之總和以得到一複變 FFT 之一虛數部份並儲存該虛數部份於一輸出暫存器之步

93.10. - 8

驟。

29.一種快取記憶體，從一外部記憶體讀取一中央處理單元之下次預期所需之一串資料，儲存該資料，且在該中央處理單元存取該外部記憶體之前先被存取，該快取記憶體包括：

一內部記憶體，儲存已存於該外部記憶體內之資料以及存於該外部記憶體內之資料之位址；

一比較器，比較用以存取該外部記憶體之外部位址以及存於該內部記憶體之該外部位址以產生代表相等或不相等之一相等代表信號；

一位址變換器，根據用以存取該外部記憶體之該外部位址、從一指令字元儲存控制器接收之一寫入位址以及各外部位址之一高階位址以產生用以存取該內部記憶體之一內部位址並產生一內部記憶體讀取/寫入控制信號；以及

該指令字元儲存控制器，控制存於該外部記憶體內之資料以載入於該內部記憶體，其中該控制可自發生完成或回應於從該快取記憶體外部接收之一指令而完成。

30.如申請專利範圍第 29 項所述之快取記憶體，其中該比較器包括：

代表性位址暫存器，各暫存器儲存有存於各記憶體方塊內之該外部位址中之一表頭位址，該內部記憶體係分割成各記憶體方塊；以及

代表性位址比較器，比較用於存取該外部記憶體之該外部位址及存於該代表性位址暫存器內之該表頭位址。



31.如申請專利範圍第 30 項所述之快取記憶體，其中各代表性位址暫存器儲存從該內部記憶體之各記憶體方塊之該外部位址得到之該表頭位址之一高階位址。

32.如申請專利範圍第 31 項所述之快取記憶體，其中該代表性位址暫存器之數量與該比較器之數量係相等於該內部位址之記憶體方塊之數量。

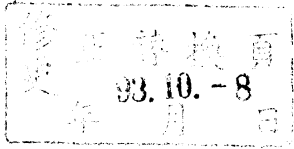
33.如申請專利範圍第 32 項所述之快取記憶體，更包括一相等偵測器，接收該位址比較器輸出之選擇信號，如果任一選擇信號代表相等的話，產生代表一快取命中之該相等偵測信號。

34.如申請專利範圍第 30 項所述之快取記憶體，其中當存於該外部記憶體內之資料載入於該內部記憶體時，包括於該資料內之外部位址係在該指令字元儲存控制器之控制下存於該代表性位址暫存器內。

35.如申請專利範圍第 31 項所述之快取記憶體，其中當存於該外部記憶體內之資料載入於該內部記憶體時，包括於該資料內之各外部位址之該高階位址係在該指令字元儲存控制器之控制下存於該代表性位址暫存器內。

36.如申請專利範圍第 29 項所述之快取記憶體，其中該指令字元儲存控制器包括：

一高階位址產生器，產生用於存取該外部記憶體之各外部位址之一高階位址並將該高階位址當成代表性位址而輸出至該比較器，使得當存於該外部記憶體內之資料載入於該內部記憶體時，該代表性位址係於該比較器內比較；



一低階位址產生器，產生用於存取該外部記憶體之各外部位址之一低階位址並，當存於該外部記憶體內之資料載入於該內部記憶體時，將該低階位址當成寫入位址而輸出至該位址變換器；以及

一記憶體載入控制器，控制該高階位址產生器與該低階位址產生器自發性或回應於一外部指令字元與一控制信號使得存於該外部記憶體內之該資料載入於該內部記憶體，產生該外部記憶體之一讀取控制信號，並控制該高階位址產生器所產生之該高階位址存於該比較器內。

37.如申請專利範圍第 36 項所述之快取記憶體，其中該記憶體載入控制器接收該比較器輸出之該相等偵測信號以決定是否發生快取命中；而且如果發生快取錯失的話，控制該內部記憶體之載入操作。

38.如申請專利範圍第 37 項所述之快取記憶體，更包括一記憶體方塊寫入位址儲存暫存器，儲存該內部記憶體之寫入方塊資訊，其中該記憶體載入控制器參考存於該記憶體方塊寫入位址儲存暫存器內之該寫入方塊資訊來執行一內部記憶體載入操作；在該內部記憶體載入操作完成之後，根據一既定規則來計算下一次要載入於該內部記憶體之一寫入方塊；並儲存所計算出之該寫入方塊於該記憶體方塊寫入位址儲存暫存器內。

39.如申請專利範圍第 38 項所述之快取記憶體，更包括一控制模式暫存器，儲存該記憶體載入控制器之控制模式資訊，其中如果存於該控制模式暫存器內之該控制模式



資訊代表一硬體模式，該記憶體載入控制器取決於該相等偵測信號之值而控制該內部記憶體之一載入操作。

40.如申請專利範圍第 39 項所述之快取記憶體，其中如果存於該控制模式暫存器內之該控制模式資訊代表一軟體模式，該記憶體載入控制器忽略存於該記憶體方塊寫入位址儲存暫存器之該寫入方塊資訊。

41.如申請專利範圍第 37 項所述之快取記憶體，更包括一記憶體方塊寫入模式暫存器，儲存該內部記憶體之各記憶體方塊之寫入模式資訊，其中該記憶體載入控制器參考存於該記憶體方塊寫入模式暫存器內之各記憶體方塊之該寫入模式資訊來控制該內部記憶體之一載入操作；在該內部記憶體載入操作完成後，根據一既定規則來計算各記憶體方塊之該寫入模式資訊；並儲存所計算出之各記憶體方塊之該寫入模式資訊於該記憶體方塊寫入模式暫存器內。

42.如申請專利範圍第 41 項所述之快取記憶體，更包括一控制模式暫存器，儲存該記憶體載入控制器之控制模式資訊，其中如果存於該控制模式暫存器內之該控制模式資訊代表一硬體模式，該記憶體載入控制器取決於該相等偵測信號之值而控制該內部記憶體之一載入操作；而如果存於該控制模式暫存器內之該控制模式資訊代表一軟體模式，該記憶體載入控制器解譯從該快取記憶體外部接收之一指令並根據所解譯出之該指令而控制該內部記憶體之一載入操作。

93.10. -8

43.如申請專利範圍第 42 項所述之快取記憶體，其中如果存於該控制模式暫存器內之該控制模式資訊代表一軟體模式，該記憶體載入控制器忽略存於該記憶體方塊寫入模式暫存器內之該寫入模式資訊。

44.如申請專利範圍第 36 項所述之快取記憶體，其中該記憶體載入控制器係規劃成回應於一初始載入信號而將該外部記憶體輸出之既定資料載入於該內部記憶體之既定區內。

45.如申請專利範圍第 36 項所述之快取記憶體，更包括一控制器，解譯該指令並產生一控制信號以控制該記憶體載入控制器。

46.一種語音辨識系統，包括：

一主記憶體，載入操作該系統必需之一程式及一快取控制程式；

一中央處理單元，根據存於該主記憶體內之該程式來控制該系統之操作；以及

一快取記憶體，從該主記憶體讀取該中央處理單元之預期下次所需之一串資料，儲存該資料，且在該中央處理單元存取該主記憶體之前先被存取，該快取記憶體包括：

一內部記憶體，儲存已存於該主記憶體內之資料以及存於該主記憶體內之該資料之位址；

一比較器，比較用以存取該主記憶體之外部位址以及存於該內部記憶體之該外部位址以產生代表相等或不相等之一相等代表信號；



一位址變換器，根據用以存取該主記憶體之該外部位址、從一指令字元儲存控制器接收之一寫入位址以及各外部位址之一高階位址以產生用以存取該內部記憶體之一內部位址並產生一內部記憶體讀取/寫入控制信號；以及

該指令字元儲存控制器，控制存於該主記憶體內之資料以載入於該內部記憶體，其中該控制可自發生完成或回應於從該快取記憶體外部接收之一指令而完成。

47.一種控制一快取記憶體之快取控制方法，該快取記憶體從該外部記憶體讀取該中央處理單元之預期下次所需之一串資料，儲存該資料，且該中央處理單元存取該外部記憶體之前係先存取該快取記憶體，該方法包括下列步驟：

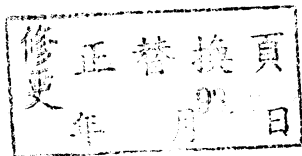
設定一更新指標以指向該快取記憶體之一內部記憶體之任一區之步驟；

計算待交換於該外部記憶體之一方塊之該快取記憶體之該內部記憶體之一方塊來設定該更新指標之值之步驟；以及

從該更新指標所指向之該內部記憶體之該區，逐方塊地將該快取記憶體之該內部記憶體交換於該外部記憶體之步驟。

48.如申請專利範圍第 47 項所述之快取控制方法，更包括下列步驟：

設定該快取記憶體使得如果該快取記憶體內發生快取錯失的話，從該更新指標所指向之該內部記憶體之該區交換於該外部記憶體之步驟。



49.如申請專利範圍第 47 項所述之快取控制方法，更包括下列步驟：

產生一指令，該指令包括指示有關於該快取記憶體之一方塊交換之一運算元；代表待交換之該快取記憶體之一區之一目的；以及代表待交換之該外部記憶體之一區之一來源。