

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 8 月 23 日(23.08.2012)



(10) 国際公開番号
WO 2012/111363 A1

- (51) 国際特許分類:
H01L 21/338 (2006.01) H01L 29/778 (2006.01)
H01L 29/06 (2006.01) H01L 29/78 (2006.01)
H01L 29/41 (2006.01) H01L 29/812 (2006.01)
H01L 29/423 (2006.01)
- (21) 国際出願番号: PCT/JP2012/050425
- (22) 国際出願日: 2012 年 1 月 12 日(12.01.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-030045 2011 年 2 月 15 日(15.02.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 伊奈 弘善
(INA, Hiroyoshi) [JP/—].
- (74) 代理人: 鮫島 睦, 外(SAMEJIMA, Mutsumi et al.);
〒5400001 大阪府大阪府中央区域見 1 丁目 3 番
7 号 I M P ビル青山特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

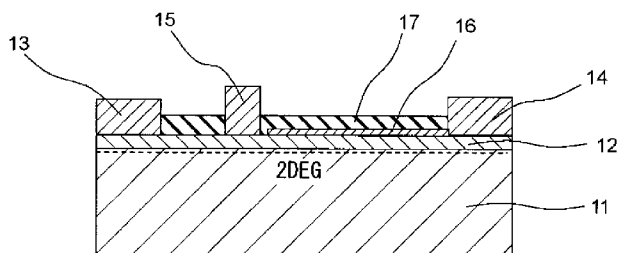
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: LATERAL-TYPE SEMICONDUCTOR DEVICE

(54) 発明の名称: 横型半導体装置

[図1]



(57) Abstract: This lateral-type semiconductor device is provided with: a GaN layer (11) and an AlGaN layer (12); a source electrode (13) and a drain electrode (14) formed on the AlGaN layer (12) such that a spacing is present therebetween; a gate electrode (15) formed on the AlGaN layer (12) and between the source electrode (13) and the drain electrode (14); a first insulating film (16) for inhibiting current collapse, the first insulating film being formed in a region on the AlGaN layer (12) and between the drain electrode (13) and the gate electrode (15) such that a predefined spacing is present with respect to the gate electrode (15); and a second insulating film (17) formed so as to fill a region between the end section of the first insulating film (16) on the side gate electrode (15) side and the gate electrode (15). Provided is a lateral-type semiconductor device in which it is possible to inhibit leak current and increase voltage resistance while suppressing the phenomenon of current collapse.

(57) 要約:

[続葉有]

WO 2012/111363 A1



GaN層(11)とAlGaN層(12)と、AlGaN層(12)上に間隔をあけて形成されたソース電極(13)およびドレイン電極(14)と、AlGaN層(12)上かつソース電極(13)とドレイン電極(14)との間に形成されたゲート電極(15)と、AlGaN層(12)上かつドレイン電極(13)とゲート電極(15)との間の領域に、ゲート電極(15)に対して予め設定された間隔をあけて形成された電流コラプスを抑制するための第1の絶縁膜(16)と、第1の絶縁膜(16)のゲート電極(15)側の端部とゲート電極(15)との間の領域を埋めるように形成された第2の絶縁膜(17)と備える。電流コラプス現象を抑えつつ、リーク電流を抑制して耐圧を向上できる横型半導体装置を提供する。

明 細 書

発明の名称：横型半導体装置

技術分野

[0001] この発明は、横型半導体装置に関し、詳しくは、窒化物半導体層上にソース電極とドレイン電極およびゲート電極が形成された横型半導体装置に関する。

背景技術

[0002] 従来、横型半導体装置としては、窒化物半導体層上に離間してソース電極とドレイン電極が形成され、そのソース電極とドレイン電極との間にゲート電極が形成され、窒化物半導体層上に第1の絶縁膜と第2の絶縁膜が積層された電界効果トランジスタがある(例えば、特開2004-200248号公報(特許文献1)参照)。

[0003] この電界効果トランジスタは、ゲート電極がフィールドプレート構造であり、第1の絶縁膜をSiNで形成することにより電流コラプスを抑えようとしている。

[0004] しかしながら、上記構成の電界効果トランジスタでは、電流コラプス現象を抑えることができて、高電圧下ではリーク電流が生じて耐圧が低下するという問題が依然としてある。

先行技術文献

特許文献

[0005] 特許文献1：特開2004-200248号公報

発明の概要

発明が解決しようとする課題

[0006] そこで、この発明の課題は、電流コラプス現象を抑えつつ、リーク電流を抑制して耐圧を向上できる横型半導体装置を提供することにある。

課題を解決するための手段

[0007] 上記課題を解決するため、この発明の横型半導体装置は、

窒化物半導体層と、

上記窒化物半導体層上に、または、上記窒化物半導体層内に少なくとも一部が形成されると共に、互いに間隔をあけて形成されたソース電極およびドレイン電極と、

上記ソース電極と上記ドレイン電極との間に形成されたゲート電極と、

上記窒化物半導体層上、かつ、上記ドレイン電極と上記ゲート電極との間の領域に、上記ゲート電極に対して予め設定された間隔をあけて形成された電流コラプスを抑制するための第1の絶縁膜と、

少なくとも、上記第1の絶縁膜の上記ゲート電極側の端部と上記ゲート電極との間の領域を埋めるように形成された第2の絶縁膜とを備えたことを特徴とする。

[0008] ここで、「電流コラプス」とは、低電圧動作でのトランジスタのオン抵抗と比べて高電圧動作でのトランジスタのオン抵抗が高くなってしまいう現象である。

[0009] 上記構成によれば、電流コラプスを抑制する第1の絶縁膜が、窒化物半導体層上かつドレイン電極とゲート電極との間の領域に、ゲート電極に対して予め設定された間隔をあけて形成され、少なくとも、窒化物半導体層上の第1の絶縁膜のゲート電極側とゲート電極との間の領域を埋めるように第2の絶縁膜が形成されていることによって、電流コラプスを抑制するための第1の絶縁膜とゲート電極とが離間し、その第1の絶縁膜のゲート電極側の端部とゲート電極との間に第2の絶縁膜が介在するので、第1の絶縁膜により電流コラプス現象を抑えつつ、第1の絶縁膜を介してゲート電極に流れるリーク電流を抑制して耐圧を向上できる。なお、上記ソース電極およびドレイン電極は、窒化物半導体層上に互いに間隔をあけて形成してもよいし、窒化物半導体層内に少なくとも一部が埋め込まれるようにかつ互いに間隔をあけて形成してもよい。

[0010] また、一実施形態の横型半導体装置では、

上記第2の絶縁膜は、上記第1の絶縁膜の少なくとも上記ゲート電極側の

端部上に位置する部分を含み、

上記ゲート電極は、上記窒化物半導体層上に形成された基部と、上記基部の上側から上記ドレイン電極側に向かって上記第2の絶縁膜上に延在するように形成されたフィールドプレート部とを有する。

[0011] 上記実施形態によれば、窒化物半導体層上に形成されたゲート電極の基部の上側からドレイン電極側に向かって第2の絶縁膜上に延在するようにフィールドプレート部を形成することによって、高電圧下でのゲート電極近傍の電界集中が緩和され、電流コラプスを抑制できると共に耐圧を向上できる。

[0012] また、一実施形態の横型半導体装置では、

上記第1の絶縁膜は、上記ゲート電極の上記フィールドプレート部の上記ドレイン電極側の先端と上記ドレイン電極との間の上記窒化物半導体層上に形成されている。

[0013] 上記実施形態によれば、ゲート電極のフィールドプレート部のドレイン電極側の先端とドレイン電極との間の窒化物半導体層上に第1の絶縁膜が形成され、ゲート電極のフィールドプレート部と第1の絶縁膜とがオーバーラップしていないことによって、高電圧下でのゲート電極近傍で強い電界により第1の絶縁膜を介してゲート電極に流れるリーク電流経路が形成されにくくなり、耐圧をさらに向上できる。また、電流コラプスを抑制するために第1の絶縁膜の誘電率が第2の絶縁膜の誘電率よりも高いので、ゲート電極のフィールドプレート部と第1の絶縁膜とがオーバーラップしないことによりフィールドプレート部下側の容量を低減でき、高周波特性が向上する。

[0014] また、一実施形態の横型半導体装置では、

上記第1の絶縁膜は、上記ゲート電極の上記フィールドプレート部の上記ドレイン電極側の先端から上記ゲート電極の上記基部側に向かって、少なくとも上記第1の絶縁膜と上記第2の絶縁膜の厚さ方向の合計長さ分、上記フィールドプレート部下側に形成されている。

[0015] 上記実施形態によれば、ゲート電極のフィールドプレート部下側に第1の絶縁膜がない場合よりも、フィールドプレート部下側に第1の絶縁膜を

形成することにより、電流コラプス現象を抑制する効果を大きくできる。

[0016] また、一実施形態の横型半導体装置では、

上記第1の絶縁膜は、ストイキオメトリなシリコン窒化膜よりもシリコンの比率が高いシリコン窒化膜である。

[0017] ここで、「ストイキオメトリなシリコン窒化膜」とは、SiとNが3：4の組成の膜である。

[0018] 上記実施形態によれば、ストイキオメトリなシリコン窒化膜よりもシリコンの比率が高いシリコン窒化膜を第1の絶縁膜に用いることによって、電流コラプスを抑制することが可能になる。

[0019] また、一実施形態の横型半導体装置では、

上記第2の絶縁膜は、上記第1の絶縁膜より窒素の比率が高いシリコン窒化膜である。

[0020] 上記実施形態によれば、第1の絶縁膜よりも窒素の比率が高いシリコン窒化膜を第2の絶縁膜に用いることによって、絶縁性に優れた第2の絶縁膜によりゲート電極とドレイン電極との間のリーク電流を抑制できる。

[0021] また、一実施形態の横型半導体装置では、

上記窒化物半導体層は、基板上に順に積層された第1半導体層およびその第1半導体層とヘテロ界面を形成する第2半導体層を含み、

上記第1半導体層と上記第2半導体層とのヘテロ界面に形成された2次元電子ガスを利用するヘテロ接合電界効果トランジスタが形成されており、

上記窒化物半導体層の上側の一部に形成された凹部に上記ゲート電極の少なくとも一部が埋め込まれている。

[0022] 上記実施形態によれば、窒化物半導体層の上側の一部に形成された凹部にゲート電極の少なくとも一部が埋め込まれていることによって、ゲート電極下のヘテロ界面に形成される二次元電子ガス濃度を低下させるか、または、ゲート電極により窒化物半導体層のヘテロ界面が遮断されて2次元電子ガスが存在しないことにより、閾値電圧が高くなるので、ヘテロ接合電界効果トランジスタのノーマリーオフ動作が可能になる。したがって、電流コラプス

現象を抑えつつ、リーク電流を抑制して耐圧を向上できるノーマリーオフ動作のヘテロ接合電界効果トランジスタを実現できる。

発明の効果

[0023] 以上より明らかなように、この発明の横型半導体装置によれば、電流コラプス現象を抑えつつ、リーク電流を抑制して耐圧を向上できる横型半導体装置を実現することができる。

図面の簡単な説明

[0024] [図1]図1はこの発明の第1実施形態の横型半導体装置の断面図である。

[図2]図2はこの発明の第2実施形態の横型半導体装置の断面図である。

[図3]図3は比較例の横型半導体装置の断面図である。

[図4]図4はこの発明の第3実施形態の横型半導体装置の断面図である。

[図5]図5はこの発明の第4実施形態の横型半導体装置の断面図である。

[図6]図6は図2,図3に示す横型半導体装置のゲート電圧に対するドレイン-ゲート間リーク電流を示す図である。

[図7]図7は上記第2実施形態の横型半導体装置のゲート電圧に対するゲート電流を示す図である。

[図8]図8は上記比較例の横型半導体装置のゲート電圧に対するゲート電流を示す図である。

[図9]図9はこの発明の第5実施形態の横型半導体装置の断面図である。

[図10]図10はこの発明の第6実施形態の横型半導体装置の断面図である。

[図11]図11はこの発明の第7実施形態の横型半導体装置の断面図である。

発明を実施するための形態

[0025] 以下、この発明の横型半導体装置を図示の実施の形態により詳細に説明する。

[0026] [第1実施形態]

図1はこの発明の第1実施形態の横型半導体装置の断面図を示しており、横型半導体装置の一例としてのノーマリーオンタイプのGa_N系HFET(Hetero-junction Field Effect Transistor; ヘテロ接合電界効果トランジスタ)

である。

[0027] この第1実施形態の横型半導体装置は、図1に示すように、Si基板(図示せず)上に、第1半導体層の一例としてのアンドープGaN層11と、第2半導体層の一例としてのアンドープAlGaN層12を順に形成している。このアンドープGaN層11とアンドープAlGaN層12との界面に2DEG(2次元電子ガス)が発生する。このGaN層11とAlGaN層12で窒化物半導体層を構成している。なお、上記基板は、Si基板に限らず、サファイヤ基板やSiC基板を用いてもよく、サファイヤ基板やSiC基板上に窒化物半導体層を成長させてもよいし、GaN基板にAlGaN層を成長させる等のように、窒化物半導体からなる基板上に窒化物半導体層を成長させてもよい。また、適宜、バッファ層を基板と各層間に形成してもよい。

[0028] AlGaN層12上に、所定の間隔をあけてソース電極13とドレイン電極14を形成している。そのAlGaN層12上のソース電極13とドレイン電極14との間かつソース電極13側にゲート電極15を形成している。そして、AlGaN層12上のゲート電極15とドレイン電極14との間のゲート電極15近傍の領域を除く領域に第1の絶縁膜16を形成している。ソース電極13とドレイン電極14とゲート電極15を除く領域上に、第2の絶縁膜17を形成している。なお、図1では、第1の絶縁膜16上にも第2の絶縁膜17を形成しているが、第1の絶縁膜16上に第2の絶縁膜17は無くともよい。

[0029] この第1実施形態では、第1の絶縁膜16の膜厚は10～20nmであり、第2の絶縁膜17の膜厚は200nmである。

[0030] 上記横型半導体装置の製造方法を以下に説明する。

[0031] まず、Si基板(図示せず)上に形成されたAlGaN/GaN半導体表面すなわちAlGaN層12上にオーミック電極によりソース電極13、ドレイン電極14を形成する。

[0032] その後、そのソース電極13とドレイン電極14との間に、プラズマCVD(Chemical Vapor Deposition: 化学的気相成長)法によりガス流量比N₂／

$\text{NH}_3/\text{SiH}_4 = 645 \text{ sccm}/85 \text{ sccm}/70 \text{ sccm}$ でシリコン窒化膜を第1の絶縁膜16として形成する。この第1の絶縁膜16では、ストイキオメトリなシリコン窒化膜よりもシリコンSiの比率を大きくしており、これにより電流コラプスを抑制する。

[0033] 次に、レジストを用いたパターニングにより、第1の絶縁膜16となるシリコン窒化膜のゲート電極15を形成する部分近傍の領域およびそのゲート電極15を形成する部分とソース電極13との間の領域にウェットエッチングで開口部を形成する。

[0034] さらに、ソース電極13、ドレイン電極14を除く領域上に、プラズマCVD法によりガス流量比 $\text{N}_2/\text{NH}_3/\text{SiH}_4 = 697 \text{ sccm}/92.5 \text{ sccm}/10.5 \text{ sccm}$ でシリコン窒化膜を第2の絶縁膜17として形成している。この第2の絶縁膜17では、第1の絶縁膜16よりも窒素の比率を高くしている。

[0035] 再度、レジストを用いたパターニングにより、第2の絶縁膜17のゲート電極15を形成する部分にウェットエッチングで開口部を形成する。この開口部は、第1の絶縁膜16に対して所定の間隔をあけて形成する。

[0036] その後、第2の絶縁膜17の開口部により露出したAlGaIn層12の領域上に、ショットキー電極によりゲート電極15を形成する。

[0037] 上記構成の横型半導体装置によれば、電流コラプスを抑制する第1の絶縁膜16が、AlGaIn層12上かつドレイン電極14とゲート電極15との間の領域に、ゲート電極15に対して予め設定された間隔をあけて形成され、AlGaIn層12上および第1の絶縁膜16上を覆うように、かつ、第1の絶縁膜16のゲート電極15側の端部とゲート電極15の下部との間の領域を埋めるように第2の絶縁膜17が形成されている。これによって、電流コラプスを抑制するための第1の絶縁膜16とゲート電極15とが離間し、その第1の絶縁膜16のゲート電極15側の端部とゲート電極15の下部との間に第2の絶縁膜17が介在するので、第1の絶縁膜16により電流コラプス現象(低電圧動作でのトランジスタのオン抵抗と比べて高電圧動作でのトランジスタのオン抵抗が高くなってしまう現象)を抑えつつ、第1の絶縁膜16を

介してゲート電極 1 5 に流れるリーク電流を抑制して耐圧を向上できる。

[0038] また、ストイキオメトリなシリコン窒化膜よりもシリコンの比率が高いシリコン窒化膜を第 1 の絶縁膜 1 6 に用いることによって、電流コラプスを抑制することが可能になる。

[0039] また、第 1 の絶縁膜 1 6 よりも窒素の比率が高いシリコン窒化膜を第 2 の絶縁膜 1 7 に用いることによって、絶縁性に優れた第 2 の絶縁膜 1 7 によりゲート電極 1 5 とドレイン電極 1 4 との間のリーク電流を抑制できる。

[0040] [第 2 実施形態]

図 2 はこの発明の第 2 実施形態の横型半導体装置の断面図を示している。この第 2 実施形態の横型半導体装置は、ゲート電極を除いて第 1 実施形態の横型半導体装置と同一の構成をしている。

[0041] この第 2 実施形態の横型半導体装置は、図 2 に示すように、Si 基板(図示せず)上に、第 1 半導体層の一例としてのアンドープ GaN 層 2 1 と、第 2 半導体層の一例としてのアンドープ AlGaIn 層 2 2 を順に形成している。このアンドープ GaN 層 2 1 とアンドープ AlGaIn 層 2 2 との界面に 2 DEG (2 次元電子ガス)が発生する。

[0042] AlGaIn 層 2 2 上に、所定の間隔をあけてソース電極 2 3 とドレイン電極 2 4 を形成している。その AlGaIn 層 2 2 上のソース電極 2 3 とドレイン電極 2 4 との間かつソース電極 2 3 側にゲート電極 2 5 を形成している。そして、AlGaIn 層 2 2 上のゲート電極 2 5 とドレイン電極 2 4 との間のゲート電極 2 5 近傍の領域を除く領域に第 1 の絶縁膜 2 6 を形成している。ソース電極 2 3 とドレイン電極 2 4 とゲート電極 2 5 を除く領域上に、第 1 の絶縁膜 2 6 を覆う第 2 の絶縁膜 2 7 を形成している。

[0043] 上記ゲート電極 2 5 は、基部 2 5 a と、その基部 2 5 a の上部に形成されたフィールドプレート部 2 5 b で形成されている。このゲート電極 2 5 の基部 2 5 a から張り出しているフィールドプレート部 2 5 b の長さ L 1 (フィールドプレート長)を $2\mu\text{m}$ としている。また、第 2 の絶縁膜 2 7 が AlGaIn 層 2 2 と接している部分の幅を $0.5\mu\text{m}$ としている。すなわち、ゲート電極 2 5 の基

部 2 5 a と第 1 の絶縁膜 2 6 とは $0.5 \mu\text{m}$ ($=L_2$) 離間している。

[0044] また、比較例として、図 3 に示すように、第 2 の絶縁膜 2 7 が横型半導体装置と接している部分の幅が $0 \mu\text{m}$ となる従来構造の横型半導体装置(図示せず)も同様のプロセスで作製した。図 3 において、3 1 は GaN 層、3 2 は Al GaN 層、3 3 はソース電極、3 4 はドレイン電極、3 5 はゲート電極、3 5 a は基部、3 5 b はフィールドプレート部、3 6 は第 1 の絶縁膜、3 7 は第 2 の絶縁膜である。

[0045] 図 2, 図 3 に示す 2 つの横型半導体装置の電氣的測定を行って比較した。この測定条件は、ソース電極 2 3, 3 3 とドレイン電極 2 4, 3 4 と基板を 0 V とし、ゲート電極 2 5, 3 5 に 0 V から -50 V まで負電圧を印加した。

[0046] 図 6 は図 2, 図 3 に示す横型半導体装置のゲート電圧に対するドレインーゲート間のリーク電流を示している。図 6 において、横軸はゲート電圧[V]を表し、縦軸はドレインーゲート間のリーク電流[A]を表す。なお、図 6 中の縦軸の浮動小数点形式の表現では、指数底 10 は記号 E で表しかつ掛け算記号 $\times$ は省略しており、例えば、 1.0×10^{-05} (乗) は、 $1.E-05$ で表わされる。

[0047] 図 6 に示すように、この第 2 実施形態の図 2 に示す横型半導体装置は、図 3 に示す比較例のリーク電流特性に比べて、ドレインーゲート間のリーク電流を大幅に低減することができた。

[0048] 図 3 に示す比較例の横型半導体装置では、ゲート電極 3 5 に印加する負電圧の絶対値が大きくなるほど、ドレイン電極 3 4 からの電流が 2 DEG (2 次元電子ガス) を通ってゲート電極 3 5 の下側近傍まで流れて、高電圧下でのゲート電極 3 5 近傍で強い電界により第 1 の絶縁膜 3 6 を介してゲート電極 3 5 に流れるリーク電流経路が形成され、リーク電流が大きくなるものと考えられる。

[0049] これに対して、図 2 に示す第 2 実施形態の横型半導体装置では、ゲート電極 2 5 に対して間隔をあけて第 1 の絶縁膜 2 6 が形成され、その第 1 の絶縁膜 2 6 のゲート電極 2 5 側の端部とゲート電極 2 5 の下部(基部 2 5 a)との間

の領域を第2の絶縁膜27で埋めているため、ゲート電極25近傍で第1の絶縁膜26を介してゲート電極25に流れるようなリーク電流経路が形成されず、ドレインーゲート間のリーク電流を大幅に低減することができる。

[0050] また、図7は図2に示す第2実施形態の横型半導体装置のゲート電圧に対するゲート電流を示しており、図8は図3に示す比較例の横型半導体装置のゲート電圧に対するゲート電流を示している。図7,図8において、横軸はゲート電圧[V]を表し、縦軸はゲート電流[A]を表す。なお、図7,図8の縦軸の浮動小数点形式の表現では、指数底10は記号Eで表しかつ掛け算記号×は省略しており、例えば、 1.0×10^{-05} (乗)は、 $1.E-05$ で表わされる。

[0051] 図7に示すように、第2実施形態の横型半導体装置では、第2の絶縁膜27がゲート電極25と第1の絶縁膜26の間に形成されることで、安定した特性を示すなだらかなゲート電圧ーゲート電流曲線が得られた。これに対して、図8に示すように、比較例の横型半導体装置のゲート電圧ーゲート電流の特性曲線が乱れた状態でリーク電流が生じており、安定しているとは言えない。

[0052] 上記構成の横型半導体装置によれば、電流コラプスを抑制する第1の絶縁膜26が、AlGaIn層22上のドレイン電極24とゲート電極25との間の領域を覆うように、ゲート電極25に対して予め設定された間隔をあけて形成されていることによって、電流コラプスを抑制するための第1の絶縁膜26とゲート電極25とが離間していることにより、電流コラプス現象(低電圧動作でのトランジスタのオン抵抗と比べて高電圧動作でのトランジスタのオン抵抗が高くなってしまう現象)を抑えつつ、第1の絶縁膜26を介してゲート電極25に流れるリーク電流を抑制して耐圧を向上できる。

[0053] また、AlGaIn層22上に形成されたゲート電極25の基部25aの上側からドレイン電極24側に向かって第2の絶縁膜27上に延在するように形成されたフィールドプレート部25bによって、高電圧下でのゲート電極25近傍の電界集中が緩和され、電流コラプスを抑制できると共に耐圧を向上でき

る。

[0054] また、ゲート電極 2 5 と第 1 の絶縁膜 2 6 とが $0.5 \mu\text{m}$ 離間していることによって、製造ばらつき(製造装置の位置決め精度は例えば $\pm 0.2 \mu\text{m}$)によりゲート電極 2 5 と第 1 の絶縁膜 2 6 とが接触または近接する恐れがなくなり、ゲート電極 2 5 と第 1 の絶縁膜 2 6 とを確実に離間させ、さらに、そのゲート電極 2 5 と第 1 の絶縁膜 2 6 との間を絶縁性に優れた第 2 の絶縁膜 2 7 で絶縁することによって、電流コラプス現象を抑えつつ、リーク電流を確実に抑制することができる。

[0055] [第 3 実施形態]

図 4 はこの発明の第 3 実施形態の横型半導体装置の断面図を示している。この第 3 実施形態の横型半導体装置は、第 1 の絶縁膜を除いて第 2 実施形態の横型半導体装置と同一の構成をしている。図 4 において、4 1 は GaN 層、4 2 は AlGaIn 層、4 3 はソース電極、4 4 はドレイン電極、4 5 はゲート電極、4 5 a は基部、4 5 b はフィールドプレート部、4 6 は第 1 の絶縁膜、4 7 は第 2 の絶縁膜である。

[0056] この第 3 実施形態の横型半導体装置と第 2 実施形態の横型半導体装置との相違点は、第 1 の絶縁膜 4 6 と第 2 の絶縁膜 4 7 の厚さ方向の合計長さ分、ゲート電極 4 5 のフィールドプレート部 4 5 b の下側の AlGaIn 層 4 2 上に第 1 の絶縁膜 4 6 が形成されている点である。すなわち、ゲート電極 4 5 のフィールドプレート部 4 5 b と第 1 の絶縁膜 4 6 とが、第 1 の絶縁膜 4 6 と第 2 の絶縁膜 4 7 の厚さ方向の合計長さ L_3 だけオーバーラップしている。

[0057] 上記第 3 実施形態の横型半導体装置は、第 2 実施形態の横型半導体装置と同様の効果を有する。

[0058] 上記第 3 実施形態の横型半導体装置によれば、ゲート電極 4 5 のフィールドプレート部 4 5 b の下側に第 1 の絶縁膜 4 6 がない場合よりも、フィールドプレート部 4 5 b の下側に第 1 の絶縁膜 4 6 を形成することにより、電流コラプス現象を抑制する効果を大きくできる。

[0059] [第 4 実施形態]

図5はこの発明の第4実施形態の横型半導体装置の断面図を示している。この第4実施形態の横型半導体装置は、第1の絶縁膜を除いて第2実施形態の横型半導体装置と同一の構成をしている。図5において、51はGa_{0.5}N_{0.5}層、52はAlGa_{0.3}N_{0.7}層、53はソース電極、54はドレイン電極、55はゲート電極、55aは基部、55bはフィールドプレート部、56は第1の絶縁膜、57は第2の絶縁膜である。

[0060] この第4実施形態の横型半導体装置と第2実施形態の横型半導体装置との相違点は、ゲート電極55のフィールドプレート部55bと第1の絶縁膜56とがオーバーラップしていない点である。すなわち、第1の絶縁膜56は、ゲート電極55のフィールドプレート部55bのドレイン電極54側の先端とドレイン電極54との間のAlGa_{0.3}N_{0.7}層52上に形成されている。

[0061] 上記第4実施形態の横型半導体装置は、第2実施形態の横型半導体装置と同様の効果を有する。

[0062] 上記構成の横型半導体装置によれば、ゲート電極55のフィールドプレート部55bのドレイン電極54側の先端とドレイン電極54との間のAlGa_{0.3}N_{0.7}層52上に第1の絶縁膜56を形成して、ゲート電極55のフィールドプレート部55bと第1の絶縁膜56とがオーバーラップしていないことによって、高電圧下でのゲート電極55近傍で強い電界により第1の絶縁膜56を介してゲート電極55に流れるリーク電流経路が形成されにくくなり、耐圧をさらに向上できる。また、電流コラプスを抑制するために第1の絶縁膜56の誘電率が第2の絶縁膜57の誘電率よりも高いので、ゲート電極55のフィールドプレート部55bと第1の絶縁膜56とがオーバーラップしないことによりフィールドプレート部55b下側の容量を低減でき、高周波特性が向上する。

[0063] [第5実施形態]

図9はこの発明の第5実施形態の横型半導体装置の断面図を示している。この第5実施形態の横型半導体装置は、ノーマリーオフタイプのリセス型の横型半導体装置の一例としてのGa_{0.5}N_{0.5}系HFETである。

[0064] この横型半導体装置は、図9に示すように、Si基板(図示せず)上に、第1半導体層の一例としてのアンドープGaN層61と、第2半導体層の一例としてのアンドープAlGaN層62を順に形成している。このアンドープGaN層61とアンドープAlGaN層62との界面に2DEG(2次元電子ガス)が発生する。このGaN層61とAlGaN層62で窒化物半導体層を構成している。上記第1実施形態と同様に、基板は、Si基板に限らず、サファイヤ基板やSiC基板を用いてもよく、サファイヤ基板やSiC基板上に窒化物半導体層を成長させてもよいし、GaN基板にAlGaN層を成長させる等のように、窒化物半導体からなる基板上に窒化物半導体層を成長させてもよい。

[0065] AlGaN層62上に、所定の間隔をあけてソース電極63とドレイン電極64を形成している。ソース電極63とドレイン電極64との間のソース電極63側に、AlGaN層62の上部に凹部60を設けている。その凹部60とソース電極63とドレイン電極64を除くAlGaN層62上に、第1の絶縁膜66としてシリコン窒化膜を形成している。第1の絶縁膜66および凹部60を覆うように、第2の絶縁膜67としてシリコン窒化膜を形成している。そして、第2の絶縁膜67で覆われた凹部60内に埋め込まれた基部65aと、その基部65aの上部に形成されたフィールドプレート部65bでゲート電極65を形成している。

[0066] 上記横型半導体装置では、電流コラプスを抑制するための第1の絶縁膜66とゲート電極65とが離間し、その第1の絶縁膜66のゲート電極65側の端部とゲート電極65の下部(基部65a)との間に第2の絶縁膜67が介在している。

[0067] 図9に示す横型半導体装置では、AlGaN層62の上側の一部に形成された凹部60にゲート電極65の基部65aが埋め込まれていることによって、ゲート電極65下のヘテロ界面に形成される二次元電子ガス濃度を低下させて閾値電圧を高くするので、ノーマリーオフ動作が可能になる。したがって、電流コラプス現象を抑えつつ、リーク電流を抑制して耐圧を向上したノーマリーオフタイプのHFETを実現することができる。

[0068] 上記構成の横型半導体装置によれば、電流コラプスを抑制する第1の絶縁膜66が、AlGa_N層62上のドレイン電極64とゲート電極65との間の領域を覆うように、ゲート電極65に対して予め設定された間隔をあけて形成されていることによって、電流コラプスを抑制するための第1の絶縁膜66とゲート電極65とが離間していることにより、電流コラプス現象(低電圧動作でのトランジスタのオン抵抗と比べて高電圧動作でのトランジスタのオン抵抗が高くなってしまう現象)を抑えつつ、第1の絶縁膜66を介してゲート電極65に流れるリーク電流を抑制して耐圧を向上できる。

[0069] また、ストイキオメトリなシリコン窒化膜よりもシリコンの比率が高いシリコン窒化膜を第1の絶縁膜66に用いることによって、電流コラプスを抑制することが可能になる。

[0070] また、第1の絶縁膜66よりも窒素の比率が高いシリコン窒化膜を第2の絶縁膜67に用いることによって、絶縁性に優れた第2の絶縁膜67によりゲート電極65とドレイン電極64との間のリーク電流を抑制することができる。

[0071] [第6実施形態]

図10はこの発明の第6実施形態の横型半導体装置の断面図を示している。この第6実施形態の横型半導体装置は、ノーマリーオフタイプのリセス型の横型半導体装置の一例としてのGa_N系HFETである。

[0072] この横型半導体装置は、図10に示すように、Si基板(図示せず)上に、第1半導体層の一例としてのアンドープGa_N層71と、第2半導体層の一例としてのアンドープAlGa_N層72を順に形成している。このアンドープGa_N層71とアンドープAlGa_N層72との界面に2DEG(2次元電子ガス)が発生する。

[0073] AlGa_N層72上に、所定の間隔をあけてソース電極73とドレイン電極74を形成している。ソース電極73とドレイン電極74との間のソース電極73側に、AlGa_N層72を貫通してGa_N層71の上側の一部に凹部70を設けている。その凹部70とソース電極73とドレイン電極74を除くAl

GaN層72に第1の絶縁膜76を形成している。第1の絶縁膜76および凹部70を覆うように第2の絶縁膜77を形成している。そして、第2の絶縁膜77で覆われた凹部70内に埋め込まれた基部75aと、その基部75aの上部に形成されたフィールドプレート部75bでゲート電極75を形成している。

[0074] 上記横型半導体装置では、電流コラプスを抑制するための第1の絶縁膜76とゲート電極75とが離間し、その第1の絶縁膜76のゲート電極75側の端部とゲート電極75の下部(基部75a)との間に第2の絶縁膜67が介在している。

[0075] 図10に示す横型半導体装置では、AlGaN層72を貫通してGaN層71の上側の一部に形成された凹部70にゲート電極75の基部75aが埋め込まれていることによって、ゲート電極75によりGaN層71とAlGaN層72とのヘテロ界面が遮断されて2DEG(2次元電子ガス)が存在せず、閾値電圧が高くなるので、ノーマリーオフ動作が可能になる。したがって、電流コラプス現象を抑えつつ、リーク電流を抑制して耐圧を向上したノーマリーオフタイプのHFEETを実現することができる。

[0076] 上記第6実施形態の横型半導体装置は、第5実施形態の横型半導体装置と同様の効果を有する。

[0077] [第7実施形態]

図11はこの発明の第7実施形態の横型半導体装置の断面図を示している。この第7実施形態の横型半導体装置は、第3の絶縁膜を除いて第2実施形態の横型半導体装置と同一の構成をしている。

[0078] この第7実施形態の横型半導体装置は、図11に示すように、Si基板(図示せず)上に、第1半導体層の一例としてのアンドープGaN層81と、第2半導体層の一例としてのアンドープAlGaN層82を順に形成している。このアンドープGaN層81とアンドープAlGaN層82との界面に2DEG(2次元電子ガス)が発生する。

[0079] AlGaN層82上に、所定の間隔をあけてソース電極83とドレイン電極

84を形成している。そのAlGaIn層82上のソース電極83とドレイン電極84との間かつソース電極83側にゲート電極85を形成している。そして、AlGaIn層82上のゲート電極85とドレイン電極84との間のゲート電極85近傍の領域を除く領域に第1の絶縁膜86を形成している。ソース電極83とドレイン電極84とゲート電極85を除く領域上に、第1の絶縁膜86を覆う第2の絶縁膜87を形成している。

[0080] さらに、第2の絶縁膜87上およびAlGaIn層82のゲート電極85の基部85aが形成される領域上を覆うように、第3の絶縁膜88を形成している。この第3の絶縁膜88は、厚さ10～40nmのSiN(またはSiO₂やAl₂O₃等)からなる。

[0081] 上記ゲート電極85は、基部85aと、その基部85aの上部に形成されたフィールドプレート部85bで形成されている。このゲート電極85の基部85aからドレイン電極84側に向かってフィールドプレート部85bが張り出している。

[0082] この第7実施形態の横型半導体装置は、第1実施形態の横型半導体装置で説明した製造工程に第3の絶縁膜88を形成する工程を追加することにより製造できる。

[0083] 上記第7実施形態の横型半導体装置では、ゲート電極85に対して間隔をあけて第1の絶縁膜86が形成され、その第1の絶縁膜86のゲート電極85側の端部とゲート電極85の下部(基部85a)との間の領域を第2の絶縁膜87で埋めているため、ゲート電極85近傍で第1の絶縁膜86を介してゲート電極85に流れるようなリーク電流経路が形成されず、ドレインーゲート間のリーク電流を大幅に低減することができる。

[0084] 上記第1～第7実施形態では、第1の絶縁膜にシリコン窒化膜を用いたが、これに限らず、TaO_x、SiO₂、HfO_x等からなる膜を用いてもよい。

[0085] また、上記第1～第7実施形態では、第2の絶縁膜にシリコン窒化膜を用いたが、これに限らず、TaO_x、SiO₂、HfO_x、SiOC等からなる膜や、BCB(ベンゾシクロブテン)などの有機材料を用いてもよい。

[0086] また、上記第1～第7実施形態では、基板上にGa_N層11, 21, 41, 51, 61, 71, 81とAlGa_N層12, 22, 42, 52, 62, 72, 82とを積層した窒化物半導体層を備えた横型半導体装置について説明したが、窒化物半導体層の構造はこれに限らず、コンタクト層やキャップ層などを含む窒化物半導体層を備えた横型半導体装置にこの発明を適用してもよい。

[0087] また、上記第1～第7実施形態では、AlGa_N層12, 22, 42, 52, 62, 72, 82上に所定の間隔をあけてソース電極13, 23, 43, 53, 63, 73, 83とドレイン電極14, 24, 44, 54, 64, 74, 84を形成した横型半導体装置について説明したが、窒化物半導体層内に少なくとも一部が形成されると共に、互いに間隔をあけてソース電極, ドレイン電極が形成された横型半導体装置にこの発明を適用してもよい。

すなわち、この発明の横型半導体装置では、窒化物半導体層上に互いに間隔をあけてソース電極, ドレイン電極の全部が形成されている場合と、窒化物半導体層をエッチングすることにより互いに間隔をあけて2つの凹部を形成して、その各凹部内にソース電極, ドレイン電極の全部が形成されている場合と、さらに、窒化物半導体層をエッチングすることにより互いに間隔をあけて2つの凹部を形成して、その各凹部内にソース電極, ドレイン電極の下側の一部が埋め込まれるように、ソース電極, ドレイン電極が形成されている場合がある。なお、ソース電極またはドレイン電極の一方は、窒化物半導体層上に全部が形成され、ソース電極またはドレイン電極の他方は、窒化物半導体層内に少なくとも一部が形成されていてもよい。

[0088] また、上記第1～第7実施形態では、第1の絶縁膜16, 26, 46, 56, 66, 76, 86上に第2の絶縁膜17, 27, 47, 57, 67, 74, 84が形成されている横型半導体装置について説明したが、第1の絶縁膜のゲート電極側の端部とゲート電極との間の領域を埋める第2の絶縁膜が第1の絶縁膜上には形成されていない横型半導体装置や、第1の絶縁膜のゲート電極側の端部とゲート電極との間の領域を埋める第2の絶縁膜が、その領域に連なる第1の絶縁膜のゲート電極側の一部の領域上に形成されている横型半導体装

置などにこの発明を適用してもよい。

[0089] この発明の横型半導体装置の窒化物半導体は、 $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}$ ($x \geq 0$ 、 $y \geq 0$ 、 $0 \leq x + y \leq 1$) で表されるものであればよい。

[0090] また、この発明の横型半導体装置は、上記第1～第7実施形態のHFE Tに限らず、他の構成の電界効果トランジスタであってもよい。

[0091] この発明の具体的な実施の形態について説明したが、この発明は上記第1～第6実施形態に限定されるものではなく、この発明の範囲内で種々変更して実施することができる。

符号の説明

[0092] 11, 21, 31, 41, 51, 61, 71, 81…Ga N層
12, 22, 32, 42, 52, 62, 72, 82…AlGa N層
13, 23, 33, 43, 53, 63, 73, 83…ソース電極
14, 24, 34, 44, 54, 64, 74, 84…ドレイン電極
15, 25, 35, 45, 55, 65, 75, 85…ゲート電極
16, 26, 36, 46, 56, 66, 76, 86…第1の絶縁膜
17, 27, 37, 47, 57, 67, 77, 87…第2の絶縁膜
25a, 35a, 45a, 55a, 65a, 75a, 85a…基部
25b, 35b, 45b, 55b, 65b, 75b, 85b…フィールドプレート部
60, 70…凹部

請求の範囲

[請求項1]

窒化物半導体層と、

上記窒化物半導体層上に、または、上記窒化物半導体層内に少なくとも一部が形成されると共に、互いに間隔をあけて形成されたソース電極(13, 23, 43, 53, 63, 73, 83)およびドレイン電極(14, 24, 44, 54, 64, 74, 84)と、

上記ソース電極(13, 23, 43, 53, 63, 73, 83)と上記ドレイン電極(14, 24, 44, 54, 64, 74, 84)との間に形成されたゲート電極(15, 25, 45, 55, 65, 75, 85)と、

上記窒化物半導体層上、かつ、上記ドレイン電極(14, 24, 44, 54, 64, 74, 84)と上記ゲート電極(15, 25, 45, 55, 65, 75, 85)との間の領域に、上記ゲート電極(15, 25, 45, 55, 65, 75, 85)に対して予め設定された間隔をあけて形成された電流コラプスを抑制するための第1の絶縁膜(16, 26, 46, 56, 66, 76, 86)と、

少なくとも、上記第1の絶縁膜(16, 26, 46, 56, 66, 76, 86)の上記ゲート電極(15, 25, 45, 55, 65, 75, 85)側の端部と上記ゲート電極(15, 25, 45, 55, 65, 75, 85)との間の領域を埋めるように形成された第2の絶縁膜(17, 27, 47, 57, 67, 77, 87)と

を備えたことを特徴とする横型半導体装置。

[請求項2]

請求項1に記載の横型半導体装置において、

上記第2の絶縁膜(17, 27, 47, 57, 67, 77, 87)は、上記第1の絶縁膜(16, 26, 46, 56, 66, 76, 86)の少なくとも上記ゲート電極(15, 25, 45, 55, 65, 75, 85)側の端部上に位置する部分を含み、

上記ゲート電極(15, 25, 45, 55, 65, 75, 85)は、上記窒化物半導体層上に形成された基部(25a, 45a, 54a, 64a, 75a,

8 5 a)と、上記基部(2 5 a, 4 5 a, 5 4 a, 6 4 a, 7 5 a, 8 5 a)の上側から上記ドレイン電極(1 4, 2 4, 4 4, 5 4, 6 4, 7 4, 8 4)側に向かって上記第2の絶縁膜(1 7, 2 7, 4 7, 5 7, 6 7, 7 7, 8 7)上に延在するように形成されたフィールドプレート部(2 5 b, 4 5 b, 5 4 b, 6 4 b, 7 5 b, 8 5 b)とを有することを特徴とする横型半導体装置。

[請求項3] 請求項2に記載の横型半導体装置において、

上記第1の絶縁膜(1 6, 2 6, 4 6, 5 6, 6 6, 7 6, 8 6)は、上記ゲート電極(1 5, 2 5, 4 5, 5 5, 6 5, 7 5, 8 5)の上記フィールドプレート部(2 5 b, 4 5 b, 5 4 b, 6 4 b, 7 5 b, 8 5 b)の上記ドレイン電極(1 4, 2 4, 4 4, 5 4, 6 4, 7 4, 8 4)側の先端と上記ドレイン電極(1 4, 2 4, 4 4, 5 4, 6 4, 7 4, 8 4)との間の上記窒化物半導体層上に形成されていることを特徴とする横型半導体装置。

[請求項4] 請求項2に記載の横型半導体装置において、

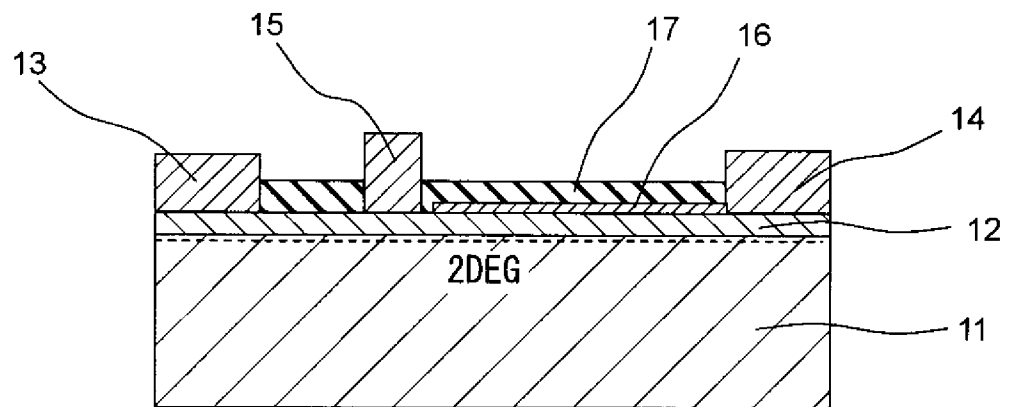
上記第1の絶縁膜(1 6, 2 6, 4 6, 5 6, 6 6, 7 6, 8 6)は、上記ゲート電極(1 5, 2 5, 4 5, 5 5, 6 5, 7 5, 8 5)の上記フィールドプレート部(2 5 b, 4 5 b, 5 4 b, 6 4 b, 7 5 b, 8 5 b)の上記ドレイン電極(1 4, 2 4, 4 4, 5 4, 6 4, 7 4, 8 4)側の先端から上記ゲート電極(1 5, 2 5, 4 5, 5 5, 6 5, 7 5, 8 5)の上記基部(2 5 a, 4 5 a, 5 4 a, 6 4 a, 7 5 a, 8 5 a)側に向かって、少なくとも上記第1の絶縁膜(1 6, 2 6, 4 6, 5 6, 6 6, 7 6, 8 6)と上記第2の絶縁膜(1 7, 2 7, 4 7, 5 7, 6 7, 7 7, 8 7)の厚さ方向の合計長さ分、上記フィールドプレート部(2 5 b, 4 5 b, 5 4 b, 6 4 b, 7 5 b, 8 5 b)の下側に形成されていることを特徴とする横型半導体装置。

[請求項5] 請求項1から4までのいずれか1つに記載の横型半導体装置において、

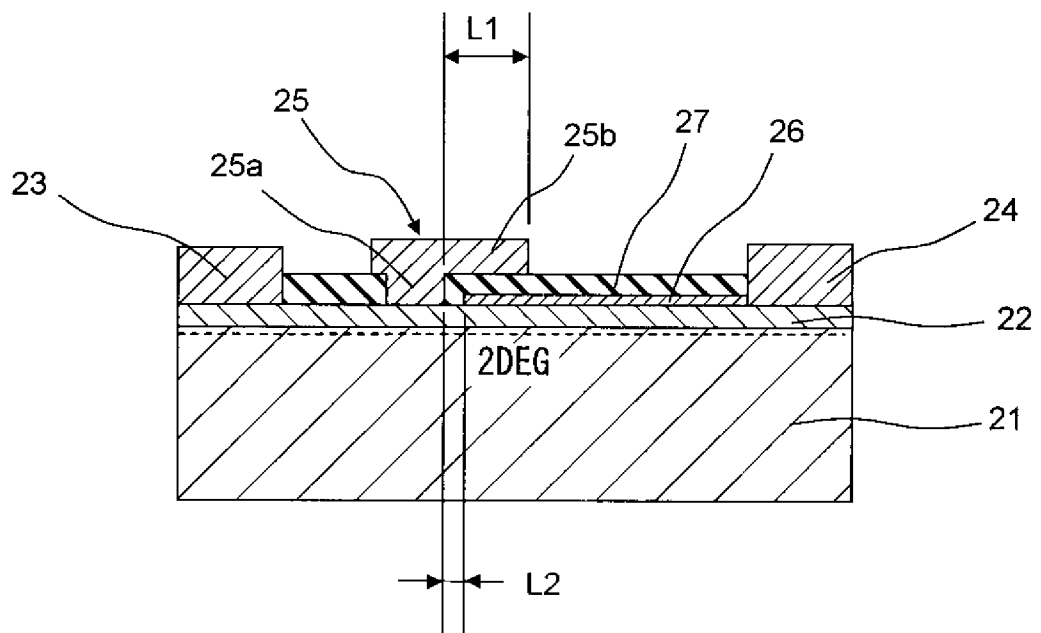
上記第1の絶縁膜(1 6, 2 6, 4 6, 5 6, 6 6, 7 6, 8 6)は、ストイキオメトリなシリコン窒化膜よりもシリコンの比率が高いシリコン窒化膜であることを特徴とする横型半導体装置。

- [請求項6] 請求項5に記載の横型半導体装置において、
- 上記第2の絶縁膜(17, 27, 47, 57, 67, 77, 87)は、上記第1の絶縁膜(16, 26, 46, 56, 66, 76, 86)よりも窒素の比率が高いシリコン窒化膜であることを特徴とする横型半導体装置。
- [請求項7] 請求項1から6までのいずれか1つに記載の横型半導体装置において、
- 上記窒化物半導体層は、基板上に順に積層された第1半導体層(61, 71)およびその第1半導体層(61, 71)とヘテロ界面を形成する第2半導体層(62, 72)を含み、
- 上記第1半導体層(61, 71)と上記第2半導体層(62, 72)とのヘテロ界面に形成された2次元電子ガスを利用するヘテロ接合電界効果トランジスタが形成されており、
- 上記窒化物半導体層の上側の一部に形成された凹部(60, 70)に上記ゲート電極(65, 75)の少なくとも一部が埋め込まれていることを特徴とする横型半導体装置。

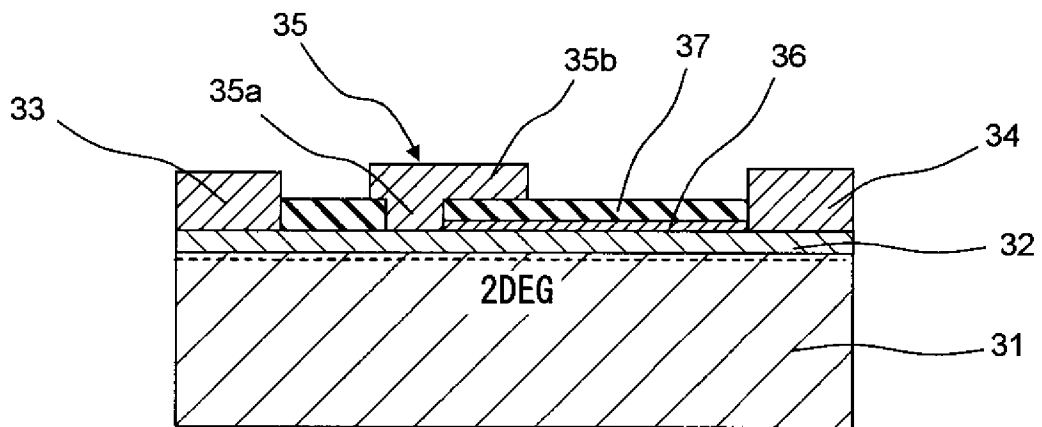
[図1]



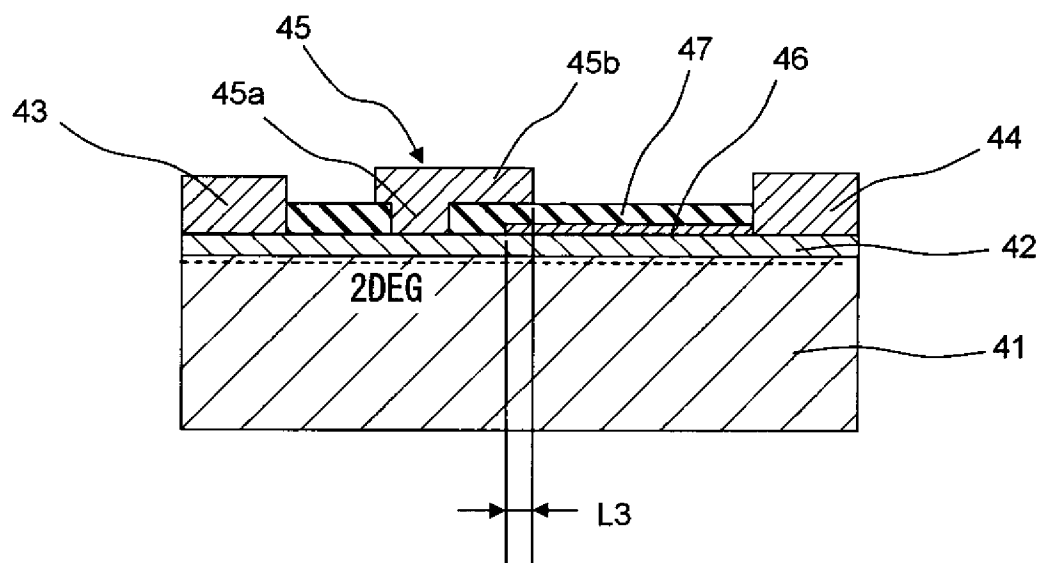
[図2]



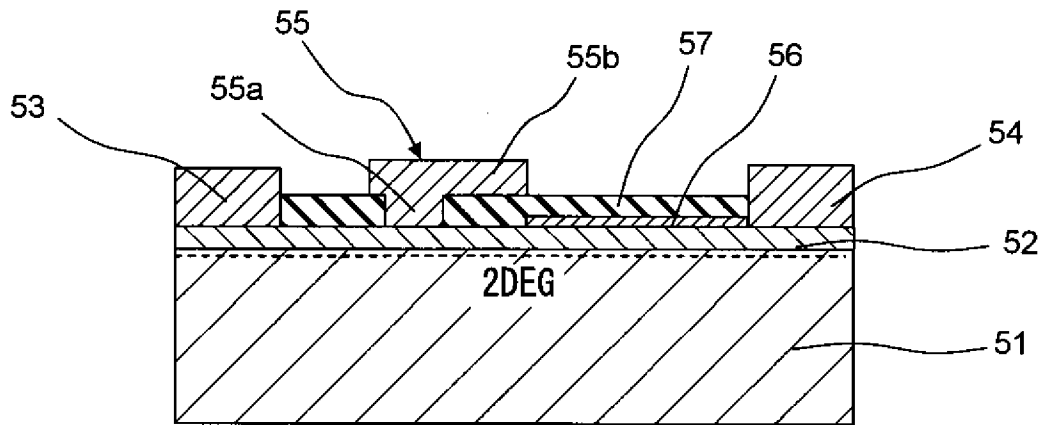
[図3]



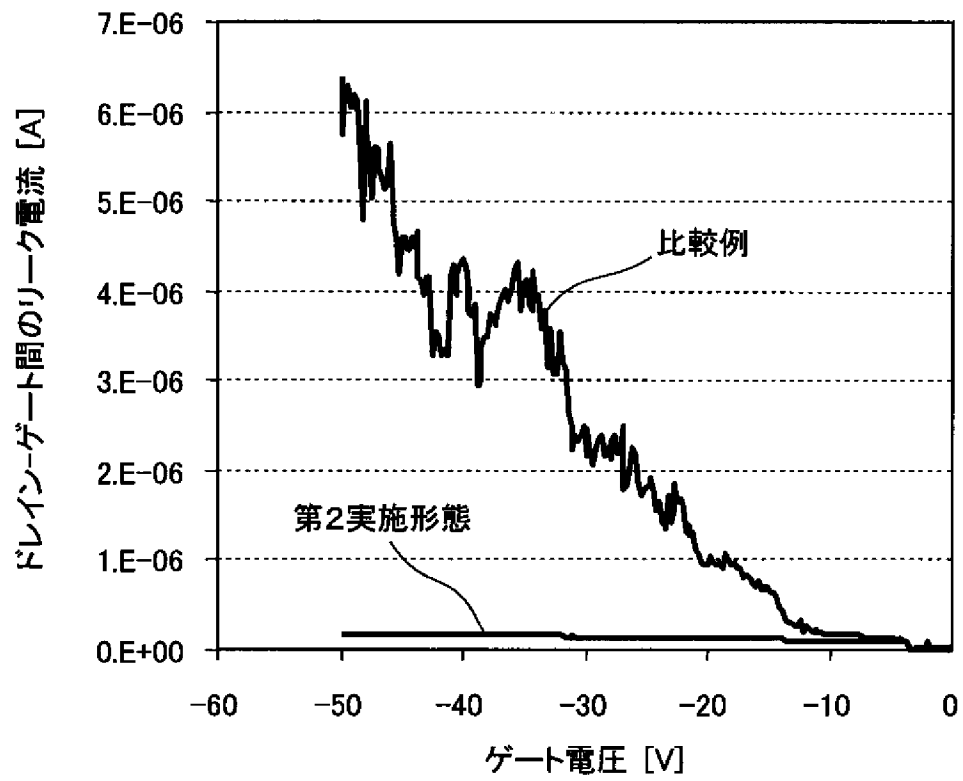
[図4]



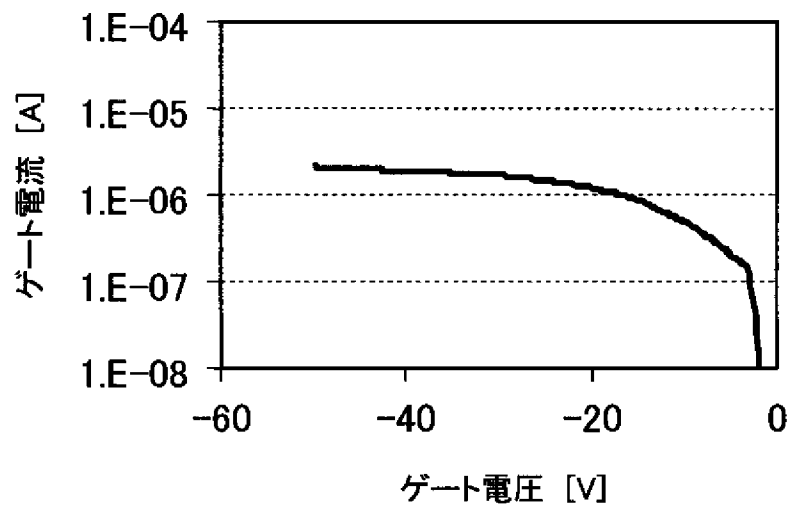
[図5]



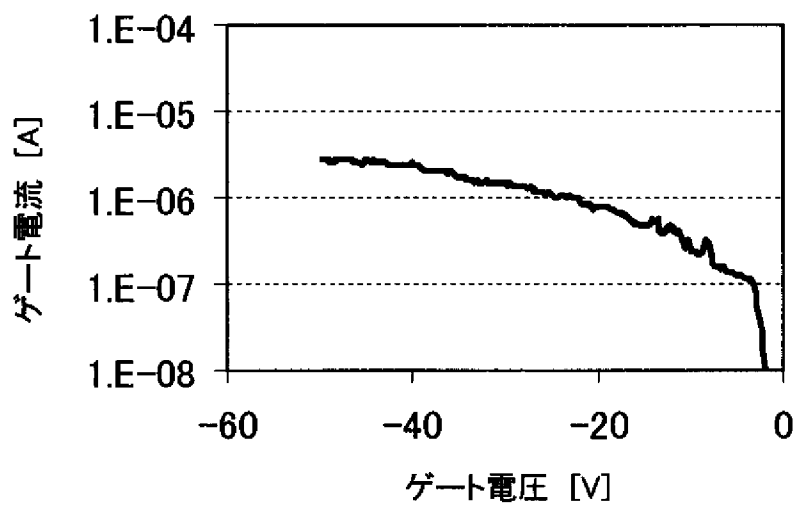
[図6]



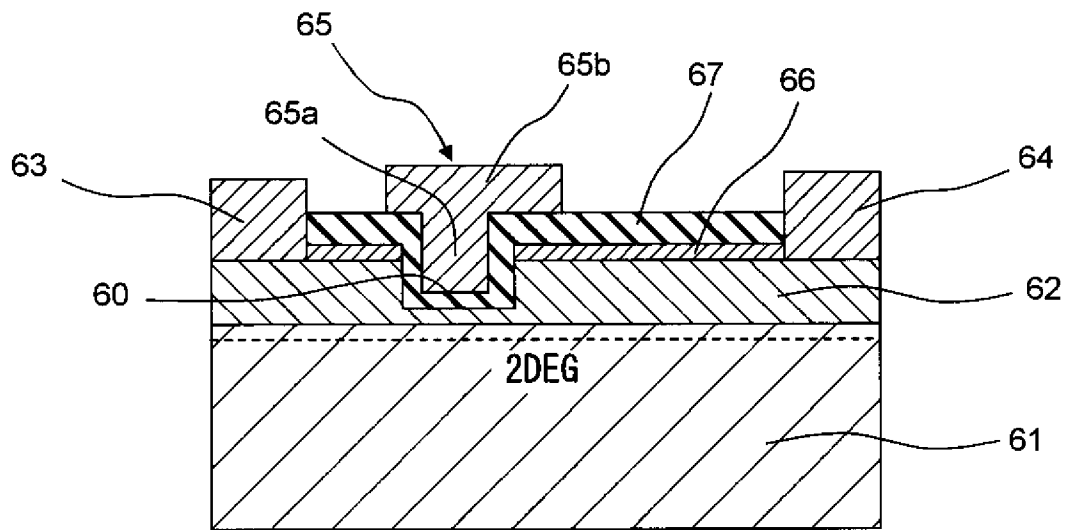
[図7]



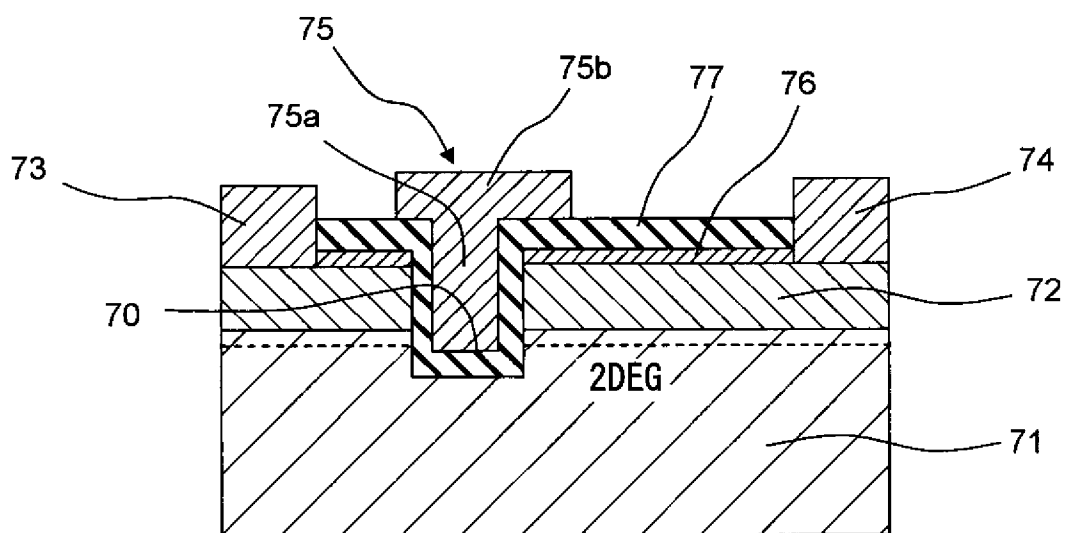
[図8]



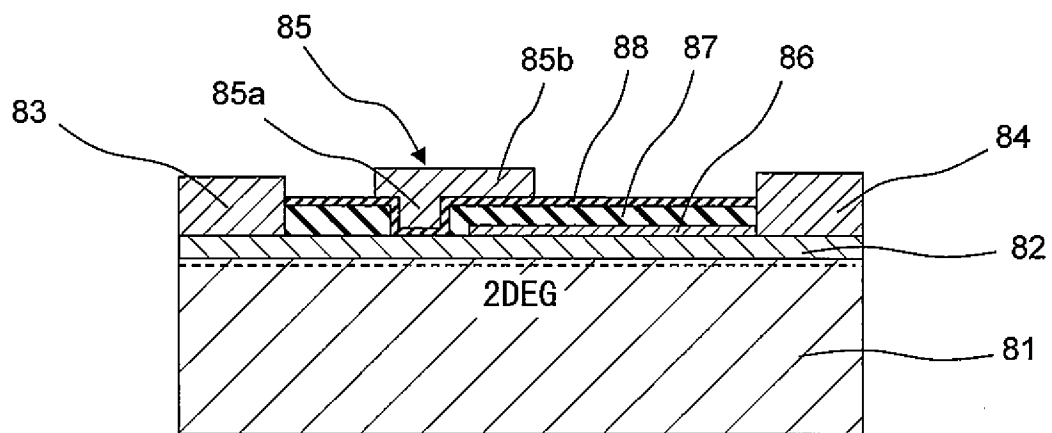
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/050425

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01)i, H01L29/06(2006.01)i, H01L29/41(2006.01)i,
H01L29/423(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i,
H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/338, H01L29/06, H01L29/41, H01L29/423, H01L29/778, H01L29/78,
H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-200248 A (NEC Corp.), 15 July 2004 (15.07.2004), fig. 4, 26 & US 2006/0102929 A1 & WO 2004/055905 A1 & CN 1748320 A	1-4, 7 5, 6
X	JP 2004-214471 A (NEC Corp.), 29 July 2004 (29.07.2004), fig. 6 & US 2006/0043415 A1 & WO 2004/061978 A1 & CN 1757120 A	1
X	WO 2007/040160 A1 (NEC Corp.), 12 April 2007 (12.04.2007), fig. 3, 15 & US 2010/0155779 A1	1

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
01 March, 2012 (01.03.12)

Date of mailing of the international search report
13 March, 2012 (13.03.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/050425

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-164300 A (Fujitsu Ltd.), 23 July 2009 (23.07.2009), paragraphs [0038] to [0106] & US 2009/0166815 A1	5, 6
Y	JP 2010-238982 A (Fujitsu Ltd.), 21 October 2010 (21.10.2010), paragraphs [0010] to [0055] & US 2010/0244104 A1	5, 6
Y	JP 2008-205392 A (Fujitsu Ltd.), 04 September 2008 (04.09.2008), paragraphs [0012] to [0156] & US 2008/0203541 A1	5, 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/050425

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The matter set forth in claim 1 are disclosed in the document 1 (JP2004-200248 A (NEC Corp.), 15 July 2004 (15.07.2004), fig. 4 and 29), the document 2 (JP 2004-214471 A (NEC Corp.), 29 July 2004 (29.07.2004), fig. 6) and the document 3 (WO 2007/040160 A1 (NEC Corp.), 12 April 2007 (12.04.2007), fig. 3 and 15), and is therefore not novel.

Consequently, claims 1-7 have no common matter which is a special technical feature within the meaning of PCT Rule 13.2, second sentence, and therefore do not comply with the requirement of unity of invention.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/338 (2006.01)i, H01L29/06 (2006.01)i, H01L29/41 (2006.01)i, H01L29/423 (2006.01)i,
H01L29/778 (2006.01)i, H01L29/78 (2006.01)i, H01L29/812 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/338, H01L29/06, H01L29/41, H01L29/423, H01L29/778, H01L29/78, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2004-200248 A (日本電気株式会社) 2004.07.15, 図 4, 26 & US 2006/0102929 A1 & WO 2004/055905 A1 & CN 1748320 A	1-4, 7 5, 6
X	JP 2004-214471 A (日本電気株式会社) 2004.07.29, 図 6 & US 2006/0043415 A1 & WO 2004/061978 A1 & CN 1757120 A	1
X	WO 2007/040160 A1 (日本電気株式会社) 2007.04.12, 図 3, 15 & US 2010/0155779 A1	1

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 0 3 . 2 0 1 2

国際調査報告の発送日

1 3 . 0 3 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

村岡 一磨

4 L

3 4 4 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-164300 A (富士通株式会社) 2009.07.23, 段落【0038】 - 【0106】 & US 2009/0166815 A1	5, 6
Y	JP 2010-238982 A (富士通株式会社) 2010.10.21, 段落【0010】 - 【0055】 & US 2010/0244104 A1	5, 6
Y	JP 2008-205392 A (富士通株式会社) 2008.09.04, 段落【0012】 - 【0156】 & US 2008/0203541 A1	5, 6

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1に記載された事項は、文献1（JP 2004-200248 A（日本電気株式会社）2004.07.15, 図4, 29）、文献2（JP 2004-214471 A（日本電気株式会社）2004.07.29, 図6）、文献3（WO 2007/040160 A1（日本電気株式会社）2007.04.12, 図3, 15）に記載されており、新規なものではない。

したがって、請求項1－7には、P C T規則13.2の第2文における意味において、特別な技術的特徴である共通事項は存在せず、よって、発明の単一性の要件を満たしていない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。